

UNIVERSITÀ DEGLI STUDI DI PADOVA  
FACOLTÀ DI INGEGNERIA

Tesi di Laurea Magistrale in  
INGEGNERIA ELETTRONICA

# Progettazione di un Convertitore Sigma-Delta per Radar Mammografico

Relatore  
Prof. Andrea Gerosa

Candidato  
Alberto Celin

Anno Accademico 2012/2013



# Indice

<b>Introduzione</b>	<b>xiii</b>
<b>1 Introduzione al Convertitore Sigma-Delta</b>	<b>1</b>
1.1 Motivazioni e confronti . . . . .	1
1.2 Le metriche di progetto . . . . .	3
1.3 Rumore di quantizzazione . . . . .	4
1.4 Sovracampionamento . . . . .	5
1.5 Modulazione $\Delta\Sigma$ : NTF e STF . . . . .	6
1.6 Noise Shaping . . . . .	7
1.7 Modulatori di ordine superiore al primo . . . . .	8
1.7.1 Modulatore di ordine 2 . . . . .	9
1.7.2 Modulatore di ordine 3: problematiche di stabilità . . . . .	10
1.8 Ottimizzazione della NTF . . . . .	12
<b>2 Implementazione circuitale e non idealità</b>	<b>15</b>
2.1 Sigma-Delta a tempo discreto e a tempo continuo . . . . .	15
2.2 Realizzazione del blocco $H(z)$ . . . . .	16
2.2.1 Integratore con ritardo . . . . .	16
2.2.2 Integratore senza ritardo . . . . .	18
2.3 Quantizzatore . . . . .	19
2.4 Filtro decimatore . . . . .	21
2.5 Non idealità amplificatore . . . . .	23
2.5.1 Guadagno finito . . . . .	23
2.5.2 Banda finita e Slew Rate . . . . .	24
2.5.3 Saturazione . . . . .	25
2.6 Non idealità switch . . . . .	26
2.6.1 Resistenza serie . . . . .	26
2.6.2 Rumore termico . . . . .	26
2.7 Non idealità quantizzatore . . . . .	27
2.7.1 Comparatore . . . . .	27
2.7.2 Strategie per la cancellazione dell'offset: Auto-zero . . . . .	28
2.7.3 Non idealità DAC a più bit . . . . .	30
2.7.4 Dynamic Element Matching DEM . . . . .	31
<b>3 Modellizzazione con <i>Simulink</i> di un <math>\Delta\Sigma</math></b>	<b>35</b>
3.1 Le motivazioni all'utilizzo di <i>Simulink</i> . . . . .	35
3.2 Convertitore del primo ordine . . . . .	35

3.3	Convertitore del secondo ordine . . . . .	38
3.4	Convertitore del terzo ordine . . . . .	40
3.5	Modellizzazione delle non idealità . . . . .	41
3.5.1	Rumore termico . . . . .	41
3.5.2	Banda, Slew rate e guadagno finito dell'amplificatore . . . . .	43
3.5.3	DAC reale . . . . .	45
<b>4</b>	<b>Architettura feed-forward per un <math>\Delta\Sigma</math></b>	<b>47</b>
4.1	Motivazioni all'uso dell'architettura feed-forward . . . . .	47
4.2	Realizzazione del sommatore . . . . .	48
4.3	Progettazione di un $\Delta\Sigma$ feed-forward di ordine 2. . . . .	51
4.4	Progettazione di un $\Delta\Sigma$ feed-forward di ordine 3 . . . . .	58
4.5	Confronto tra le strutture forward L=2 e L=3 . . . . .	61
4.6	Progettazione di un $\Delta\Sigma$ standard di ordine 2 . . . . .	62
4.7	Confronto tra soluzione forward e standard L=2 . . . . .	66
<b>5</b>	<b>Progettazione <i>transistor level</i> dell'ADC</b>	<b>69</b>
5.1	Implementazione circuitale architettura forward L=2 . . . . .	69
5.2	Realizzazione dell'amplificatore . . . . .	70
5.3	Realizzazione del comparatore . . . . .	76
<b>6</b>	<b>Sviluppi futuri</b>	<b>81</b>
<b>A</b>	<b>Codici Matlab</b>	<b>83</b>

# Elenco delle figure

1.1	Caratteristica ideale di un quantizzatore a 2 bit. . . . .	2
1.2	Alcuni dei convertitori analogico-digitali utilizzati confrontati per frequenza e risoluzione. [31] . . . . .	2
1.3	Caratteristica reale di un ADC con errore di INL e DNL. . . . .	4
1.4	PSD del rumore di quantizzazione con sovracampionamento. . . . .	5
1.5	Schema a blocchi tipico di un convertitore Sigma-Delta del primo ordine . . . . .	6
1.6	I diagrammi di Bode dei moduli delle tre principali funzioni di trasferimento. . . . .	7
1.7	Effetto del filtraggio passa alto sul rumore grazie alla NTF. . . . .	8
1.8	FFT all'uscita di un modulatore $\Delta\Sigma$ con in ingresso una sinusoide. . . . .	8
1.9	Schema a blocchi di un modulatore di ordine 2. . . . .	9
1.10	Caratteristica del rumore di quantizzazione in rapporto all'OSR per vari modulatori $\Delta\Sigma$ . . . . .	10
1.11	Schema a blocchi di un modulatore di ordine 3. . . . .	10
1.12	Schema a blocchi con modello linearizzato del quantizzatore. . . . .	11
1.13	Luogo delle radici di un modulatore di ordine 2 e di ordine 3. . . . .	12
1.14	Spettri di segnali con diverse posizioni di zeri nella NTF . . . . .	12
2.1	Possibili implementazioni circuitali di integratori a tempo discreto e a tempo continuo. . . . .	16
2.2	Trasferimento di carica in un sistema a capacità commutate. . . . .	17
2.3	Topologia di un integratore con ritardo. . . . .	17
2.4	Topologia di un integratore senza ritardo. . . . .	18
2.5	Architettura tipica di un Flash ADC. . . . .	19
2.6	Esempio di codice termometrico per una struttura a più bit. . . . .	20
2.7	Comparatore realizzato come amplificatore operazionale in catena aperta. . . . .	20
2.8	Realizzazione circuitale semplificativa di un modulatore $\Delta\Sigma$ . . . . .	21
2.9	Schema a blocchi di un filtro digitale di tipo CIC. . . . .	22
2.10	Funzione di trasferimento di un filtro CIC di ordine 3. . . . .	22
2.11	Effetto del guadagno finito dell'OTA sul modulatore $\Delta\Sigma$ . . . . .	24
2.12	Effetto di banda finita e Slew Rate sul modulatore $\Delta\Sigma$ . . . . .	26
2.13	Rumore termico in un Sigma-Delta a due stadi. . . . .	27
2.14	Schema semplificativo alternativo di un preamplificatore seguito da un latch per la realizzazione di un comparatore. . . . .	28
2.15	Esempio di codice termometrico con errore di offset nel comparatore. . . . .	29

2.16	Tecnica di AZ applicata all'uscita e all'ingresso dell'amplificatore per eliminare l'offset. . . . .	29
2.17	Linearità del DAC a singolo bit e multibit. . . . .	30
2.18	Struttura di un Sigma-Delta con DAC a più bit. Il mismatch tra i condensatori $C_u$ causa gli effetti di non linearità. . . . .	31
2.19	(a) DAC a tre livelli con codice termometrico d'ingresso. (b) Tre possibili valori d'uscita del DAC contro i tre possibili valori d'ingresso	32
2.20	(a) DEM a tre livelli. (b) Quattro possibili valori d'uscita del DAC contro i tre possibili valori d'ingresso. . . . .	33
2.21	DEM encoder a mismatch-shaping. . . . .	34
3.1	Schema a blocchi Simulink di un modulatore di ordine $L=1$ . . . . .	36
3.2	In rosso l'uscita del modulatore Sigma-Delta; in blu l'uscita del modulatore filtrata con un filtro decimatore ideale . . . . .	37
3.3	FFT applicata all'uscita del modulatore Sigma-Delta. Frequenza della sinusoida $f_{sin} = 231Hz$ , numero di punti FFT $N_x = 2^{20}$ , sovracampionamento $OSR = 32$ . . . . .	37
3.4	Andamento dell'SNDR per un modulatore Sigma-Delta del tipo Figura 3.1 con $OSR = 32$ . $DR = 34$ dB $\rightarrow ENOB = 6$ bit. . . . .	38
3.5	Schema a blocchi Simulink di un modulatore di ordine $L=2$ . . . . .	39
3.6	Sweep di SNR e SNDR per un modulatore tipo Figura 3.5 con $OSR = 1024$ . $DR = 115$ dB $\rightarrow ENOB = 19$ bit. . . . .	39
3.7	Insorgere del fenomeno di instabilità per un modulatore di ordine $L=3$ con elevata ampiezza d'ingresso. . . . .	40
3.8	Schema a blocchi Simulink di un modulatore di ordine $L=3$ . . . . .	40
3.9	Sweep di SNR e SNDR per un modulatore tipo Figura 3.8 con $OSR = 512$ . $DR = 112$ dB $\rightarrow ENOB = 18.5$ bit. . . . .	41
3.10	Modellizzazione del rumore termico prodotto da uno switch con $C_s$ capacità di campionamento, $kb$ costante di Boltzmann e $Temp$ temperatura in gradi Kelvin. . . . .	42
3.11	Effetto del rumore termico su un modulatore Sigma-Delta. In rosso lo spettro comprensivo del rumore termico, in blu lo spettro di un modulatore ideale. . . . .	42
3.12	Modellizzazione del guadagno finito e dello Slew Rate per un integratore con ritardo (a) e un integratore senza ritardo (b). $\gamma = \frac{(A_{v0}+1)C_I+C_x}{(A_{v0}+1)C_I+C_x+C_s}$ . . . . .	43
3.13	Effetto del guadagno finito di un amplificatore su un modulatore Sigma-Delta. In rosso lo spettro comprensivo di un amplificatore a guadagno limitato, in blu lo spettro di un modulatore ideale. . . . .	44
3.14	Effetto di banda limitata e slew rate di un amplificatore su un modulatore Sigma-Delta. In rosso lo spettro comprensivo di un amplificatore reale, in blu lo spettro di un modulatore ideale. . . . .	44
3.15	Effetto di un DAC multibit non reale. In rosso lo spettro comprensivo di un DAC reale, in blu lo spettro di un modulatore ideale. . . . .	45
4.1	Schema a blocchi di un modulatore Sigma-Delta con architettura feed-forward. . . . .	48

4.2	(a) Sommatore con amplificatore SC, (b) Somma con charge sharing seguito da un preamplificatore per la realizzazione del comparatore.	50
4.3	Tecnica di Sample-and-Hold per realizzare un sommatore con trasferimento diretto all'uscita. . . . .	51
4.4	Spettro di un segnale sinusoidale a $f_{sin} = 3$ kHz all'uscita di una struttura feed-forward con $OSR=512$ , numero di punti $N_x = 2^{19}$ . . .	52
4.5	Confronto tra segnale in ingresso al convertitore complessivo e segnale d'ingresso al primo integratore. . . . .	53
4.6	Dynamic Range struttura feed-forward $L=2$ , $OSR=512$ . . . . .	53
4.7	Dynamic Range struttura feed-forward con rumore termico $L=2$ , $OSR=512$ , $C_s = 40pF$ . . . . .	54
4.8	Dynamic Range struttura feed-forward con rumore termico $L=2$ , $OSR=8192$ , $C_s = 6pF$ . . . . .	55
4.9	Spettro di una sinusoide con guadagno dell'amplificatore limitato $A_{v0} = 50$ . . . . .	56
4.10	Spettro di una sinusoide con banda limitata e effetti di Slew Rate $A_{v0} = 50$ , $I_D = 40\mu A$ . . . . .	56
4.11	Swing d'uscita dell'amplificatore del primo stadio. . . . .	57
4.12	Spettro di una sinusoide con banda limitata e effetti di Slew Rate $A_{v0} = 50$ , $I_D = 40\mu A$ , quantizzatore 3 bit. . . . .	58
4.13	Schema a blocchi di un modulatore Sigma-Delta con architettura feed-forward di ordine 3. . . . .	58
4.14	Confronto tra segnale in ingresso al convertitore complessivo e segnale d'ingresso al primo integratore. . . . .	59
4.15	Dynamic Range struttura feed-forward $L=3$ , $OSR=64$ . . . . .	59
4.16	Dynamic Range struttura feed-forward con rumore termico $L=3$ , $OSR=512$ , $C_s = 40pF$ . . . . .	60
4.17	Spettro di una sinusoide con guadagno dell'amplificatore limitato $A_{v0} = 20$ . . . . .	61
4.18	Spettro di una sinusoide con banda limitata e effetti di Slew Rate $A_{v0} = 20$ , $I_D = 40\mu A$ . . . . .	62
4.19	Dynamic Range architettura non feed-forward $L=2$ , $OSR=2048$ . . .	63
4.20	Dynamic Range architettura non feed-forward con rumore termico $L=2$ , $OSR=4096$ , $C_s = 30pF$ . . . . .	63
4.21	Spettro di una sinusoide con guadagno dell'amplificatore limitato $A_{v0} = 3000$ . . . . .	64
4.22	Spettro di una sinusoide con banda limitata e effetti di Slew Rate $A_{v0} = 2000$ , $I_D = 250\mu A$ . . . . .	65
4.23	Swing d'uscita dell'amplificatore del primo stadio. . . . .	65
4.24	Confronto in termini di DR di una struttura a feed-forward e una struttura standard: $OSR = 8192$ , $C_s = 6pF$ . . . . .	66
4.25	Simulazione Montecarlo: spettro di una sinusoide all'uscita di un Sigma-Delta con DAC reale, mismatch capacitivo 0.1% . . . . .	67
4.26	Simulazione Montecarlo: spettro di una sinusoide all'uscita di un Sigma-Delta con DAC reale, mismatch capacitivo 0.001% . . . . .	68
4.27	Confronto dei vari mismatch per un DAC reale a 4 bit. . . . .	68

5.1	Realizzazione schematica single-ended di un convertitore Sigma-Delta con architettura forward di ordine 2. . . . .	70
5.2	Realizzazione di un OTA di tipo Telescopic comprensivo del circuito di Biasing. . . . .	71
5.3	Modulo della funzione di trasferimento di un OTA Telescopic a catena aperta con carico capacitivo $C_L = 6$ pF. . . . .	72
5.4	Swing d'uscita dell'OTA Telescopic dimensionato. . . . .	73
5.5	Realizzazione di un OTA di tipo Folded Cascode comprensivo del circuito di Biasing. . . . .	74
5.6	Modulo della funzione di trasferimento di un OTA Folded Cascode a catena aperta con carico capacitivo $C_L = 6$ pF. . . . .	74
5.7	Swing d'uscita dell'OTA Telescopic desiderato. . . . .	75
5.8	Risposta al transitorio di un gradino all'ingresso di un integratore SC con ritardo. Ampiezza gradino 200mV . . . . .	75
5.9	Schema di un comparatore realizzato con preamplificatore e latch di tipo D. . . . .	77
5.10	Schema di un preamplificatore differenziale. Seguirà un latch come in Figura 5.9. . . . .	78
5.11	Funzionamento di un comparatore con latch: fin quando $V_{in} < V_{REF}$ l'uscita del comparatore deve essere nulla. Non appena $V_{in} > V_{REF}$ , a meno di $LSB/2$ , durante la fase di confronto del latch l'uscita deve valere 1. . . . .	79
5.12	Funzionamento di un comparatore con latch: il comparatore deve essere in grado di distinguere $\pm \frac{LSB}{2}$ . . . . .	79
5.13	Offset del preamplificatore. Deve essere minore di $\frac{LSB}{4}$ . . . . .	80

# Elenco delle tabelle

4.1	Risultati di una struttura forward di ordine 2 ideale. . . . .	52
4.2	Risultati di una struttura forward di ordine 2 con rumore termico additivo. . . . .	54
4.3	Risultati di una struttura forward di ordine 3 ideale. . . . .	60
4.4	Risultati di una struttura forward di ordine 3 con rumore termico additivo. . . . .	60
4.5	Risultati di una struttura standard di ordine 2 ideale. . . . .	64
4.6	Risultati di una struttura standard di ordine 2 con rumore termico additivo. . . . .	64
5.1	Dimensionamenti dei transistor di un OTA di tipo Telescopic. . . . .	72



# Abstract

Analog-to-digital convertes play an essential role in a reciever system. Conventional Nyquist converters, like Flash or Pipeline ADC, are really fast but, in contrast with Sigma-Delta converters, they can't achieve an high resolution . This thesis is about the implementation of a discrete time Sigma-Delta modulator with a particular structure that can improve linearity of the operational amplifier in the ADC, and so it can improve the resolution of the modulator. This structure uses feedforward loops to modify the signal transfer function of the modulator and thanks to this particular transfer function there is only quantization error at the input of the amplifier. To minimize the signal at the input of the amplifier a multibit quantizer is required in the Sigma-Delta modulator and so, to keep an high linearity for the DAC in Sigma-Delta a DEM (Dynamic Element Matching) technique is required. Our interest is focalized in a breast cancer radar application. The approach is to illuminate the breast with a UWB pulse: the pulse bounces back in presence of objects with different electro-magnetic properties, in our case the dielectric properties of normal and malignant tissues are different, and so from the waveform and the time of flight of the back scattered pulses it is possible to derive information on the reflecting objects. To obtain a good quality image is required an high resolution ADC: on the digital collected results high resolution is obtained by performing the inverse Fourier transform (IFFT).



# Introduzione

Questa tesi si propone di modellare e progettare un convertitore Sigma-Delta per un radar con applicazione biomedicale. Le specifiche che si propone di soddisfare questo convertitore sono:

- Risoluzione del convertitore 18 bit
- Tempo di acquisizione non superiore ai 2 ms
- Consumo di potenza non superiore ai 20 mW

Inizialmente il convertitore viene modellizzato con *Matlab* e in particolare *Simulink* in modo da ricavare le caratteristiche principali dei blocchi fondamentali costituenti il convertitore analogico-digitale e per poter anche confrontare tipologie di soluzioni differenti al fine di ricavare un modello finale da poter progettare a livello di transistor. Il software di simulazione circuitale usato è *Cadence* e la tecnologia usata è una CMOS 0.65 nm, con alimentazione  $V_{dd} = 1.2$  V. A disposizione un oscillatore al quarzo di frequenza 22.6 MHz da poter utilizzare come Clock del convertitore.

**Il primo capitolo** offre una visione d'insieme del convertitore Sigma-Delta analizzandone le caratteristiche e i blocchi principali che lo compongono.

**Il secondo capitolo** spiega l'implementazione circuitale di un convertitore Sigma-Delta analizzando, componente per componente le non idealità circuitali e gli eventuali rimedi a tali non idealità.

**Il terzo capitolo** illustra la modellizzazione di un convertitore Sigma-Delta attraverso *Simulink* con particolare attenzione alla modellizzazione delle non idealità precedentemente discusse.

**Il quarto capitolo** illustra l'architettura feed-forward del convertitore analizzandone le caratteristiche principali e facendo un confronto di tale architettura con una standard. Nello stesso capitolo vengono definite le specifiche di dimensionamento per il convertitore usato in questa applicazione.

**Il quinto capitolo** illustra la progettazione dei blocchi fondamentali del convertitore Sigma-Delta considerando le specifiche ricavate dalla sezione precedente.

**L'appendice A** presenta dei segmenti di codice Matlab utilizzati per la tesi.

Il sistema per cui viene progettato questo convertitore è un radar a microonde per la rilevazione di malattie tumorali del seno. Il funzionamento del radar è illustrato in [18] e in [19]. L'approccio generale è quello di illuminare il seno con un impulso a banda larga (UWB) di tipo *Stepped Frequency Continuous wave* (SFCW), ovvero con un'onda multitono con spaziatura in frequenza  $\Delta f$ , potendo quindi ricevere, attraverso opportune antenne disposte a schiera, le onde riflesse e determinare con particolari algoritmi la presenza o meno di un cancro. Questo approccio sfrutta le differenti proprietà dielettriche tra tessuti normali e tessuti maligni alle frequenze caratteristiche delle microonde. Dalle caratteristiche delle onde e dal tempo impiegato di riflessione è possibile ricavare delle informazioni sugli oggetti riflettenti come la loro distanza e la loro taglia. Ogni circuito integrato agisce come ricetrasmittente generando forme d'onda e ricevendo il segnale riflesso proveniente dal seno. Quest'ultimo viene amplificato da un LNA, riportato a bassa frequenza da un mixer con conversione diretta, per questa particolare applicazione non viene ritenuto necessario utilizzare uno schema a super eterodina con un doppio mixer come spiegato in [18], per poter quindi essere digitalizzato attraverso il convertitore analogico-digitale. Al fine di ottenere una mappatura precisa dei tessuti cancerogeni è necessaria una risoluzione in eccesso a 16 bit per il convertitore [19].

# Capitolo 1

## Introduzione al Convertitore Sigma-Delta

### 1.1 Motivazioni e confronti

I convertitori analogico-digitali (ADC) sono componenti fondamentali in applicazioni laddove sia necessario interfacciare il mondo analogico con quello digitale. Essi si possono trovare in vari settori a partire dal campo delle telecomunicazioni, per ad esempio una struttura di ricezione e trasmissione di un segnale generico, o anche in campo biomedicale, per permettere l'acquisizione di un'immagine e rilevare la presenza di particolari tessuti maligni.

Il loro funzionamento si divide in due fasi distinte: la prima fase consiste in un campionamento del segnale, generalmente accompagnato da un filtro antialiasing; la seconda una quantizzazione del segnale, o, in altri termini, la rappresentazione in un insieme finito di valori del segnale in ingresso. In Figura 1.1 è proposta una caratteristica di un quantizzatore a 2 bit con andamento dell'errore di quantizzazione definito, in termini di *less significant bit* (LSB) come

$$LSB = \Delta = \frac{\pm V_{REF}}{2^b}, \quad (1.1)$$

con  $V_{REF}$  il fondo-scala dei segnali e  $b$  il numero di bit dell'ADC, ovvero l'errore massimo che viene commesso nel processo di quantizzazione del segnale.

Come illustrato in Figura 1.2, esiste un gran numero di tipologie di convertitori analogici: il *trade off* fondamentale risulta quello tra frequenza, nel senso di banda del segnale d'ingresso, e risoluzione in termini di numero di bit.

I convertitori che garantiscono un funzionamento a elevate frequenze, come i convertitori Pipeline o i convertitori Flash, si classificano come convertitori *Nyquist-Rate* ovvero ADC che rispettano al limite il teorema di Nyquist-Shannon e campionano il segnale d'ingresso a una frequenza pari al doppio della banda del segnale. Convertitori come i Flash hanno come principio di funzionamento quello di confrontare istantaneamente un segnale di riferimento con il segnale d'ingresso attraverso un numero di comparatori posti in parallelo pari a  $2^b - 1$ , per individuare a quale riferimento sia piú vicino l'ingresso e determinare di conseguenza il corretto livello, o analogamente il corretto codice d'uscita, per tradurre in digitale il segnale analogico. Risulta evidente dalla relazione appena vista come un aumento del numero di

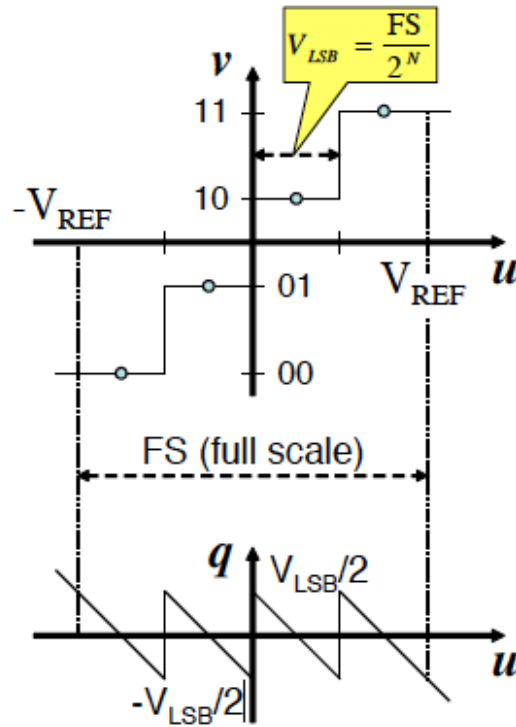


Figura 1.1: Caratteristica ideale di un quantizzatore a 2 bit.

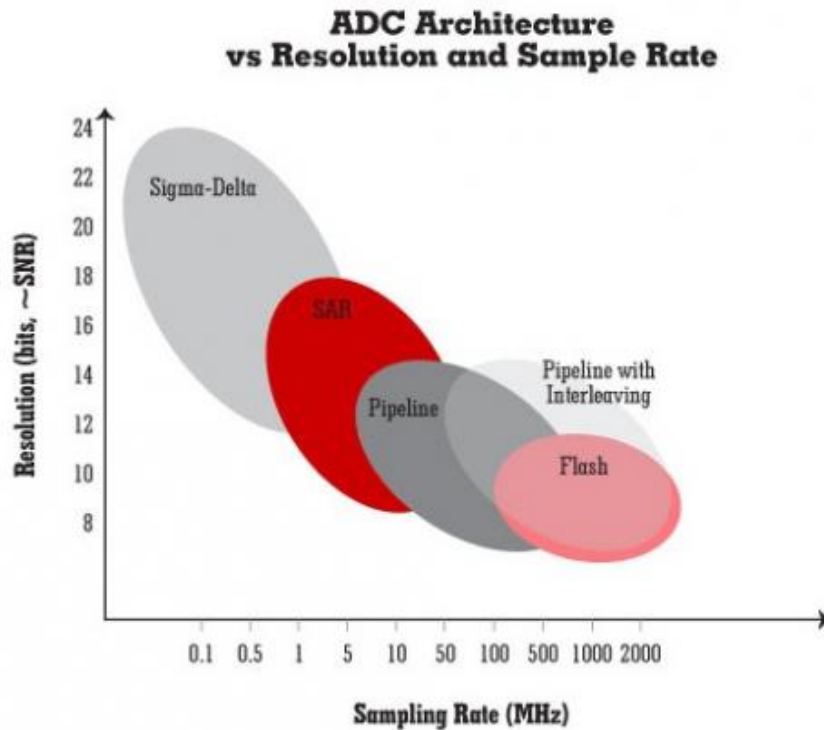


Figura 1.2: Alcuni dei convertitori analogico-digitali utilizzati confrontati per frequenza e risoluzione. [31]

un solo bit richieda di raddoppiare il numero di comparatori e quindi non solo aumentare la complessità circuitale, ma anche aumentare il consumo di potenza. Pertanto, sebbene questa classe di ADC sia molto sfruttata in applicazioni dove garantire elevate velocità di conversione risulta importante, essa non permette di raggiungere una risoluzione elevata. I convertitori come i Flash e i Pipeline vengono usati per ricevitori a banda larga e per ricezione su collegamenti a fibra ottica, oltre che, nel caso dei convertitori Flash, vengono utilizzati anche nella realizzazione di un convertitore Sigma-Delta.

Si distingue dalla classe dei convertitori Nyquist-Rate il convertitore Sigma-Delta ( $\Delta\Sigma$ ), che viene preferito agli ADC prima descritti in applicazioni in cui la banda d'utilizzo sia medio-bassa e la richiesta maggiormente stringente sia nei termini di risoluzione. Nella letteratura viene spesso fatto riferimento sia al termine di risoluzione in numero di bit sia al rapporto segnale-rumore (SNR, *Signal-to-Noise Ratio*). Vale infatti la relazione

$$SNR_{dB} = b \cdot 6.02 + 1.76dB \quad (1.2)$$

che permette quindi di osservare come, ad esempio, a un aumento di un singolo bit corrisponda un aumento di circa 6 dB dell'SNR. Nelle prossime sezioni verrà approfondito il funzionamento del convertitore  $\Delta\Sigma$  motivando per quali ragioni questi convertitori raggiungano valori di risoluzione molto più alti dei Flash e dei Pipeline, ma debbano essere utilizzati con segnali a frequenza non troppo elevata.

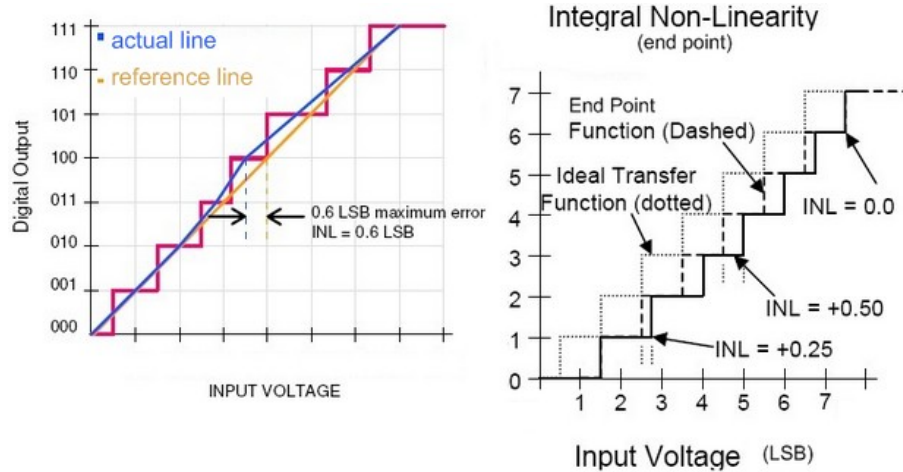
## 1.2 Le metriche di progetto

Al fine di presentare al meglio il funzionamento del convertitore  $\Delta\Sigma$  si presenta di seguito una breve lista di alcuni dei parametri, o figure di merito, che meglio caratterizzano il comportamento di un ADC.

- Risoluzione (N): Il numero di bit nella parola digitale in uscita
- Banda: La differenza tra frequenza massima e frequenza minima del segnale in ingresso processabile dall'ADC
- *Signal-to-noise ratio* (SNR): Il rapporto tra la potenza del segnale e la potenza del rumore.
- *Signal-to-noise-plus-distortion ratio* (SNDR): il rapporto tra la potenza del segnale e la potenza del rumore sommata alla potenza del contenuto armonico causato dagli effetti di non linearità.
- *Dynamic Range* (DR): Una misura del rapporto tra il segnale massimo e il segnale minimo che può essere convertito rimanendo in specifica.
- *Effective Number of Bits* (ENOB): Traduzione in bit del Dynamic Range
- *Spurious Free Dynamic Range* (SFDR): Questo parametro misura la differenza tra la potenza del segnale e la potenza dell'armonica dominante.

- *Total Harmonic Distortion* (THD): Questo parametro misura il rapporto tra la potenza della somma di tutte le armoniche con la componente fondamentale.

Esistono inoltre delle figure di merito statiche che sintetizzano le non linearità di un ADC. Si parla in particolare di: *Differential non Linearity* (DNL) ovvero, nella caratteristica dell'ADC di Figura 1.1, è la deviazione misurata in termini di LSB dalla lunghezza del gradino ideale; *Integral non Linearity* (INL) ovvero la deviazione massima esistente dalla retta che idealmente congiunge tutti i punti intermedi dei gradini come in Figura 1.3.



**Figura 1.3:** Caratteristica reale di un ADC con errore di INL e DNL.

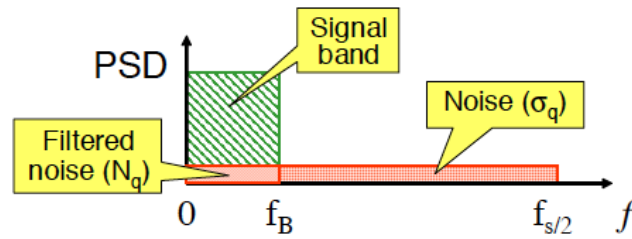
### 1.3 Rumore di quantizzazione

Come già anticipato nelle sezioni precedenti e come visto in Figura 1.1 l'errore di quantizzazione è un parametro che viene misurato in termini di LSB. Esso è l'errore che viene introdotto nel processo di quantizzazione e viene definito come la distanza tra il segnale analogico e il livello in uscita. Esso viene modellizzato come una variabile aleatoria uniforme distribuita tra  $-\frac{V_{REF}}{2}$  e  $\frac{V_{REF}}{2}$ . La potenza dell'errore di quantizzazione è quindi facilmente valutabile come

$$\sigma_x^2 = \frac{1}{V_{REF}} \int_{-\frac{V_{REF}}{2}}^{\frac{V_{REF}}{2}} x^2 dx = \frac{V_{REF}^2}{12} = \frac{\Delta^2}{12}. \quad (1.3)$$

Al medesimo risultato era possibile giungere considerando la *Power Spectral Density* (PSD) costante, si parla in questi casi di rumore bianco, in un intervallo compreso tra 0 e  $\frac{f_s}{2}$ , dove con  $f_s$  si intende la frequenza di campionamento imposta dal teorema di Nyquist-Shannon. Da quanto appena osservato risulta evidente che diminuendo la banda del segnale si riduce come immediata conseguenza l'intervallo di integrazione della PSD e quindi si riduce anche il rumore di quantizzazione. Questa operazione può essere fatta portando il convertitore ADC a lavorare a frequenze di campionamento superiori portando ad avere una Banda  $f_B \ll \frac{f_s}{2}$ . Con questo risultato diventa quindi possibile filtrare tutto il contenuto superiore

a  $f_B$ , non contenente segnale utile, ma esclusivamente rumore di quantizzazione attraverso un filtro passa basso come in Figura 1.4.



**Figura 1.4:** PSD del rumore di quantizzazione con sovracampionamento.

Questa tecnica di aumentare la frequenza di campionamento viene anche detta Sovracampionamento e si misura in termini di *Oversampling Ratio* (OSR).

## 1.4 Sovracampionamento

La tecnica di sovracampionamento è caratteristica dei Sigma-Delta: essa permette infatti di raggiungere livelli di risoluzione più elevati al costo di aumentare la frequenza di campionamento. Questo procedimento riduce infatti il rumore di quantizzazione come visibile in Figura 1.4 di un fattore pari all'OSR, una volta filtrato il segnale.

$$\frac{\Delta^2}{12} \longrightarrow \frac{\Delta^2 f_B}{12 f_s/2} = \frac{\Delta^2}{12} \frac{1}{OSR} \quad (1.4)$$

Il sovracampionamento permette anche di individuare per quale motivo i convertitori  $\Delta\Sigma$  non possano raggiungere le frequenze che raggiungono i convertitori della classe *Nyquist-rate*: il sovracampionamento impone infatti di aumentare la frequenza di campionamento e quindi, a parità di frequenza di campionamento, di ridurre la banda del segnale d'ingresso rispetto a un'architettura che campiona alla frequenza di Nyquist.

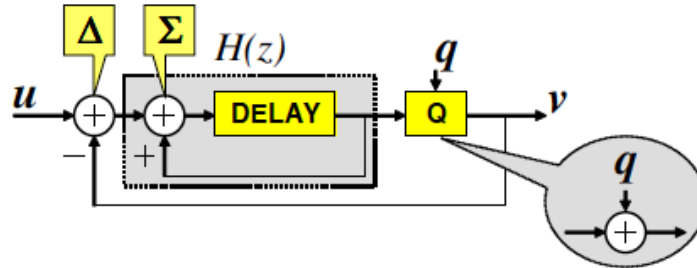
Dalla (1.4) è possibile ricavare anche il guadagno in termini di SNR che si ha con un sovracampionamento. Infatti la (1.2) viene modificata inserendo un termine dipendente dall'OSR

$$SNR_{dB} = b \cdot 6.02 + 1.76dB + 10 \cdot \log_{10} OSR \quad (1.5)$$

ovvero ad ogni raddoppio dell'OSR il guadagno è pari a circa 3 dB, ovvero mezzo bit.

## 1.5 Modulazione $\Delta\Sigma$ : NTF e STF

Nella sezione precedente abbiamo descritto una delle prime caratteristiche che distingue i modulatori  $\Delta\Sigma$  rispetto agli altri ADC e abbiamo visto quali sono i vantaggi che possiamo ottenere da un sovracampionamento. Ci dedicheremo ora ad analizzare il concetto di modulazione  $\Delta\Sigma$  attraverso alcune fondamentali funzioni di trasferimento al fine di introdurre un metodo per raggiungere valori di risoluzione ancora più elevati.



**Figura 1.5:** Schema a blocchi tipico di un convertitore Sigma-Delta del primo ordine

In Figura 1.5 viene mostrato uno schema a blocchi di un convertitore  $\Delta\Sigma$ . Si tratta essenzialmente di una funzione di trasferimento  $H(z) = \frac{z^{-1}}{1-z^{-1}}$ , che è possibile ricondurre con le proprietà delle trasformate Zeta alla funzione integratore nelle trasformate di Laplace, in cascata a un elemento che svolge il ruolo della quantizzazione, modellato come un termine additivo di errore di quantizzazione, chiusi in feedback unitario.

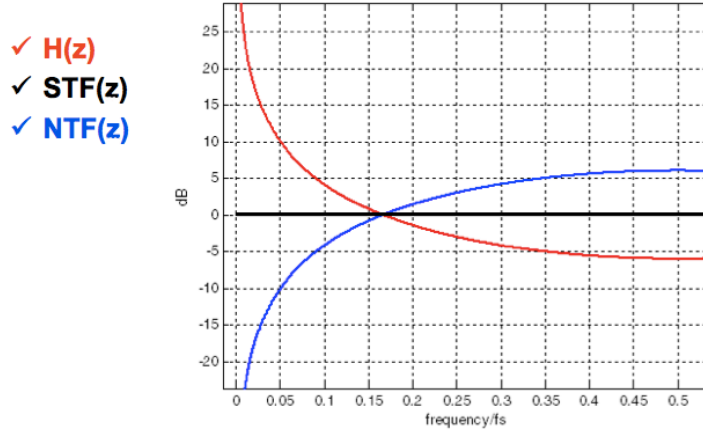
Il sistema di Figura 1.5 è caratterizzato da due ingressi:  $u$  e  $q$  e un uscita  $v$ . Possono pertanto essere calcolate due funzioni di trasferimento. Si definisce la *Signal Transfer Function* (STF) come la funzione tra l'ingresso  $u$ , tipicamente il segnale di nostro interesse, e l'uscita  $v$ . Vale

$$STF(z) = \frac{V(z)}{U(z)} = \frac{H(z)}{1 + H(z)} = z^{-1}. \quad (1.6)$$

L'altro ingresso  $q$  rappresenta invece il rumore di quantizzazione e pertanto si parla di *Noise Transfer Function* (NTF), ovvero la funzione di trasferimento tra il rumore e l'uscita. Vale

$$NTF(z) = \frac{V(z)}{Q(z)} = \frac{1}{1 + H(z)} = 1 - z^{-1}. \quad (1.7)$$

Queste due equazioni ci permettono di fare due considerazioni: le funzioni di trasferimento che vedono segnale d'ingresso e rumore di quantizzazione sono distinte e, in particolare, la NTF rappresenta una funzione di trasferimento tipo filtro passa alto del primo ordine, come visibile in Figura 1.6, mentre la STF non altera il segnale, ad eccezione dell'inserimento di un ritardo tra ingresso e uscita. Questo comportamento viene in letteratura chiamato *Noise Shaping* ed è argomento della prossima sezione.



**Figura 1.6:** I diagrammi di Bode dei moduli delle tre principali funzioni di trasferimento.

## 1.6 Noise Shaping

Il meccanismo di Noise Shaping sfrutta la caratteristica passa alto della NTF per spostare la maggior parte del rumore di quantizzazione oltre la banda del segnale d'ingresso come in Figura 1.7. Attraverso un filtro passa basso è poi possibile eliminare il rumore in eccesso, amplificato per effetto della NTF, al di là della banda del segnale e ottenere, in banda, una componente di rumore attenuata. Valutiamo ora il rumore di quantizzazione in banda. Possiamo calcolare il modulo della NTF imponendo  $z = e^{j\Omega}$  con  $\Omega = 2\pi \frac{f}{f_s}$ :

$$\begin{aligned} |NTF|^2 &= |1 - z^{-1}|^2 = |1 - e^{-j\Omega}|^2 = |1 - \cos \Omega + j \sin \Omega|^2 \\ &= (1 - \cos \Omega)^2 + \sin^2 \Omega = 2 - 2 \cos \Omega = \left(2 \sin \frac{\Omega}{2}\right)^2. \end{aligned} \quad (1.8)$$

Possiamo calcolare quindi la potenza del rumore di quantizzazione integrando sulla banda del segnale e assumendo un filtro passa basso ideale.

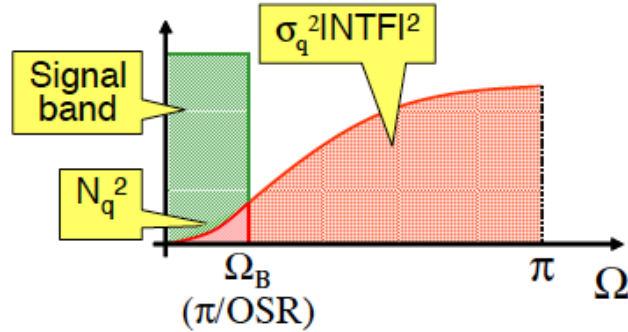
$$\begin{aligned} P_q &= \int_0^{f_B} \frac{\Delta^2}{12} \cdot \frac{2}{f_s} \left[2 \sin \left(\pi \frac{f}{f_s}\right)\right]^2 df \simeq \int_0^{f_B} \frac{\Delta^2}{12} \cdot \frac{2}{f_s} \left[2 \left(\pi \frac{f}{f_s}\right)\right]^2 df = \\ &= \frac{\Delta^2}{12} \cdot \frac{\pi^2}{3} \cdot \frac{1}{OSR^3} \end{aligned} \quad (1.9)$$

dove nel secondo passaggio si è approssimato il seno con il suo argomento. Da questa possiamo calcolare anche l'SNR

$$SNR_{dB} = b \cdot 6.02 + 1.76dB - 5.2dB + 30 \log_{10} OSR. \quad (1.10)$$

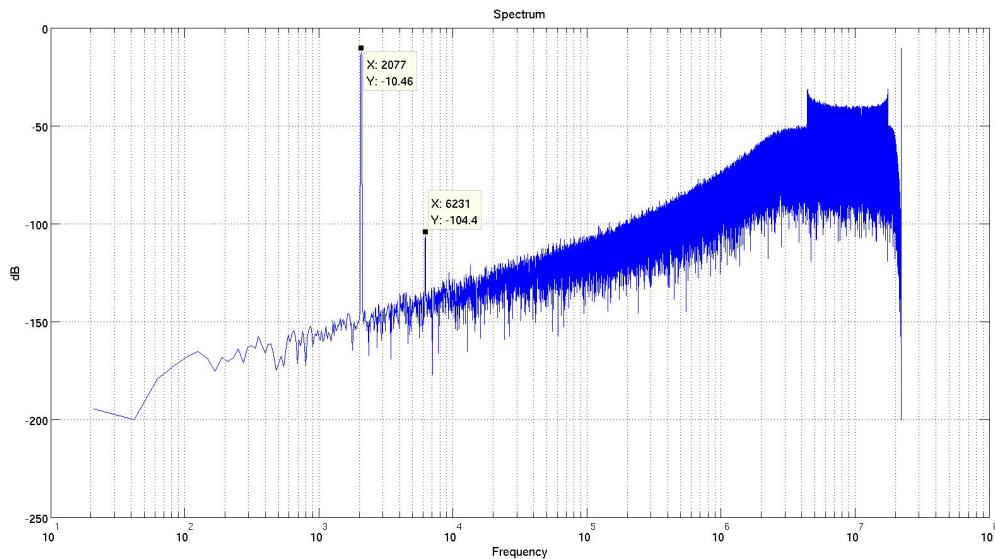
Ogni raddoppio di OSR, pertanto, comporta un aumento di 9 dB dell'SNR a differenza di quanto si era visto con la (1.5) dove non era stato considerato l'effetto introdotto dal Noise Shaping, ma si era limitata l'analisi al solo sovracampionamento. Un'altra caratteristica importante che possiamo ricavare dalla (1.10) è che esiste un valore minimo di OSR al di sotto del quale il convertitore  $\Delta\Sigma$  non produce

alcun vantaggio: se ad esempio sostituissimo alla (1.10)  $OSR = 1$  l'effetto di *Noise Shaping* risulterebbe deleterio, a parità del numero di bit, per via del termine di riduzione di 5.2 dB.



**Figura 1.7:** Effetto del filtraggio passa alto sul rumore grazie alla NTF.

In Figura 1.8 è mostrato il risultato di una simulazione con modello *Simulink* della FFT di un segnale all'uscita dell'ADC ed è facilmente visibile l'effetto del Noise Shaping di amplificare il rumore alle alte frequenze e attenuarlo attorno alla frequenza del segnale.



**Figura 1.8:** FFT all'uscita di un modulatore  $\Delta\Sigma$  con in ingresso una sinusoide.

## 1.7 Modulatori di ordine superiore al primo

Da quanto detto fin ora l'aumento dell' $OSR$  risulta essere l'unico metodo per aumentare la risoluzione in un modulatore  $\Delta\Sigma$ . Esiste la possibilità di ottenere un incremento nella risoluzione anche sfruttando un Noise Shaping più efficiente.

L'obiettivo è quello di ridurre nella banda d'interesse il rumore di quantizzazione, al costo di aumentarlo ulteriormente al di fuori della banda, dove tuttavia il rumore sarà in una seconda fase filtrato. Per modificare la NTF è necessario aumentare l'ordine del modulatore  $\Delta\Sigma$ .

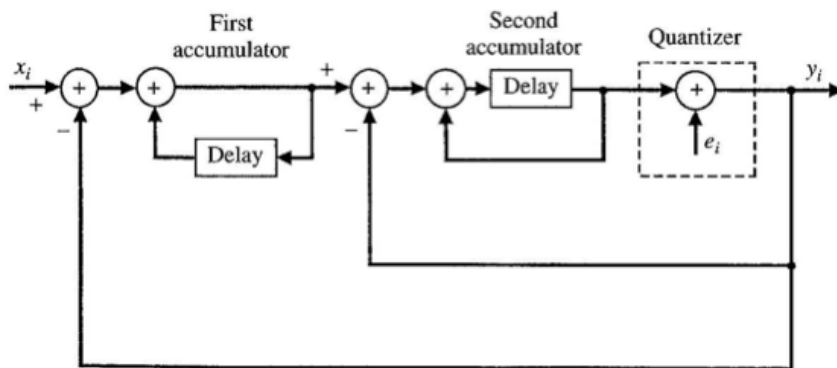
### 1.7.1 Modulatore di ordine 2

In Figura 1.9 è mostrato lo schema a blocchi di un convertitore  $\Delta\Sigma$  di ordine 2. Svolgendo i conti come in precedenza è possibile ricavare la NTF e la STF

$$\begin{aligned} STF(z) &= \frac{Y(z)}{X(z)} = z^{-2} \\ NTF(z) &= \frac{Y(z)}{E(z)} = (1 - z^{-1})^2. \end{aligned} \quad (1.11)$$

Si può dimostrare, analogamente a quanto fatto in precedenza, che il contributo di potenza di rumore in banda per un modulatore di ordine  $L$  vale

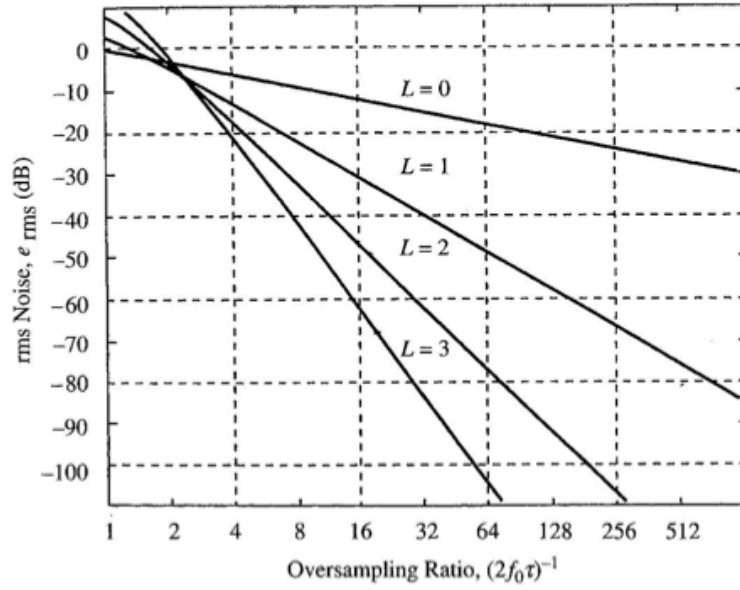
$$P_q^2 = \frac{\sigma_q^2 \pi^{2L}}{(2L + 1) \text{OSR}^{2L+1}} \quad (1.12)$$



**Figura 1.9:** Schema a blocchi di un modulatore di ordine 2.

Dalla (1.12) è quindi possibile ricavare l'andamento del rumore di quantizzazione al variare dell'OSR per diversi ordini del modulatore  $\Delta\Sigma$ . Quello che si osserva è che all'aumentare dell'ordine  $L$  ad un raddoppio dell'OSR corrisponde una diminuzione sempre maggiore del rumore di quantizzazione.

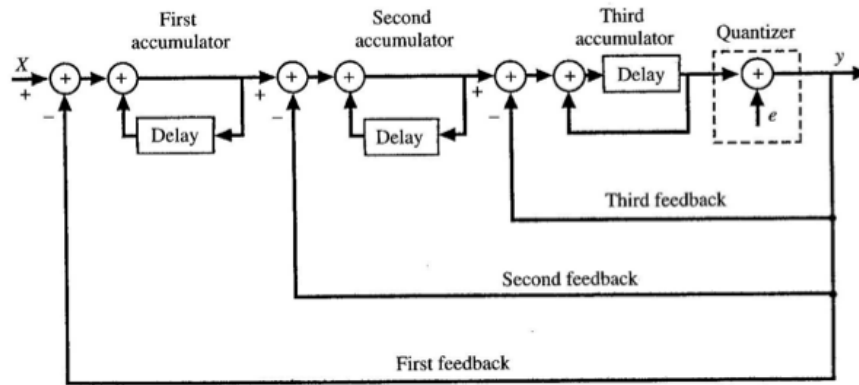
Dalla Figura 1.10 parrebbe una scelta ottimale quella di adottare un ordine del modulatore molto grande, in quanto in questo modo si minimizzerebbe il rumore di quantizzazione. Questa scelta comporta, tuttavia, oltre che a una complessità circuitale sempre maggiore, dovuta al fatto che aumentare l'ordine del modulatore equivale ad aumentare il numero di rami di feedback e il numero di integratori, anche delle complicazioni nei termini della stabilità dell'anello, come vedremo a breve.



**Figura 1.10:** Caratteristica del rumore di quantizzazione in rapporto all'OSR per vari modulatori  $\Delta\Sigma$ .

### 1.7.2 Modulatore di ordine 3: problematiche di stabilità

Come detto in precedenza una scelta ottimale sembrerebbe quella di aumentare l'ordine del modulatore per poter ottimizzare l'aumento della dinamica del convertitore all'aumento del sovracampionamento.

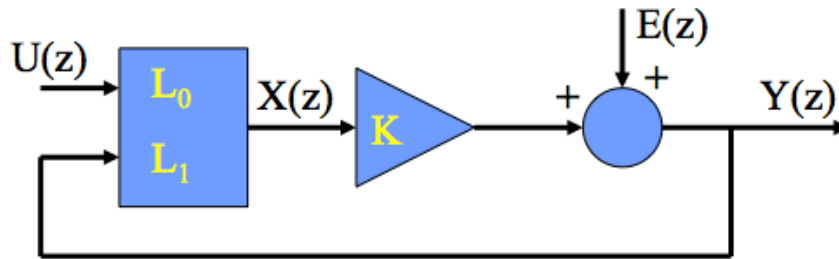


**Figura 1.11:** Schema a blocchi di un modulatore di ordine 3.

Se valutiamo le solite funzioni di trasferimento anche per il modulatore di Figura 1.11 otteniamo

$$\begin{aligned}
 STF(z) &= \frac{Y(z)}{X(z)} = z^{-3} \\
 NTF(z) &= \frac{Y(z)}{E(z)} = (1 - z^{-1})^3.
 \end{aligned}
 \tag{1.13}$$

Come si comporta il modulatore al variare dell'ampiezza? Fin ora non ci siamo preoccupati per la stabilità dell'anello di retroazione, in quanto si ha che per modulatori di ordine 1 e 2 la stabilità è garantita a tutte le ampiezze di interesse. Tuttavia per il modulatore di ordine 3 è opportuno valutare con un modello semplificato la stabilità del sistema. Per fare ciò dovremmo usare uno dei classici criteri proposti dalla teoria dei sistemi per stabilire se il sistema è o meno stabile. Tuttavia l'anello che studiamo presenta un elemento con una forte non linearità: il quantizzatore. Valutiamo pertanto un modello equivalente lineare sostituendo all'elemento di quantizzazione un blocco di guadagno  $k$  con il solito errore di quantizzazione additivo. Il blocco di guadagno deve variare il fattore di amplificazione al variare dell'ampiezza d'ingresso, lo semplifichiamo come  $k = D_{out} \cdot V_{REF}/V_{in}$  con  $D_{out}$  il simbolo in uscita. Modificando leggermente lo schema a blocchi fin'ora visto siamo in grado di valutare le funzioni di trasferimento in presenza del parametro  $k$ .



**Figura 1.12:** Schema a blocchi con modello linearizzato del quantizzatore.

Con riferimento alla Figura 1.12 abbiamo che

$$X(z) = L_0(z) \cdot U(z) + L_1(z) \cdot Y(z) \quad (1.14)$$

e

$$\begin{aligned} STF(z) &= \frac{kL_0(z)}{1 - kL_1(z)} \\ NTF(z) &= \frac{1}{1 - kL_1(z)}. \end{aligned} \quad (1.15)$$

Valutando il luogo delle radici nel piano delle trasformate Zeta si ottiene che per alcuni valori di  $k$ , ovvero per certi valori di ampiezza, il sistema porta i poli al di fuori del cerchio di raggio unitario, corrispondente nei termini delle trasformate di Laplace al semipiano destro, con una conseguente instabilità dell'anello come visibile in Figura 1.13, dove viene presentato anche il luogo delle radici per un modulatore di ordine 2. Il modulatore oscilla per valori piccoli di  $k$  corrispondenti a valori elevati della tensione d'ingresso nell'ordine 3, mentre nell'ordine 2 i poli sono sempre all'interno del cerchio di raggio unitario.

Per eliminare l'insorgere del problema di instabilità ad ordini elevati esiste una soluzione, che non verrà tuttavia trattata in questa tesi, delle architetture MASH, di cui si parla ad esempio in [22]. Si tratta, in sintesi, di un Noise Shaping a più stadi sfruttando una struttura in cascata di convertitori  $\Delta\Sigma$ .

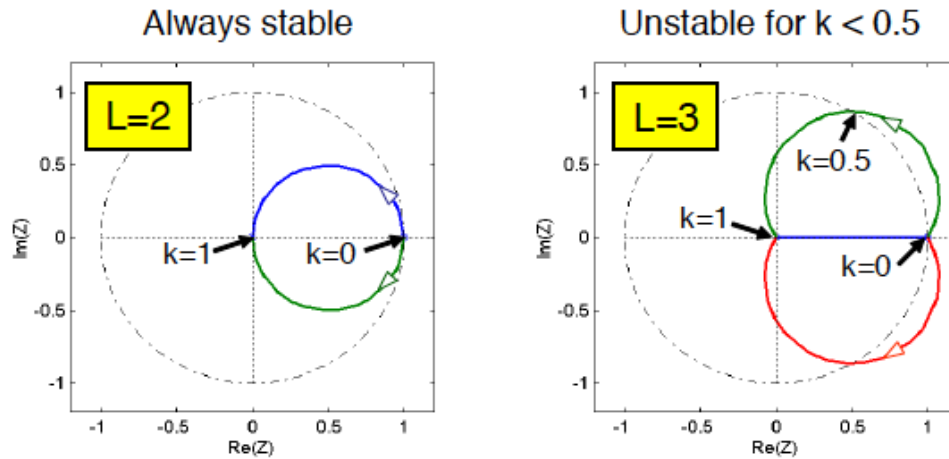


Figura 1.13: Luogo delle radici di un modulatore di ordine 2 e di ordine 3.

## 1.8 Ottimizzazione della NTF

Nella sezione precedente è stata introdotta la possibilità di aumentare l'ordine del modulatore al fine di aumentare l'ordine della funzione passa alto NTF. Tuttavia, nelle soluzioni presentate, è sempre stata valutata una NTF con gli zeri concentrati nell'origine ovvero con una forma del tipo  $(1 - z^{-1})^L$ . È possibile ottimizzare la posizione degli zeri al fine di ottenere una caratteristica di Noise Shaping che distribuisca il rumore di quantizzazione in modo ottimale al fine di minimizzare il più possibile la relativa potenza di rumore.

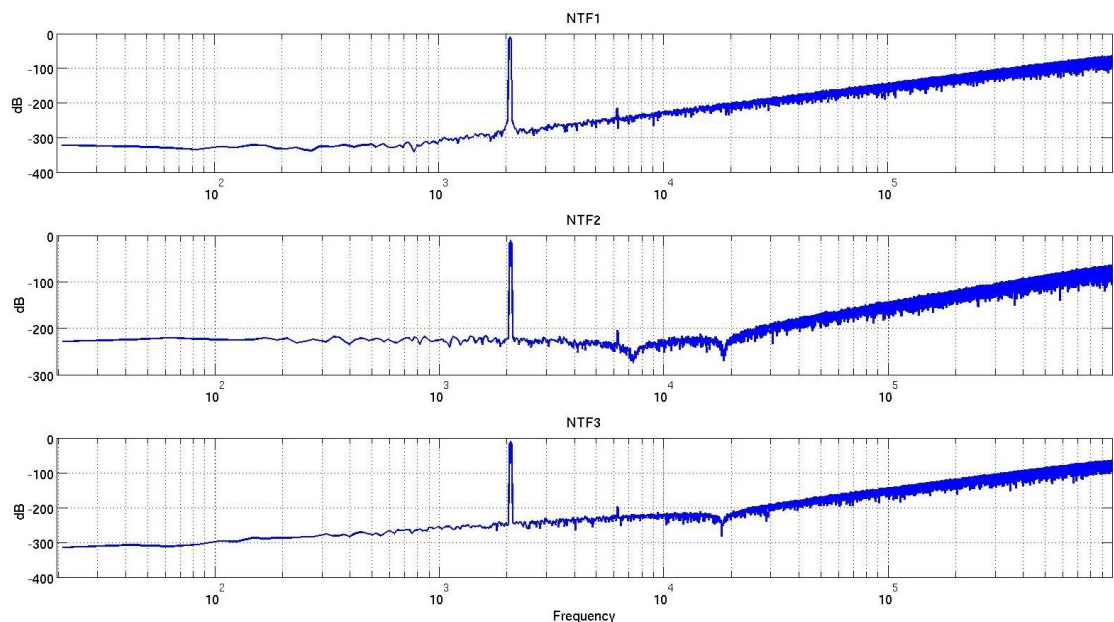


Figura 1.14: Spettri di segnali con diverse posizioni di zeri nella NTF

In Figura 1.14 vengono proposte tre possibili spettri in uscita a un modulatore

$\Delta\Sigma$ : ad ogni spettro corrisponde una differente posizioni di zeri e poli nella NTF, ad esempio nella prima figura gli zeri sono concentrati nell'origine mentre nelle altre soluzioni sono distribuiti nella banda del segnale d'ingresso. È opportuno osservare che il posizionamento degli zeri è definibile ottimale a seconda dell'applicazione di nostro interesse: ad esempio, vedremo in seguito, nell'applicazione che si propone il convertitore trattato in questa tesi i segnali d'ingresso sono a bassa frequenza ed è quindi opportuno avere una NTF con zeri concentrati nell'origine per avere a DC la massima attenuazione possibile del rumore di quantizzazione.



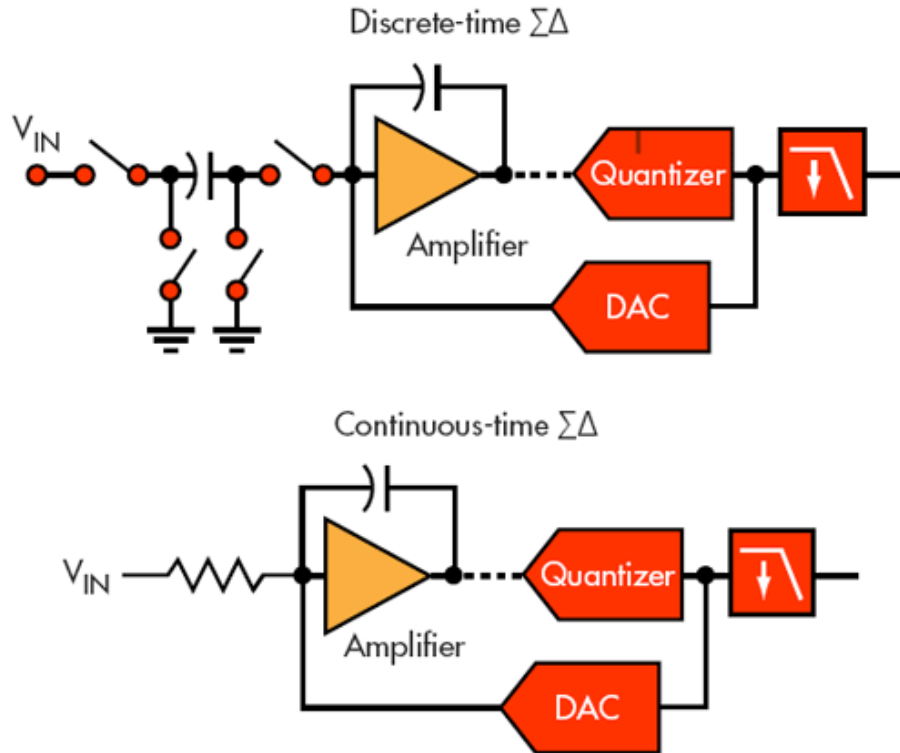
# Capitolo 2

## Implementazione circuitale e non idealità

### 2.1 Sigma-Delta a tempo discreto e a tempo continuo

Nel capitolo precedente abbiamo evidenziato come la struttura  $\Delta\Sigma$  sia essenzialmente costituita da due elementi fondamentali ovvero un blocco che realizza una funzione di trasferimento  $H(z)$  e un blocco quantizzatore che opera la conversione da analogico in digitale. La scelta che viene fatta per l'implementazione del convertitore  $\Delta\Sigma$  è quella di costruire un sistema il cui funzionamento sia a tempo discreto, realizzato ovvero con un sistema a capacità commutate (*Switched Capacitor SC*) come vedremo a breve, preferendolo a un funzionamento a tempo continuo dove, tipicamente, il filtro  $H(z)$  viene realizzato attraverso un filtro attivo *RC* o simili. Due realizzazioni circuitali tipiche sono presentate in Figura 2.1.

La soluzione a tempo discreto ( $DT\Delta\Sigma$ ) presenta delle problematiche in termini di velocità in quanto nel sistema a SC, specialmente ad alte frequenze, incorrono problemi di settling: in altre parole il trasferimento di carica da un condensatore a un altro potrebbe non essere in grado di esaurirsi in un singolo periodo di Clock provocando, come conseguenza, una valutazione di carica scorretta nell'istante di Clock successivo. Dall'altra parte il sistema a tempo continuo ( $CT\Delta\Sigma$ ) può operare a frequenze ben più alte e, pertanto, è anche maggiormente sensibile a non idealità come il *Clock jitter*, problemi di mismatch e di variazioni nelle costanti di tempo degli integratori [1]. Per via della facile implementazione in termini di circuiti integrati, le resistenze infatti tipicamente non si realizzano facilmente a differenza dei condensatori, e per via del fatto che il campo d'utilizzo del convertitore progettato non richiede frequenze troppo elevate, come abbiamo anticipato in precedenza i segnali d'ingresso sono a frequenze molto basse, decidiamo di utilizzare l'implementazione DT. Questo comporta anche dei vantaggi nella realizzazione dell'amplificatore che, dovendo supportare un carico capacitivo, viene realizzato come *Operational Transconductance Amplifier* (OTA).



**Figura 2.1:** Possibili implementazioni circuitali di integratori a tempo discreto e a tempo continuo.

## 2.2 Realizzazione del blocco $H(z)$

### 2.2.1 Integratore con ritardo

Vogliamo realizzare con un sistema a capacità commutate una funzione di trasferimento del tipo  $H(z) = \frac{z^{-1}}{1-z^{-1}}$ . Un sistema SC è un circuito che funziona con un trasporto di carica da un condensatore a un altro quando degli interruttori sono opportunamente chiusi o aperti come in Figura 2.2 .

Per valutare la funzione di trasferimento realizzata da un sistema a capacità commutate è necessario scrivere un'equazione alle differenze seguendo il percorso della carica durante le differenti fasi di Clock e quindi passare alle trasformate Zeta con le note proprietà.

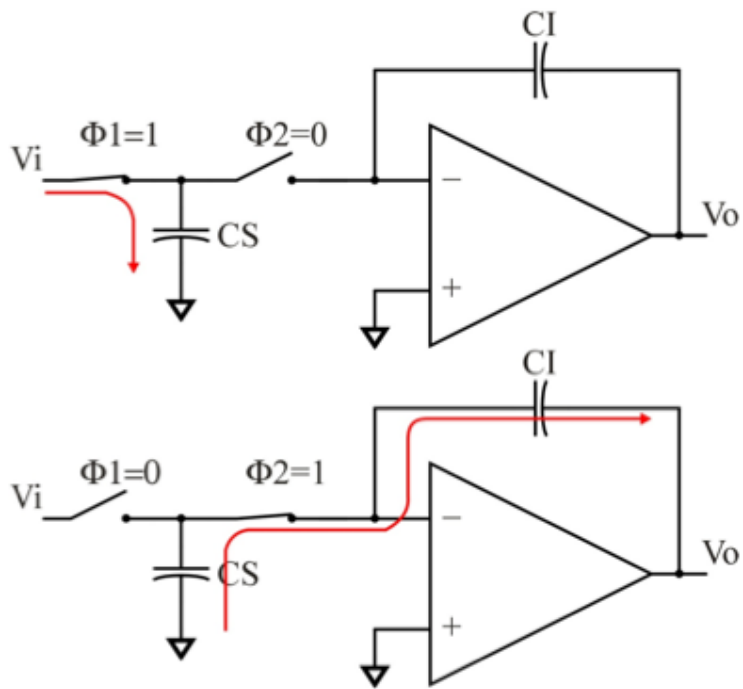
Durante la  $\Phi_1$

$$\begin{aligned} Q_s &= C_s \cdot V_i(n-1) \\ Q_I &= C_I \cdot V_o(n-1). \end{aligned} \quad (2.1)$$

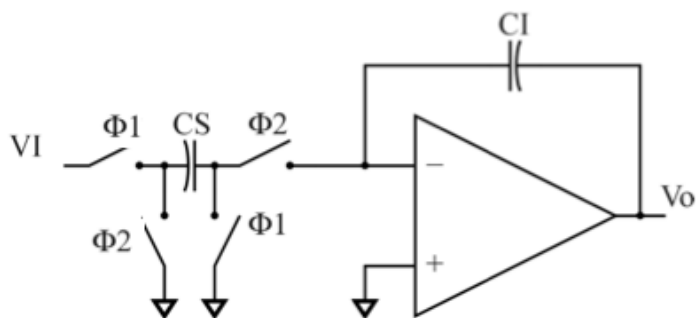
Durante la  $\Phi_2$

$$\begin{aligned} Q_s &= 0 \\ Q_I &= C_I \cdot V_o(n). \end{aligned} \quad (2.2)$$

Combinando le due equazioni e applicando il principio di conservazione della carica si può scrivere la funzione di trasferimento di un sistema di questo tipo



**Figura 2.2:** Trasferimento di carica in un sistema a capacità commutate.



**Figura 2.3:** Topologia di un integratore con ritardo.

$$\begin{aligned}
V_o(n) - V_o(n-1) &= \frac{C_s}{C_I} \cdot V_i(n-1) \longrightarrow V_o(z) \cdot (1 - z^{-1}) = \frac{C_s}{C_I} \cdot V_i(z) \cdot z^{-1} \\
&\longrightarrow H(z) = \frac{C_s}{C_I} \cdot \frac{z^{-1}}{1 - z^{-1}}
\end{aligned} \tag{2.3}$$

dove si sono assunte delle idealità come il principio di massa virtuale sull'amplificatore operazionale. Possiamo osservare come il rapporto dei condensatori determini un coefficiente moltiplicativo alla funzione di trasferimento e, a differenza di quanto accade nell'integratore RC, essendo un rapporto di due termini, ha delle ottime qualità in termini di precisione rispetto a una costante di tempo di un'integratore che è definita da un prodotto di due termini, caratterizzato quindi da un'imprecisione maggiore.

### 2.2.2 Integratore senza ritardo

Procediamo come fatto nella precedente sezione.

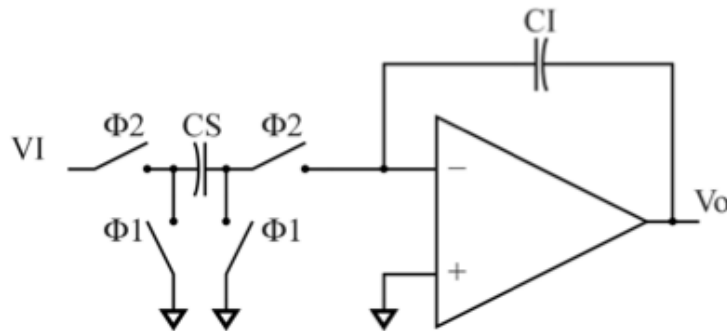


Figura 2.4: Topologia di un integratore senza ritardo.

Durante la  $\Phi_1$

$$\begin{aligned}
Q_s &= 0 \\
Q_I &= C_I \cdot V_o(n-1).
\end{aligned} \tag{2.4}$$

Durante la  $\Phi_2$

$$\begin{aligned}
Q_s &= C_s \cdot V_i(n) \\
Q_I &= C_I \cdot V_o(n).
\end{aligned} \tag{2.5}$$

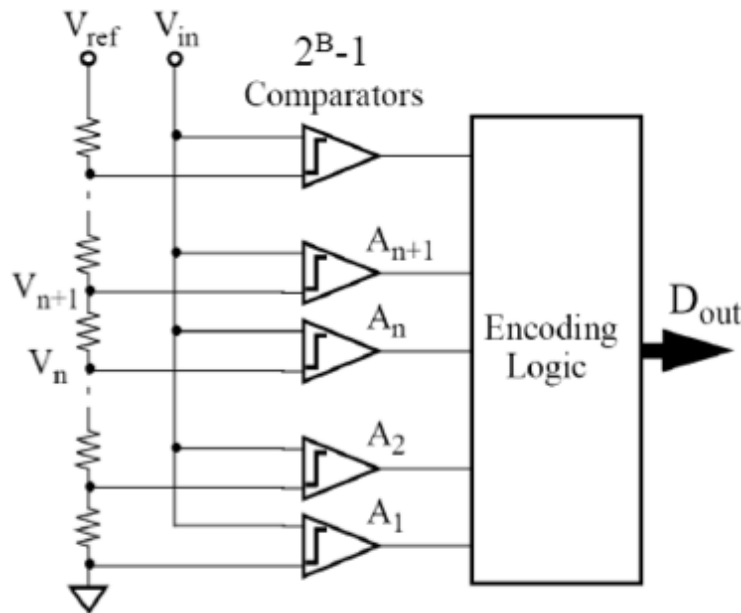
Combinando le due equazioni e applicando il principio di conservazione della carica si può scrivere

$$\begin{aligned}
V_o(n) - V_o(n-1) &= -\frac{C_s}{C_I} \cdot V_i(n) \longrightarrow V_o(z) \cdot (1 - z^{-1}) = -\frac{C_s}{C_I} \cdot V_i(z) \\
&\longrightarrow H(z) = -\frac{C_s}{C_I} \cdot \frac{1}{1 - z^{-1}}.
\end{aligned} \tag{2.6}$$

Si tratta di un integratore senza ritardo con caratteristica invertente, ovvero un integratore in cui la fase di campionamento della tensione d'ingresso nella capacità  $C_s$  coincide con la fase di trasferimento della carica all'uscita.

## 2.3 Quantizzatore

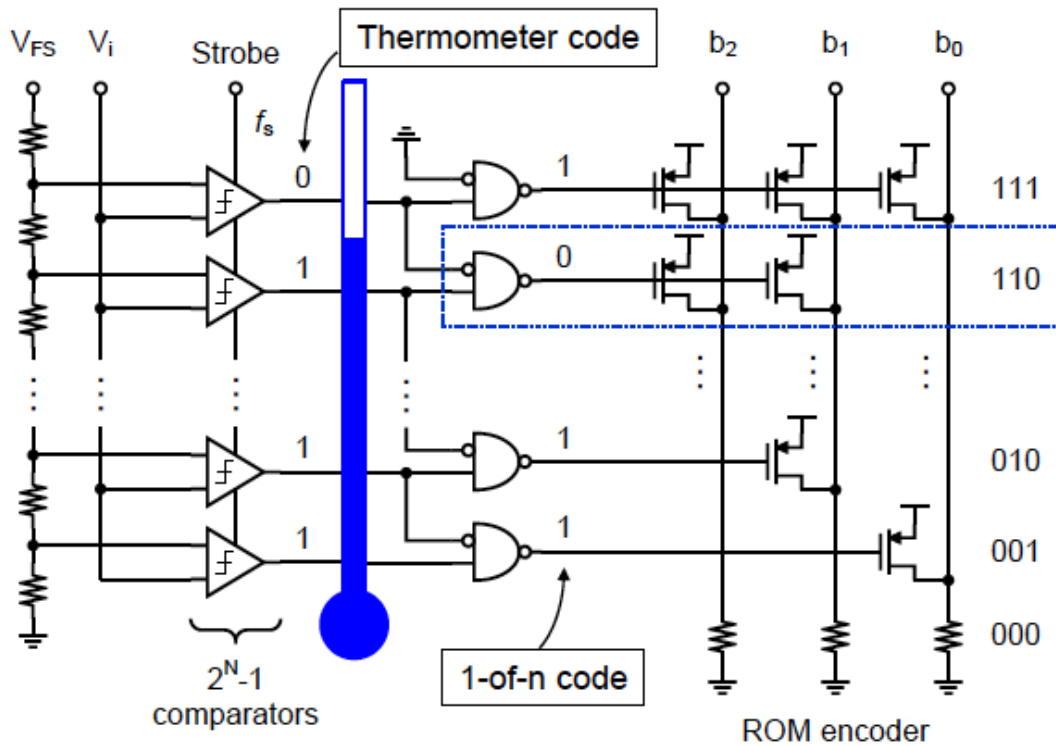
Per realizzare il quantizzatore in una struttura Sigma-Delta viene sfruttata l'architettura tipica dei convertitori Flash. L'obiettivo del quantizzatore è quello di assegnare al valore del segnale in ingresso un simbolo, o un livello, preso da un insieme finito di simboli. Per poter assegnare un simbolo digitale a un segnale analogico è necessario stabilire quale livello, nella caratteristica del quantizzatore, rappresenti al meglio il segnale analogico d'ingresso ovvero è necessario determinare quale sia il livello più vicino all'ingresso. Per poter realizzare una struttura che realizzi questa funzione è possibile usare una schiera di comparatori.



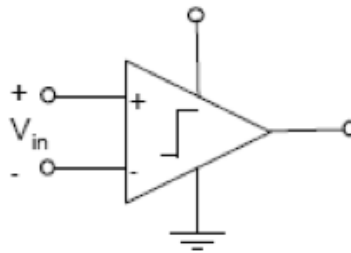
**Figura 2.5:** Architettura tipica di un Flash ADC.

Il funzionamento del convertitore Flash può essere così sintetizzato: il segnale in ingresso viene confrontato con diverse tensioni di riferimento realizzate attraverso un ladder resistivo come in Figura 2.5. Se il segnale d'ingresso  $V_{in}$  risulta minore del riferimento allora in uscita al comparatore avrà un 0 logico, inteso in termini analogici come massa, mentre se il segnale d'ingresso  $V_{in} > V_{REF}$  allora in uscita al comparatore avrà un 1 logico, ovvero alimentazione  $V_{dd}$ . In questo modo i comparatori stabiliscono nel passaggio tra uno 0 e un 1, ovvero l'istante in cui il segnale d'ingresso ha superato il riferimento, quale sia il livello da attribuire al segnale analogico. Si viene così a formare quello che viene chiamato codice termometrico ovvero un codice composto prima da soli zeri e, dall'istante in cui il riferimento diviene minore del segnale d'ingresso, da tutti uni. Così facendo, sfruttando una logica di codifica tipo ROM, è possibile ottenere il simbolo digitale desiderato. In Figura 2.6 si mostra un esempio di codice termometrico e di circuito di codifica. È interessante osservare come il numero di comparatori sia strettamente legato al numero di bit dell'ADC: come era già stato anticipato questo legame rappresenta il principale motivo per il quale l'architettura Flash non è in grado di garantire efficienza elevata in termini di risoluzione. Oltre a questo motivo è doveroso osservare anche che aumentare il numero di bit comporta una richiesta di

prestazioni per il comparatore molto più stringenti, come verrà chiarito in seguito. Risulta quindi evidente come la struttura principale, e anche come vedremo quella maggiormente problematica, che compone un quantizzatore sia il comparatore.



**Figura 2.6:** Esempio di codice termometrico per una struttura a più bit.

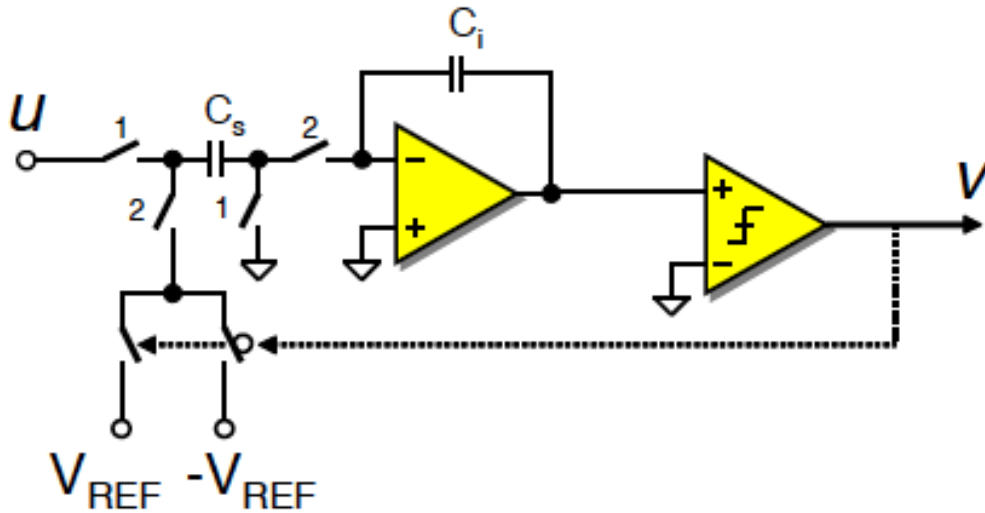


**Figura 2.7:** Comparatore realizzato come amplificatore operazionale in catena aperta.

Possiamo realizzare un comparatore attraverso l'utilizzo di un amplificatore operazionale in catena aperta. Confrontando il segnale d'ingresso con un opportuno riferimento sarà possibile determinare se il riferimento sia maggiore o minore e poter dare di conseguenza l'opportuno simbolo d'uscita.

Storicamente nei convertitori  $\Delta\Sigma$  il quantizzatore viene fatto a singolo bit e quindi con un unico comparatore. Questa scelta verrà motivata al meglio in seguito: essa trova fondamento nel fatto che un quantizzatore a singolo bit non crea problemi in termini di linearità che crea invece un quantizzatore a più di un singolo bit, dove, nonostante la presenza di più bit idealmente aumenti la risoluzione, sono

necessarie soluzioni particolari per evitare che la non linearità del DAC influisca sul Sigma-Delta diminuendo la sua dinamica.



**Figura 2.8:** Realizzazione circuitale semplificativa di un modulatore  $\Delta\Sigma$ .

Viene presentato in Figura 2.8 il circuito completo di un convertitore Sigma-Delta con quantizzatore a singolo bit realizzato come amplificatore in catena aperta. Osserviamo come i simboli d'uscita al quantizzatore siano digitali e, per poter essere sottratti all'ingresso del modulatore, richiedono di essere riconvertiti in segnali analogici: questa riconversione può essere facilmente implementata tramite circuito a capacità commutate semplicemente comandando un opportuno numero di interruttori collegati alla tensione di riferimento. Con riferimento alla Figura 2.8 ad esempio se il simbolo d'uscita fosse 0 avremmo acceso l'interruttore che collega lo switch alla tensione  $-V_{REF}$  caricando il condensatore  $C_s$ , durante la fase  $\Phi_2$ , a questo valore di tensione e quindi durante la fase  $\Phi_1$  si avrebbe la somma della tensione d'ingresso con il riferimento negativo, come da obiettivo del sommatore. Abbiamo fin'ora assunto ideali tutti i componenti da noi studiati: in realtà esistono nelle non idealità circuitali in ogni componente che rendono critiche le prestazioni del convertitore. Nelle prossime sezioni verranno presentate le non idealità principali in un convertitore Sigma-Delta analizzandone cause, effetti e soluzioni per limitarle.

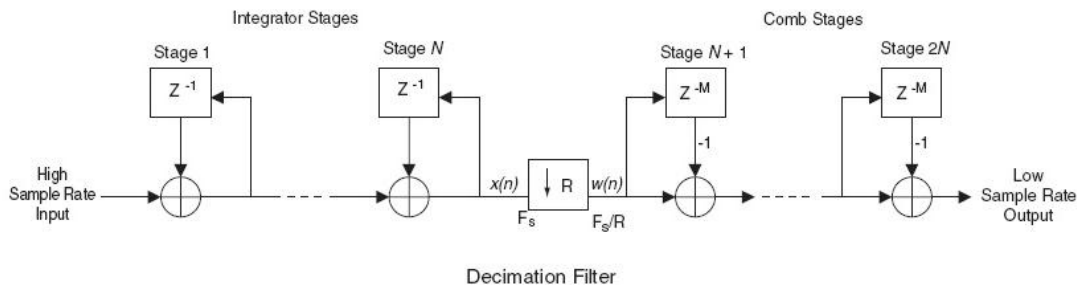
## 2.4 Filtro decimatore

Abbiamo osservato come la caratteristica principale del Noise Shaping sia quella di spostare il rumore dalla banda alle alte frequenze per in un secondo momento rimuoverlo con un filtro passa basso. L'operazione compiuta dal filtro è quella di processare una parola a singolo bit e, rimuovendo il rumore di quantizzazione in eccesso, portarla ad essere un segnale multi-bit, sottocampionato attraverso un'operazione di decimazione, ovvero quel processo per cui una parola d'uscita ad alta frequenza di campionamento viene portata alla frequenza di campionamento dettata dal teorema di Nyquist. [13]

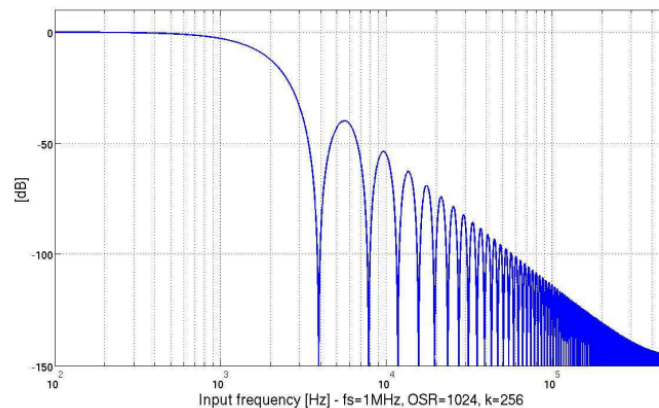
Il filtro proposto si basa su una tipologia *sinc*, noto anche come filtro *CIC* e le sue caratteristiche principali sono esposte in [13], [14] e [15]. La sua funzione di trasferimento è

$$H_{CIC}(z) = \left( \frac{1}{z} \cdot \frac{1 - z^{-k}}{1 - z^{-1}} \right)^L = \left( \frac{1}{k} \sum_{x=0}^{k-1} z^{-x} \right)^L \quad (2.7)$$

dove  $k$  è il fattore di decimazione e  $L$  è l'ordine del filtro *sinc*. Concettualmente  $k$  potrebbe essere un intero qualsiasi, ma è vantaggioso nell'implementazione del filtro far sì che sia una potenza di 2. I filtri *CIC* hanno il vantaggio di essere costituiti da soli elementi sommatore e ritardatori, di facile implementazione e caratterizzati pertanto da un basso consumo di potenza.



**Figura 2.9:** Schema a blocchi di un filtro digitale di tipo *CIC*.



**Figura 2.10:** Funzione di trasferimento di un filtro *CIC* di ordine 3.

In Figura 2.10 viene graficato il modulo di una funzione di trasferimento di tipo *CIC* come definita in (2.7). Essa è caratterizzata da avere tutti gli zeri a frequenze multiple di  $f_s/k$  con  $f_s$  la frequenza di campionamento della parola all'ingresso del filtro, e da un'attenuazione non trascurabile anche all'interno della banda del segnale. Se il fattore di decimazione  $k$  è determinato dall'*OSR*, per definizione, l'ordine del filtro digitale viene tipicamente scelto superiore di un'unità all'ordine del *Sigma-Delta*: si può dimostrare che questa scelta, rispetto a scegliere  $L_{CIC} = L_{\Delta\Sigma}$  comporta un vantaggio nella lunghezza della parola d'uscita di  $0.5 \log_2 k$ . [13]

Il filtro è caratterizzato da una risposta impulsiva di lunghezza finita pari a

$$N = L_{CIC} \cdot (k - 1) + 1. \quad (2.8)$$

Dalla lunghezza del filtro possiamo ricavare anche il tempo necessario ad esaurire il transitorio della risposta impulsiva come  $t = N/f_s$ . Questo elemento rappresenta una delle specifiche imposte dal progetto e permette pertanto di porre delle limitazioni su ordine del filtro e sul fattore di sottocampionamento  $k$ .

## 2.5 Non idealità amplificatore

### 2.5.1 Guadagno finito

Abbiamo osservato nelle precedenti sezioni che con un sistema a capacità commutate possiamo realizzare una funzione di trasferimento del tipo  $H(z) = \frac{z^{-1}}{1-z^{-1}}$ . L'implementazione circuitale dell'integratore comporta tuttavia delle limitazioni. In particolare se il guadagno dell'amplificatore non è infinito non è nemmeno più valido il principio di massa virtuale. Le equazioni descritte in (2.1), (2.2) e (2.3) si modificano come segue:

Durante la  $\Phi_1$

$$\begin{aligned} Q_s &= C_s \cdot V_i(n-1) \\ Q_I &= C_I \cdot V_o(n-1) \left(1 + \frac{1}{A_{v0}}\right) \\ Q_x &= -C_x \cdot V_o(n-1) \frac{1}{A_{v0}}. \end{aligned} \quad (2.9)$$

Durante la  $\Phi_2$

$$\begin{aligned} Q_s &= C_s \cdot V_o(n) \frac{1}{A_{v0}} \\ Q_I &= C_I \cdot V_o(n) \left(1 + \frac{1}{A_{v0}}\right) \\ Q_x &= -C_x \cdot V_o(n) \frac{1}{A_{v0}} \end{aligned} \quad (2.10)$$

dove con  $C_x$  vengono sintetizzate tutte le capacità che convergono dal morsetto negativo dell'amplificatore verso massa. Operando con i bilanci di carica e passando dalle equazioni alle differenze alle trasformate Zeta si ricava

$$\begin{aligned} H(z) &= \frac{\alpha z^{-1}}{1 - \gamma z^{-1}} \\ \alpha &= \frac{C_s}{C_I} \frac{A_{v0} \beta}{A_{v0} \beta + 1} \\ \gamma &= \frac{(A_{v0} + 1) C_I + C_x}{(A_{v0} + 1) C_I + C_x + C_s} \\ \beta &= \frac{C_I}{C_s + C_I + C_x}. \end{aligned} \quad (2.11)$$

Se, da una parte, l'errore di guadagno sintetizzato in  $\alpha$  non è molto influente in quanto la presenza del feedback negativo recupera questo errore, dall'altra risulta problematico l'effetto di spostamento del polo dall'origine. Il parametro  $\gamma$  comporta infatti una variazione nella NTF e quindi un Noise Shaping meno efficace. Come mostrato in Figura 2.11 per valori di guadagno piccoli l'effetto è quello di ridurre l'SNDR e in particolare di aumentare il floor di rumore con conseguente diminuzione dell'ENOB.

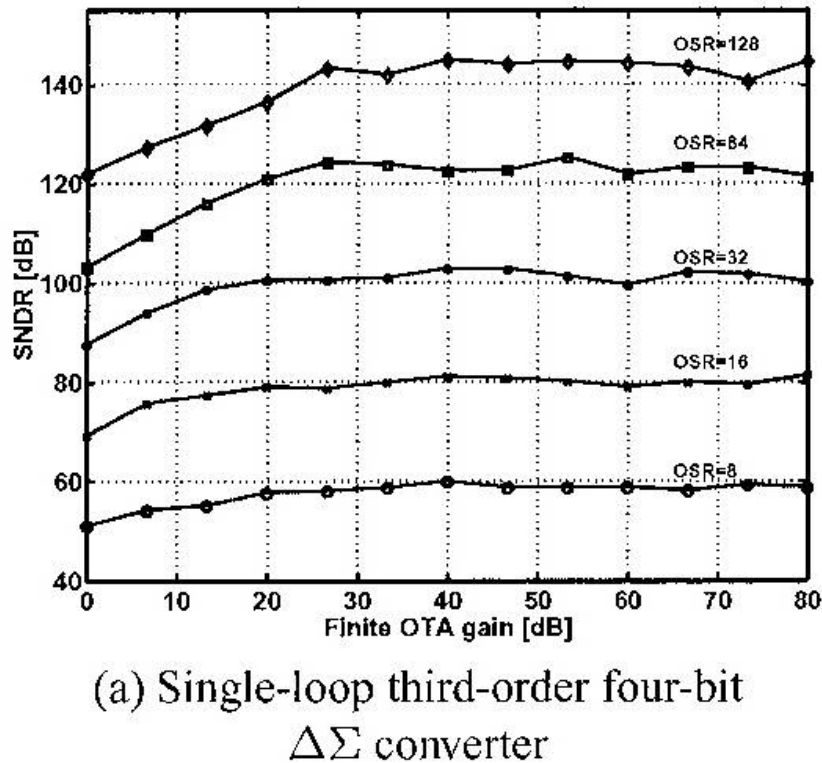


Figura 2.11: Effetto del guadagno finito dell'OTA sul modulatore  $\Delta\Sigma$ .

### 2.5.2 Banda finita e Slew Rate

Gli effetti di banda finita e Slew Rate sono collegati tra loro e possono essere interpretati come termini di guadagno non lineare [2]. Essi comportano una risposta al gradino in termini di transitorio non ideale provocando un trasferimento di carica all'uscita non accurato al termine della fase di integrazione. Con riferimento alla Figura 2.3 si ricava l'andamento della tensione d'uscita durante la fase d'integrazione  $\Phi_2$  quando all'ingresso dell'integratore viene applicato un gradino di ampiezza pari a  $V_s$ .

$$v_o(t) = v_o(nT_s - T_s) + \alpha V_s \left(1 - e^{-\frac{t}{\tau}}\right), 0 < t < \frac{T_s}{2} \quad (2.12)$$

dove  $\alpha$  è il termine prima definito dovuto al guadagno finito dell'integratore e  $\tau = \frac{1}{2\pi \cdot GBW}$  ovvero la costante di tempo dell'integratore in catena chiusa valutata con la GBW frequenza a guadagno unitario dell'integratore in catena aperta, o in altri termini  $\tau = g_m/C_{tot}$ . Questo esponenziale raggiunge la sua massima pendenza quando  $t = 0$  ovvero

$$\left. \frac{dv_o(t)}{dt} \right|_{t=0} = \frac{\alpha V_s}{\tau}. \quad (2.13)$$

Il valore appena trovato distingue due casi:

- Se lo Slew Rate dell'OTA, tipicamente pari a  $SR = \frac{I_{tail}}{C_{tot}}$  con  $C_{tot}$  comprensiva di tutti i condensatori connessi all'uscita dell'operazionale, è maggiore del valore specificato dalla (2.13) allora l'evoluzione è di tipo esponenziale per tutta la durata del periodo di Clock.
- Se il valore specificato dalla (2.13) è maggiore dello SR dell'amplificatore allora si parla di fase di slewing. La tensione d'ingresso porta a uno sbilanciamento completo della coppia differenziale d'ingresso dell'OTA con una conseguente prima parte di transitorio rettilinea a pendenza pari allo SR, per poi proseguire con il classico andamento esponenziale.

$$\begin{aligned} v_o(t) &= v_o(nT_s - T_s) + SR \cdot t \quad t \leq t_0 \\ v_o(t) &= v_o(t_0) + (\alpha V_s - SR \cdot t_0) \left(1 - e^{-\frac{t-t_0}{\tau}}\right) \quad t > t_0. \end{aligned} \quad (2.14)$$

Imponendo le condizioni di continuità sulla derivata prima siamo in grado di determinare il valore  $t_0$

$$t_0 = \frac{\alpha V_s}{SR} - \tau \quad (2.15)$$

Lo Slew Rate limitato dell'OTA modifica pertanto il transitorio introducendo un errore che dipende dalla durata della fase di SR, ovvero dall'ampiezza del gradino d'ingresso  $V_s$ . Questo ha come effetto quello di inserire un contributo distortente, come visibile in Figura 2.12, che comporta una riduzione della risoluzione del convertitore. Con riferimento alla Figura 2.12 si può osservare come per valori di SR grandi il contributo di distorsione possa essere considerato trascurabile, mentre diventa dominante quando lo SR diventa piccolo, con una conseguente diminuzione dell'SNDR.

### 2.5.3 Saturazione

Gli amplificatori non sono in grado di garantire in uscita uno swing infinito, ma sono limitati sempre da un valore massimo e da un valore minimo. Tipicamente questi valori sono una frazione dell'alimentazione e il loro raggiungimento implica distorsione aggiuntiva all'uscita del convertitore.

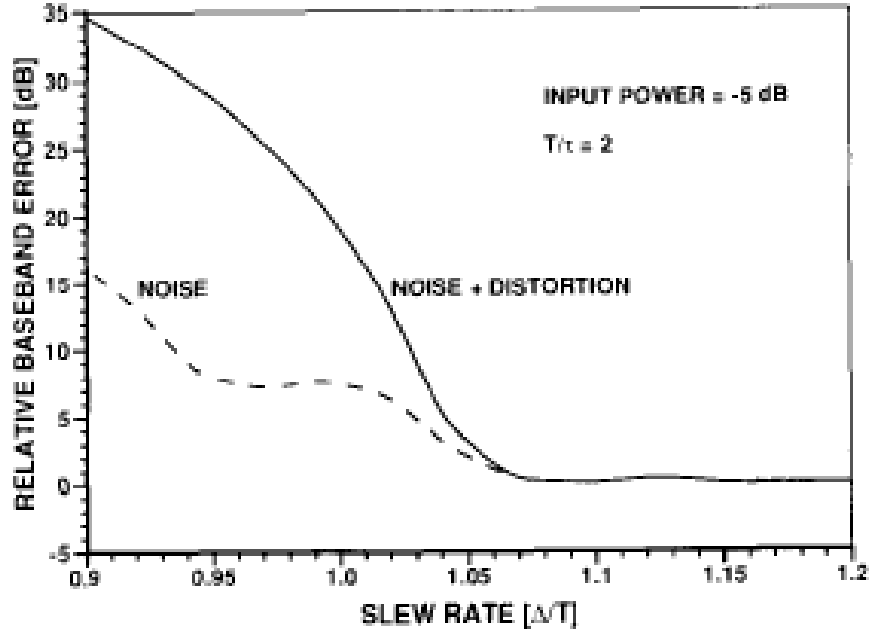


Figura 2.12: Effetto di banda finita e Slew Rate sul modulatore  $\Delta\Sigma$

## 2.6 Non idealità switch

### 2.6.1 Resistenza serie

La realizzazione di un interruttore in tecnologia integrata prevede l'utilizzo di un Mosfet (canale n o p) con tensione di comando al gate variabile tra  $V_{dd}$  e 0. Per emulare al meglio un interruttore il transistor, quando acceso, dovrebbe lavorare a  $V_{ds} = 0$  ovvero essere idealmente un cortocircuito, in realtà lavorerà a tensioni comunque piccole, ma non nulle, tali da mantenerlo in regione lineare. In regione lineare è possibile dalla caratteristica tensione-corrente del MOS ricavare la resistenza serie

$$\left(\frac{\delta I_d}{\delta V_{DS}}\right)^{-1} = \frac{1}{\mu C_{ox} \frac{W}{L} (V_{dd} - V_{th} - V_{in})} \quad (2.16)$$

Pertanto il MOS, in conduzione, non si comporta come un cortocircuito ideale, bensì presenta una resistenza serie che può essere opportunamente diminuita aumentando il fattore di forma del transistor, con lo svantaggio tuttavia di aumentare le capacità parassite del transistor. Questa resistenza ha principalmente due effetti deleteri: il primo è che questa resistenza forma, nel sistema SC, un filtro passa basso con il condensatore  $C_s$ , portando a una limitazione sulla frequenza d'ingresso massima; il secondo effetto è il rumore termico di cui si discute nella prossima sezione.

### 2.6.2 Rumore termico

La presenza di una resistenza serie nella conduzione dell'interruttore comporta rumore termico. Il rumore termico è caratterizzato da uno spettro bianco e a banda

larga limitato dalla costante di tempo  $\tau = 1/(R_{on}C_s)$ , ovvero è modellizzabile come una variabile aleatoria gaussiana a media nulla e varianza data dalla potenza del rumore. La potenza totale di rumore può essere valutata integrando la PSD e vale  $e_T^2 = \frac{kT}{C_s}$  con  $k = 1.38 \cdot 10^{-23}$  la costante di Boltzmann e  $T$  la temperatura assoluta misurata in Kelvin. Per convertitori di ordine superiore al primo si ha che il rumore termico è essenzialmente dominato dal primo stadio. Con riferimento alla Figura 2.13 è facilmente dimostrabile che il rumore termico del primo stadio vede esattamente la  $STF$ , mentre il rumore del secondo stadio ha una funzione di trasferimento rispetto all'uscita del tipo  $z^{-1}(1 - z^{-1})$ , ovvero gode del Noise Shaping risultando pertanto attenuato in banda. Questo risultato può facilmente essere generalizzato anche a ordini superiori del secondo e permette di valutare come contributo dominante quello relativo al primo stadio. È opportuno osservare che anche l'amplificatore produce rumore, ma questo termine di rumore è tipicamente trascurabile rispetto al rumore termico prodotto dagli interruttori.

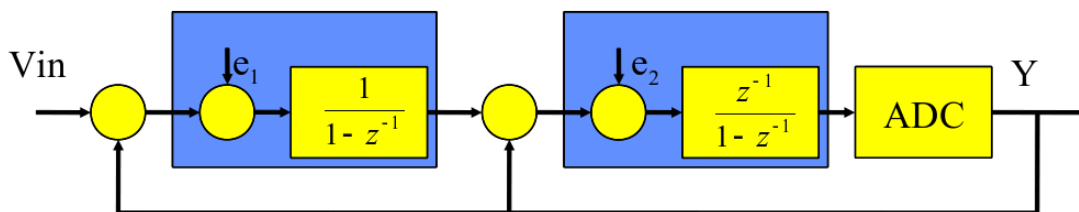


Figura 2.13: Rumore termico in un Sigma-Delta a due stadi.

## 2.7 Non idealità quantizzatore

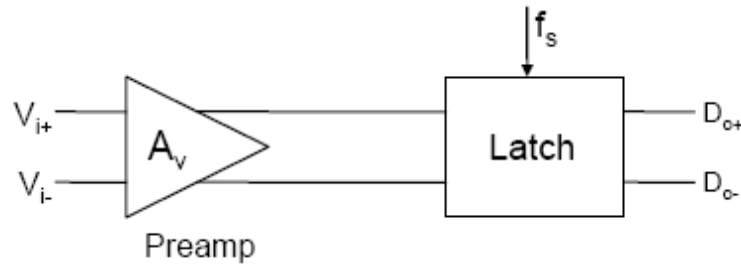
### 2.7.1 Comparatore

Abbiamo visto in precedenza come il comparatore svolga un ruolo fondamentale nel quantizzatore. Il comparatore svolge il ruolo di amplificare la differenza in ingresso a un valore che sia identificabile all'uscita come 0 o 1 logico. Per questo motivo è necessario che il comparatore sia caratterizzato da un guadagno minimo: il minimo segnale da rilevare è pari a  $LSB = \pm V_{REF}/2^b$  e quindi il guadagno minimo è definito come quel fattore moltiplicativo che porta una differenza d'ingresso pari a  $\pm LSB/2$  al valore di alimentazione ovvero  $A_{v0min} = V_{dd}/\frac{LSB}{2}$ . Diventa quindi evidente come un aumento del numero di bit corrisponda anche a un aumento del guadagno minimo richiesto dal comparatore, a ulteriore dimostrazione del fatto che l'architettura Flash non è di realizzazione banale in strutture a molti bit. Inoltre, dal momento che la banda di un'amplificatore non è infinita, esso deve garantire anche che questo guadagno sia sufficientemente elevato all'interno di tutto il range di frequenze d'interesse.

Oltre a banda e guadagno esistono delle specifiche per il comparatore anche sull'offset in ingresso: se l'amplificatore progettato è caratterizzato da una tensione di offset troppo elevata (maggiore di  $LSB/2$ ) il comparatore commette un errore con distribuzione statistica di tipo gaussiano, varianza  $\sigma_{Vos} = A_{Vt}/\sqrt{WL}$ , causato dal

mismatch tra i MOS della coppia differenziale d'ingresso.

Non sempre risulta facile realizzare un comparatore che soddisfi tutte le specifiche richieste e quindi tipicamente si ricorre a strutture più complicate rispetto al singolo operazionale in catena aperta. Una delle soluzioni usate è quella di mettere in cascata più amplificatori operazionali in catena aperta portando così a ridurre le richieste di guadagno per ogni singolo stadio, ma ad aumentare l'offset complessivo. Molto più usata è la struttura che prevede l'utilizzo di un preamplificatore e di un latch in cascata come in Figura 2.14, della quale si discuterà meglio in seguito analizzandone la realizzazione circuitale.



**Figura 2.14:** Schema semplificato alternativo di un preamplificatore seguito da un latch per la realizzazione di un comparatore.

Gli effetti che derivano dalle non idealità appena presentate portano a delle scorrette valutazioni da parte della logica digitale del simbolo in uscita. In Figura 2.15 viene mostrato un errore nel codice termometrico che la logica digitale non può prevedere e come conseguenza una errata parola d'uscita. Tipicamente questo errore viene anche chiamato *Sparkle codes* e può essere risolto complicando la logica digitale, ad esempio con delle porte AND a tre ingressi o rendendo i comparatori meno sensibili agli effetti di offset, ad esempio aumentando le dimensioni dei transistor della coppia differenziale d'ingresso o con strategie come l'*Auto-zero*.

### 2.7.2 Strategie per la cancellazione dell'offset: Auto-zero

L'idea alla base dell'Auto-zero (AZ) è di campionare la quantità indesiderata, come rumore e appunto offset, memorizzandola in un condensatore e sottrarla al valore istantaneo del segnale contaminato per ottenere all'uscita un segnale pulito. Questa cancellazione può essere realizzata sia all'ingresso che all'uscita dell'amplificatore. Se il rumore è costante a tutte le frequenze, come nel caso dell'offset, viene cancellato altrimenti, se ha una distribuzione in frequenza non costante, come ad esempio il rumore *flicker* che ha una caratteristica del tipo  $1/f$ , viene filtrato riducendo il rumore alle basse frequenze, questo effetto può essere facilmente interpretato come filtraggio passa alto e, in termini temporali, una sottrazione al rumore di un campione precedente del medesimo rumore. Con riferimento alla Figura 2.16, nella soluzione a cancellazione dell'offset all'uscita, per  $S_2 = S_3 = 1$ , con  $S_1 = S_4 = 0$  l'offset viene campionato e mantenuto nel condensatore e, non appena  $S_1 = S_4 = 1$  sul condensatore viene accumulata la tensione d'ingresso comprensiva dell'offset e, idealmente, l'amplificatore risulterà libero da ogni componente indesiderata di offset [3]. Nella soluzione a cancellazione

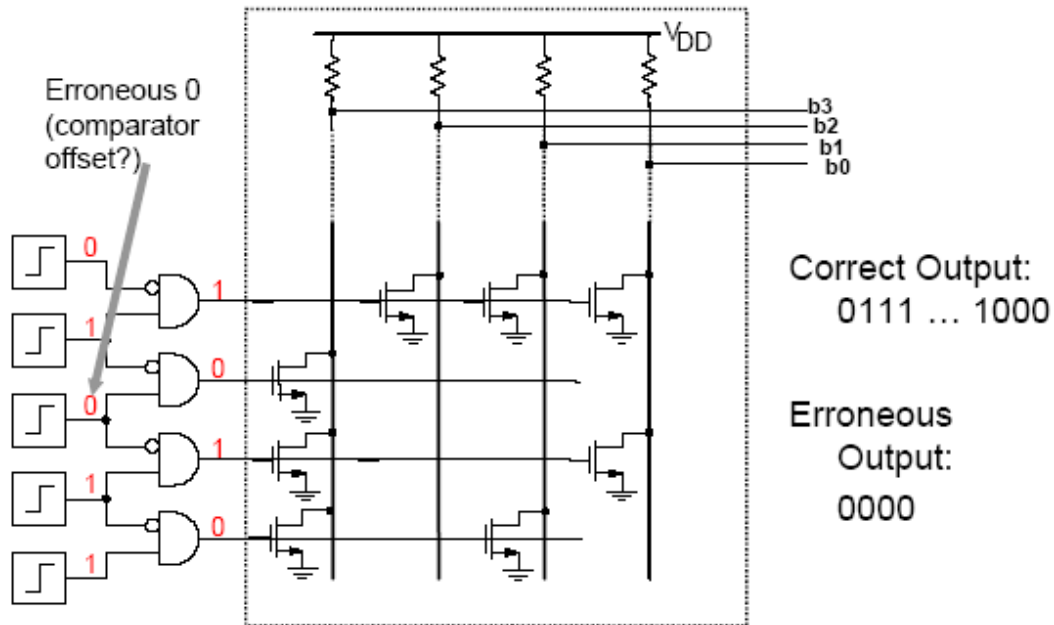


Figura 2.15: Esempio di codice termometrico con errore di offset nel comparatore.

dell'offset all'ingresso gli interruttori S2 e S3 sono sincronizzati e, quando sono accesi, ed S1 è aperto, l'ingresso risulta scollegato dalla rete e l'offset viene immagazzinato nella capacità d'ingresso per poi essere cancellato non appena viene chiuso lo switch S1. Altre tecniche di cancellazione dell'offset o del rumore *flicker* compreso lo studio dell'Auto-zero sono spiegate in [3].

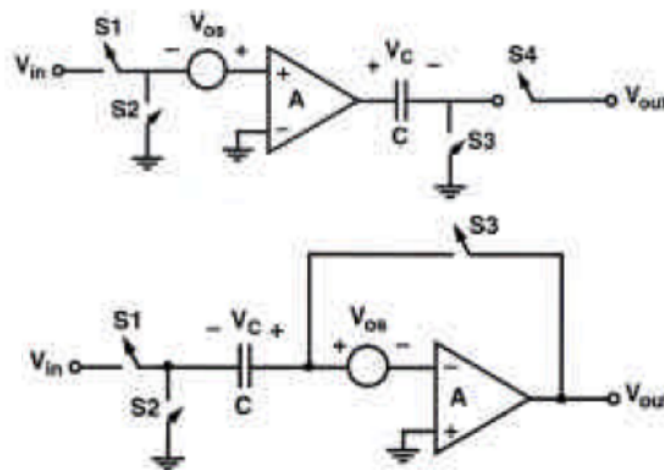


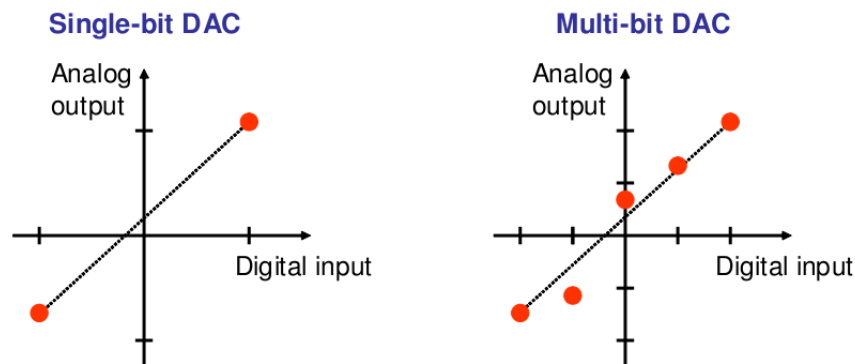
Figura 2.16: Tecnica di AZ applicata all'uscita e all'ingresso dell'amplificatore per eliminare l'offset.

### 2.7.3 Non idealità DAC a più bit

Uno dei fattori maggiormente critici nei  $\Delta\Sigma$  ADC risulta essere quello della linearità nel percorso di feedback comprendente il DAC. Ogni errore introdotto da questo blocco è infatti sommato allo stesso punto in cui troviamo in segnale d'ingresso, ovvero il DAC vede la STF verso l'uscita, e pertanto compare direttamente all'uscita senza sfruttare i vantaggi del Noise Shaping, come invece accade per il rumore di quantizzazione.

Storicamente l'ADC e quindi il DAC vengono realizzati a singolo bit. Come illustrato in Figura 2.17 i due livelli di un DAC a singolo bit possono essere sempre connessi da una linea retta, pertanto il DAC a singolo bit risulterà sempre lineare. La medesima cosa non può essere detta per dei DAC multibit. Infatti i DAC multibit sono lineari tanto quanto lo sono gli elementi circuitali usati per la loro implementazione [5]. La non linearità del DAC provoca un aumento del rumore e della distorsione armonica con una degradazione nelle performance del convertitore proporzionali alla deviazione standard del mismatch tra condensatori causata da inevitabili errori durante la fase di fabbricazione. Indicando con  $k$  una costante caratteristica della tecnologia per la realizzazione del circuito integrato:

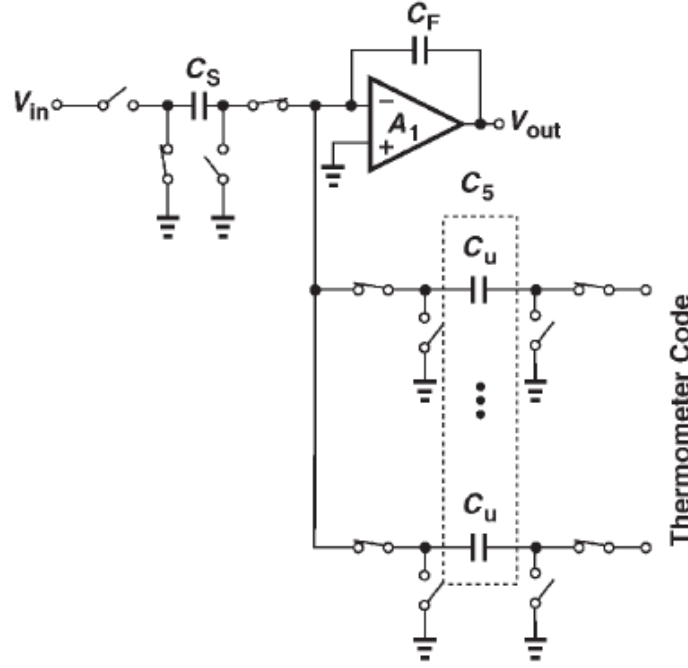
$$\sigma\left(\frac{\Delta C}{C}\right) = \frac{k}{\sqrt{WL}}. \quad (2.17)$$



**Figura 2.17:** Linearità del DAC a singolo bit e multibit.

Con riferimento alla Figura 2.18 se i condensatori che formano l'array capacitivo  $C_5$  non sono perfettamente uguali la conseguenza sarà quella di avere dei rapporti  $C_F/C_{ui}$  diversi per ogni  $i \in (0, 2^b - 1]$ . Se i rapporti capacitivi sono diversi anche i livelli del DAC non saranno esatti, ma soffriranno di errori di DNL e INL che comprometteranno la linearità del sistema.

Almeno inizialmente l'unica soluzione a questo problema è stata quella di calibrare gli elementi che compongono il DAC attraverso un *laser trimming* al momento della fabbricazione, con il difetto, tuttavia, che tale tecnica risultava molto costosa e non garantiva un funzionamento a lungo termine. Al fine di risolvere questo problema si ricorre ad algoritmi di calibrazione. Un modo molto popolare di linearizzare il DAC è rappresentato dal Dynamic Element Matching (DEM)



**Figura 2.18:** Struttura di un Sigma-Delta con DAC a più bit. Il mismatch tra i condensatori  $C_u$  causa gli effetti di non linearità.

#### 2.7.4 Dynamic Element Matching DEM

L'obiettivo che si propone l'aggiunta di un algoritmo come il DEM è quella di ridurre il contenuto distorto causato dalla non perfetta uguaglianza della dimensione dei condensatori.

Riguardo alla strategia del DEM la letteratura contiene molti articoli che illustrano il funzionamento di questo algoritmo, come ad esempio [6], [7], [8] e [9].

Consideriamo un caso non banale di un DAC a tempo discreto con valori in uscita ideali  $-\Delta, 0, \Delta$ . In assenza di non idealità circuitali il DAC convertirà il formato del dato digitale in un formato analogico ovvero, con riferimento alla Figura 2.19,  $y[n] = x[n]$ .

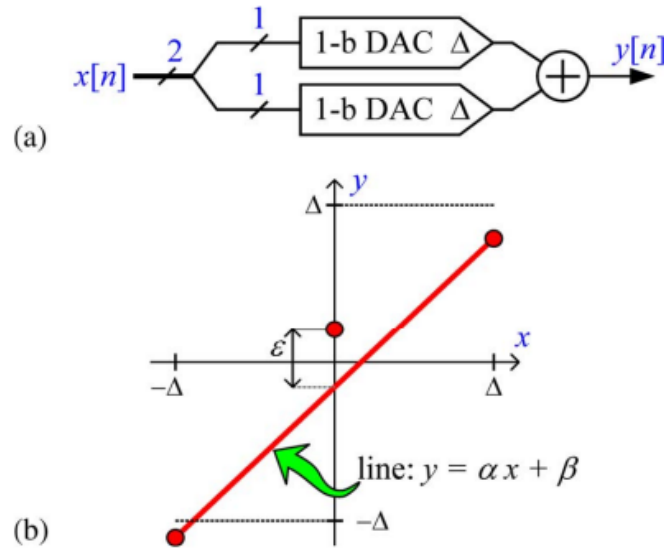
Possiamo quindi implementare il DAC a tre livelli con due DAC a 1 bit ognuno dei quali genererà un uscita analogica del tipo

$$y_i[n] = \begin{cases} \frac{\Delta}{2} + e_{hi}, & \text{se } c_i[n] = 1 \\ -\frac{\Delta}{2} + e_{li}, & \text{se } c_i[n] = 0 \end{cases} \quad (2.18)$$

dove  $e_{hi}$  e  $e_{li}$  sono gli errori dovuti al mismatch. Assumiamo che il mismatch non vari in modo significativo durante il tempo. Con riferimento alla Figura 2.19 la retta  $y = \alpha x + \beta$  collega i punti corrispondenti a  $x[n] = \pm\Delta$  e con tale notazione è possibile scrivere i valori all'uscita del DAC come

$$y[n] = \alpha x[n] + \beta + e_{DAC}[n] \quad (2.19)$$

dove



**Figura 2.19:** (a) DAC a tre livelli con codice termometrico d'ingresso. (b) Tre possibili valori d'uscita del DAC contro i tre possibili valori d'ingresso

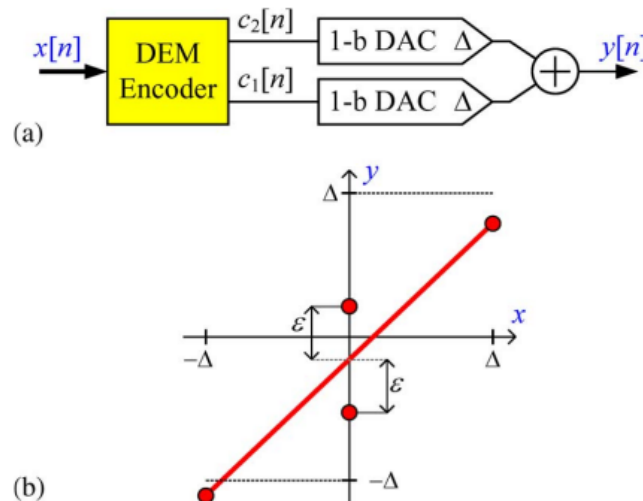
$$e_{DAC}[n] = \begin{cases} \epsilon, & \text{se } x[n] = 0 \\ 0, & \text{se } x[n] = \pm\Delta \end{cases} \quad (2.20)$$

È facile e intuitivo verificare che le costanti  $\alpha$ ,  $\beta$ ,  $\epsilon$  dipendono esclusivamente dagli errori di mismatch e nel loro caso ideale valgono rispettivamente 1,0,0. Pertanto la non linearità del DAC è modellata come l'introduzione di un termine di guadagno  $\alpha$ , di un offset  $\beta$  e di un errore additivo non lineare. In applicazioni come quelle del DAC nel convertitore Sigma-Delta gli errori di guadagno e offset non sono significativi, ma la distorsione introdotta dal termine  $e_{DAC}[n]$  è spesso problematica. Il DEM impone come obiettivo quello di convertire tale errore in un rumore bianco o opportunamente sagomato.

Assumiamo di scambiare i due ingressi in Figura 2.19(a) quando  $x[n] = 0$ : quello che otterremo è la medesima retta con i medesimi  $\alpha$  e  $\beta$  con una sola variazione di segno nel termine  $\epsilon$ . Questa considerazione risulta ben evidente con una semplice analogia: assumiamo di avere due blocchi e assumiamo che la differenza delle due altezze sia pari a  $2\epsilon$ . Se i due blocchi vengono posti uno sopra l'altro, a prescindere dall'ordine in cui saranno posti, la distanza tra il punto di mezzo e l'interfaccia tra i due blocchi sarà sempre  $\epsilon$  sopra o sotto. Il funzionamento del DEM utilizza questo risultato talvolta scambiando e talvolta no gli elementi d'ingresso del DAC. Con riferimento alla Figura 2.20 si può osservare come in ogni istante in cui avremo  $x[n] = 0$  l'algoritmo di DEM farà sì che all'uscita  $y[n]$  sia sopra o sotto la caratteristica rettilinea di un valore pari a  $\epsilon$ .

$$e_{DAC}[n] = \begin{cases} \epsilon, & \text{se } x[n] = 0, c_1[n] = 1, c_2[n] = 0 \\ -\epsilon, & \text{se } x[n] = 0, c_1[n] = 0, c_2[n] = 1 \\ 0, & \text{se } x[n] = \pm\Delta \end{cases} \quad (2.21)$$

Come in precedenza i punti del DAC d'uscita non giacciono sulla medesima linea, tuttavia, dalla modulazione del segno pseudorandomica da parte del DEM sull'  $e_{DAC}[n]$  si ha che l'errore è mediamente nullo ovvero i livelli stanno mediamente sulla stessa caratteristica rettilinea [6].



**Figura 2.20:** (a) DEM a tre livelli. (b) Quattro possibili valori d'uscita del DAC contro i tre possibili valori d'ingresso.

L'algoritmo di DEM ha quindi generato una componente di rumore a media diversa da zero: è infatti immediato osservare che la dipendenza di  $e_{DAC}[n]$  da  $x[n]$  causa una media non nulla. Assumendo, ad esempio,  $x[n]$  costante a  $\Delta$  l'errore sarebbe sempre nullo, ma per  $x[n] = 0$  diventa a modulo pari a  $\epsilon$ , come visibile in (2.21). È tuttavia possibile rendere  $e_{DAC}[n]$  scorrelato dall'ingresso. Una delle strategie usate per ottenere questo effetto è quella del *mismatch-shaping*: con riferimento alla Figura 2.21 un generatore pseudo-random crea un processo  $r[n]$ , con una frequenza determinata dal sample rate del DAC, che approssima una sequenza di numeri random scorrelati con  $x[n]$  e che possono assumere con ugual probabilità i valori 0 e 1. Le proprietà di  $r[n]$  assicurano che il DEM abbia un errore a media nulla. È interessante osservare che questa struttura comporta una PSD crescente a 20 dB/decade ovvero  $e_{DAC}[n]$  ha un andamento passa alto, analogo all'andamento del rumore di quantizzazione per mezzo del Noise Shaping, e può quindi essere filtrato digitalmente all'uscita.

L'algoritmo di DEM può essere esteso anche a casi in cui il numero di livelli del DAC sia maggiore di 3. In questo caso viene sfruttata una struttura ad albero per controllare l'array di condensatori del DAC. La struttura di switching per cui interruttori del DAC possono essere chiusi o aperti randomicamente introduce un rumore che sagoma la componente non lineare causata dal mismatch dei condensatori portando un'amplificazione fuori dalla banda come nel meccanismo di Noise Shaping e comporta, come si voleva, un aumento dell'SNR del sistema complessivo una volta filtrato digitalmente il rumore in eccesso.

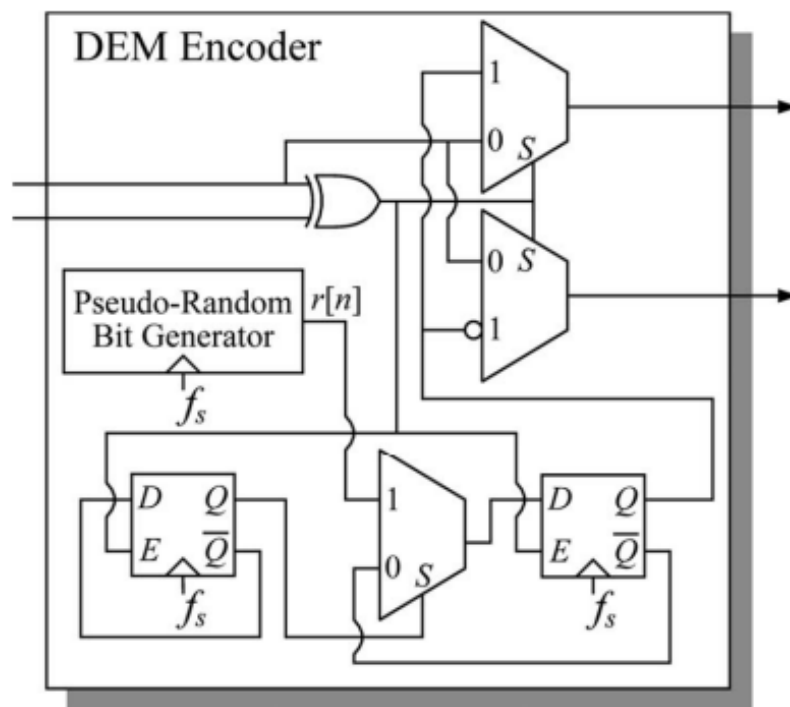


Figura 2.21: DEM encoder a mismatch-shaping.

# Capitolo 3

## Modellizzazione con *Simulink* di un $\Delta\Sigma$

### 3.1 Le motivazioni all'utilizzo di *Simulink*

Nella progettazione di un convertitore Sigma-Delta le problematiche principali che deve essere in grado di risolvere il progettista sono:

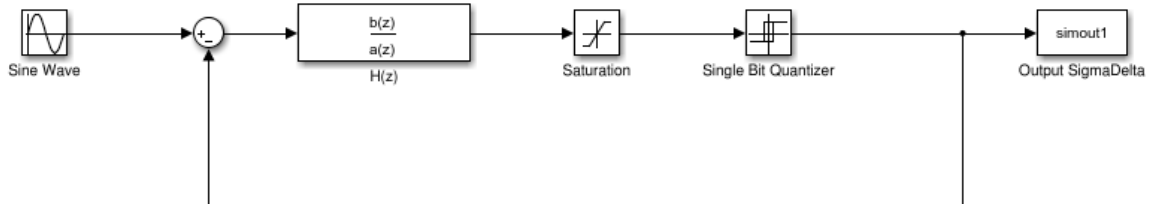
- Scegliere l'architettura più vantaggiosa per soddisfare i requisiti imposti dall'applicazione;
- Data una certa architettura individuare quali siano le specifiche per i blocchi principali.

Nella pratica il problema significativo nella progettazione dei modulatori Sigma-Delta risulta essere la stima delle loro caratteristiche essendo circuiti contenenti degli elementi intrinsecamente non lineari come il quantizzatore. Per soddisfare elevate richieste in termini di funzionamento del convertitore è necessario che le simulazioni siano il più possibile simili alla situazione reale comprendendo le non idealità e permettendo, eventualmente, di studiare le caratteristiche di differenti architetture. Usare un simulatore circuitale come SPICE come punto di partenza per la progettazione del convertitore, nonostante comporti un'elevata precisione nei risultati ottenuti, implica tempi estremamente lunghi nella risoluzione di simulazioni transitorie. In questo capitolo verrà presentato un approccio alla progettazione del convertitore attraverso *Simulink*, il quale, oltre a garantire una buona accuratezza nei risultati grazie a un'opportuna modellizzazione dei blocchi fondamentali di un Sigma-Delta comprensivi delle loro non idealità circuitali, garantisce anche un'ottimizzazione in termini di tempo, [11]. È opportuno precisare che il modello costruito non sarà perfetto, dal momento che si baserà su ipotesi semplificative non sempre veritiere, tuttavia ci permette di ottenere una buona stima dei parametri necessari alla progettazione del  $\Delta\Sigma$ .

### 3.2 Convertitore del primo ordine

In Figura 3.1 si riporta lo schema a blocchi di un convertitore Sigma-Delta di ordine 1 con quantizzatore a singolo bit. La funzione di trasferimento  $H(z)$

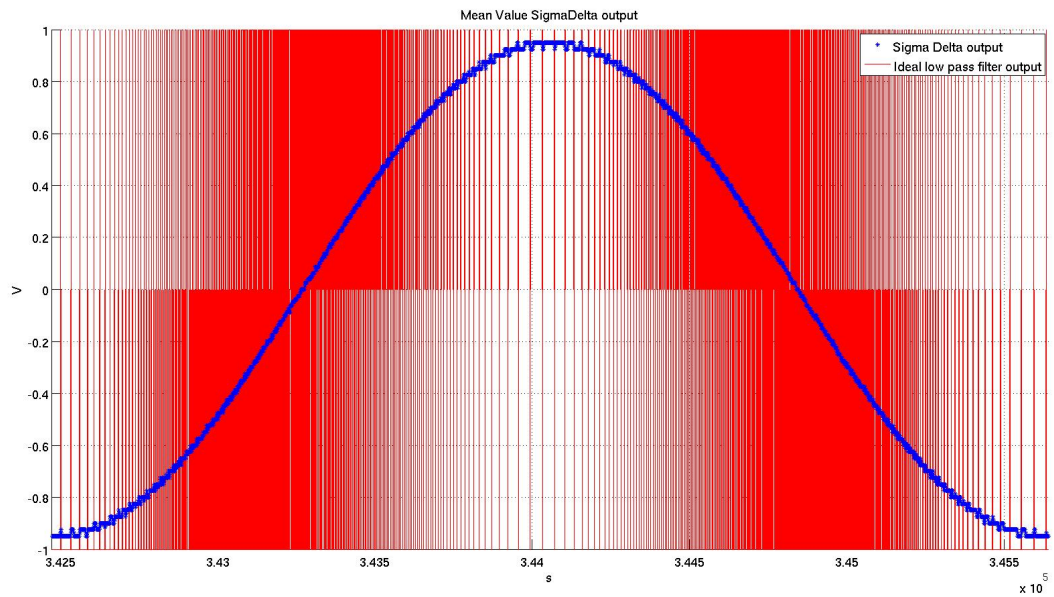
può essere definita in vari modi con il risultato di variare la NTF. Osserviamo che all'uscita del blocco rappresentante la funzione di trasferimento viene inserito un elemento di saturazione che limita lo swing d'uscita dell'amplificatore ai valori d'alimentazione.



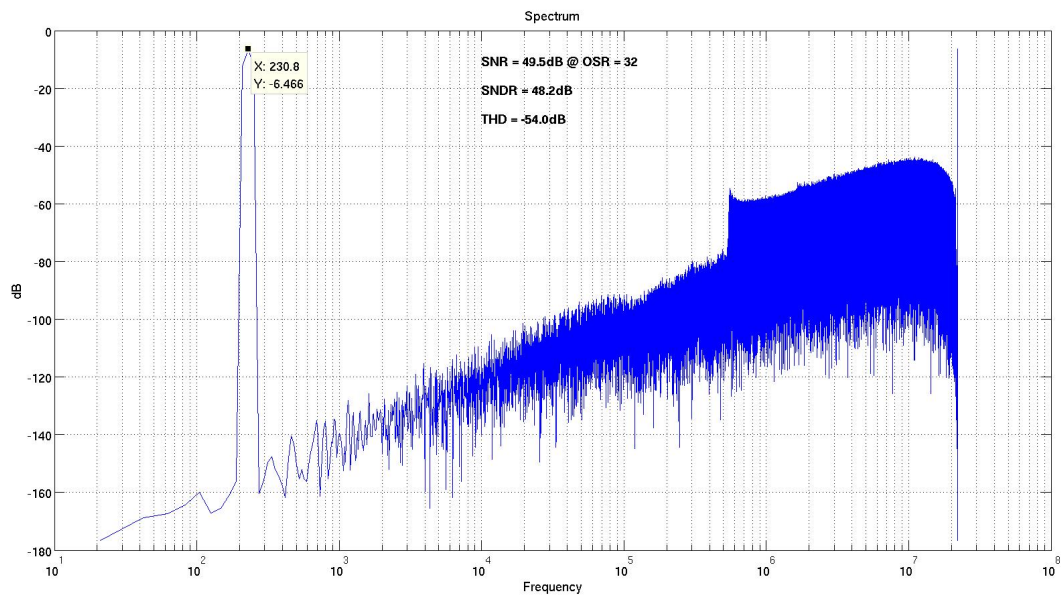
**Figura 3.1:** Schema a blocchi Simulink di un modulatore di ordine  $L=1$ .

Il vettore in uscita viene elaborato tramite codice Matlab attraverso il quale è possibile valutarne la risposta al transitorio con in ingresso una sinusoidale, Figura 3.2, oppure è possibile farne la FFT (*Fast Fourier Transform*) e valutare lo spettro del segnale applicandoci una funzione di finestra, in questo caso finestra di Hann, per poter ottenere una corretta FFT, come fatto in Figura 3.3. Osserviamo in Figura 3.2 come l'uscita del modulatore sia data esclusivamente da un insieme digitale di elementi determinati dal quantizzatore. Se operiamo con un filtraggio del segnale, operazione che permette di eliminare il contributo di rumore spostato ad alta frequenza dal Noise Shaping e che coincide con l'inserimento in cascata al modulatore di un filtro digitale di tipo CIC, ricaviamo l'andamento medio, o equivalentemente l'andamento a bassa frequenza, dell'uscita perfettamente coincidente con la sinusoidale all'ingresso. In Figura 3.3 vengono inoltre indicati i valori di SNR, SNDR e THD: assumendo di avere all'uscita un filtro passa basso ideale il contributo di rumore e di distorsione è limitato tra 0 e la banda  $f_B$  del segnale. Nota la frequenza del segnale è quindi possibile ricavare la posizione delle armoniche determinate dai multipli interi della frequenza d'ingresso. In questo modo, valutando il modulo quadro dell'ampiezza dell'armonica, possiamo ricavare tutti i parametri tipici di misura di distorsione e rumore. Per il codice Matlab relativo a questo algoritmo si rimanda alla lettura dell'Appendice.

È opportuno osservare che il modello *Simulink* utilizzato sta emulando un circuito di tipo differenziale: se i segnali sono differenziali gli errori di modo comune, nella differenza, si elidono. Questo comporta all'uscita l'assenza di armoniche pari, pertanto l'analisi del contenuto distorto viene limitata alle armoniche di ordine dispari. Iterando il calcolo dell'SNR e dell'SNDR è possibile ricavare, per vari valori dell'ampiezza della sinusoidale d'ingresso, l'andamento di queste due figure di merito al variare dell'ampiezza riferita al fondoscala. Da questo grafico è possibile ricavare il *Dynamic Range* del modulatore: abbiamo già detto in precedenza che questo parametro rappresenta l'equivalente in dB dell'ENOB ed è definito come il range di ampiezze che il convertitore è in grado di processare senza introdurre distorsione. Una definizione equivalente a quella appena data è quella di considerarlo come

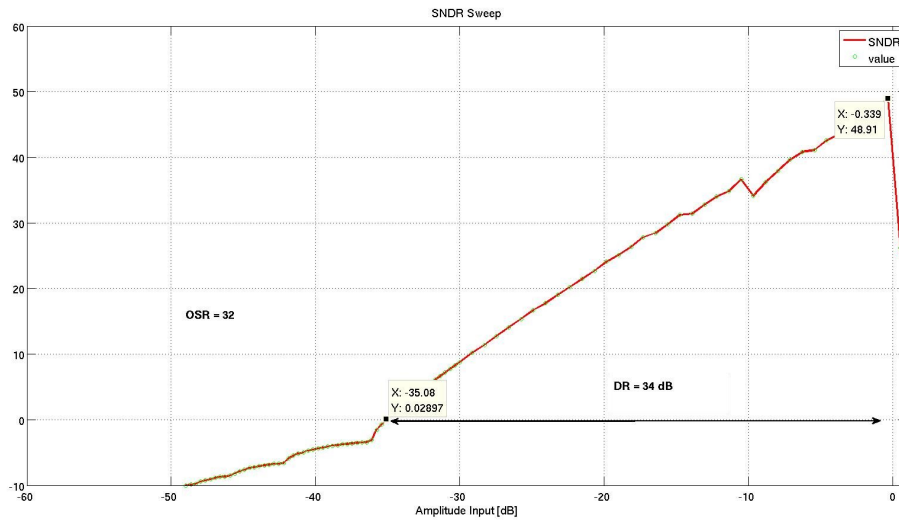


**Figura 3.2:** In rosso l'uscita del modulatore Sigma-Delta; in blu l'uscita del modulatore filtrata con un filtro decimatore ideale



**Figura 3.3:** FFT applicata all'uscita del modulatore Sigma-Delta. Frequenza della sinusoide  $f_{sin} = 231Hz$ , numero di punti FFT  $N_x = 2^{20}$ , sovracampionamento  $OSR = 32$ .

la distanza tra il punto a massimo SNDR, ovvero quando la distorsione è ancora trascurabile, e il punto a  $SNDR = 0$  dB, ovvero quando il segnale si confonde con il rumore di fondo.



**Figura 3.4:** Andamento dell'SNDR per un modulatore Sigma-Delta del tipo Figura 3.1 con  $OSR = 32$ .  $DR = 34$  dB  $\rightarrow ENOB = 6$  bit.

In Figura 3.4 viene valutato il DR e, sfruttando la nota relazione (1.2), si ricava anche la risoluzione in bit del convertitore ADC ovvero l'ENOB. Lo studio che è stato presentato in questa sezione permette quindi, in condizioni ideali, di studiare al variare dell'OSR che risoluzione ci aspettiamo in uscita al convertitore. Sapendo inoltre che un raddoppio dell'OSR ci permette di guadagnare in un ordine  $L=1$  circa 1.5 bit possiamo pensare di aumentare l'ordine del modulatore per raggiungere risoluzioni elevate senza appesantire eccessivamente il termine di sovracampionamento.

### 3.3 Convertitore del secondo ordine

In Figura 3.5 viene presentato lo schema a blocchi di un modulatore di ordine 2. Le funzioni di trasferimento sono ancora rappresentabili tramite integratori con ritardo dove, al fine di ottenere una funzione di trasferimento dal rumore all'uscita del tipo  $NTF = (1 - z^{-1})^2$ , sono stati posti degli opportuni coefficienti moltiplicativi facilmente realizzabili in un circuito SC con un opportuno rapporto tra il condensatore di campionamento e il condensatore d'integrazione.

Se osserviamo la Figura 3.6 abbiamo, con  $OSR = 1024$ , un  $DR = 115$  dB equivalente a un  $ENOB = 19$  bit. Osserviamo che l'OSR rispetto alla soluzione precedente è aumentato di un fattore  $2^5$  pari a un aumento in bit teorico per un modulatore del primo ordine di circa 8 bit, che sommati ai 6 bit della soluzione a  $OSR = 32$  portano a una risoluzione di 14 bit. Questo è un'ulteriore dimostrazione di quanto è stato detto nelle sezioni precedenti: l'aumento dell'ordine del modulatore, nonostante comporti un aumento della complessità circuitale, permette di ottenere

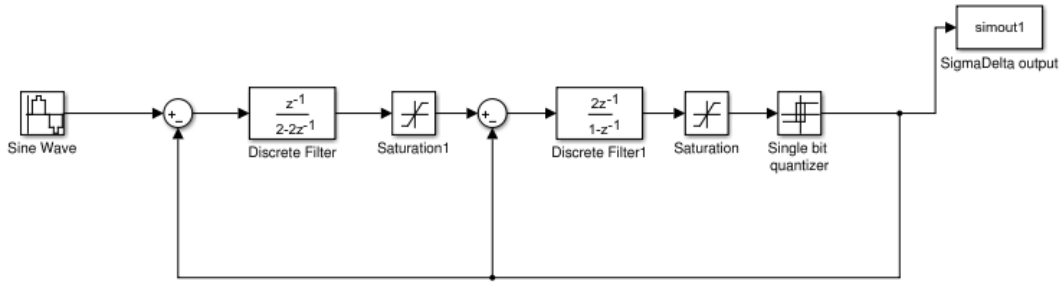


Figura 3.5: Schema a blocchi Simulink di un modulatore di ordine  $L=2$ .

un guadagno superiore agli 1.5 bit per ottava e quindi permette di raggiungere anche a sovracampionamenti inferiori risoluzioni elevate.

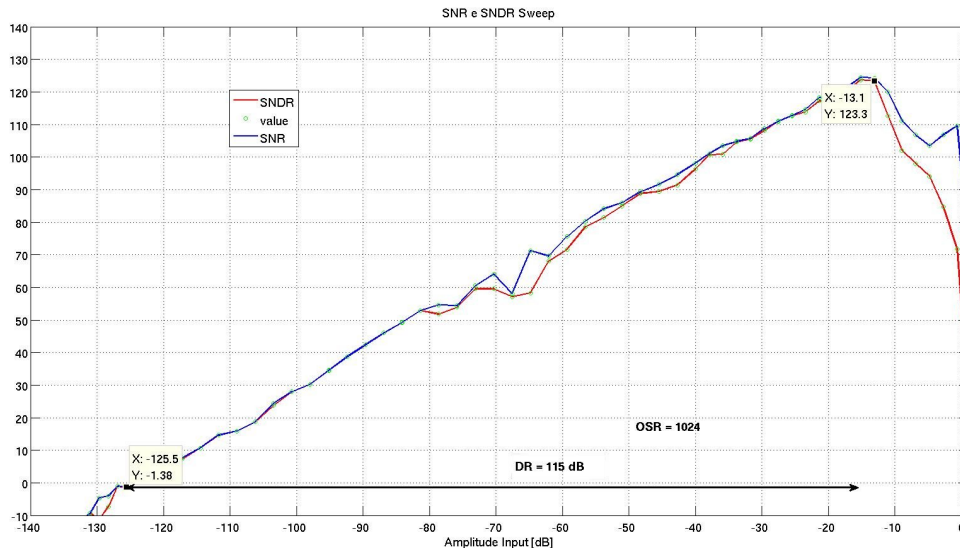
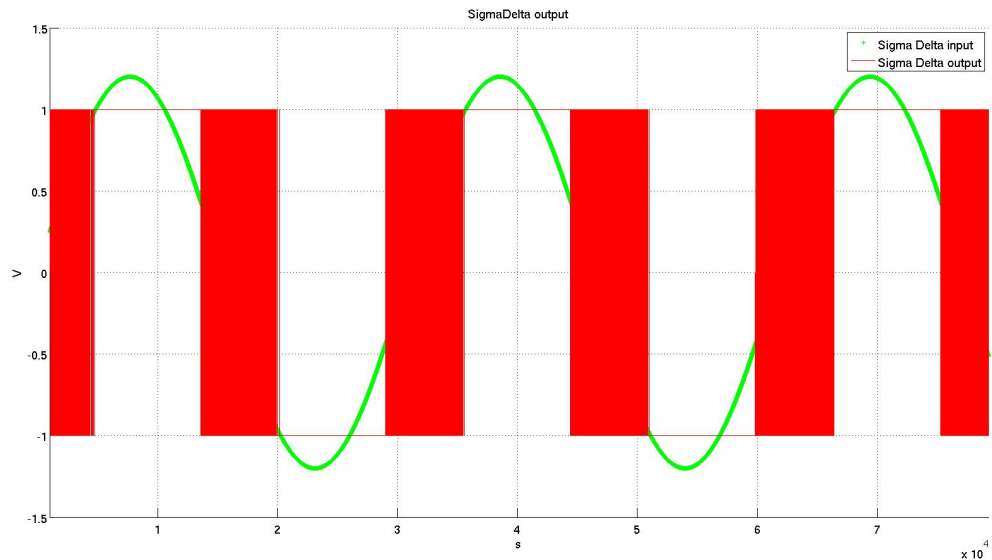


Figura 3.6: Sweep di SNR e SNDR per un modulatore tipo Figura 3.5 con  $OSR = 1024$ .  $DR = 115$  dB  $\rightarrow ENOB = 19$  bit.

In Figura 3.6 viene anche graficato l'andamento dell'SNR: è interessante osservare che l'SNR è equivalente all'SNDR per valori di ampiezza piccoli, dove la distorsione è trascurabile, mentre è maggiore dell'SNDR quando l'ampiezza d'ingresso è elevata. Ad ampiezze elevate l'SNDR decresce dal momento che i termini di distorsione a denominatore aumentano. È interessante osservare che anche l'SNR diminuisce: infatti l'elevata distorsione all'uscita fa sì che le componenti di rumore ad alta frequenza amplificate per effetto del Noise Shaping, ritornino all'ingresso del convertitore attraverso il feedback e per un fenomeno di intermodulazione portino ad aumentare il fondo di rumore con conseguente diminuzione dell'SNR.

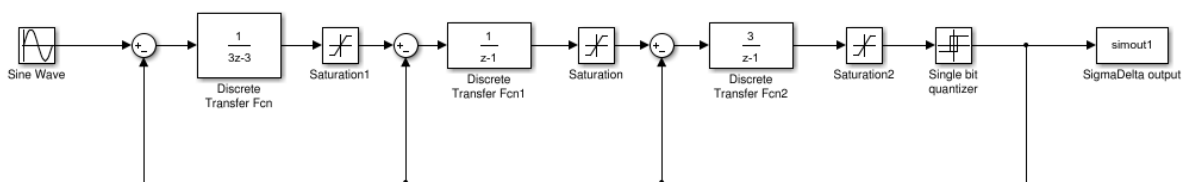
### 3.4 Convertitore del terzo ordine

Un ulteriore aumento dell'ordine del modulatore influisce su due parametri: se da una parte comporta un aumento della risoluzione dall'altra, specialmente nel passaggio da un  $L = 2$  a  $L = 3$ , porta, per valori dell'ampiezza d'ingresso elevati, a una condizione di instabilità. Come si può osservare in Figura 3.7 l'uscita del convertitore Sigma-Delta oscilla e il suo valor medio non è più equivalente alla sinusoide in ingresso.



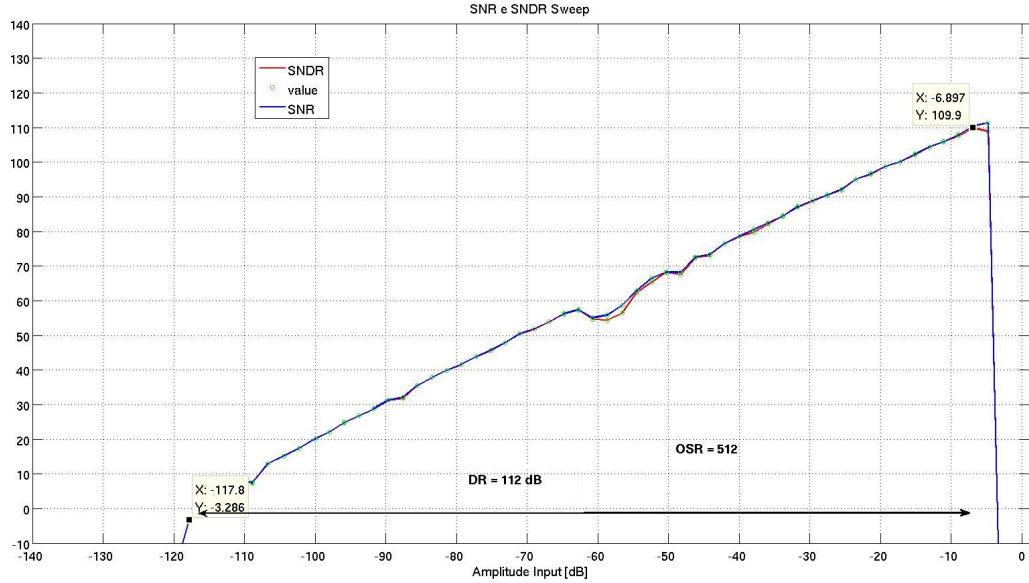
**Figura 3.7:** Insorgere del fenomeno di instabilità per un modulatore di ordine  $L=3$  con elevata ampiezza d'ingresso.

In Figura 3.8 viene presentato lo schema a blocchi di un convertitore Sigma-Delta di ordine 3. Al fine di ottenere una  $NTF = (1 - z^{-1})^3$  utilizziamo degli integratori con ritardo con opportuni coefficienti.



**Figura 3.8:** Schema a blocchi Simulink di un modulatore di ordine  $L=3$ .

Possiamo quindi anche per questo modello, al variare dell'OSR, valutare il DR. Ancora una volta vale il ragionamento fatto in precedenza ovvero si riesce a raggiungere la medesima risoluzione con valori di sovracampionamento inferiori sfruttando un modulatore di ordine elevato. Ad esempio confrontando la Figura 3.6 e la Figura 3.9 si ottiene quasi la medesima risoluzione con un valore di sovracampionamento inferiore.



**Figura 3.9:** Sweep di SNR e SNDR per un modulatore tipo Figura 3.8 con  $OSR = 512$ .  
 $DR = 112 \text{ dB} \rightarrow ENOB = 18.5 \text{ bit}$ .

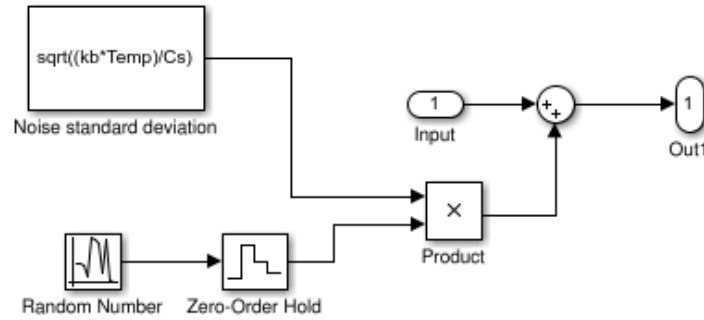
## 3.5 Modellizzazione delle non idealità

Abbiamo fin ora assunto, ad esclusione dell'elemento di saturazione all'uscita dell'integratore che modella lo swing limitato all'uscita di un amplificatore reale, che i componenti del modulatore Sigma-Delta siano ideali. Al fine di ottenere un modello il più attinente possibile con la realtà è tuttavia necessario dover aggiungere anche gli effetti di non idealità dei blocchi principali, descritti in [4] e [11]. Questi termini di non idealità comporteranno tipicamente una diminuzione del DR e richiederanno pertanto la necessità di aumentare l'OSR per compensare tali errori.

### 3.5.1 Rumore termico

È noto da quanto detto nella sezione (2.6.1) che nella struttura SC gli interruttori in conduzione non sono perfetti cortocircuiti, ma sono caratterizzati da una resistenza serie  $R_{on}$  che comporta un rumore termico. Non solo gli interruttori che collegano l'ingresso al primo integratore producono rumore termico, ma anche gli interruttori che formano il DAC producono rumore. Considerando il rumore termico come un termine additivo è possibile sommare al segnale il contributo di rumore come in Figura 3.10.

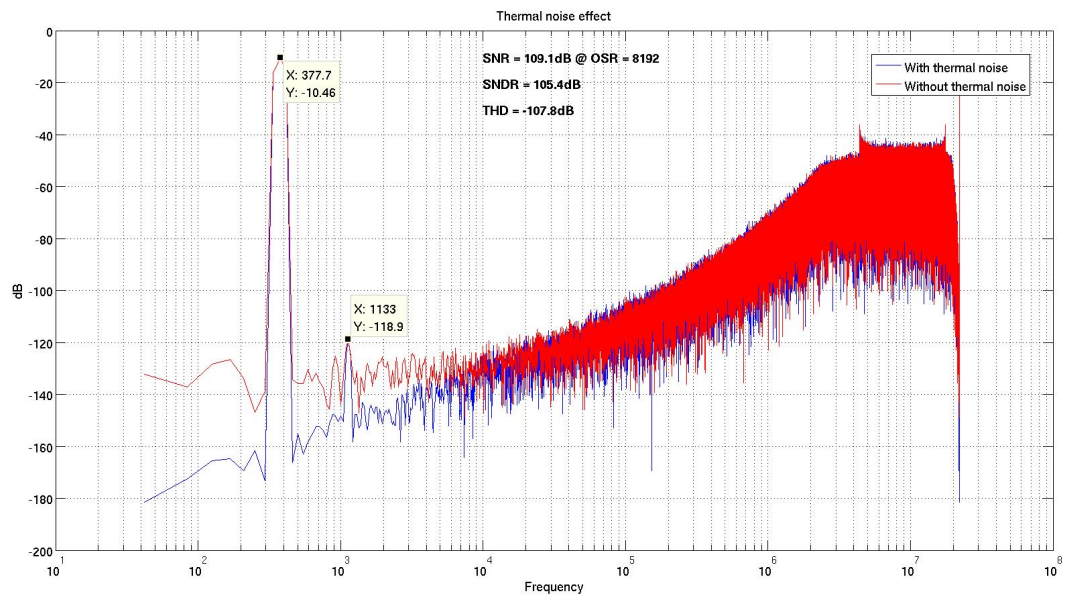
Nel dimensionare i condensatori viene tipicamente fatta l'assunzione che il contributo di rumore dominante sia dato dal rumore termico e non dal rumore di quantizzazione. Risulta infatti più efficiente fare il modulatore Sigma-Delta più performante lasciando al fondo di rumore termico la determinazione del numero di bit. Con la seguente equazione è quindi possibile valutare il valore di capacità necessario a raggiungere un certo  $SNR_{th}$ .



**Figura 3.10:** Modellizzazione del rumore termico prodotto da uno switch con  $C_s$  capacità di campionamento,  $kb$  costante di Boltzmann e  $Temp$  temperatura in gradi Kelvin.

$$SNR_{th} = \frac{4V_{REF}^2}{2} \frac{OSR \cdot C_s}{\alpha kT} \quad (3.1)$$

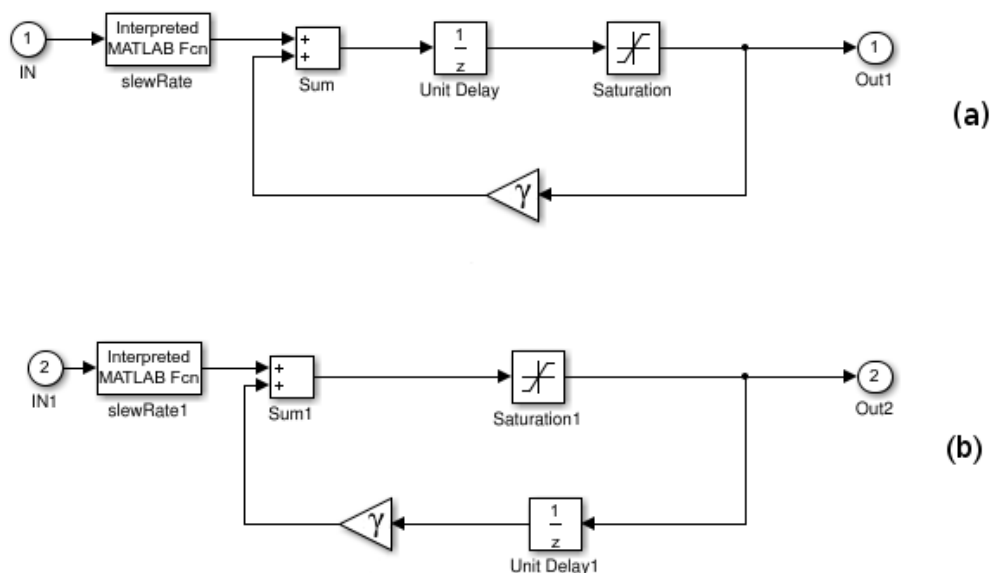
La presenza del rumore termico comporta, in banda, un aumento del floor di rumore a un livello determinato dalla (3.1). Possiamo osservare che il livello di rumore termico è indipendente dall'ordine del modulatore, ma dipende soltanto dal sovracampionamento e dalla capacità di campionamento. In Figura 3.11 viene mostrato il risultato dell'inserimento di blocchi tipo Figura 3.10 nell'anello di feedback e dopo il segnale d'ingresso. Vengono trascurati i contributi di rumore degli stadi successivi in quanto ridotti grazie all'effetto di Noise Shaping.



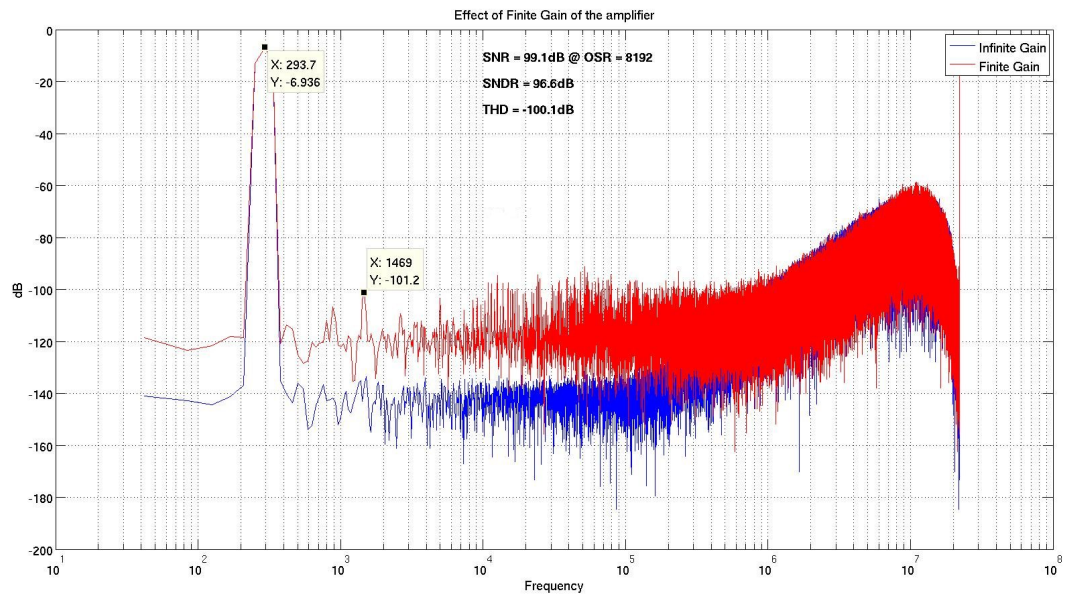
**Figura 3.11:** Effetto del rumore termico su un modulatore Sigma-Delta. In rosso lo spettro comprensivo del rumore termico, in blu lo spettro di un modulatore ideale.

### 3.5.2 Banda, Slew rate e guadagno finito dell'amplificatore

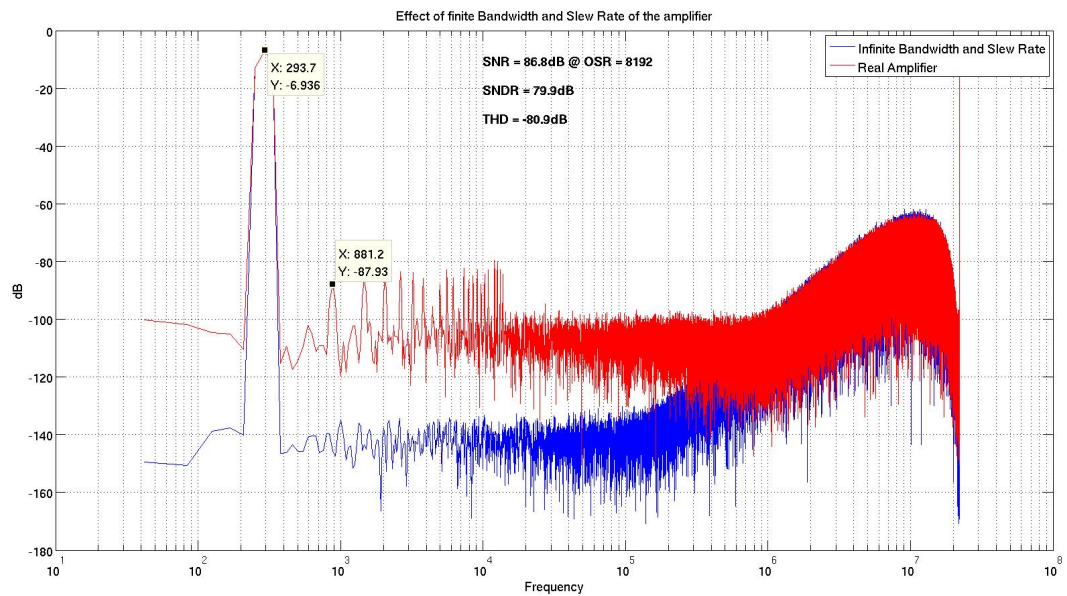
Per modellizzare le non idealità dell'amplificatore sfruttiamo quanto noto dalla teoria spiegata nelle sezioni (2.4.1) e (2.4.2). Trascurando il termine di errore di guadagno  $\alpha$ , in quanto questo errore viene recuperato dalla presenza del feedback come visto in precedenza, possiamo modellare lo spostamento dei poli della  $H(z)$  inserendo un termine di guadagno  $\gamma$ , come definito in (2.9), nel feedback. Per l'effetto di slew rate e banda finita definiamo una funzione che distingua la fase di slewing, quando  $\frac{\alpha V_s}{\tau} > SR$ , alla situazione di assenza di slew rate. In Figura 3.12 si propongono le implementazioni dell'integratore senza e con ritardo. Per la definizione della funzione di slew rate si rimanda all'Appendice. Vengono inoltre presentati in Figura 3.13 e in Figura 3.14 i risultati simulati di un modulatore comprensivo rispettivamente di guadagno finito e di slew rate con banda limitata: nel primo caso l'effetto è un aumento del floor di rumore in banda a causa della modifica della NTF; nel secondo caso l'effetto è un aumento della distorsione, per via della dipendenza della durata dello slew rate dal segnale d'ingresso  $V_s$ .



**Figura 3.12:** Modellizzazione del guadagno finito e dello Slew Rate per un integratore con ritardo (a) e un integratore senza ritardo (b).  $\gamma = \frac{(A_{v0}+1)C_I+C_x}{(A_{v0}+1)C_I+C_x+C_s}$ .



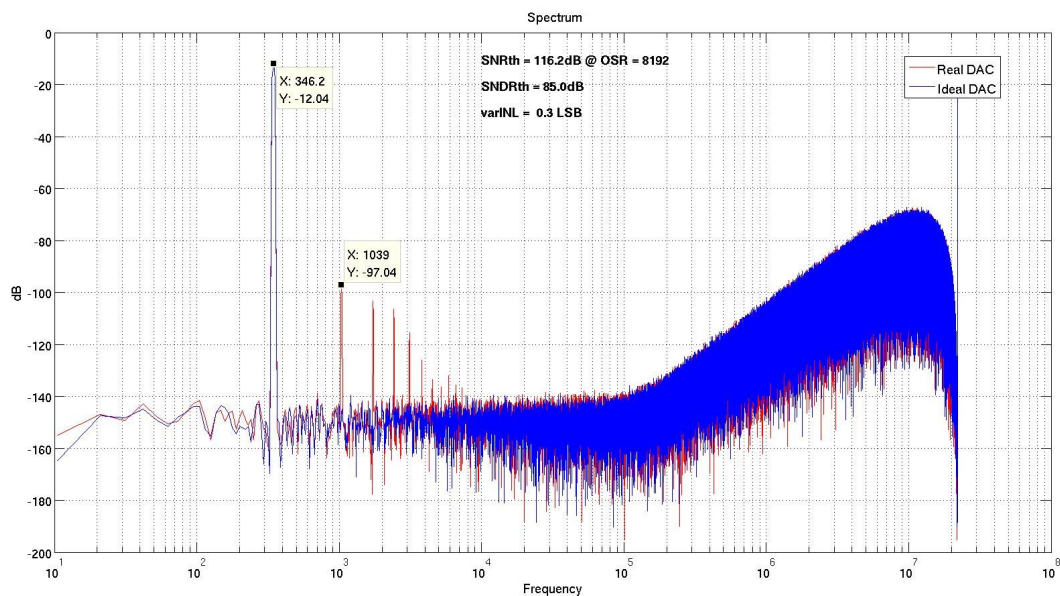
**Figura 3.13:** Effetto del guadagno finito di un amplificatore su un modulatore Sigma-Delta. In rosso lo spettro comprensivo di un amplificatore a guadagno limitato, in blu lo spettro di un modulatore ideale.



**Figura 3.14:** Effetto di banda limitata e slew rate di un amplificatore su un modulatore Sigma-Delta. In rosso lo spettro comprensivo di un amplificatore reale, in blu lo spettro di un modulatore ideale.

### 3.5.3 DAC reale

L'algoritmo Matlab che è stato usato per valutare gli effetti di un DAC reale in presenza di un quantizzatore a più di un bit viene sintetizzato di seguito, mentre il codice Matlab viene inserito nell'Appendice: inizialmente genero i livelli ideali del DAC determinati dalle frazioni del fondoscala; considero la distribuzione dei condensatori del DAC come variabile aleatoria gaussiana di deviazione standard  $\sigma = \frac{k}{\sqrt{WL}}$ ; valuto i valori di capacità reali come  $C_i = (1 + \sigma)C_u$  determinando di conseguenza un nuovo array di condensatori del DAC; dai nuovi valori dei condensatori ridetermino i valori reali del DAC come  $\frac{\sum_i C_i}{C_f} \cdot V_{ref}$ . Gli effetti del DAC reale sono mostrati in Figura 3.15 e si osserva come essi comportino un contributo distortore, come era già stato anticipato. Vedremo in seguito che questo effetto di aumento della distorsione diminuisce all'aumentare della precisione di matching dei condensatori e può, come spiegato nel capitolo precedente, essere parzialmente corretto attraverso l'utilizzo di algoritmi come il *Dynamic Element Matching*.



**Figura 3.15:** Effetto di un DAC multibit non reale. In rosso lo spettro complessivo di un DAC reale, in blu lo spettro di un modulatore ideale.



# Capitolo 4

## Architettura feed-forward per un $\Delta\Sigma$

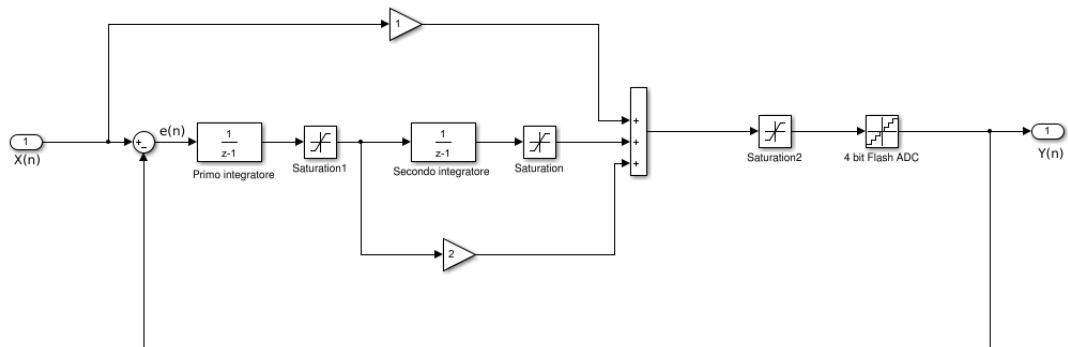
### 4.1 Motivazioni all'uso dell'architettura feed-forward

In una struttura Sigma-Delta classica il trasferimento del segnale da ingresso a uscita è definito tipicamente tramite una STF del tipo  $z^{-k}$ . Nei termini delle trasformate Zeta la moltiplicazione  $X(z) \cdot z^{-k}$  equivale a una traslazione temporale  $x(n-k)$ . Assumendo un convertitore a ingresso  $x(n)$  e uscita  $y(n)$  all'ingresso del primo integratore si avrà la differenza  $x(n) - y(n) = e(n)$ . Il compito del loop di feedback è quello di cercare di minimizzare il segnale d'errore  $e(n)$  nella banda di frequenza desiderata, tuttavia la presenza del ritardo introdotto dalla STF porta a contenere una versione del segnale di ingresso  $x$  con filtraggio passa alto [12]. Per le analizzate non linearità dell'amplificatore quali guadagno finito, SR e banda limitata, all'uscita degli amplificatori vengono a formarsi dei contenuti armonici con una conseguente diminuzione del DR del convertitore complessivo. Questo problema di non linearità risiede nella forma della STF: dall'idea di modificare la STF, affinché non introduca ritardo tra segnale d'ingresso e segnale d'uscita, portando quindi idealmente ad elidere il contributo del segnale all'ingresso del primo integratore, ovvero  $e(n) = 0$ , nasce la struttura di feed-forward proposta, illustrata nella letteratura ad esempio in [12], [16] e [17]. Una possibile implementazione è presentata in Figura 4.1. Possiamo calcolare facilmente le solite funzioni di trasferimento

$$\begin{aligned} Y(z) &= E_q(z) + (X(z) - Y(z)) \left( \frac{z^{-1}}{1 - z^{-1}} \right)^2 + (X(z) - Y(z)) \frac{2z^{-1}}{1 - z^{-1}} + X(z) \\ &= X(z) \frac{z^{-2} + 2z^{-1}(1 - z^{-1}) + (1 - z^{-1})^2}{(1 - z^{-1})^2} + E_q(z) - Y(z) \frac{2z^{-1}(1 - z^{-1}) + z^{-2}}{(1 - z^{-1})^2} \\ &= X(z) \frac{1}{(1 - z^{-1})^2} + E_q(z) - Y(z) \frac{2z^{-1} - z^{-2}}{(1 - z^{-1})^2} \\ &= X(z) + E_q(z)(1 - z^{-1})^2 \end{aligned} \tag{4.1}$$

ovvero si ha, come da obiettivo della struttura,  $STF(z) = 1$  e  $NTF(z) = (1 - z^{-1})^2$ , che in altri termini possiamo descrivere come l'assenza di ritardo tra segnale d'ingresso e segnale d'uscita e una NTF che non è stata modificata. Questa

struttura permette quindi di ottenere all'ingresso degli integratori come unico segnale l'errore di quantizzazione ridotto per Noise Shaping: se il segnale all'ingresso dell'amplificatore è limitato i contributi armonici presenti all'uscita degli amplificatori, causati da effetti di non idealità quali ad esempio lo Slew Rate in presenza di elevati segnali d'ingresso, vengono notevolmente ridotti senza la necessità di aumentare i valori di sovracampionamento. In una struttura come quella della nostra applicazione avere un piccolo swing d'ingresso e d'uscita degli amplificatori comporta un vantaggio notevole dal momento che lo spazio in tensione per un circuito integrato non supera qualche centinaia di milli-Volt.



**Figura 4.1:** Schema a blocchi di un modulatore Sigma-Delta con architettura feed-forward.

Questa struttura trova vantaggi in molte applicazioni: ad esempio se il contributo distortore degli amplificatori può essere ridotto senza aumentare eccessivamente l'OSR è possibile pensare di utilizzare questi sistemi in applicazioni anche a banda larga e non solo a basse frequenze. Un altro vantaggio evidente dalla Figura 4.1 è che è necessario un solo DAC nel loop di feedback comportando quindi anche una riduzione della complessità circuitale e di conseguenza dell'area usata nel chip. La necessità del quantizzatore a più di 1 bit risiede nel fatto che lo swing all'ingresso degli amplificatori è, come detto, determinato dal rumore di quantizzazione. Maggiore è il numero di bit dell'ADC e minore è l'LSB, ovvero minore è il rumore di quantizzazione e come conseguenza maggiore è la robustezza dell'amplificatore rispetto alle non linearità. Utilizzare un quantizzatore a singolo bit non permetterebbe di sfruttare i vantaggi della struttura forward ovvero avere uno swing all'ingresso degli integratori limitato, ma porterebbe invece ad avere all'ingresso dell'integratore su segnale riferito al fondoscala.

## 4.2 Realizzazione del sommatore

Dallo schema di Figura 4.1 possiamo osservare che l'architettura feed-forward necessita di un sommatore in grado di sommare tutti i tre rami d'ingresso prima

di poter inviare il segnale complessivo al quantizzatore. Per realizzare la richiesta funzione di somma esistono convenzionalmente due metodi:

- Utilizzo un amplificatore SC per sommare i tre segnali. Con riferimento alla Figura 4.2 (a) alla fine della fase  $\Phi_1$   $V_3 = X + 2V_1 + V_2$ , mentre durante la fase  $\Phi_2$  il condensatore di feedback dell'amplificatore verrà scaricato ponendolo in parallelo a un cortocircuito. Al fine di ottenere una somma corretta è necessario che questo amplificatore sia caratterizzato da delle specifiche in termini di offset, guadagno e banda buone in modo da assicurare che il settling della carica sia completamente esaurito al termine della fase  $\Phi_1$ .
- Utilizzo il Charge Sharing per sommare i segnali come in Figura 4.2 (b): durante la fase  $\Phi_1$

$$V_q = \frac{X + 2V_1 + V_2 - V_{ref}}{3} \quad (4.2)$$

Questo approccio permette di eliminare la richiesta di un amplificatore sommatore, ma richiede che i comparatori del quantizzatore siano caratterizzati da un offset limitato, avendo ridotto il segnale d'ingresso di un fattore 3. Se, per una situazione normale deve valere  $V_{os} \leq \frac{LSB}{2}$  con l'implementazione di questo particolare sommatore l'offset deve soddisfare una specifica più stringente  $V_{os} \leq \frac{LSB}{6}$ .

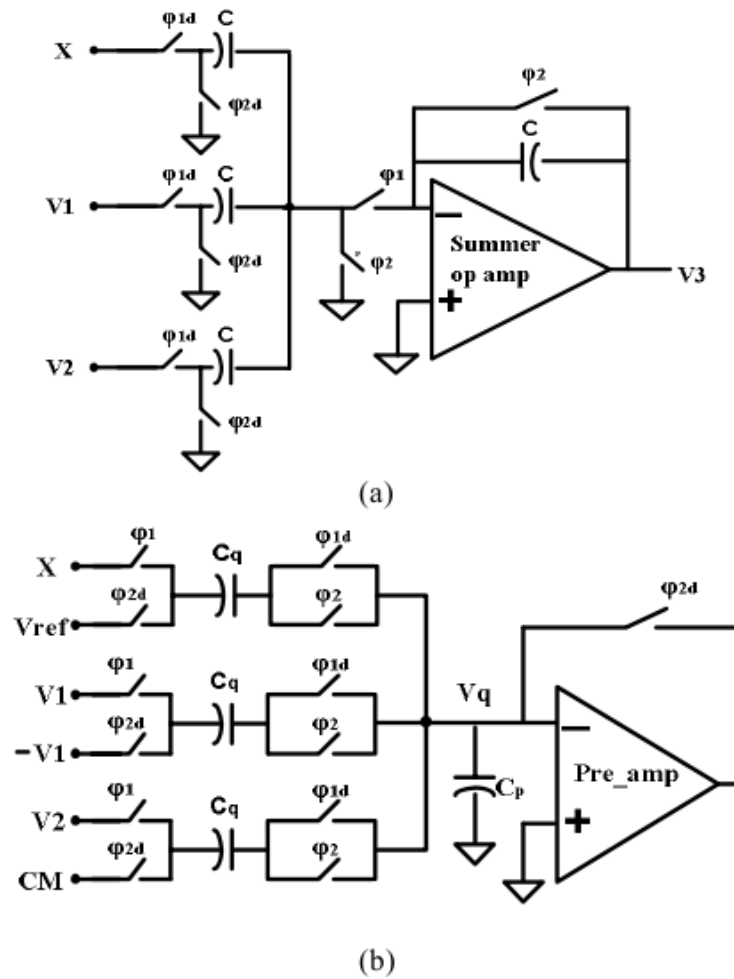
Un'ulteriore soluzione, presentata in [17], prevede una tecnica di somma molto accurata, simile alla soluzione con amplificatore SC, mostrata in Figura 4.3. I condensatori  $C_1 - C_N$  rappresentano i rami d'ingresso la  $C_H$  mantiene l'uscita durante la fase di reset  $\Phi_1$ : durante la fase  $\Phi_1$  tutti i condensatori d'ingresso campionano i rispettivi segnali, durante la fase  $\Phi_2$  tutta la carica immagazzinata nei condensatori viene condivisa e l'uscita del sommatore viene aggiornata a un nuovo valore.  $C_H$  campiona il valore d'uscita del sommatore alla fine della fase  $\Phi_2$  e la mantiene per il successivo mezzo ciclo della successiva fase  $\Phi_1$ . L'uscita del sommatore vale

$$V_{OP}[n] = \sum_{i=1}^N k_j \cdot V_i[n - \frac{1}{2}]. \quad (4.3)$$

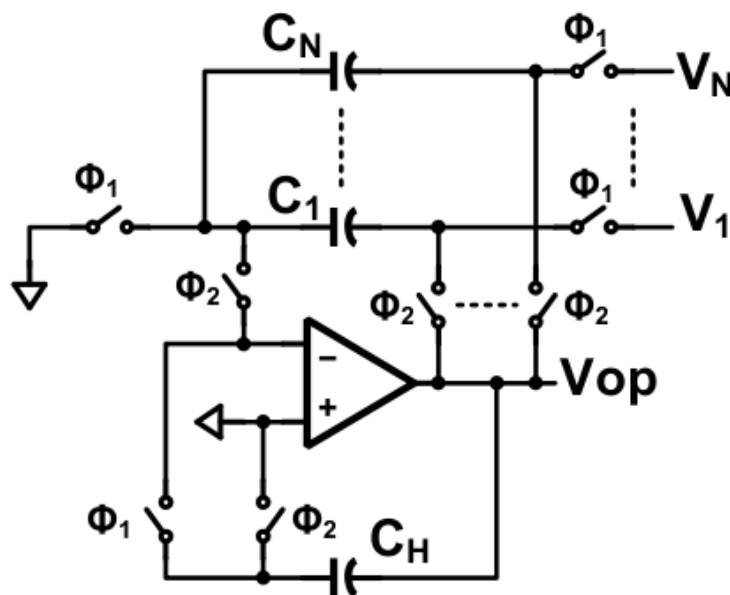
dove

$$k_j = \frac{C_j}{\sum_{i=1}^N C_i}. \quad (4.4)$$

Finché tutti i condensatori sono collegati tra massa virtuale e uscita del sommatore, ad eccezione di  $C_H$ , il fattore di feedback vale idealmente, trascurando i condensatori parassiti,  $\beta = 1$ .



**Figura 4.2:** (a) Sommatore con amplificatore SC, (b) Somma con charge sharing seguito da un preamplificatore per la realizzazione del comparatore.



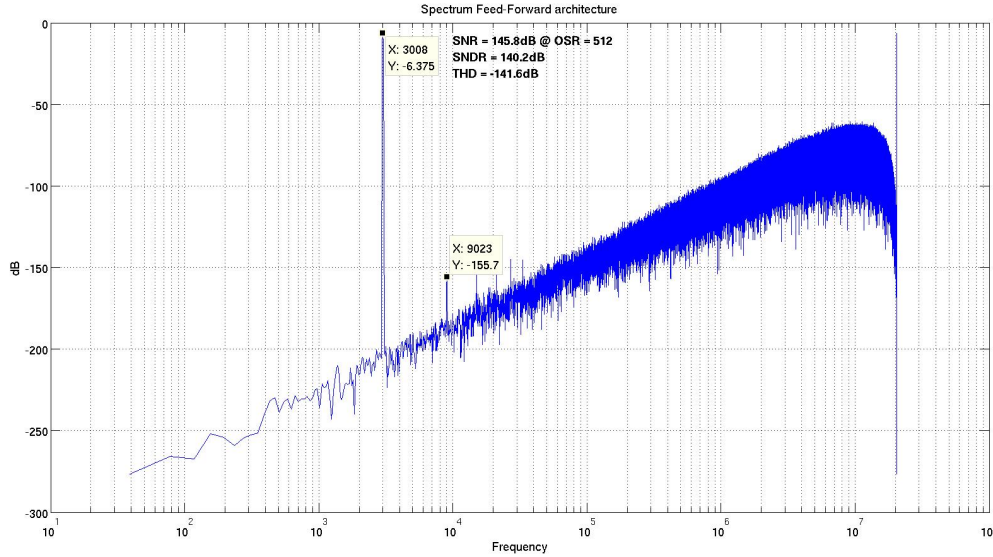
**Figura 4.3:** Tecnica di Sample-and-Hold per realizzare un sommatore con trasferimento diretto all'uscita.

### 4.3 Progettazione di un $\Delta\Sigma$ feed-forward di ordine 2.

Sfruttiamo ora la struttura appena studiata per ricavare le caratteristiche di un convertitore Sigma-Delta con architettura feed-forward di ordine 2. Come detto nell'Introduzione a questa tesi il nostro obiettivo è quello di progettare un convertitore a 18 bit ( $DR = 108$  dB). La modellizzazione del convertitore seguirà una linea simile a quella adottata nel Capitolo 3: inizialmente verrà valutato il valore di sovracampionamento minimo per ottenere un  $DR$  superiore ai 120 dB, in modo da avere qualche bit di margine al momento dell'inserimento delle non idealità; in seguito verranno inserite le non idealità circuitali per ricavare i dimensionamenti dei condensatori e le caratteristiche minime dell'OTA al fine di non degradare eccessivamente le prestazioni del convertitore, verrà inoltre valutata che incidenza hanno le non idealità del DAC per poter stabilire se eventualmente ricorrere all'algoritmo di *Dynamic Element Matching*. Il medesimo procedimento verrà seguito per la struttura feed-forward di ordine 3 e per strutture con architettura non feed-forward al fine di poterle confrontare e scegliere quale, per la nostra applicazione, sia la più adatta. Per tutte le strutture studiate verrà considerata una NTF con zeri concentrati nell'origine del tipo  $NTF_2 = (1 - z^{-1})^2$  o  $NTF_3 = (1 - z^{-1})^3$ : come già detto in precedenza, infatti, i segnali all'ingresso del convertitore sono caratterizzati da una bassa frequenza ed è quindi opportuno che a DC vi sia la massima attenuazione possibile del rumore.

Prendiamo in considerazione il modello di Figura 4.1 con un quantizzatore a 4 bit. In Figura 4.4 è presentato lo spettro di un segnale ad ampiezza vicina al fondoscala: è apprezzabile la quasi totale assenza di armoniche anche per valori di OSR non troppo elevati. In Figura 4.5 viene simulata l'ampiezza del segnale d'ingresso del

primo integratore a dimostrazione che, l'architettura feed-forward, permette di ottenere valori di ampiezza all'ingresso dell'amplificatore indipendenti dal segnale in ingresso all'ADC.



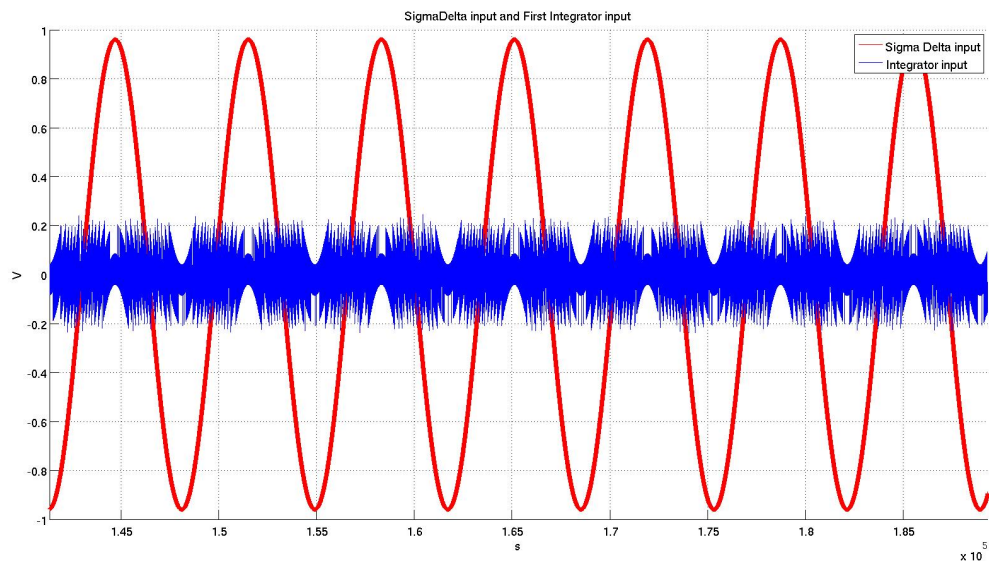
**Figura 4.4:** Spettro di un segnale sinusoidale a  $f_{sin} = 3$  kHz all'uscita di una struttura feed-forward con OSR=512, numero di punti  $N_x = 2^{19}$ .

In Figura 4.6 viene riportato il DR per la struttura feed-forward con ADC a 4 bit e OSR=512. I valori di DR e ENOB relativi a OSR superiori a 512 vengono riportati in Tabella 4.1.

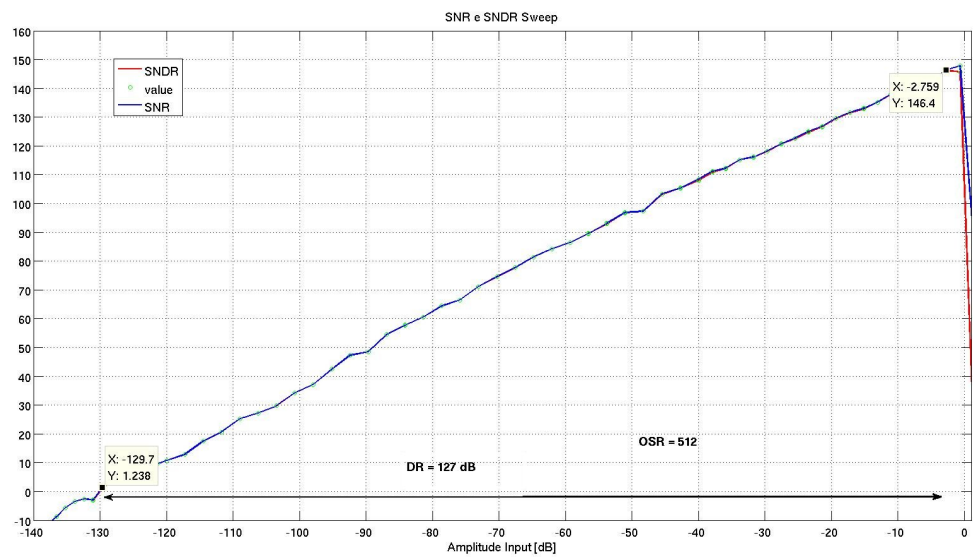
**Tabella 4.1:** Risultati di una struttura forward di ordine 2 ideale.

OSR	Dynamic Range(dB)	ENOB(bit)
512	127	21.6
1024	140	23.3
2048	155	25.8
4096	168	28

Possiamo quindi affinare il modello inserendo le non idealità di switch, amplificatori e DAC e dimensionare di conseguenza il convertitore. Valutiamo inizialmente il rumore termico in modo da dimensionare i condensatori del primo stadio: essi sono i condensatori dalle dimensioni maggiori in quanto il rumore degli stadi successivi è attenuato dal Noise Shaping. In Figura 4.7 è valutato il DR per un sistema a OSR = 512 e  $C_s = 40$  pF. Per dimensionare il condensatore in modo tale da ottenere l'SNR desiderato si è fatto riferimento alla formula (3.1) per cui  $SNR_{th} \propto \frac{OSR \cdot C_s}{kT}$ , dalla quale è immediatamente visibile come dimezzando il valore del condensatore e raddoppiando il valore di sovracampionamento si ottenga il medesimo rapporto segnale-rumore. Questa considerazione ci permette di diminuire il valore della capacità  $C_s$  appena trovata, valore che nella tecnologia integrata

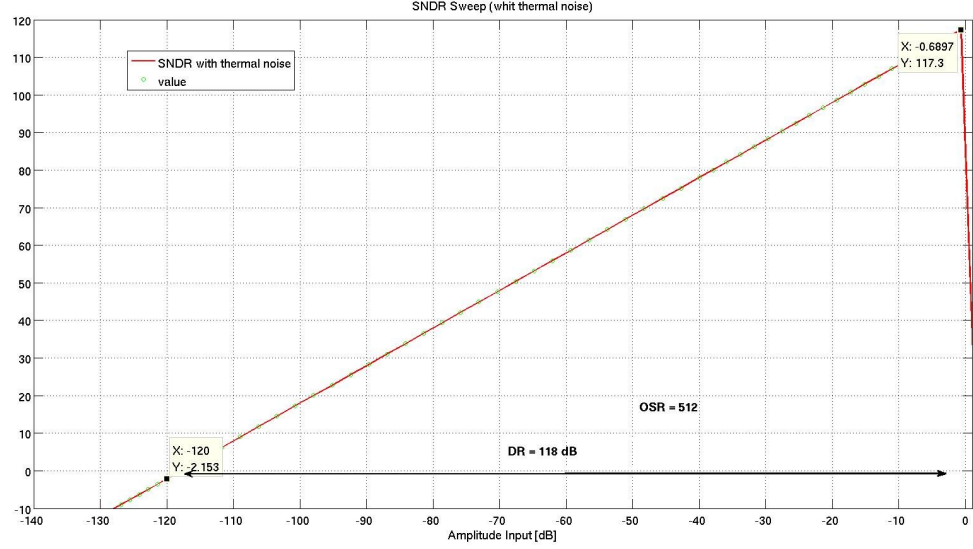


**Figura 4.5:** Confronto tra segnale in ingresso al convertitore complessivo e segnale d'ingresso al primo integratore.



**Figura 4.6:** Dynamic Range struttura feed-forward L=2, OSR=512.

risulterebbe dispendioso in termini di spazio occupato, al costo di aumentare il sovracampionamento.



**Figura 4.7:** Dynamic Range struttura feed-forward con rumore termico  $L=2$ ,  $OSR=512$ ,  $C_s = 40pF$ .

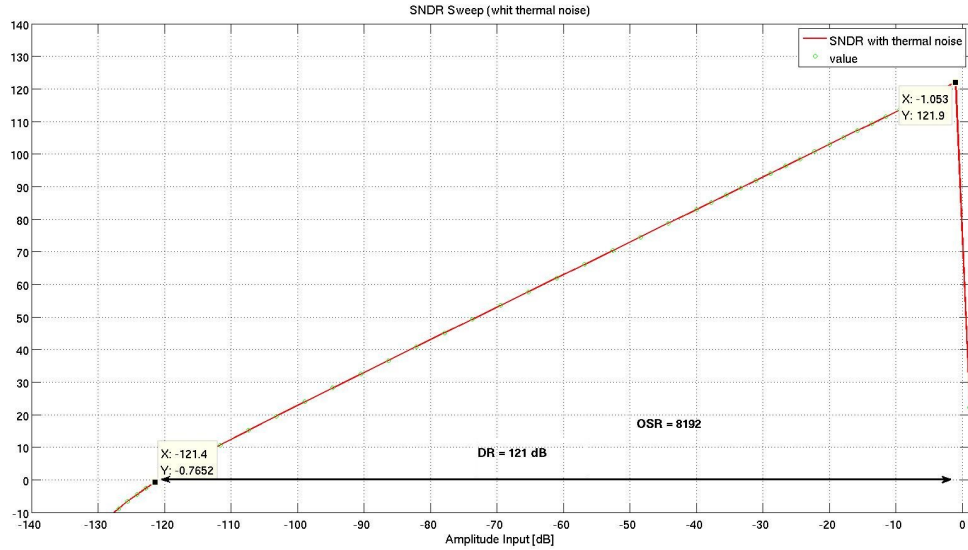
**Tabella 4.2:** Risultati di una struttura forward di ordine 2 con rumore termico additivo.

OSR	$C_s$ (pF)	Dynamic Range(dB)	ENOB(bit)
512	40	118	19.7
1024	20	120	20
2048	10	120	20
4096	8	120	20
8192	6	122	20

Alle soluzioni descritte in Tabella 4.2, che ci permettono di trovare la scelta migliore per minimizzare lo spazio richiesto dalle capacità senza appesantire eccessivamente l'OSR, possiamo ulteriormente affinare il modello inserendo i termini di non idealità dell'amplificatore: inizialmente viene valutato il guadagno minimo necessario a non degradare le caratteristiche dell'amplificatore e solo in seguito vengono aggiunti effetti di Slew Rate e banda finita. Questi ultimi due termini in particolare sono legati da una serie di equazioni caratteristiche per le tipiche architetture di OTA. Fissato  $\frac{g_m}{I_D}$  caratteristico della tecnologia possiamo scegliere un opportuno valore di corrente  $I_D$  e vincolare i rimanenti parametri:

$$I_D \rightarrow g_m \rightarrow SR = \frac{2 \cdot I_D}{C_{tot}} \rightarrow GBW = \frac{g_m}{C_{tot}} \quad (4.5)$$

dove  $C_{tot} = C_L + (1 - \beta)C_f$  ovvero la capacità totale all'uscita dell'OTA determinata dalla capacità di carico sommata alla capacità di feedback riportata all'uscita per effetto Miller. Si riportano i risultati delle simulazioni principali al



**Figura 4.8:** Dynamic Range struttura feed-forward con rumore termico  $L=2$ ,  $OSR=8192$ ,  $C_s = 6pF$ .

fine di valutare guadagno minimo, consumo di corrente e swing all'uscita del primo integratore (per il secondo amplificatore essendo l'ingresso ulteriormente ridotto dal primo integratore avremo uno swing minore).

Di seguito si riportano le caratteristiche minime dell'amplificatore con un quantizzatore interno a 4 bit:

- Guadagno DC  $A_{v0} = 50$ ;
- $I_D = 40\mu A$ ;
- Swing uscita  $V_{oINT} = \frac{V_{FS}}{10}$ .

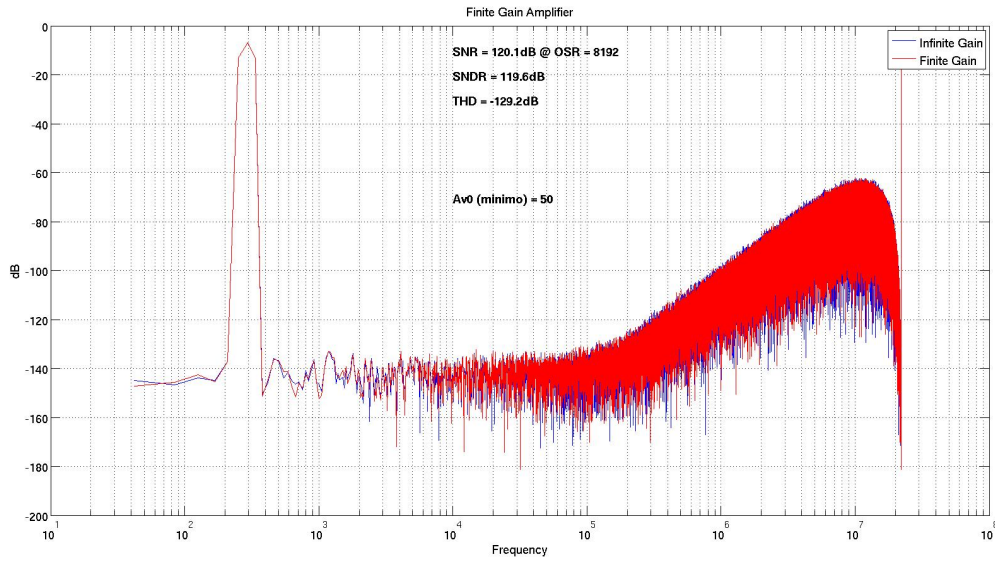


Figura 4.9: Spettro di una sinusoide con guadagno dell'amplificatore limitato  $A_{v0} = 50$ .

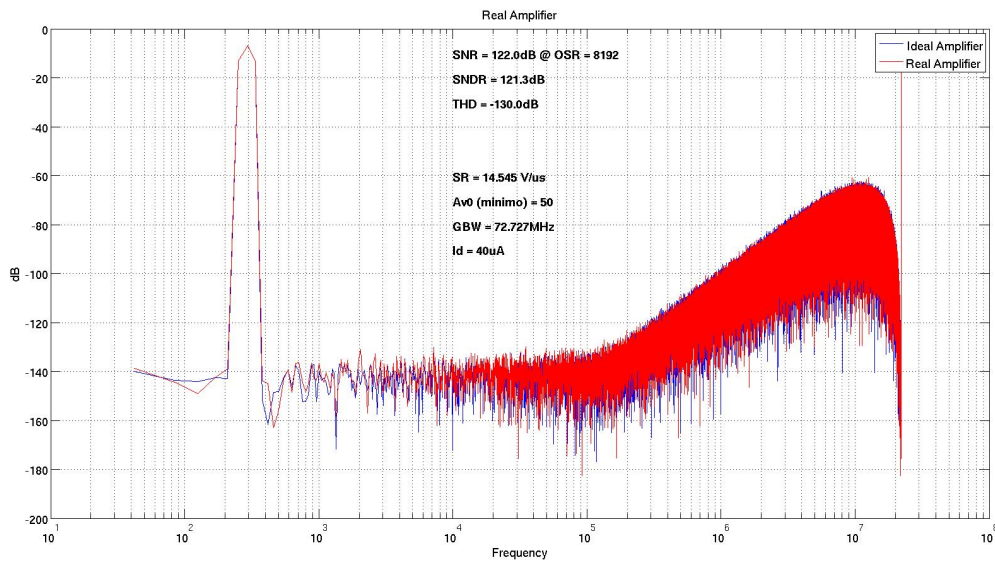
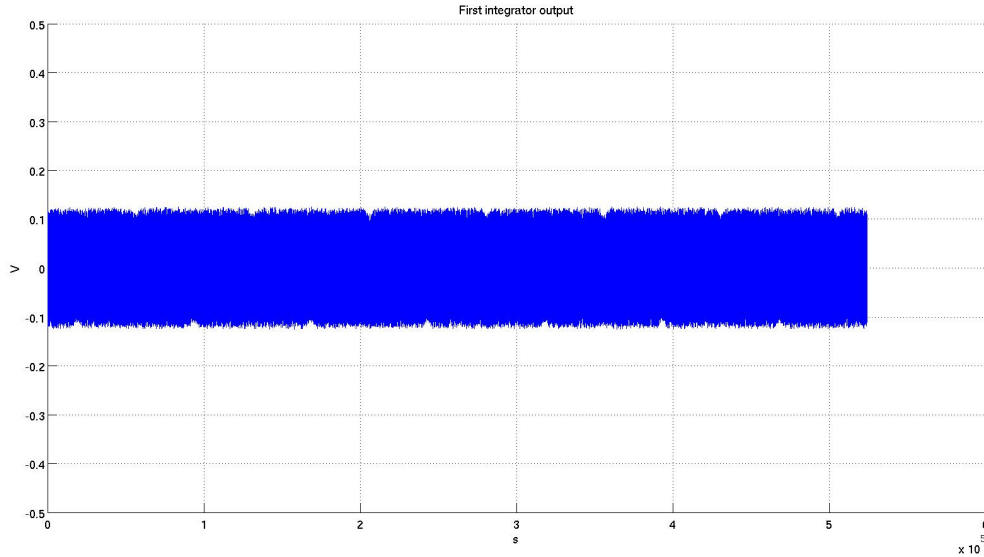


Figura 4.10: Spettro di una sinusoide con banda limitata e effetti di Slew Rate  $A_{v0} = 50$ ,  $I_D = 40\mu A$ .

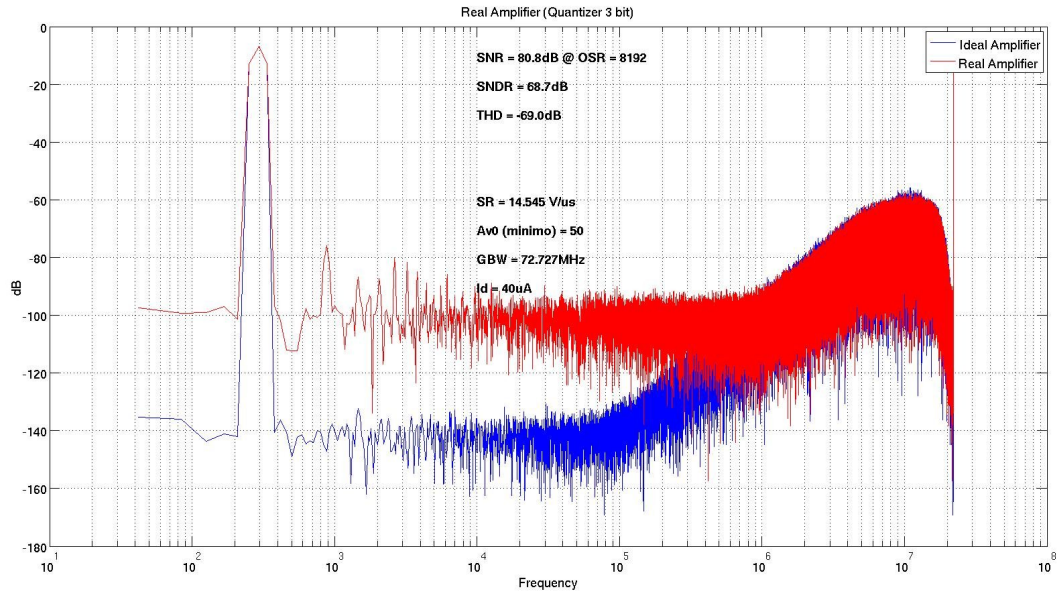


**Figura 4.11:** Swing d'uscita dell'amplificatore del primo stadio.

È interessante osservare come, diminuendo il numero di bit del quantizzatore interno, le specifiche degli amplificatori risultino maggiormente stringenti: questo trova motivazione nel fatto che la diminuzione del numero di bit del quantizzatore comporta un aumento del rumore di quantizzazione e quindi, per le proprietà dell'architettura Sigma-Delta feed-forward, un aumento degli swing all'ingresso degli integratori. Ad esempio se utilizzassimo le caratteristiche minime valutate per l'amplificatore in una struttura a quantizzatore a 4 bit otterremo una distorsione che degrada le caratteristiche di risoluzione del convertitore come facilmente visibile dalla Figura 4.12.

Le caratteristiche per un quantizzatore interno a 3 bit hanno circa un termine 2 di differenza con quelle dell'amplificatore con quantizzatore interno a 4 bit, questo è logico dal momento che il rumore di quantizzazione raddoppia ovvero l'ingresso dell'integratore raddoppia. Se da una parte il consumo di potenza del Flash si riduce, dall'altra aumenta il consumo di potenza richiesto dall'amplificatore:

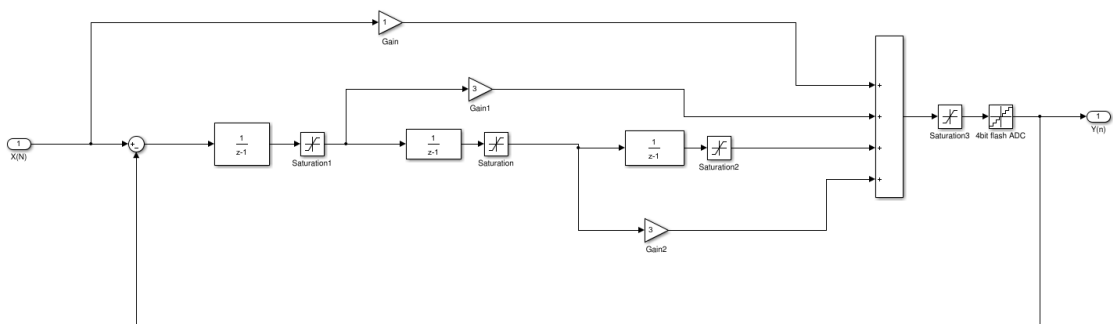
- Guadagno DC  $A_{v0} = 100$
- $I_D = 80\mu A$
- Swing uscita  $V_{oINT} = \frac{2V_{FS}}{10}$ .



**Figura 4.12:** Spettro di una sinusoide con banda limitata e effetti di Slew Rate  $A_{v0} = 50$ ,  $I_D = 40\mu A$ , quantizzatore 3 bit.

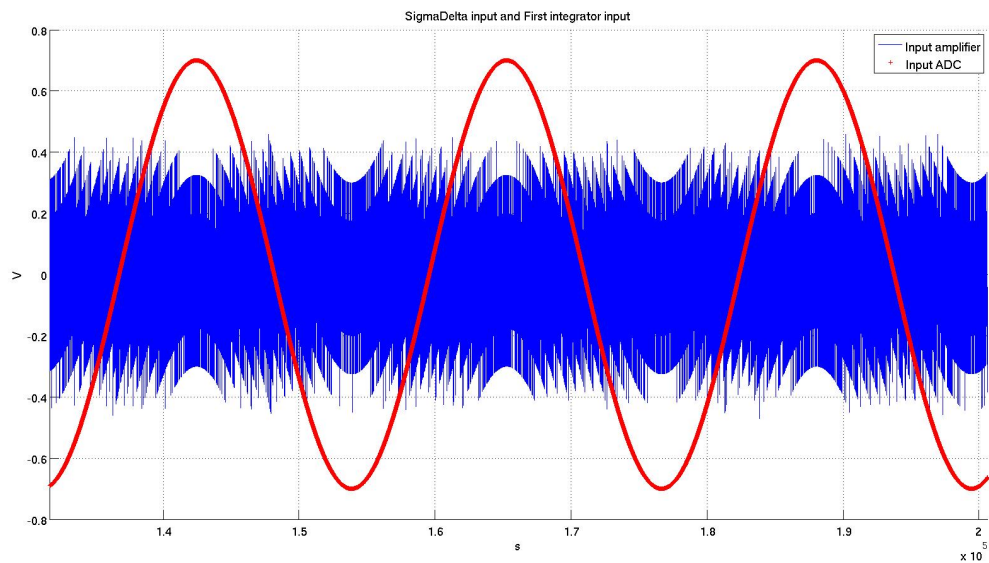
## 4.4 Progettazione di un $\Delta\Sigma$ feed-forward di ordine 3

L'architettura feed-forward può essere utilizzata per un Sigma-Delta di ordine qualsiasi e quindi anche per un ordine 3. Procediamo, come in precedenza, analizzando inizialmente le caratteristiche di un convertitore ideale e aggiungendo in un secondo momento le non idealità circuitali principali per poter valutare le caratteristiche minime richieste dal circuito.

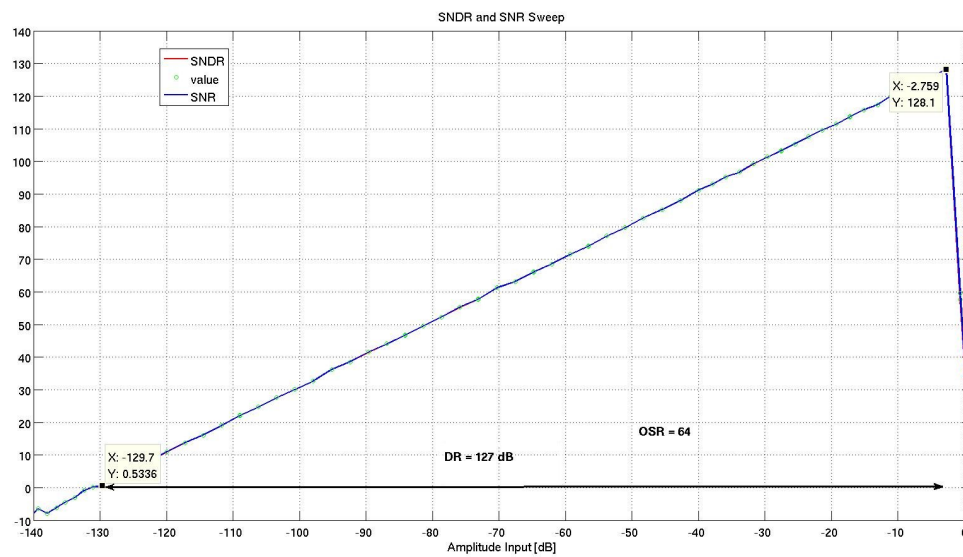


**Figura 4.13:** Schema a blocchi di un modulatore Sigma-Delta con architettura feed-forward di ordine 3.

Si può dimostrare, come fatto nella sezione precedente, che l'architettura di Figura 4.13 è caratterizzata da una  $STF(z) = 1$  e da una  $NTF(z) = (1 - z^{-1})^3$ .



**Figura 4.14:** Confronto tra segnale in ingresso al convertitore complessivo e segnale d'ingresso al primo integratore.

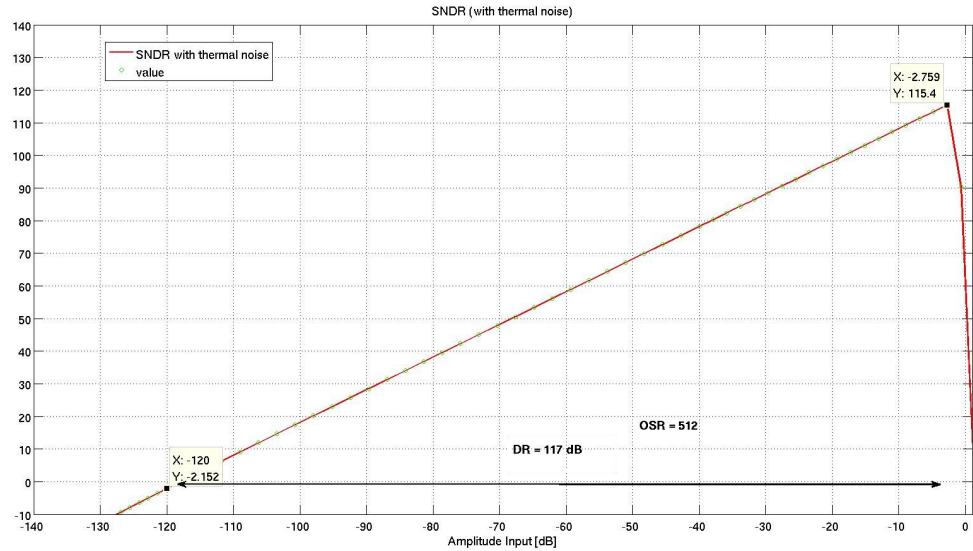


**Figura 4.15:** Dynamic Range struttura feed-forward  $L=3$ ,  $OSR=64$ .

**Tabella 4.3:** Risultati di una struttura forward di ordine 3 ideale.

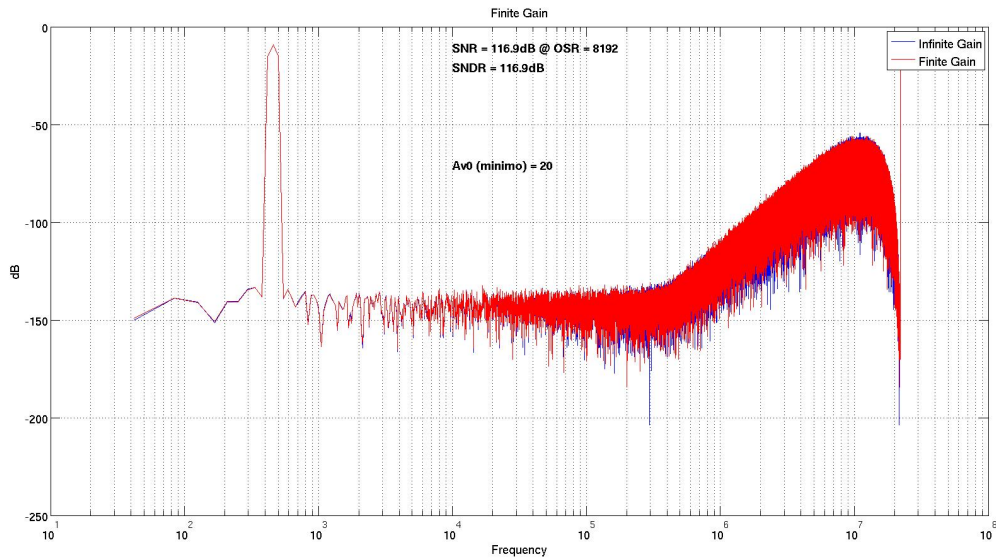
OSR	Dynamic Range(dB)	ENOB(bit)
64	127	21.1
128	145	24.1
256	170	28.3

Sebbene i risultati in Tabella 4.3 mostrino la possibilità di raggiungere livelli di Dynamic Range molto elevati anche per OSR piccoli è necessario ricordare che queste rappresentano le caratteristiche di un modello ideale, privo tra tutte le varie non idealità, ad esempio, del rumore termico. Questo contributo, come noto dagli studi dei capitoli precedenti, è indipendente dall'ordine del modulatore, ma dipende soltanto dal valore di sovracampionamento adottato nella struttura, fissato il valore  $C_s$ . È quindi presumibile che i risultati trovati in Tabella 4.2 siano molto simili anche per il modulatore di ordine 3.

**Figura 4.16:** Dynamic Range struttura feed-forward con rumore termico  $L=3$ ,  $OSR=512$ ,  $C_s = 40pF$ .**Tabella 4.4:** Risultati di una struttura forward di ordine 3 con rumore termico additivo.

OSR	$C_s$ (pF)	Dynamic Range(dB)	ENOB(bit)
512	40	117	19.5
1024	20	120	20
2048	10	120	20
4096	7	120	20
8192	5	121	20.1

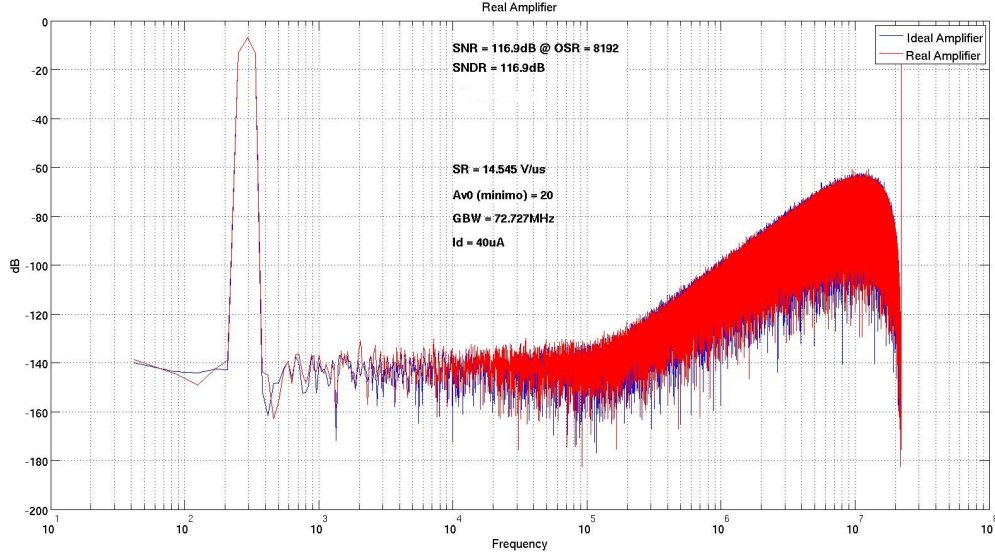
Come per l'ordine 2 è possibile ricavare le caratteristiche minime degli amplificatori. Queste caratteristiche sono di fatto molto simili tra loro, a parità del numero di bit del quantizzatore interno.



**Figura 4.17:** Spettro di una sinusoide con guadagno dell'amplificatore limitato  $A_{v0} = 20$ .

## 4.5 Confronto tra le strutture forward $L=2$ e $L=3$

Dalle simulazioni fatte è possibile fare un confronto tra le strutture appena presentate. Se in un modello ideale le caratteristiche del modulatore di ordine 3 sono notevolmente più vantaggiose rispetto a un modulatore di ordine 2, all'inserimento delle non idealità si ottengono risultati simili. Le specifiche degli amplificatori non sono diverse, in quanto all'ingresso presentano lo stesso rumore di quantizzazione a parità di numero di bit del quantizzatore interno, e anche i dimensionamenti dei condensatori portano a risultati simili. Le principali differenze si hanno sul consumo di potenza, dal momento che per realizzare l'ordine 3 è necessario utilizzare un integratore ulteriore, e, soprattutto, sull'implementazione del filtro digitale. Abbiamo infatti visto nel Capitolo 2 come l'ordine del filtro digitale sia tipicamente determinato da  $L_{CIC} = L_{\Delta\Sigma} + 1$ : l'aumento dell'ordine del filtro comporta anche un aumento della lunghezza della risposta impulsiva di quest'ultimo e un conseguente aumento del tempo necessario a terminare il transitorio. Nella nostra applicazione infatti non è importante acquisire un numero elevato di campioni, dal momento che l'informazione di interesse è a DC. Questo comporta che il numero di campioni da acquisire sia pari al numero di campioni necessari ad esaurire la risposta impulsiva. Tra le specifiche imposte da questo progetto abbiamo infatti previsto un tempo di risposta non superiore ai 2 ms equivalenti, in termini di lunghezza del filtro, noto che  $f_s = 22.6$  MHz, a  $N_{MAX} = 45000$  campioni. Avere come specifica questo dato risulta importante dal momento che il paziente non dovrà in tal modo attendere tempi eccessivi per l'acquisizione dell'immagine. Noto che



**Figura 4.18:** Spettro di una sinusoide con banda limitata e effetti di Slew Rate  $A_{v0} = 20$ ,  $I_D = 40\mu A$ .

$$N \propto k \cdot L_{CIC} = OSR \cdot (L_{\Delta\Sigma} + 1) \quad (4.6)$$

si ottiene

- modulatore di ordine 2  $\rightarrow OSR_{MAX} = 16384$
- modulatore di ordine 3  $\rightarrow OSR_{MAX} = 8192$ .

In questi termini la soluzione di ordine 2 è preferibile a quella di ordine 3 dal momento che permette di ottenere caratteristiche di risoluzione migliori con lunghezze della risposta impulsiva del filtro inferiori di un valore pari a  $OSR$  (approssimando  $N = L_{CIC} \cdot (k - 1) + 1$  con  $N = L_{CIC} \cdot k$ ).

Nella scelta del numero di bit del quantizzatore interno è invece opportuno osservare che, se da una parte, diminuire il numero di bit del quantizzatore interno complica le specifiche degli amplificatori, aumentando di conseguenza il consumo dell'amplificatore e il suo swing all'uscita, dall'altra comporta delle specifiche meno stringenti sui comparatori, caratterizzati da LSB inferiore, e soprattutto da un numero di comparatori all'interno del Flash ADC diminuito di un fattore 2 ad ogni riduzione di 1 bit del quantizzatore.

## 4.6 Progettazione di un $\Delta\Sigma$ standard di ordine 2

Seguiamo lo stesso procedimento fatto per le strutture precedenti per valutare le caratteristiche di un Sigma-Delta con struttura non forward: l'obiettivo è valutare le differenze tra la struttura forward e quella non forward per stabilire qualche sia l'architettura migliore da usare nella nostra applicazione.

Inserendo i contributi di rumore termico possiamo dimensionare i condensatori anche per la struttura non forward di ordine 2.

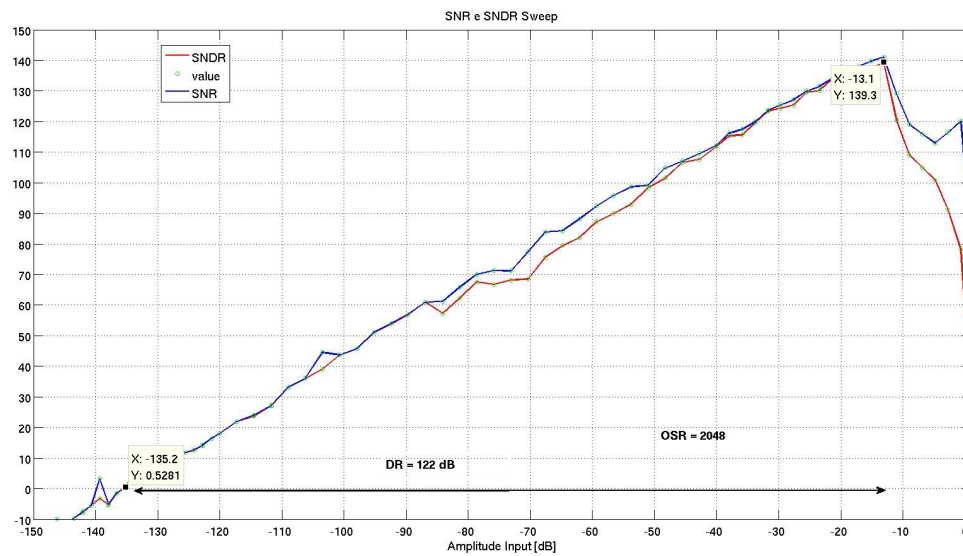


Figura 4.19: Dynamic Range architettura non feed-forward  $L=2$ ,  $OSR=2048$ .

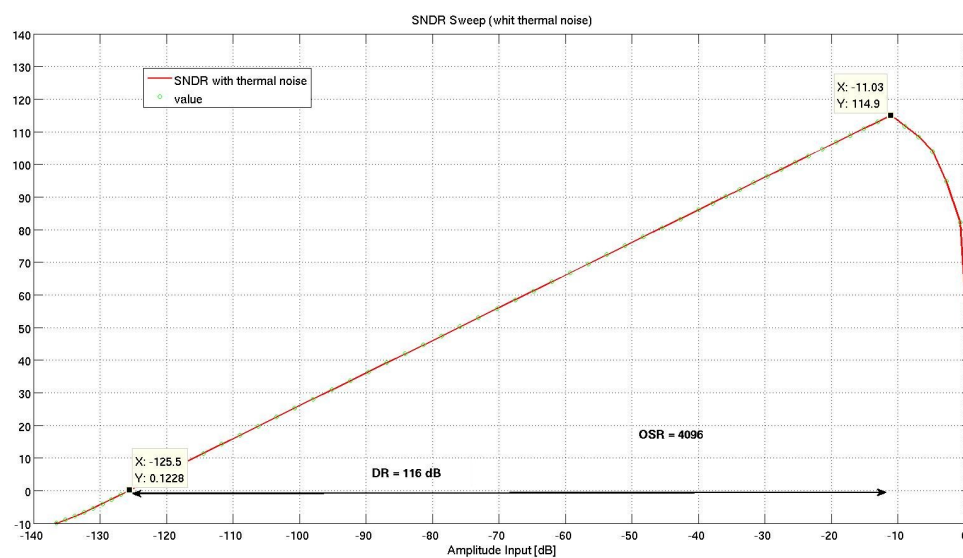


Figura 4.20: Dynamic Range architettura non feed-forward con rumore termico  $L=2$ ,  $OSR=4096$ ,  $C_s = 30pF$ .

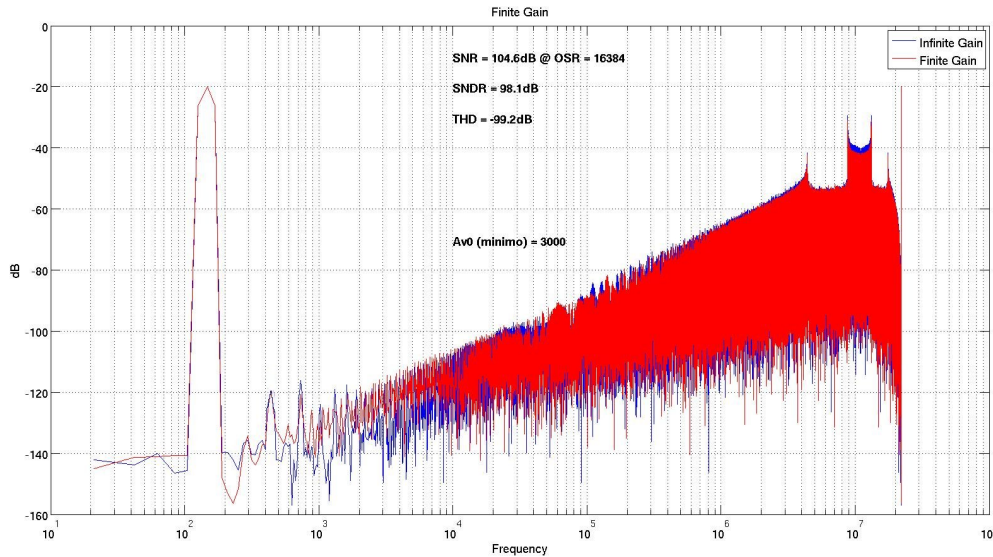
**Tabella 4.5:** Risultati di una struttura standard di ordine 2 ideale.

OSR	Dynamic Range(dB)	ENOB(bit)
1024	115	19.2
2048	122	20.3
4096	137	22.8

**Tabella 4.6:** Risultati di una struttura standard di ordine 2 con rumore termico additivo.

OSR	$C_s$ (pF)	Dynamic Range(dB)	ENOB(bit)
4096	30	116	19.3
8192	15	118	19.6
16384	6	120	20

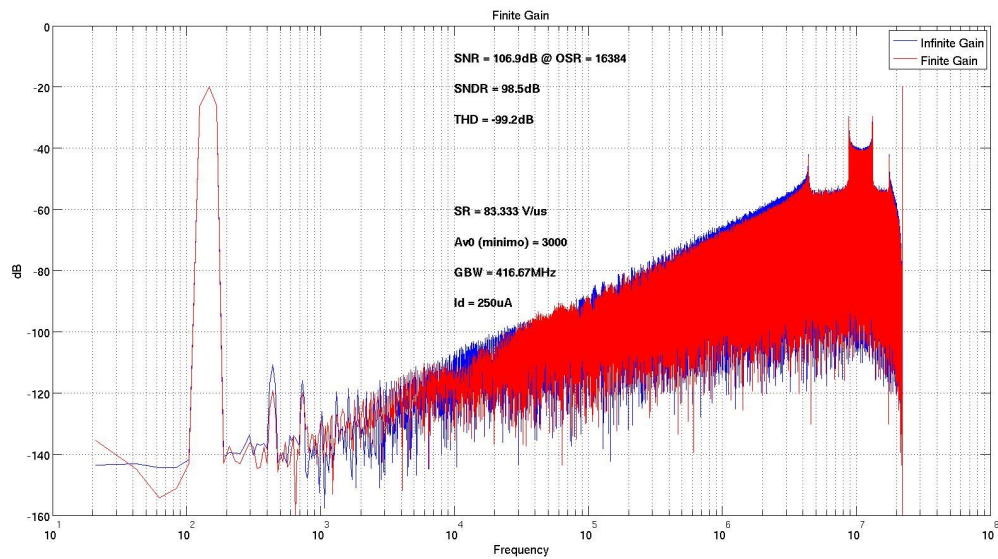
Infine possiamo ricavare le caratteristiche minime degli amplificatori

**Figura 4.21:** Spettro di una sinusoide con guadagno dell'amplificatore limitato  $A_{v0} = 3000$ .

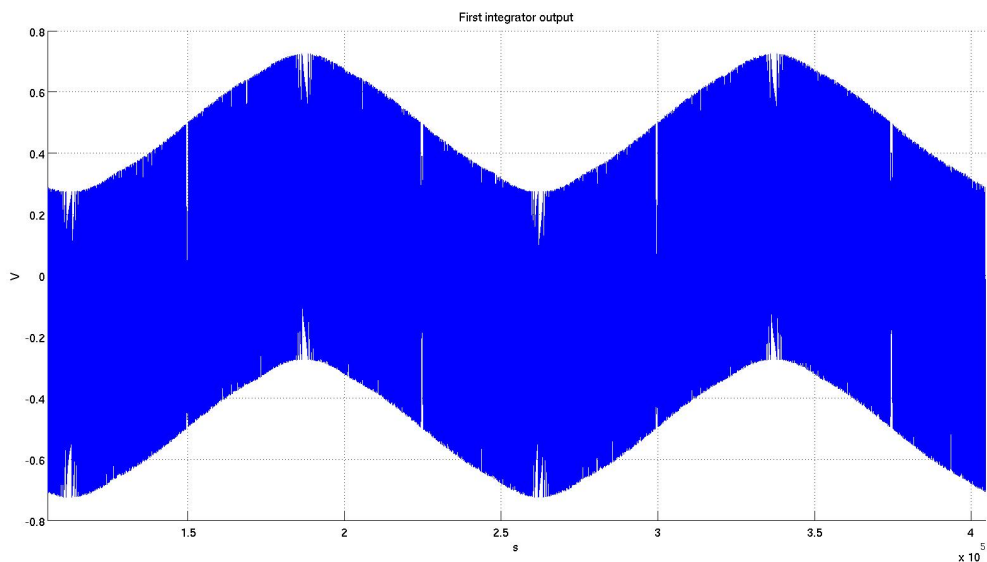
Di seguito si riportano le caratteristiche minime dell'amplificatore con un quantizzatore interno a singolo bit:

- Guadagno DC  $A_{v0} = 3000$ ;
- $I_D = 250\mu A$ ;
- Swing uscita  $V_{OINT} = \pm V_{FS}$ .

Le specifiche sono molto più stringenti rispetto a quelle che avevamo osservato nella struttura forward, a ulteriore dimostrazione del fatto che la presenza di un termine di ritardo nella  $STF(z)$  degrada le caratteristiche degli integratori



**Figura 4.22:** Spettro di una senoide con banda limitata e effetti di Slew Rate  $A_{v0} = 2000$ ,  $I_D = 250\mu A$ .



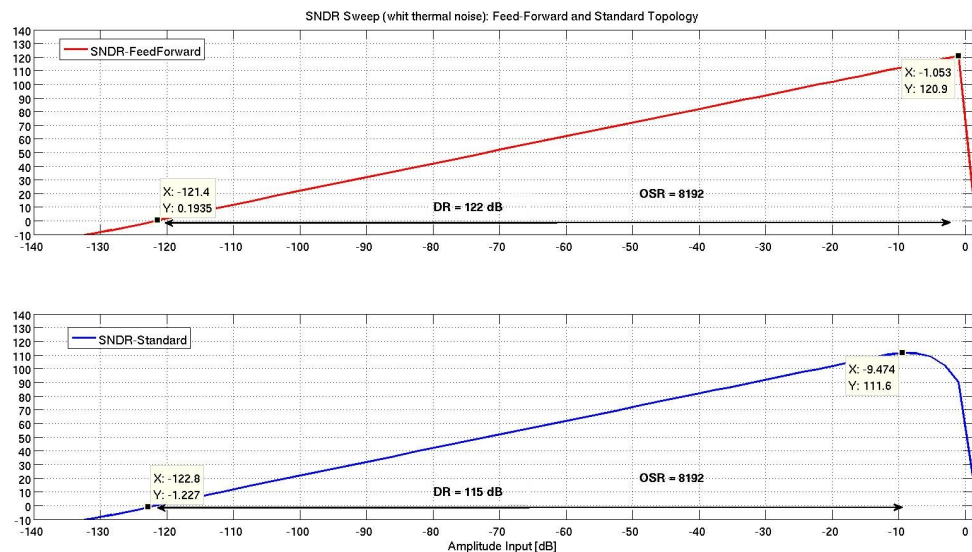
**Figura 4.23:** Swing d'uscita dell'amplificatore del primo stadio.

costringendoli a lavorare con tensioni d'ingresso piuttosto elevate con una conseguente minor robustezza alle non idealità rispetto a quanto visto per la soluzione feed-forward.

## 4.7 Confronto tra soluzione forward e standard $L=2$

Abbiamo fin ora dimensionato un convertitore Sigma-Delta con architettura feed-forward e standard di ordine 2. Abbiamo inoltre stabilito che una struttura di ordine 3 comporta gli stessi risultati in termini di risoluzione, ma richiede una lunghezza del filtro digitale CIC maggiore e quindi, per la nostra applicazione, non è una soluzione ottimale.

Limitandoci per ora a considerazioni sulla risoluzione del convertitore è evidente dalle Tabelle 4.2 e 4.6 che, a parità di capacità di campionamento, è necessario un OSR doppio nella struttura standard per ottenere il medesimo DR. Questo è motivato dal fatto che, nonostante il floor di rumore termico nelle due strutture sia lo stesso e quindi la parte di dinamica bassa, ad ampiezze piccole, coincida, nella parte alta della dinamica vi sia un notevole miglioramento per la struttura forward causato dalla robustezza che questa particolare architettura garantisce per gli amplificatori. In Figura 4.24 è apprezzabile come il ragionamento fatto in precedenza sia effettivamente valido: al fine di ottenere la stessa dinamica complessiva è pertanto necessario sovracampionare ulteriormente in un'architettura standard.



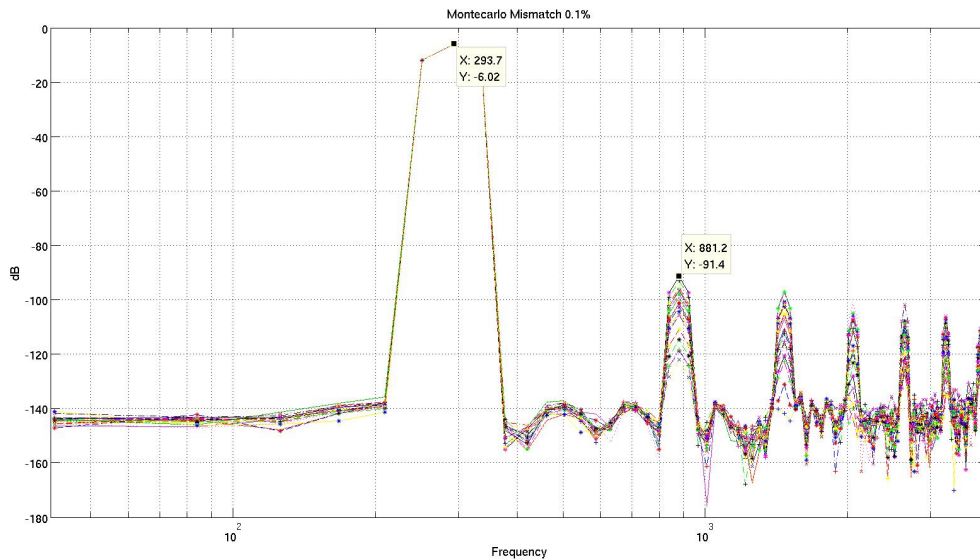
**Figura 4.24:** Confronto in termini di DR di una struttura a feed-forward e una struttura standard:  $OSR = 8192$ ,  $C_s = 6pF$ .

Aumentare il sovracampionamento per compensare questa differenza nella parte alta della dinamica comporta un aumento nella lunghezza del filtro decimatore e come abbiamo visto in precedenza questo comporta delle problematiche nei tempi di acquisizione. Ne ricaviamo quindi che una struttura a architettura non forward

richiede un filtro digitale con lunghezza della risposta impulsiva maggiore per ottenere il medesimo risultato di dinamica.

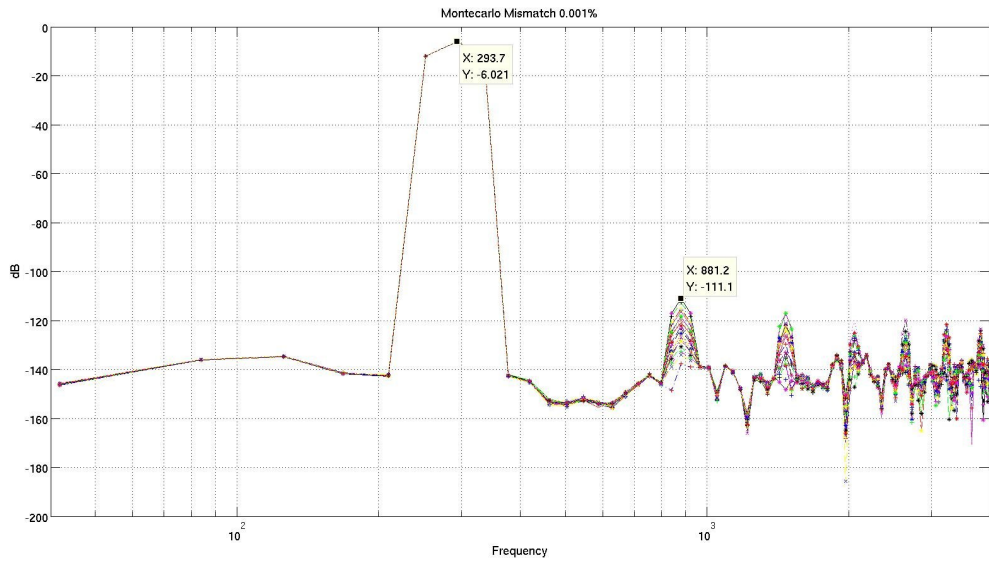
A vantaggio della struttura forward concorrono anche le caratteristiche degli amplificatori: lo swing d'uscita di un'architettura standard copre l'intero fondoscala e il consumo di corrente per non degradare le prestazioni del convertitore nei termini di Slew Rate e banda finita risulta di molto maggiore.

Lo svantaggio principale che presenta la struttura forward è rappresentato dall'ADC multibit: idealmente aumentare il numero di bit del quantizzatore interno ha effetti benefici sulla risoluzione del sistema tuttavia, per sistemi a più bit, la linearità del DAC diventa predominante e porta a una riduzione evidente del DR. Come secondo svantaggio si ha un consumo di potenza superiore nell'ADC Flash interno dovendo utilizzare un numero di comparatori pari a  $2^{bit} - 1$ . In Figura 4.25 è mostrato lo spettro di un segnale sinusoidale in presenza di un mismatch capacitivo dello 0.1%: facendo l'assunzione, approssimativamente veritiera, che lo SFDR coincida con il DR, si ricava un  $ENOB = 17.5$  bit. Se riduco il mismatch capacitivo, che coincide con l'aumentare la dimensione dei condensatori, ricordando che  $\sigma\left(\frac{\Delta C}{C}\right) = \frac{k}{\sqrt{WL}}$ , il DR torna ad assumere valori accettabili.

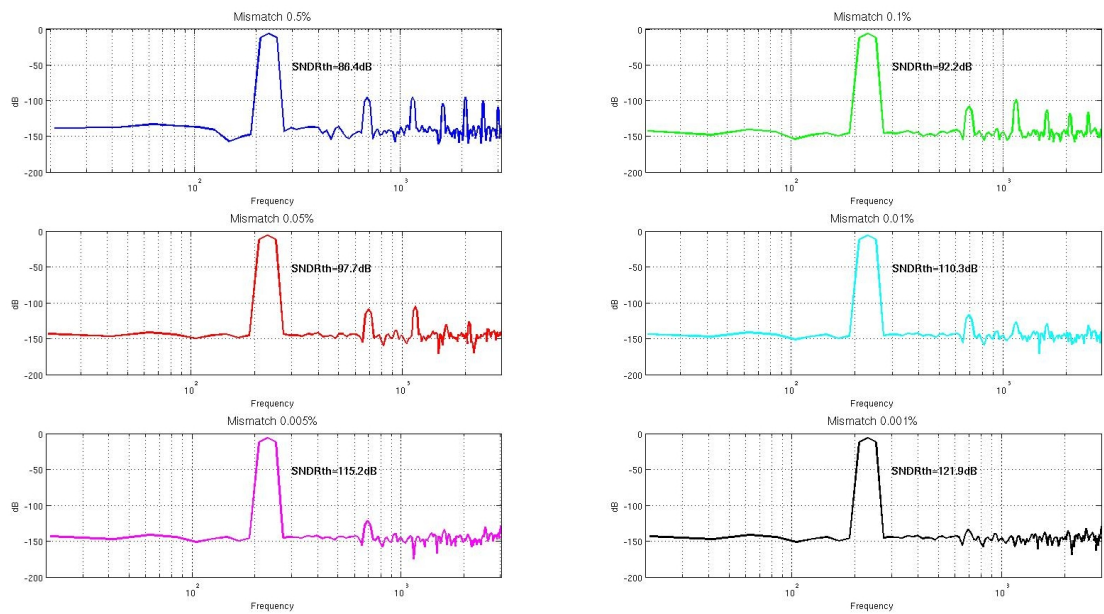


**Figura 4.25:** Simulazione Montecarlo: spettro di una sinusoide all'uscita di un Sigma-Delta con DAC reale, mismatch capacitivo 0.1%

In conclusione la struttura feed-forward presenta numerosi vantaggi in termini di lunghezza del filtro digitale d'uscita, linearità degli integratori e quindi specifiche molto rilassate degli amplificatori e singolo feedback, tuttavia richiede l'implementazione di un algoritmo come il DEM, in previsione di una realizzazione come circuito integrato, e comporta anche un aumento del consumo complessivo del quantizzatore interno, oltre che a una maggior complessità delle specifiche dei comparatori dovendo distinguere all'ingresso  $LSB$  inferiori.



**Figura 4.26:** Simulazione Montecarlo: spettro di una sinusoide all'uscita di un Sigma-Delta con DAC reale, mismatch capacitivo 0.001%



**Figura 4.27:** Confronto dei vari mismatch per un DAC reale a 4 bit.

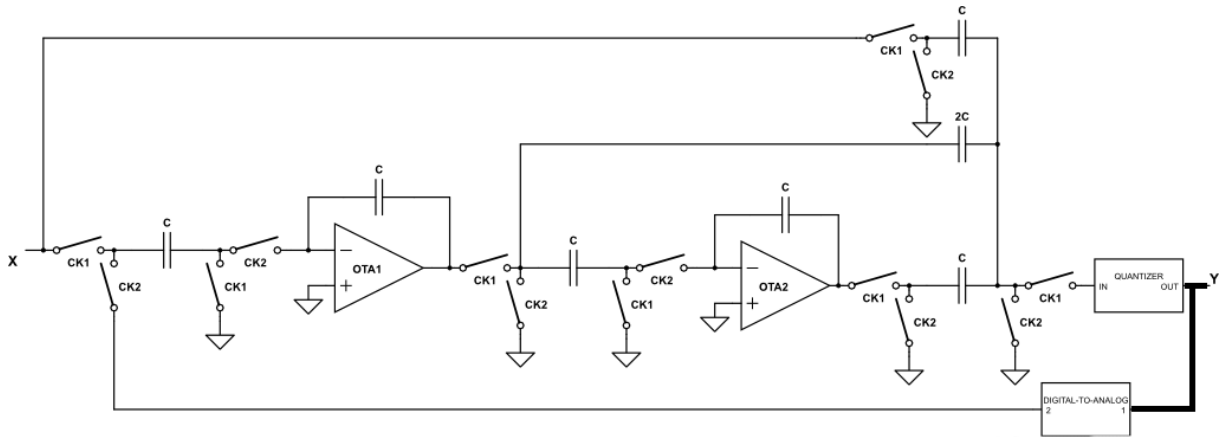
# Capitolo 5

## Progettazione *transistor level* dell'ADC

### 5.1 Implementazione circuitale architettura forward L=2

Abbiamo osservato nel capitolo precedente come la struttura forward, rispetto alla struttura standard, presenti delle caratteristiche vantaggiose nei termini di risoluzione del convertitore complessivo. Presentiamo pertanto in questo capitolo l'implementazione degli elementi fondamentali dell'architettura forward ovvero la progettazione dell'amplificatore e la progettazione del comparatore.

Dallo schema a blocchi di Figura 4.1 possiamo valutare un'implementazione a capacità commutate osservando che i due blocchi  $H(z)$  possono essere realizzati come due integratori con ritardo e i termini di guadagno dei loop di feed-forward possano essere realizzati stabilendo in modo opportuno il rapporto tra le dimensioni dei condensatori. In Figura 5.1 è mostrata l'opportuna temporizzazione delle fasi di Clock per avere un corretto trasferimento di carica. I due amplificatori operazionali formano come si voleva degli amplificatori con ritardo, campionano in  $\Phi_1$  e integrano in  $\Phi_2$ , mentre i valori dei condensatori nei rami di feed-forward sono stati scelti al fine di ottenere i termini di guadagno desiderati.

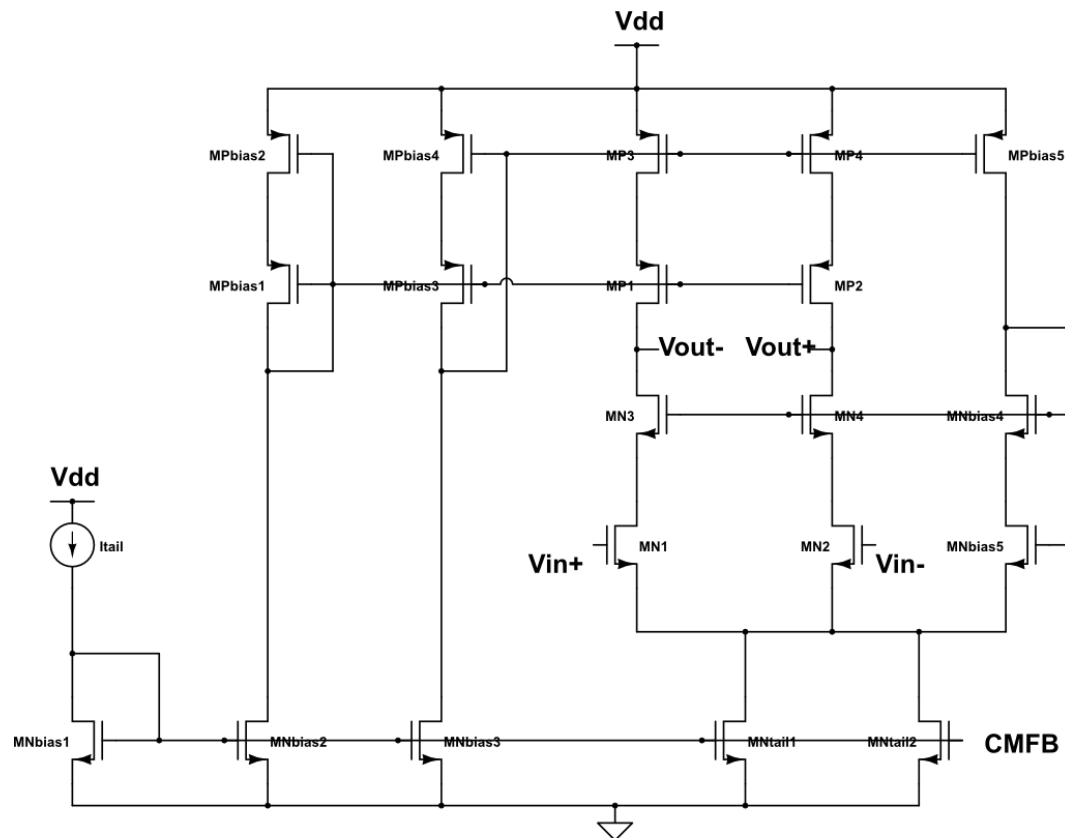


**Figura 5.1:** Realizzazione schematica single-ended di un convertitore Sigma-Delta con architettura forward di ordine 2.

## 5.2 Realizzazione dell'amplificatore

Come detto nei capitoli precedenti uno dei vantaggi forniti dall'utilizzo di un'architettura SC per la realizzazione del convertitore consiste nel fatto che l'amplificatore può essere realizzato come OTA dovendo sopportare all'uscita dei carichi esclusivamente capacitivi. Strategie di progettazione di un amplificatore OTA sono presentate ad esempio in [28], [29] e [30]. L'idea è di realizzare un OTA dal basso consumo, a tensione di alimentazione bassa e con figure di merito come guadagno a DC, frequenza di guadagno unitario e Slew Rate come definite in precedenza. Dal punto di vista del consumo totale è importante osservare che l'OTA è uno degli elementi a maggior consumo nel convertitore, potendo consumare anche oltre il 50% del consumo complessivo del  $\Delta\Sigma$ . Le soluzioni proposte per garantire le specifiche richieste dal convertitore, al fine di non degradare il DR, vengono illustrate di seguito.

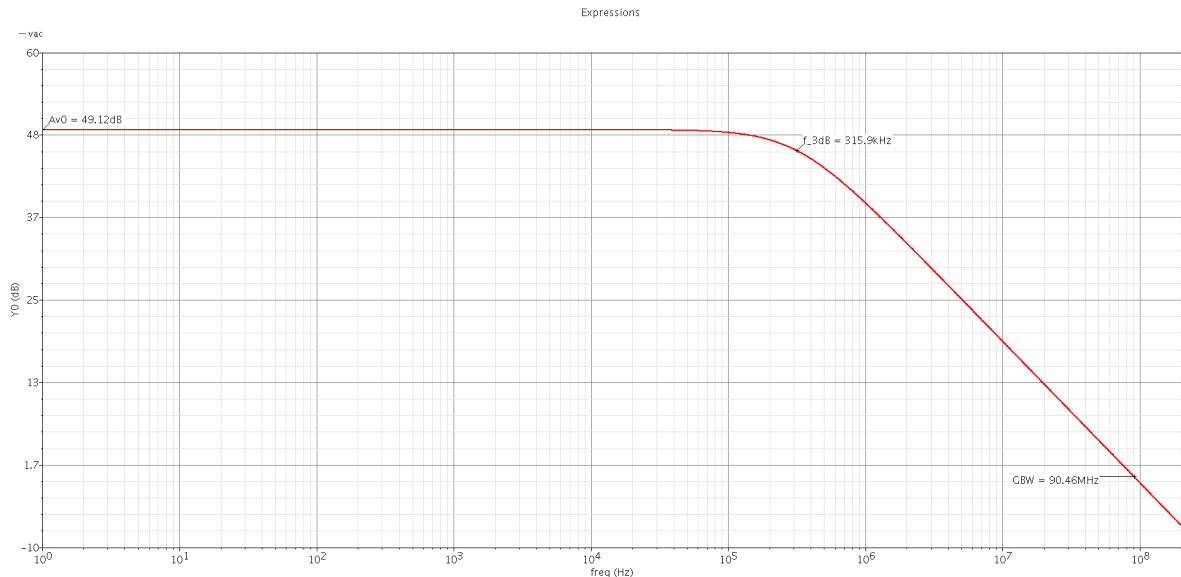
Il circuito di Figura 5.2 rappresenta un OTA di tipo Telescopic. Questo tipo di OTA è caratterizzato da un guadagno in bassa frequenza tipicamente elevato, ma da uno swing d'uscita ridotto pari a  $V_{dd} - 5 \cdot V_{ov}$  ovvero lo spazio in tensione necessario a mantenere in saturazione i transistor  $MP4 - MP2 - MN4 - MN2 - MN_{tail1}$ . Assumendo di utilizzare un Flash ADC a 4 bit come quantizzatore interno al convertitore Sigma-Delta possiamo valutare il consumo di corrente totale del circuito per garantire uno Slew Rate sufficiente, pari almeno a quello ricavato dal modello Simulink. Ricordando che vale  $I_{D_{min}} = 40\mu A$ , dove con  $I_D$  si intende la corrente di ramo dell'amplificatore OTA, ovvero sui rami  $MN1$  e  $MN2$ , si ha per LKC che  $I_{tail_{min}} = 80\mu A$ . Per mantenere un certo margine, dal momento che il modello Simulink non è perfettamente coincidente con la realtà, scegliamo di porre  $I_{tail} = 200\mu A$ , al fine anche di non appesantire l'amplificatore in termini di consumo. I dimensionamenti dei transistor vengono riportati nella seguente tabella:



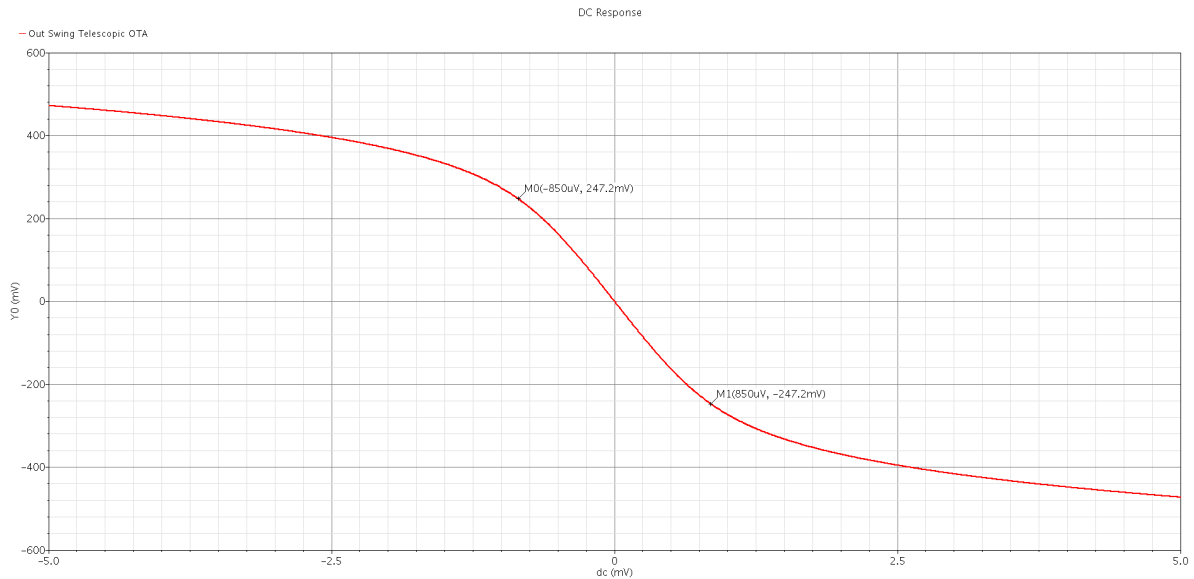
**Figura 5.2:** Realizzazione di un OTA di tipo Telescopic comprensivo del circuito di Biasing.

**Tabella 5.1:** Dimensionamenti dei transistor di un OTA di tipo Telescopico.

Transistor	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
$MN1 = MN2$	80	1
$MN3 = MN4$	65	1
$MP1 = MP2 = MP3 = MP4$	160	1
$MNtail1$	80	1
$MNbias1$	$MNtail1 = 80$	1
$MNbias2 = MNbias3$	$MNbias1/2 = 40$	1
$MNbias4$	$2 \cdot MN4/5 = 26$	1
$MNbias5$	$MNbias4/3 = 8$	1
$MPbias1 = MPbias3 = MPbias4$	$MP1 = 160$	1
$MPbias2$	$MPbias1/4 = 40$	1
$MPbias5$	$2 \cdot MP4/5 = 64$	1
$MNtail2$	$MNbias4 = 26$	1

**Figura 5.3:** Modulo della funzione di trasferimento di un OTA Telescopico a catena aperta con carico capacitivo  $C_L = 6$  pF.

Dalla Figura 5.3 e Figura 5.4 possiamo osservare come il guadagno DC sia sufficientemente superiore a quanto richiesto dalle specifiche. Anche lo swing d'uscita è sufficientemente superiore a  $V_{REF}/10$  con  $V_{REF} = 1.2$ . Il consumo di potenza di questo amplificatore non supera il mezzo milliWatt, valore decisamente inferiore a quanto imposto dalla specifica e considerando che, tipicamente, l'OTA risulta uno degli elementi dominanti sul consumo, abbiamo un buon margine sul consumo disponibile per la parte digitale e per il comparatore. Se avessimo interesse nel diminuire il numero di bit del quantizzatore interno, ad esempio per diminuire il numero di comparatori nel Flash ADC, al fine di diminuire il consumo del quantizzatore o affinché le specifiche sui comparatori siano meno stringenti, sarebbe necessario cambiare topologia in quanto l'OTA Telescopico appena dimensionato non

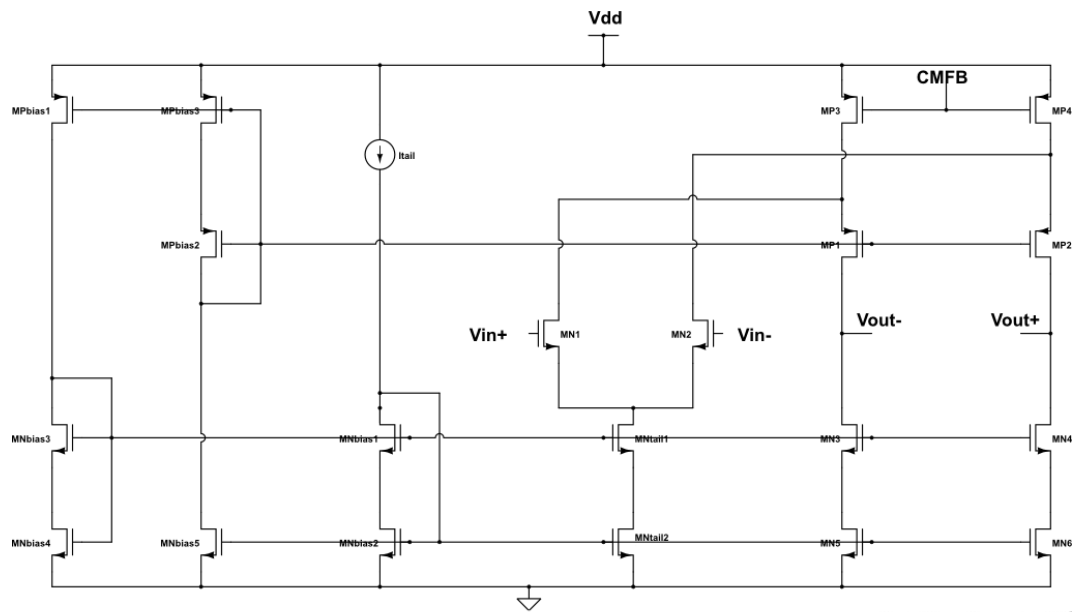


**Figura 5.4:** Swing d'uscita dell'OTA Telescopic dimensionato.

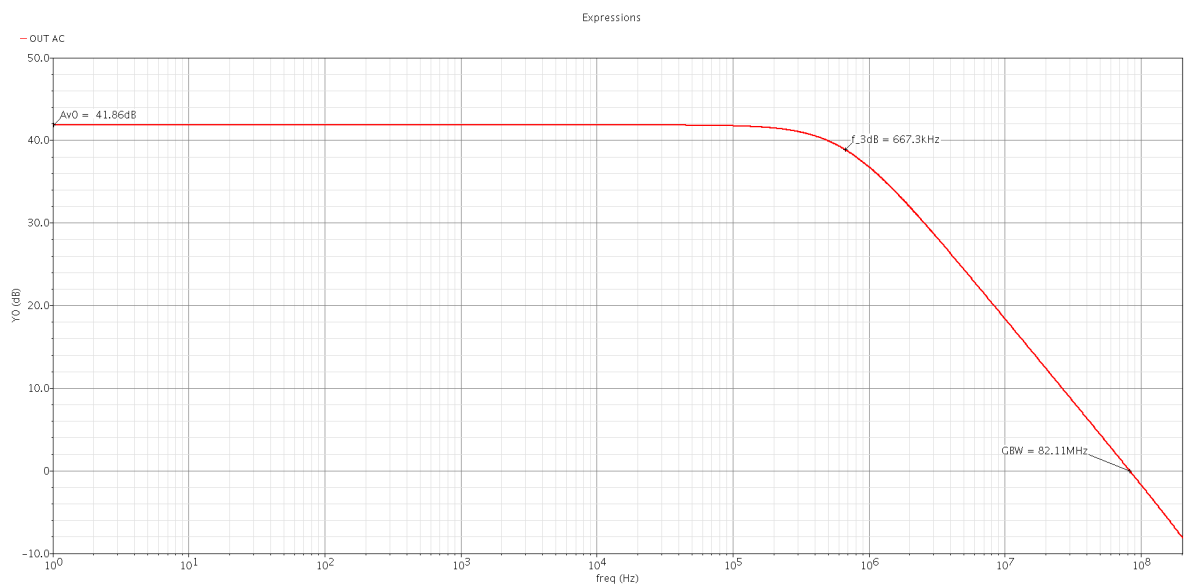
sarebbe in grado di garantire uno swing d'uscita sufficientemente superiore a quanto richiesto dal modello *Simulink*: viene quindi presentata un'ulteriore soluzione grazie alla quale si riesce a raggiungere un valore di swing d'uscita molto più elevato. Si tratta di un OTA di tipo Folded Cascode, schematico *transistor level* in Figura 5.5. A differenza del caso Telescopic lo spazio in tensione richiesto per mantenere in saturazione i transistor  $MP4 - MP2 - MN4 - MN6$  è pari a  $V_{dd} - 4V_{ov}$ .

Un altro significativo vantaggio che presenta la struttura OTA Folded Cascode come disegnata in Figura 5.5 è il fatto di aver aumentato il *Power Supply Rejection Ratio*, (PSRR) attraverso un *cascode* del tail current generator, al fine di rigettare il maggior rumore possibile proveniente dalle alimentazioni e dal piano di massa. Anche per questo OTA è apprezzabile come le figure di merito richieste dal modello Simulink siano soddisfatte. È interessante inoltre osservare quale sia l'andamento di questi OTA una volta inseriti in un sistema a capacità commutate valutandone in particolare quale sia la loro risposta a un gradino all'ingresso del sistema.

Il risultato che si osserva in Figura 5.8 è coerente con le nostre aspettative ovvero ad ogni fase di integrazione, scandita dal Clock  $\Phi_2$ , l'uscita viene aggiornata sommando il valore precedentemente campionato nella capacità di feedback con una caratteristica non invertente, tipica dell'integratore con ritardo. Si tratta, a tutti gli effetti, di un'effetto di integrazione coincidente, in un sistema a tempo discreto, con una sommatoria. L'ottimizzazione degli amplificatori deve prevedere anche l'inserimento di questi in un sistema a capacità commutate: la transconduttanza degli OTA deve essere sufficientemente elevata da garantire che nel periodo d'integrazione il transitorio di carica si esaurisca completamente, al fine di evitare che venga immagazzinato un valore di carica errato e come conseguenza una tensione errata. Per fare questo può essere necessario aumentare la dimensione dei transistor della coppia differenziale al fine di aumentare il  $g_m$  dell'OTA.



**Figura 5.5:** Realizzazione di un OTA di tipo Folded Cascode comprensivo del circuito di Biasing.



**Figura 5.6:** Modulo della funzione di trasferimento di un OTA Folded Cascode a catena aperta con carico capacitivo  $C_L = 6$  pF.

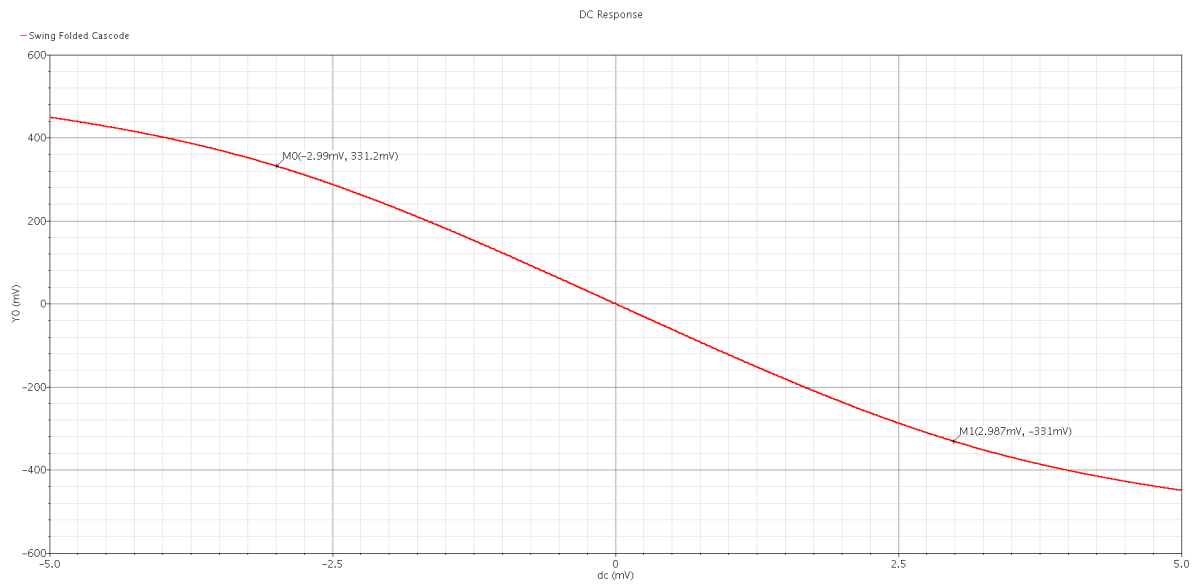


Figura 5.7: Swing d'uscita dell'OTA Telescopic desiderato.

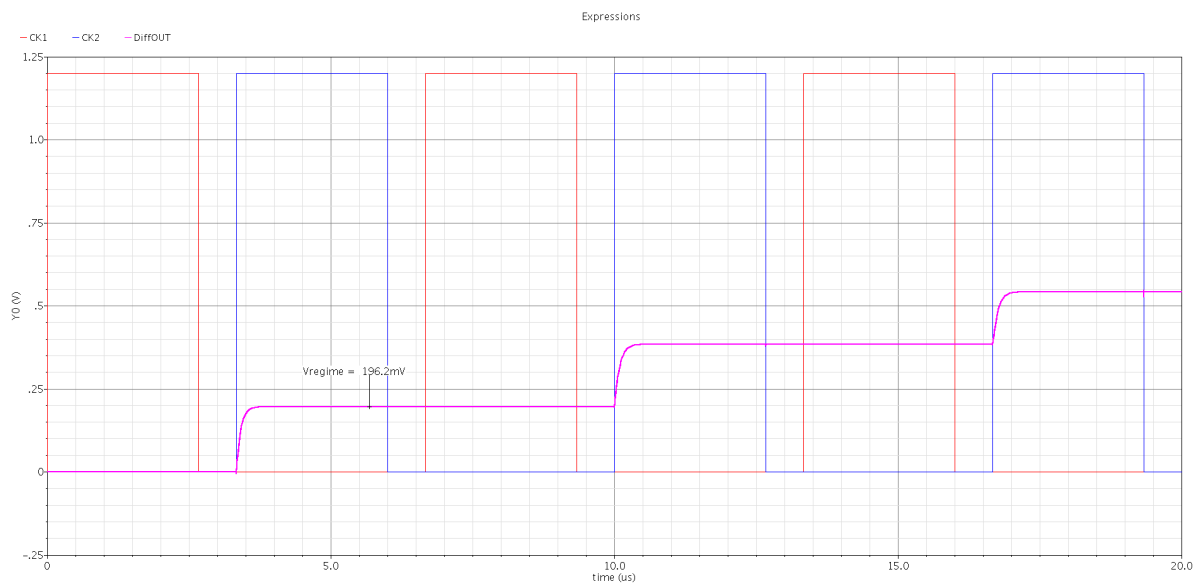


Figura 5.8: Risposta al transitorio di un gradino all'ingresso di un integratore SC con ritardo. Ampiezza gradino 200mV

### 5.3 Realizzazione del comparatore

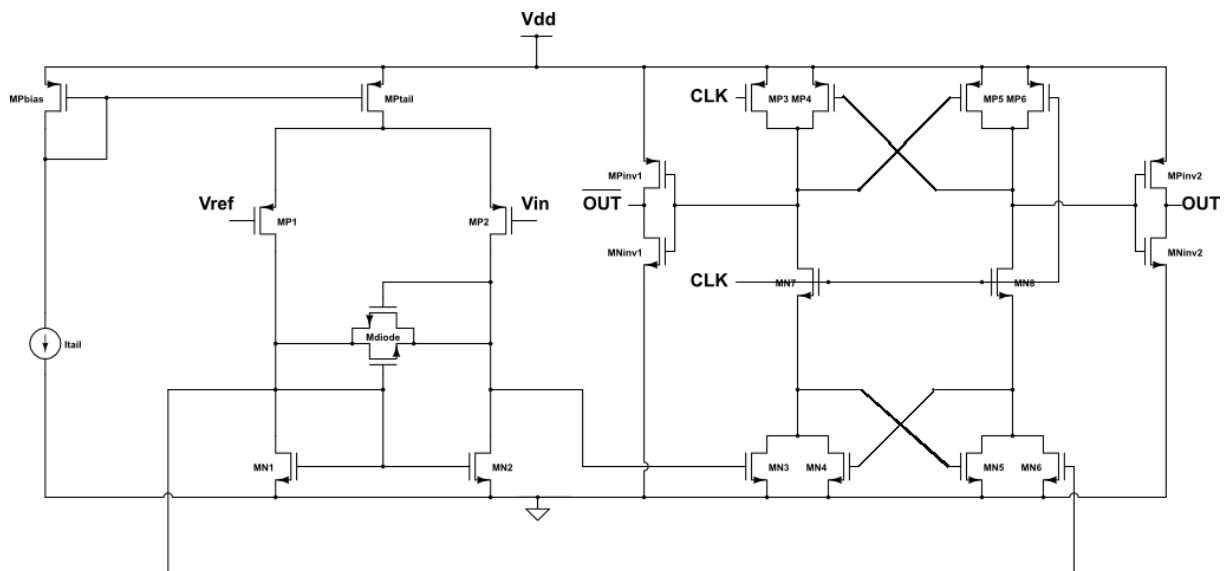
Il dimensionamento del comparatore deve partire da una scelta basata sul numero di bit desiderati dal quantizzatore interno dal momento che il comparatore deve essere caratterizzato da un guadagno e da un offset strettamente collegati all'LSB. In generale minore è l'LSB, ovvero maggiore è il numero di bit del quantizzatore, e maggiormente stringenti sono le specifiche richieste dal comparatore. Assumiamo pertanto di dimensionare un comparatore utile a un quantizzatore a 4 bit: in questo modo avremo, anche se con un sovradimensionamento, dimensionato un comparatore anche per un quantizzatore a 1, 2 o 3 bit. Tipicamente un comparatore viene realizzato con l'utilizzo di un preamplificatore seguito da un latch. Con riferimento alla Figura 5.9 il preamplificatore attraverso la coppia differenziale  $MP1 - MP2$  comporta uno sbilanciamento della tensione d'ingresso che, il latch, distingue come uscita alta o uscita bassa. La dinamica del latch è divisa in una fase di reset e in una fase di valutazione dell'uscita del preamplificatore: durante la fase di reset CLK è basso, i pMOS  $MP3$  e  $MP6$  sono accesi mentre i transistor  $MN7$  e  $MN8$  sono spenti. Il drain dei pMOS è pertanto collegato a  $V_{dd}$  e quindi l'uscita dell'inverter è 0. Quando CLK è alto la corrente comincia a fluire dal lato pMOS al lato nMOS del latch. Una parte della corrente viene portata dai transistor  $MN3$  e  $MN6$  i cui gate sono controllati dal preamplificatore. Fin tanto che i valori di corrente tra i due transistor sono differenti, si hanno anche valori di tensione ai drain che nella componente differenziale superano la tensione di soglia. La tensione differenziale viene amplificata rapidamente e viene trasferita ai pMOS fino ad essere amplificata a un valore vicino alla tensione d'alimentazione.

Nel preamplificatore vengono inseriti due nMOS chiusi a diodo: il loro utilizzo è da ricondurre a una situazione in cui l'ingresso e il riferimento siano molto diversi e il preamplificatore risulti come conseguenza molto sbilanciato. Al fine di evitare transistori lunghi per ritornare a una condizione di equilibrio, secondo il problema che viene anche chiamato in letteratura *recovery time*, viene inserito questo meccanismo di Clamp non lineare che porta a un reset del preamplificatore laddove la tensione d'ingresso sia molto sbilanciata rispetto alla tensione determinata dal riferimento.

Il preamplificatore può essere anche caratterizzato da una struttura differenziale all'ingresso: gli amplificatori del convertitore Sigma-Delta sono stati infatti pensati per avere all'uscita una componente di segnale positiva e una componente di segnale negativa. L'informazione d'interesse per il comparatore è la differenza di questi due segnali, per cui è vantaggioso realizzare un preamplificatore che confronti la differenza di due segnali con una tensione di riferimento. Questa struttura, rispetto a quella precedentemente analizzata, permette di valutare la differenza dei segnali in uscita dall'integratore direttamente nella fase di amplificazione senza complicare ulteriormente il convertitore inserendo un campionamento della differenza dei segnali da inviare al preamplificatore. Con riferimento alla Figura 5.10 il preamplificatore viene realizzato con due coppie differenziali incrociate. L'amplificatore opera in tal modo un confronto tra la differenza dei segnali d'ingresso con un opportuno riferimento.

I risultati delle simulazioni del comparatore sono presentate di seguito.

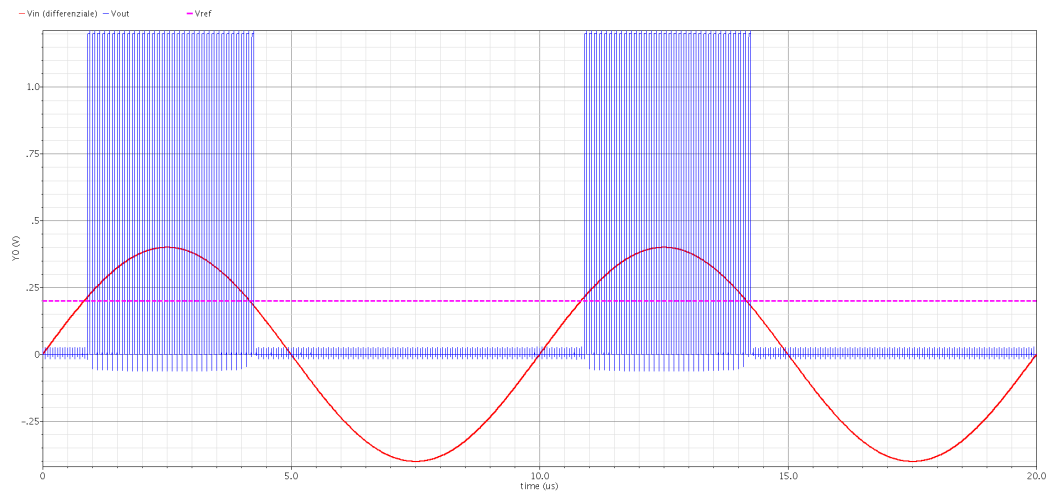
In Figura 5.13 viene mostrato il risultato di una simulazione Montecarlo per l'offset di un singolo preamplificatore. Ricordando che  $LSB = 0.15V$  per un Flash



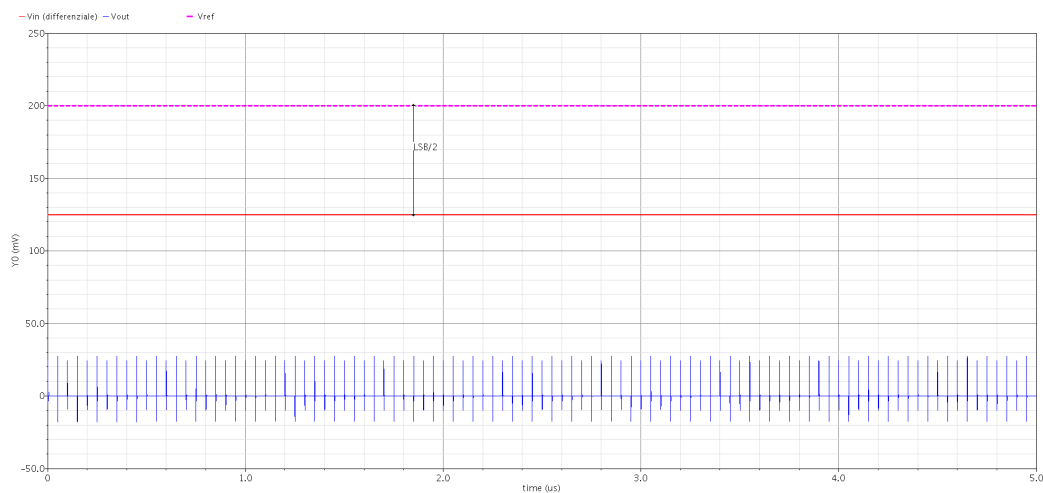
**Figura 5.9:** Schema di un comparatore realizzato con preamplificatore e latch di tipo D.

a 4 bit, si ha che deve valere  $V_{os} < \frac{LSB}{4} = 0.0375$  come in effetti accade. Anche per il comparatore è stato fatto un dimensionamento tale da mantenere a livelli ragionevoli il consumo di potenza. Si è pertanto polarizzato il preamplificatore con una corrente di  $80\mu A$  con un conseguente consumo complessivo del quantizzatore a 4 bit vicino a 2 mW.

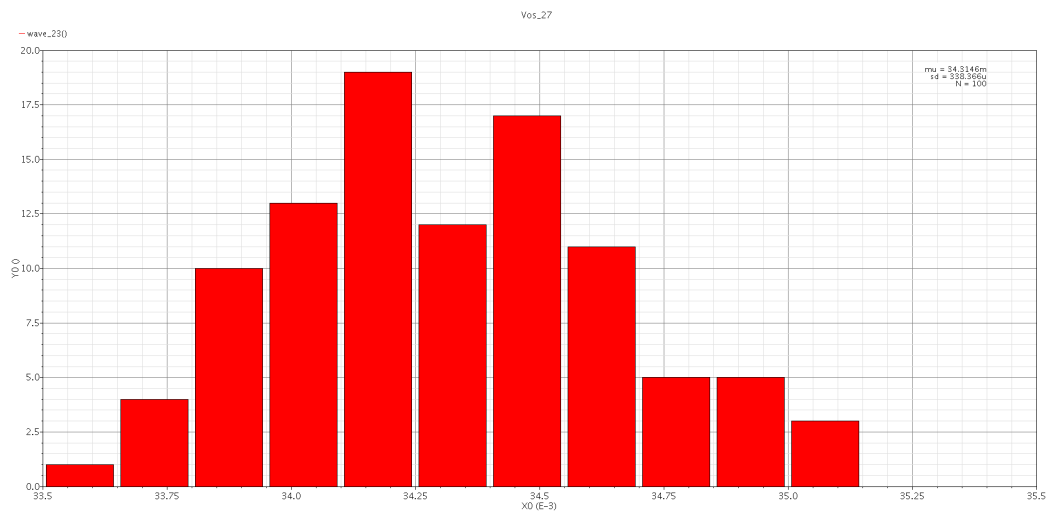




**Figura 5.11:** Funzionamento di un comparatore con latch: fin quando  $V_{in} < V_{REF}$  l'uscita del comparatore deve essere nulla. Non appena  $V_{in} > V_{REF}$ , a meno di  $LSB/2$ , durante la fase di confronto del latch l'uscita deve valere 1.



**Figura 5.12:** Funzionamento di un comparatore con latch: il comparatore deve essere in grado di distinguere  $\pm \frac{LSB}{2}$ .



**Figura 5.13:** Offset del preamplificatore. Deve essere minore di  $\frac{LSB}{4}$ .

# Capitolo 6

## Sviluppi futuri

Lo studio fatto in questa tesi presenta una modellizzazione delle strutture Sigma-Delta prese in esame e prevede anche il dimensionamento di amplificatore e comparatore. Sono stati in particolare analizzati i vantaggi di una struttura rispetto a un'altra attraverso delle simulazioni a livello di sistema per confrontare le figure di merito fondamentali. È stato inoltre previsto un certo margine rispetto alle specifiche richieste dal momento che, come più volte ripetuto, il modello Simulink non ha una corrispondenza perfetta con la realtà. Come sviluppi futuri si prevede l'implementazione dell'algoritmo di DEM, necessario a risolvere i problemi di linearità del DAC dal momento che in fase di fabbricazione dell'integrato non sarà possibile garantire valori di mismatch dei condensatori arbitrariamente piccoli. Oltre a questo per completare la struttura è necessario progettare il filtro digitale all'uscita e, dove possibile, ottimizzare ulteriormente, anche in termini di consumo e spazio occupato, l'amplificatore e il comparatore. Infine si provvederà al layout del circuito per poter valutare sul circuito stampato le caratteristiche previste dalle simulazioni.



# Appendice A

## Codici Matlab

Codice Matlab 1: Calcolo di SNR e SNDR e plot dello spettro.

```
%% Plot della FFT e algoritmi di calcolo di SNR e SNDR
w = hann(Nx); %finestratura di Hann
w_ax1 = linspace(0,2*B*OSR,Nx);
fourier = (abs(fft(simout1(2:end).*w'*2))/Nx);
spec = 20*log10(abs(fft(simout1(2:end).*w'*2))/Nx); %spettro
      in uscita
specin = 20*log10(abs(fft(simout(2:end).*w'*2))/Nx); %spettro
      in ingresso

figure(1)
semilogx(w_ax1,spec, 'b')

hold on
grid on

xlabel('Frequency')
ylabel('dB')
title('Spectrum')

powersignal = fourier(fsin+1)^2 + fourier(fsin)^2 + fourier(
    fsin-1)^2;
%Escludo i bin della sinusoide dal calcolo del noisepower
fourier(fsin+1) = 0;
fourier(fsin) = 0;
fourier(fsin-1) = 0;

harm = (B*Tsin); %numero delle armoniche
powerdistortion = 0;

if harm <= 3
    powerdistortion = 0;
else
    for k = 3:2:harm
```

```
powerdistortion = powerdistortion + fourier(k*fsin)^2 +  
    fourier(k*fsin-1)^2 + fourier(k*fsin+1)^2;  
    fourier(k*fsin)=0;  
    fourier(k*fsin-1)=0;  
    fourier(k*fsin+1)=0;  
    end  
end  
  
noisepower = sum(fourier(1:fB).^2);  
  
SNR = 10*log10(powersignal/noisepower);  
SNDR = 10*log10(powersignal/(noisepower+powerdistortion));  
THD = 10*log10(powerdistortion/powersignal);
```

## Codice Matlab 2: Calcolo di SNR e SNDR e plot della curva di Dynamic Range.

```

%% Plot di SNR, SNDR e THD a ampiezza di ingresso variabile
w = hann(Nx);

harm = (B*Tsin);
cy = length(A); % numero di cicli per il calcolo del DR
fourier = zeros(cy,L1);
powersignal = zeros(1,cy);
powerdistortion = zeros(1,cy);
noisepower = zeros(1,cy);
SNDR = zeros(1,cy);
SNR = zeros(1,cy);
THD = zeros(1,cy);

for j = 1:cy
    fourier(j,:) = (abs(fft(simout1(2:end,j).*w'*2))/L1);
    powersignal(j) = fourier(j,fsin-1)^2 + fourier(j,fsin+1)
^2 + fourier(j,fsin)^2;
    %Escludo i bin della sinusoide dal calcolo del
noisepower
    fourier(j,fsin)=0;
    fourier(j,fsin+1)=0;
    fourier(j,fsin-1)=0;

    if harm <= 3
        powerdistortion = zeros(1,cy);
    else
        for k = 3:2:harm
            powerdistortion(j) = powerdistortion(j) + fourier(
j,k*fsin-1)^2 + fourier(j,k*fsin)^2 + fourier(j,k*fsin+1)
^2;
            fourier(j,k*fsin-1)=0;
            fourier(j,k*fsin)=0;
            fourier(j,k*fsin+1)=0;
        end
    end
    noisepower(j) = sum(fourier(j,1:fB).^2);
    SNDR(j) = 10*log10(powersignal(j)/(noisepower(j)+
powerdistortion(j)));
    SNR(j) = 10*log10(powersignal(j)/noisepower(j));
    THD(j) = 10*log10(powerdistortion(j)/powersignal(j));

end

figure(1)
hold on
grid on

```

```
plot(20*log10(w_ax), SNDR, 'r', 20*log10(w_ax), SNDR, 'go')  
plot(20*log10(w_ax), SNR, 'b-', 20*log10(w_ax), SNR, 'go')
```

## Codice Matlab 3: Funzione per modellizzare Slew Rate e banda limitata.

```

function out = slew(in,alfa,sr,GBW,Ts)
% Modellizza lo slew rate e la banda finita dell'
  amplificatore
%
% out = slew(in,alfa,sr,GBW,Ts)
%
% in:   Input signal amplitude
% alfa: Effect of finite gain (ideal amplifier alfa=1)
% sr:   Slew rate in V/s
% GBW:  Gain-bandwidth product of the integrator loop gain
        in Hz
% Ts:   Sample time in s
%
% out:   Output signal amplitude

tau=1/(2*pi*GBW); % Time constant of the integrator
Tmax = Ts/2;

slope=alfa*abs(in)/tau;

if slope > sr      % Op-amp in slewing

    tsl = abs(in)*alfa/sr - tau; % Slewing time

    if tsl >= Tmax
        error = abs(in) - sr*Tmax;
    else
        texp = Tmax - tsl;
        error = abs(in)*(1-alfa) + (alfa*abs(in) - sr*tsl) * exp
            (-texp/tau);
    end

else      % Op-amp in linear region
    texp = Tmax;
    error = abs(in)*(1-alfa) + alfa*abs(in) * exp(-texp/tau);
end

out = in - sign(in)*error;

```

## Codice Matlab 4: Funzione per modellizzare il DAC reale.

```

%% Funzione per determinare i livelli reali di un DAC a k
comparatori
% k:      numero dei comparatori 2^b -1
% ncap:   numero dei condensatori
% UnitCAP:  capacita' di riferimento
% match:   costante di matching dei condensatori

th=[-1:2/(k+1):1];

Vthreshold=th(2:length(th)-1)*(k+1)/k;
DAClevelID=[-1+1/(k+1):2/(k+1):1-1/(k+1)]*(k+1)/k; %i livelli
ideali del DAC

variance=randn(1,ncap);

sigma=match./sqrt(UnitCAP);

for i = 1:ncap
    ARRAYCAP(i) = UnitCAP*(1+randn(1).*sigma); %array
capacitivo reale
end

if rem(ncap+1,2)==0
    ele=1:[(ncap+1)/2];
    pal=2*ele-1;
    for s=1:[(ncap+1)/2]
        DAClevelP(s)=sum(ARRAYCAP(1:pal(s)));
    end

DAClevelN=-DAClevelP((ncap+1)/2:-1:1);
DAClevelREAL=[DAClevelN,DAClevelP]/CST; %livelli di tensione
reale

else

    ele=1:[(ncap)/2];
    pal=2*ele;
    for s=1:[(ncap)/2]
        DAClevelP(s)=sum(ARRAYCAP(1:pal(s)));
    end

DAClevelN=-DAClevelP((ncap)/2:-1:1);
DAClevelREAL=[DAClevelN,0,DAClevelP]/CST; %livelli di
tensione reale

end

```

Codice Matlab 5: Definizione del filtro digitale di tipo CIC

```
%% Filtro digitale decimatore ideale

k=1;
b1=[1 zeros(1, OSR/k-1) -1]./OSR*k;
a1=[1 -1];

Dout2=filter(b1,a1,filter(b1,a1,filter(b1,a1,(filter(b1,a1,
    simout1(1:Nx))))));

Decim_out=Dout2(OSR/k:OSR/k:Nx);
```



# Bibliografia

- [1] Ali Mesgarani, Khosrow H.Sadeghi and Suat U. Ay *Continuous-Time/Discrete-Time (CT/DT) Cascaded Sigma-Delta Modulator for High Resolution and Wideband Applications*, 2009
- [2] F. Medeiro, B. Perez-Verdu, A.Rodriguez-Vazquez and J.L.Huertas *Modeling opamp-induced harmonic distortion for switched-capacitor  $\Sigma\Delta$  modulator design*, 1994
- [3] Christian C. Enz and Gabor C. Temes *Circuit Techniques for Reducing the Effects of Op-Amp imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization*, 1996
- [4] A. Fornasari, P. Malcovati and F.Maloberti *Improved Modeling of Sigma-Delta Modulator Non-Idealities in SIMULINK*, 2005
- [5] M. Aboudina and B. Razavi *A New DAC Mismatch Shaping Technique for Sigma-Delta Modulators*, 2010
- [6] I. Galton *Why Dynamic-Element-Matching DACs Work*, 2010
- [7] B. Nordick, C. Petrie and Y. Cheng *Dynamic Element Matching Techniques for Delta-Sigma ADCS with large internal quantizers*, 2004
- [8] F. Hui and Y. Zeqi *The Dynamic Element Matching Method for Sigma-Delta D/A and A/D Converters*, 2009
- [9] E. Fogleman and I. Galton *A Dynamic Element Matching Technique for Reduced-Distortion Multibit Quantization in Delta-Sigma ADCs*, 2001
- [10] V. Ferragina, A. Fornasari, U. Gatti, P. Malcovati, F. Maloberti and L. Monfasani *Use of Dynamic Element Matching in A Multi-Path Sigma-Delta Modulator*, 2004
- [11] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato and A. Baschirotto *Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators*, 2003
- [12] J. Silva, U. Moon, J. Steensgaard and G.C.Temes *Wideband low-distortion delta-sigma ADC topology*, 2001
- [13] J. C. Candy *Decimation for Sigma Delta Modulation*, 1986

- [14] A. Gerosa, A. Neviani *A/D Converter for GAS and RADIATION sensor*, 2013
- [15] B. P. Brandt and B. A. Wooley *A Low-Power, Area-Efficient Digital Filter for Decimation and Interpolation*, 1994
- [16] Y. Tang, S. Gupta, J. Paramesh and D.J. Allstot *A Digital-Summing Feedforward  $\Sigma - \Delta$  Modulator and its Application to a Cascade ADC*, 2007
- [17] Y. Wang and G. C. Temes *Wideband  $\Delta\Sigma$  ADCs Using Direct-Charge-Transfer Adder*, 2009
- [18] M. Bassi, A. Bevilacqua, A. Gerosa and A. Neviani *Integrated SFCW Transceivers for UWB Breast Cancer Imaging: Architectures and Circuit Constraints*, 2011
- [19] M. Bassi, M. Caruso, M. S. Khan, A. Bevilacqua, A. Capobianco and A. Neviani *An Integrated Microwave Imaging Radar With Planar Antennas for Breast Cancer Detection*, 2012
- [20] K. Lee, J. Chae, M. Aniya, K. Hamashita, K. Takasuka, S. Takeuchi and G. C. Temes *A Noise-Coupled Time-Interleaved Delta-Sigma ADC With 4.2 MHz Bandwidth, -98 dB THD, and 79 dB SNDR*, 2008
- [21] F. Michel and M. S. J. Steyaert *A 250 mV 7.5  $\mu$ W 61 dB SNDR SC  $\Delta\Sigma$  Modulator Using Near-Threshold-Voltage-Biased Inverter Amplifiers in 130 nm CMOS*, 2012
- [22] B. P. Brandt and B. A. Wooley *50-MHz Multibit Sigma-Delta Modulator*, 1991
- [23] A. Yukawa *A CMOS 8-Bit High-Speed A/D Converter IC*, 1985
- [24] S. Amornwongpeeti, M. Ekpanyapong and C. Punyasai *Exploring of Third-Order Cascaded Multi-bit Delta- Sigma Modulator with Interstage Feedback Paths*, 2011
- [25] V. Kumar and D. Chen *An Overview and Behavioral Modeling of Higher Order Multi-Bit  $\Sigma\Delta$  A/D Converters*, 2008
- [26] Y. H. Tao and L. Yao *A 1-V, 81-dB, 780-KS/s, Sigma-Delta Modulator in 0.13- $\mu$  m Digital CMOS Technology*, 2008
- [27] W. M. Koe and J. Zhang *Understanding the effect of circuit non-idealities on Sigma-Delta modulator*, 2003
- [28] M. Yavari and O. Shoaie *A Novel Fully-Differential Class AB Folded-Cascode OTA for Switched-Capacitor Applications*, 2005
- [29] H. Daoud, S. Bennour, S. BenSalem and M. Loulou *Low Power SC CMFB Folded Cascode OTA Optimization*, 2008
- [30] A. F. Yeknami, F. Qazi, J. J. Dabrowski and A. Alvandpour *Design of OTAs for Ultra-Low-Power Sigma-Delta ADCs in Medical Applications*, 2010
- [31] E. Kohler and J. Messier *Tradeoffs in New-generation ADCs*, 2011