

UNIVERSITÀ DEGLI STUDI DI PADOVA
Laurea Triennale in Ingegneria dell'Informazione

Progetto di un Convertitore A/D ad Integrazione

Relatore: Prof. Andrea Neviani

Studente: GiamBattista Fausto NotarNicola
Matricola: 611176

26 Settembre, 2013
A.A. 2012/2013

C'è una guerra là fuori, amico mio. Una guerra mondiale. E non ha la minima importanza chi ha più pallottole, ha importanza chi controlla le informazioni. Ciò che si vede, si sente, come lavoriamo, cosa pensiamo, si basa tutto sull'informazione!

I signori della truffa

Indice

Introduzione	v
1 La conversione A/D	1
1.1 Sample and Hold	2
1.2 Quantizzazione	3
1.3 Codifica	6
2 Specifiche dei convertitori ADC	7
2.1 Figure di merito	7
2.2 Errori statici	9
3 Il Convertitore ADC ad Integrazione	13
3.1 Schema a Blocchi	13
3.1.1 Circuito S/H	14
3.1.2 Multiplexer CMOS	15
3.1.3 Integratore	15
3.1.4 Comparatore	16
3.1.5 Logica di Controllo	17
3.1.6 Contatore	18
3.2 Principio di Funzionamento	23
4 Specifiche e Progetto	29
4.1 Specifiche di progetto	32
4.2 Elementi base del Circuito	33
4.2.1 Invertitore CMOS	33
4.2.2 Interruttore Gate-Trasmission	35
4.2.3 Porta logica NOR	37
4.2.4 Amplificatore Operazionale	39
4.3 Circuito ADC-I	43
4.4 Dimensionamento circuitale	48
4.4.1 Generatore di clock	48
4.4.2 Integratore	48
4.4.3 Comparatore di tensione	51

5 Simulazione

53

Conclusioni

63

Introduzione

Definizione 0.1 (Segnale). Si considera segnale una grandezza fisica la cui variazione nel tempo trasmette un'informazione.

Il punto di partenza per questo lavoro di tesi è l'informazione. Il compito di qualsiasi dispositivo elettronico è quello di leggere e/o utilizzare le informazioni raccolte dal mondo fisico sotto forma di segnali elettrici per poi elaborarle e ritrasmetterle all'ambiente esterno. La conversione di qualsiasi segnale fisico presente in natura in segnale elettrico è affidata a dispositivi di vario genere detti trasduttori. Possiamo distinguere due grandi categorie di segnali fisici e quindi elettrici:

- Un **segnale analogico** è un segnale continuo nel tempo che può assumere tutti gli infiniti valori della grandezza fisica osservabile (sia essa una tensione, una corrente, una temperatura o altro...) contenuti all'interno di un determinato range, cioè tra un minimo relativo e un massimo relativo;
- Un **segnale digitale** è un segnale discreto che può assumere soltanto valori appartenenti a un insieme o alfabeto di simboli discreto.

In natura quasi tutte le grandezze fisiche sono analogiche, ovvero non numerabili e di conseguenza non sono direttamente trattabili dai calcolatori che hanno natura finita. Per analizzare, elaborare o semplicemente memorizzare dati analogici tramite un calcolatore, è necessario convertirli in formato digitale. Questo tipo di conversione permette di assegnare un numero, che nel caso dei calcolatori è rappresentato in modo binario, ai valori di un segnale analogico campionato; in tal modo è possibile archiviare questi dati in dispositivi di memoria ed elaborarli a piacimento. I segnali digitali, infatti, godono di alcuni importanti pregi rispetto a quelli analogici:

1. Reiezione ai disturbi: assumendo solamente un numero finito di valori separati da una fascia proibita (intervallo dove il segnale non può esistere, estremi esclusi), una generica fonte di rumore deve avere ampiezza e potenza tale da superare questa fascia proibita per poter alterare le informazioni trasportate;

2. Elaborazione: i segnali numerici possono essere elaborati mediante microprocessori e microcalcolatori senza richiedere la complessità hardware presente nei circuiti di elaborazione analogica;
3. Memorizzazione: ricorrendo all'uso di memorie RAM o dispositivi di memoria di massa, è possibile registrare le informazioni digitali con estrema facilità. La presenza di un'ampia fascia proibita permette di garantire stabilità del dato nel tempo.

L'oggetto di studio di questa tesi è un *Convertitore Analogico Digitale ad integrazione ADC-I*. Verrà prima presentata una breve panoramica sul processo di conversione *Analogico-Digitale* per poi passare all'analisi delle figure di merito dei convertitori e, infine, alla progettazione e simulazione di un ADC-I.

Capitolo 1

La conversione A/D

Un convertitore A/D è una struttura circuitale di interfaccia tra il dominio Analogico e quello Digitale che fornisce ad istanti prefissati il valore del segnale analogico d'ingresso sotto forma di parola digitale a n bit. I passi con i quali avviene la conversione analogica/digitale sono i seguenti:

- **Campionamento del segnale di ingresso analogico (Sample and Hold)**
- **Quantizzazione del segnale campionato**
- **Codifica**

Ad ognuno di essi è associato un blocco circuitale specifico.

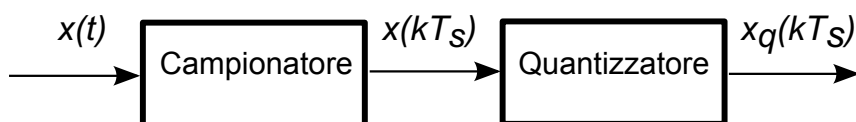


Figura 1.1: Schema a blocchi della conversione A/D semplificato

Il primo di questi è il sampler, o circuito campionatore, che preleva dal segnale d'ingresso una sequenza di campioni distanti nel tempo di un valore T_s (periodo di campionamento). In questo blocco è anche incluso un holder, o circuito di tenuta, la cui funzione è di memorizzare temporaneamente il livello dei campioni in uscita dal sampler. Il secondo, invece, è il circuito quantizzatore il quale effettua la discretizzazione in ampiezza dei livelli di tensione dei campioni di ingresso. Solitamente non vi è un vero circuito di codifica: questa viene affidata al circuito quantizzatore che associa a ciascun campione discretizzato un opportuno codice di uscita composto da numeri binari.

1.1 Sample and Hold

Attraverso il campionamento, il segnale di ingresso analogico viene letto solo ad istanti prefissati, ottenendo un insieme di campioni (samples) separati tra loro da intervalli di tempo pari a $T_s = 1/f_s$, dove f_s è la frequenza di campionamento (sampling rate). L'ampiezza dei campioni dipende dal segnale d'ingresso $x(t)$ secondo la relazione $x_s(t) = x(kT_s)$. Il circuito di campionamento può essere pensato come un interruttore elettronico S pilotato da un circuito di clock in serie alla linea di ingresso. La chiusura di S avviene in corrispondenza del fronte di salita del segnale di clock. Del segnale di ingresso $x(t)$, solo la porzione corrispondente agli istanti di campionamento passa per S e prosegue lungo la catena di acquisizione, mentre tutto il resto è bloccato dallo stesso interruttore. Il parametro più importante in un processo di conversione A/D è la frequenza di campionamento: infatti da essa dipende la possibilità di poter ricostruire il segnale originale $x(t)$ a partire dai suoi campioni $x_s(t)$. In particolare ciò dipende dal legame tra f_s e la frequenza massima del segnale d'ingresso $x(t)$ secondo il

Teorema 1 (Teorema di Shannon). *La ricostruzione senza ambiguità del segnale originale $x(t)$ a partire da una sua versione campionata $x_s(t)$ è possibile se: $f_s > 2 \cdot f_{max}$, dove f_{max} rappresenta la più alta frequenza del segnale d'interesse.*

Nel caso in cui il campionamento violi tale condizione, le ripetizioni periodiche di $X(f)$ (trasformata di Fourier del segnale di ingresso) si sovrappongono l'un l'altra e lo spettro finale di $X_s(f)$ appare in forma confusa: da essa è impossibile risalire a $X(f)$ mediante filtraggio. Questo fenomeno è chiamato *aliasing*. Per evitare che questo accada e per far in modo che la banda del segnale di ingresso sia compresa tra 0 e $f_s/2$, si pre-processa il segnale da campionare con un filtro passa basso (detto filtro di anti-aliasing) che garantisce di limitare il contenuto spettrale in ingresso a $f_s/2$.

La conversione A/D ideale di una tensione analogica $x(t)$ consiste nel prelievo di campioni di tale tensione analogica in ben precisi istanti kT_s e nell'attribuzione di un codice binario a tali campioni. In questa conversione ideale, i campioni $x_s(T_s), x_s(2T_s), \dots, x_s(kT_s)$ sono valori di tensione relativi a singoli istanti, puntiformi e di durata temporale nulla. Affermare che i campioni abbiano durata temporale nulla equivale a dire che il processo di digitalizzazione è anch'esso istantaneo. Quindi nel momento stesso in cui il convertitore preleva un campione, esso è già in grado di fornire, in uscita, il codice di questo. In un processo di conversione reale l'operazione di digitalizzazione non è istantanea, nel senso che il convertitore impiega un tempo non nullo per fornire il codice corrispondente ad un campione; infatti intercorre un certo tempo dal momento in cui il convertitore preleva un campione e il momento in cui, sulle linee di uscita, è disponibile il suo codice relativo. Questo intervallo temporale è detto "tempo di conversione" (T_{conv}) e può

avere, secondo il tipo di convertitore, una durata (per i convertitori più diffusi) compresa tra qualche *ns* alle centinaia di *ms*. La tensione di ingresso, in generale, non rimane costante, ma varia dopo l'istante campionamento e continua a farlo nel corso di tutto l'intervallo di tempo T_{conv} , continuando a influenzare il processo di digitalizzazione. Per evitare il verificarsi di ulteriori errori nel processo di conversione, viene implementata una funzione di *hold*. Questa operazione consiste nel mantenere i livelli di tensione $x_s(t)$ acquisiti con il campionamento, fino all'arrivo del successivo campione. La funzione di memorizzazione temporanea (hold) è svolta da una capacità C opportunamente dimensionata. Durante il tempo di "tenuta" l'ADC può eseguire la conversione.

1.2 Quantizzazione

Il processo che rende possibile la rappresentazione numerica di un segnale analogico si basa sul concetto di quantizzazione. Come già definito, un segnale analogico è caratterizzato dall'aver ampiezza e tempo continui, mentre un segnale numerico presenta ampiezza e tempo discreti; il primo può assumere infiniti valori compresi all'interno della sua dinamica, il secondo, invece, può assumere soltanto un numero finito di valori discreti. Per questo motivo il segnale numerico viene anche detto segnale discreto. In una prima fase, gli infiniti valori del segnale analogico devono essere quantizzati, ovvero opportunamente raggruppati in un certo numero di intervalli; in una seconda fase è necessario stabilire una legge che faccia corrispondere ad ogni intervallo un valore numerico (parola di codice). Poiché l'informazione risiede nell'ampiezza del segnale, questo procedimento ne comporta una perdita. È pertanto inevitabile la presenza di un errore di quantizzazione che è definito come segue:

Definizione 1.1 (Errore di Quantizzazione). L'errore di Quantizzazione è la differenza tra il valore di ampiezza del campione e il valore di ampiezza del campione in seguito alla quantizzazione. Formalmente:

$$e_q(kT_s) = x(kT_s) - x_q(kT_s) \quad (1.1)$$

Grazie a questo parametro siamo in grado di stimare la perdita di informazione dovuta alla discretizzazione. Come è facilmente intuibile dalle figure seguenti, l'errore di quantizzazione è compreso tra $-V_{LSB}/2 \leq e_q(kT_s) \leq +V_{LSB}/2$, dove $V_{LSB} = 2V_{FS}/L$ è il passo di quantizzazione, con L numero di livelli di quantizzazione e V_{FS} valore di fondo scala. Se si usa una rappresentazione binaria, $L = 2^n$, si ottiene $V_{LSB} = V_{FS}/2^{n-1}$. Se $x(kT_s) \in [-V_{FS}, +V_{FS}]$ si parla di errore di quantizzazione granulare; se invece $x(kT_s) \in (-\infty, -V_{FS}) \cup (+V_{FS}max, +\infty)$ si parla di errore di saturazione. Riscrivendo l'equazione (1.1) come $x_q(kT_s) = x(kT_s) + e_q(kT_s)$,

possiamo modellare l'effetto della quantizzazione introducendo un errore sul segnale di ingresso.

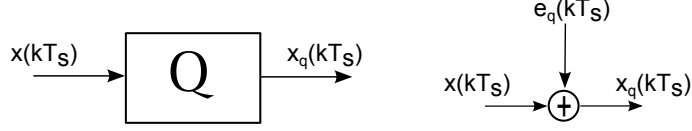


Figura 1.2: Modellizzazione dell'errore di quantizzazione

Considerando $e_q(kT_s)$ come un rumore aleatorio con distribuzione uniforme $p_{eq}(x) = \frac{1}{V_{LSB}} \cdot \text{rect}(\frac{x}{V_{LSB}})$, calcoliamo media m e la varianza M_{eq}^2 .

$$m = \int_{-\infty}^{+\infty} x_{eq} p(x) dx = \frac{1}{V_{LSB}} \left(\int_{-V_{LSB}/2}^{+V_{LSB}/2} x dx \right) = 0 \quad (1.2)$$

Essendo a media nulla, la varianza coincide con la potenza del rumore:

$$M_{eq}^2 = \int_{-\infty}^{+\infty} x_{eq}^2 p(x) dx = \frac{1}{V_{LSB}} \left(\int_{-V_{LSB}/2}^{+V_{LSB}/2} x^2 dx \right) = \frac{V_{LSB}^2}{12} \quad (1.3)$$

Definito $M_{eq} = \frac{V_{LSB}}{\sqrt{12}}$ come il valore efficace della tensione di rumore $e_q(t)$; supponendo che $x(t)$ sia un segnale sinusoidale con intervallo di variazione $-V_{FS} \leq x(t) \leq V_{FS}$ e valore efficace $\frac{V_{FS}}{\sqrt{2}}$, risulta che:

$$SNR = 20 \log \left(\frac{\frac{V_{FS}}{\sqrt{2}}}{\frac{V_{LSB}}{\sqrt{12}}} \right) \Rightarrow SNR = 20 \log \left(2^n \sqrt{\frac{3}{2}} \right) \quad (1.4)$$

$$(Signal to Noise Ratio) SNR = (6.02n + 1.76) dB \quad (1.5)$$

Se il segnale in ingresso è diverso da un'onda sinusoidale, il termine costante, che dipende dal fattore di forma del segnale, differisce da $1.76dB$. L'espressione precedentemente ricavata mette in evidenza il legame esistente tra due parametri del convertitore: lo SNR e il numero dei bit utilizzati n . Poiché la precisione dell'ADC migliora con l'aumentare del numero di bit impiegati per la conversione, si potrebbe pensare di utilizzare un elevato numero di bit per minimizzare l'errore; questa però è una via parzialmente percorribile: l'aumento di n , infatti, comporta un aumento della complessità circuitale, unito ad un aumento dei costi realizzativi. Per questi motivi (che indurrebbero ad utilizzare il minimo numero di bit) il valore di n deve essere opportunamente scelto, valutando le caratteristiche del segnale da convertire, le modalità d'impiego dell'ADC ed altre specifiche di progetto. Nel caso di convertitore A/D ideale (con risoluzione infinita) la transcaratteristica

(funzione di trasferimento che lega la grandezza d'uscita con la grandezza d'ingresso) è rappresentata da una retta, mentre per un convertitore reale si ha un andamento a “gradini” che tanto più approssima l'andamento ideale quanto maggiore è la risoluzione del convertitore.

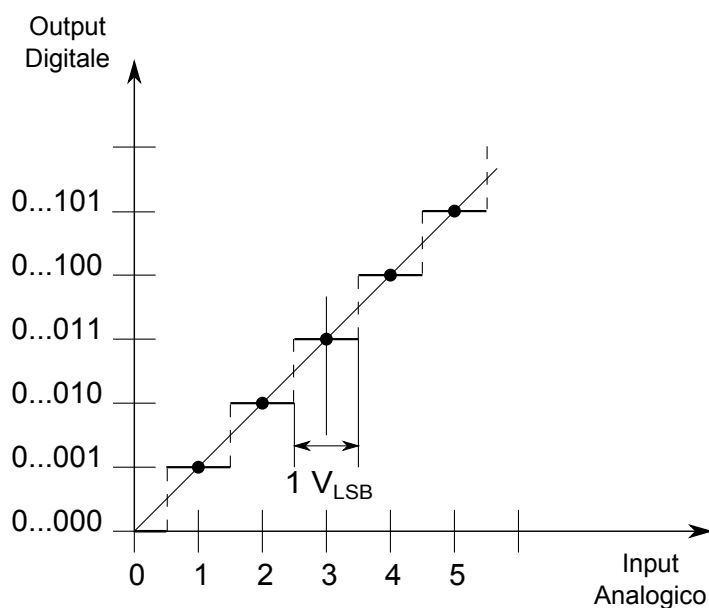


Figura 1.3: Caratteristica ingresso-uscita di un quantizzatore uniforme

Sottraendo l'andamento reale e quello ideale si ottiene il grafico dell'errore di quantizzazione che varia linearmente tra $-V_{LSB}/2 \leq e_q(kT_s) \leq +V_{LSB}/2$ per ogni intervallo V_{LSB} .

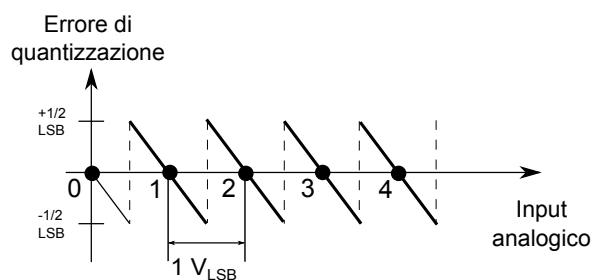


Figura 1.4: Rappresentazione grafica dell'errore di quantizzazione

1.3 Codifica

La grandezza campionata e quantizzata è ancora una tensione. Per terminare il processo di conversione da analogico a digitale, tale tensione deve essere trasformata in un numero. Il passaggio da tensione a valore numerico viene detto *codifica*. Il codice più frequentemente utilizzato nella conversione di segnali unipolari è il binario naturale, secondo il quale un numero intero N ad n bit è espresso dalla relazione:

$$N = b^{n-1} \cdot 2^{n-1} + b^{n-2} \cdot 2^{n-2} + \dots + b^1 \cdot 2^1 + b^0 \cdot 2^0 \quad (1.6)$$

Il bit più significativo ha peso 2^{n-1} (MSB) e il meno significativo ha peso 2^0 (LSB). I codici adatti al trattamento di segnali bipolari offrono la possibilità di identificare anche il segno della grandezza analogica. I più usati in queste circostanze sono:

- Codice modulo e segno, in cui con l'MSB si indica il segno e con i restanti bit il valore assoluto della grandezza;
- Codice binario con offset, nel quale il codice binario naturale viene traslato in modo da far corrispondere il dato 00...0 al valore di fondo scala negativo;
- Codice in complemento a 1, dove i valori positivi sono rappresentati secondo il codice binario naturale e i negativi secondo lo stesso codice, ma complementato;
- Codice in complemento a 2, in cui i valori positivi sono sempre rappresentati secondo il codice binario naturale mentre quelli negativi sono rappresentati dal complemento a 2 dei rispettivi codici positivi.

Capitolo 2

Specifiche dei convertitori ADC

Gli ADC vengono classificati in base al loro principio di funzionamento, dato che da esso dipende il livello delle prestazioni riguardanti la risoluzione, la velocità di conversione e la precisione. Riferendoci alla velocità di conversione, distinguiamo in convertitori veloci, medi e lenti e ciascuna categoria è caratterizzata da specifiche configurazioni circuitali. Gli ADC ad integrazione (detti anche convertitori tensione-tempo) sono piuttosto lenti, ma molto precisi; per questa caratteristica vengono utilizzati soprattutto negli strumenti di misura. Il più diffuso è l'ADC a doppia rampa, oggetto di questa tesi.

2.1 Figure di merito

È fondamentale conoscere i parametri di un ADC, in quanto da essi dipendono le prestazioni del sistema. In particolare è utile una valutazione del contesto in cui deve operare il dispositivo, perché ciò determina la priorità con cui vengono scelti i parametri per quella specifica situazione. In generale i parametri di maggiore interesse sono:

- **La risoluzione**, il numero n di bit presenti all'uscita del convertitore, cioè il numero di bit con i quali il convertitore codifica un campione del segnale analogico di ingresso.
- **La sensibilità**, la minima variazione della tensione analogica di ingresso che è in grado di determinare la variazione dell' LSB, cioè del bit meno significativo del codice di uscita. Siccome all' LSB corrisponde il passo di quantizzazione V_{LSB} , si può dire che la sensibilità coincide con il passo V_{LSB} di quantizzazione (e quindi si misura in Volt).
- **Il tempo di conversione** definito come l'intervallo di tempo necessario per eseguire una sola conversione, ovvero il tempo che trascorre

dall'applicazione del segnale di ingresso fino alla corretta codifica dello stesso in uscita.

- **La larghezza di banda**, il parametro che esprime l'ampiezza dell'intervallo di frequenze, all'interno del quale il segnale di ingresso può essere acquisito senza distorsione di ampiezza e fase. Questa condizione di non distorsione si verifica quando, nel dominio della frequenza, il modulo della funzione di trasferimento $|T(f)|$ è costante in frequenza e la sua fase $\angle T(f)$ è proporzionale ad f . $T(f)$ è definita dal rapporto $\frac{V_o(f)}{X(f)}$, dove $X(f)$ e $V_o(f)$ sono le trasformate di Fourier rispettivamente del segnale analogico d'ingresso e del segnale digitale in uscita. $T(f)$ è ottenuta dalla sollecitazione del sistema con una sinusoidale di ampiezza nota. In uscita si hanno quindi dei campioni rappresentativi del segnale d'ingresso. Misurando l'ampiezza picco-picco del segnale d'uscita e facendo il rapporto con il valore picco-picco del segnale d'ingresso per diverse frequenze, si ottiene l'andamento della funzione di trasferimento. Si vede così che la traccia ha guadagno unitario e andamento di tipo passabasso. Il guadagno unitario deriva dal fatto che la tensione dell'ADC è una stima del segnale d'ingresso, mentre il comportamento passabasso è determinato dalla presenza nell'ADC (o come blocco precedente) del circuito di Sample and Hold, il quale fissa la larghezza di banda al valore della sua frequenza di taglio: $B = \frac{1}{2\pi RC}$ (vedi sezione 3.1.1).
- **SNR** (Signal-to-Noise Ratio). Vedi definizione (1.5)
- **THD** (Total-Harmonic-Distortion). Le non linearità nei convertitori A/D creano distorsione armonica del segnale. Nelle implementazioni differenziali, le componenti di ordine pari sono idealmente cancellate. La cancellazione di tali armoniche non è comunque perfetta se sono presenti asimmetrie o mismatch tra i componenti. La distorsione armonica totale (THD) può essere espressa con

$$THD = \frac{\sqrt{\sum_{j=2}^{N_H+1} V^2(j * f_{sig})}}{V(f_{sig})} \quad (2.1)$$

dove N_H è il numero delle armoniche considerate, $V(f_{sig})$ l'armonica fondamentale e $V(j * f_{sig})$ la j-esima armonica considerata.

- **SNDR** (Signal-to-Noise and Distortion Ratio), rapporto tra la potenza associata al tono fondamentale del segnale e la potenza complessiva di rumore più la potenza associata alle armoniche non fondamentali presenti. Il SNDR può, ad esempio, essere determinato tramite un test di fitting di un segnale sinusoidale. In tale fit si cerca la sinusoidale che meglio approssima i dati misurati e gli errori tra il segnale

ideale e quello reale sono integrati per ottenere la potenza totale di rumore e distorsioni. Se oltre alle armoniche consideriamo non segnale o semplicemente rumore tutti i toni e le componenti spurie, il rapporto segnale-rumore può essere ottenuto dal SNDR sottraendo la distorsione armonica totale

$$SNR = SNDR - TDH \quad (2.2)$$

- **ENOB** (Effective Number of Bits), il numero “effettivo” di bit di un convertitore A/D, cioè la sua risoluzione “effettiva”; risoluzione che può essere minore di quella teorica se il convertitore è affetto (oltre che dall’errore di quantizzazione, che è sempre presente), anche da distorsione e rumore in generale.

$$ENOB = \frac{SNDR - 1.76dB}{6.02dB} \quad (2.3)$$

- **ERB** (Equivalent Rectangular Bandwidth), definita come la massima frequenza del segnale analogico in ingresso per la quale il rapporto segnale-rumore del sistema decresce di $3dB$ o $\frac{1}{2}$ LSB rispetto al valore teorico.

2.2 Errori statici

- **Errore di quantizzazione:** Definito nell’equazione (1.1)
- **Errore di offset:** In un convertitore ideale, ad un segnale di ingresso nullo corrisponde un’uscita nulla. Nel caso reale ,invece, si verifica il caso in cui tutti i bit di uscita si trovano a livello 0, ma la tensione di ingresso non è nulla. Pertanto la curva caratteristica del convertitore reale ottenuta collegando i punti medi di ciascun gradino non passa per l’origine degli assi. Prende il nome di *errore di offset* il valore massimo della tensione di ingresso a cui corrisponde un livello basso di tutti i bit in uscita. Graficamente questo corrisponde alla distanza fra le rette associate alla caratteristica ideale e quella reale. Se lo spostamento è eccessivo, si può avere la perdita di codici ad un estremo della caratteristica, dipendentemente dal segno della traslazione. Per questo motivo, l’offset viene espresso in termini di LSB (Least Significant Bit). L’offset è recuperabile tramite opportuna compensazione.
- **Errore di gain:** Secondo la caratteristica ingresso-uscita ideale tutti i bit in uscita di un convertitore A/D si trovano a livello 1, solo se la tensione di ingresso risulta inferiore, rispetto al fondo scala, di una quantità pari al passo di quantizzazione. Nel caso reale questa condizione non è sempre rispettata. La differenza tra il valore di ingresso,

quando tutte le uscite del convertitore si trovano a livello 1, e quello teorico dopo che è stato annullato l'errore di offset prende il nome di errore di guadagno. L'errore di guadagno comporta una variazione nella pendenza della retta.

• **Errori di non linearità:**

- **DNL:** Viene definita Non Linearità Differenziale la differenza tra due valori adiacenti della caratteristica reale di uscita confrontati con l'intervallo di quantizzazione.

Idealmente questa differenza dovrebbe essere nulla poiché tutti i gradini dovrebbero essere uguali. Affinché la caratteristica risulti sempre crescente e non si verifichino salti di livello, è necessario che tale differenza risulti inferiore o uguale a V_{LSB} , ovvero che sia compresa fra $\pm 0.5V_{LSB}$. La DNL è definita come:

$$DNL(D_i) = \frac{V_{in}(D_i) - V_{in}(D_{i-1}) - V_{LSB}}{V_{LSB}} \quad (2.4)$$

dove D_i e D_{i-1} sono due valori adiacenti del codice digitale in uscita dal convertitore.

- **INL:** Viene definita Non Linearità Integrale la massima deviazione della caratteristica di trasferimento reale del convertitore da quella ideale. Considerando l' i -esimo intervallo di quantizzazione $V_{in}(D_i)$:

$$INL(D_i) = \frac{V_{in}(D_i) - V_{in}(D_i)_{Id}}{V_{LSB}} \quad (2.5)$$

dove $V_{in}(D_i)_{Id}$ rappresenta il corrispettivo intervallo nella caratteristica ideale.

- **Omissione di Codice:** Se l'errore DNL è maggiore di $1LSB$ o l'errore INL è maggiore di $\frac{1}{2}LSB$, si verifica una perdita di codice come mostrato in figura 2.2

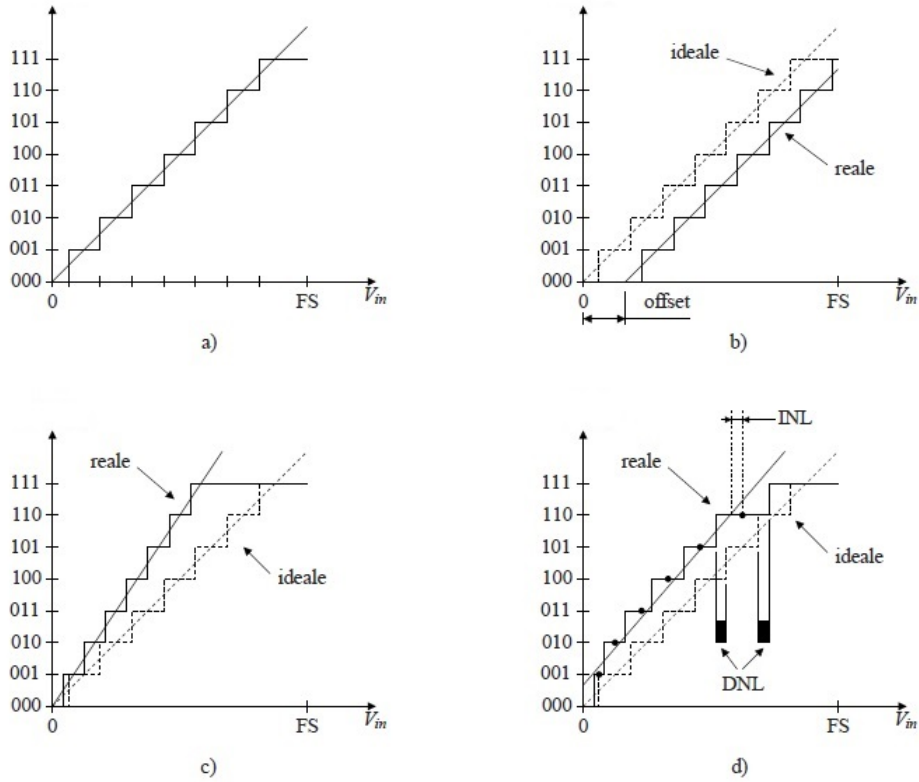


Figura 2.1: Funzione di trasferimento degli ADC: a) ideale; b) con errore di offset; c) con errore di gain; d) caso generale con DNL e INL.

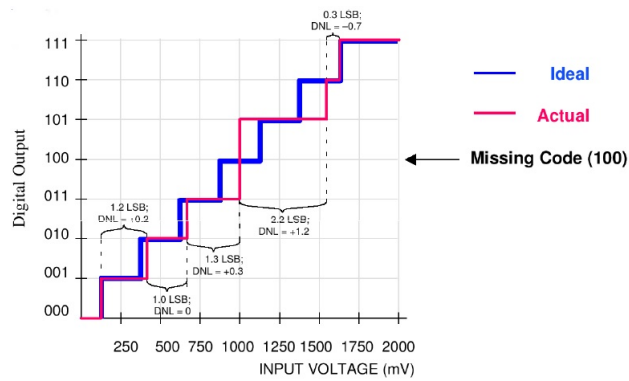


Figura 2.2: Omissione di codice

Capitolo 3

Il Convertitore ADC ad Integrazione

Gli ADC a doppia rampa implementano un metodo di conversione indiretto, detto conversione *tensione-tempo*. Sono usati nei sistemi di acquisizione dati ad alta precisione in quanto hanno il pregio di essere molto accurati a discapito della loro lentezza di elaborazione.

3.1 Schema a Blocchi

È riportato qui lo schema a blocchi dell'intero convertitore ADC-I che verrà realizzato e simulato per questo lavoro di tesi. Tutte le specifiche di progetto e i dimensionamenti dei componenti sono riportati nel capitolo 4. Segue un'analisi funzionale blocco per blocco.

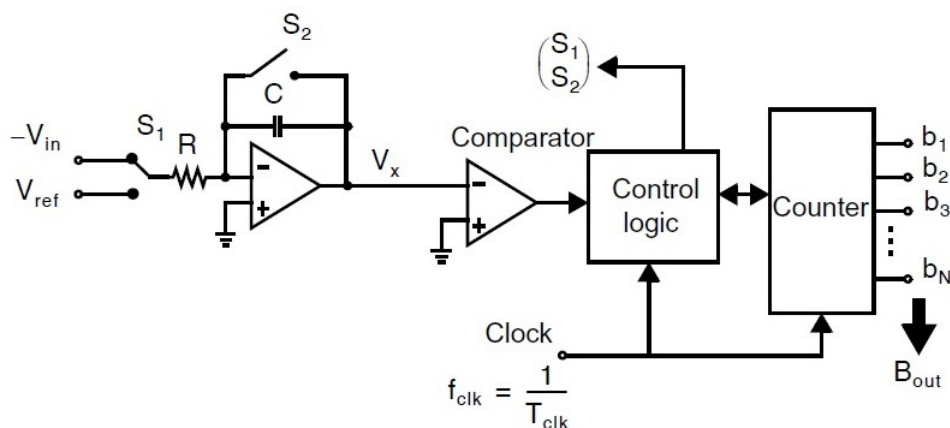


Figura 3.1: Schema a blocchi del convertitore ADC-I

3.1.1 Circuito S/H

Anche se non fa parte del circuito effettivo del ADC-I, il Sample and Hold è un componente fondamentale di tutti i convertitori. Come spiegato nella sezione 1.1, questo blocco campiona il segnale in ingresso e mantiene il livello di tensione costante per un tempo uguale al tempo di conversione dell'ADC. I componenti elettronici fondamentali in questo blocco sono la *resistenza* della sorgente e la *capacità*. Nella modalità **sample** la capacità C del S/H si carica attraverso la resistenza R della sorgente. Per ottenere una carica veloce del condensatore, ossia una veloce acquisizione del segnale, la costante di tempo di carica RC deve essere ridotta. Effettivamente il circuito si comporta come un filtro passa-basso con pulsazione di taglio $\omega_0 = 1/(RC)$; affinché la tensione ai capi del condensatore riproduca fedelmente la tensione di ingresso, è necessario che ω_0 sia sufficientemente maggiore della banda del segnale di ingresso. Pertanto, sia R che C devono risultare molto piccole. Al contrario, per mantenere costante la tensione ai capi del condensatore durante la modalità **hold**, è necessario realizzare elevate costanti di tempo di scarica. Se R_L rappresenta la resistenza di carico, tale costante di tempo vale $R_L C$. Per mantenere costante il segnale di uscita è quindi necessario massimizzare il prodotto $R_L C$; ciò richiede l'impiego di elevate resistenze di carico e di condensatori di elevata capacità. Si noti, in particolare, che la condizione sul valore della capacità è opposta a quella richiesta nella fase di Sample. Gli schemi circuitali impiegati per realizzare un S/H devono pertanto rendere minima la resistenza R ; per la capacità C si adotta, invece, una soluzione di compromesso scelta in base alle prestazioni desiderate. La struttura del circuito varia inoltre a seconda che il principale obiettivo da raggiungere sia la velocità, l'accuratezza o una soluzione di compromesso. La scelta del dimensionamento ottimale incide sulla larghezza di banda dell'ADC come spiegato nella sezione 2.1. Nel progetto di questo ADC-I non è stato inserito il circuito del S/H, ma nella figura 3.2 è riportato lo schema circuitale che bisogna rispettare per poterlo realizzare. La resistenza R è data dalla resistenza di uscita del transmission-gate che implementa un interruttore CMOS, che, a sua volta, svolge la funzione vera e propria di campionatore, mentre la R_L è data dalla resistenza di ingresso del source-follower.

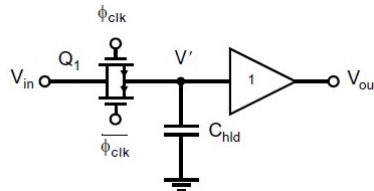


Figura 3.2: Sample and Hold

3.1.2 Multiplexer CMOS

Il progetto dell'ADC-I parte proprio da questo blocco. Esso costituisce un semplice Multiplexer a due vie. Il circuito utilizza il transistor MOS come interruttore secondo la logica a pass-transistor con configurazione a transmission-gate (Vedi sezione 4.2.2). Nel circuito dell'ADC-I il segnale di controllo sarà inviato dalla logica di controllo.

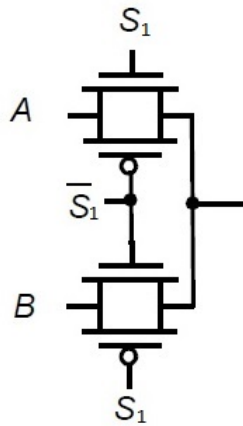


Figura 3.3: Multiplexer a due vie

3.1.3 Integratore

La funzione principale è svolta dal blocco integratore, il quale integrando nel tempo il campione e fornendo una rampa lineare in uscita, permette al resto del circuito di calcolare il corrispondente valore digitale (come spiegato della sezione 3.2). È possibile realizzare un integratore utilizzando un amplificatore operazionale in configurazione invertente.

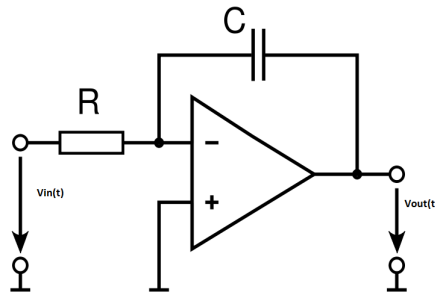


Figura 3.4: Blocco Integratore

È facile verificare che la tensione di uscita risulta essere l'integrale della tensione di ingresso:

$$V_{out}(t) = -\frac{1}{R_1 C_1} \int V_{in}(t) d\tau \quad (3.1)$$

Se in ingresso viene applicata una forma d'onda rettangolare, in uscita si produce una forma d'onda triangolare.

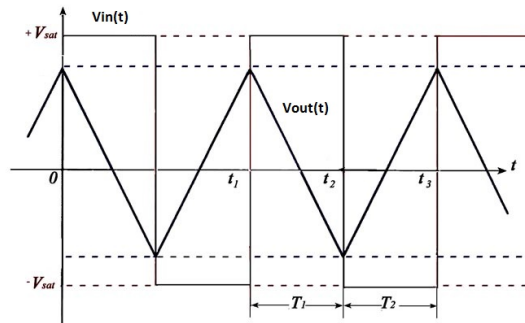


Figura 3.5: Esempio di funzionamento di un integratore

Per migliorare le prestazioni dell'integratore, ad ogni fase di conversione il condensatore C_1 viene scaricato grazie ad un interruttore S_2 realizzato in configurazione gate di trasmissione e opportunamente gestito dalla logica di controllo.

3.1.4 Comparatore

Il comparatore di tensione è anch'esso realizzato grazie ad un amplificatore operazionale. L'uscita dell'amplificatore operazionale è definita come $V_o = A_o * (V_2 - V_1)$ dove A_o è il guadagno ad anello aperto e V_2 e V_1 sono rispettivamente gli ingressi non invertente e invertente. Il guadagno ad anello aperto è idealmente infinito: infatti, senza un circuito di retroazione, l'uscita dell'amplificatore operazionale va in saturazione portandosi ai livelli di tensione dell'alimentazione. Sfruttando questa proprietà si realizza un circuito comparatore di tensione. Nel ADC-I in esame al terminale non invertente è collegata la tensione di soglia pari a 0 V , mentre al terminale invertente è collegata l'uscita dell'integratore, ovvero la rampa lineare. Questa configurazione permette di ottenere un'uscita digitale che segnala alla logica di controllo quando è stato raggiunto lo zero. Non è necessario implementare un circuito comparatore con isteresi, infatti la presenza dell'integratore con funzionamento da filtro passa-basso migliora le qualità del segnale da comparare eliminando le componenti ad alta frequenza.

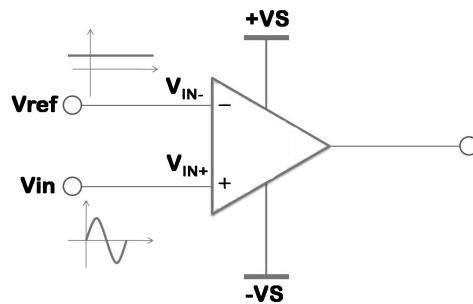


Figura 3.6: Comparatore di tensione

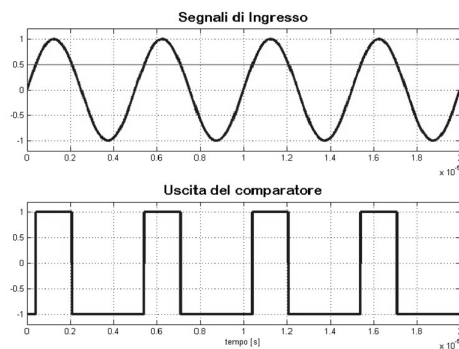


Figura 3.7: Esempio di funzionamento di un comparatore di tensione con soglia a 0.5V

3.1.5 Logica di Controllo

La logica di controllo costituisce un blocco fondamentale per il convertitore in quanto sincronizza il funzionamento degli altri blocchi. Per facilitarne lo studio è utile suddividerlo in 2 parti:

- Un sottoblocco della logica di controllo è composto da segnali di controllo esterni. Ad un ADC generico è associato quasi sempre un microcontrollore esterno che si occupa di prelevare i dati in uscita al termine della conversione e archivarli in dispositivi di memoria. Allo stesso tempo sarà questo microcontrollore a scandire i tempi di conversione abilitando il convertitore ADC-I con un apposito segnale di *SOC* (*Start Of Conversion*). Il segnale *SOC* provvede ad impostare per ogni ciclo di conversione le condizioni iniziali. Un segnale di *EOC* (*End Of Conversion*) è necessario per comunicare al microcontrollore esterno il termine della conversione e far sì che esso legga i

dati digitali ottenuti ed avvii una nuova conversione. Questo segnale è l'uscita del comparatore.

- L'altro sottoblocco della logica di controllo è interno all'ADC-I. Esso è composto da un flip-flop di tipo T collegato in serie al contatore e da un interruttore I . Il flip-flop genera il segnale di controllo per il multiplexer in ingresso, cioè l'interruttore S_1 . L'interruttore I è realizzato utilizzando una porta logica AND pass-transistor secondo la configurazione transmission-gate (vedi sezione 3.1.2). Ha il compito di controllare il passaggio del segnale di clock dall'oscillatore verso il contatore e viene direttamente controllato dal segnale di uscita del comparatore EOC e dal segnale di avvio della conversione SOC .

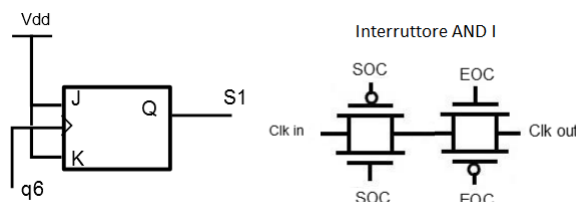


Figura 3.8: Logica di controllo semplificata

3.1.6 Contatore

I contatori sono dispositivi costituiti da uno o più flip-flop collegati fra loro in modo da effettuare il conteggio di impulsi applicati in ingresso. I flip-flop, opportunamente connessi, realizzano un circuito sequenziale che, ad ogni ciclo di clock, passa da uno stato ad un altro secondo una sequenza di conteggio stabilita. Come già accennato, gli elementi fondamentali per la realizzazione di sistemi sequenziali sono i flip-flop costituiti a loro volta da un elemento chiamato *latch*. Entrambi questi ultimi due elementi sono temporizzati da un segnale di clock. Nel caso dei latch possiamo distinguere due possibili modalità di funzionamento: un latch può essere “trasparente” o “in memorizzazione” (hold) e si troverà nell’uno o nell’altro stato a seconda del livello alto o basso del segnale di clock. Quando un latch è “trasparente”, ogni variazione dell’ingresso D comporta immediatamente una variazione dell’uscita Q. Viceversa, quando il latch si trova in fase di hold, l’uscita rimane bloccata all’ultimo valore assunto ed è indipendente da qualsiasi variazione che si può avere in ingresso.

A differenza di un latch, un flip-flop non è mai trasparente. Il funzionamento di un flip-flop è scandito non dal livello del segnale di clock, ma dai suoi fronti di commutazione. Nel caso di un flip-flop comandato dal fronte di salita del segnale di clock, viene memorizzato il valore dell’ingresso D in

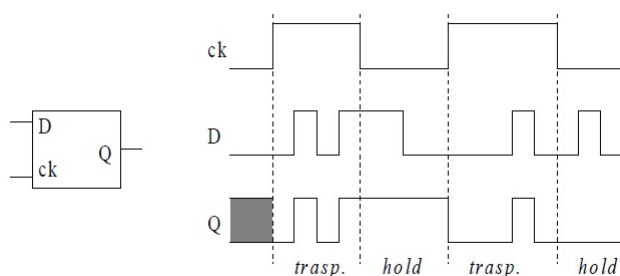


Figura 3.9: Latch di tipo D

corrispondenza della transizione $0 \rightarrow 1$ del segnale di clock. Il valore memorizzato viene immediatamente trasferito all'uscita Q. Un flip-flop comandato dal fronte di discesa del segnale di clock opera in modo analogo: l'istante di memorizzazione è in questo caso individuato dalla transizione $1 \rightarrow 0$ del clock.

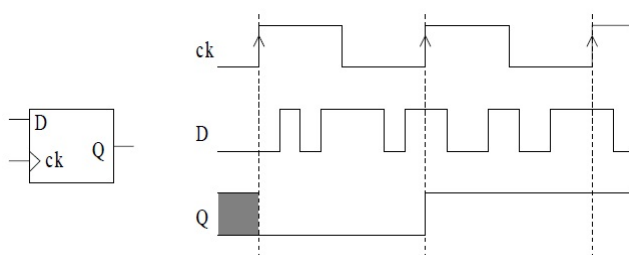


Figura 3.10: Flip-flop di tipo D

Un flip-flop può essere facilmente realizzato ponendo in cascata due latch, uno attivo su un livello del clock e l'altro attivo sul livello opposto, in configurazione master-slave. I latch (e quindi i flip-flop) possono essere sia statici che dinamici; quelli statici utilizzano come elemento di memoria un circuito bistabile di tipo rigenerativo. Un dato rimane immagazzinato in un circuito statico fin quando il circuito stesso è alimentato. Nei latch e flip-flop dinamici l'elemento di memoria è costituito da un condensatore: la presenza di una carica accumulata nel condensatore corrisponde alla memorizzazione di un "1", mentre l'assenza di carica accumulata corrisponde alla memorizzazione di uno "0". Sfortunatamente, sia il condensatore che i circuiti ad esso collegati avranno delle correnti di perdita che, con il passare del tempo, alterano la carica accumulata. Per preservare l'integrità del dato memorizzato è quindi necessario prevedere una fase di ripristino (refresh) della carica immagazzinata nel condensatore. La lettura della tensione ai capi della capacità senza alterarne lo stato di carica richiede l'utilizzo di disposi-

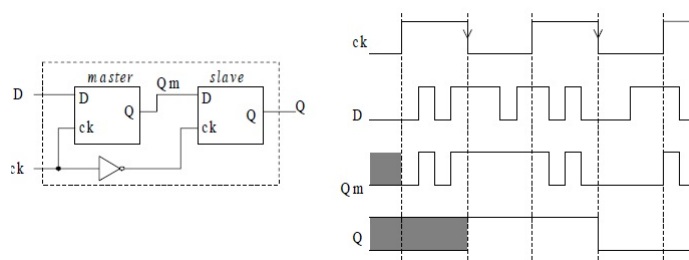


Figura 3.11: Flip-flop master-slave di tipo D

tivi ad elevatissima resistenza di ingresso. Pertanto, mentre i circuiti statici possono essere implementati sia in tecnologia bipolare che MOS, i circuiti dinamici sono realizzabili unicamente in tecnologia MOS. Nella realizzazione del circuito in esame si è scelta la tipologica statica realizzando un circuito costituito da inverter e transmission-gate.

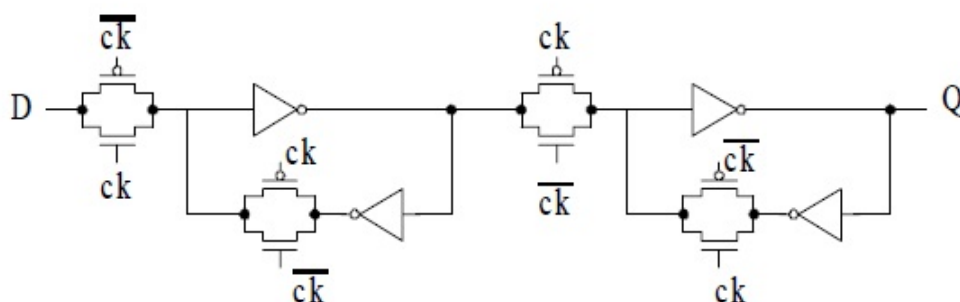


Figura 3.12: Circuito di un flip-flop D statico

Un flip-flop di tipo D, in corrispondenza del comando di clock, trasferisce l'ingresso in uscita e lo mantiene fino al successivo comando di clock.

D	Clk	Q_{n+1}
0	↑	0
1	↑	1
X	↓	Q_n

Figura 3.13: Tabella ingresso-uscita flip-flop D

Per poter realizzare un **contatore binario** si utilizza un particolare tipo di flip-flop denominato T (toggle). Il funzionamento di questo flip-flop per-

mette di ottenere un'uscita che cambia stato ad ogni variazione di clock. Partendo da un flip-flop D si può realizzare un flip-flop T utilizzando un invertitore in retroazione. Molto importante è la presenza del segnale di Set Reset che permette, rispettando gli opportuni valori logici, di resettare il flip-flop e quindi azzerare il contatore stesso.

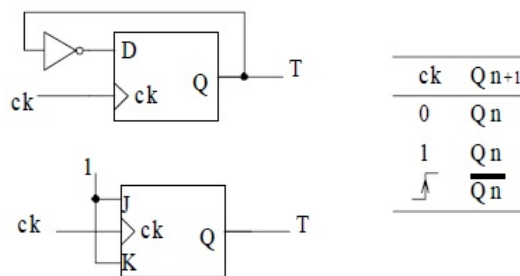


Figura 3.14: Flip-flop di tipo T

Come già affermato, i contatori sono circuiti digitali sequenziali che forniscono in uscita un codice che rappresenta il numero di impulsi di clock inviati al loro ingresso. Alcune loro caratteristiche sono:

- **Risoluzione:** in generale, qualunque sia il dispositivo utilizzato, è necessario un tempo minimo di separazione tra due impulsi successivi affinché il contatore li registri correttamente; Tale tempo è denominato risoluzione del contatore (o tempo risolutivo).
- **Capacità:** è il massimo numero di impulsi contato senza che il contatore ricicli (torni cioè nella condizione iniziale di azzeramento). La massima capacità ottenibile da un contatore (binario) ad n stadi è data da $C_{max} = N = 2^n - 1$;
- **Modulo:** il modulo di un contatore è il numero di impulsi necessario per riciclare il contatore. È pari alla massima capacità più 1, ovvero $M = 2^n = N + 1$.

Ci sono due tipi di contatori definiti in base al modo in cui il clock determina l'attivazione dei flip-flop. Si parla di contatori asincroni nel caso in cui il segnale di clock venga applicato solo al primo flip-flop della serie il quale, a sua volta, genera il segnale di attivazione per il flip-flop successivo e così di seguito; si parla di contatori sincroni nel caso in cui il segnale di clock venga applicato direttamente e simultaneamente a tutti i flip-flop.

L'elemento base del contatore binario asincrono, il *flip-flop T*, dimezza la frequenza del segnale di clock applicato al suo ingresso. Se all'uscita di un flip-flop di questo tipo se ne collega un altro con le stesse caratteristiche,

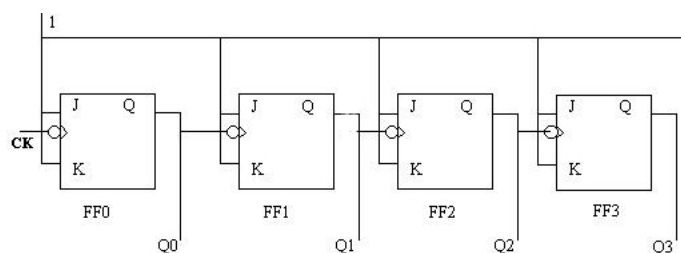


Figura 3.15: Realizzazione di un contatore Asincrono

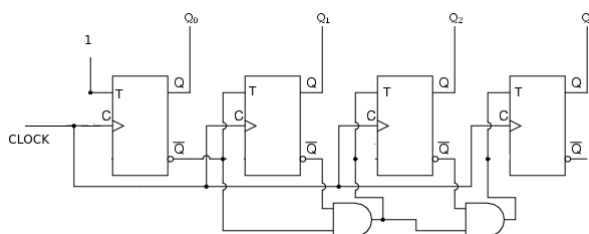


Figura 3.16: Realizzazione di un contatore Sincrono

si divide per 4 il numero degli impulsi di clock originali e così via. Si può concludere che con una cascata di flip-flop T si ottiene un sistema che esegue la divisione della frequenza applicata all'ingresso, secondo le successive potenze di 2.

In figura 3.17 è riportato un classico andamento delle uscite Q di una cascata di 4 flip-flop.

Nella realizzazione di dispositivi di questo genere, bisogna tener presente che la disposizione sequenziale dei flip-flop, nella quale ogni dispositivo comanda il successivo, fa sì che tra la commutazione di un ingresso e quella dell'uscita (ovvero dell'ingresso del flip-flop successivo) trascorra un tempo pari al ritardo di propagazione, T_n , del componente stesso. Ad esempio, il passaggio a 0 delle uscite di un contatore a 4 flip-flop, che dovrebbe avvenire in corrispondenza del fronte di discesa del sedicesimo impulso, non è simultaneo come appare in figura 3.17, ma tra lo 0 del primo flip-flop e quello dell'ultimo trascorre un tempo pari a 4 volte il ritardo di ogni singolo componente (vedi figura 3.18). E' facile comprendere che, se il periodo di clock è basso, ovvero la frequenza è elevata, con una connessione della tipologia esaminata possono aver luogo errori di conteggio provocati da ritardi di propagazione dei componenti. Il periodo di clock deve quindi essere $T_{clk} \geq N \cdot T_n + T_s$ dove T_s è il tempo necessario per effettuare la lettura. Si può quindi affermare che la frequenza massima del segnale di clock deve essere $f_{max} = \frac{1}{N \cdot T_n + T_s}$

lo di tensione in ingresso. Il tempo T_1 che indica la durata di questa fase è definito come $T_1 = 2^n \cdot T_{clk}$ dove il T_{clk} è il periodo di un ciclo di clock. Quando questa fase inizia (istante t_0) la logica di controllo azzerava il contatore e abilita il collegamento tra segnale di ingresso V_{in} e integratore impostando a 0 il livello logico del segnale di controllo S_1 del multiplexer in ingresso. Nello stesso tempo la logica di controllo comanda la chiusura dell'interruttore AND, I , permettendo così al segnale di clock di abilitare il conteggio del contatore. Dall'istante t_0 fino a T_1 all'ingresso dell'integratore è presente un livello di tensione costante e negativa, corrispondente al campione prelevato dal segnale V_{in} , che integrato produce in uscita una rampa con pendenza positiva. Questa tensione in uscita all'integratore ($V_x(t)$) aumenta linearmente con velocità dipendente dall'ampiezza della tensione di ingresso. Il tutto può essere espresso secondo l'equazione:

$$V_x(t) = \frac{1}{RC} \cdot \int_{t_0}^t V_{in} \cdot d\tau = \frac{V_{in}}{RC} \cdot (t - t_0) \quad (3.2)$$

Considerando l'istante iniziale in zero, $t_0 = 0$, e l'istante finale in $t = T_1$, la tensione in uscita risulta:

$$V_x(T_1) = \frac{V_{in}}{RC} \cdot T_1 \quad (3.3)$$

Il contatore effettua il conteggio dei periodi di clock (T_{clk}) fino a raggiungere l'overflow; ha così termine la fase di run-up.

- La fase di **run-down**, o fase 2, inizia nell'istante T_1 e non ha una durata costante come la fase 1. Nell'istante iniziale della fase 2, la logica di controllo seleziona la tensione V_{ref} in ingresso, impostando a 1 il segnale di controllo S_1 del multiplexer. L'operazione di integrazione viene effettuata su un valore di tensione di riferimento V_{ref} positiva. Essendo questa una tensione positiva la rampa in uscita dall'integratore ha una pendenza negativa. Per ottenere il rispettivo valore digitale del segnale campionato, il contatore conta finché V_x diventa minore di zero. Questo provoca la variazione dello stato del comparatore; la logica di controllo rileva questa variazione di stato e inibisce il conteggio disabilitando l'interruttore I : ha così termine la fase di run-down. L'andamento della tensione in uscita all'integratore per la fase 2 è definito come segue:

$$\begin{aligned} V_x(t) &= -\frac{1}{RC} \cdot \int_{T_1}^t V_{ref} \cdot d\tau + V_x(T_1) \\ &= -\frac{V_{ref}}{RC} \cdot (t - T_1) + \frac{V_{in}}{RC} \cdot T_1 \end{aligned} \quad (3.4)$$

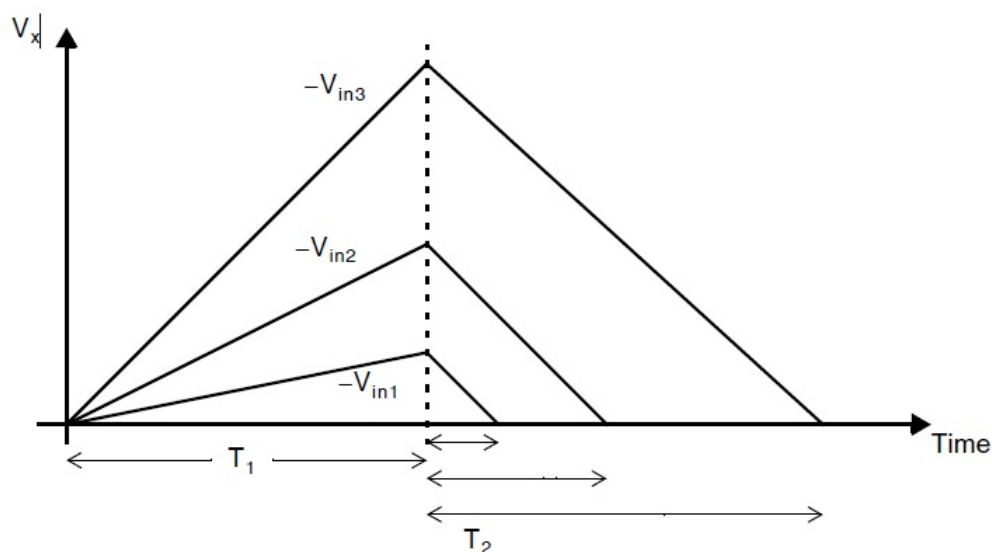


Figura 3.19: Integrazione di 3 differenti campioni in ingresso all'ADC-I

La rappresentazione grafica della descrizione appena fatta è riportata nell'immagine 3.19:

La logica di controllo riveste un ruolo decisamente importante nella sincronizzazione dell'intero circuito. Di seguito sono elencati gli step che vengono eseguiti da essa per gestire la conversione del segnale analogico in digitale:

1. Nell'istante iniziale, il segnale *SOC* assume il valore logico alto per un breve intervallo di tempo. Questo resetta i flip-flop del contatore e della logica di controllo, disabilita il passaggio del clock dall'oscillatore al contatore e permette all'interruttore S_2 di scaricare il condensatore C_1 . Resetando il flip-flop della logica di controllo, S_1 assume valore logico basso e seleziona l'ingresso 1 del MUX;
2. Il Segnale *SOC* assume un livello logico basso e la conversione ha inizio. Il segnale *EOC* assume valore logico alto in quanto in ingresso al comparatore c'è un livello di tensione maggiore di zero;
3. Quando il contatore segnala overflow, la logica di controllo imposta S_1 a livello logico alto selezionando il secondo ingresso del MUX;
4. Quando il livello di tensione in ingresso al comparatore diventa minore di zero, l'uscita del comparatore *EOC* è pari a zero. Questo interviene sull'interruttore I che blocca il passaggio di clock al contatore. La conversione è terminata e il microcontrollore esterno può leggere i dati digitali ottenuti;

5. Il microcontrollore esterno avvia una nuova fase di conversione tramite il segnale SOC.

Assumendo che l'uscita digitale sia normalizzata in modo che il valore massimo codificabile corrisponda all'unità, l'uscita del contatore B_{out} può essere definita come:

$$B_{out} = b_1 2^{-1} + b_2 2^{-2} + \dots + b_{n-1} 2^{-(n-1)} + b_n 2^{-n} \quad (3.5)$$

Si definisce T_2 l'intervallo di tempo della fase di run-down

$$T_2 = 2^n B_{out} T_{clk} = (b_1 2^{n-1} + b_2 2^{n-2} + \dots + b_{n-1} 2^1 + b_n) T_{clk} \quad (3.6)$$

All'istante $t = T_1 + T_2$ la tensione di uscita $V_x(t) = 0$: questo permette di calcolare

$$0 = -\frac{V_{ref} T_2}{RC} + \frac{V_{in} \cdot T_1}{RC} \quad (3.7)$$

$$T_2 = T_1 \left(\frac{V_{in}}{V_{ref}} \right)$$

In tal modo viene evidenziata la proporzionalità diretta tra V_{in} e T_2 . Durante la fase di run-down le rampe hanno la stessa pendenza, anche per campioni di tensione di ingresso diversi, poiché in questo intervallo viene sempre integrata la tensione di riferimento. Per questo motivo T_2 dipende dal valore del campione e il conteggio raggiunto dal contatore in questo istante è proporzionale al valore del suddetto campione. Il corretto funzionamento di questo ADC prevede che il valore di ogni campione rispetti la condizione:

$$V_{in} > -V_{ref} \quad (3.8)$$

in quanto con un segnale di ingresso minore di $-V_{ref}$, il contatore andrebbe in overflow creando un segnale digitale affetto da errore di saturazione. Il circuito è quindi un convertitore **tensione-tempo**, in quanto realizza una trasformazione lineare della tensione d'ingresso in un intervallo di tempo. Il tempo e la velocità di conversione dipendono, invece, dall'intervallo di tempo di run-up e run-down dal tempo di attesa tra le due fasi e dal tempo necessario per il reset del circuito una volta concluso un ciclo. Trascurando i tempi di attesa e di reset, si ottiene che l'intervallo di conversione totale è $T_{conv} = T_1 + T_2$. Sono quindi necessari 2^n cicli di clock per il primo intervallo di integrazione e N cicli di clock per il secondo. Il tempo di conversione è quindi variabile:

$$T_{conv} = (2^n + N) T_{clk} \leq 2^{n+1} T_{clk} \quad (3.9)$$

poiché N non può superare 2^n . Il caso peggiore indicato nell'equazione (3.9) si verifica quando $V_{in} = V_{ref}$. Infine va rivelato che con una accurata scelta di T_1 , certe componenti di frequenza sovrapposte al segnale di ingresso

possono essere significativamente attenuate. Infatti, nella fase di run-up la tensione costante in ingresso viene integrata e questo è equivalente a convolverla con una funzione *rect* in frequenza. Poichè la trasformata di Fourier di una funzione *rect*(*t*) è un *sinc* = $\frac{\sin(f)}{f}$, abbiamo un filtro con funzione di trasferimento:

$$|H(f)| = \left| \frac{\sin(\pi f T_1)}{(\pi f T_1)} \right| \quad (3.10)$$

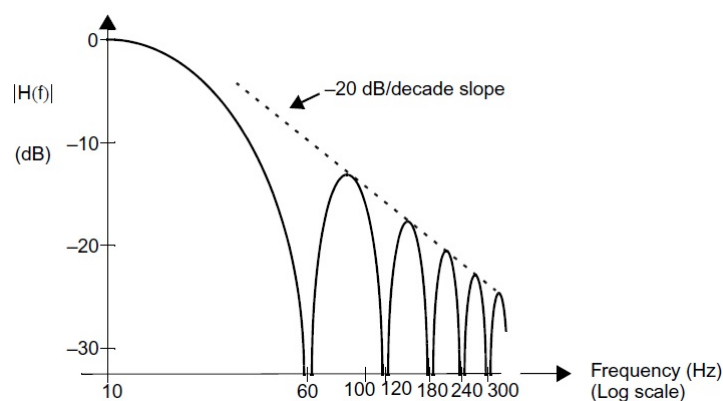


Figura 3.20: Risposta in frequenza del filtro effettivo in input per un ADC-I

Il circuito possiede quindi una notevole reiezione al rumore generato dalla tensione di alimentazione e ai disturbi in alta frequenza. Infine l'assenza del DAC conferisce al circuito una relativa semplicità circuitale. È quindi, un dispositivo lento, ma molto accurato.

Capitolo 4

Specifiche e Progetto

Il componente base utilizzato per la realizzazione di questo circuito è il transistor **MOSFET** (Metal-Oxide-Semiconductor). La tensione applicata al terminale di gate (G) determina se e quanta corrente scorre tra i poli di source (S) e di drain (D). Il substrato rappresenta il quarto terminale (B) del transistor la cui funzione è quella di modulare le caratteristiche e i parametri del dispositivo.

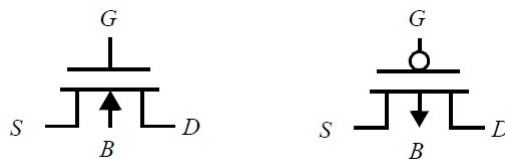


Figura 4.1: Simboli grafici di NMOS e PMOS

A livello di astrazione più elevato, il transistor può essere visto come un interruttore. Quando viene applicata al gate una tensione maggiore di un determinato valore critico (tensione di soglia V_T), si forma un canale conduttivo tra drain e source. In presenza di una differenza di potenziale tra questi ultimi si ha un flusso di corrente. La conducibilità del canale è modulata dalla tensione di gate: maggiore è la differenza di tensione tra gate e source, minore è la resistenza del canale conduttivo e, quindi, maggiore è la corrente. Quando la tensione di gate è minore della tensione di soglia, il canale conduttivo non è presente e l'interruttore si può considerare aperto. Si possono distinguere due tipi di MOSFET:

- NMOS, formato da regioni di drain e source di tipo n^+ circondate da un substrato di tipo p; la corrente è costituita dagli elettroni che si muovono attraverso il canale di tipo n.

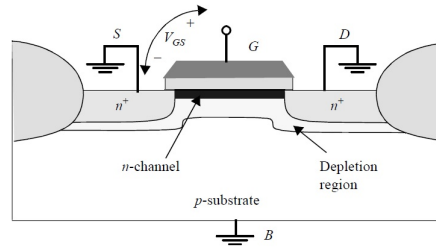


Figura 4.2: Composizione di un NMOS a livello del silicio

- PMOS, formato da regioni di drain e source di tipo p^+ circondate da un substrato di tipo n; la corrente è costituita dalle lacune che si muovono attraverso il canale di tipo p.

Considerando le tensioni tra i vari terminali (V_{GS} , V_{DS}), si studia il comportamento del MOSFET che determina tre zone di funzionamento: lineare, saturazione e sottosoglia. Il parametro principale per lo studio del funzionamento è la *tensione di soglia* V_T . Questa indica il valore che V_{GS} deve assumere per instaurare la forte inversione, in modo tale che il semiconduttore a contatto con il gate inverta la concentrazione di portatori da tipo p a tipo n (nel caso di un NMOS) e si crei il canale conduttivo.

$$V_T = V_{T0} + \gamma \left(\sqrt{|(-2)\phi_F + V_{SB}|} - \sqrt{|2\phi_F|} \right) \quad (4.1)$$

La tensione di soglia è funzione di fattori quali γ coefficiente dell'effetto body, V_{T0} tensione di soglia con $V_{SB} = 0$ e ϕ_F potenziale di Fermi. Dal confronto delle tensioni V_{GS} e V_{DS} con V_T si ottiene:

- $V_{GS} > V_T$ regione lineare o *resistiva*: dipendenza lineare della corrente I_D dalla tensione V_{GS} ;
- $V_{GS} - V_{DS} \leq V_T$ regione di *saturazione*: si verifica lo strozzamento del canale conduttivo e la saturazione della corrente I_D ;
- $V_{GS} - V_{DSAT} \leq V_T$ regione di *saturazione di velocità* per dispositivi a canale corto: quando V_{DS} supera il valore V_{DSAT} , la velocità dei portatori satura e la corrente resta costante e pari ad I_{DSAT} . In un MOS a canale corto, la saturazione si raggiunge per un valore di V_{DS} inferiore rispetto ad un MOS a canale lungo;
- $V_{GS} < V_T$ regione di sottosoglia: il transistor è già parzialmente conduttivo, con livelli di corrente molto limitati.

Definita $V_{GT} = V_{GS} - V_T$, il modello che sintetizza il comportamento del MOS è

$$\begin{aligned}
 I_D &= 0 && \text{per } V_{GT} \leq 0; \\
 I_D &= k' \frac{W}{L} \left(V_{GT} \cdot V_{min} - \frac{V_{min}^2}{2} \right) (1 + \lambda V_{DS}) && \text{per } V_{GT} \geq 0 \quad (4.2) \\
 &\text{con } V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT})
 \end{aligned}$$

La resistenza equivalente tra drain e source per un MOS è calcolata utilizzando la formula approssimata:

$$R_{eq} = \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD} \right) \quad (4.3)$$

Per il comportamento dinamico del MOS si considerano gli effetti capacitivi dovuti a tutte le capacità interne:

- Capacità connesse alla struttura geometrica del MOS: sono dovute all'estensione del drain e del source al di sotto dell'ossido di gate di una quantità x_d (parametro definito dalla tecnologia). Questo dà origine a due capacità parassite di overlap $C_{GSO} = C_{GDO} = C_{ox} x_d W = C_o W$;
- Capacità di canale: è la capacità C_{GC} che si crea per la presenza dell'ossido tra il metallo del contatto di gate e il canale. È suddivisa in C_{GCS} , C_{GCD} e C_{GCB} . A seconda della regione di funzionamento, che determina la presenza del canale, si ottiene il valore medio delle capacità come riportato in tabella 4.1.

Regione operativa	C_{GCS}	+	C_{GCD}	+	C_{GCB}	=	C_{GC}
Spento	$C_{ox}WL$		0		0		$C_{ox}WL$
Resistiva	0		$C_{ox}WL/2$		$C_{ox}WL/2$		$C_{ox}WL$
Saturazione	0		$(2/3)C_{ox}WL$		0		$(2/3)C_{ox}WL$

Tabella 4.1: Valore medio delle capacità di canale del transistor MOS per diverse regioni operative

- Capacità di giunzione chiamata anche capacità di diffusione: è dovuta alle giunzioni pn source-substrato e drain-substrato. L'estensione della giunzione tiene conto sia del perimetro che della superficie a contatto tra substrato e rispettivamente drain e source:

$$\begin{aligned}
 C_{diff} &= C_{J0} \cdot \text{AREA} + C_{JSW0} \cdot \text{PERIMETRO} \\
 &= C_{J0}L_SW + C_{JSW0}(2L_S + W)
 \end{aligned} \quad (4.4)$$

dove L_S indica la lunghezza della well del drain e source.

Tutti i contributi discussi in precedenza possono essere combinati in un unico modello per le capacità del transistor MOS, mostrato in figura 4.3. L'equazione è

$$\begin{aligned}
 C_{GS} &= C_{GCS} + C_{GS0} \\
 C_{GD} &= C_{GCD} + C_{GD0} \\
 C_{GB} &= C_{GCB} \\
 C_{SB} &= C_{Sdiff} \\
 C_{DB} &= C_{Ddiff}
 \end{aligned}
 \tag{4.5}$$

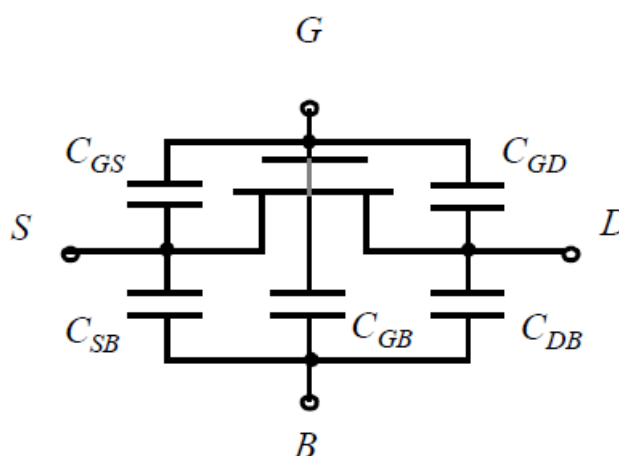


Figura 4.3: Modello delle capacità del MOS

Per un'analisi approfondita consultare il testo [4].

4.1 Specifiche di progetto

Il ADC-I deve essere costruito in tecnologia CMOS seguendo le seguenti specifiche assegnate:

- tensioni di alimentazione: $V_{DD} = 3.3V$; $V_{SS} = 0V$;
- risoluzione: $N=6$ bit;
- frequenza di campionamento: $f_s = 1MHz$;
- consumo di potenza totale: $P_{TOT} \leq 10mW$;
- integral nonlinearity error: $INL \leq 1LSB$;

Nella tabella sottostante sono riportati i valori dei parametri dei MOSFET utilizzabili per la realizzazione del circuito. Tali parametri fanno riferimento al processo C35 CMOS $0.35 \mu m$, nel quale la lunghezza minima di canale L vale appunto $0,35 \mu m$.

	nMOSFET	pMOSFET	
Par	Valore	Valore	Note
V_T	0.5 V	-0.6 V	tensione di soglia
k'	$175 \mu A/V^2$	$60 \mu A/V^2$	fattore di corrente
γ	$0.58 V^{1/2}$	$0.45 V^{1/2}$	fattore dell'effetto body
η	1.8×10^7	1.25×10^7	coefficiente della resistenza di uscita: $r_o = \eta_n L / I_D$
C_{ox}	$4.6 fF/\mu m^2$	$4.6 fF/\mu m^2$	capacità specifica dell'ossido di gate
C_{GS0}	$0.21 fF/\mu m$	$0.21 fF/\mu m$	capacità specifica di sovrapposizione: $C_{gs,ov} = WC_{GS0}$
C_{GD0}	$0.21 fF/\mu m$	$0.21 fF/\mu m$	capacità specifica di sovrapposizione: $C_{gd,ov} = WC_{GD0}$
C_{J0}	$0.93 fF/\mu m^2$	$1.42 fF/\mu m^2$	capacità specifica di area dei diodi S/D
C_{JSW0}	$0.28 fF/\mu m$	$0.38 fF/\mu m$	capacità specifica di perimetro dei diodi S/D

Da questi si ricava il parametro della modulazione di canale $\lambda = \frac{1}{\eta_n L}$ che, mantenendo la lunghezza di canale L costante a $0.35 \mu m$, vale $\lambda_p = 0.23 V^{-1}$ è per i PMOS e $\lambda_n = 0.16 V^{-1}$ per gli NMOS.

4.2 Elementi base del Circuito

4.2.1 Invertitore CMOS

L'invertitore è di fondamentale importanza per tutti i sistemi digitali per le sue proprietà di robustezza, resistenza di uscita piccola, resistenza di ingresso elevata, consumi ridotti ed escursione logica piena, ovvero V_{DD} . Il circuito è composto da due transistor: un PMOS ed un NMOS. Il suo funzionamento è abbastanza semplice: quando il segnale di ingresso V_{in} è al valore logico alto, V_{DD} , il PMOS si trova ad avere tensione $V_{GS_p} = 0$ che non è abbastanza bassa per accenderlo e l'uscita risulta isolata dall'alimentazione V_{DD} . L'NMOS, invece è acceso poichè si trova ad avere tensione $V_{GS_n} = V_{DD}$ con V_{DD} normalmente più grande della tensione di soglia V_{T_n} , creando così un percorso conduttivo tra uscita V_{out} e massa. in modo complementare, quando il valore logico in ingresso è basso ($0 V$) si spegne l' NMOS e si accende il PMOS collegando l'uscita alla tensione di alimentazione V_{DD} .

Il circuito ha quindi la funzione di produrre all'uscita un valore logico opposto rispetto a quello in entrata, implementando la funzione logica NOT.

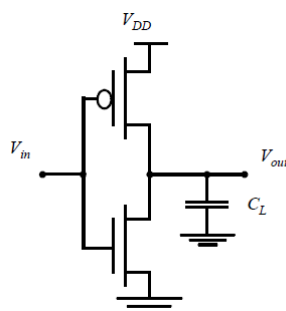


Figura 4.4: Invertitore CMOS statico

Per effettuare il dimensionamento corretto dei due transistor, in modo da ottenere una porta veloce con tempi di salita e discesa il più possibile uguali, è necessario tener conto di alcuni fattori:

- Una porta logica è tanto più veloce quanto più sono piccole la capacità che deve pilotare e la resistenza equivalente del transistor che collega la massa o la tensione di alimentazione all'uscita durante la commutazione.
- I PMOS hanno un canale conduttivo formato da lacune le quali hanno mobilità circa tre volte inferiore rispetto agli elettroni del canale degli NMOS.

Queste affermazioni valgono in generale per ogni porta logica statica e, nel caso dell'invertitore, portano a specifiche abbastanza semplici da rispettare. Anche se la capacità di carico dipende dal circuito al quale si connette l'uscita dell'invertitore, c'è un contributo intrinseco dato dalla capacità delle due diffusioni di drain dei transistor, quindi più grandi saranno i transistor, più la capacità di carico sarà grande. La resistenza dei due transistor, anche se non è costante, diminuisce indicativamente con l'aumentare del rapporto (W/L) . Infine per tener conto della diversa mobilità di elettroni e lacune, è sufficiente dimensionare l'NMOS e il PMOS in modo che:

$$\frac{(W/L)_p}{(W/L)_n} \cong 3 \quad (4.6)$$

Lo scopo del dimensionamento dei transistor MOS dell'inverter è quello di ottenere una porta NOT con tempi di salita e di discesa molto simili e soprattutto minimi così da garantire una commutazione dell'uscita molto veloce in relazione alle variazioni del segnale di ingresso.

Si può osservare dal grafico di figura 4.5 che questa condizione è verificata se il rapporto tra i fattori di forma è circa 2.5 che nell'equazione 4.6 è

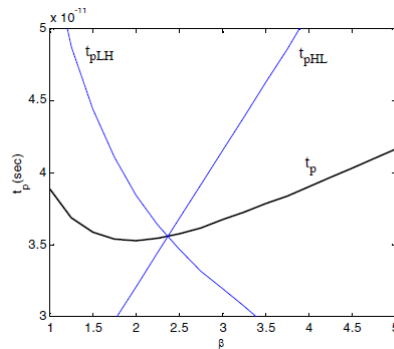


Figura 4.5: Tempo di propagazione di un invertitore CMOS in funzione del rapporto tra le dimensioni del PMOS e NMOS

arrotondato a 3. Inoltre è preferibile ottenere un invertitore con dimensioni minime così da occupare il minor spazio possibile. Impostando la dimensione minima dell'NMOS si ottiene anche quella del PMOS:

$$\left(\frac{W}{L}\right)_n = \frac{0.4}{0.35}$$

$$\left(\frac{W}{L}\right)_p = \frac{1.2}{0.35}$$

4.2.2 Interruttore Gate-Trasmissione

L'interruttore a gate di trasmissione si ottiene utilizzando la logica a pass-transistor. Questa mira a ridurre il numero dei dispositivi necessari all'implementazione di una funzione logica collegando gli ingressi primari sia ai terminali di gate sia ai terminali source/drain. Sfortunatamente un dispositivo NMOS è molto efficiente nel trasmettere uno 0 logico, ma trasmette male il valore logico 1: quando il pass-transistor è impiegato per trasmettere V_{DD} , la tensione di uscita raggiunge al massimo il valore $V_{DD} - V_{Tn}$; in realtà la situazione è ulteriormente peggiorata dall'effetto body a causa dell'elevata tensione presente tra il source e il substrato in queste condizioni. Una porta logica implementata esclusivamente con pass-transistor non è rigenerativa; ciò dà luogo ad una progressiva degradazione del segnale man mano che esso si propaga attraverso i vari stadi. Una soluzione per poter rendere un circuito pass-transistor più robusto ed efficiente è quella di utilizzare la configurazione a gate di trasmissione. Si fonda sulle proprietà complementari dei transistor NMOS e PMOS: come già detto, i dispositivi NMOS trasmettono bene gli 0 logici e male gli 1; in modo complementare, i dispositivi PMOS trasmettono correttamente gli 1 logici, ma male gli 0. Il gate di trasmissione sintetizza in un unico componente le proprietà migliori

di entrambi i transistor, combinando un NMOS e un PMOS in parallelo con segnali di controllo complementari. In questo modo il segnale di ingresso passa inalterato in uscita.

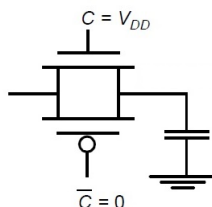


Figura 4.6: Gate di trasmissione ideale con capacità di carico

Lo scopo del dimensionamento del gate di trasmissione è quello di ottenere un tempo di propagazione del segnale attraverso i MOS piccolo. Parametro fondamentale per il calcolo del tempo di ritardo è la resistenza: si tiene conto del parallelo tra la resistenza interna dell'NMOS e quella del PMOS. Dall'equazione 4.3 si può notare che la resistenza presenta una dipendenza inversa dalla corrente che attraversa il MOS. In questa configurazione circuitale la zona di funzionamento del MOS è dipendente dalla tensione di uscita V_{out} ; in base al valore della V_{out} si otterrà un diverso valore della R_{eq} del gate di trasmissione. L'andamento tipico è raffigurato in figura 4.7.

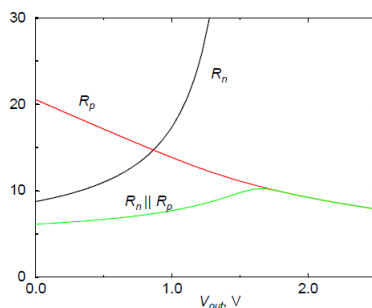


Figura 4.7: Resistenza equivalente per un gate di trasmissione con MOS con dimensioni uguali

Il tempo di propagazione attraverso il gate di trasmissione viene quindi stimato utilizzando la semplificazione a rete RC come riportato in figura 4.8. La capacità C tiene conto delle capacità viste dal terminale di drain o source come riportato in figura 4.3. Si ottiene che

$$t_p = 0.69 \cdot C \cdot R_{eq} \quad (4.7)$$

Osservando le equazioni 4.3, 4.4 e la tabella 4.1, si nota che la resistenza interna è inversamente proporzionale a W , mentre la capacità lo è direttamen-

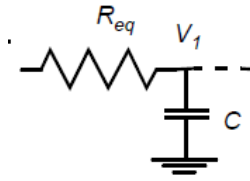


Figura 4.8: Modello RC di un gate di trasmissione

te. Il trade-off che si utilizza per il dimensionamento del gate di trasmissione preferisce implementare MOS a dimensione minima. Si sceglie quindi

$$\left(\frac{W}{L}\right)_n = \frac{0.4}{0.35}$$

$$\left(\frac{W}{L}\right)_p = \frac{0.4}{0.35}$$

4.2.3 Porta logica NOR

La porta logica NOR utilizzata nel flip-flop per ottenerne l'azzeramento è realizzata in logica CMOS statica complementare. Questa configurazione nasce dalla combinazione di due reti di transistor: la rete di pull-up (PUN) e la rete di pull-down (PDN). Gli ingressi sono distribuiti sia sulla rete PUN che sulla PDN. Il PUN ha lo scopo di connettere il nodo di uscita a V_{DD} quando la configurazione degli ingressi è tale che il valore logico della funzione booleana sia 1; il PDN fornisce una connessione tra l'uscita del circuito a massa quando la porta logica deve produrre 0 all'uscita. Le reti PUN e PDN sono costruite in modo mutuamente esclusivo, ovvero in condizioni stazionarie una e solo una delle due reti deve essere attiva. La caratteristica fondamentale di questa logica è che la rete PDN è costituita usando esclusivamente dispositivi NMOS, mentre la rete PUN è costituita da soli dispositivi PMOS. La ragione primaria di questa scelta è che i transistor NMOS conducono degli 0 forti e i PMOS generano invece degli 1 forti, come spiegato per il gate di trasmissione (4.2.2). Per poter implementare una generica funzione logica, bisogna considerare le regole per la costruzione della rete PDN:

- Due o più NMOS connessi in serie implementano la funzione AND; quando tutti gli ingressi sono alti, la serie di transistor conduce e il valore presente ad uno degli estremi della catena viene trasmesso fino all'altro capo.

- Due o più NMOS connessi in parallelo implementano la funzione OR; se almeno uno degli ingressi è alto il valore presente all'ingresso è trasferito in uscita.

In modo duale bisogna considerare le regole per la costruzione della rete PUN:

- Due o più PMOS connessi in serie implementano la funzione NOR; quando tutti gli ingressi sono bassi, la serie di transistor conduce e il valore presente ad uno degli estremi della catena viene trasmesso fino all'altro capo.
- Due o più PMOS connessi in parallelo implementano la funzione NAND; se almeno uno degli ingressi è basso il valore presente all'ingresso è trasferito in uscita.

Naturalmente la porta logica realizzata in questo modo è invertente e possono essere implementate solo funzioni NAND e NOR. La realizzazione di funzioni logiche non invertenti non è possibile con un singolo stadio complementare e richiede l'utilizzo di un invertitore in cascata alla porta invertente. Il circuito della funzione logica NOR è illustrato in figura 4.10. Lo scopo del

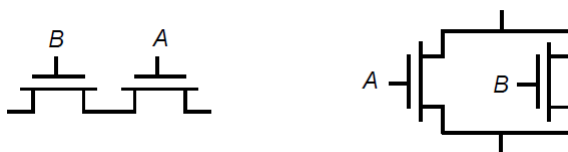


Figura 4.9: Sintesi di funzioni logiche con NMOS: AND a sinistra, OR a destra

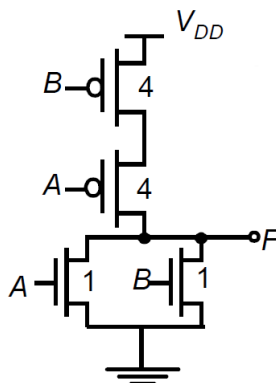


Figura 4.10: Porta logica NOR in logica statica complementare ottimizzata

dimensionamento dei MOS di una porta logica è quello di minimizzare i tempi di propagazione del segnale dall'ingresso all'uscita. Per poter ottenere un dimensionamento ottimale bisogna considerare il caso peggiore tra tutte le combinazioni d'ingresso e rendere, in questa condizione, il tempo di propagazione minimo. Lo studio dei tempi di propagazione prende in esame il modello RC del transistor MOS che ne considera la resistenza interna (equazione 4.3) e le capacità parassite (figura 4.3). Osservando il circuito della porta NOR in esame si osserva che:

- il caso peggiore per la rete PDN si verifica quando solo uno degli ingressi è a livello logico alto e quindi solo la sua R_{eq} influisce nella scarica del nodo di uscita a gnd , ovvero, sul tempo di propagazione; se entrambi fossero a livello logico alto i 2 NMOS sarebbero entrambi accesi e la resistenza equivalente della rete PDN sarebbe $\frac{R_{eq}}{2}$, inferiore a R_{eq} . Il caso con entrambi gli ingressi a livello logico basso non ha rilevanza in quanto la rete è spenta.
- il caso peggiore per la rete PUN si verifica quando entrambi gli ingressi sono a livello logico alto e le resistenze dei 2 PMOS sono collegate in serie influenzando sulla carica del nodo di uscita a V_{DD} ; tutte le altre combinazioni di ingresso non sono rilevanti in quanto la rete PUN è spenta.

Tenendo conto delle osservazioni precedenti, per il dimensionamento bisogna riferirsi ai tempi di propagazione di un invertitore con dimensione minima: la dimensione degli NMOS è presa minima come nell'invertitore in quanto nel caso peggiore solo uno è acceso; la dimensione dei PMOS, invece, è presa doppia rispetto a quella dell'invertitore essendo la R_{eq} inversamente proporzionale al fattore di forma $\frac{W}{L}$. Si ottiene così una resistenza interna dimezzata per ogni PMOS, la cui somma è pari a R_{eq} . Riassumendo:

$$\begin{aligned} \left(\frac{W}{L}\right)_n &= \frac{0.4}{0.35} \\ \left(\frac{W}{L}\right)_p &= \frac{2.4}{0.35} \end{aligned}$$

4.2.4 Amplificatore Operazionale

L'amplificatore operazionale costituisce un elemento fondamentale nei sistemi analogici. Il termine operazionale è dovuto al fatto che questo tipo di amplificatore è utilizzato per eseguire funzioni matematiche quali la moltiplicazione, la somma e l'integrazione. Nelle applicazioni circuitali l'amplificatore operazionale reale può essere schematizzato mediante il circuito equivalente di figura 4.11 che ne descrive il comportamento dalle basse frequenze fino alla frequenza di taglio superiore f_H .

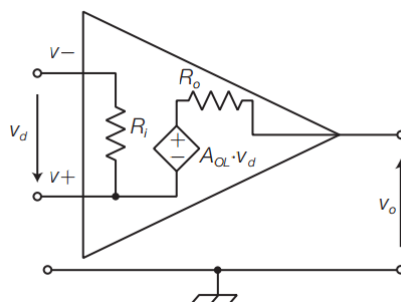


Figura 4.11: Circuito equivalente dell'amplificatore operazionale

Con riferimento al circuito equivalente di figura 4.11 si definiscono i parametri caratteristici degli amplificatori operazionali reali:

- **Guadagno di tensione in catena aperta (A_{OL}):** Rapporto tra la massima ampiezza della tensione ai capi del carico e quella della tensione d'ingresso che la produce, in catena aperta. È il guadagno intrinseco dell'amplificatore e mantiene il valore nominale fino alla frequenza di taglio superiore f_H per poi decrescere in funzione della frequenza con pendenza di $-20dB/decade$.
- **Resistenza d'ingresso differenziale (R_i):** Resistenza tra i due ingressi dell'amplificatore operazionale nel collegamento in catena aperta. Vale alcuni $M\Omega$ negli amplificatori operazionali con stadi d'ingresso a BJT, mentre in quelli a FET si ha $R_i \rightarrow \infty$.
- **Resistenza d'uscita (R_o):** È la resistenza che si vede dall'uscita verso l'amplificatore, ad anello aperto; R_o ha valori tipici di alcune decine di ohm.
- **Campo di tensione d'ingresso (V_{in}):** Campo di possibili valori della tensione d'ingresso (tra ciascun ingresso e massa). In generale il modulo della massima tensione d'ingresso è 1–2 volt inferiore al modulo della tensione d'alimentazione, ma nei modelli più recenti può raggiungere il valore dell'alimentazione.
- **Massima elongazione della tensione di uscita (V_o):** Valore massimo della tensione d'uscita che non provoca saturazione o distorsione del segnale. In genere la massima tensione d'uscita è 1–2 volt inferiore al modulo della tensione d'alimentazione, ma nei modelli più recenti può raggiungere il valore dell'alimentazione.
- **Corrente di polarizzazione d'ingresso (I_{bias}):** È la media tra le correnti di polarizzazione assorbite dagli ingressi. Nel caso ideale o con

ingresso a FET, non vi è assorbimento di corrente di polarizzazione da parte degli ingressi, mentre gli ingressi a BJT assorbono correnti che, a causa di lievi differenze tra i componenti, possono risultare anche diverse tra loro. Queste correnti, circolando nelle resistenze collegate agli ingressi, li portano a potenziali diversi e, di conseguenza, nei circuiti ad anello chiuso si ha un'uscita non nulla anche con $v_d = 0$.

- **Risposta in frequenza:** La risposta in frequenza di un amplificatore operazionale è simile a quella di un filtro passa-basso di tipo RC, con la differenza che vi è un'amplificazione in banda passante. In figura 4.12 è riportata la tipica risposta in ampiezza di un amplificatore operazionale reale, con evidenziati alcuni parametri caratteristici:

- Frequenza di taglio f_H , normalmente molto piccola (10-100Hz);
- Frequenza di transizione f_T , definita come quel valore di frequenza per il quale il guadagno dell'amplificatore operazionale assume valore unitario (0dB);

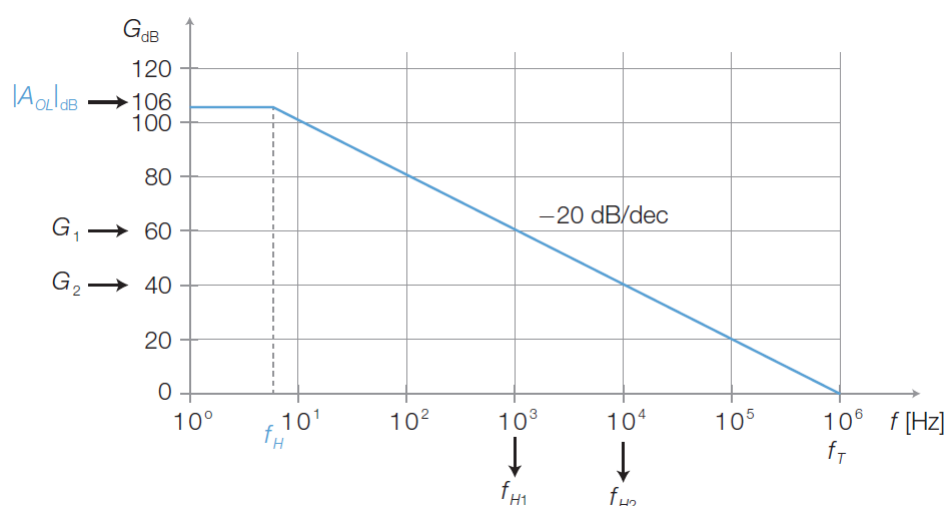


Figura 4.12: Risposta in frequenza di un amplificatore operazionale con GBW

- **GBW:** Il GBW è un parametro pari al prodotto costante tra il guadagno in centro banda A_{OL} e la larghezza di banda B :

$$GBW = B \cdot A_{OL} \quad (4.8)$$

La larghezza di banda (ad anello aperto) coincide con la frequenza di taglio superiore ($f_H = B$), in quanto per gli amplificatori operazionali

quella inferiore è $f_L = 0$; da questo segue che il valore del GBW coincide con la frequenza di transizione ($GBW = f_T \cdot 1$) a cui il guadagno è unitario. Il significato pratico del GBW è il seguente: essendo costante il prodotto guadagno-larghezza di banda, se con la retroazione negativa si porta il guadagno per esempio al valore $G_{1_{dB}} = 60dB$ ($G_1 = 1000$), la frequenza di taglio superiore sarà data da $f_{H1} = \frac{GBW}{G_1} = 1kHz$, come conferma il grafico in figura 4.12. Con $G_{2_{dB}} = 40dB$ ($G_2 = 100$) si ha $f_{H2} = \frac{GBW}{G_2} = 10kHz$, quindi rispetto a prima, riducendo il guadagno di dieci volte, la banda si è allargata di un fattore 10.

- **Slew rate:** Lo slew rate è la massima velocità di variazione della tensione d'uscita, nel passaggio dalla saturazione positiva a quella negativa (o viceversa), in risposta a una tensione differenziale d'ingresso v_d a onda quadra.

$$SR = \frac{\Delta V_o}{\Delta t} \quad (4.9)$$

Lo slew rate esprime, in $V/\mu s$, la massima pendenza possibile per il segnale d'uscita. Se la velocità di variazione del segnale teoricamente previsto in uscita (in termini di volt al μs) supera lo slew rate del componente, il segnale d'uscita risulta distorto perché l'amplificatore operativo non riesce a seguirne le rapide variazioni. In una connessione ad anello chiuso, affinché un segnale sinusoidale in ingresso non venga distorto, deve essere soddisfatta la relazione: $SR = V_{OM} \cdot 2\pi f$ dove f è frequenza del segnale d'ingresso e V_{OM} è la massima ampiezza del segnale d'uscita.

4.3 Circuito ADC-I

Il circuito completo è presentato di seguito e anche tutte le sottoparti.

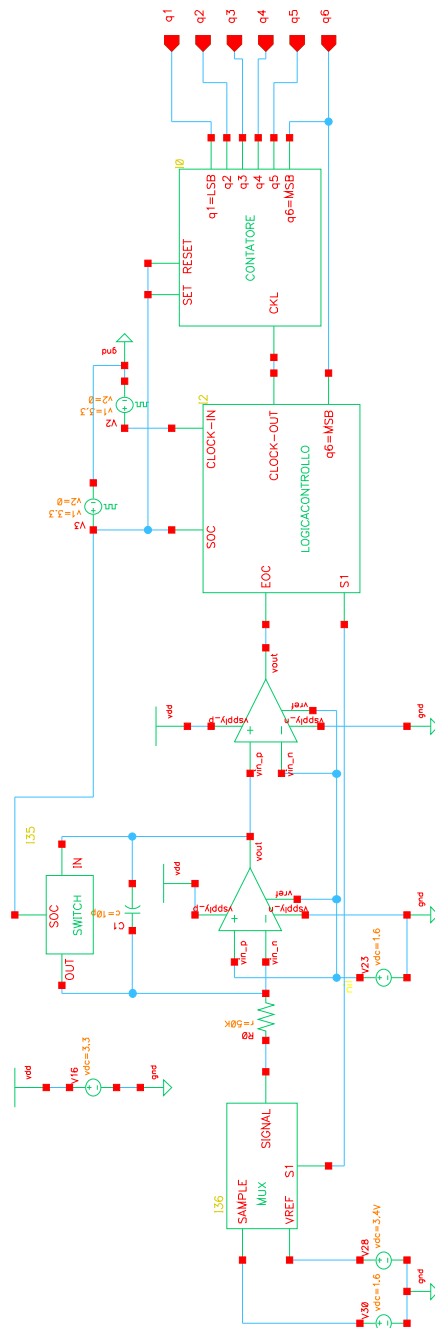


Figura 4.13: Test Bench circuito convertitore A/D ad integrazione

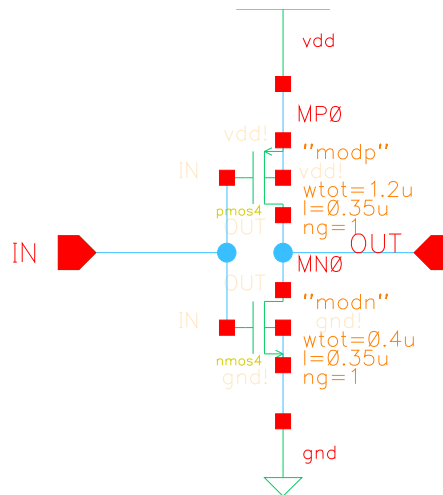


Figura 4.14: Inverter CMOS

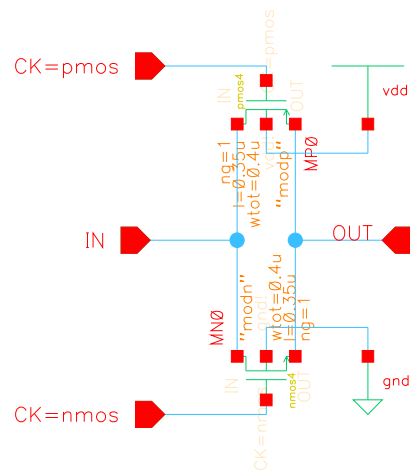


Figura 4.15: Gate Trasmission CMOS

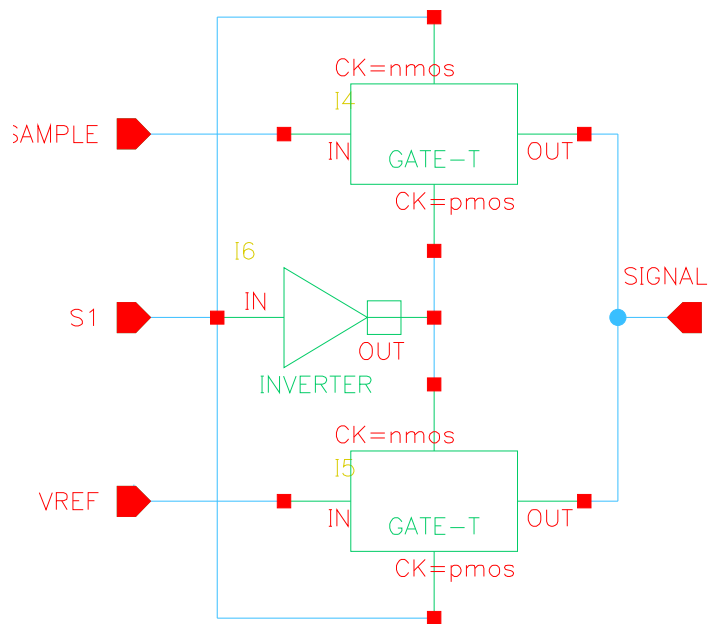


Figura 4.16: Multiplexer CMOS

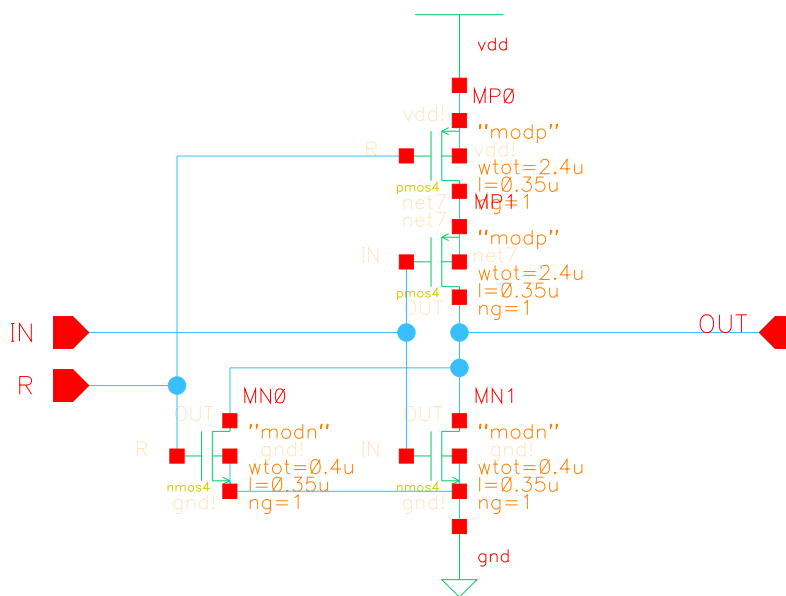


Figura 4.17: Porta logica NOR CMOS

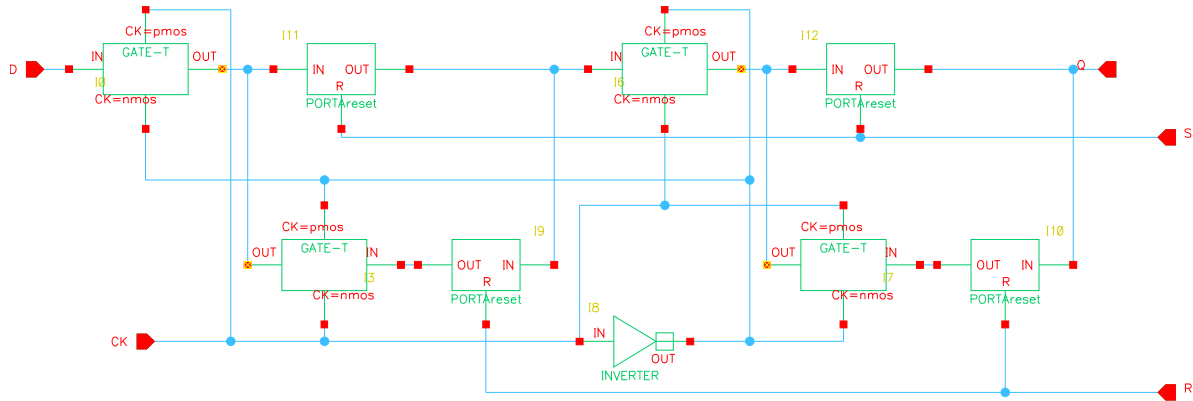


Figura 4.18: Flip Flop D statico

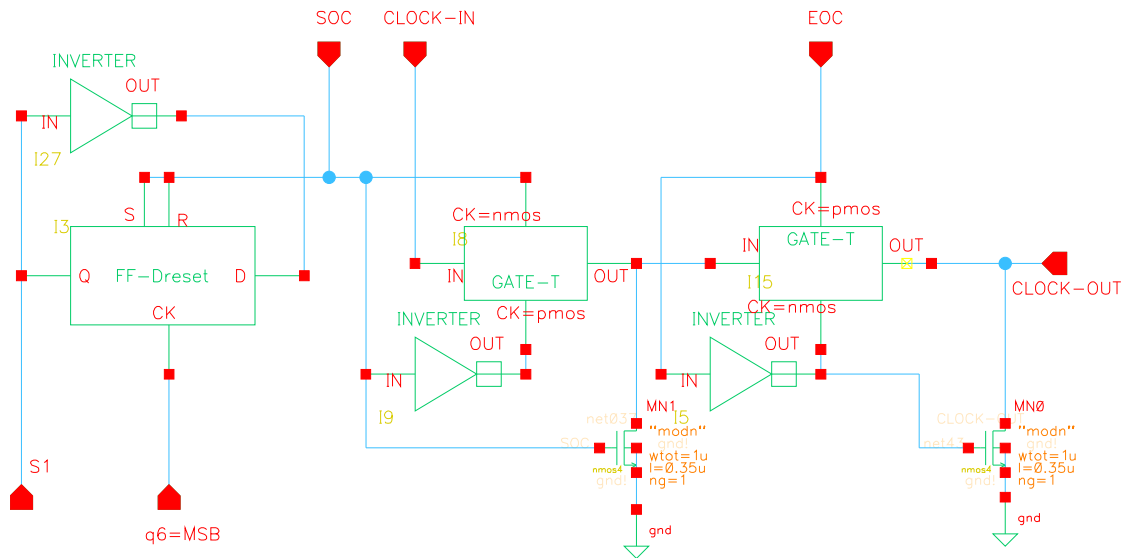


Figura 4.19: Logica di Controllo

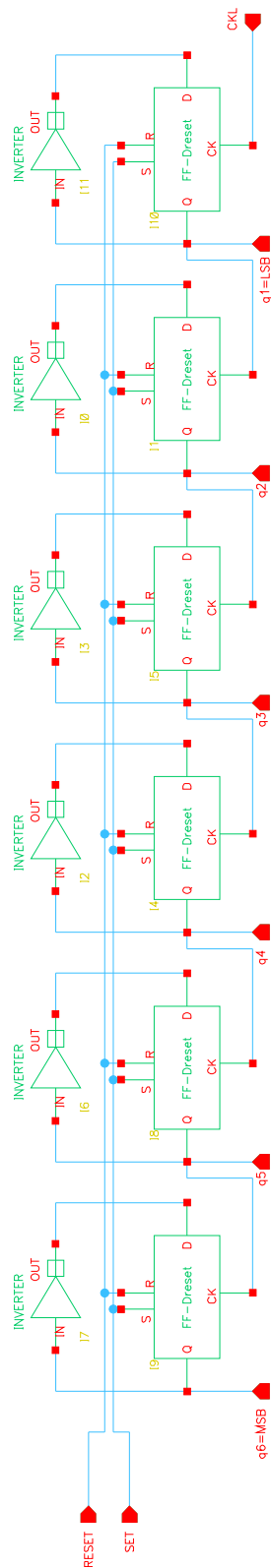


Figura 4.20: Contatore a 6bit

4.4 Dimensionamento circuitale

Nella sezione 4.2 sono stati analizzati i circuiti base che compongono ogni sottoparte del circuito. I vari componenti a MOS sono stati dimensionati per essere ottimali con tempi di propagazione minimi. In questa sezione vengono invece analizzati e dimensionati i componenti o blocchi principali, le cui caratteristiche incidono direttamente sulle specifiche richieste per il lavoro di tesi (4.1).

4.4.1 Generatore di clock

La frequenza di campionamento pari a $f_S = 1MHz$ richiesta impone che il campione in ingresso all'ADC-I resti costante per $T_S = 1\mu s$. Per procedere con il dimensionamento del generatore di clock bisogna imporre che il $T_{conv} \leq T_S$ così da garantire che la conversione da analogico a digitale avvenga senza perdita di informazione. Essendo $T_{conv} = T_1 + T_2$ ed essendo $T_1 = T_2 = 2^6 \cdot T_{clk}$ con campione massimo in ingresso, la scelta di T_{clk} determina direttamente la durata del tempo di conversione. Quindi:

$$\begin{aligned} T_1 + T_2 = 1\mu s &\Rightarrow 2^6 \cdot T_{clk} + 2^6 \cdot T_{clk} = 1\mu s \\ \Rightarrow T_{clk} = \frac{1\mu s}{2 \cdot 2^6} &\Rightarrow T_{clk} = 7.81ns \end{aligned}$$

Nel tempo di conversione deve essere inclusa anche la fase di reset dei flip-flop e scarica del condensatore che avviene tramite l'abilitazione del SOC. Si sceglie quindi di ridurre ulteriormente il periodo di clock a $T_{clk} = 7ns$ ottenendo un tempo effettivo di conteggio pari a

$$2^6 \cdot T_{clk} + 2^6 \cdot T_{clk} = 896 ns$$

e 104 ns a disposizione per il segnale SOC. La scelta fatta per il segnale di SOC è la seguente: un impulso di durata 50 ns a livello logico alto e i restanti 950 ns a livello logico basso, ricordando che quest'ultimo equivale a "conversione avviata".

4.4.2 Integratore

La parte di progetto principale del lavoro di tesi verte sul dimensionamento di questo blocco. Il componente chiave è l'amplificatore operazionale scelto dalla libreria dei componenti quasi ideali. I parametri impostati per il funzionamento richiesto sono:

$$\begin{aligned} Gain &= 10K \\ GBW &= 10M \\ R_{in} &= 100M\Omega \\ R_{out} &= 100\Omega \\ SlewRate &= 10MV/\mu s \end{aligned}$$

Le tensioni di alimentazione sono $V_{DD} = 3.3\text{ V}$ e $V_{SS} = 0\text{ V}$ ed essendo un modello quasi ideale ci si aspetta che i livelli di uscita in saturazione siano all'incirca quelli di alimentazione. Questo modello dell'amplificatore necessita però di una tensione $V_{AOref} = 1.6\text{ V}$ ricavata sperimentalmente testando il componente stesso. In fase di progettazione si sceglie di utilizzare una massa analogica $V_{offset} = 1.65\text{ V}$ per due principali motivazioni: garantire il corretto funzionamento e polarizzazione dei MOS interni all'amplificatore nel caso questo non fosse un componente ideale e utilizzare un segnale di ingresso V_{in} con una variazione compresa tra V_{SS} e 1.65 V . Infatti, come specificato nella sezione 3.2, il segnale di ingresso V_{in} deve essere negativo rispetto alla massa analogica. Un'osservazione molto importante riguarda i campioni V_{in} in ingresso all'ADC-I: il campione pari a 0 V indica il campione massimo in quanto è più distante da V_{offset} ; il campione minimo, invece, è quello più vicino a V_{offset} . Per comprendere meglio questo ragionamento si osservi la figura 4.21.

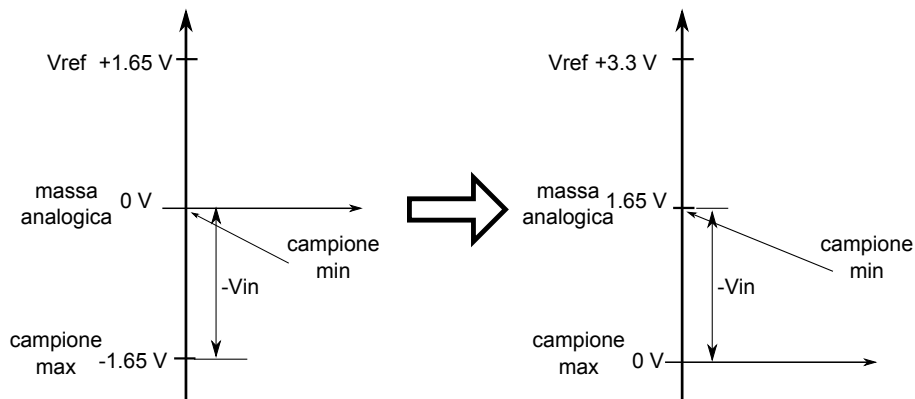


Figura 4.21: Passaggio da massa analogica 0 V a massa analogica con $V_{offset} = 1.65\text{ V}$

Inoltre la scelta di tale massa analogica garantisce il funzionamento dell'integratore con una V_{ref} che appartiene al range di funzionamento dell'intero circuito. Riassumendo, tutti i segnali che afferiscono al circuito sono compresi tra $V_{DD} = 3.3\text{ V}$ e $V_{SS} = 0\text{ V}$. Come spiegato nella sezione 3.2, l'integratore genera in uscita una rampa V_x con pendenza positiva; impostando come massa analogica 1.65 V si fa in modo che la variazione di V_x avvenga tra 1.65 V e la $V_{sat,MAX}$ pari a 3.3 V . Per garantire il corretto funzionamento dell'integratore è stato necessario inserire un interruttore, S_2 , in parallelo al condensatore. La sua funzione è quella di scaricare il condensatore prima di avviare la fase di integrazione. L'interruttore S_2 è anch'esso realizzato a gate transmission e dimensionato come riportato nella sezione 4.2.2. Il parametro principale da dimensionare in questo blocco è la costan-

te di tempo $\tau = R \cdot C$ dalla quale dipende la velocità di salita della rampa in uscita. Adattando l'equazione 3.3 alla configurazione con $V_{offset} = 1.65 V$

$$V_x(T_1) = -\frac{V_{in}}{RC} \cdot T_1 + V_{offset}$$

e impostando in ingresso il campione massimo, l'uscita V_x deve raggiungere nel tempo T_1 il valore massimo $V_{sat_{MAX}}$.

$$\begin{aligned} 3.3 &= \frac{1.65}{RC} \cdot T_1 + 1.65 \\ RC &= \frac{T_1 \cdot 1.65}{3.3 - 1.65} \Rightarrow RC = 448ns \end{aligned}$$

Fissando la resistenza $R = 50K\Omega$ si calcola la capacità $C = 8.96pF$. In questo modo il tempo di salita della rampa è uguale al tempo di conteggio da 0 a 2^6 del contatore. Quando il contatore raggiunge l'overflow, la logica di controllo fa commutare il segnale S_1 e l'integratore può scaricare la capacità avendo in ingresso una tensione V_{ref} positiva. Per dimensionare la tensione V_{ref} in modo ottimale si utilizza l'equazione 3.7:

$$T_2 = T_1 \left(\frac{V_{in}}{V_{ref}} \right)$$

e si considera che nel caso in cui si sta integrando il campione massimo, il tempo $T_2 = T_1$. Da questo si ottiene che

$$V_{ref} = 1.65 V$$

Anche questa tensione deve essere traslata di un offset $V_{offset} = 1.65 V$ a causa della massa analogica diversa da $0 V$. In valore effettivo della tensione di riferimento è $V_{ref} = 1.65 + V_{offset} = 3.3 V$. In corrispondenza del campione massimo in ingresso il contatore effettua per 2 volte il ciclo completo di conteggio fornendo in uscita il numero binario $111111 = 64$ in decimale, come da specifiche di progetto. Il segnale in ingresso varia in un intervallo pari a $0 V \leq V_{in} \leq 1.65 V$, quindi $V_{LSB} = \frac{1.65}{2^6} \Rightarrow V_{LSB} = 25.78 mV$. L'errore di quantizzazione che ci si aspetta sarà pari a $-12.89 mV \leq e_q(kT_s) \leq 12.89 mV$ come da definizione.

4.4.3 Comparatore di tensione

Anche per il comparatore di tensione si utilizza lo stesso modello quasi ideale dell'integratore. La configurazione utilizzata è differente dalla precedente:

$$Gain = 10K$$

$$GBW = 10G$$

$$R_{in} = 100M\Omega$$

$$R_{out} = 100\Omega$$

$$SlewRate = 10GV/\mu s$$

$$V_{DD} = 3.3 V$$

$$V_{SS} = 0 V$$

$$V_{AOref} = 1.6 V$$

Il comparatore implementato è un comparatore non invertente: quando la tensione V_x in uscita dall'integratore è maggiore della soglia pari a V_{IN_n} , l'uscita del comparatore (EOC) è a livello logico 1. La scelta della V_{IN_n} è obbligata direttamente dalla massa analogica dell'integratore che precede il blocco comparatore: scegliendo la tensione di soglia uguale alla massa analogica si garantisce che non appena la conversione ha inizio e in ingresso del comparatore, essendo la tensione $V_x \geq 1.65 V$, il segnale EOC in uscita sia a livello logico alto e quindi abiliti il passaggio del clock dall'oscillatore al contatore. Solo quando la rampa con pendenza negativa assumerà un valore di tensione inferiore a $1.65 V$, il segnale EOC sarà uguale al livello logico basso e il passaggio del clock sarà interrotto fermando il conteggio.

Capitolo 5

Simulazione

Nelle pagine seguenti sono riportati i grafici ottenuti dalle varie simulazioni. Dal grafico 5.2 si osserva che i livelli di saturazione in uscita per l'amplificatore operazionale non sono quelli ipotizzati nella sezione 4.4.2 ma:

$$\begin{aligned}V_{sat_{MIN}} &= 340 \text{ mV} \\V_{sat_{MAX}} &= 2.95 \text{ V}\end{aligned}$$

Questa variazione del livello di saturazione massimo da 3.3 V a 2.95 V comporta un ricalcolo dei parametri dell'integratore. Dopo varie simulazioni la massa analogica scelta è di 1.6 V per ottenere:

$$0 \text{ V} \leq V_{in} \leq 1.6 \text{ V} \Rightarrow V_{LSB} = \frac{1.6}{2^6} = 25 \text{ mV}$$

La nuova costante di tempo RC :

$$\begin{aligned}2.95 &= \frac{1.6}{RC} \cdot T_1 + 1.6 \\RC &= \frac{T_1 \cdot 1.6}{2.95 - 1.6} \Rightarrow RC = 530 \text{ ns}\end{aligned}$$

Fissando la resistenza $R = 50 \text{ K}\Omega$ si calcola la capacità $C = 10.6 \text{ pF}$. Il valore sperimentale ottimale è di $C = 10 \text{ pF}$. Non è stato necessario ridimensionare i parametri del comparatore in quanto la logica di controllo che utilizza il segnale EOC generato da esso, essendo una logica digitale, presenta un margine di rumore del livello logico alto che comprende il valore $V_{sat_{MAX}} = 2.95 \text{ V}$.

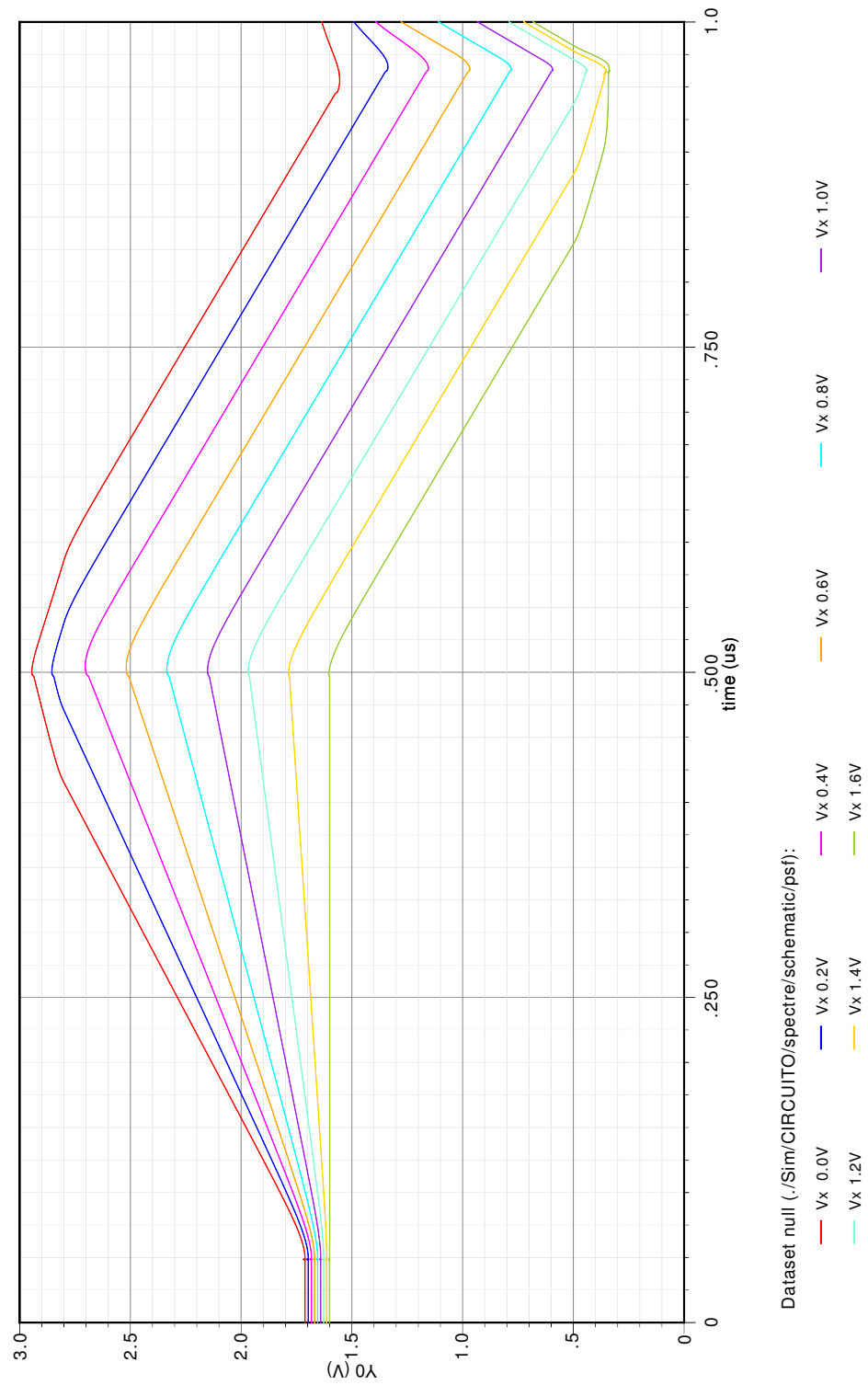


Figura 5.1: Andamento temporale della tensione V_x in uscita dall'integratore ottenuta con simulazione parametrica del campione in ingresso $V_{in} \in [0 \text{ V}, 1.6 \text{ V}]$, con step size di 200mV

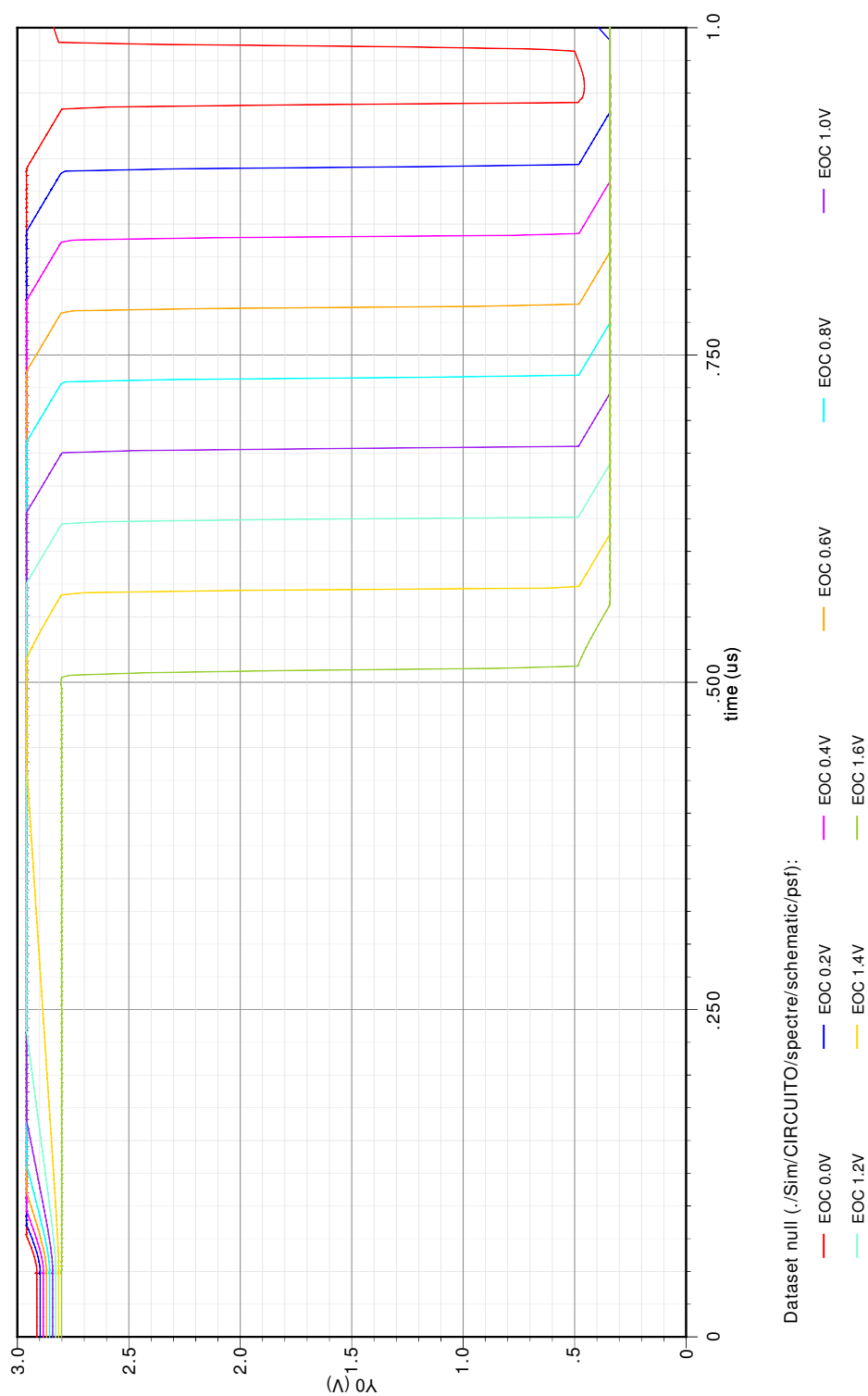


Figura 5.2: Andamento temporale del segnale EOC in uscita dal comparatore di tensione ottenuta con simulazione parametrica del campione in ingresso $V_{in} \in [0 V, 1.6 V]$, con step size di 200mV
 La commutazione da livello logico alto a livello logico basso avviene in corrispondenza del passaggio da $V_x > 1.6$ a $V_x < 1.6$

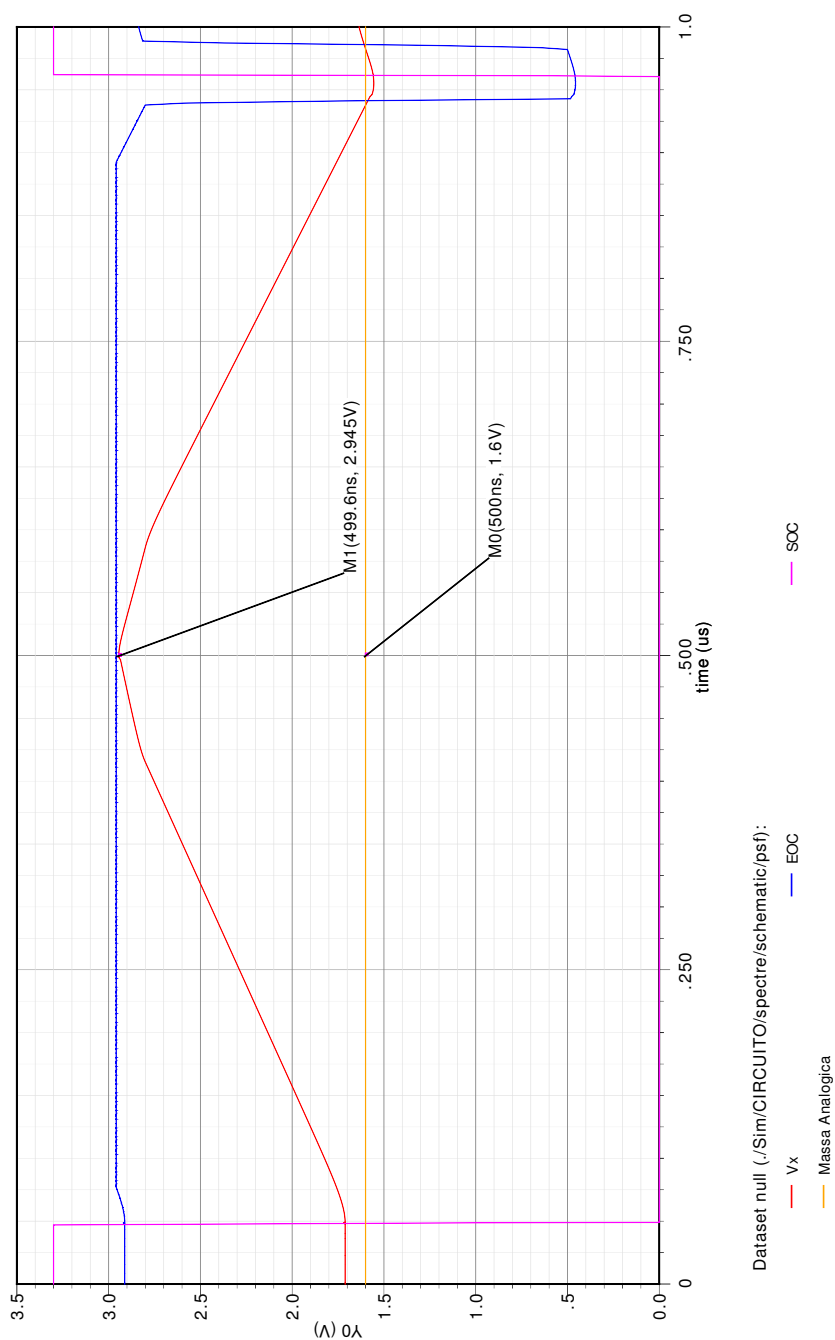


Figura 5.3: Simulazione con segnale di ingresso $V_{in} = 0 V$ (campione massimo).

Sono graficati:

- l'andamento temporale della tensione V_x in uscita dall'integratore di tensione;
- l'andamento temporale del segnale EOC in uscita dal comparatore di tensione;
- l'andamento temporale del segnale SOC che gestisce la conversione.

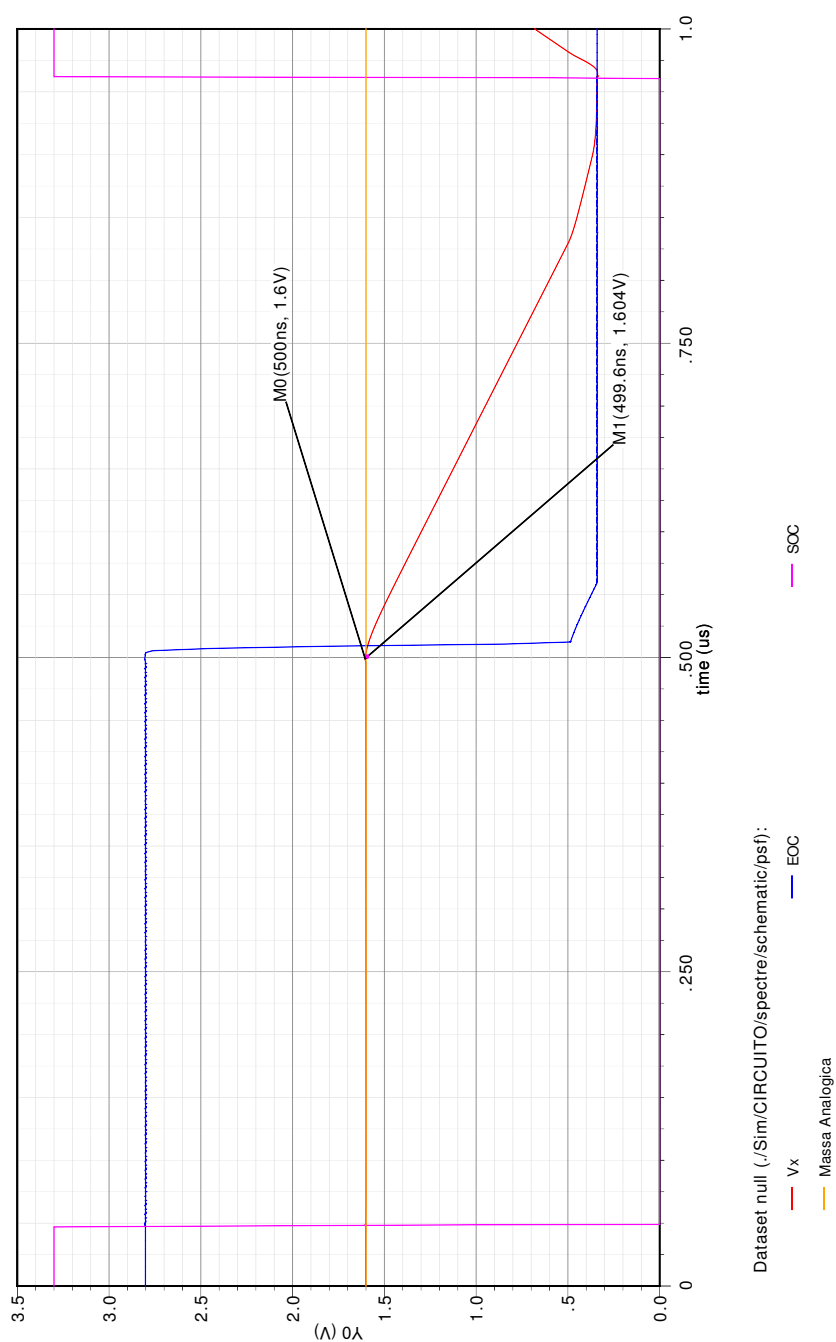


Figura 5.4: Simulazione con segnale di ingresso $V_{in} = 1.6 V$ (campione minimo).

Sono graficati:

- l'andamento temporale della tensione V_x in uscita dall'integratore di tensione;
- l'andamento temporale del segnale EOC in uscita dal comparatore di tensione;
- l'andamento temporale del segnale SOC che gestisce la conversione.

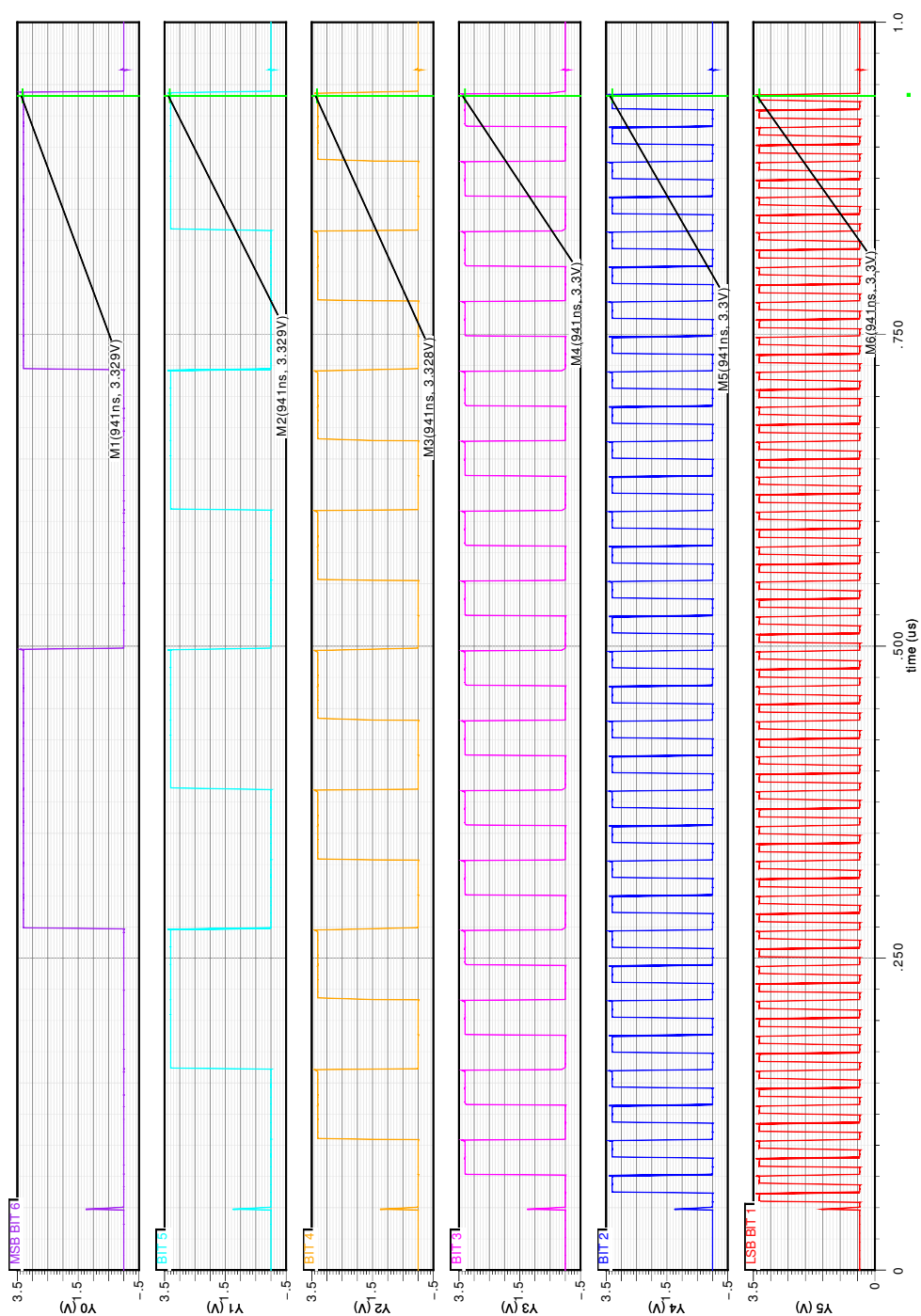


Figura 5.5: Evoluzione temporale dei bit in uscita del ADC-I per la conversione del campione massimo $V_{in} = 0V$

Leggendo i livelli di tensione in corrispondenza della commutazione da 1 \rightarrow 0 del segnale EOC (non graficata ma temporalmente indicata dal marker verticale in verde) si ottiene la codifica $B_{out} = 111111$

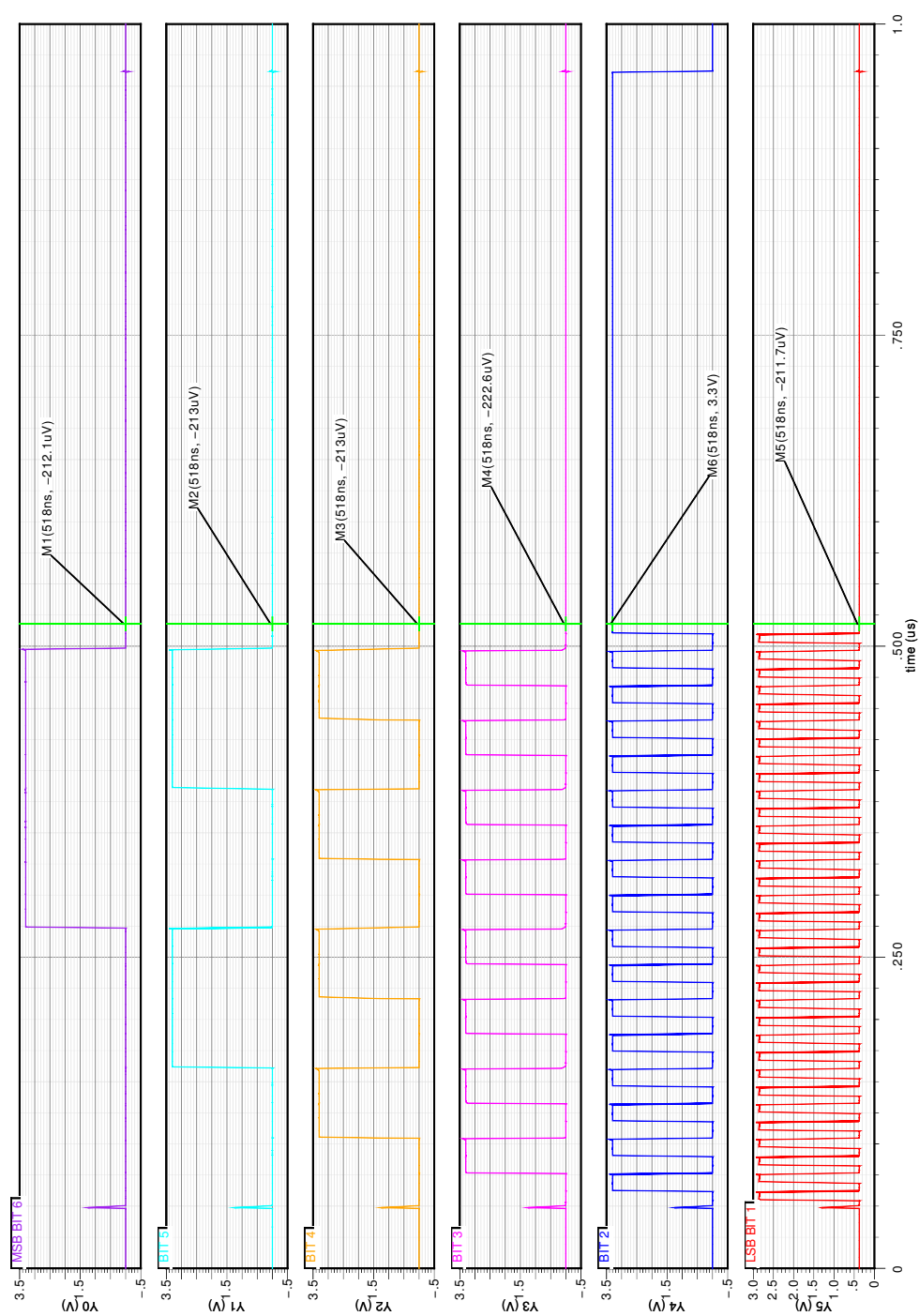


Figura 5.6: Evoluzione temporale dei bit in uscita del ADC-I per la conversione del campione minimo $V_{in} = 1.6V$

Leggendo i livelli di tensione in corrispondenza della commutazione da 1 \rightarrow 0 del segnale EOC (non graficata ma temporalmente indicata dal marker verticale in verde) si ottiene la codifica $B_{out} = 000010$

Osservando il codice prodotto in figura 5.6, si nota la presenza di un errore: al campione minimo dovrebbe corrispondere il codice di uscita $B_{out} = 000000$, invece il codice prodotto è $B_{out} = 000010$. Lo stesso errore è anche osservabile nel grafico 5.4: il segnale EOC commuta con un tempo di ritardo che permette al contatore di contare appena due impulsi di clock e generare in uscita $B_{out} = 000010$. Chiaramente questo è il caso di errore di offset come spiegato nella sezione 2.2. La caratteristica ingresso-uscita a gradini sarà quindi decentrata rispetto all'andamento ideale.

Per quantificare sperimentalmente il passo di quantizzazione o V_{LSB} si è effettuata una simulazione parametrica del campione in ingresso:

Range = V_{in} from 800 mV to 850 mV

Step control = linear steps

Step size = 2 mV

Effettuando una simulazione parametrica con steps così piccoli si può valutare quando effettivamente si ha il cambio di livello di quantizzazione analizzando il codice in uscita. I risultati di questa simulazione non sono apprezzabili dall'andamento di V_x (riportato nella figura seguente).

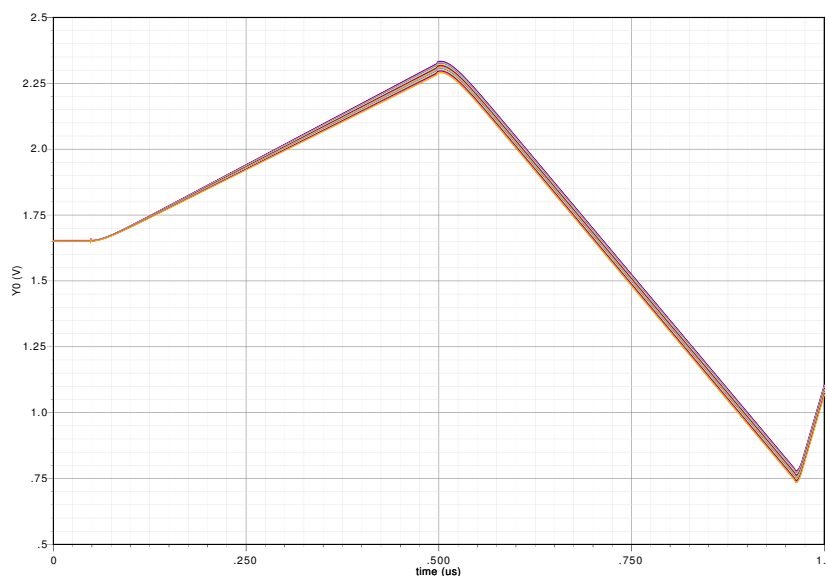


Figura 5.7: Andamento temporale della tensione V_x in uscita dall'integratore ottenuta con simulazione parametrica del campione in ingresso $V_{in} \in [800 \text{ mV}, 800 \text{ mV}]$, con step size di 2mV

Dati più interessanti si estrapolano dall'analisi temporale dell'andamento

delle uscite del contatore (non vengono riportate le relative figure perchè queste presentano grafici sovrapposti). In sintesi:

$$V_{in} \in [800 \text{ mV}, 808 \text{ mV}] \Rightarrow B_{out} = 100010$$

$$V_{in} \in [810 \text{ mV}, 836 \text{ mV}] \Rightarrow B_{out} = 100001$$

$$V_{in} \in [838 \text{ mV}, 850 \text{ mV}] \Rightarrow B_{out} = 100000$$

Si può quindi osservare come il passo di quantizzazione o V_{LSB} corrisponda a $1LSB = 836 - 810 = 26 \text{ mV}$ rispetto ai 25 mV previsti dai calcoli effettuati in precedenza. L'errore di quantizzazione calcolato sperimentalmente corrisponde a 13 mV , molto vicino a quello calcolato in precedenza pari a 12.89 mV . Non è stato possibile calcolare gli errori di non linearità perchè questi calcoli necessitano dell'intera caratteristica ingresso-uscita a gradini e non solo di una simulazione parametrica per un breve intervallo di variazione di V_{in} .

Conclusioni

Dal lavoro svolto si possono trarre alcune conclusioni riguardo alla modalità di progettazione di un circuito elettronico. Risulta evidente come i calcoli eseguiti manualmente siano insufficienti da soli per l'implementazione del circuito, infatti possono essere considerati come un punto di partenza e necessitano l'uso di un calcolatore per valutare nel modo più esatto possibile i parametri del circuito. Il circuito realizzato in questa tesi è passato attraverso entrambi gli steps: nel primo passo di progettazione sono stati calcolati tutti i parametri utili per raggiungere l'obiettivo richiesto, ma con la prima simulazione i risultati ottenuti non sono stati quelli aspettati. È stato necessario ricalcolare i parametri fondamentali per ottenere una seconda simulazione molto più veritiera. Nonostante questo, alcuni parametri sono stati impostati in modo sperimentale per cercare di ottenere risultati ottimali. In conclusione è evidente come il processo di progettazione di un circuito sia una continua sistemazione dei parametri e modificazione del circuito in modo da avvicinarsi il più possibile alle specifiche desiderate.

Bibliografia

- [1] D. A. Johns, K. Martin, *Analog Integrated Circuit Design*, Wiley
- [2] P. E. Allen, *CMOS Analog Circuit Design*, Oxford University Press
- [3] R. C. Jaeger, T. N. Blalock, *Microelettronica*, McGraw-Hill
- [4] J. Rabaey, A. Chandrakasan, B. Nicolic, *Circuiti integrati digitali*, Prentice Hall