



UNIVERSITÀ DEGLI STUDI DI PADOVA
EX-FACOLTÀ DI INGEGNERIA
CORSO DI LAUREA IN
INGEGNERIA ELETTRONICA

Tesi di laurea Magistrale

**Sviluppo di un test pattern generator
per il detector PERCIVAL**

Relatore:

C.mo Prof. Luca Poletto

Correlatori:

Dott. Giuseppe Cautero

Dott. Luigi Stebel

Sig. Dario Giuressi

Laureando:

Giovanni Pinaroli

Anno Accademico 2014 - 2015

"The only easy day was yesterday"
"L'unico giorno facile era ieri"

Motto dei Navy SEALs

Indice

Introduzione	1
1 Sorgenti di luce	5
1.1 Luce di sincrotrone	5
1.2 Laser a elettroni liberi FEL	7
1.3 La realtà di Elettra e Fermi	9
2 Fotorivelatori per luce FEL	13
2.1 CCD e APS CMOS	13
2.2 CCD per applicazioni con luce FEL	16
2.3 pnCCD	20
2.3.1 Elettronica di lettura	25
3 PERCIVAL	27
3.1 Parte del sistema in vuoto	32
3.1.1 LTCC	32
3.1.2 Il sensore	34
3.2 Parte del sistema in aria	36
3.2.1 Carrier board	36
3.2.2 Plug-in	37
3.2.3 Firmware	37
4 Test pattern generator	39
4.1 FPGA e firmware	41
4.1.1 Macchina a stati finiti	42
4.1.2 Firmware implementato	43
4.2 Circuito stampato	47
4.2.1 Circuito di test	49
4.2.2 Filtraggio dei segnali d'ingresso	53
4.2.3 Linee differenziali e connessioni multi-drop	54
4.2.4 Wire bonding	56

4.3	Interfaccia LabVIEW	60
4.3.1	Continuous_mode	60
4.3.2	Data_mode	61
5	Misure effettuate	63
5.1	Integrità del segnale	63
5.2	Il diagramma ad occhio	64
5.3	Preparazione del banco di prova	65
5.4	Misure effettuate	67
5.5	Considerazioni sulle misure eseguite	79
6	Scheda “<i>adapter</i>”	81
6.1	Test supplementari	84
	Conclusioni	87
	Bibliografia	89
A	Schematico della scheda di test e del connettore	93
B	Schematico “Adapter board”	95
C	Piedinatura “Adapter board”	97

Introduzione

La continua evoluzione delle sorgenti di sincrotrone e l'avvento delle sorgenti di quarta generazione, Free Electron Laser (FEL), stanno rivoluzionando le numerosissime applicazioni che utilizzano tecniche di analisi con radiazione che va dai raggi UV ai raggi X. In particolare, l'intensità e la coerenza degli impulsi di radiazione generati dai laser ad elettroni liberi nell'ultravioletto e nei raggi X soffici, in combinazione con la polarizzazione variabile ed i diversi modi di correlazione temporale, aprono nuove frontiere, sino ad ora inesplorate alla ricerca. In conseguenza a tutto questo movimento dovrà seguire, di pari passo, lo sviluppo di nuove tecnologie per la rivelazione di tali particelle per rendere sempre più efficienti tali tecniche di analisi.

Gli esperimenti con radiazione generata da FEL, realizzabili solo a partire dagli ultimi decenni, hanno come risultato della misura delle immagini, una per ogni impulso di fotoni, che risultano dall'interazione della luce col campione in esame. In questa configurazione è necessario poter disporre di rivelatori che lavorino con lo stessa frequenza di impulso dei FEL. Questa, per la maggior parte delle sorgenti attualmente in funzione, è compresa tra qualche decina di Hz fino a qualche centinaia di Hz. In alcuni esperimenti un singolo impulso (bunch) generato da FEL è composto da circa 10^{13} fotoni della durata di qualche centinaia di femtosecondi e con un tasso di ripetizione che può essere compreso tra la decina di ms al centinaio di ms. Dopo il monocromatore ed eventuali slit d'uscita (come nel caso di DIProI¹) i fotoni si riducono a circa $10^5 \div 10^6$ e questi interagiscono con il campione posizionato nell'apposita camera sperimentale. Così, un rivelatore (detector) ottimizzato per esperimenti di questo tipo deve essere in grado di gestire in modo affidabile un'ampia dinamica di fotoni consentendo anche il conteggio del singolo fotone, idealmente quindi da 1 a 10^5 fotoni.

Questa configurazione del segnale in arrivo sul rivelatore, dove tutti i fotoni giungono contemporaneamente sul rivelatore, è decisamente più difficile da affrontare rispetto ai casi, già di per loro molto complessi, presentati dai rivelatori posti su sorgenti di terza generazione dove i fotoni giungono quasi

¹DIProI è una delle stazioni sperimentali per il FEL FERMI presso ELETTRA, TS.

distribuiti uniformemente nel tempo.

È facile rendersi conto che un approccio “classico” pensato per le sorgenti di terza generazione, per esempio costituito da MCP (microchannel plate) e delay lines, è inutilizzabile in queste condizioni. Infatti questo tipo di approccio non è più valido nel caso più di una particella raggiunga il rivelatore entro una finestra temporale dell’ordine dei nanosecondi, cosa assai improbabile nel caso dei sincrotroni e praticamente certa, invece, nel caso dei FEL. È dunque necessario poter disporre di un sistema di rivelazione totalmente differente, compatibile con le condizioni di lavoro con luce FEL, e la soluzione che appare più indicata è quella di un rivelatore del tipo pixel detector.

Al momento l’unica risposta parzialmente adeguata a queste esigenze è stata data dall’ormai famoso sistema realizzato circa 5 anni fa dal Prof. L. Strüder, noto come pn-CCD.

Tale rivelatore (del quale verrà fornita una descrizione nel corso di questa tesi), esistente in un’unica copia che viene portata sui diversi FEL a seconda dell’esperimento per cui è necessaria, presenta tuttavia dei punti deboli che lo rendono inadeguato per alcune sorgenti. Per questo motivo è nata l’idea di sviluppare un secondo rivelatore, che si basi su tecnologia CMOS anziché CCD, che sia in grado di acquisire impulsi anche dai FEL più impegnativi dal punto di vista dell’acquisizione.

Il progetto in questione noto come progetto **PERCIVAL** (**P**ixelated **E**nergy **R**esolving **C**MOS **I**mager, **V**ersa-tile and **L**arge) è frutto di una vasta collaborazione internazionale. Si tratta di un progetto che vede impegnati circa quaranta tra fisici, ingegneri, informatici e tecnici nello sforzo di realizzare quello che sarà il più performante rivelatore mai sviluppato per macchine di luce di quarta generazione. Complessivamente il sistema sarà costituito da $64Mpixel$, organizzati in quattro celle da circa 4000×4000 pixel in formazione “*cloverleaf*”, che verranno letti ed elaborati alla frequenza di $120Hz$, per un flusso pari a circa $60Gbyte/s$. La grande complessità di questo progetto impone di sviluppare in parallelo i dispositivi quali il front-end CMOS, l’elettronica in vuoto, l’elettronica in aria, il sistema di memorizzazione dei dati e vari firmware, che andranno a costituire il sistema complessivo. Il ruolo principale di Elettra, in particolare del laboratorio di strumentazione e detectors (LSD), è quello di sviluppare buona parte dell’elettronica “in aria” ovvero la cosiddetta “carrier board”, il firmware di controllo per l’FPGA che gestirà l’intero sistema e l’interfaccia LabVIEW per gli utenti. Uno dei problemi che questo approccio di sviluppo parallelo comporta è l’impossibilità di poter testare le varie sezioni prese singolarmente non avendo a disposizione il resto del sistema. In particolare, la “carrier board” e il relativo firmware non potranno essere testate fino a che il chip detector non sarà pronto e funzionante. I lavori su questo fronte sono a cura del RAL e DIAMOND e, visti

i complessi processi tecnologici per la realizzazione del detector, i tempi di lavorazione e produzione risultano assai lunghi. Si è venuta a creare quindi la necessità di sviluppare un sistema in grado di generare dei segnali digitali analoghi a quelli che, stando alle specifiche fornite dal RAL, costituiranno l'input del sensore in vuoto. Si è cercato pertanto di realizzare un dispositivo che simuli quanto più fedelmente possibile il comportamento del detector vero e proprio a partire dai segnali che dovranno essere generati, ricreando la loro estrazione fisica dal supporto tramite delle connessioni **multi-drop** realizzate con la tecnica di **wire bonding** della quali verrà fornita una precisa descrizione nella tesi. La progettazione e la realizzazione di tale dispositivo ha costituito la parte centrale del lavoro da me svolto e qui descritto. L'utilizzo delle connessioni "multi-drop", che verranno descritte nei successivi capitoli, si è reso necessario per via della particolare struttura del CMOS, che prevede la presenza di moltissime righe di pixel che ricevono il medesimo segnale. Tali connessioni rappresentano una soluzione molto elegante ma allo stesso tempo rischiosa in quanto non è mai stata applicata in simili condizioni operative. È stato quindi necessario effettuare uno studio approfondito su questi collegamenti, valutando l'integrità del segnale tramite l'analisi dei diagrammi ad occhio, per poter apprendere i limiti di funzionamento di questo sistema. Grazie al dispositivo da me realizzato è stato possibile valutare il comportamento del segnale che si suppone esso avrà lungo il cammino che porta dal detector, situato all'interno della camera sperimentale (in vuoto), attraverso la flangia di contenimento, fino all'ingresso di tutta l'elettronica in "aria". In particolare, si è voluto analizzare il comportamento delle connessioni multi-drop, le quali rappresentano una grossa fonte di incertezza sull'affidabilità della trasmissione dei segnali. Come verrà illustrato nella tesi la progettazione e realizzazione di questo apparato di test ha interessato tutti gli aspetti dell'elettronica dalla creazione di appositi circuiti stampati con un design pensato ad hoc, la scelta dei componenti da utilizzare, l'implementazione di un firmware dedicato con il quale, grazie all'utilizzo di un'FPGA, sarà possibile generare un generico segnale digitale di test e la creazione di un'interfaccia utente tramite il software LabVIEW.

Tale strumento risulterà molto prezioso in fase di debugging dell'elettronica di acquisizione, quando la luce FEL non potrà essere disponibile per testare il prototipo e sarà necessario operare dei test in laboratorio.

Con questa tesi, intendo descrivere il lavoro da me svolto durante l'anno trascorso (marzo 2014-febbraio 2015) presso il laboratorio di strumentazione e detectors di ELETTRA. In particolare verrà trattato nel dettaglio lo sviluppo di tutta l'elettronica, dei firmware FPGA e LabVIEW sviluppati per la creazione di questo test pattern generator. Verranno quindi riportate le modalità dei test svolti con i relativi risultati atti a valutare l'integrità dei

segnali d'interesse. Inoltre verrà presentato nel dettaglio un primo prototipo di scheda “*adapter*”, da me progettata e realizzata, necessaria per permettere la comunicazione del sistema PERCIVAL con l'elettronica della facility che intende utilizzare tale strumento. Aggiungo infine, con orgoglio, che i risultati di questo mio lavoro sono già stati presentati da me ad un incontro tra le varie parti della collaborazione, svolto a fine dello scorso novembre presso il sincrotrone inglese DIAMOND e hanno fornito chiare indicazioni su alcuni accorgimenti che dovranno essere inclusi nel design finale del progetto.

La tesi si svilupperà nel seguente modo:

- **prima parte: Stato dell'arte** delle sorgenti di terza e quarta generazione con particolare riferimento ad ELETTRA e Fermi (Capitolo 1). Inoltre, verrà fatta una panoramica dei rivelatori utilizzati per gli esperimenti con luce FEL (Capitolo 2).
- **seconda parte: Progetto PERCIVAL**, gli obiettivi, lo stato dell'arte e le problematiche che questo lavoro andrà ad affrontare (Capitolo 3).
- **terza parte: Il lavoro da me svolto**: progettazione e realizzazione dell'apparato di test, PCB (*printed circuits board*), codice Verilog HDL implementato sulla FPGA, interfaccia LabVIEW (Capitolo 4), i risultati delle prove eseguite con relative le considerazioni (Capitolo 5) e il prototipo di scheda “*adapter*” (Capitolo 6).
- **quarta parte**: Conclusioni e sviluppi futuri.

Capitolo 1

Sorgenti di luce

La radiazione di sincrotrone o luce di sincrotrone è una radiazione elettromagnetica generata da particelle cariche che viaggiano a velocità prossime alla velocità della luce e vengono costrette da un campo magnetico a muoversi lungo una traiettoria curva. Date le sue peculiari caratteristiche, in particolare l'elevata brillantezza e l'ampio intervallo spettrale, tale radiazione risulta essere molto utile come strumento di analisi in numerosi ambiti disciplinari quali fisica, chimica, biologia, medicina e scienze applicate. Le sorgenti di luce presenti attualmente sono acceleratori di particelle in grado di produrre con continuità questo tipo di radiazione, mantenendo stabili le caratteristiche radiometriche; inoltre, in molti sincrotroni di ultima generazione l'energia dei fotoni emessi è accordabile su di un ampio spettro, che può andare dall'infrarosso ai raggi X duri, permettendo l'implementazione di tecniche sperimentali molto diverse tra loro.

Per chiarire come si possa produrre artificialmente tale radiazione e cosa si intende per sorgente di luce di ennesima generazione, nella sezioni seguenti verrà qui in seguito presentata brevemente l'evoluzione di questi acceleratori attraverso le varie generazioni che si sono succedute negli scorsi decenni.

1.1 Luce di sincrotrone

La radiazione prodotta nell'anello viene trasferita alle linee sperimentali situate all'esterno attraverso dei tratti d'uscita detti *front end*. L'insieme degli apparati (camera da vuoto, ottiche, ecc.) coinvolti nella manipolazione e nel trasporto della luce fino alla stazione sperimentale è detto beamline o linea di luce. Come è stato detto in precedenza, la composizione e il funzionamento delle diverse beamline può variare profondamente a seconda la tecnica sperimentale per cui ciascuna linea è predisposta.

Normalmente, il fascio di luce percorre la beamline lungo dei tubi mantenuti in vuoto, questo permette di evitare interazioni coi gas le quali risulterebbero estremamente estremamente dannose per il fascio di luce; il livello di vuoto necessario dipende principalmente dall'energia dei fotoni e dalle esigenze sperimentali. A valle del front end vi è una prima stazione (*hutch ottica*) dove sono situati gli eventuali elementi ottici (specchi focalizzanti, monocromatori, ecc.) assieme a valvole e shutter per bloccare il passaggio della luce. Più a valle si può trovare la hutch sperimentale, dove è situata la camera sperimentale e tutta la strumentazione necessaria per eseguire l'esperimento[13].

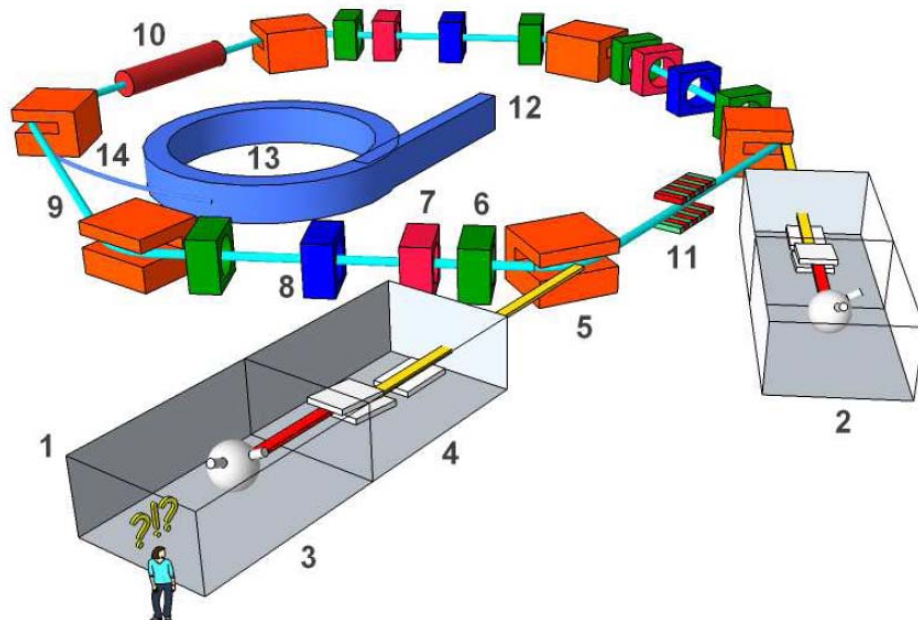


Figura 1.1: Rappresentazione semplificata della struttura di un sincrotrone di terza generazione; forme, scale e composizione sono puramente indicative; 1) beamline da onduttore; 2) beamline da bending; 3) hutch sperimentale; 4) hutch ottica; 5) magnete curvante; 6) magnete quadrupolo; 7) magnete sestupolo; 8) magnete steering; 9) camera da vuoto dell'anello di accumulazione; 10) cavità a RF; 11) dispositivo d'inserzione; 12) linac; 13) booster; 14) linea di trasferimento.

1.2 Laser a elettroni liberi FEL

Nonostante l'elevata brillantezza spettrale delle sorgenti di terza generazione, diverse tecniche di analisi richiedono prestazioni ben più precise in termini di monocromaticità, coerenza e durata degli impulsi, in particolare ad energie di decine di elettronvolt o superiori¹. A basse energie, le sorgenti laser convenzionali sono in grado di soddisfare almeno parzialmente tali requisiti, producendo luce spazialmente e temporalmente coerente, con impulsi dell'ordine del femtosecondo. Come verificato già negli anni '70, si può produrre luce laser sfruttando particolari fenomeni che si verificano al passaggio di elettroni relativistici negli ondulatori. I FEL, basandosi su tali meccanismi piuttosto che sull'eccitazione di un sistema atomico, sono svincolati da livelli di transizione energetica e, pertanto, intrinsecamente accordabili[13].

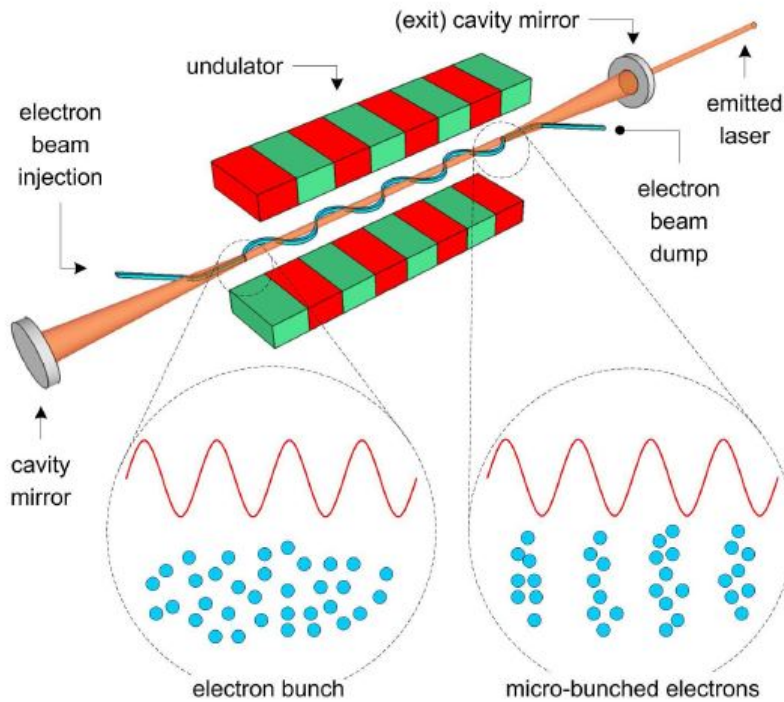


Figura 1.2: Schema di principio di un FEL con cavità di risonanza ottica. Viene messo in evidenza il processo di micro-bunching di un pacchetto elettronico.

¹Si ricorda che l'energia della radiazione emessa è inversamente proporzionale alla sua lunghezza d'onda in base alla relazione $E[eV] = \frac{1240}{\lambda[nm]}$.

Alla base del processo c'è l'interazione tra il fascio di elettroni liberi e la luce da essi generata, che si instaura se sono soddisfatte determinate condizioni di risonanza. Gli elettroni, a causa del moto deflesso, percorrono la lunghezza dell'ondulatore in un tempo maggiore di quello impiegato dai fotoni. Tuttavia, se tale differenza corrisponde alla lunghezza d'onda della radiazione emessa, ad ogni periodo gli elettroni si ritrovano in fase con l'onda che hanno prodotto. In tal caso, è possibile uno scambio di energia tra elettroni e fotoni e può instaurarsi il meccanismo d'amplificazione della radiazione. Se gli elettroni emettessero indipendentemente come avviene nei normali ondulatori, la fase di ciascuno sarebbe scorrelata dagli altri e la luce non sarebbe coerente; tuttavia, anche grazie alla presenza della cavità di risonanza ottica, l'interazione tra la radiazione presente nell'ondulatore e gli elettroni provoca il micro-bunching, ovvero un forte impacchettamento degli elettroni alla lunghezza d'onda della luce stessa. Grazie a questo fenomeno gli elettroni tendono a disporsi ed emettere radiazione di uguale fase della radiazione nella cavità, producendo una radiazione monocromatica e coerente. Per radiazione nel EUV e raggi X non si dispone di elementi ottici in grado di comporre cavità risonanti simili a quelle che lavorano a basse energie. Un meccanismo che rende possibile il funzionamento laser anche in tali regioni spettrali è la self-amplified spontaneous emission (SASE). Questa tecnica si basa sul micro-bunching prodotto dalla stessa radiazione generata dagli elettroni nell'ondulatore. Non essendoci un'onda elettromagnetica di riferimento il processo necessita di notevoli lunghezze ($\sim 100m$) perché una prima fase possa instaurarsi così da generare i micro-bunch. I SASE FEL sono in grado di generare luce pulsata fortemente monocromatica con notevole coerenza spaziale; la durata degli impulsi può scendere alla scala dei femtosecondi con frequenze di ripetizione di $\sim 10 \div 100$ Hz. Questi FEL soffrono tuttavia di mancanza di coerenza temporale, a causa dell'aleatorietà del processo che origina l'emissione. Il problema appena esposto può essere risolto, nello spettro EUV, con l'introduzione di un seed laser il cui compito è di fornire una radiazione di riferimento per l'instaurazione dei processi di micro-bunching e amplificazione. Questa soluzione è stata adottata nel seeded FEL Fermi, anche per sfruttare la riconversione di un linac che non disponeva delle lunghezze chilometriche tipicamente occupate dai SASE FEL. Nello spettro X non esistono sorgenti laser convenzionali e, pertanto, non si può applicare questo schema; per ovviare a questa limitazione e poter arrivare a energie ben superiori ai 100 eV recentemente, si è sperimentato un approccio selfseeded, nel quale il seed laser è un'emissione X dello stesso FEL.

1.3 La realtà di Elettra e Fermi

Elettra, la sorgente italiana di luce di sincrotrone di terza generazione situata a Trieste al servizio della comunità scientifica ed industriale nazionale ed internazionale a partire dal 1993, è stata completamente modificata e rinnovata nel corso del 2009. Il fascio di elettroni che circola nell'anello di accumulazione a velocità prossime a quelle della luce, passando attraverso una serie di dispositivi magnetici quali ondulatori, wiggler e magneti curvanti produce una radiazione di altissima intensità e brillantezza, a frequenze che vanno dall'infrarosso ai raggi x. I fasci di fotoni, raccolti dai sistemi ottici che operano in condizioni di vuoto spinto, vengono collimati lungo le linee di luce per raggiungere le stazioni sperimentali dove sono disponibili diverse tecniche di analisi. La luce prodotta, che risulta essere dieci miliardi di volte più brillante di quella generata da sorgenti di radiazione convenzionali, consente ad un ampio spettro di utenti provenienti da ogni parte del mondo di poter far uso di avanzate tecniche di ricerca e di condurre esperimenti allo stato dell'arte in fisica, chimica, biologia, scienze della vita, scienze dell'ambiente, medicina, scienze forensi e di conservazione del patrimonio culturale.

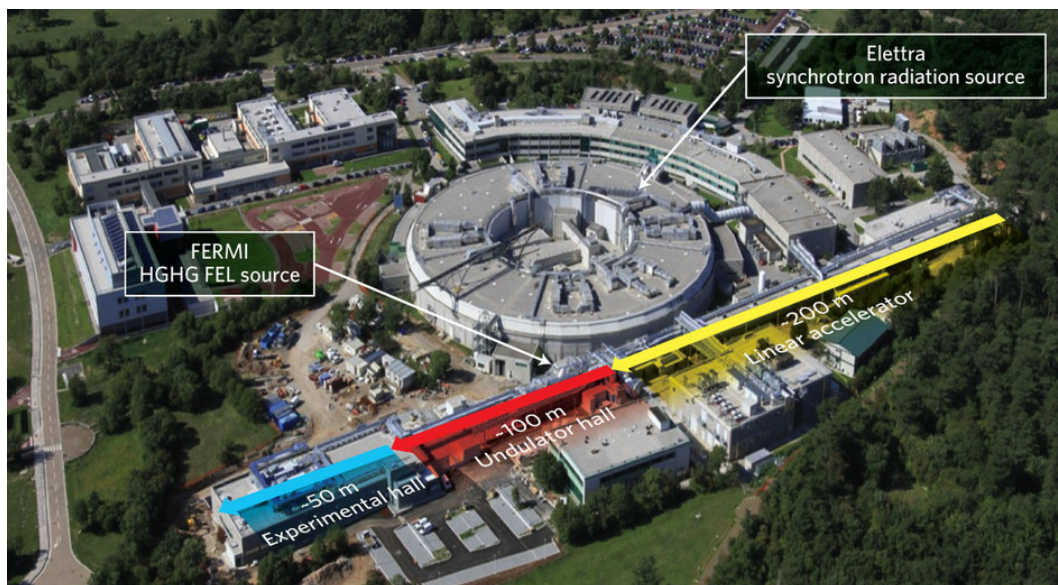


Figura 1.3: Sincrotrone ELETTRA e FEL FERMI di Trieste

Per Elettra, la frequenza operativa è 500 MHz; pertanto, i baricentri dei pacchetti elettronici sono separati di 2 ns; ciascun pacchetto ha una lunghezza di circa 100 ps. L'anello ha una circonferenza di 259 m e può quindi accumulare 432 pacchetti, anche se il normale regime operativo (multi-bunch) raggiunge un livello di riempimento di circa il 95%, con un intervallo quasi privo di cariche di circa 43 ns, detto dark gap.

Elettra è l'unica sorgente al mondo che opera regolarmente a due diverse energie degli elettroni, ossia a 2.0 GeV per accrescere le prestazioni delle spettroscopie che fanno uso di radiazione ultravioletta e di raggi x soffici, e a 2.4 GeV per migliorare l'emissione di raggi x duri, utilizzati negli esperimenti di diffrazione.

La massima corrente di macchina in tale regime è 300 mA, con elettroni a 2 GeV, oppure 140 mA a 2,4 GeV. In alcune sessioni dedicate, si utilizzano modi di riempimento alternativi, tra i quali il più usato è il single-bunch mode, caratterizzato da un unico pacchetto in rivoluzione. In tal caso, il bunch contiene più carica rispetto ad un normale pacchetto, potendo arrivare da solo a quasi 10 mA. In modo multi-bunch il tempo di vita del fascio va dalle 26 ore, a 2 GeV, alle 40 ore a 2,5 GeV. Nel corso del 2010 la macchina di luce di sincrotrone di terza generazione Elettra è stata rinnovata con l'introduzione di un nuovo sistema di iniezione, risultato che le consente di unirsi alla famiglia di macchine che operano per gli utenti in modalità top-up. I miglioramenti ottenuti grazie al nuovo iniettore e ad un grande numero di modifiche all'hardware e al software ora consentono di re-iniettare con continuità gli elettroni persi nel corso delle operazioni e di mantenere costanti nel tempo sia la corrente di elettroni sia il carico termico di tutti i componenti della macchina. Dal momento che l'intensità della radiazione prodotta ed il carico termico dipendono dalla corrente, la modalità operativa in top-up permette di ottenere un considerevole aumento della luminosità media e una maggiore stabilità spaziale del fascio di elettroni che circolano nell'anello. Elettra è la sola sorgente di radiazione di sincrotrone di terza generazione progettata in origine per operare in modalità di decadimento temporale di corrente che sia stata rinnovata con successo per operare in modalità top-up[15].

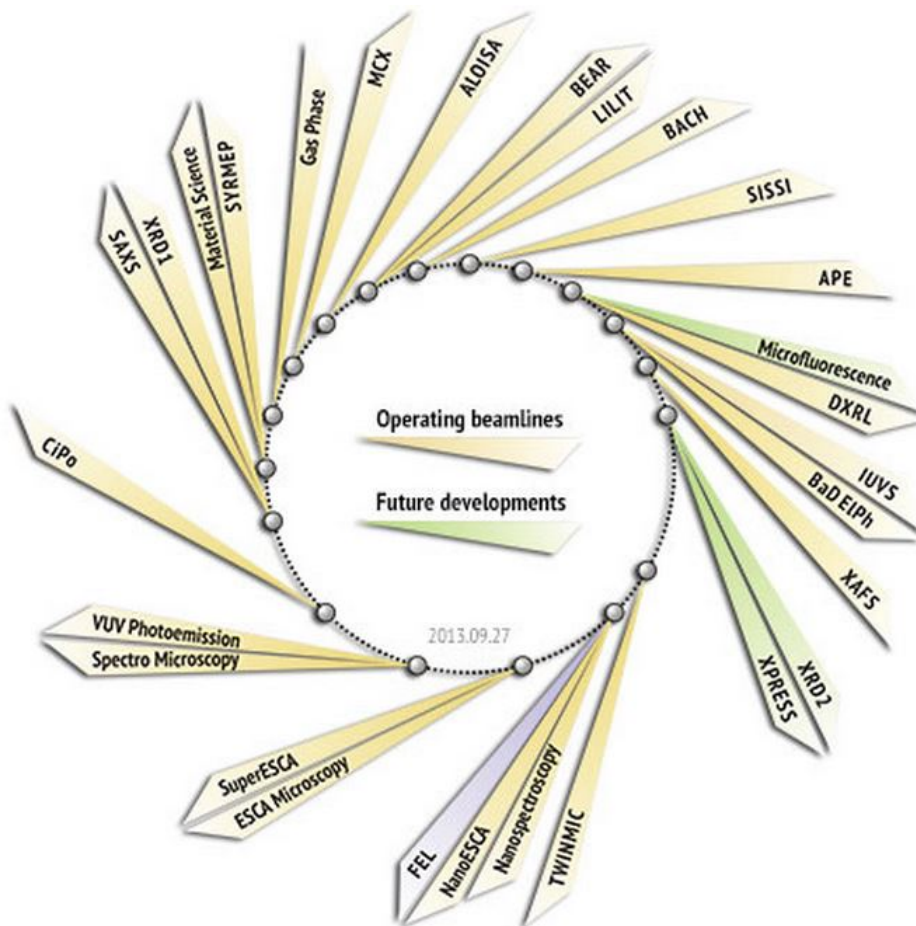


Figura 1.4: Le linee di luce di ELETTRA

Per quanto riguarda FERMI, l'analisi per fotoni, le ottiche e le fenditure per modificare il fascio e le sezioni per la correlazione del fascio vengono utilizzate per caratterizzare, manipolare e trasportare i fasci di fotoni alle diverse stazioni. Le stazioni sperimentali per la raccolta di immagini di diffrazione coerente (DiProI), per l'assorbimento e lo scattering inelastico di raggi x da materiali in condizioni estreme (EIS-TIMEX) e per la fase gassosa e la spettroscopia da cluster (LDM) sono dopo aver attraversato una fase avanza di collaudo sono già utilizzate da diversi utenti, mentre le ulteriori stazioni per la spettroscopia inelastica e a reticolo transiente (EIS-TIMER) e per applicazioni nei terahertz (TERAFERMI) sono attualmente in fase di sviluppo. Gli impulsi generati dal FEL Fermi hanno una durata di circa 100 fs con frequenza di ripetizione di 10 Hz; l'energia per impulso è compresa tra $100 \mu J$ e $20 \mu J$ e la lunghezza d'onda è accordabile tra 20 e 100 nm per FERMI-1 (62 eV e 12.4 eV) mentre per FERMI-2 è tra 20 e 4 nm, corrispondenti a 62 e 310 eV rispettivamente[15].

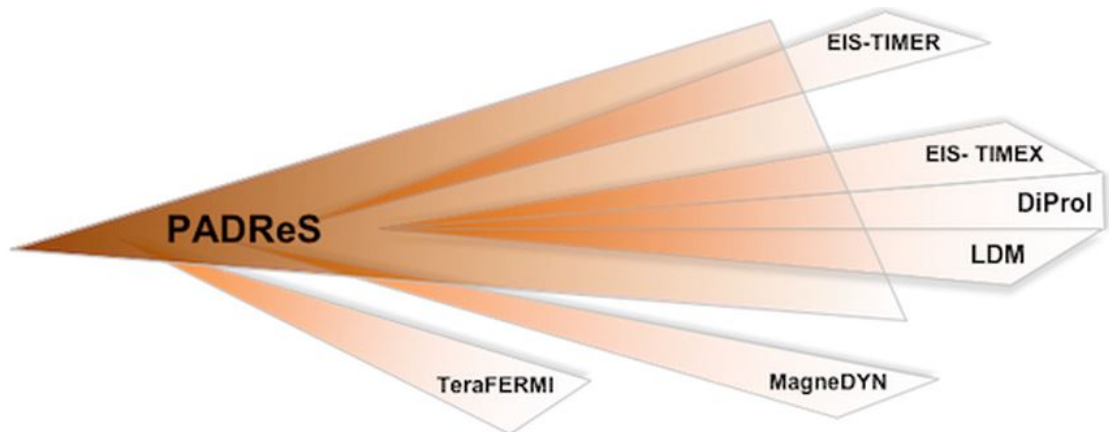


Figura 1.5: Linee di luce di Fermi

Capitolo 2

Fotorivelatori per luce FEL

Come si è visto nel precedente capitolo, i parametri dei fasci di luce delle sorgenti di terza e quarta generazione sono assai differenti. Gran parte dei rivelatori per luce di sincrotrone sono basati sul metodo del “*Centroid finding*”.

Se si volesse utilizzare tale sistema con luce FEL la misura che ne deriverebbe sarebbe priva di significato perchè tale metodo non è adatto alle caratteristiche della radiazione incidente dove la possibilità di arrivo di più fotoni contemporaneamente è praticamente certa. Ecco quindi che per le applicazioni con luce FEL bisogna prendere in considerazione differenti tecnologie per la rivelazioni quali CCD e CMOS pixels (APS).

2.1 CCD e APS CMOS

Negli ultimi anni la ricerca e il continuo sviluppo hanno portato allo studio di nuove strade per la realizzazione di sensori di radiazioni. Spinti dalle richieste di un mercato in continua crescita, si va alla ricerca di nuove soluzioni che possano offrire qualità di immagine superiore, ovviamente a costi minori. Attualmente i CCD hanno un ruolo fondamentale e sono presenti in quasi tutti gli oggetti di consumo che richiedono l'uso di sensori di immagine, come cellulari, videocamere digitali; importante è anche la loro presenza in ambienti che richiedono performance notevoli quali l'industria militare, scientifica e soprattutto medicale. Ciò che si chiede oggi ai sensori di radiazione è la possibilità di individuare con elevata risoluzione la posizione e l'energia con cui avviene l'impatto della particella con il chip. Questo risulta fondamentale se si vuol usare il sensore per “imaging”.

Con l'avvento delle sorgenti FEL i parametri che questi dispositivi devono rispettare per poter eseguire correttamente una misura risultano assai strin-

genti, in particolare per quanto riguarda la frequenza di acquisizione. La tecnologia delle CCD, in questo contesto operativo, non riesce a soddisfare pienamente tutte queste esigenze dettate dalle sorgenti FEL e spesso come vedremo nel seguito, vengono utilizzati dei rivelatori CCD in modo non ottimizzato per esperimenti di questo tipo. Per questo motivo la ricerca sta focalizzando la sua attenzione verso nuovi tipi di tecnologie per la realizzazione di sistemi per la rivelazione ottimizzati per acquisizioni con luce FEL. L'unica alternativa possibile è rappresentata dai CMOS pixel.

I progressi fatti dai processi di fabbricazione CMOS hanno permesso un notevole sviluppo di sensori di radiazione basati su questa tecnologia. Se negli anni scorsi questo sviluppo era limitato da vincoli tecnologici, quali tecniche litografiche non performanti, oggi non è più così. I sensori APS CMOS (Active Pixel Sensor) permettono di disporre su uno stesso substrato l'elemento sensibile, l'elettronica di lettura e di amplificazione. Questo significa un elevato grado di integrazione, quindi una risoluzione spaziale notevole. I costi di produzione risultano ridotti in quanto è una tecnologia ad ampia diffusione commerciale. Per i CCD questo non è possibile perchè vi è un notevole distacco tra elemento sensibile e l'elettronica di condizionamento e lettura, cosa che implica una dimensione per il chip e una potenza dissipata molto elevata. Anche i sensori con tecnologia CMOS hanno i loro limiti, ovvero una scarsa sensibilità dei fotodiodi (dovuta a substrati a bassa resistività, a basse tensioni di polarizzazione e a piccole aree sensibili) che però vengono compensati con un'elettronica di amplificazione dalle buone prestazioni. Per i sensori CCD la carica fotogenerata si muove da un pixel all'altro sino ad arrivare ad un nodo di output dove avviene la conversione carica-tensione. Per i sensori CMOS questa conversione e la successiva amplificazione avviene all'interno di ogni pixel ecco perchè vengono definiti "*active pixel sensor*".

Confronto tra le due tecnologie

Le differenze tecniche tra i due sensori influenzano la maniera in cui questi due diversi dispositivi vengono utilizzati nel mondo. Un aspetto che determina la scelta tra uno o l'altro è proprio la qualità dell'immagine. Complessivamente i CCD godono di una qualità molto maggiore di immagine, grazie anche solitamente a un maggior intervallo spettrale in cui i pixel sono sensibili, a una efficienza quantica più alta e una maggiore immunità al rumore nella acquisizione dell'immagine. Il principale svantaggio di questo sistema è il tempo di lettura intrinsecamente lungo definito dallo svuotamento dei registri dei pixel che ne limita la frequenza di acquisizione delle immagini (**frame rate**). È evidente che sensori CCD con un elevato numero di pixel risultano estre-

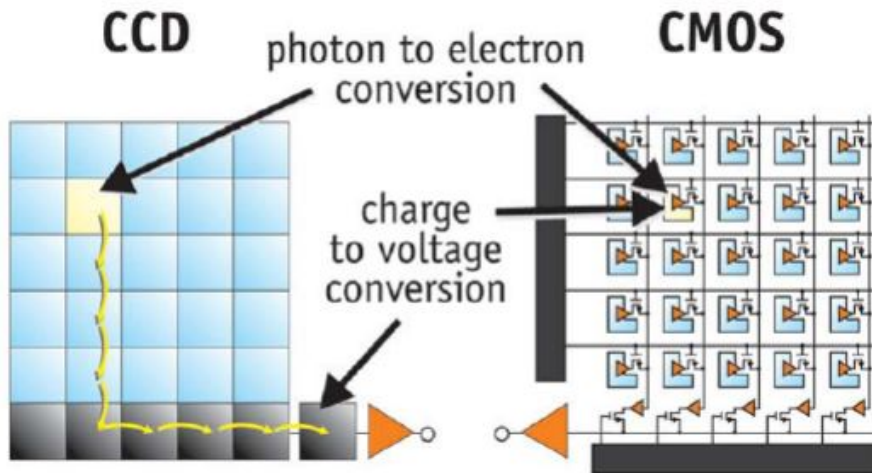


Figura 2.1: Struttura fondamentale per un rivelatore CCD e CMOS.

mamente lenti.

Proprio per questo motivo uno dei principali studi degli ultimi anni sui sensori attivi CMOS verte su metodi per migliorarne la qualità dell'immagine. Con questa tecnologia è infatti possibile poter operare alle frequenze specifiche richieste senza grossi problemi grazie al fatto che ogni pixel elabora autonomamente il proprio segnale di tensione.

A livello di chip i costi di fabbricazione di entrambe le tecnologie risultano simili. I sensori CMOS godono di un costo leggermente inferiore perché fabbricati con le stesse tecnologie dei dispositivi logici e delle memorie commerciali.

Il processo di produzione deve essere però parzialmente rivisto perché i sensori CMOS necessitano di una maggiore qualità rispetto ai chip logici commerciali proprio per poter garantire una migliore resa d'immagine, annullando così i possibili vantaggi di costo rispetto ai sensori CCD il cui processo di fabbricazione è più maturo e si è perfezionato nel tempo.

Un vantaggio dei CMOS è che possono essere prodotti in volumi più grandi sui wafer di silicio: si possono utilizzare wafer da 200 mm di diametro per il CMOS contro i 150 mm dei CCD. Questo vantaggio però viene parzialmente vanificato a causa della maggiore complessità di progettazione, che implica un maggior costo di sviluppo in confronto a quella del CCD. Un particolare da non trascurare è che nel sensore CMOS sono inclusi anche altri circuiti atti ad amplificare il segnale che invece nei CCD sono esterni al sensore. Tutto ciò porta a una maggiore economicità complessiva dei sistemi che utilizzano i sensori di tipo CMOS.

I vantaggi della tecnologia APS CMOS rispetto ai CCD possono quindi

essere riassunti:

- La tecnologia CMOS APS è completamente CMOS compatibile, per cui è facile integrare il timing on-chip e l'elettronica di controllo, riducendo i costi e la complessità di realizzazione
- Il costo per realizzare un wafer CMOS è un terzo di quello per fabbricare un simile wafer per CCD che utilizza un processo speciale
- Tutte le operazioni sono TTL compatibili ($0 \div 5$ V), per cui basta una singola alimentazione
- La scelta della regione attiva all'interno dell'area del rivelatore può essere fatta in modo completamente casuale
- Gli APS richiedono bassa potenza: sono stati realizzati APS a 3.3 V
- È possibile implementare questa tecnologia usando il processo di realizzazione radiation hard CMOS, che è di particolare interesse in applicazioni spaziali

Per contro gli svantaggi sono:

- Minore efficienza quantistica
- Rumore più elevato

2.2 CCD per applicazioni con luce FEL

La quasi totalità delle facility che hanno a disposizione un FEL usano detector basati su CCD. Le soluzioni offerte dal mercato sono molteplici e ciascuna è caratterizzata da un determinato range di utilizzo in termini di energia della radiazione incidente, area attiva e frequenza di utilizzo. Come si è accennato nella sezione precedente il principale punto di debolezza di questa tecnologia risiede nel conciliare un alto **frame rate** caratteristico delle sorgenti FEL con un'**area attiva** composta da un numero elevato di pixel. Le CCD presentano un meccanismo di lettura dei pixel relativamente lento (qualche secondo per una matrice di 1024×1024 pixel) e quindi per arrivare alle frequenze operative di un FEL (da qualche decina a qualche centinaio di Hz) devono presentare un'area attiva intesa come numero di pixel relativamente basso. Attualmente la maggior parte dei rivelatori basati su CCD presenta un tempo di acquisizione di una singola immagine pari a circa qualche secondo e con

una sorgente FEL con frequenza attorno al centinaio di Hz la maggior parte degli impulsi incidenti viene persa. Questo comporta un aumento della durata degli esperimenti con un conseguente incremento dei costi generali. Ecco perché la ricerca è indirizzata verso la realizzazione di dispositivi **single photon count sensitive** possibilmente con un'area attiva ad elevato numero di pixel.

Alcuni dispositivi usati sono:

- Princeton-CCD: questo viene utilizzato in FERMI e se ne discuterà brevemente nel seguito
- PILATUS: viene utilizzato per la rivelazione dei raggi-X duri
- CSPAD: viene utilizzato per la rivelazione dei raggi-X duri a 130 Hz non compatibile quindi per FERMI-1
- pn-CCD: è il detector più performante e verrà descritto nel dettaglio in seguito
- altri...

Esperimenti su DIProI FERMI@ELETTRA

Essendo questa tesi svolta presso ELETTRA, è stato possibile per me vedere e capire da vicino grazie al Dott. F. Capotondi (il quale ringrazio sentitamente per le importantissime spiegazioni) la configurazione usata per gli esperimenti eseguiti sulla beamline DIProI del FEL FERMI@ELETTRA[30].

La beamline utilizza una Princeton-CCD le cui caratteristiche sono:

- Numero di pixel: 2048×2048 (pixel da $13.5 \mu\text{m}$)
- Frequenza di lettura: 1 Mpixel/s

Questa CCD è quindi in grado di acquisire un'immagine ogni 4 secondi (0.25 Hz). Supponendo che il FEL funzioni a 50 Hz è facile rendersi conto che questo sistema acquisisce l'immagine di un singolo impulso ogni duecento. Inoltre l'esposizione per quattro secondi alla radiazione incidente riduce il rapporto segnale rumore (SNR) della misura. Risulta evidente che l'efficienza dal punto di vista del tempo e dei costi è estremamente bassa.

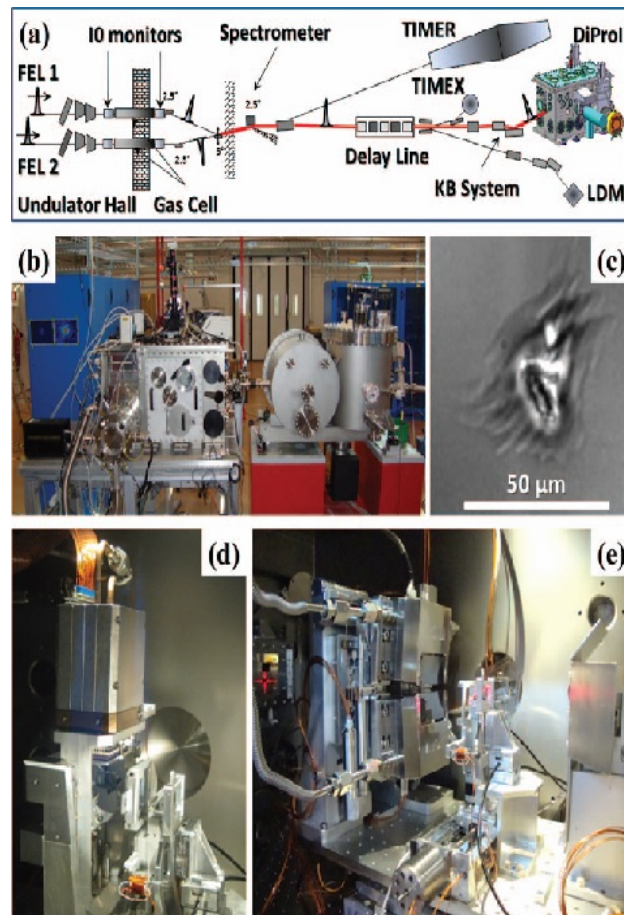


Figura 2.2: (a) layout della beamline, (b) end-station, (c) immagine presa dal microscopio ottico, (d) sistema di rivelazione con le CCD, (e) X-CAM.

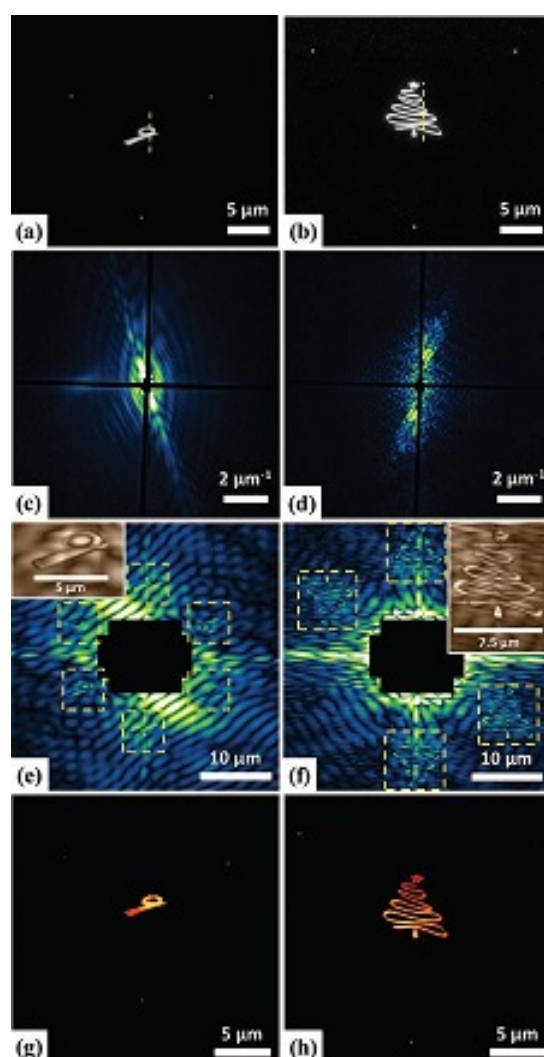


Figura 2.3: (a) e (b) immagine dei campioni, (c) e (d) pattern derivato dalla diffrazione con un impulso FEL a 32.5 nm, (e) e (f) ricostruzione olografica degli oggetti, (g) e (h) immagine ricostruita degli oggetti.

2.3 pnCCD

I pnCCDs (charge coupled devices) sono stati sviluppati presso MPI Semiconductor Laboratory agli inizi degli anni 90 e costituiscono oggi i rivelatori basati su tecnologia CCD con le migliori performance. Sono usati in svariati campi scientifici dall'osservazione astronomica, agli esperimenti con luce di sincrotrone e FEL. Le proprietà di risoluzione nel tempo, spazio ed energia rendono questi dispositivi veramente interessanti dal punto di vista delle prestazioni. In questa sezione verrà fornita una panoramica sui principi base di funzionamento e le caratteristiche di questi dispositivi.

La giunzione p-n

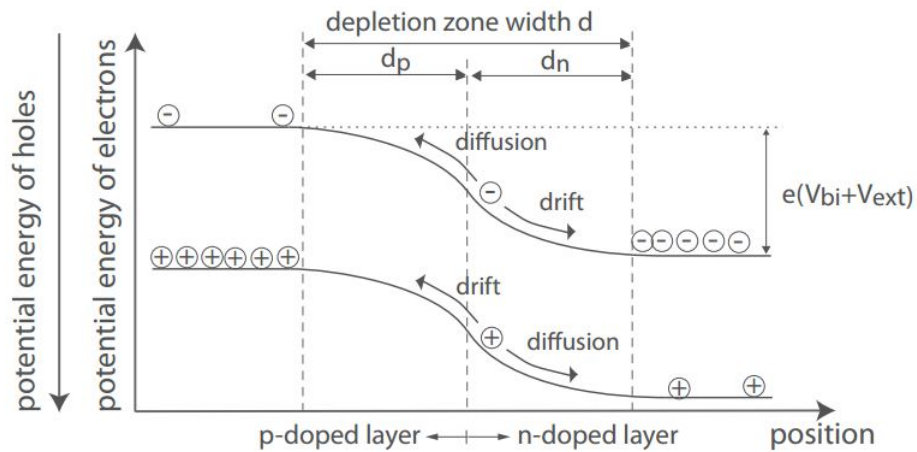


Figura 2.4: Diagramma a bande di una giunzione p-n.

In un semiconduttore intrinseco, il numero dei portatori di carica nella banda di conduzione è definito dalla densità intrinseca dei portatori n_i . Ovviamente il numero di elettroni nella banda di conduzione è uguale al numero di lacune nella banda di valenza. Questo bilanciamento di carica può essere variato tramite il drogaggio del semiconduttore. Nel silicio questo avviene inserendo atomi di fosforo (drogaggio tipo n) o di Boro (drogaggio di tipo p). Una delle più comuni strutture usate nell'elettronica è la giunzione p-n. Questa è formata mettendo direttamente a contatto uno strato di p-Si con uno di n-Si. In questo modo gli elettroni, portatori maggioritari nello strato n si diffondono nello strato p lasciando una regione di carica spaziale positiva nello strato di partenza. Analogamente le lacune si diffondono nello strato n lasciando una regione di carica spaziale negativa nello strato p. La diffusione continua fino a che non si raggiunge una situazione di equilibrio. Questo è

dovuto alla presenza di un campo elettrico crescente che blocca la diffusione. La regione ionizzata che ne consegue viene definita regione di carica spaziale o **regione di svuotamento**. In questa regione il campo elettrico risultante crea una differenza di potenziale caratteristica della giunzione p-n, il **potenziale di built-in**. Raggiunto l'equilibrio, questa tensione si può esprimere come:

$$V_{bi} = \frac{K_B T}{q} \ln \left(\frac{N_D N_A}{n_i^2} \right)$$

dove N_D e N_A sono rispettivamente la concentrazione di atomi donori e accettori del drogaggio, q la carica elettrica, K_B la costante di Boltzmann e n_i la concentrazione di portatori intrinseci. Questo potenziale può essere aumentato o diminuito tramite l'applicazione di una tensione esterna V_{ext} . In base al valore di V_{ext} possiamo individuare tre condizioni di lavoro delle giunzione p-n:

- $V_{ext} = 0$; la corrente di diffusione è compensata da quella di drift quindi la giunzione rimane nello stato di equilibrio
- $V_{ext} > 0$; giunzione lavora in **polarizzazione inversa**
- $V_{ext} < 0$; giunzione lavora in **polarizzazione diretta**

Nelle applicazioni per rivelatori, la giunzione è polarizzata inversamente ($V_{ext} > 0$). La larghezza della regione di svuotamento dipende dalla concentrazione dei droganti e dalla tensione esterna in base alle seguente relazione:

$$d = \sqrt{\frac{2\varepsilon}{q} \left(\frac{N_A + N_D}{N_A \cdot N_D} \right) \cdot (V_{bi} + V_{ext})}$$

dove ε è la costante dielettrica del semiconduttore. La regione di svuotamento comprende le regioni p ed n. Le larghezze di queste zone sono legate dalla legge dell'equilibrio di massa

$$N_A \cdot d_n = N_D \cdot d_p$$

L'assorbimento da parte del semiconduttore di un fotone può generare la creazione di coppie elettrone lacuna nella regione di svuotamento, che rappresenta la zona sensibile alla radiazione del dispositivo. Successivamente le coppie create vengono separate dal campo elettrico presente nella giunzione generando quindi un segnale elettrico. L'energia del fotone deve essere tale da superare il band gap, quindi esiste una massima lunghezza d'onda di eccitazione λ_{max} per ogni materiale data da:

$$\lambda_{max}(nm) = \frac{1240}{Eg(eV)}$$

Principio di funzionamento

I pnCCD sono basati sulla giunzione p-n e sono progettati per misurare le energie caratteristiche delle particelle ai raggi-X. A differenza della semplice giunzione p-n, questi dispositivi utilizzano il principio di svuotamento laterale con lo scopo di massimizzare l'area sensibile alla radiazione. Tale principio è schematizzato nelle figure seguenti.

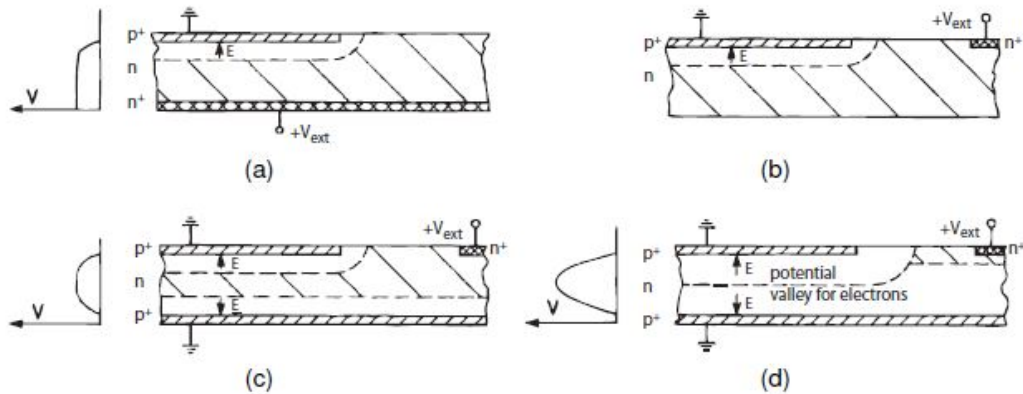


Figura 2.5: Struttura principale dello svuotamento laterale: (a) diodo parzialmente svuotato, (b) diodo con la regione di svuotamento laterale, (c) doppio diodo parzialmente svuotato, (d) doppio diodo completamente svuotato.

Partendo dalla classica struttura p-n (a), il contatto fortemente drogato n^+ viene posto a lato del detector. Nel lato anteriore e posteriore dello strato drogato n vengono predisposti degli strati drogati p, da dove, due regioni di svuotamento distinte si estendono nel substrato (c). Per valori abbastanza elevati di tensione inversa applicata, queste regioni si uniscono svuotando completamente il dispositivo. All'interno del substrato si viene a formare un potenziale per gli elettroni raccolti dalla generazione delle coppie. Le lacune invece vengono raccolte per deriva nel contatto p. Nella parte seguente si farà riferimento al lato posteriore del detector come al lato dove avviene la rivelazione dei fotoni.

Applicando una tensione U_{dep} sempre più negativa tra la finestra d'ingresso e il contatto n il potenziale si sposta sul lato anteriore svuotando completamente il substrato. Questo è il principio di svuotamento laterale utilizzato da questa tecnologia.

I contatti sul lato anteriore sono organizzati in strisce formando i cosiddetti registri. Questi sono usati per separare e spostare la carica raccolta all'angolo di readout applicando una sequenza di tensioni esterne ai contatti. La direzione di trasferimento, perpendicolare ai registri, viene definita canale di

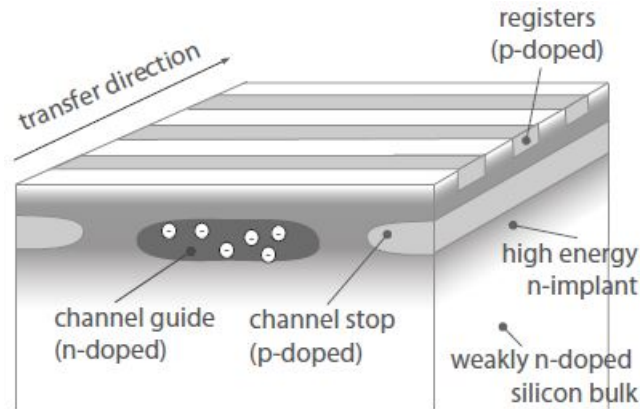


Figura 2.6: Sezione del pixel nel substrato di silicio.

guida. Queste regioni p ed n formano una buca di potenziale per gli elettroni raccolti dunque questi sono confinati all'interno del pixel controllato dalla tensione esterna. Una pn-CCD con dei pixel da $75\mu\text{m}$ permette una risoluzione spaziale di $\sim 2\mu\text{m}$.

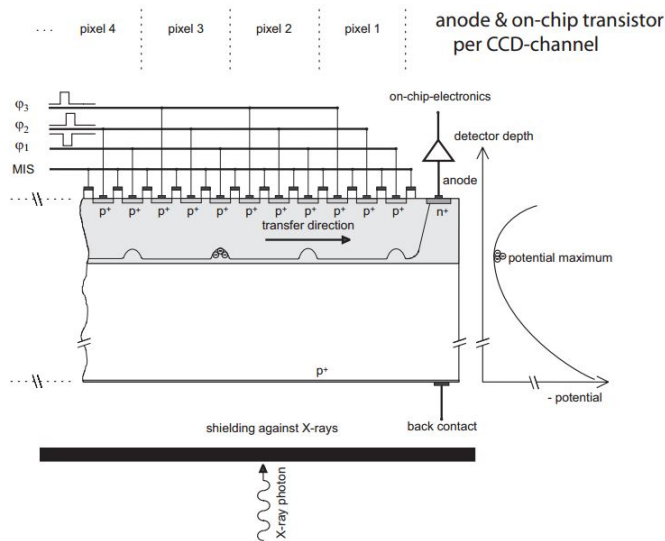


Figura 2.7: Sezione della pn-CCD lungo il canale di guida.

Alternando periodicamente la tensione esterna ai registri ϕ_1 , ϕ_2 , ϕ_3 il pacchetto di carica viene traslato lungo il canale di guida. Alla fine di ogni canale la carica viene letta dall'**anodo di readout**. Questo è collegato al gate di un JFET il quale funge da primo amplificatore ed infatti viene

definito “**first FET**”. Sebbene la pn-CCD sia sviluppata su wafer di silicio ultra puro, non può essere evitata la perdita di una piccola porzione della carica raccolta che viene trasferita. Il parametro che descrive queste perdite è il **charge transfer inefficiency (CTI)** con valori tipicamente compresi tra 10^{-5} e 10^{-7} .

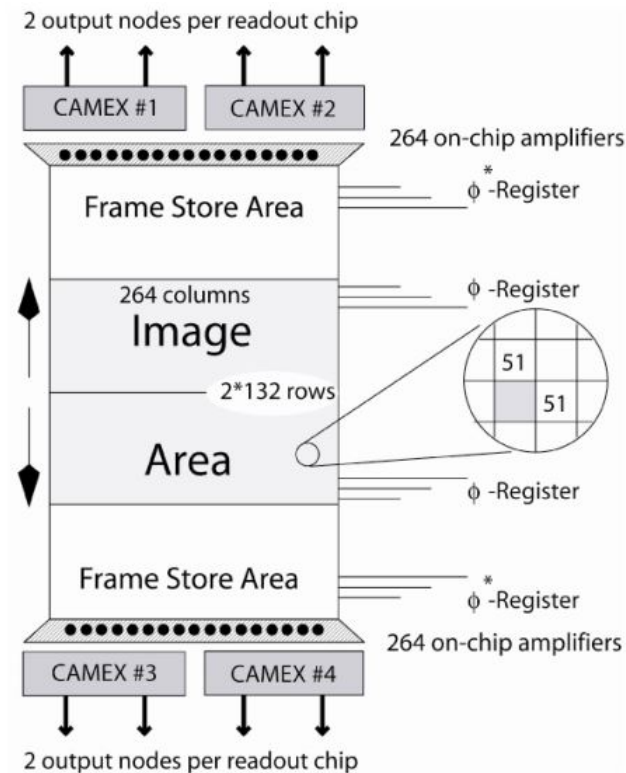


Figura 2.8: Schema di readout del frame store della pn-CCD per applicazioni ad alta velocità.

Come si vede dalla figura 2.8 la superficie del pn-CCD è divisa in due parti: l'area sensibile e l'area per il frame store. L'area di frame store è stata introdotta per ridurre i fenomeni di disturbo durante la fase di spostamento e lettura della carica. Quando un fotone colpisce il sensore durante la lettura della carica si viene a formare un **out-of-time-event**. Per ogni periodo di acquisizione la carica viene spostata molto velocemente dall'area di immagine al frame store e qui il trasferimento all'anodo di readout avviene con una minor velocità. L'evento di disturbo in questa ultima fase viene attenuato schermando l'area di frame store dai raggi-X.

Come si vede in figura 2.8 vicino alla pn-CCD sono posizionati degli ASIC

predisposti per il readout chiamati **CAMEX** (CMOS Amplifier and MultipLEXer) capaci di leggere **132 canali** in parallelo.

2.3.1 Elettronica di lettura

L'elettronica di acquisizione è molto complicata e integrata all'interno degli ASIC **CAMEX** predisposti a valle dell'area attiva. Uno schema a blocchi esplicativo è riportato in figura 2.9.

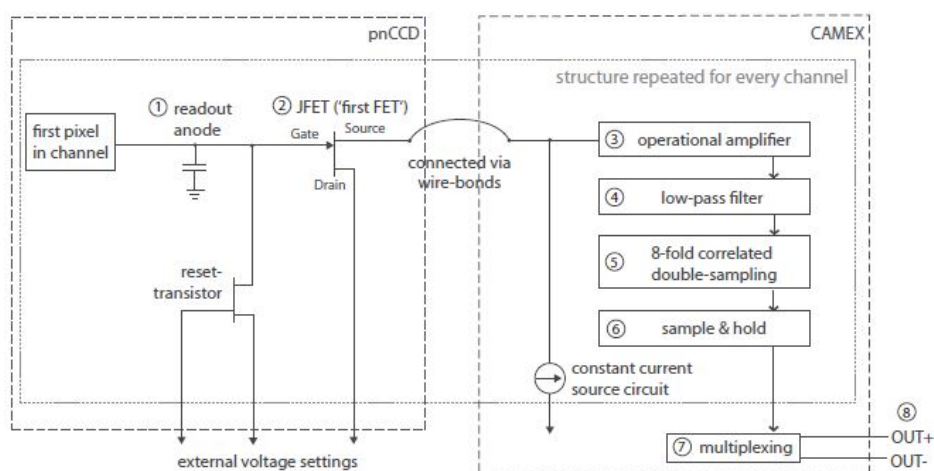


Figura 2.9: Schema a blocchi dell'elettronica di readout per la pn-CCD.

Come si può vedere dallo schema a blocchi l'elettronica di lettura del segnale è composta da:

1. Anodo di readout
2. JFET (first FET)
3. Amplificatore operativo
4. Filtro passa basso
5. Otto condensatori
6. Stadio di campionamento
7. Multiplexer
8. Buffer differenziale

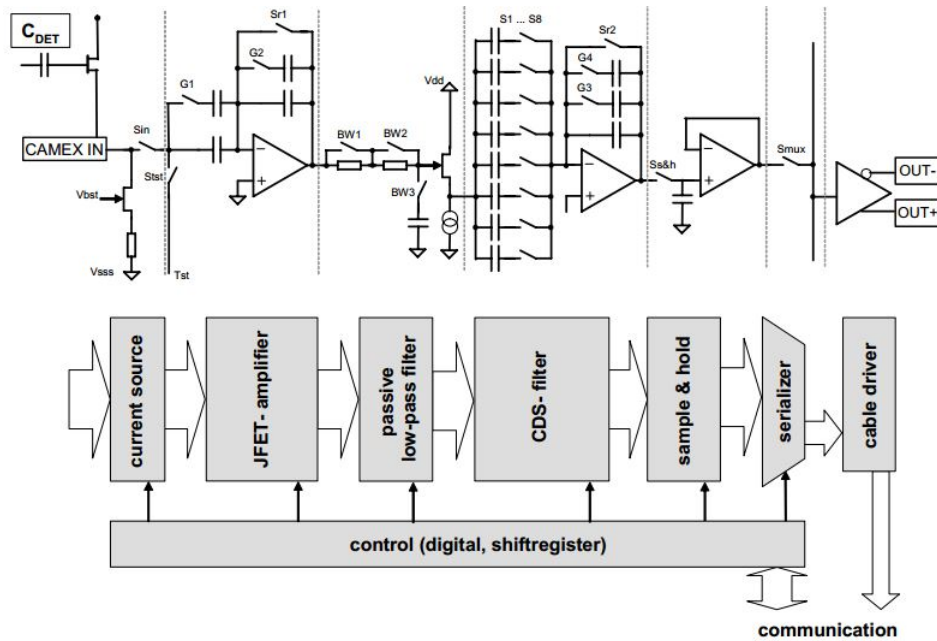


Figura 2.10: Elettronica di lettura di una pn-CCD.

Il segnale prelevato dall'area di frame store tramite i wire bonds viene successivamente amplificato dallo stadio 3) e sagomato dal filtro 4). La tensione risultante viene applicata a otto capacità differenti 5), ognuna delle quali verrà campionata per un totale di otto volte per ridurre l'errore di lettura. A questo punto il segnale viene nuovamente amplificato e passato al multiplexer a 132 canali per essere poi trasformato in segnale differenziale tramite un opportuno buffer.

Il segnale risultante viene trattato dagli ADC i quali lo convertiranno in un segnale digitale per essere elaborato dalla logica di controllo del sistema. Grazie a questa configurazione, nella quale avviene la lettura parallela di molteplici pixel, il detector può operare ad un frequenza di 130 Hz con una matrice di 1024×1024 pixel da $75 \mu\text{m}$ [14][30].

Capitolo 3

PERCIVAL

Nel corso del precedente capitolo si è evidenziato come la tecnologia per la rivelazione basata su CCD è intrinsecamente lenta per poter lavorare alle frequenze caratteristiche di una sorgente FEL con un elevato numero di pixel. Le pn-CCD risolvono questa problematica con un meccanismo di lettura parallela dei pixel presentando tuttavia un'area attiva, intesa come numero di pixel presenti, di dimensioni ridotte. L'obiettivo è di poter lavorare con dispositivi compatibili con i FEL più impegnativi (dal punto di vista della acquisizione delle immagini) e con un elevato numero di celle. Per raggiungere questo traguardo la ricerca è indirizzata verso la realizzazione di sistemi basati su tecnologia CMOS.

Il progetto PERCIVAL (Pixelated Energy Resolving CMOS Imager, Versatile and Large) ha lo scopo di realizzare un innovativo rivelatore per luce FEL basato su CMOS pixel, ed è di grande interesse per la qualità delle prestazioni previste, per le sue applicazioni scientifiche e in generale per l'elevato grado di tecnologia richiesto da un simile sviluppo[1][2].

Il progetto vede la collaborazione tra i seguenti enti:

- Deutsches Elektronen-Synchrotron DESY (Germania)
- ELETTRA Sincrotrone Trieste (Italia)
- DIAMOND Light Source (Regno Unito)
- RAL, Rutherford Appleton Laboratory (Regno Unito)
- PAL, Pohang Accelerator Laboratory (Corea del Sud)

Le caratteristiche che il sensore presenterà sono:

- Area attiva: $\sim 10 \times 10 \text{ cm}^2$ ($\sim 4\text{k} \times 4\text{k}$ pixel indipendenti)

- Frequenza di acquisizione (*frame rate*) fino a **120 Hz**
- Dinamica molto ampia ($\sim 10^5$ fotoni)
- Alta efficienza quantistica ($> 85\%$), uniforme su tutta l'area attiva del sensore e ottimizzata per fotoni da **250 eV** a **1 KeV**
- Sensibilità al singolo evento e bassa probabilità di falso positivo ($< 10^{-6}$)
- Possibilità di accostare quattro sensori in formazione quadrifoglio (*clover-leaf*)

Al fine di sfruttare appieno le potenzialità del sensore, il complesso sistema di acquisizione presenta dei requisiti stringenti in particolare dal punto di vista dell'elettronica, della meccanica, del trasferimento e memorizzazione dei dati.

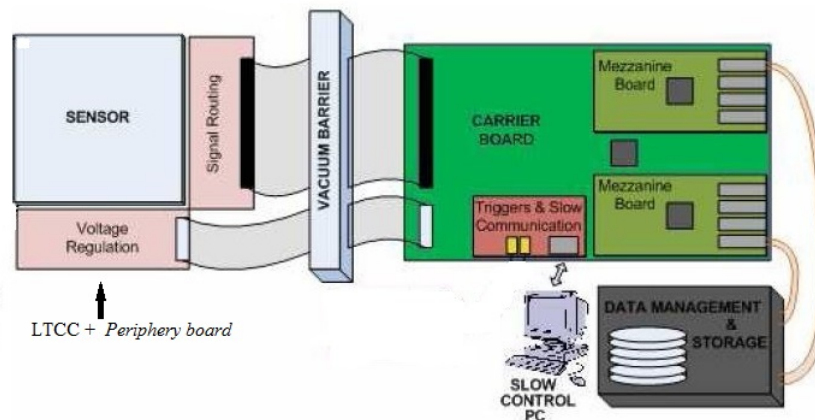


Figura 3.1: Panoramica del sistema di acquisizione.

Il progetto PERCIVAL prevede che il sistema finale sia dotato di CMOS pixel da $25 \mu\text{m}$ e un'area attiva complessiva di $\sim 10 \text{ cm} \times 10 \text{ cm}$, per un totale di circa 16 Mpixel. L'architettura interna del sensore prevede la lettura parallela di più pixel e l'intero flusso dati in uscita dal sensore viene trasmesso attraverso 110 linee differenziali, sulle quali i dati escono serializzati a 240 MHz in double data rate.

Il sensore sarà fissato ad un blocco di rame che ne consentirà il raffreddamento uniforme a temperature criogeniche ($-30 \text{ }^\circ\text{C}$ o meno) e garantirà una buona solidità meccanica. Tale supporto sarà solidale con due piastre ceramiche LTCC (*Low temperature co-fired ceramic*) dove verranno tracciate le

varie linee di segnale e opportunamente collegate alle PAD del sensore per mezzo di wire bonding, talvolta ricorrendo alla configurazione **multi-drop** per consentire la connessione simultanea di più PAD allo stesso segnale. Con configurazione multi-drop si intende una particolare tecnica di collegamento dove un segnale viene portato su differenti linee. In figura 3.2 viene

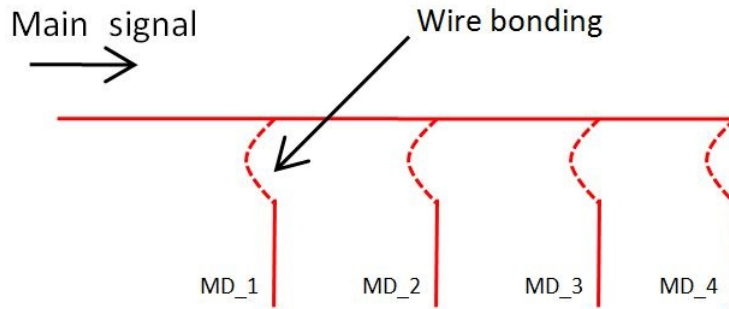


Figura 3.2: Configurazione multi-drop.

mostrata la struttura generale di un collegamento multi-drop dove il bus principale (*main_signal*) viene distribuito su più linee denominate MD_1, MD_2, MD_3, MD_4 attraverso un collegamento fatto con i wire bonding. Il numero di linee sulle quali verrà portato il segnale proveniente dal bus definisce il fattore di *fan-out* della configurazione.

Alle due LTCC saranno collegate ortogonalmente due schede elettroniche chiamate *periphery board*, le quali forniranno le tensioni e le correnti di alimentazione per il sensore. Da queste schede, tramite dei connettori ad alta densità, le numerose linee verranno trasferite tramite dei cavi flessibili, collegati a ciascuna *periphery boards*, attraverso la flangia da vuoto all'esterno, fino alla *carrier board* la quale oltre a gestire l'intero sistema tramite la propria FPGA¹, ridistribuirà i segnali verso due schede dedicate (*mezzanine boards*), ciascuna equipaggiata con una FPGA e quattro collegamenti GBit/s Ethernet, adibite al trasferimento dei dati ricevuti in un sistema di pre-processing e archiviazione dati ad alta velocità.

¹La FPGA preposta al controllo dell'intero sistema è una Virtex 6 della XILINX.

Vista l'enorme complessità del sistema e il numero di sfide che si stanno affrontando e che si affronteranno, il lavoro di ogni facility è concentrato sullo sviluppo di una parte ben definita del sistema:

1. RAL

- Progettazione del layout del sensore
- Eseguire dei test sui prototipi

2. DESY

- Progettare e realizzare le LTCC left e bottom
- Progettare e realizzare le *periphery board*
- Progettare la meccanica per il raffreddamento del sensore
- Scegliere il passante vuoto/aria e scegliere i cavi con i rispettivi connettori
- Progettare e realizzare le *mezzanine board*
- Eseguire test sui prototipi

3. ELETTRA

- Progettazione e sviluppo della *carrier board*
- Sviluppare il firmware HDL e il software LabVIEW per il sensore P4K e per il test dei prototipi
- Progettazione e realizzazione della *plug-in board*

4. DIAMOND

- Progettazione del data back-end per il pre-processing e l'archiviazione dei dati
- Sviluppo del software Python per il sensore P4K
- Implementazione di algoritmi per la gestione ottimale dei dati raccolti

5. PAL

- Supporto all'attività dei vari gruppi

N.B. É possibile effettuare un semplice conto per determinare la quantità di informazioni che il sistema deve gestire per rendere disponibili i dati all'utente finale i dati acquisiti dal sensore. Prendiamo in esame le seguenti specifiche:

- Matrice di pixel del sensore: $\sim 4000 \times 4000$ pixel
- Bit per pixel per frame: 15 bit
- Numero di frame acquisiti per immagini: 2 (frame di lettura e frame di reset)
- Frequenza di acquisizione: 120 Hz (immagini/s)

$$\begin{aligned} bit_rate &= N_{pixel} \times (bit/pixel) \times (N.frame \text{ da leggere}) \times Frequenza = \\ &= 4k \times 4k \times 15 \times 2 \times 120Hz = 57.6 \cdot 10^9 \frac{bit}{s} \simeq 60 \frac{Gbit}{s} \end{aligned} \quad (3.1)$$

Quando si utilizzeranno quattro sensori in formazione *cloverleaf* il flusso dati risulterà pari a:

$$bit_rate \simeq 4 \cdot 60 \frac{Gbit}{s} \simeq 240 \frac{Gbit}{s}$$

A seguire saranno presentate le parti del sistema che andranno ad operare in vuoto all'interno della camera sperimentale e poi quelle operanti in aria.

3.1 Parte del sistema in vuoto

3.1.1 LTCC

Nella figura 3.3 è schematizzata la struttura del sensore, vista frontalmente. La figura mostra come su due lati del sensore sono presenti le due piastre ceramiche LTCC (*Low temperature co-fired ceramic*) dove le varie linee di segnale verranno tracciate e collegate alle PAD tramite **wire bonding**. Le due LTCC sono posizionate solo su due lati per permettere l'utilizzo del sensore con altri tre uguali in una configurazione denominata *cloverleaf*, così che ogni sensore costituisce un quadrante (vedi figura 3.3).

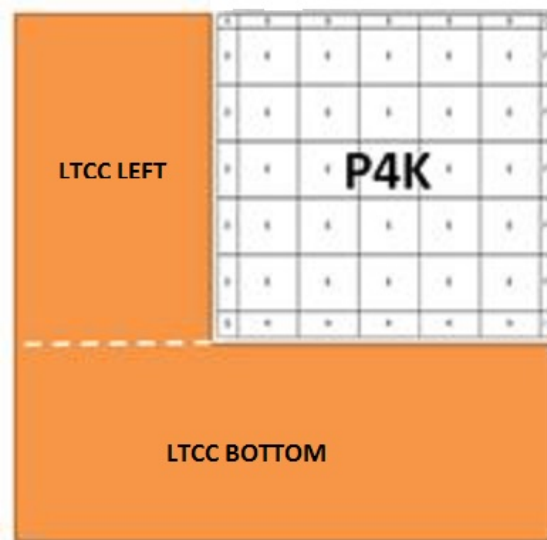


Figura 3.3: Schema del detector versione P4K.

Le LTCC non conterranno elementi attivi data la loro vicinanza al sensore e alla radiazione incidente. Questo inoltre permetterà di ridurre al minimo l'ingombro meccanico.

Si prevede che queste LTCC saranno composte da almeno 24 layer e inoltre disporranno di connettori ad alta densità per i cavi che porteranno i segnali fuori dalla camera sperimentale.

Il numero di linee che dovranno arrivare alle LTCC collegate al sensore è assai elevato. Si prevede infatti che nella realizzazione finale saranno presenti:

LTCC LEFT 128 coppie differenziali di linee di segnale

LTCC BOTTOM 434 coppie differenziali linee di segnale

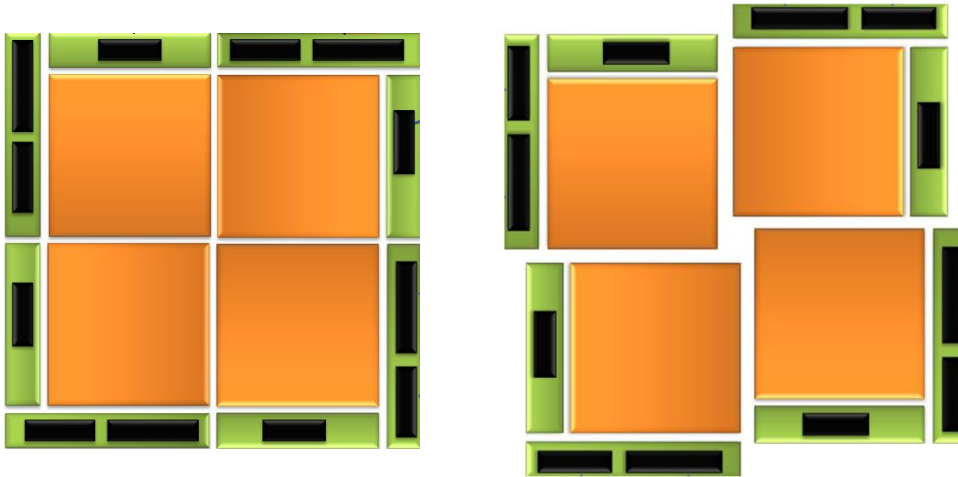


Figura 3.4: Configurazione cloverleaf a quattro sensori.

La complessità e criticità di tali schede elettroniche è elevatissima visto che dovranno:

- Connettere un numero molto elevato di pad differenziali
- Sbrogliare i segnali differenziali a bassa frequenza
- Sbrogliare i segnali @ 240 MHz in double data rate
- Consentire l'alimentazione del sensore
- Avere un ingombro il più possibile ridotto

3.1.2 Il sensore

Viste le caratteristiche che il rivelatore deve presentare, è stata sviluppata una nuova tecnologia per la realizzazione dei pixel che risultino adeguati a tali condizioni operative. Il sensore di PERCIVAL è stato progettato da *RAL/STFC*². Esso è di tipo “CMOS Monolithic Active Pixel”.

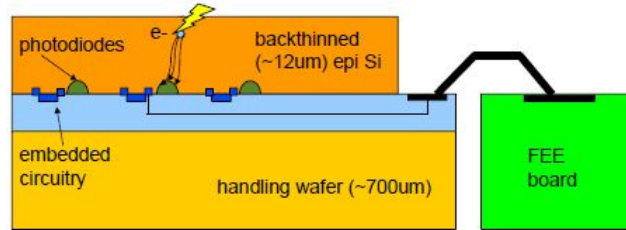


Figura 3.5: Schema del CMOS Monolithic Active Pixel Sensor.

Questa struttura permette che una parte del *signal processing* venga effettuata direttamente all'interno del singolo pixel. L'area attiva è formata da circa 4000×4000 pixel la cui cella fondamentale viene riportata in figura 3.5. Come si può vedere dalla figura 3.6, la struttura oltre a contenere la cella

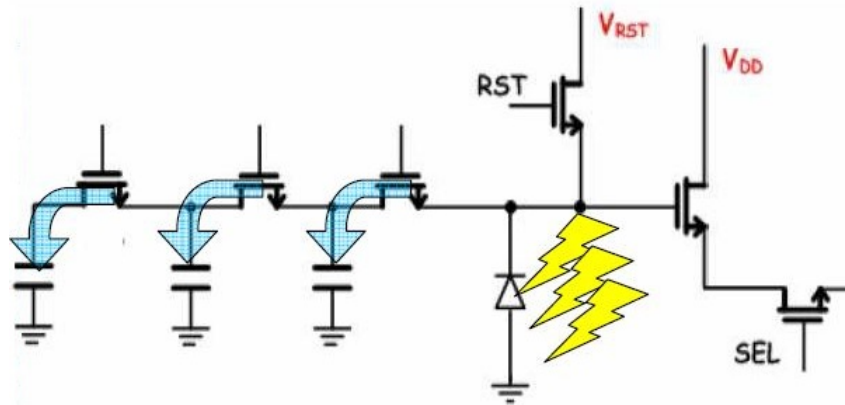


Figura 3.6: Schema del singolo pixel.

base, denominata 3T per la presenza di un fotodiode e tre transistor (per le funzioni di reset, selettore e inseguitore di sorgente), degli switch e dei condensatori. Nella cella base 3T, il range è limitato dalla carica della capacità intrinseca del fotodiode. Ricorrendo ai condensatori, che possono essere collegati o scollegati mediante gli switch, è possibile aumentare la capacità che

²Rutherford Appleton Laboratory, Science & Technology Faculties, Didcot, U.K.

raccoglie la carica rendendo così il range di lavoro dei pixel variabile in base al flusso di fotoni incidenti [2]. Il segnale in tensione risultante viene raffrontato con un opportuno valore di soglia e un'elettronica di decisione interna a ciascun pixel permette di selezionare automaticamente la configurazione degli switch che dà il range ottimale. Questo approccio nella letteratura viene definito **multi-gain**[1] e consente di ottenere un range dinamico molto ampio ($\sim 10^5$ fotoni).

Nella matrice del sensore, gruppi di pixel vengono letti in parallelo grazie alla presenza di molteplici repliche dei circuiti di campionamento e conversione ADC, che possono operare in contemporanea. I segnali analogici, generati dalla rivelazione, vengono digitalizzati con 12 bit e in aggiunta ci sono un bit (di overrange) e altri due bit per indicare il range selezionato, per un totale di 15 bit a campione per pixel. I segnali digitali verranno poi trasferiti all'esterno attraverso una serie di speciali cavi e connettori ad una frequenza di 240 MHz in double data rate.

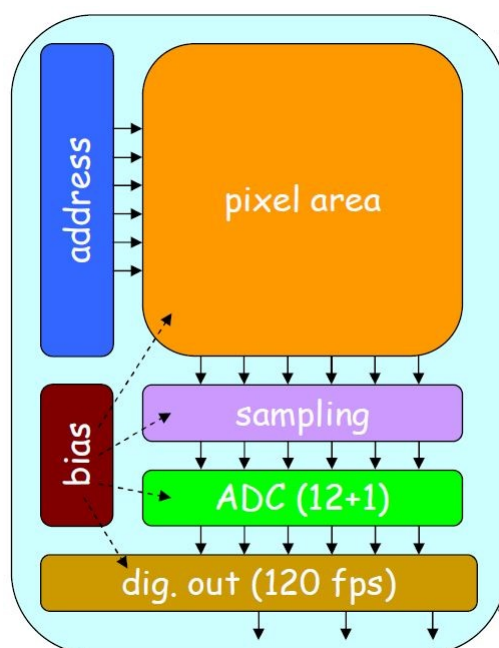


Figura 3.7: Schema a blocchi del signal processing per la matrice di pixel del sensore.

3.2 Parte del sistema in aria

3.2.1 Carrier board

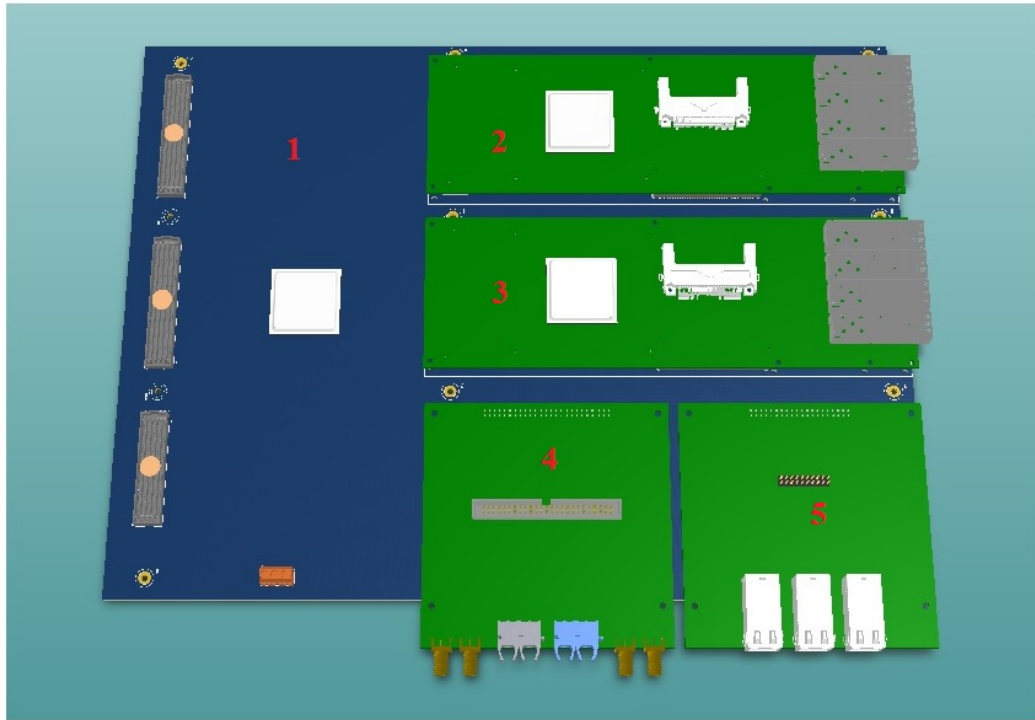


Figura 3.8: Visione 3D finale della carrier board 1), sono inoltre riportate le due periphery board 2), 3) e le schede di plug-in 4), 5).

Questa scheda sarà il supporto principale di tutta l'elettronica in aria del sistema. I principali accorgimenti che saranno seguiti per la realizzazione del layout di questa scheda sono:

- Tutte le linee saranno ad impedenza controllata per garantire l'adattamento delle linee di trasmissione
- Le FPGA presenti sulla scheda saranno collegate in *daisy chain*
- Le linee di segnale verranno isolate e schermate da opportuni piani di massa per evitare fenomeni indesiderati di *cross talk*
- Si prevede l'utilizzo di un PCB da 10 o 14 strati per la realizzazione

3.2.2 Plug-in

Per il rivelatore PERCIVAL in futuro si prevede l'utilizzo con sorgenti di terza generazione (sincrotroni quali ELETTRA, DIAMOND, ecc...) e in particolare con moderne macchine FEL (FLASH, FERMI@ELETTRA, ecc...). Risulta evidente la necessità di poter facilmente integrare il sistema di acquisizione in contesti hardware e software anche molto differenti tra loro, secondo le specifiche di ciascun laboratorio. Si è pensato quindi di includere nel complesso sistema hardware di PERCIVAL una scheda intermedia per rendere più facilmente realizzabile l'integrazione del rivelatore PERCIVAL nell'ambiente HW/SW specifico della facility.

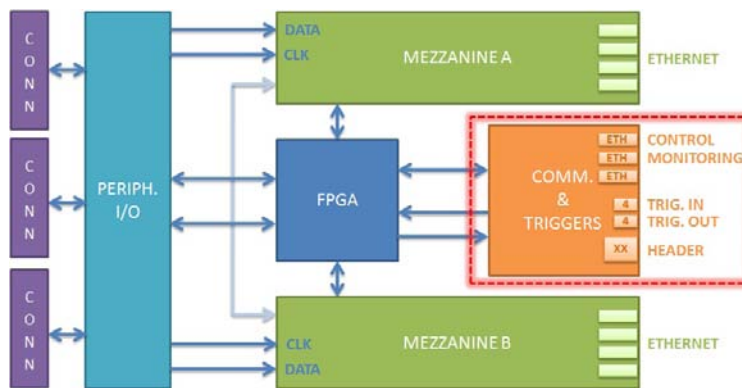


Figura 3.9: Schema della carrier board. Nel rettangolo rosso viene messo in evidenza la scheda PLUG-IN.

3.2.3 Firmware

Dalla panoramica dell'intero sistema si è visto che l'elettronica in aria può essere suddivisa in tre parti: la *carrier board*, le due *mezzanine boards* e la futura scheda di plug-in. Ognuna di queste componenti sarà dotata di una FPGA nella quale verrà implementato lo specifico firmware atto alla funzionalizzazione dell'intero sistema e alla comunicazione tra le varie parti. In questa sezione verrà illustrato brevemente il firmware per ogni elemento sopra citato.

Firmware *carrier board*

La *carrier board* è la scheda principale di tutta l'elettronica in aria e la sua progettazione è a cura di ELETTRA. Il firmware che si sta sviluppando per l'FPGA dedicata deve:

- Gestire il readout del sensore e l'invio di tutti segnali necessari al suo funzionamento (inizializzazione, calibrazione, acquisizione)
- Accedere tramite protocollo I²C ai dispositivi situati sulle *periphery boards* per generare e monitorare tensioni e correnti e per monitorare in particolare la temperatura del sensore
- Consentire procedure di accensione/spegnimento definite dall'utente e implementare routine automatiche atte a salvaguardare l'integrità del sistema in caso di malfunzionamento
- Comunicare con il PC di controllo attraverso un protocollo UART
- Implementare un protocollo generico e semplice che consenta il trasferimento di dati contestuali all'esperimento in corso attraverso una futura PLUG-IN board personalizzabile ed adattabile ad ogni facility

Firmware *mezzanine board*

Queste due schede, la cui progettazione è a cura di DESY, sono predisposte per il trasferimento veloce dei dati ad un sistema di pre-processing e archiviazione dei dati. Il firmware quindi deve implementare le seguenti funzionalità:

- Ricezione dati dal sensore
- Creazione di pacchetti UDP e conseguente trasmissione su quattro 10 Gb Ethernet

Firmware *plug-in board*

Questa scheda sarà in un prossimo futuro adibita alla comunicazione del sistema del detector PERCIVAL con l'elettronica della facility che lo intende utilizzare. Tale scheda dovrà gestire il trasferimento di informazioni della macchina, tipicamente il *bunch number* di un FEL, dal mondo sperimentale alla *carrier board* e quindi alle *mezzanine boards*, così da includere questa importante informazione nel flusso dati.

Capitolo 4

Test pattern generator

Come si è visto dal capitolo precedente, il sistema PERCIVAL, vista la complessità dell'hardware, l'elevato numero di linee di segnale e di controllo, l'ambiente operativo ecc..., risulta essere estremamente delicato e le difficoltà che si stanno tutt'ora affrontando e che si affronteranno, per la realizzazione di questo incredibile strumento di indagine scientifica, sono assai ardue.

In particolare, questa tesi vuole porre maggiore attenzione su una di queste: il comportamento, in termini di integrità e robustezza, dei vari segnali durante il percorso dalla *carrier board* al sensore situato all'interno della camera sperimentale.

Perché studiare questo particolare aspetto

Il percorso che i segnali devono seguire è estremamente delicato. Partendo dall'FPGA posta sulla *carrier board* in aria, essi devono passare attraverso un cavo per arrivare alla flangia da vuoto e ancora attraverso un altro cavo di lunghezza pari a circa un metro per arrivare all'elettronica del sensore in vuoto. Una volta arrivati sulle *periphery boards*, i segnali d'ingresso saranno collegati a delle PAD poste sul detector tramite dei wire bondings e talvolta, per qualche specifico segnale, in configurazione multi-drop.

Basandoci sulle specifiche fornite dal RAL, i segnali presenti su queste linee avranno tipicamente frequenze che potranno andare da 50 MHz a qualche centinaio di MHz. Tra questi segnali vi sono in particolare i clock per gli ADC e i segnali di controllo per la funzionalizzazione dei pixel del sensore. In queste condizioni, dobbiamo considerare ogni collegamento come una linea di trasmissione perciò oltre a garantire l'adattamento di ogni singola connessione con la sorgente (FPGA), bisogna tenere in considerazione e valutare i ritardi e le distorsioni introdotte dalla configurazione multi-drop realizzata

tramite i wire bonding. Inoltre, si vuole analizzare come questi segnali risultano alla fine del percorso e valutare se è necessario predisporre uno stadio di *signal processing* per preservarne l'integrità e garantire ad essi di arrivare alla fine del collegamento senza compromettere il funzionamento dell'elettronica. In figura 4.1 viene riportata lo schema del percorso dei segnali.

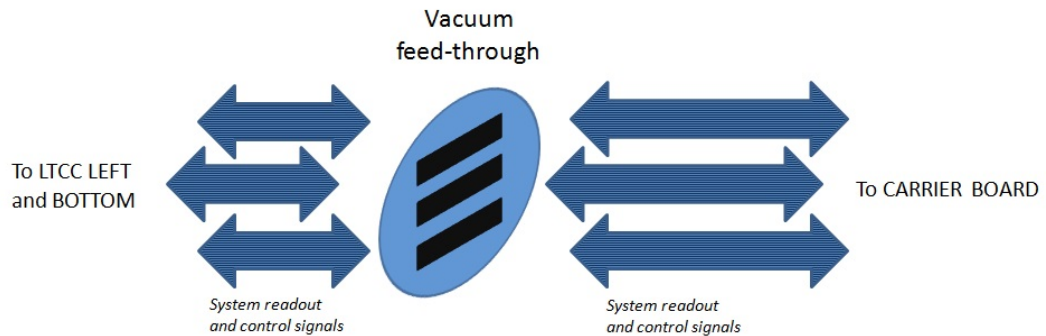


Figura 4.1: Schema del percorso dei segnali.

Nel sistema PERCIVAL sono presenti dei collegamenti in **differenti configurazioni multi-drop** tra le quali MD2¹, MD5, MD6 e P2P.

Per eseguire tali valutazioni è stato necessario creare un sistema hardware e software che potesse simulare quanto più fedelmente possibile il sistema reale. Tale dispositivo oltre a simulare le connessioni multi-drop tramite i wire bonds deve anche essere in grado di riprodurre segnali digitali analoghi a quelli che sono presenti sul detector reale.

Per rendere possibile tutto ciò, è stato progettato e realizzato un sistema formato da:

- FPGA per potere generare specifici segnali digitali e per il controllo dei segnali
- Due PCB necessarie all'estrazione dei segnali di test dalla EVB e riprodurre le connessioni multi-drop tramite wire bonding presenti sul sensore vero e proprio
- Firmware LabVIEW che implementa la comunicazione con l'FPGA, la selezione dei segnali di test in particolare di uno specifico pattern e infine per il salvataggio dei dati restituiti dal sistema.

Nelle sezioni seguenti verrà illustrato punto per punto la progettazione e la conseguente realizzazione di ogni singola parte del **test pattern generator**.

¹MDi, Multi-drop con fattore di fan-out i.

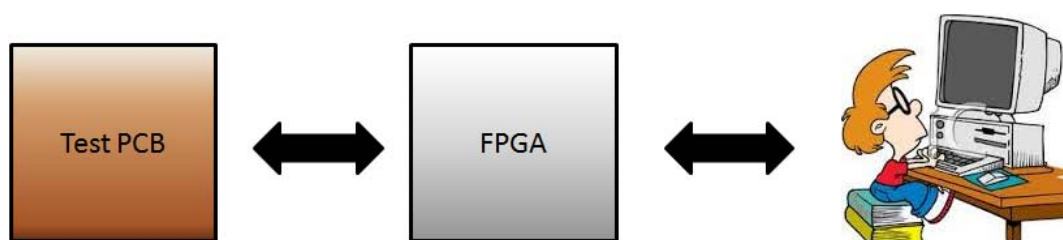


Figura 4.2: Schema di principio del simulatore.

4.1 FPGA e firmware

In elettronica digitale, un dispositivo **Field Programmable Gate Array**, solitamente abbreviato in **FPGA**, è un circuito integrato le cui funzionalità sono programmabili via software. Tali dispositivi consentono l'implementazione di funzioni logiche anche molto complesse, e sono caratterizzati da un'elevata scalabilità. Questo tipo di tecnologia ha assunto un ruolo sempre più importante nell'elettronica industriale così come nella ricerca scientifica. La loro genericità li rende adatti a un gran numero di applicazioni come consumer, comunicazioni, automotive, ecc... . Essi sono programmati direttamente dall'utente finale, consentendo la diminuzione dei tempi di progettazione, di verifica mediante simulazioni e di prova sul campo dell'applicazione. Il grande vantaggio delle FPGA rispetto agli ASIC è la possibilità di apportare eventuali modifiche o correggere errori nelle funzioni logiche implementate attraverso il firmware semplicemente riprogrammando il dispositivo. Per questo motivo sono utilizzati ampiamente nelle fasi di prototipizzazione, in quanto eventuali errori possono essere risolti semplicemente riconfigurando il dispositivo.

Nel sistema sviluppato l'FPGA scelta, una Virtex5 XC5VFX70T della famiglia XILINX e relativa evaluation board ML506, è l'elemento di "intelligenza" di tutta l'elettronica. Questa deve:

- comunicare con il PC utente per configurare i segnali di test
- generare i segnali impostati sulle uscite dedicate della EVB
- restituire i dati dell'elaborazione all'utente

Per rendere possibile tutto ciò è stato necessario implementare un firmware ad hoc. Ci sono ovviamente varie tecniche di programmazione e la struttura scelta implementa una macchina a stati finiti (FSA, *Finite State Automata* [4]).²

4.1.1 Macchina a stati finiti

Una macchina a stati finiti è un modello che permette di descrivere con precisione e in maniera formale il comportamento di molti sistemi. Grazie alla sua semplicità e chiarezza questo tipo di modello è molto diffuso nell'ingegneria e nelle scienze, soprattutto nel campo dell'informatica e della ricerca operativa. Nello specifico, con gli automi a stati finiti, si possono modellare tutti i sistemi che possiedono le seguenti caratteristiche:

- Dinamicità: caratteristica di evolvere nel tempo passando da uno stato ad un altro.
- Discretezza: caratteristica che indica che le variabili d'ingresso e gli stati del sistema da modellare possono essere espressi con valori discreti.
- Simboli finiti: caratteristica che determina che il numero di simboli di ingresso e di stati sia rappresentabile da un numero finito.

Qui in seguito viene riportata la struttura base in HDL per l'implementazione delle macchine a stati utilizzate nel firmware.

```

1 //transizioni generiche ad ogni fronte positivo del clock
2 always@ (posedge clock or posedge reset)
3 if(reset) state<=idle;
4 else state<=next_state;
5
6 always@* //transizioni specifiche per ogni stato
7 case(state)
8 idle: if(start) //segnale di start
9         next_state<=first_state;
10        else next_state<=idle;
11 first_state: if(flag1) //segnale flag1
12                next_state<=second_state;
13                else next_state<=first_state;
14 second_state:....;
```

²Macchine a stati finiti, o anche automi a numero di stati finito, vengono spesso chiamati in modo errato “automi a stati finiti” a causa della traduzione inglese - italiano di FSA (Finite State Automata), ma non è lo stato ad essere finito, bensì il numero degli stati.

```

15 ecc...;
16 endcase
17 always@(posedge clock)
18 case(state)
19 ... //funzione di ogni stato
20 endcase

```

Il codice esposto è la rappresentazione di una semplice macchina a stati. Per completezza viene riportato anche il diagramma di flusso della macchina implementata.

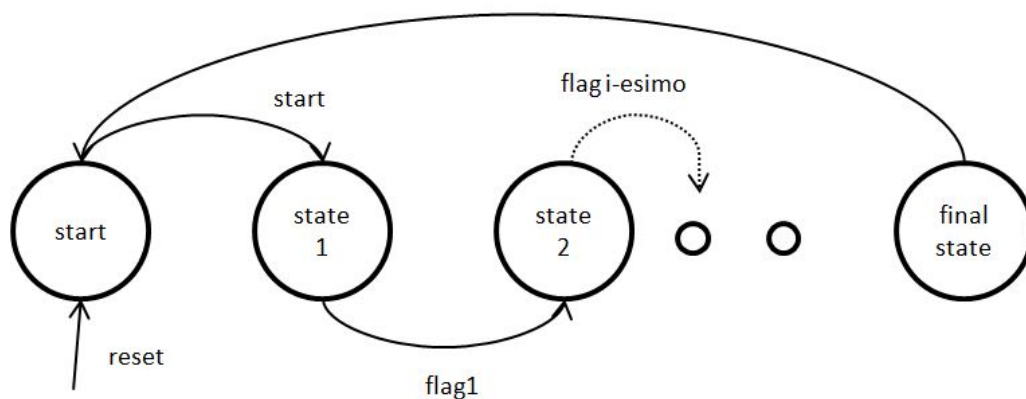


Figura 4.3: Diagramma a blocchi della macchina a stati

4.1.2 Firmware implementato

Il software nell'FPGA è organizzato come molteplici macchine a stati che si attivano in sequenza o contemporaneamente grazie a degli appositi flag predisposti nel codice [12]. Questa soluzione permette di gestire tutte le funzioni implementate nel codice HDL:

- Gestire la comunicazione tramite protocollo TCP-IP con il PC
- Riconoscere i comandi di start, stop, numero di byte da generare, pattern scelti dall'utente e inviati dal PC.
- Generare i pattern impostati ad una ben determinata frequenza specifica
- Lettura e memorizzazione in memorie FIFO dei dati ricevuti dal PCB di test

- Confronto dei dati ricevuti con quelli inviati

Il firmware è stato predisposto per essere utilizzato in due modi distinti, definiti come **continuos_mode** e **data_mode**. Il primo permette il test dei segnali di clock generando un pattern e mandandolo continuamente ad una ben determinata frequenza e disabilitando la parte di confronto dei dati mentre il secondo, permette di testare i dati generando uno specifico numero di byte con un determinato pattern ad una ben definita frequenza ed esegue il confronto dei dati letti con quelli inviati e manda il risultato all'utente. Ciascuna linea di segnale differenziale è resa accessibile tramite degli headers presenti sulla evaluation board.

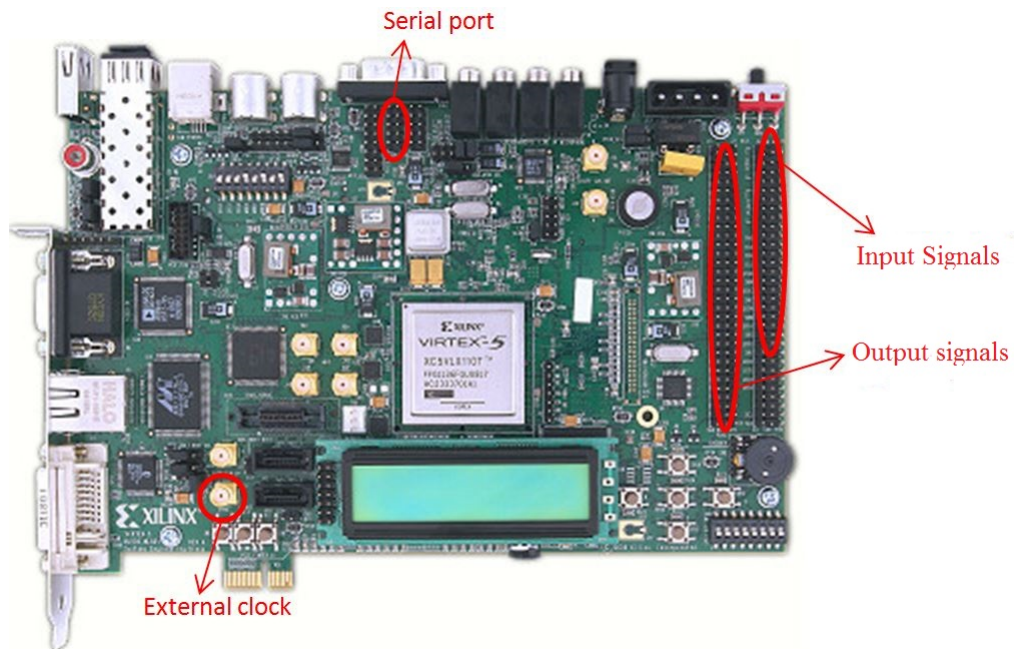


Figura 4.4: Evaluation board Virtex5 ML506

Il segnale di clock in entrambi i casi, viene fornito da un generatore esterno di funzioni Tektronix AFG 3252 3 Gs/s e banda 240 MHz. Il protocollo di comunicazione TCP-IP con il PC è realizzato tramite una porta Ethernet (Lantronix X-Port) che esegue la conversione da seriale a Ethernet per rendere possibile la comunicazione tra il PC e l'FPGA.

Diagramma a blocchi del firmware implementato

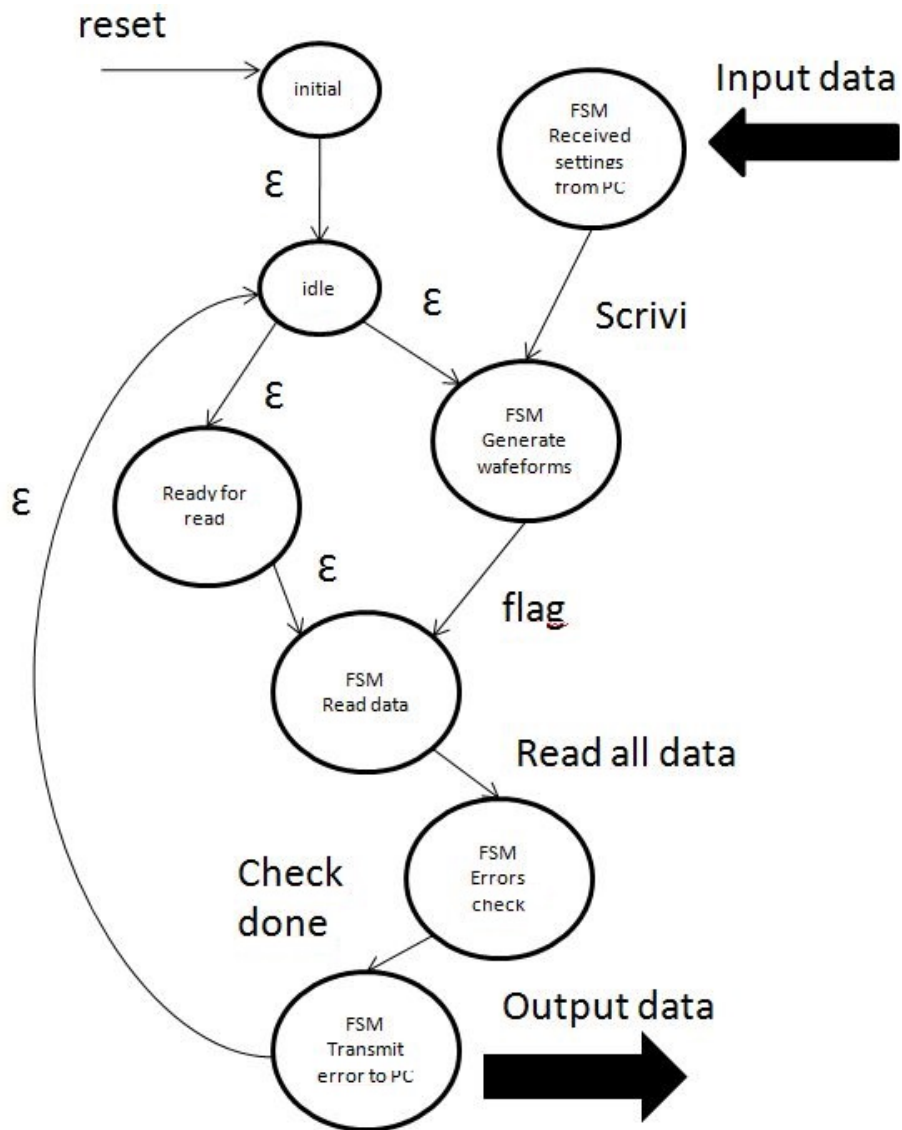


Figura 4.5: Diagramma a blocchi del firmware implementato.

Scheda Lantronix

Per agevolare la comunicazione tra PC e FPGA si è scelto di utilizzare una Lantronix X-Port che permette la conversione Ethernet/seriale. I dati infatti, vengono trasmessi e ricevuti in modo seriale, secondo un protocollo simile al RS232, con uno start bit all'inizio e uno stop bit alla fine di ogni parola. Il massimo *Baud_rate* consentito dal dispositivo è 921600 bit/s ma non avendo particolari vincoli di velocità si è scelto di impostare la comunicazione con un *Baud_rate* di 9600 *bit/s*.

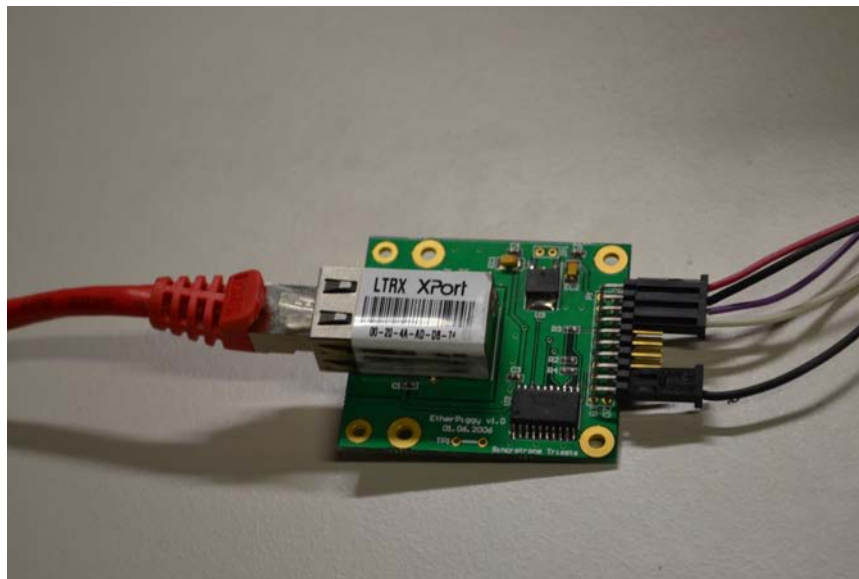


Figura 4.6: Scheda Lantronix per la conversione Ethernet seriale.

Una delle macchine a stati implementate all'interno dell'FPGA ha il compito di gestire la comunicazione tramite questo dispositivo. Il funzionamento di questo modulo *Lantronix_Xport_controller* può essere pensato come due macchine a stati indipendenti, una per la ricezione e una per la trasmissione dei dati. Il clock con il quale esse vengono pilotate è generato all'interno dell'evaluation Board con una frequenza di 27 MHz in modo da campionare il segnale un numero significativo di volte così da rendere più sensibile la sincronizzazione per la lettura dei dati.

$$N_{campioni} = \frac{f_{clock}}{Baud_rate} = \frac{27 \cdot 10^6}{9600} \simeq 2812 \text{ campioni}$$

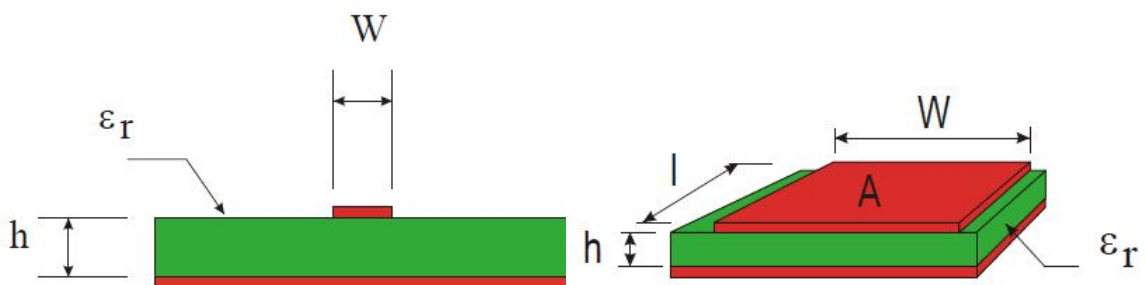
Al termine di ogni ricezione (1 Byte), il flag *received* segnala quando il dato è disponibile nel registro predisposto *data_in*.

4.2 Circuito stampato

In elettronica un circuito stampato, anche conosciuto come PCB (Printed Circuit Board) è un supporto utilizzato per interconnettere tra di loro i vari componenti elettronici di un circuito tramite piste conduttive incise su di un materiale non conduttivo. Generalmente il materiale usato come supporto è la vetronite ramata ($\epsilon_r = 4.5$), ovvero, una piastra di fibra di vetro (“Fiberglas”) ricoperta da un sottile strato metallico. Tale strato viene successivamente intagliato con la tecnica di fotoincisione (tramite l’azione di luce e acidi) o con quella di fresatura meccanica (tramite fresa CNC). L’intaglio serve a creare le sopracitate piste che interconnetteranno tra loro i vari componenti del circuito progettato. In breve, il circuito stampato può essere definito come la scheda su cui verranno saldati tutti i componenti del circuito elettronico che si sta realizzando. A seconda del tipo di substrato e di processo produttivo, il circuito stampato può essere definito meccanicamente rigido, flessibile rigido-flessibile costituito da parti rigide collegate tra loro da sezioni flessibili.

A seconda del numero degli strati conduttivi presenti nel circuito stampato il processo produttivo diventa progressivamente più complesso e costoso. In base alla complessità tecnologica, proporzionale al numero di strati, si parla di: monofaccia (un solo strato conduttivo), doppia faccia (due strati conduttivi) oppure multistrato (nella maggior parte delle applicazioni di numero compreso tra 4 e 8 strati, ma è possibile anche realizzare 20 o più strati). Gli strati sono anche denominati con il termine inglese “layers”.

Gli elementi di un PCB sono molteplici tra cui piste, vias, piani, ecc., ogni uno dei quali introduce degli elementi parassiti quali capacità e induttanze che con determinati tipi di segnali e/o componenti possono compromettere il corretto funzionamento del circuito [4].



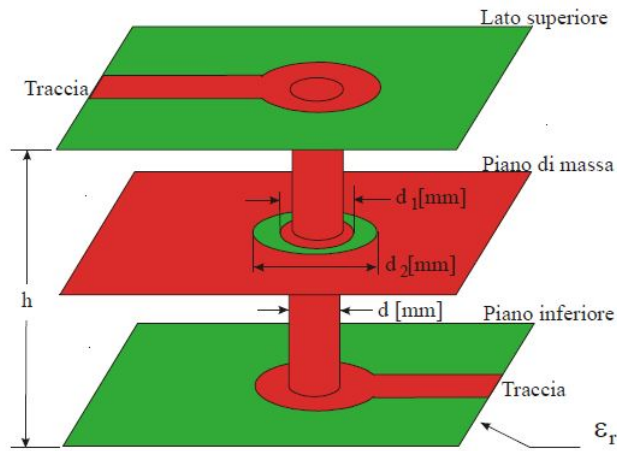


Figura 4.7: Piste, piani e fori passanti sui PCB.

High Speed Design

Nei PCB i segnali si propagano lungo le piste. Tuttavia con segnali ad elevata frequenza bisogna considerare la pista come una linea di trasmissione e quindi ogni traccia deve essere terminata correttamente per avere la condizione di adattamento del carico. Il disadattamento crea riflessioni e queste, a loro volta, creano distorsioni e irradiazione del segnale stesso introducendo nel peggiore dei casi fenomeni di jittering³ e problemi di timing [4].

Una traccia si può considerare come una linea di trasmissione quando:

$$Lunghezza \geq \frac{t_r}{6/V_p} \quad (4.1)$$

con t_r tempo di salita del segnale e v_p velocità di propagazione nel mezzo. A sua volta la velocità di propagazione del segnale nel mezzo si può esprimere come:

$$V_p = \frac{c}{n} = \frac{c}{\sqrt{\epsilon_r}} \quad (4.2)$$

con $c = 3 \cdot 10^8$ m/s velocità della luce.

³In elettronica e telecomunicazioni con il termine jitter si indica la variazione di una o più caratteristiche di un segnale come, ad esempio, l'ampiezza, la frequenza, la fase. Le cause che portano alla comparsa di jitter devono essere tenute in forte considerazione nella progettazione dei sistemi e componenti elettronici in cui l'integrità dei segnali è un vincolo stringente.

4.2.1 Circuito di test

Ultimato il codice HDL ed avendo quindi definito i pin per i vari segnali di test, il passo successivo è stato creare due PCB. Uno per prelevare i segnali dagli headers presenti sulla evaluation board e dove poter predisporre un connettore per il cavo adibito al trasferimento dati mentre l'altro funge da scheda di test contenente le connessioni multi-drop tramite wire bonding. Questi stampati sono stati progettati con il CAD elettronico "Altium Designer". Il primo passo della progettazione riguarda la realizzazione degli schematici, in questo caso due, uno per il connettore per l'EVB e l'altro per la scheda di test. Questi sono disponibili nell'allegato A a fine tesi.

Vista la configurazione del test e non dovendo rispettare particolari vincoli meccanici per le dimensioni della scheda si è deciso di realizzare tali stampati nel medesimo laboratorio di ELETTRA tramite una fresa LPKF. Tale macchinario consente processi realizzativi che presentano i seguenti limiti:

- larghezza minima per le piste: 8 mills⁴
- dimensione minima per i vias: foro 16 mills, annular ring 32 mills

Non avendo quindi vincoli dimensionali rilevanti e considerando la "bontà" della fresa, la parte più delicata riguarda lo sbroglio delle linee differenziali dei segnali. Queste infatti, secondo le specifiche devono essere terminate con una impedenza di 100Ω . Le singole piste quindi devono essere dimensionate determinandone larghezza e distanza in modo da presentare un'impedenza differenziale di $Z_{diff} = 100\Omega$ e un'impedenza verso massa di circa $Z_{common} = 50\Omega$. Per determinare tali grandezze si è utilizzato il software numerico PolarSI9000.

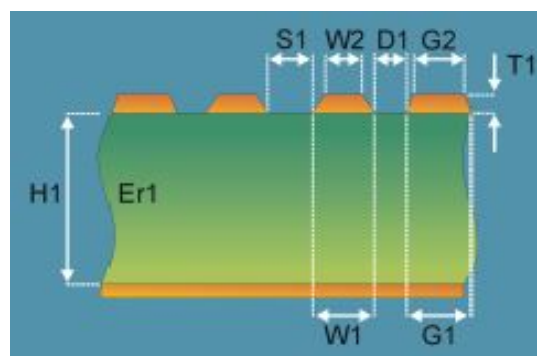


Figura 4.8: Parametri per il calcolo dell'impedenza differenziale delle piste differenziali.

⁴1 mills = 0.0254 mm

Come si vede dalla figura 4.8 è stato di scelto di sviluppare delle schede doppio strato, questo per facilitare lo sbroglio di tutte le linee. Per garantire l'adattamento di impedenza sono stati usati i seguenti parametri:

- L'altezza delle piste in rame T1: $35\mu m$.
- La distanza dal piano di massa sottostante H1: $430\mu m$.
- La larghezza delle piste differenziali $W1 = W2$: 11 mills.
- La distanza tra due piste differenziali dello stesso segnale S1: 10 mills.
- La distanza dal piano di massa sullo stesso layer D1: 10 mills.
- La costante dielettrica ϵ_r della scheda utilizzata: 4.6 (FR4).

Con i parametri sopracitati si è giunto ad avere $Z_{diff} = 104\Omega$ e $Z_{common} = 48\Omega$. Per questi valori ovviamente si deve tenere conto di una tolleranza di circa il 10%.

Per quanto riguarda le linee di alimentazione, le quali vengono prelevate direttamente dall'evaluation board, è preferibile al fine di un buon design tracciarle con una larghezza più ampia rispetto alle piste di segnale. Si è scelto di usare una larghezza pari a 30 mills.

I vari strati del connettore e della scheda di test sono riportati nelle figure seguenti (4.9 a 4.12).

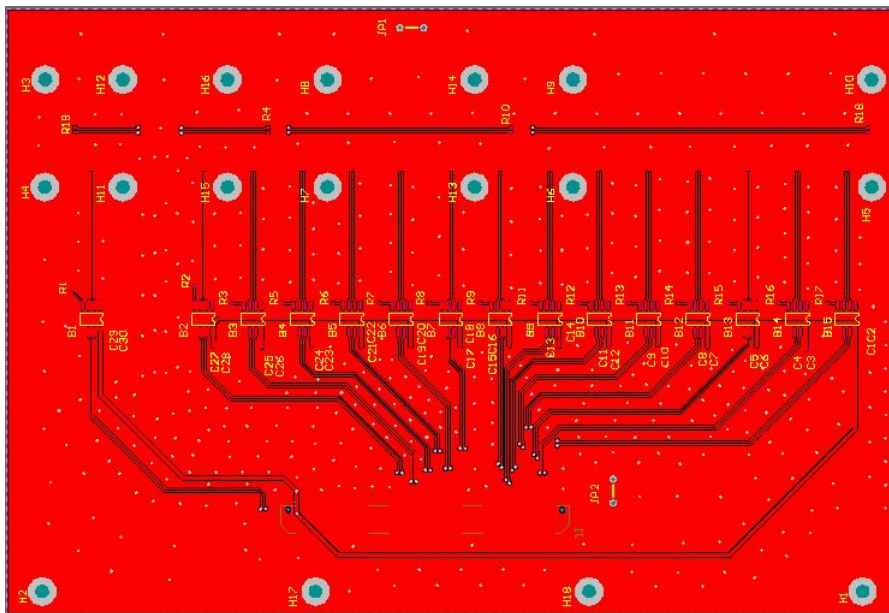


Figura 4.9: Top Layer scheda di test: su questa scheda sono situati i buffer e le connessioni multi-drop.

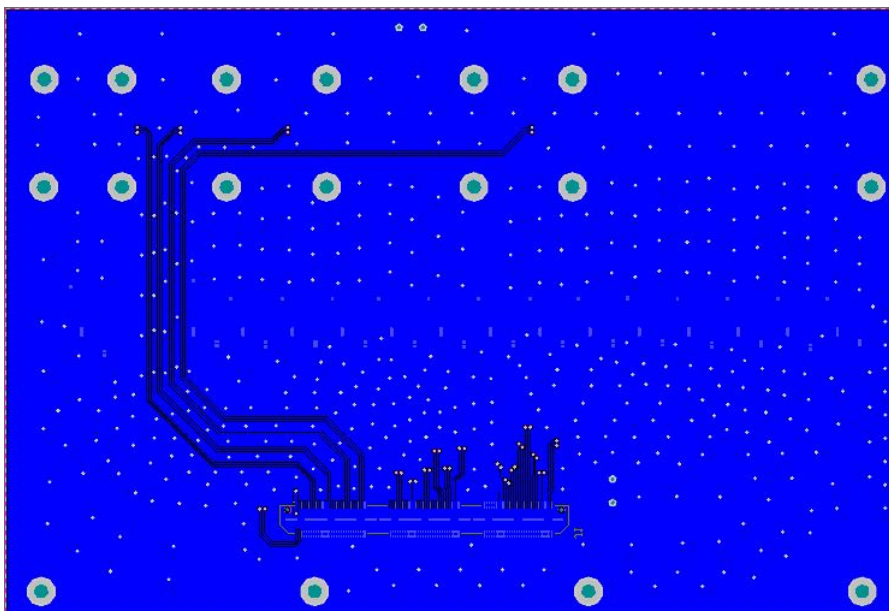


Figura 4.10: Bottom Layer scheda di test.

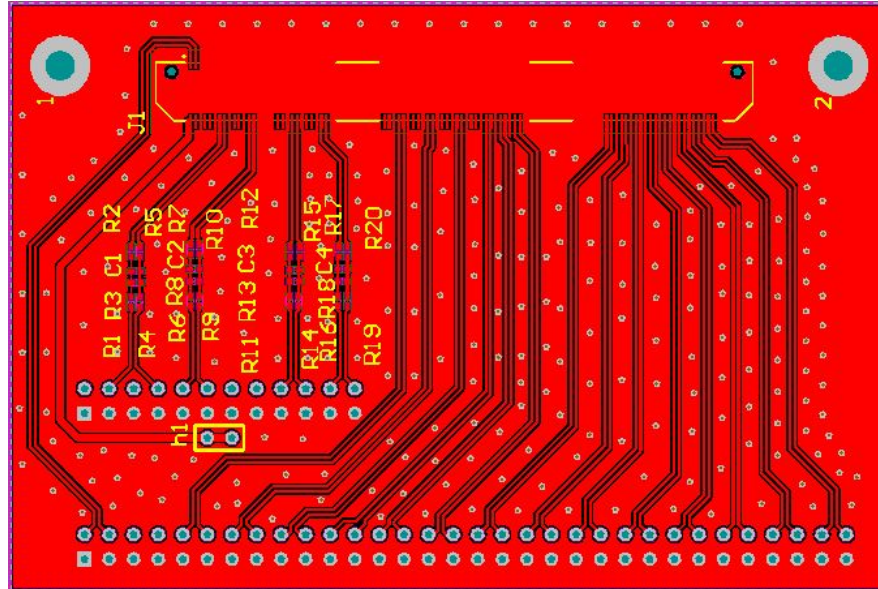


Figura 4.11: Bottom Layer del connettore posizionato sulla evaluation board.

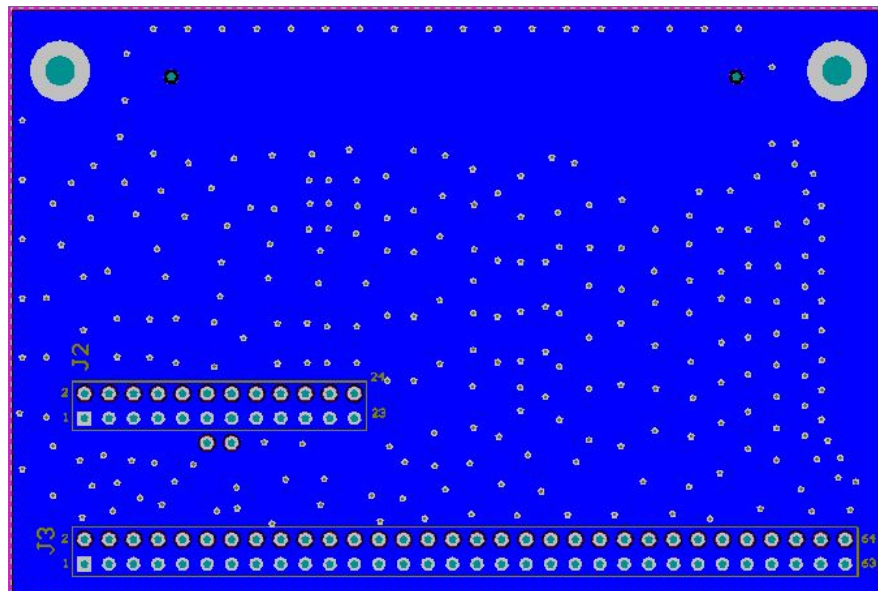


Figura 4.12: Bottom Layer del connettore posizionato sulla evaluation board.

4.2.2 Filtraggio dei segnali d'ingresso

Come si può vedere dal top layer del PCB del connettore per l'evaluation board è stato predisposto un filtro del primo ordine per i segnali differenziali d'ingresso per valutare se questo possa migliorare il segnale per le finalità del test.

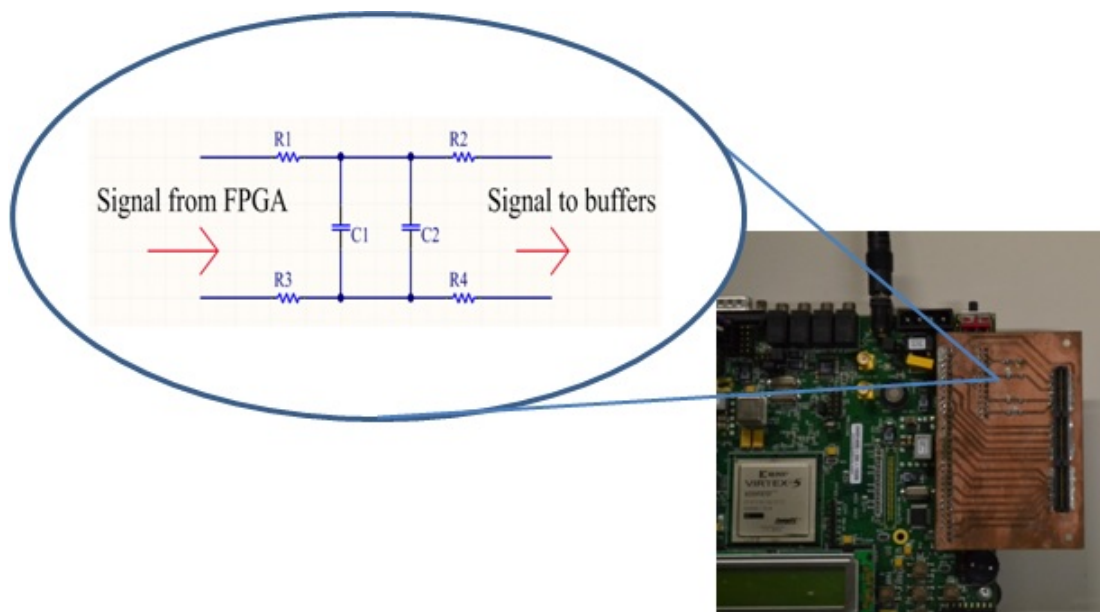


Figura 4.13: Filtro d'ingresso per i segnali differenziali.

Con questa configurazione, ogni componente del segnale trasmesso viene visto come single ended e considerando le coppie di resistenze R_1, R_3 e R_2, R_4 uguali, si vede un partitore RC (classico filtro passa basso del primo ordine) formato da $R = R_1$ e $C = 2 \cdot (C_1 + C_2)$. La frequenza di taglio del filtro per il segnale trasmesso risulta essere:

$$\omega_{-3dB} = \frac{1}{R \cdot C} = \frac{1}{2 \cdot R_1 \cdot (C_1 + C_2)}$$

da cui:

$$f_{-3dB} = \frac{\omega_{-3dB}}{2 \cdot \pi}$$

La coppia R_2, R_4 andrà a formare lo stadio di filtro per la componente riflessa con le stesse relazioni enunciate sopra. Viene ora mostrata in figura 4.14 la risposta in frequenza del primo ordine del filtro predisposto.

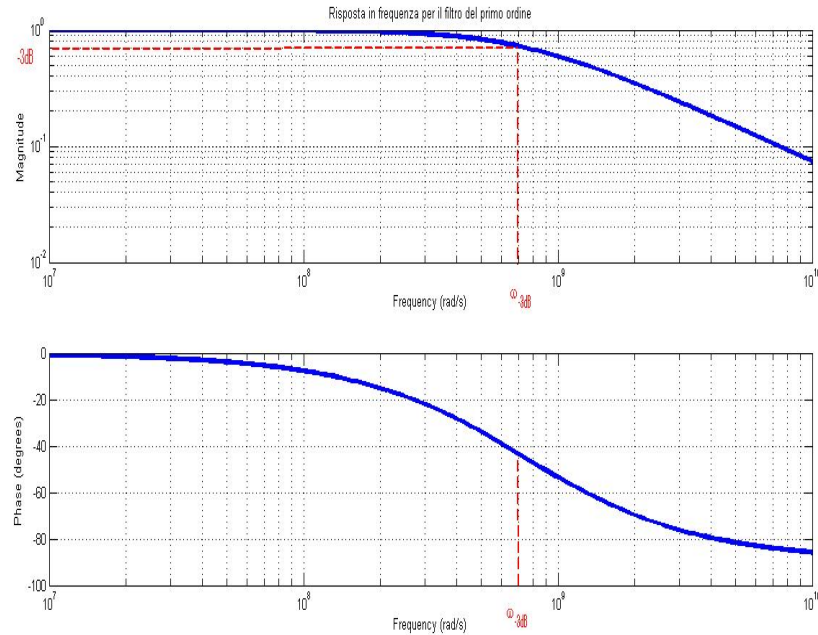


Figura 4.14: Risposta in frequenza per il filtro del primo ordine.

4.2.3 Linee differenziali e connessioni multi-drop

LVDS (Low Voltage Differential Signal) è la famiglia di segnali differenziali maggiormente usata. Il basso consumo di energia, minima EMI, ed un'eccellente immunità al rumore sono le caratteristiche che hanno reso LVDS l'interfaccia più comune per molte applicazioni [5][6][7][8][9][10][11].

Si ricorda che le relazioni che legano i singoli segnali alla coppia differenziale sono le seguenti:

- tensione differenziale $v_d = v_1 - v_2$
- tensione di modo comune $v_c = \frac{v_1 + v_2}{2}$
- singoli segnali $v_1 = v_c + \frac{v_d}{2}$ e $v_2 = v_c - \frac{v_d}{2}$

Ci sono essenzialmente tre ragioni per preferire le linee differenziali ai segnali single ended. La più importante è che il collegamento tra le due estremità del percorso del segnale e massa può essere scarso e questo non compromette la qualità dei dati. La seconda ragione che giustifica i segnali differenziali è che il collegamento può subire una sostanziale attenuazione del segnale senza compromettere il funzionamento. Nel caso di molte connessioni Gigabit i segnali possono essere attenuati fino al 20 dB e il collegamento continua a

funzionare correttamente.

La terza ragione è che si possono utilizzare coppie differenziali per i percorsi dei dati con frequenze elevate di dati quali Gigabit. È possibile guidare percorsi differenziali fino a 10 Gb/s su tracce di rame o in materiali standard per la costruzione di PCB. Questo è impossibile da fare in presenza di percorsi logici single-ended. A queste motivazioni deve essere aggiunto inoltre che il sistema risultante è più immune ai rumori in quanto i due segnali in contro fase attenuano i disturbi.

Un altro aspetto che verrà discusso brevemente è la topologia⁵ nella quale verranno utilizzate le linee differenziali.

Point-to-point

La topologia point-to-point coinvolge una singola coppia driver-ricevitore. I mezzi di interconnessione possono essere molto semplici e tipicamente richiedono un numero minimo di transizioni da un supporto all'altro. Un numero minimo di transizioni di solito significa che il percorso del segnale deve avere un'impedenza ben controllata. Se si riesce a garantire questo si può arrivare a frequenza di trasmissione molto elevate.

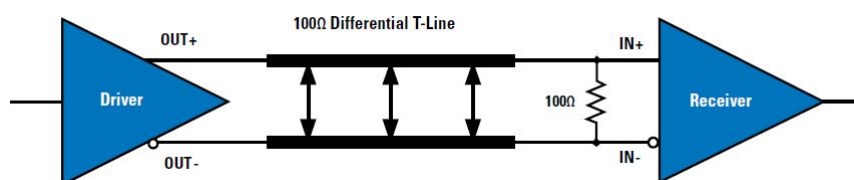


Figura 4.15: Topologia point-to-point

⁵Il termine topologia di rete si riferisce di solito ad una topologia fisica o una disposizione dei nodi di rete (ad esempio, l'anello, Mesh, Stella, Bus, o Albero topologie di rete).

Multi-drop

A differenza della topologia point-to-point, le topologie multipunto presentano più driver di segnali e tutti i ricevitori condividono un'unica interconnessione. Una variante della topologia multipunto dove è presente un singolo driver e più ricevitori è denominata **multi-drop**.

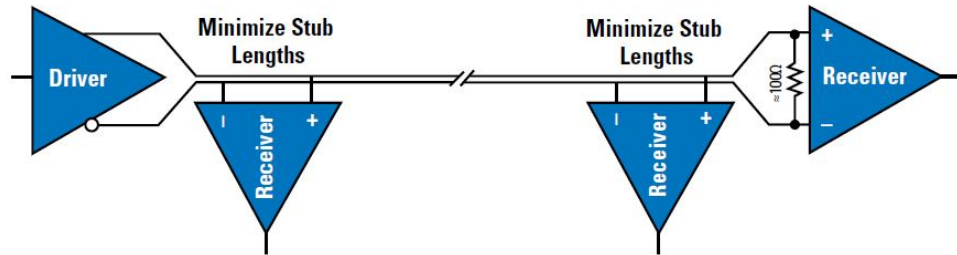


Figura 4.16: Topologia Multi-drop (Multi-point).

Ora che sono state spiegate le varie connessioni che è stato necessario implementare verrà illustrata la disposizione delle piste nel circuito di test. Ogni connessione multi-drop viene indicata con l'abbreviazione MD_i dove i è il numero di ricevitori inseriti nella dorsale (ES. MD5 ha 5 ricevitori).

N.B. Si rimarca nuovamente il fatto che nella scheda di test le interconnessioni al bus principale sono effettuate tramite **wire bonding**.

4.2.4 Wire bonding

Il Wire bonding è la tecnica principale per la realizzazione di interconnessioni fra i Circuiti Integrati (IC) e le schede per circuito stampato (PCB), durante la fabbricazione di dispositivi microelettronici. Il wire bonding può essere anche utilizzato per collegare un circuito integrato ad altri componenti elettronici, per connettere tra loro diverse PCB e per interconnettere elettricamente un circuito integrato al package. Il wire bonding è generalmente considerato la tecnologia di interconnessione più flessibile e con un miglior rapporto costo-efficacia, e viene utilizzato durante le fasi di assemblaggio dei circuiti integrati nei packages per la grande maggioranza dei dispositivi microelettronici. I fili comunemente utilizzati in questa tecnica sono realizzati in Oro, Alluminio, o Rame. I diametri dei fili partono da 15 micron e possono raggiungere parecchie centinaia di micron per applicazioni di elevata potenza. I fili del wire bonding introducono una capacità parassita direttamente proporzionale alla loro lunghezza. Per avvicinarsi alla configurazione

reale di PERCIVAL, il PCB di test è stato progettato in modo da fare un collegamento con i wire bonding di circa 1 cm. Tali connessioni sono state eseguite nei laboratori del INFN di Trieste (si ringrazia in particolar modo A.Rascevsky per la realizzazione dei wire bonding).

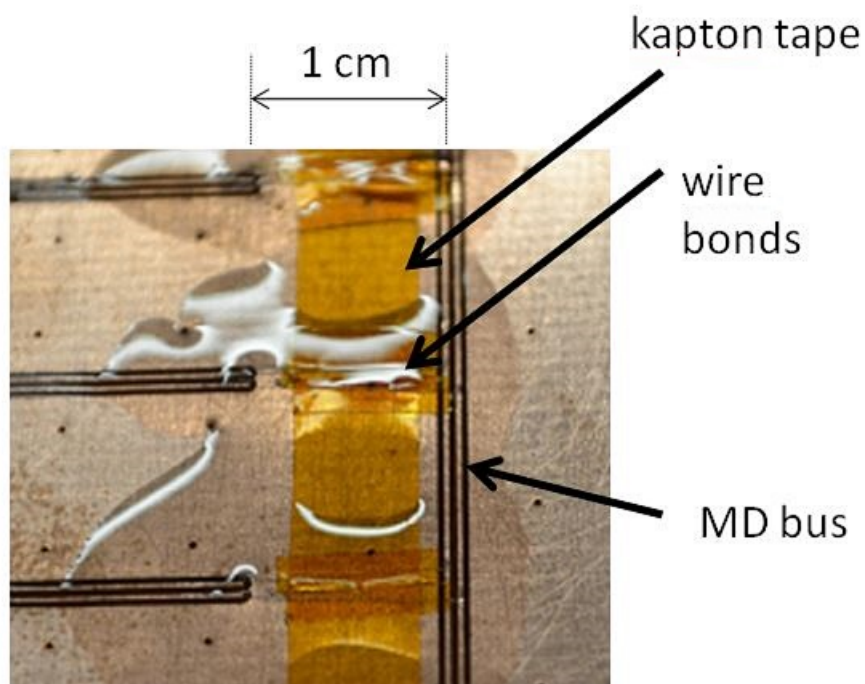


Figura 4.17: Collegamenti con i wire bondings nella scheda di test.

Questi collegamenti sono molto fragili ed essendo il PCB molto sottile, possono essere soggetti a sollecitazioni meccaniche indesiderate. Per questo motivo, come si può vedere in figura 4.17 i collegamenti sono stati trattati con una resina protettiva trasparente ed è stato applicato un nastro di kapton isolante tra filo e PCB per evitare che i contatti tocchino il piano di massa creando così un corto circuito. È stato inoltre previsto un ulteriore sistema di copertura per i wire bonds tramite delle piastre isolanti collocate sopra i collegamenti onde evitare dei contatti indesiderati con sonde e/o quant'altro. Verrà ora mostrata in figura 4.18 la scheda di test e verranno riportati in tabella le dimensioni di ciascuna connessione. Come si può vedere la distanza tra due *stub* consecutivi dello stesso bus multi-drop è di **1 cm**.

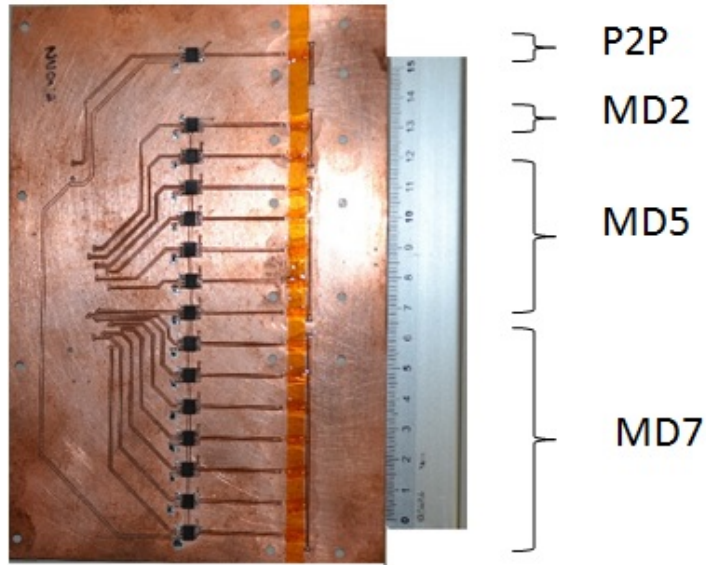


Figura 4.18: Scheda di test.

linea	lunghezza [cm]
<i>P2P</i>	10
<i>MD2_0</i>	11
<i>MD2_1</i>	12
<i>MD5_0</i> (shortest)	13
<i>MD5_1</i>	14
<i>MD5_2</i> (intermediate)	15
<i>MD5_3</i>	16
<i>MD5_4</i> (longest)	17
<i>MD7_0</i> (shortest)	18
<i>MD7_1</i>	19
<i>MD7_2</i>	20
<i>MD7_3</i> (intermediate)	21
<i>MD7_4</i>	22
<i>MD7_5</i>	23
<i>MD7_6</i> (longest)	24

Tabella 4.1: Lunghezza di ciascuna pista in configurazione multi-drop sulla scheda di test dal connettore del cavo di trasmissione.

Circuito completo di test

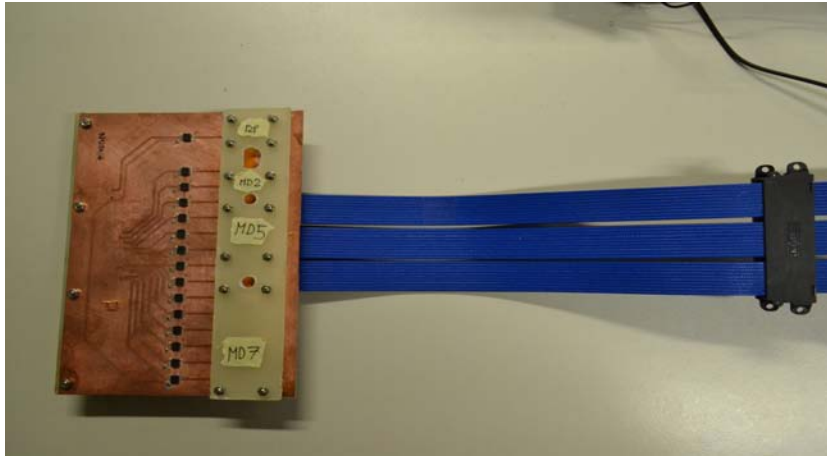


Figura 4.19: Parte del circuito di test.

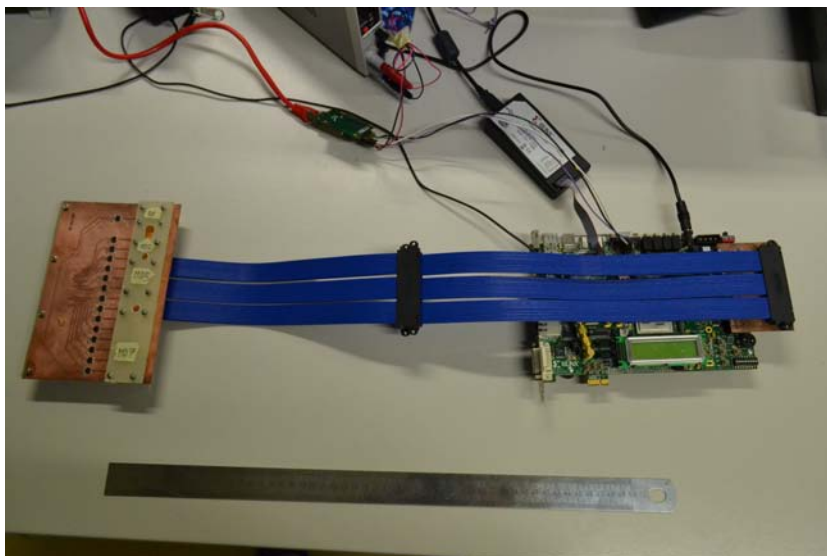


Figura 4.20: Circuito completo di test.

Il collegamento della scheda di test al connettore allocato sulla evaluation board contenente l'FPGA è stato realizzato tramite due cavi SAMTEC. La lunghezza di tale collegamento è di circa 80 cm la quale risulta essere proprio la distanza prevista tra il detector e la flangia da vuoto nel sistema finale.

4.3 Interfaccia LabVIEW

L'interfaccia LabVIEW permette all'utente di comunicare con l'FPGA e di caricarne le varie configurazioni per il test quali il pattern, il numero di byte, lo start e stop.

Avviando l'applicazione il primo pannello che viene mostrato all'utente permette di scegliere in quale modo si vuole operare. In base al pulsante che si seleziona, si aprono due differenti pannelli specifici per ogni singolo modo di funzionamento.

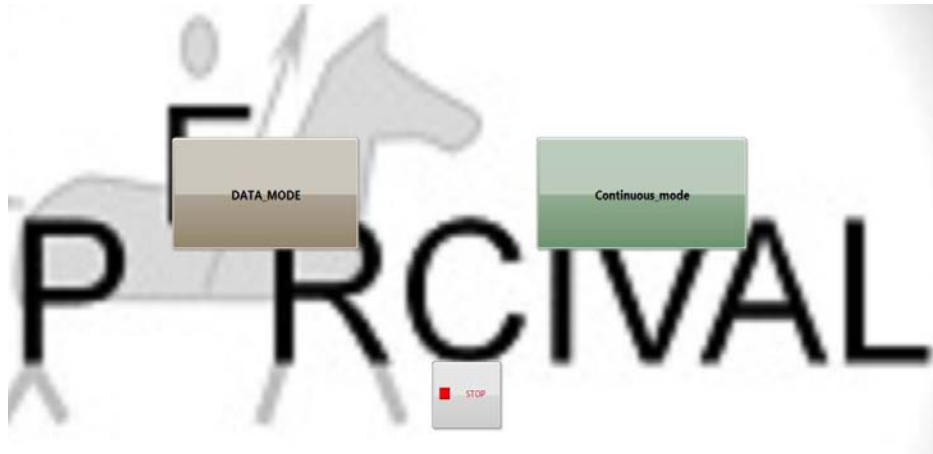


Figura 4.21: Pannello principale dell'interfaccia LabVIEW.

4.3.1 Continuous_mode

Questa configurazione è molto semplice. Indicando il pattern (un byte) desiderato in esadecimale e dando lo start, si configura l'FPGA in maniera tale da presentare alle uscite un segnale con il pattern scelto che si ripete continuamente fino a quando non si agisce sul pulsante di stop. La frequenza del segnale generato viene fissata dal generatore di funzioni esterno controllato manualmente il quale provvede a fornire il clock della macchina a stati implementata nell'FPGA che determina la frequenza di trasmissione del pattern.

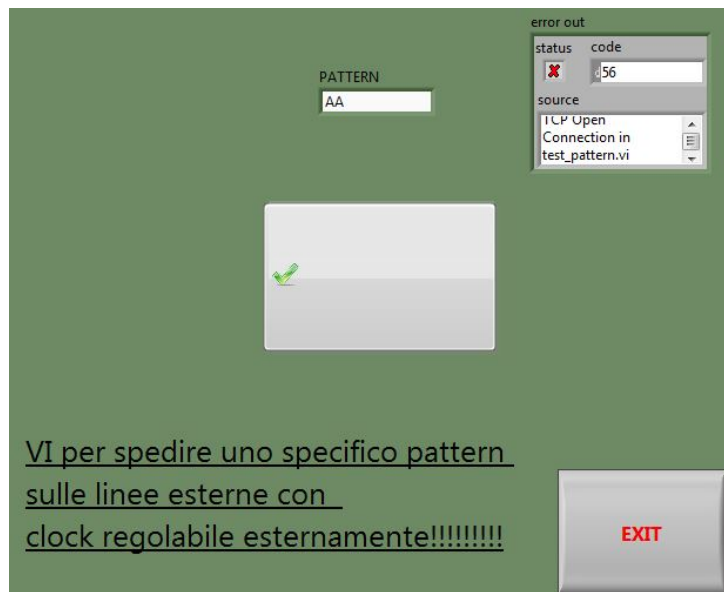


Figura 4.22: Pannello di controllo del continuous_mode.

4.3.2 Data_mode

Questa configurazione permette di generare da FPGA un segnale costituito da un numero fisso di byte che si ripete con un pattern differente. Sono stati implementati vari modi per scegliere il pattern:

- **Incrementale**, il pattern assegnato, si incrementa a ciascun blocco di byte. Così il primo blocco di byte avrà il pattern “00000000” e il blocco 128 avrà “11111111” e poi si ricomincia.
- **Random**, ad ogni blocco viene assegnato un pattern casuale tra i 128 rappresentabili (da “00000000” a “11111111”) senza ripetizioni.
- **Load a pattern**, si può configurare un pattern o una serie specificandone il nome del file dove sono salvati nella apposita casella.

Ad ogni avvio del programma viene salvato un file nella apposita cartella, contenente i pattern usati nella simulazione. Al termine di ogni simulazione invece, viene salvato un file contenente i risultati degli errori. In questa configurazione, è la frequenza di simbolo ad essere determinata dal generatore di funzioni esterno. Prima di dare il comando start bisogna impostare una serie di parametri:

1. **FILE TO SAVE**: nome del file dove verranno salvati il numero degli errori risultanti dal confronto.

2. **Numero di cicli:** numero di volte che si vuole eseguire il test.
3. **Numero di byte:** Numero di byte che andranno a costituire il blocco con lo stesso pattern.
4. **Pattern Mode:** Selezionare il tipo di pattern che si vuole generare. Al momento sono disponibili due modalità, incrementale e casuale.
5. **Load a pattern:** selezionare il nome del file contenente i vari pattern.
6. **Errors:** in questa tabella viene mostrato il conteggio complessivo degli errori individuati dal software dell'FPGA per ogni linea testata.

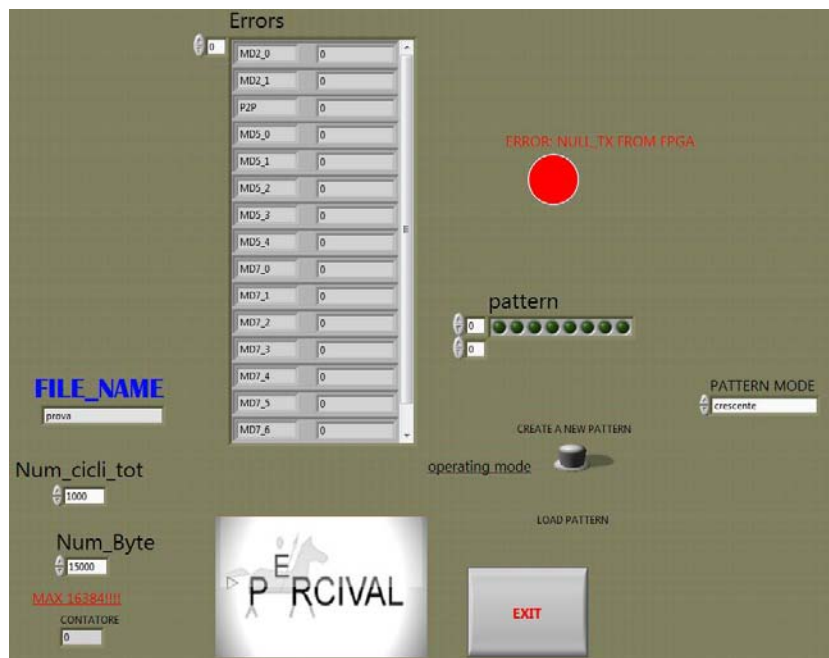


Figura 4.23: Pannello di controllo del data_mode.

Capitolo 5

Misure effettuate

In questo capitolo verranno presentati i test svolti con il sistema realizzato presentato nel capitolo precedente e verranno mostrati i relativi risultati. Le prove che sono state eseguite intendono fornire una chiara e precisa valutazione dell'integrità del segnale tramite l'analisi dei relativi diagrammi ad occhio di ogni linea testata, lungo il percorso che idealmente simulerà la connessione del chip detector all'interno della camera sperimentale in vuoto alla carrier board in aria.

5.1 Integrità del segnale

La trasmissione di un segnale numerico avrebbe a rigore bisogno di una banda infinita. La presenza di fronti molto ripidi (teoricamente a pendenza infinita) nell'andamento temporale del segnale implica la presenza di componenti spettrali significative anche alle alte frequenze. Quando dunque un segnale numerico si trova a transitare attraverso un filtro (e la situazione più frequente è quella di un canale di trasmissione che presenta un comportamento passa-basso o passa-banda) esso verrà inevitabilmente distorto. Così come illustrato qualitativamente, a titolo esemplificativo, in Figura 6.1, gli impulsi binari che sono ben distinti nel segnale di ingresso $s_i(t)$ risultano sovrapposti nel segnale di uscita $s_u(t)$ ¹. Trattandosi di un fenomeno (indesiderato) di interazione tra simboli, si è soliti parlare di interferenza intersimbolica (ISI, InterSymbol Inteference).

L'effetto di interferenza intersimbolica può essere facilmente visualizzato e analizzato su un oscilloscopio tramite la caratterizzazione del **diagramma ad occhio** (eye diagram).

¹La Figura si riferisce al transito del segnale numerico attraverso un filtro passa-basso di tipo RC.

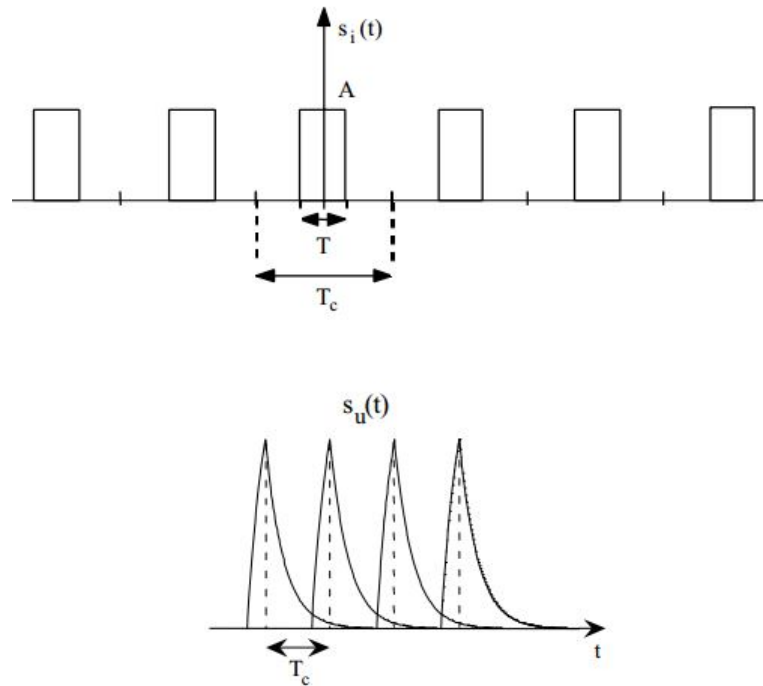


Figura 5.1: Esempio di propagazione di un segnale.

5.2 Il diagramma ad occhio

Il diagramma ad occhio si ottiene generando tutte le possibili sequenze di simboli binari e graficandone sovrapposti gli andamenti a valle del canale distorcente.

Tra i parametri caratteristici del diagramma ad occhio, quello certamente più importante è la sua apertura. Per valutare tale parametro bisogna porre particolare attenzione dove c'è il cambio di stato del segnale. È in corrispondenza di questi istanti caratteristici, anche noti come istanti di decisione, che si deve essere in grado di discriminare quale simbolo è stato trasmesso; ed è evidente che più il livello basso distorto risulta distinguibile dal livello alto distorto più la discriminazione sarà agevole e meno influenzata dagli effetti del rumore. L'apertura dell'occhio dà la massima distanza tra i due livelli, ed è allora in corrispondenza di questi punti, distanziati di T_s (tempo di simbolo) l'uno dall'altro, che dovranno essere fissati gli istanti di decisione dell'intera elettronica.

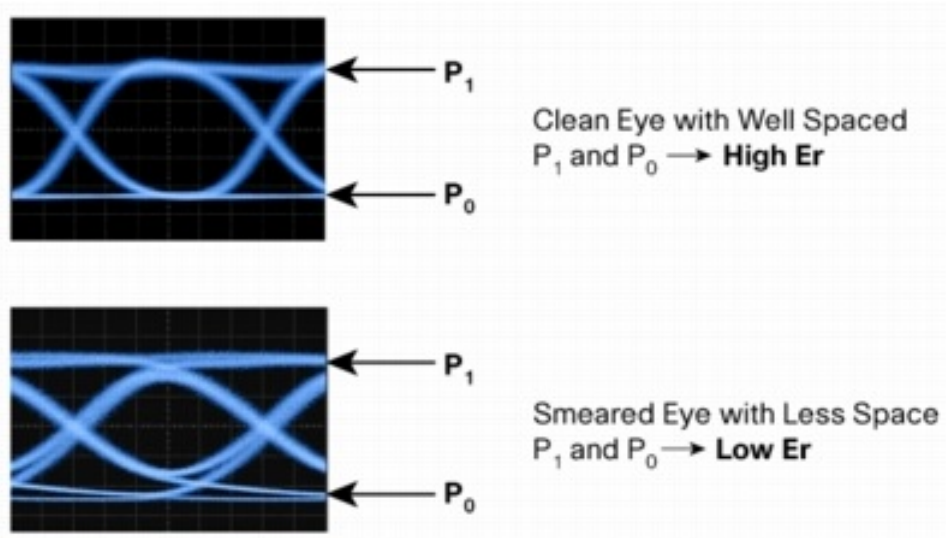


Figura 5.2: Esempio di diagramma a ad occhio.

5.3 Preparazione del banco di prova

Come già accennato nel precedente capitolo l'intero apparato di test è costituito da:

- Evaluation board XILINX ML506
- Scheda di test (due PCB e cavo SAMTEC da $\simeq 80$ cm)
- Alimentatore MATSUSADA R4K-80 per l'alimentazione scheda lantrox
- Generatore di funzioni Tektronix AFG3252 2 GS/s 240 MHz per la generazione del clock variabile
- Oscilloscopio LeCroy *waveSurfer* 600 MHz 2.5 GSample/s
- Sonda attiva differenziale Lecroy TELEDYNE Z1500 per una corretta caratterizzazione dei segnali differenziali
- Il software è configurato in `contiuos_mode`

L'obbiettivo di queste misure è valutare l'integrità del segnale in vari punti del circuito per capire l'apporto, in termini di rumore, introdotto dal cavo e dalle connessioni multi drop realizzate con i wire bonding. Per agevolare l'indagine sul circuito, come si può vedere dalla figura 5.3, sono stati predisposti vari punti di test sui PCB per agevolare l'inserzione della sonda differenziale.

Le posizioni di questi test point è sono:

1. Segnale d'uscita dall'FPGA
2. Segnale dopo il cavo e prima dei wire bonding (bus multi-drop)
3. Segnale dopo i wire bonding

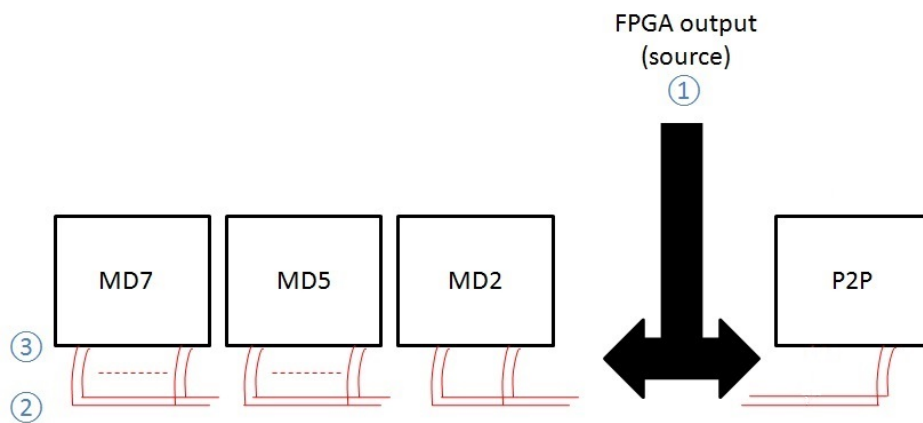


Figura 5.3: Schema del circuito.

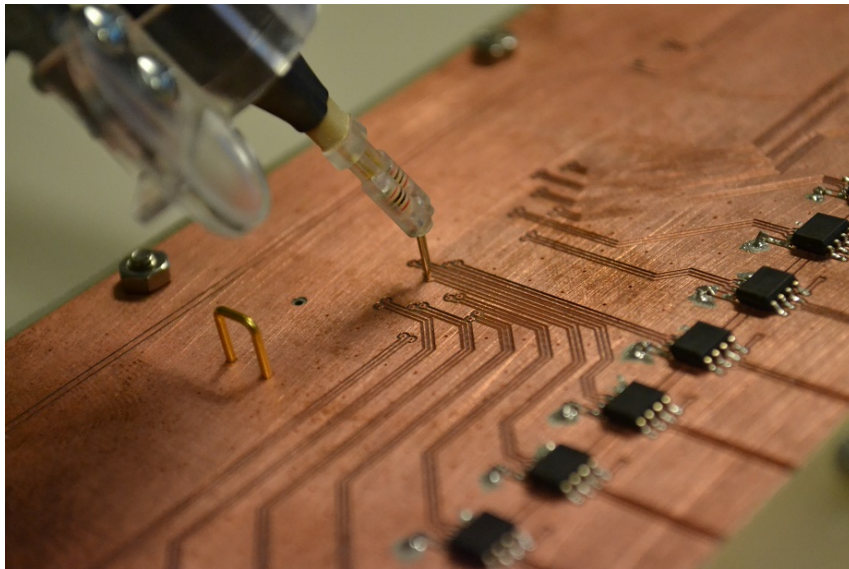


Figura 5.4: Schema del circuito.

5.4 Misure effettuate

In questa configurazione si vuole testare in particolare modo i segnali di clock (@ 50 MHz) previsti per gli ADC nel sistema reale. Una volta impostato il generatore di funzioni con la frequenza opportuna e caricato il firmware sull'FPGA si avvia il programma tramite l'interfaccia LabVIEW.

Verranno qui di seguito riportati una serie di diagrammi ad occhio delle misure effettuate sulle linee MD_5 e MD_7 e P2P. I parametri relativi all'oscilloscopio per la visualizzazione di tali immagini sono:

- asse dei tempi 5 ns · /
- asse delle ampiezze 200 mV · /

Segnale d'ingresso misurato al tp 1

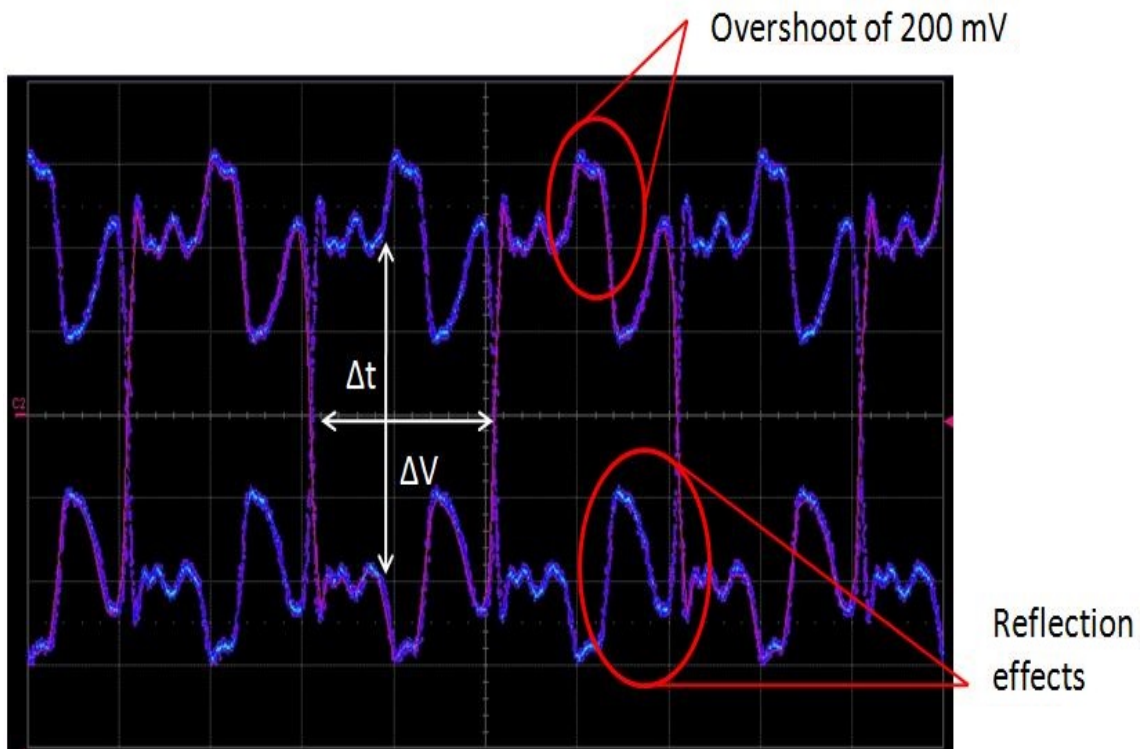


Figura 5.5: Diagramma ad occhio del segnale all'uscita dell'FPGA.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale del bus MD7 misurato al tp 2

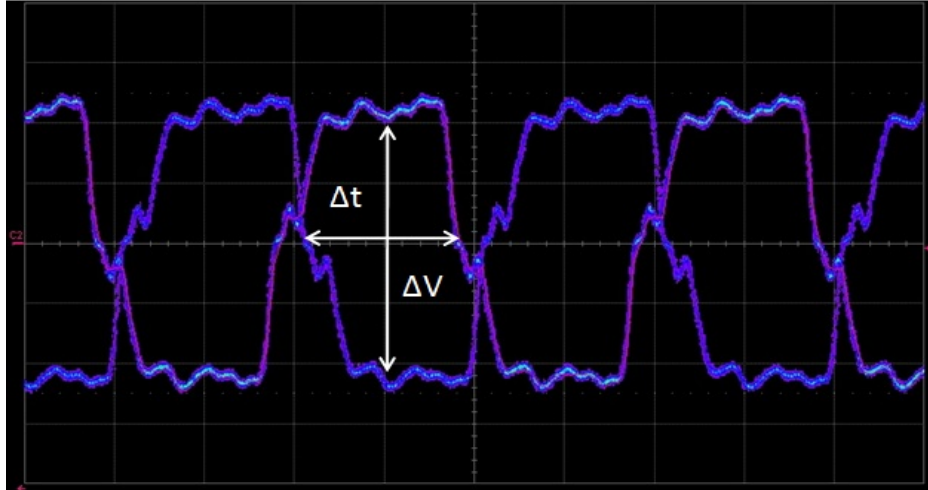


Figura 5.6: Diagramma ad occhio del segnale dopo il cavo.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD7_0 misurato al tp 3

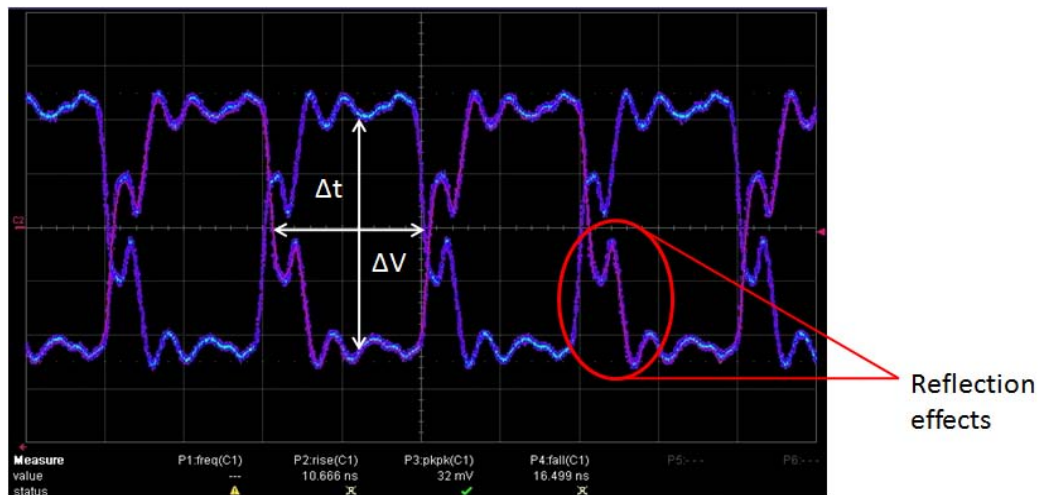


Figura 5.7: Diagramma ad occhio del segnale MD7_0 (shortest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD7_3 misurato al tp 3

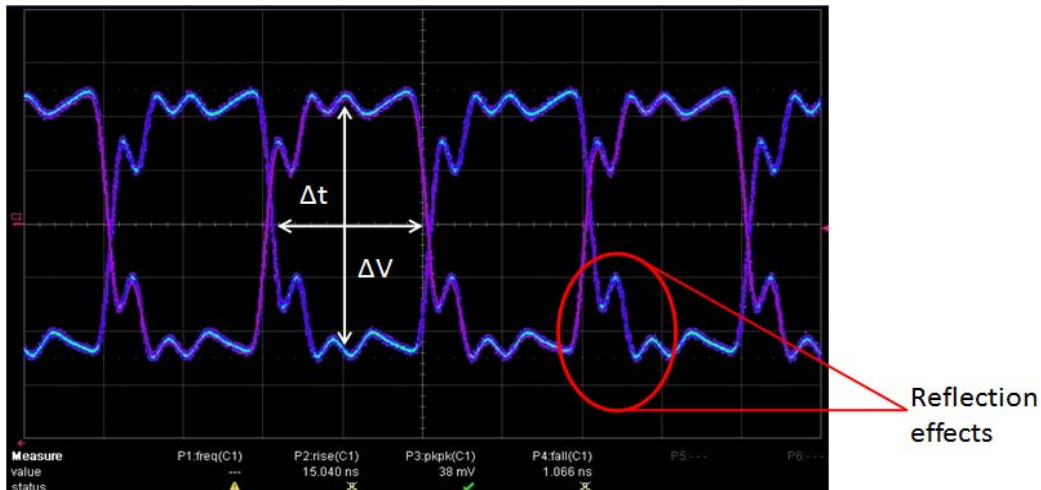


Figura 5.8: Diagramma ad occhio del segnale MD7_3 (intermediate).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD7_6 misurato al tp 3

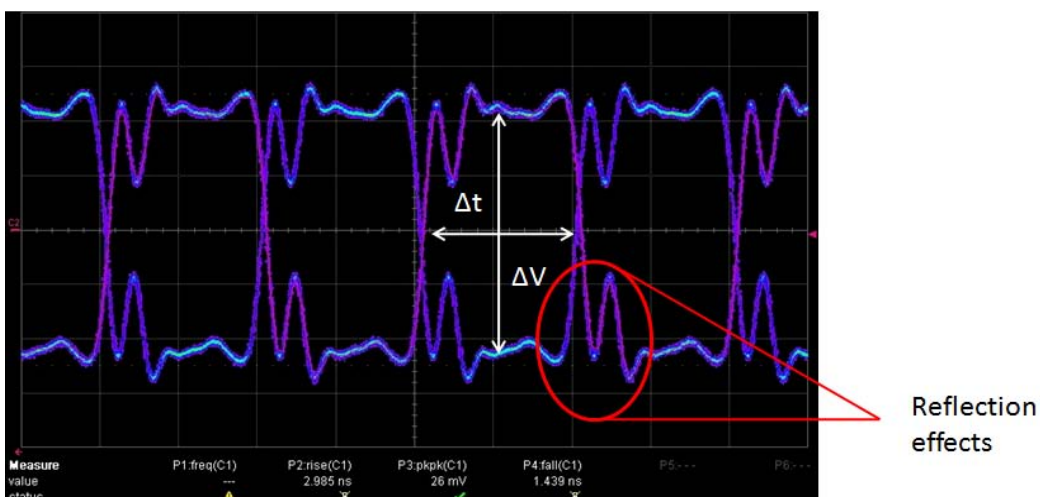


Figura 5.9: Diagramma ad occhio del segnale MD7_6 (longest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale del bus MD5 misurato al tp 2

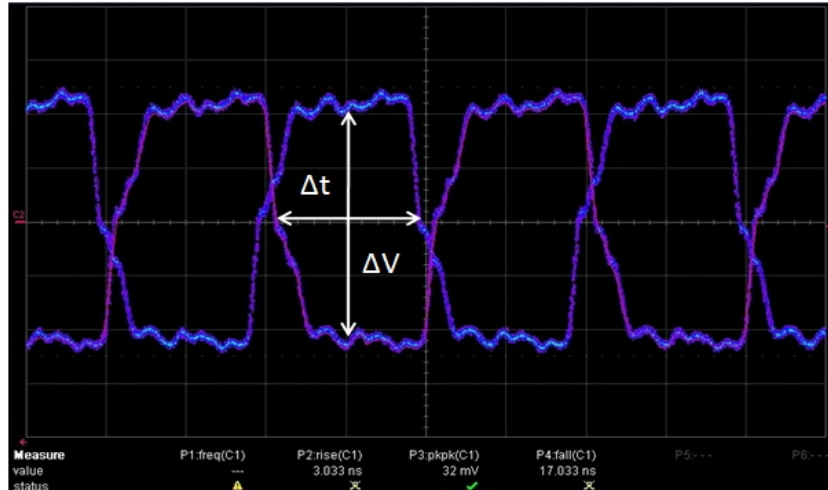


Figura 5.10: Diagramma ad occhio del segnale dopo li cavo.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD5_0 misurato al tp 3

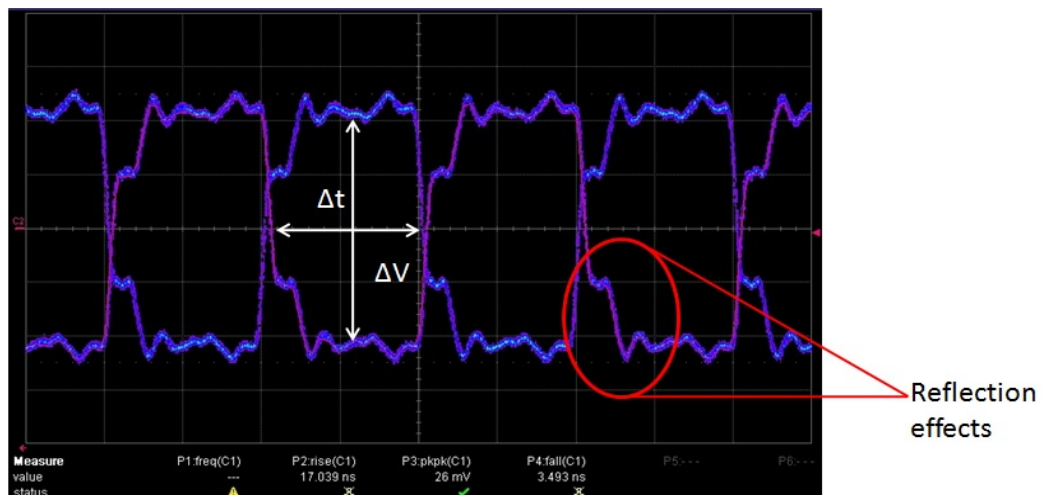


Figura 5.11: Diagramma ad occhio del segnale MD5_0 (shortest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD5_2 misurato al tp 3

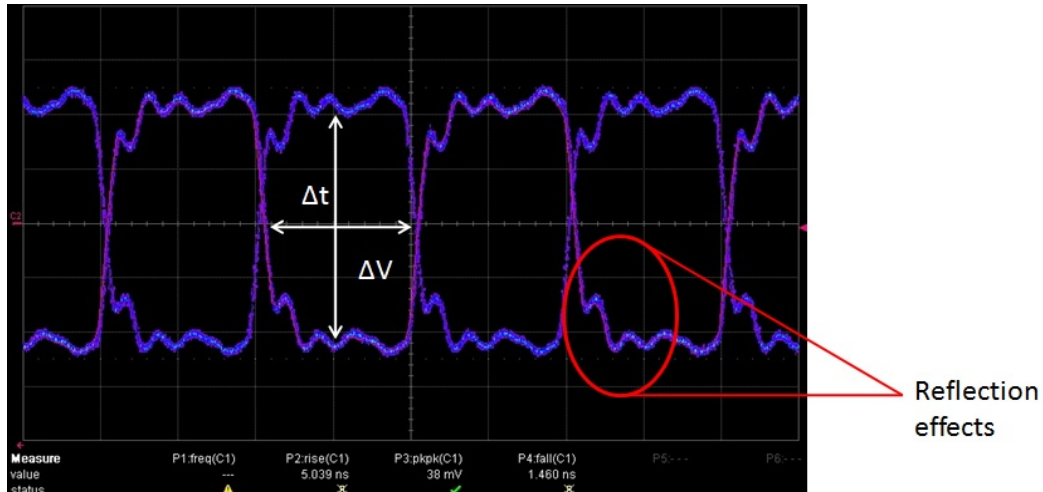


Figura 5.12: Diagramma ad occhio del segnale MD5_2 (intermediate).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Segnale MD5_4 misurato al tp 3

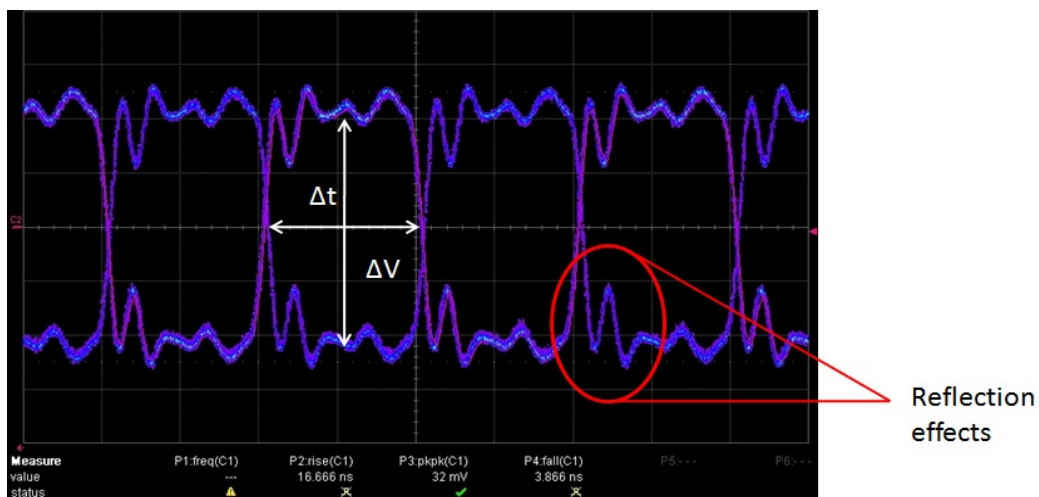


Figura 5.13: Diagramma ad occhio del segnale MD5_4 (longest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 800mV$

Come si può vedere dai diagrammi ad occhio, è immediato notare un peggioramento del segnale per le connessioni multi-drop con il collegamento più distante. Ovviamente il caso della MD7_i risulta essere il più critico. Ad ogni modo, è proprio la presenza degli undershoot e/o overshoot che crea maggiori problemi; se questi infatti superano la "zona grigia" di decisione dell'elettronica possono compromettere il corretto funzionamento dell'elettronica stessa. È necessario adottare una soluzione che permetta di "addolcire" i fronti di salita e di discesa del segnale così da eliminare le componenti rumorose che sono la causa di quelle discontinuità presenti nel segnale. Andiamo quindi ad agire sul filtro per linee differenziali che è stato predisposto sulla scheda che preleva i segnali dalla evaluation board.

Dopo varie prove è stato scelto di dimensionare il filtro in modo da comin-

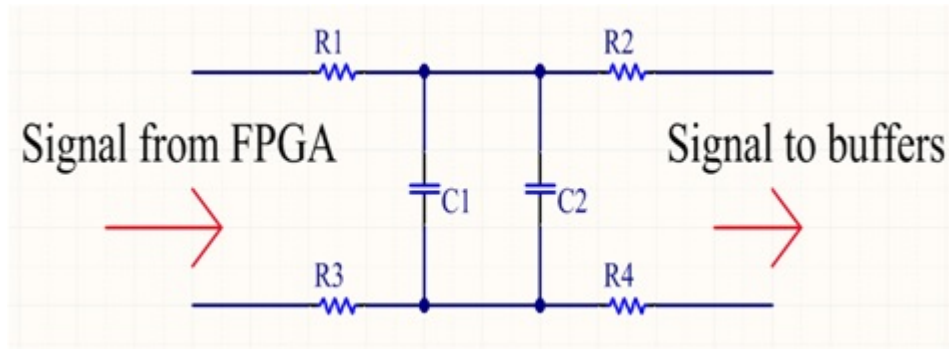


Figura 5.14: Filtro passivo del primo ordine per linee differenziali.

ciare ad attenuare dalla quinta armonica ($f_{-3dB} \geq 5 \cdot 50 \text{ MHz}$). Dopo vari aggiustamenti i valori di resistenza e capacità scelti sono:

$$R_1 = R_3 = 33\Omega$$

$$R_2 = R_4 = 0\Omega$$

$$C_1 = 15pF$$

$$C_2 = \textit{unconnected}$$

Con l'utilizzo di questa soluzione mostriamo ora come cambiano i segnali per i casi peggiori (MD7_6 e MD5_4) simulati.

Confronto del segnale MD5_4 con e senza filtro

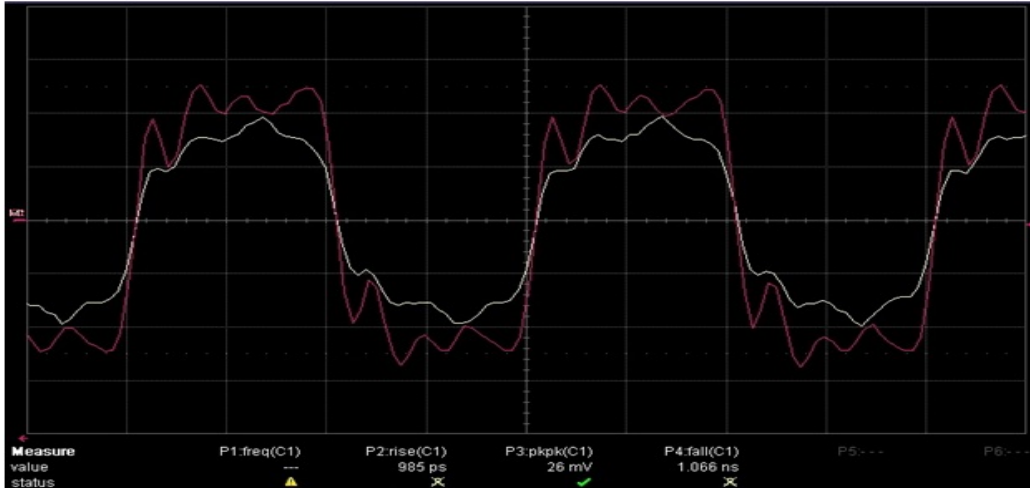


Figura 5.15: Confronto del segnale MD5_4 con e senza filtro.

Confronto del segnale MD7_6 con e senza filtro

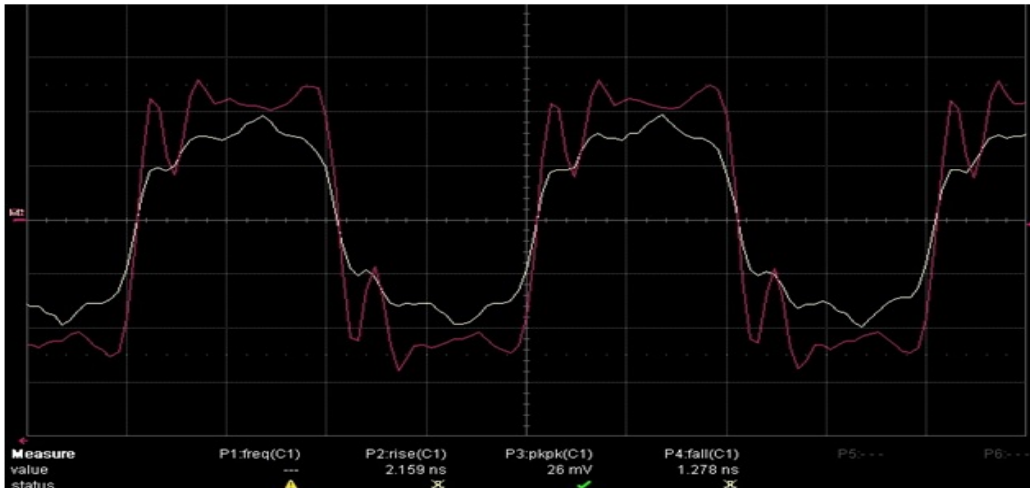


Figura 5.16: Confronto del segnale MD7_6 con e senza filtro.

Come si può vedere l'effetto del filtro è apprezzabile guardando i fronti di salita e di discesa dei segnali dove viene eliminato il fenomeno di undershoot.

Qui in seguito verranno riproposti i precedenti diagrammi ad occhio con l'inserimento del filtro.

Segnale d'ingresso misurato al tp 1 con il filtro

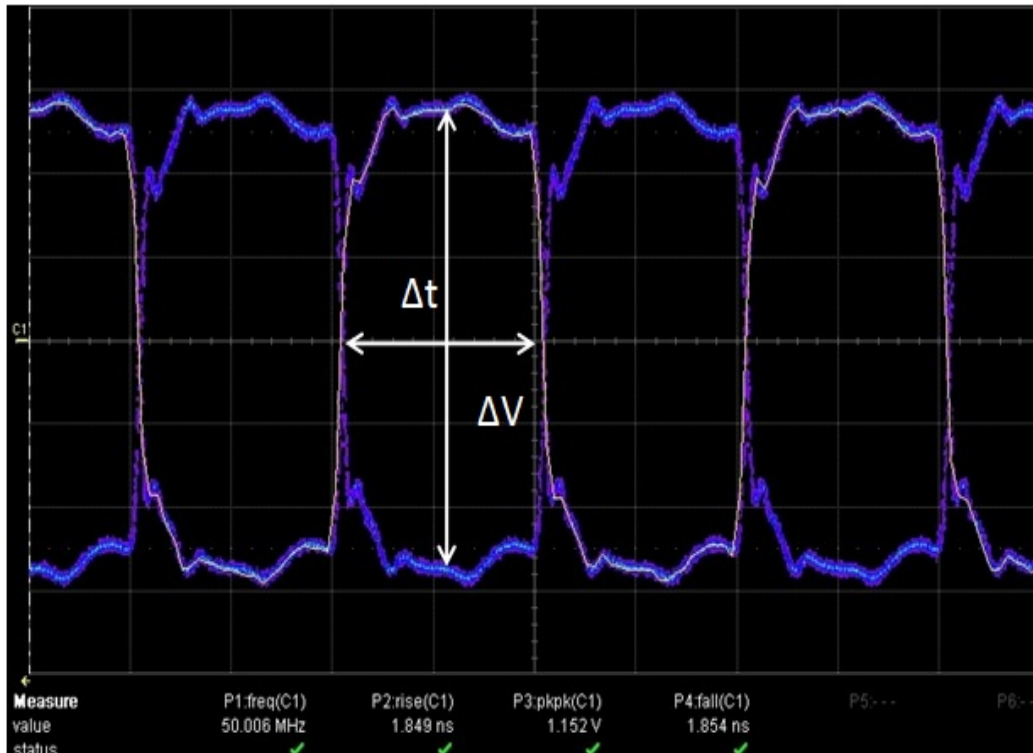


Figura 5.17: Diagramma ad occhio del segnale all'uscita dell'FPGA.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 1200mV$

Segnale del bus MD7 misurato al tp 2 con il filtro

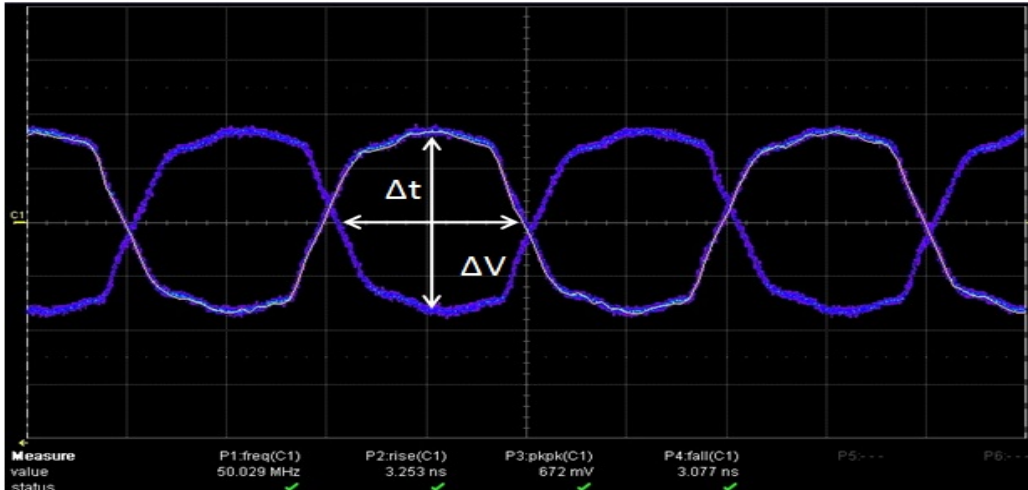


Figura 5.18: Diagramma ad occhio del segnale dopo li cavo.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale MD7_0 misurato al tp 3 con il filtro

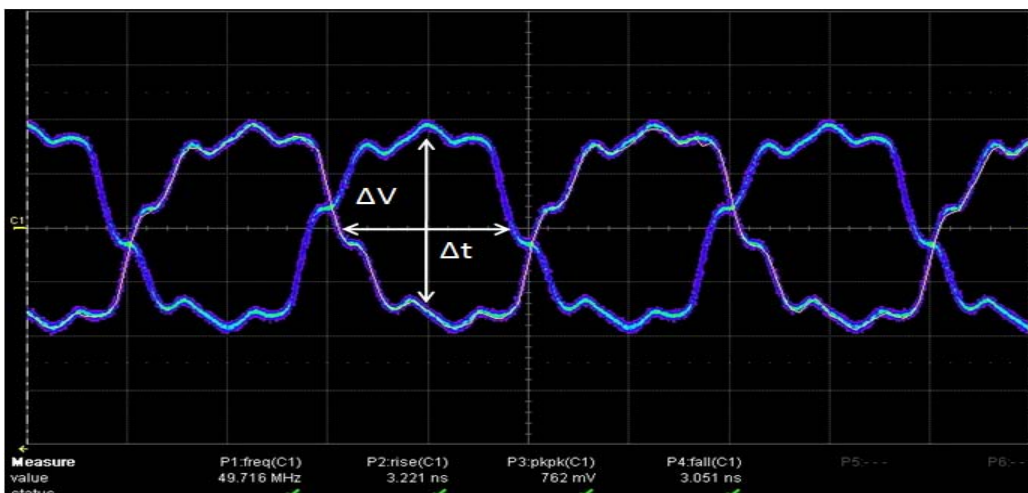


Figura 5.19: Diagramma ad occhio del segnale MD7_0 (shortest).

I parametri misurati sono: $\Delta t = 9ns$ $\Delta V = 600mV$

Segnale MD7_3 misurato al tp 3 con il filtro

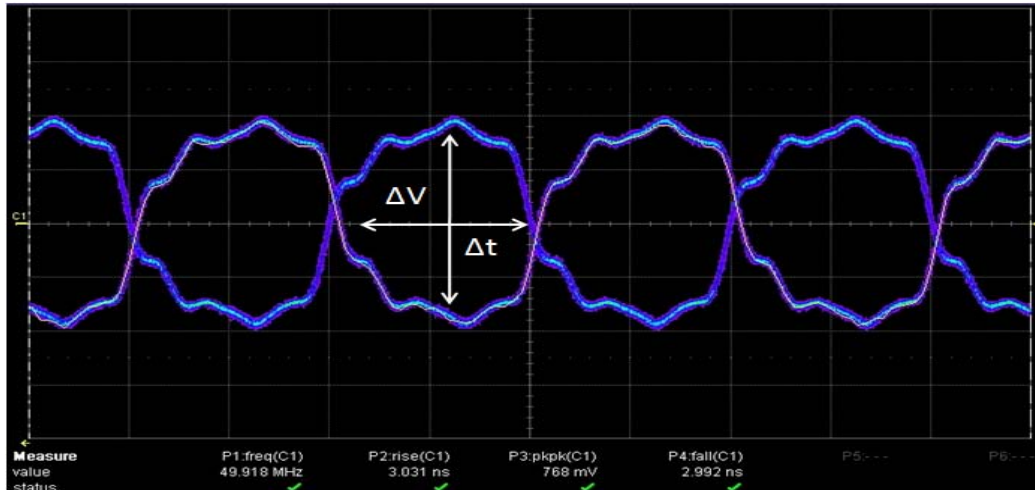


Figura 5.20: Diagramma ad occhio del segnale MD7_3 (intermediate).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale MD7_6 misurato al tp 3 con il filtro

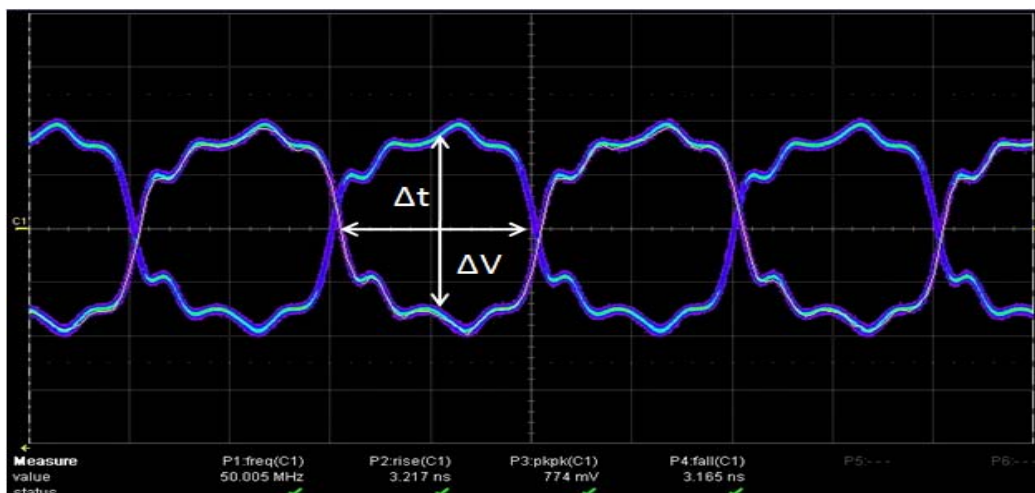


Figura 5.21: Diagramma ad occhio del segnale MD7_6 (longest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale del bus MD5 misurato al tp 2 con il filtro

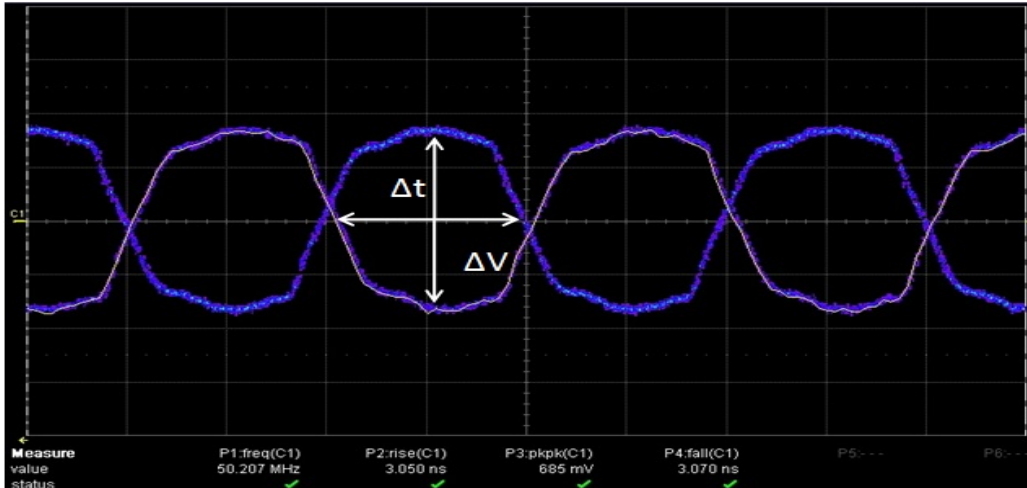


Figura 5.22: Diagramma ad occhio del segnale dopo li cavo.

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale MD5_0 misurato al tp 3 con il filtro

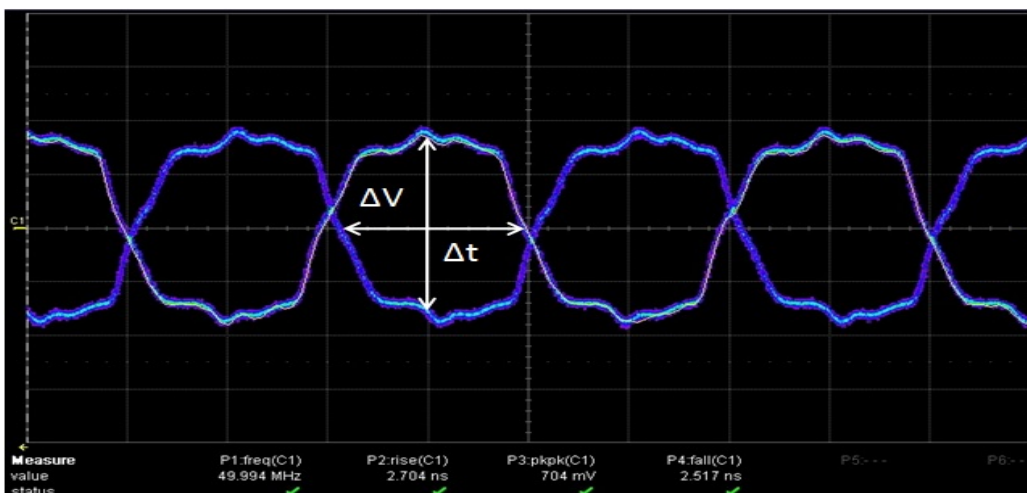


Figura 5.23: Diagramma ad occhio del segnale MD5_0 (shortest).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale MD5_2 misurato al tp 3 con il filtro

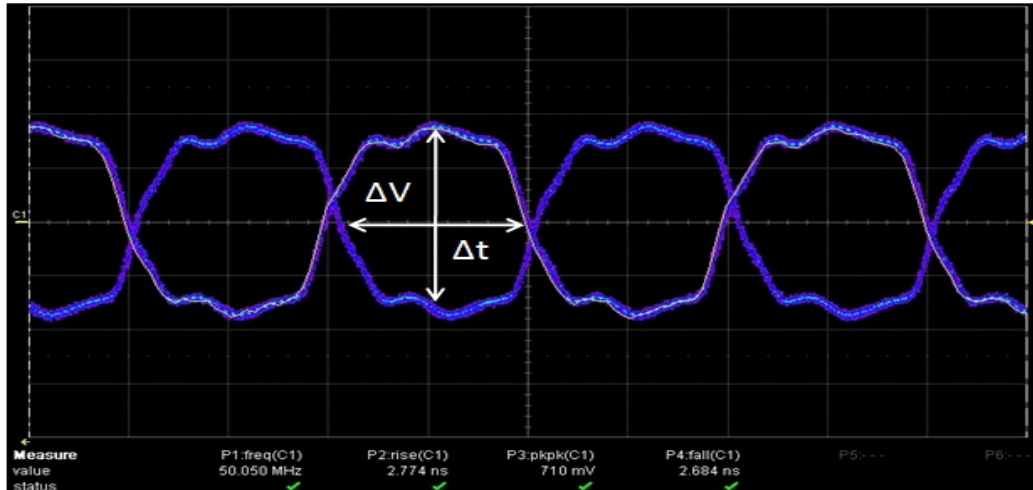


Figura 5.24: Diagramma ad occhio del segnale MD5_2 (intermediate).

I parametri misurati sono: $\Delta t = 10ns$ $\Delta V = 600mV$

Segnale MD5_4 misurato al tp 3 con il filtro

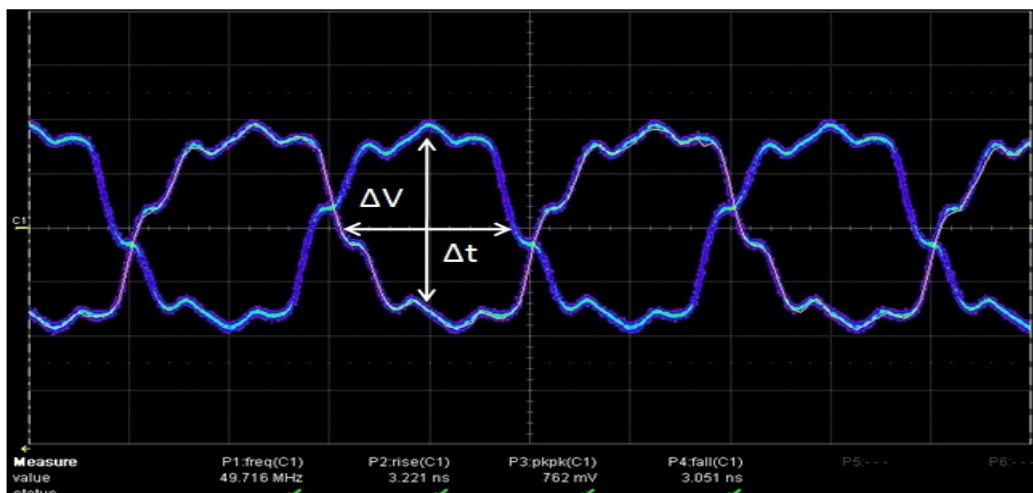


Figura 5.25: Diagramma ad occhio del segnale MD5_4 (longest).

I parametri misurati sono: $\Delta t = 9ns$ $\Delta V = 600mV$

A questo punto, visto che il sistema di test lo permette agevolmente, si è voluto testare anche la connessione P2P sempre realizzata tramite wire bonding. Questo tipo di connessione sarà dedicata allo *stream out* dei dati dal sensore con una frequenza di trasmissione pari a 420 MHz. Per eseguire una corretta caratterizzazione è stato analizzato il diagramma ad occhio corrispondente con un oscilloscopio Lecroy *waveRunner* 640 Zi 4 GHz 40 GS/s 12bit. Le impostazioni per questa misura sono:

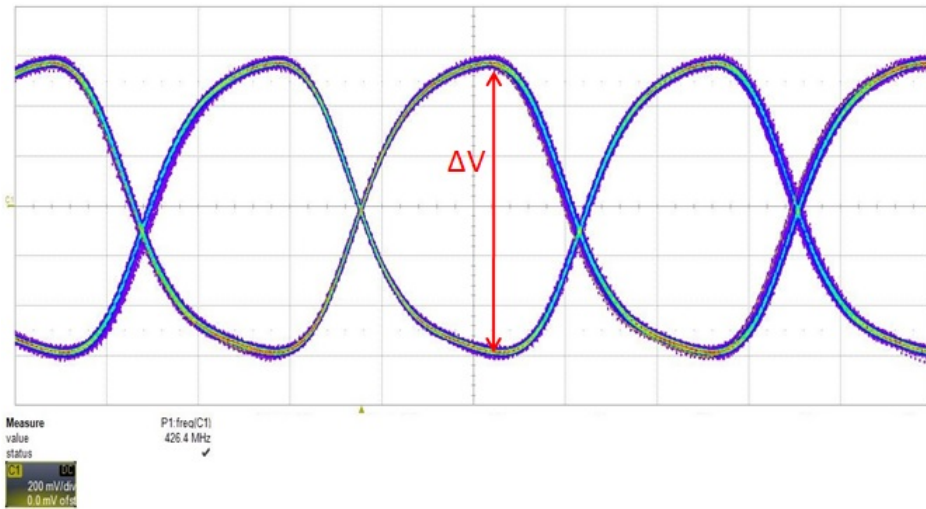


Figura 5.26: Diagramma ad occhio per la connessione P2P @ 420 MHz.

- Scala dei tempi: 500 ps · /
- Scala delle ampiezze: 200 mV · /
- $\Delta V = 1200$ mV

5.5 Considerazioni sulle misure eseguite

Come si può vedere i segnali trattati con il filtro risultano migliori per l'elaborazione digitale.

Si ricorda tuttavia che la configurazione testata risulta essere più critica rispetto alla configurazione reale in quanto:

- Nel sistema reale le connessioni multi-drop arriveranno fino a MD6.
- È stato osservato che il collegamento tramite wire bonding introduce delle distorsioni ma la lunghezza degli stub utilizzati $\simeq 1$ cm è considerevolmente lunga.

- L'attenuazione introdotta dal cavo utilizzato non ha introdotto contributi significativi.
- La connessione P2P risulta essere robusta alle frequenze operative testate.
- Bisogna predisporre uno stadio di elaborazione del segnale in uscita alla carrier board per eliminare e/o attenuare le componenti rumorose.
- Con l'utilizzo del filtro i segnali dopo il cavo risultano attenuati. L'ampiezza del diagramma ad occhio è ancora accettabile secondo gli standard LVDS.
- La configurazione delle connessioni multi-drop sarà differente rispetto a quella testata in quanto la dorsale della linea (bus) arriverà dal centro prima degli stub e non da un lato come quella presente nel PCB di test.

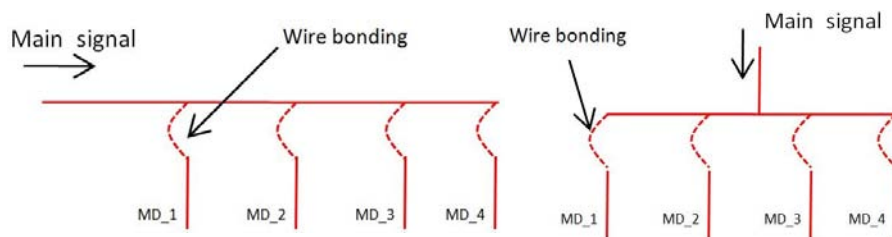


Figura 5.27: Configurazione linee multi drop: a sinistra quella testata mentre a destra quella reale.

Capitolo 6

Scheda “*adapter*”

Il ruolo di ELETTRA è di progettare e realizzare la *carrier board* e sviluppare il firmware HDL per l’FPGA e l’interfaccia LabVIEW. Al momento non si dispone ancora delle informazioni necessarie per lo sviluppo di tale scheda. Tuttavia, la documentazione derivante dall’utilizzo di un primo prototipo di sensore, riguardo molte funzionalità che devono ancora essere implementate a livello firmware è assai ampia. Si è venuta quindi a creare la necessità di progettare una scheda che consenta di poter testare con semplicità queste nuove funzioni così da progredire con lo sviluppo del software.

Essa dovrà permettere la comunicazione della EVB ML 605, XILINX con FPGA Virtex 6 [16], utilizzata per lo sviluppo del firmware nel laboratorio, tramite protocollo UART con l’interfaccia LabVIEW di controllo e di poter testare delle linee I²C per l’implementazione firmware di un controller per tutti i componenti previsti dall’elettronica che fornirà l’alimentazione del sensore. Inoltre si è voluto progettare questa scheda in modo che anche le squadre di DESY e DIAMOND potessero utilizzarla facilmente.

Per acconsentire a tutte queste esigenze tale scheda è provvista di:

- Tre porte Ethernet (Lantronix X-Port)
- Otto connettori SMA bidirezionali (in generale quattro di Input, quattro di Output) per poter rendere disponibile facilmente ad esempio segnali di trigger
- Una connettore RJ-45
- Un connettore rettangolare 50 pin per le specifiche di FLASH (FEL ad Amburgo)
- Quattro bus I²C

Per lo sviluppo di questa scheda è stato necessario preparare i file schematici e PCB tramite il software Altium Designer [4]. Per quanto riguarda il montaggio della scheda, è stato realizzato da me stesso presso il laboratorio LSD con non poche difficoltà (in particolare il montaggio del connettore BGA¹) [17].

Gli schematici del PCB sono riportati a fine tesi nell'allegato B. Sono ora riportati i layout dei due strati del prototipo realizzato.

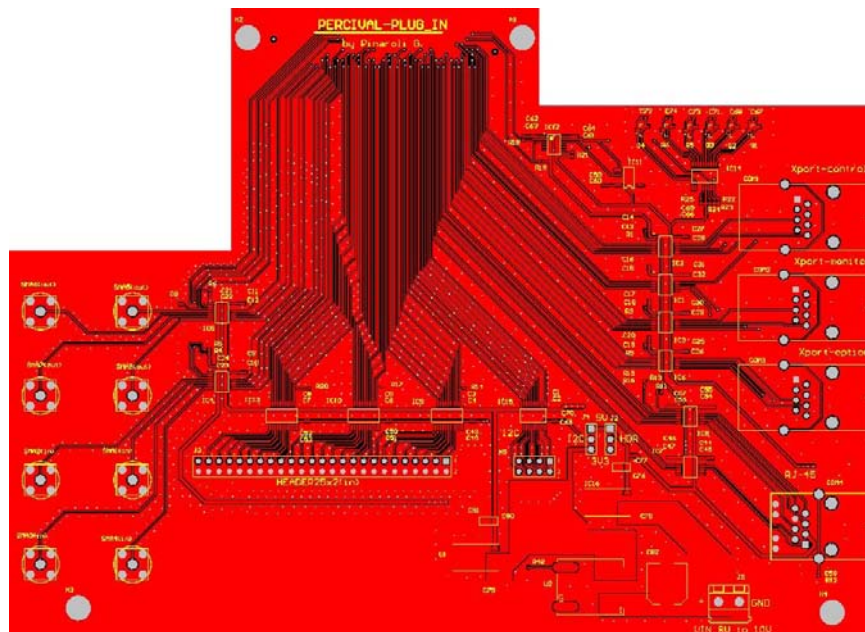


Figura 6.1: Top layer del adapter.

¹BGA, *Ball Grid Array*.

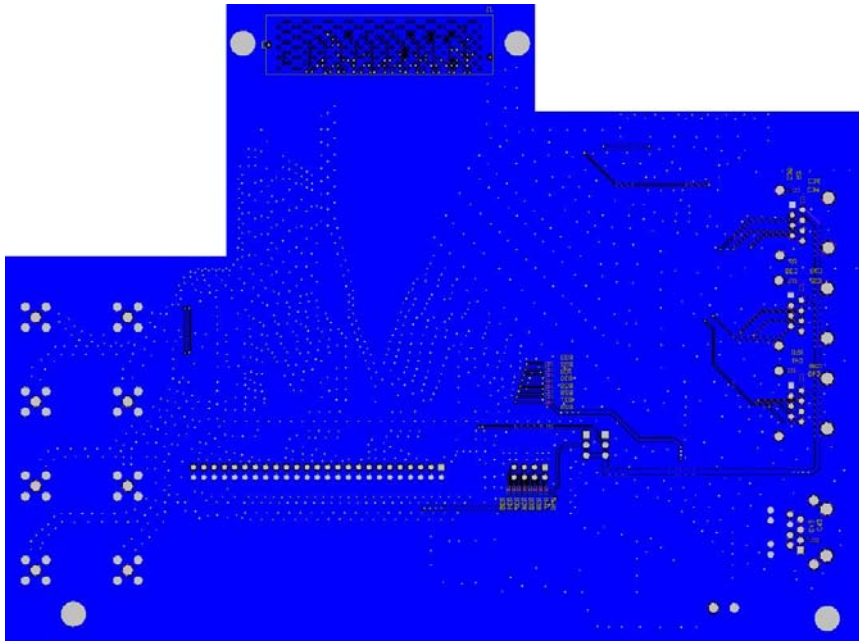


Figura 6.2: Top layer del adapter.

Come si può vedere dai PCB e ancora meglio dai disegni schematici presenti a fine tesi, nella scheda è stato necessario interporre tra ogni connessione e l'EVB dei traslatori di tensione per poter portare la tensione da 2.5 V (tensione tipiche delle EVB) a 3.3 V (tensione maggiormente utilizzata per i riferimenti logici). I traslatori di livello scelti sono:

- SN74LVCC3245A per il connettore rettangolare 50 pins [19]
- TXS0104 e TXS0108 per i bus I²C (necessario pull-up) [21]
- SN74AVCH4T245 per la connessione delle porte Lantronix, SMA, ecc... [22]

Nella scheda sono presenti inoltre:

- Memoria EEPROM AT24CM01 [31]
- Sensore di temperatura MAX6697 [32]

Entrambi questi dispositivi sono I²C compatibili. In particolare la EEPROM in questo prima versione sarà adibita alla memorizzazione dell'identificativo della scheda stessa, la facility di appartenenza, la versione del firmware da utilizzare e altre informazioni utili all'utente. La piedinatura della scheda per identificare le linee dell'FPGA usate è riportata a fine tesi nel allegato C.



Figura 6.3: Sistema di test con il Plug_in.

6.1 Test supplementari

In aggiunta ai dispositivi sopra citati presenti nella “*Adapter board*” si è potuto eseguire ulteriori test su altri dispositivi presenti su una scheda di sviluppo presente in laboratorio. Questo è risultato estremamente semplice vista la presenza delle linee I²C disponibili tramite degli header predisposti appositamente sul prototipo realizzato. I dispositivi testati e la funzione a cui saranno adibiti sono:

- Potenzziometro digitale AD5241, funzione di controllo [23]
- Potenzziometro digitale AD5242, funzione di controllo [23]
- Potenzziometro digitale AD5263, funzione di controllo [24]
- DAC AD5629, funzione di controllo [25]
- DAC AD5669, funzione di controllo [25]
- ADC LTC2309, funzione di monitoraggio [26]

- ADC LTC2497, funzione di monitoraggio [27]
- sensore di temperatura MAX31730, funzione di monitoraggio [28]

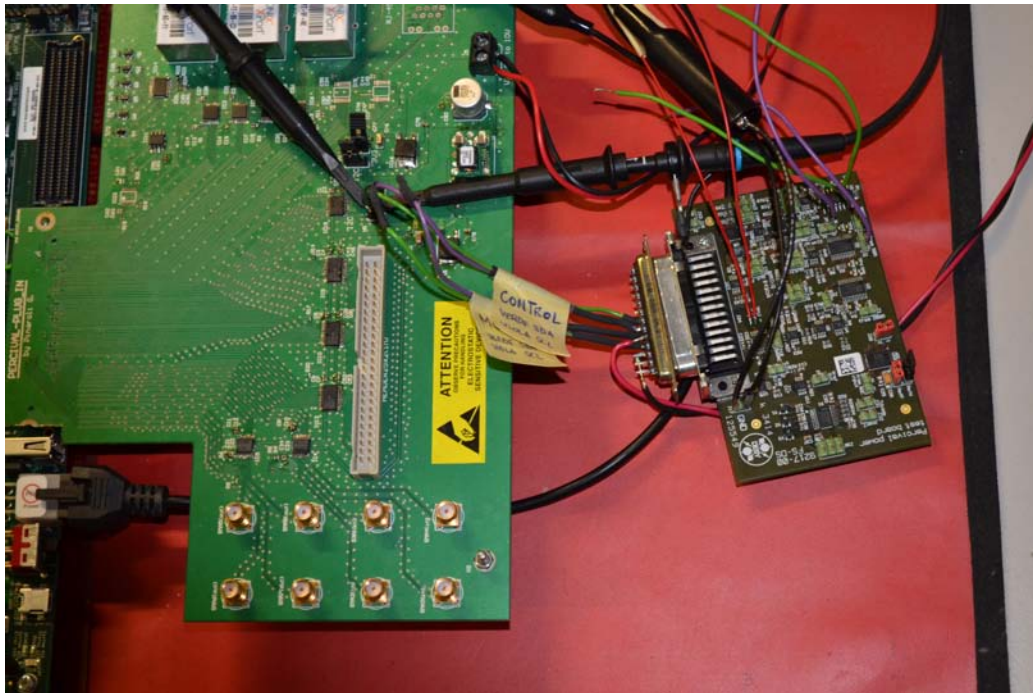


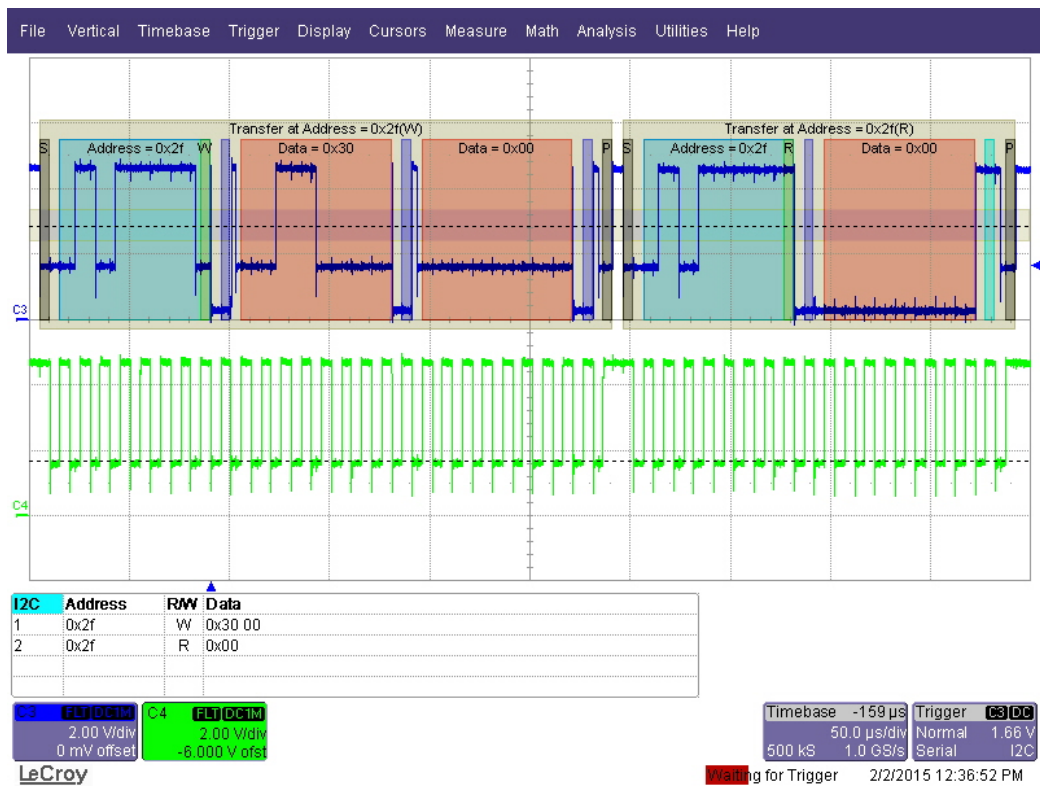
Figura 6.4: Test dei dispositivi presenti su una scheda di sviluppo.

Esempio di comunicazione con un dispositivo

Solamente a titolo illustrativo, viene mostrato ora un esempio di comunicazione tramite I²C con un potenziometro digitale (AD5242) opportunamente collegato alla scheda “adapter”.

In figura 6.5 sono riportati gli andamenti delle linee di comunicazione tramite I²C. In questo particolare caso, il dispositivo identificato dall’indirizzo $0 \times 2f$, per prima cosa viene impostato ad uno specifico valore per poi restituirlo subito dopo.

Ovviamente tale operazione è stata implementata solo per provare il firmware ancora in fase di sviluppo.

Figura 6.5: Esempio di comunicazione tramite I²C.

Conclusioni e sviluppi futuri

Attualmente il progetto PERCIVAL è in fase di sviluppo e impegnerà i vari enti della collaborazione per i prossimi 3-5 anni.

Tutti i dispositivi sviluppati nel corso di questa tesi hanno il compito fondamentale di chiarire ed eventualmente prevenire alcune problematiche che potranno essere presenti sulla trasmissione dei segnali digitali, dal sensore posto all'interno della camera sperimentale, alla carrier board fulcro di tutto l'elettronica in aria del sistema. In particolare è stata sviluppata un'elettronica basata su FPGA che simula i segnali digitali provenienti dal sensore, esattamente con le caratteristiche elettriche e con le tempistiche previste dagli sviluppatori del CMOS. I test svolti riguardano soprattutto l'integrità dei segnali, in particolare il comportamento del clock @ 50 MHz degli ADC, e hanno evidenziato alcune problematiche presenti sulle linee di segnale più critiche, ovvero quelle che presentano un fattore di fan-out maggiore nelle connessioni multi-drop. Si è messo in evidenza la presenza di fenomeni di distorsione, dovuti alle connessioni tramite i wire bonding, che possono compromettere il corretto funzionamento dell'intera elettronica di acquisizione del sensore. È stata quindi presentata una prima soluzione circuitale molto semplice per attenuare questi effetti di disturbo, la quale consiste nell'inserimento di un filtro passa basso del primo ordine prima del cavo di trasferimento. Dai test svolti si vede come grazie a questa soluzione i segnali risultino essere migliori per l'elaborazione dell'elettronica di acquisizione. Altre soluzioni più complesse ma più robuste sono tutt'ora in fase di discussione.

Una seconda elettronica che si è mostrata assai preziosa è quella relativa al modulo "*adapter*" che ho progettato e realizzato per poter effettuare test su banco dei firmware LabVIEW e HDL che saranno utilizzati nel sistema finale. Grazie a questa scheda e alla predisposizione di appositi bus I²C resi facilmente accessibili dal prototipo è stato anche possibile testare nuovi componenti quali ADC, DAC, potenziometri digitali e sensori di temperatura con il relativo firmware che saranno successivamente presenti nella realizzazione finale del detector PERCIVAL. Altre due schede identiche al prototipo, attualmente in utilizzo presso il laboratorio di ELETTRA, sono state realizzate

e messe a disposizione dei laboratori di sviluppo presso DESY e DIAMOND agevolando così il loro lavoro di test. In questo momento, per rendere ancora più efficiente lo sviluppo del firmware e per il test di nuovi componenti, è in fase di progettazione una seconda versione di questa *adapter board*. Questa presenterà oltre agli elementi già presenti nella precedente versione, una serie di connettori adibiti al collegamento di un analizzatore di stati logici oltre a dei bus I²C supplementari dove poter collegare molteplici dispositivi di test. La nuova scheda risulterà meno ingombrante e permetterà un'installazione sulla evaluation board di sviluppo più rapida e sicura.

Bibliografia

- [1] *The PERCIVAL soft X-rays detector*, A. Marras, C.B. Wunderer, M. Bayer, L. Glaser, P. Goettlicher, S. Klumpa, S. Lange, F.Pithan, F. Scholz, J. Seltmann, I. Shevyakov, S. Smoljanin, J. Viefhaus, M. Viti, M. Zimmer, D. Das, P. Gasiorek, N. Guerrini, B. Marsh, I. Sedgwick, Turchetta, B. Velagapudi, G. Cautero, D. Giuressi, S. Farina, R. Menk, L. Stebel, H. Yousef, J. Marchal, T. Nicholls, N. Tartoni, and H. Graafsma
- [2] *The PERCIVAL soft X-rays Imager*, A. Marras, C.B. Wunderer, M. Bayer, L. Glaser, P. Goettlicher, S. Klumpa, S. Lange, F.Pithan, F. Scholz, J. Seltmann, I. Shevyakov, S. Smoljanin, J. Viefhaus, M. Viti, M. Zimmer, D. Das, P. Gasiorek, N. Guerrini, B. Marsh, I. Sedgwick, Turchetta, B. Velagapudi, G. Cautero, D. Giuressi, S. Farina, R. Menk, L. Stebel, H. Yousef, J. Marchal, T. Nicholls, N. Tartoni, and H. Graafsma
- [3] *Verilog HDL: A guide to Digital Design and Synthesis*, Samir Palnitkar
- [4] Dispense del corso di High Speed Design, Dario Giuressi, Rudi Sergio
- [5] *A TREATMENT OF DIFFERENTIAL SIGNALING AND ITS DESIGN REQUIREMENTS*, Lee W. Ritchey, prepared by SPEEDING EDGE, May 29, 2008
- [6] *LVDS Multidrop Connections*, Texas Instruments, Elliott Cole, P.E., February 2002
- [7] *LVDS Owner's Manual*, Texas Instruments
- [8] *LVDS Fundamentals*, Fairchild Semiconductor, December 2000
- [9] *Introduction to M-LVDS*, Texas Instruments, Michael Peffers, February 2002
- [10] *Multi-Drop LVDS with Virtex-E FPGAs*, XILINX, Jon Brunetti and Brian Von Herzen, September 1999

- [11] *Maximizing signal integrity with M-LVDS backplanes*, Texas Instruments, Michael McCormick, David Graham, 2005
- [12] *Virtex-5 Family Overview*, XILINX, February 2009
- [13] *PHOTON BEAM-POSITION MONITOR basati su diamante e Quantum Well per sorgenti di luce di terza e quarta generazione*, Antonelli Matias, Università degli studi di Trieste, anno accademico 2011-2012
- [14] The response of silicon PNCCD sensors with aluminum on-chip filter to visible light, UV- and X-ray radiation, Prof. Dr. Lothar Strüder, Prof. Dr. Ullrich Pietsch, Siegen, 2012
- [15] www.elettra.trieste.it/it/lightsources/fermi/diagnostica-e-linee-di-luce.html, 17 febbraio 2015
- [16] ML605 Hardware User Guide, XILINX, 2 Ottobre 2012
- [17] VITA 57.1 FMC HPC Connector, .050 PITCH TERMINAL ARRAY ASSEMBLY, SAMTEC, ASP-134487-01
- [18] BAxxBC0, 1A Variable/Fixed Output LDO Regulators, ROHM Semiconductor
- [19] SN74LVCC3245A OCTAL BUS TRANSCEIVER WITH ADJUSTABLE OUTPUT VOLTAGE AND 3-STATE OUTPUTS, Texas Instruments
- [20] PTH08080W, 2.25-A, WIDE-INPUT ADJUSTABLE SWITCHING REGULATOR, Texas Instruments
- [21] TXS0108E, 8-BIT BIDIRECTIONAL VOLTAGE-LEVEL TRANSLATOR FOR OPEN-DRAIN AND PUSH-PULL APPLICATIONS, Texas Instruments
- [22] SN74AVCH4T245, 4-BIT DUAL-SUPPLY BUS TRANSCEIVER WITH CONFIGURABLE VOLTAGE TRANSLATION AND 3-STATE OUTPUTS, Texas Instruments
- [23] I²C-Compatible, 256-Position Digital Potentiometers, AD5241/AD5242, ANALOG DEVICES
- [24] Quad, 15 V, 256-Position, Digital Potentiometer with Pin-Selectable SPI/I²C, AD5263, ANALOG DEVICES

- [25] Octal, 12-/16-Bit, I²C, denseDACs with 5 ppm/°C On-Chip Reference, AD5629R/AD5669R, ANALOG DEVICES
- [26] LTC2309 8-Channel, 12-Bit SAR ADC with I²C Interface, LINEAR TECHNOLOGY
- [27] LTC2497 16-Bit 8-/16-Channel Delta Sigma ADC with Easy Drive Input Current Cancellation and I²C Interface, LINEAR TECHNOLOGY
- [28] MAX31730 3-Channel Remote Temperature Sensor, MAXIM INTEGRATED
- [29] Coherent imaging using seeded free-electron laser pulses with variable polarization: First results and research opportunities, F. Capotondi, E. Pedersoli, N. Mahne, R. H. Menk, G. Passos, L. Raimondi, C. Svetina, G. Sandrin, M. Zangrando, M. Kiskinova, S. Bajt, M. Barthelmess, H. Fleckenstein, H. N. Chapman, J. Schulz, J. Bach, R. Frömter, S. Schleitzer, L. Müller, C. Gutt, and G. Grübel, AIP, Review for Scientific Instruments
- [30] PNCCD for photon detection from near infrared to X-rays, Norbert Meidinger, Robert Andritschke, Robert Hartmann, Sven Herrmann, Peter Holl, Gerhard Lutz, and Lothar Strüder
- [31] AT24CM01, ATMEL, I² C-Compatible (2-wire) Serial EEPROM 1-Mbit (131,072 x 8)
- [32] MAX6697, MAXIM, 7-Channel Precision Temperature Monitor

Allegato A

Schematico della scheda di test e del connettore

Nelle pagine seguenti verranno riportati gli schematici della scheda di test contenete le connessioni multi-drop e del connettore montato sulla Evaluation board.

94 *ALLEGATO A. SCHEMATICO DELLA SCHEDA DI TEST E DEL CONNETTORE*

Allegato B

Schematico “Adapter board”

Nella pagina seguente verrà riportato lo schematico della scheda “adapter” nel quale sono evidenziate le varie componenti della scheda.

Allegato C

Piedinatura “Adapter board”

Ringraziamenti

I miei primi ringraziamenti sono per la mia famiglia, non solo per aver supportato economicamente questo mio percorso universitario, ma anche per essere stata sempre presente nei momenti di gioia e in quelli di difficoltà e per avermi sempre concesso la più ampia libertà di scelta nelle decisioni più importanti che ho dovuto prendere fino ad oggi, fidandosi sempre ciecamente del mio giudizio.

Ringrazio il mio relatore Poletto Luca, innanzitutto per avermi fatto scoprire la bellissima realtà di ELETTRA e poi per aver reso possibile questa tesi svolta nella più totale serenità.

Ringrazio tutti i componenti del laboratorio di strumentazione e detectors di ELETTRA, i vari Rudi, Pit, Gabriele, Stefano, Matias, Jernej, Ralph, Gub, Christian e in particolar modo Bepo, Harry e Dario per avermi sempre supportato e sopportato nello svolgimento di questa tesi. L'anno trascorso insieme a tutti voi è stata per me un'esperienza di crescita professionale e umana incredibile.

Ringrazio mio zio Don Pierantonio, purtroppo scomparso la scorsa estate. I breviari e rosari recitati assieme, i sorpassi quasi tutti azzardati, la nebbia tossica di fumo delle tue sigarette in macchina nei viaggi verso Padova, sono e saranno sempre per me un dolce e colorito ricordo incancellabile.

Ringrazio tutti i miei coinquilini Matteo, Andrea(Yankee), Zon Zon, Beby, Isacco, Jack, Andrea(fratello del Südtirol), Elia, Manuel, Laura, Mery, Veronica con i quali, in questi anni, ho condiviso momenti di grande gioia e inenarrabili quantità di birra e spritz.

Ringrazio tutti i miei amici per aver sempre sopportato il mio carattere esuberante e "in rarissime occasioni" non facile da gestire.

Ringrazio mia cugina Francesca per essersi sempre presa cura di me dandomi sempre una spalla su cui sfogare le mie frustrazioni(soprattutto per problemi di donne) il tutto ovviamente durante aperitivi infiniti. Sei come una sorella. Ultimo ma non ultimo, ringrazio (e maledico) Pippo. In tutti questi anni ti sei sempre dimostrato un amico sincero e fedele. I week-end e le giornate passate insieme al bar del Squiccio sono state un'ottima fonte di svago dalla

vita universitaria e hanno contribuito a mantenere la mia sanità mentale(o almeno in parte) e a massacrare quella fisica. Il solo fatto che io sia riuscito a concludere qualcosa con successo è di per sè un miracolo visto il gran numero di feste e giornate senza freno a cui mi hai trascinato. Il mio fegato ti odia tantissimo e spera che con il tempo anche tu metterai un pò di giudizio in quella pazza testa. Sarò al tuo fianco all'altare!!!!.

Giovanni Pinaroli