



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



DIPARTIMENTO
DI INGEGNERIA
DELL'INFORMAZIONE

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA MAGISTRALE IN
INGEGNERIA ELETTRONICA

Progettazione di un inverter trifase per la vettura elettrica formula SAE

Relatore:

PROF. MANUELE BERTOLUZZO

Laureando:

GIOVANNI FILIPPI

1238162

Anno Accademico 2021/2022

21/02/2022

A Ilaria, la mia famiglia e il team Race Up.

Abstract

Il concetto di automobile elettrica si sviluppa a metà del diciannovesimo secolo, con la produzione dei primi prototipi in America, Francia e Gran Bretagna. I modelli in questione prevedevano l'uso di motori a corrente continua e accumulatori al piombo. Furono proprio i limiti tecnici degli accumulatori a determinare il rapido declino dei veicoli elettrici a favore di quelli con motore a combustione interna [1]. Nonostante, inizialmente, il motore termico fosse sinonimo di minor praticità e affidabilità, il rapido sviluppo della tecnologia in questione, insieme alla scoperta e conseguente forte disponibilità di giacimenti petroliferi, hanno portato alla diffusione globale, che conosciamo oggi, dell'automobile. Nell'ultimo decennio si è però assistito nuovamente all'inizio di una inversione della tipologia di automobile a livello di investimenti e sviluppo. Il tentativo di ridurre l'impatto sull'ambiente, lo sviluppo di nuove tecnologie per gli accumulatori e la necessità di integrare sempre maggiormente i sistemi di assistenza alla guida, stanno dando grande spinta alla diffusione dell'automobile elettrica. L'elaborato riporta le diverse fasi della progettazione di uno dei tre elementi principali che compongono un powertrain elettrico: l'inverter. In particolare l'obiettivo è stato lo sviluppo di un inverter trifase dedicato alla vettura elettrica dell'università degli studi di Padova, che partecipa agli eventi formula SAE a livello europeo.

Indice

1	Formula SAE	1
1.1	Storia	1
1.2	Il regolamento Formula Student	2
1.2.1	Introduzione	2
1.2.2	Sezione EV4	2
1.3	Prototipo Università di Padova	3
1.3.1	Inverter AMK	5
2	Schemi elettrici dell'inverter trifase	7
2.1	Concetto	7
2.2	Scheda driver	8
2.2.1	FS380R12A6T4B	9
2.2.2	1EDI2004AS	10
2.2.3	1EBN1001AE	21
2.2.4	Rete di clamping	29
2.2.5	Stadio di ingresso	34
2.2.6	Uscite analogiche	39
2.2.7	Connettori	47
2.3	Scheda alimentazione	47
2.3.1	Circuito di protezione e convertitori non isolati	47
2.3.2	Convertitori isolati	50
2.4	Scheda logica	53
2.4.1	LAUNCHXLF28379D	54
2.4.2	Stadio di ingresso segnali analogici	58
2.4.3	Stadio di ingresso sensori corrente	62

3	Layout dell'inverter trifase	67
3.1	Layout scheda driver	67
3.2	Layout scheda alimentazione	73
3.3	Layout scheda logica	75
4	Risultati dei test	77
5	Schemi e layout completi	81
5.1	Schemi scheda driver	81
5.2	Schemi scheda alimentazione	93
5.3	Schemi scheda logica	98
5.4	Layout scheda driver	102
5.5	Layout scheda alimentazione	107
5.6	Layout scheda logica	111
6	Conclusioni	115
	Bibliografia	117

Capitolo 1

Formula SAE

1.1 Storia

La formula SAE è una competizione di design tra vetture da gara su pista, dedicata a studenti universitari. Nasce agli inizi degli anni ottanta, negli Stati Uniti, come una gara tra Università impegnate nello sviluppo di una vettura da competizione a quattro ruote, da valutare in quattro eventi dinamici e due statici. I primi erano accelerazione, manovrabilità, gara di durata e efficienza. Le prove statiche erano invece relative all'aspetto estetico e alle soluzioni ingegneristiche applicate [2]. Negli anni seguenti, la competizione scaturisce interesse da parte di grandi industrie automobilistiche e del motorsport e sviluppa un regolamento più complesso e completo, con l'obiettivo di accentuare il legame con la ricerca e lo sviluppo più che con gli aspetti legati alle prestazioni in sé dei veicoli. Nel 1985, la parte statica della competizione si arricchisce con l'evento "Cost report" che prevedeva la descrizione dettagliata dei costi relativi ad un'ipotetica produzione di 1000 esemplari del prototipo realizzato. Dal 1998 il format di competizione ideato dalla SAE sbarca in Europa come "Formula Student". Attualmente le principali competizioni a livello Europeo si tengono in Germania, Italia, Austria e Olanda e si basano su un regolamento unico Formula Student, aggiornato di anno in anno.

1.2 Il regolamento Formula Student

1.2.1 Introduzione

Il regolamento 2022 prevede la divisione della competizione in due classi [3]:

- Veicoli con motore a combustione (CV)
- Veicoli elettrici (EV)

È presente inoltre una sezione della competizione dedicata ai veicoli delle due categorie dotati di sistemi per la guida autonoma. La prestazione di un team viene valutata sommando i punti ottenuti nelle diverse prove. La tabella sottostante riporta i punteggi massimi per ognuna delle sezioni della competizione.

	CV & EV	DC
Static Events:		
Business Plan Presentation	75 points	-
Cost and Manufacturing	100 points	-
Engineering Design	150 points	150 points
Dynamic Events:		
Skid Pad	50 points	-
DV Skid Pad	75 points	75 points
Acceleration	50 points	-
DV Acceleration	75 points	75 points
Autocross	100 points	-
DV Autocross	-	100 points
Endurance	250 points	-
Efficiency	75 points	-
Trackdrive	-	200 points
Overall	1000 points	600 points

Table 3: Maximum points awarded

Figura 1.1: Punteggi Formula Student

1.2.2 Sezione EV4

La quarta sezione della parte di regolamento dedicata ai veicoli elettrici, riporta le specifiche per i componenti assimilabili al "Tractive Sytem (TS)", ovvero ogni componente elettricamente connesso ai motori o all'accumulatore, inclusi, quindi, gli inverter.

Di seguito sono riportate le principali voci che devono essere necessariamente considerate durante la progettazione degli inverter:

- La tensione massima tra due connessioni è di 600VDC e per i segnali di controllo dell'inverter di 630VDC

- Ogni componente facente parte del TS deve essere certificato per l'uso a tensioni pari o superiori a quella massima del tractive system.
- ogni componente del TS deve essere galvanicamente isolato dal sistema a bassa tensione. In particolare, se i due sistemi sono presenti sullo stesso circuito stampato, devono essere rispettate le distanze riportate in seguito, dipendenti da tensione del TS e dal tipo di superficie.

Voltage	Over Surface	Through Air (Cut in board)	Conformal Coating
0 VDC to 50 VDC	1.6 mm	1.6 mm	1.0 mm
50 VDC to 150 VDC	6.4 mm	3.2 mm	2.0 mm
150 VDC to 300 VDC	9.5 mm	6.4 mm	3.0 mm
300 VDC to 600 VDC	12.7 mm	9.5 mm	4.0 mm

Figura 1.2: Spacing

- Una volta isolata la batteria dal resto del TS, aprendo gli appositi relè di isolamento, la tensione del tractive system, quindi ai capi dei condensatori del DC link, deve scendere sotto a 60VDC in meno di 5 secondi.
- Prima della chiusura dei relè di isolamento dell'accumulatore, la tensione del tractive system deve essere pari o superiore al 95%.

1.3 Prototipo Università di Padova

Dal 2016, il team di Formula Student dell'Università degli studi di Padova, "Race Up", realizza oltre che il prototipo con motore termico, una vettura totalmente elettrica. Ad oggi sono stati realizzati quattro prototipi, che hanno preso parte ai principali eventi Formula Student europei.



Figura 1.3: SG-E04

Il concetto della vettura ha come caratteristiche principali le seguenti:

- Telaio monoscocca in carbonio
- Quattro motori sincroni a magneti permanenti interni prodotti da AMK appositamente per l'uso in competizioni FSAE, 21Nm, 20000rpm. Un motore per ruota associato al relativo riduttore.
- Inverter AMK
- Accumulatore con celle litio-ossido di cobalto, 144s2p, 604.8V
- Sistema sospensioni push-rod
- Elettronica di controllo realizzata internamente e basata su processore C2000 TMS320F28379D

1.3.1 Inverter AMK

La configurazione attuale della vettura prevede l'uso di quattro inverter prodotti da AMK, forniti insieme ai motori. Le caratteristiche principali sono riassunte nella tabella sottostante:

Tensione in ingresso	250-720VDC
Capacità DC-link	75 μ
Tensione parte di logica	24VDC \pm 15%
Corrente di picco in uscita	105A
Frequenza di commutazione	8kHz

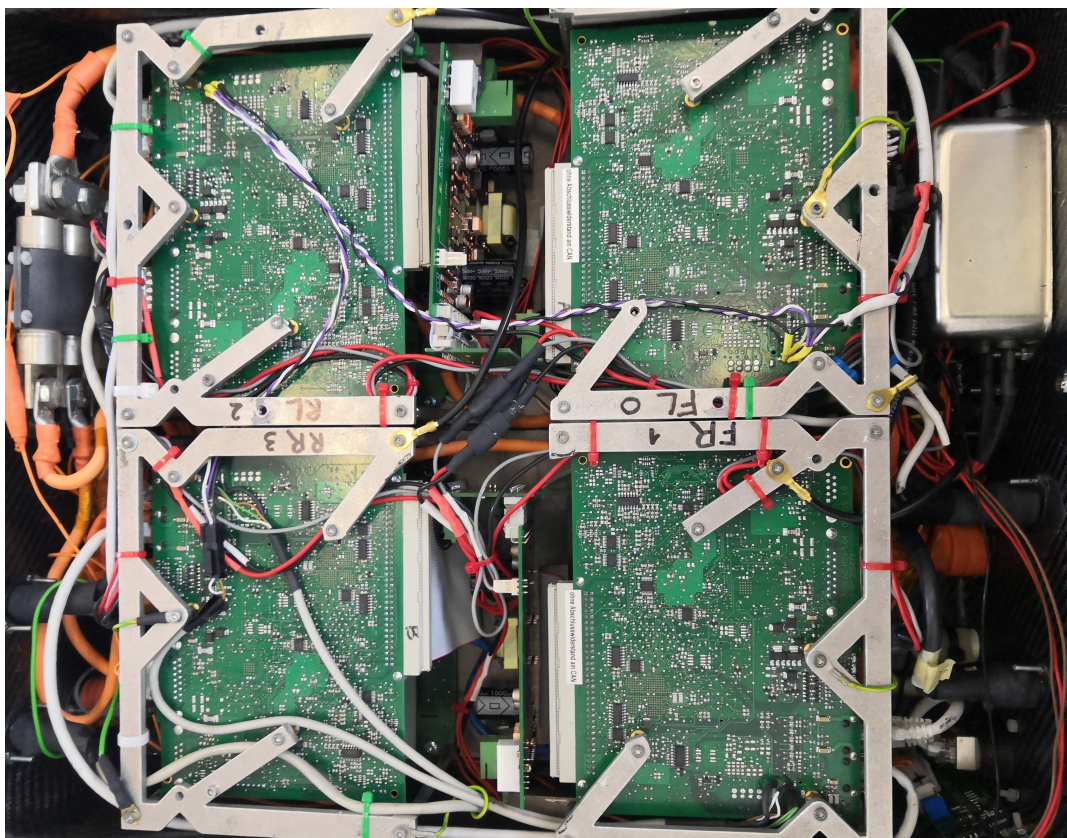


Figura 1.4: Quattro inverter AMK

La comunicazione con la restante parte di elettronica del veicolo per il controllo dei motori (es. setpoint, temperature motori) avviene tramite protocollo CAN bus. Vista la specificità del prodotto, le sue caratteristiche sono perfettamente compatibili con i sistemi della vettura e rispettano le specifiche descritte dal

regolamento, ma altre rendono l'integrazione nella vettura non ottimale. Le principali criticità sono elencate in seguito.

- Peso elevato: 11kg, pari a circa il 5% della vettura
- Volume elevato: 241 x 339 x 183 mm
- Configurazione hardware e software non modificabile

Il singolo modulo inverter è costituito essenzialmente da tre parti:

- Scheda driver, pilota gli IGBT in modo isolato rispetto alla sezione di logica e comunicazione
- Scheda di alimentazione
- Scheda di logica e comunicazione con relativo microcontrollore.

Un inverter custom, permette un adattamento completo con i sistemi pre-esistenti della vettura, oltre ad essere facilmente riparabile o ulteriormente sviluppabile, vista la completa conoscenza del progetto stesso.

Capitolo 2

Schemi elettrici dell'inverter trifase

2.1 Concetto

Come riportato in precedenza, l'inverter commerciale prodotto da AMK presenta alcune criticità non risolvibili. Inoltre, essendo la formula student una competizione di design, lo sviluppo interno dei componenti del powertrain della vettura, come già avviene con l'accumulatore, può portare un importante giovamento durante le prove statiche. In particolare, durante la competizione di design, vengono presi in considerazione diversi aspetti della progettazione, tra cui:

- Motivazioni del progetto
- Obiettivi
- Risultati finali con relativi dati raccolti
- Confronto con l'eventuale controparte commerciale

Inoltre, lo sviluppo di un progetto simile, se ben documentato e condiviso tra più membri, può portare vantaggi in termini di esperienza per il team, grazie alla ricerca teorica per la progettazione e tecnica per lo sviluppo e successivi test.

Il modulo inverter è stato progettato suddividendolo in tre sezioni, in base alla funzione delle stesse:

- Scheda driver

- Scheda alimentazione
- Scheda logica

Il sezionamento si è reso necessario per rendere il layout più pratico, essendo le dimensioni della driver board vincolate da quelle del modulo di potenza.

2.2 Scheda driver

La scheda driver ha come funzione principale quella di pilotare gli switch di potenza e comunicarne lo stato durante il funzionamento. La scheda è divisa in sezioni isolate tra di loro. Come visibile in figura 2.1, la parte centrale fa parte del sistema a bassa tensione, mentre le sei adiacenti ai bordi superiore e inferiore hanno come potenziale di riferimento l'emettitore dei relativi IGBT. Il circuito è saldato sopra al modulo di potenza FS380R12A6T4B.

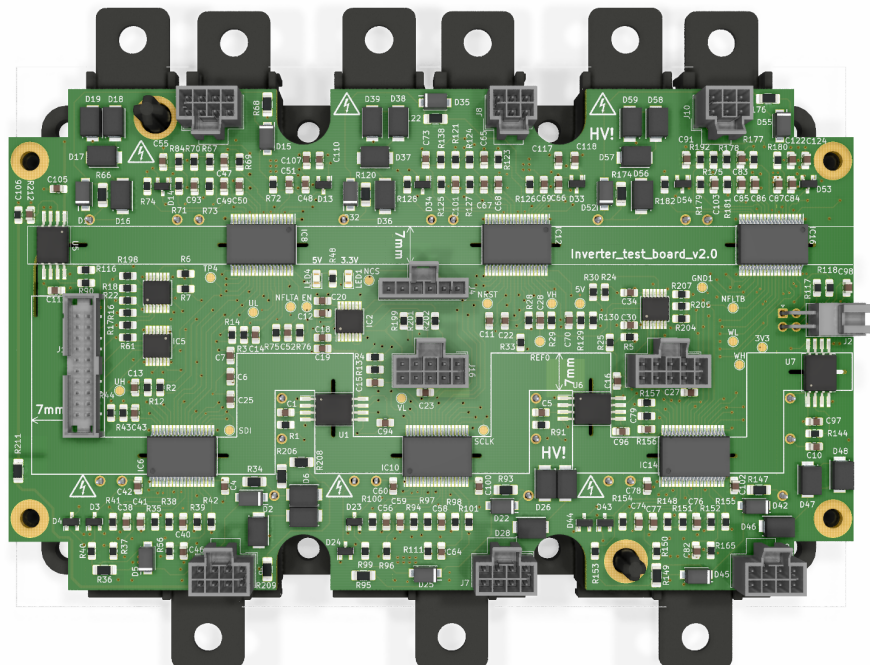


Figura 2.1: Render scheda driver

2.2.1 FS380R12A6T4B

L'FS380R12A6T4B è un modulo IGBT six-pack, ovvero integrante i sei interruttori di potenza necessari per un sistema trifase. La scelta della tecnologia IGBT è stata dettata in parte dalla disponibilità del prodotto e del suo costo, in parte dalla maggiore praticità di utilizzo.

Un'alternativa possibile è il modulo FS03MR12A6MA1B, che integra nello stesso package (HybridPACK) sei MOSFET al carburo di silicio. In seguito è riportata una comparativa delle caratteristiche principali [8] [9]:

	FS380R12A6T4B	FS03MR12A6MA1B
V_{CE} massima	1200V	1200V
Corrente continua massima	250A	400A
Corrente di picco periodica	760A	800A
Capacità di ingresso	19nF	42.6nF
Tempo di salita	50ns	70ns
Tempo di discesa	100ns	64ns

Il produttore offre la possibilità di utilizzare un tool per simulazioni, in condizioni personalizzabili, di moduli i potenza. I due prodotti, in condizioni equivalenti di pieno carico ($I=105A_{rms}$, $R_{gate} = 5.1\Omega$, $T_{amb} = 60C$, $f_{sw}=10kHz$, $V_{dc}=600V$), restituiscono i seguenti risultati in equilibrio termico:

	FS380R12A6T4B	FS03MR12A6MA1B
Temperatura massima giunzione	85.92°C	71.19°C
Perdite (commutazione e conduzione)	180.19W	57.72W

Come si evince dai dati, le perdite degli switch del modulo al carburo di silicio sono circa pari ad un terzo rispetto a quelle dell'igbt in uso. La scelta dei MOSFET porterebbe quindi vantaggi importanti, vista la criticità dell'efficienza totale del sistema in una vettura in cui peso e gestione dell'energia dell'accumulatore sono di fondamentale importanza. Inoltre, una potenza dissipata inferiore, permetterebbe di ridurre il dimensionamento di tutti i componenti dell'impianto di raffreddamento, con ulteriori vantaggi in termini di

consumo energetico, ingombro volumetrico e peso. La scelta è però stata influenzata dai costi non sostenibili per il progetto degli switch SiC. I moduli condividono però il package: l'inverter potrà essere utilizzato in futuro con il six-pack FS03MR12A6MA1B, con modifiche per minime.

2.2.2 1EDI2004AS

Il driver per gli switch scelto è l'1EDI2004AS. È un circuito integrato per applicazioni automotive, dedicato ad inverter con potenze superiori ai 5kW e IGBT con tensioni collettore emettitore fino a 1200V. Il driver integra la funzione di isolamento galvanico tra lato primario e secondario. Il lato primario, quindi i segnali necessari per pilotare gli switch, di comunicazione e di errore è collegato alla scheda di logica, con riferimento di tensione in comune. Il lato secondario invece pilota, tramite il booster, i singoli switch del modulo di potenza. Lo



Figura 2.2: Gate driver 1EDI2004AS

schema elettrico relativo al driver è basato sull'applicazione tipica presente nel datasheet, riportata in figura 2.3.

EiceDRIVER™ SIL
1EDI2004AS



Specification

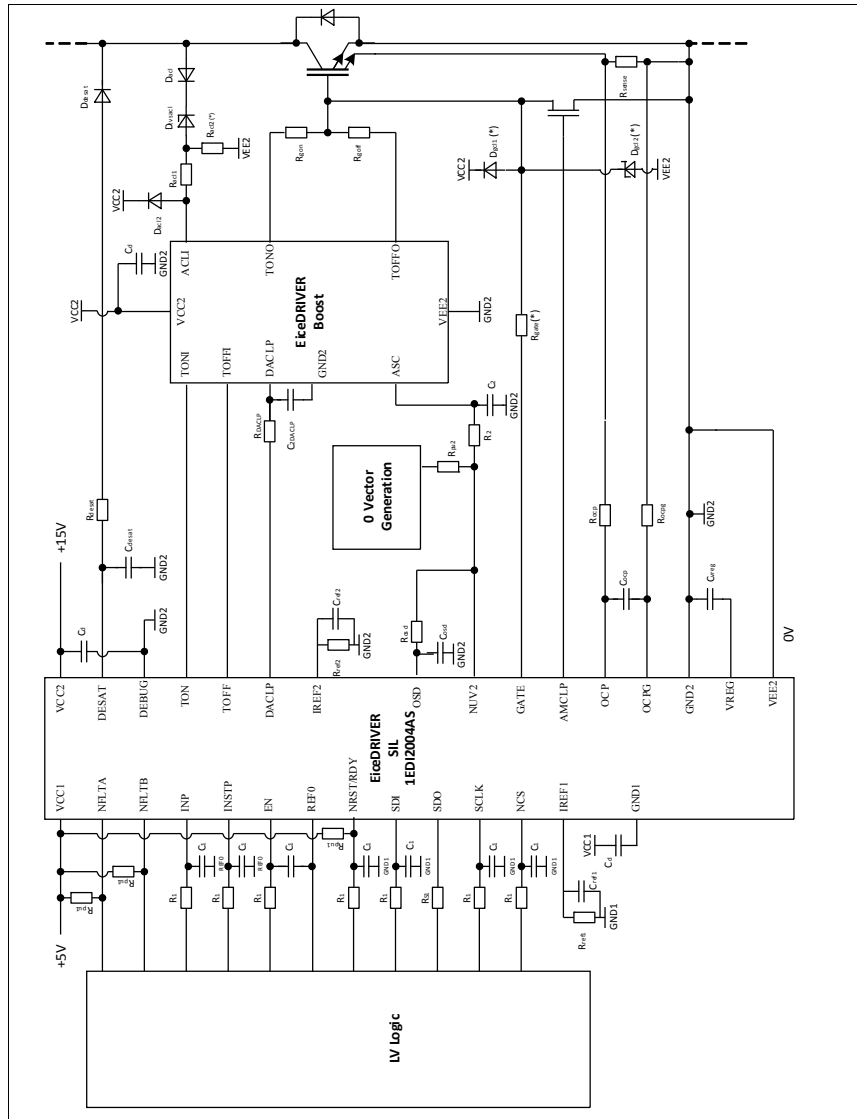


Figure 25 Typical Application Example

Note: Components marked with (*) are optional.

Figura 2.3: Schema elettrico gate driver-boost consigliato dal produttore

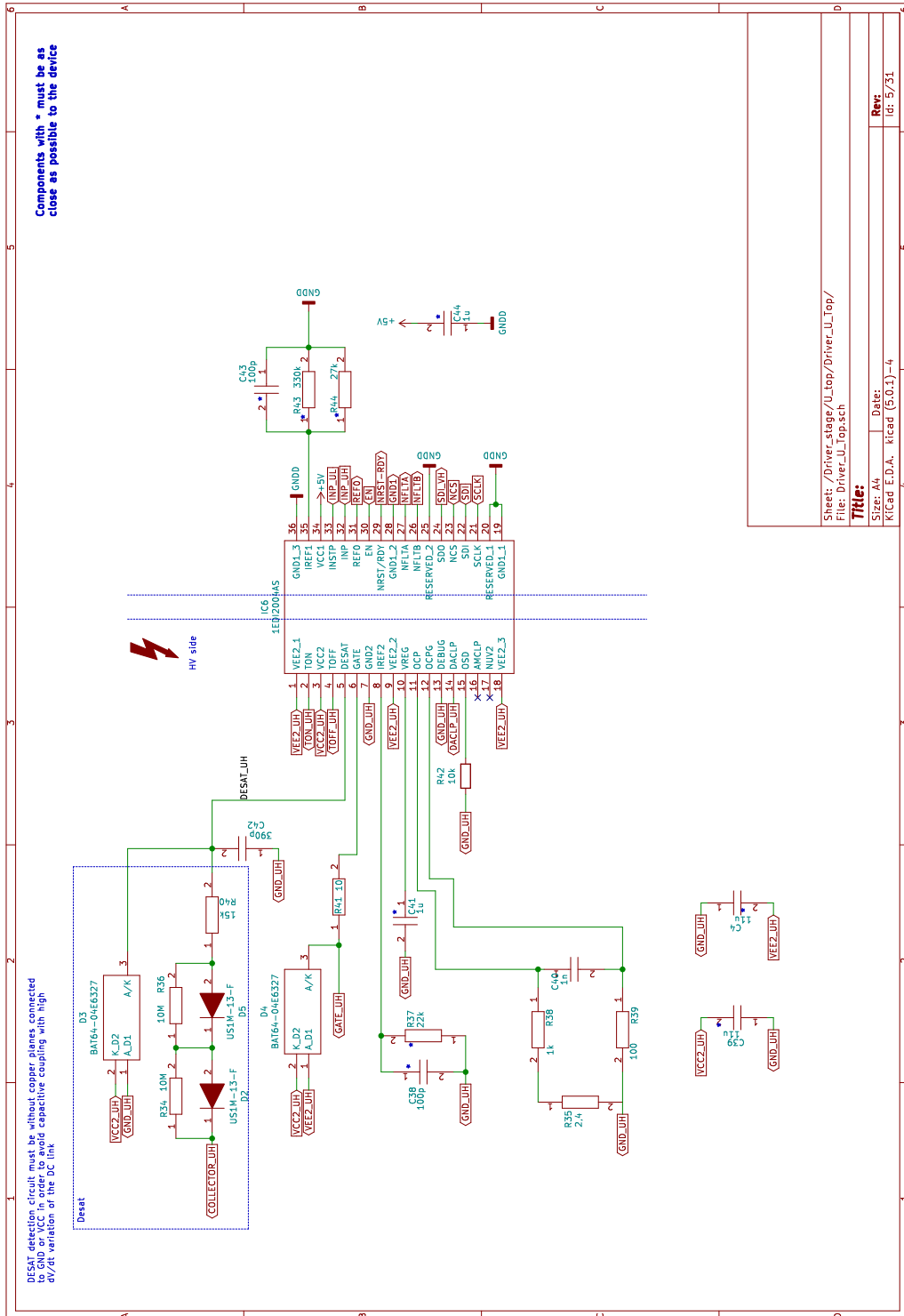


Figura 2.4: Schema elettrico gate driver

Segue la descrizione dei singoli collegamenti del driver, riportati nello schema di figura 2.4:

1. VEE2: ingresso di alimentazione lato secondario, dedicato al riferimento negativo. Un' alimentazione duale consente di scaricare più rapidamente la capacità di ingresso dell'IGBT, ottenendo prestazioni superiori durante la commutazione, riducendo le perdite. Inoltre consente di avere un margine maggiore rispetto alla tensione di soglia dello switch, che permette di ridurre il rischio di accensioni indesiderate dovute a distorsioni del segnale di gate durante l'off-time
2. TON: uscita che pilota il gate durante l'on-time. È correlato al segnale PWM in ingresso al pin "INP"
3. VCC2: ingresso di alimentazione positivo lato secondario.
4. TOFF: uscita che pilota il gate durante l'off-time. È correlato al segnale PWM in ingresso al pin "INP"
5. DESAT: il pin Desat è un ingresso utilizzato per la protezione del singolo IGBT.

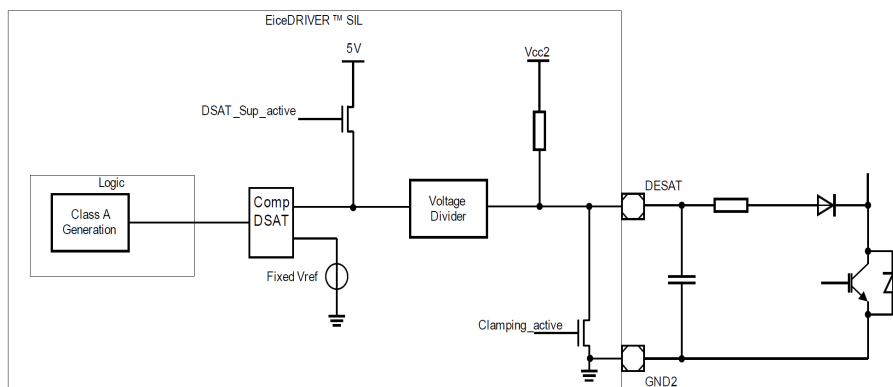


Figura 2.5: Gate driver 1EDI2004AS

Come evidenziato dallo schema interno in figura 2.5, la tensione ai capi dello switch viene confrontata con un riferimento di tensione interno. Nel caso risulti maggiore, interviene la protezione.

La caratteristica tipica di un IGBT della tensione collettore emettitore, al variare della corrente, ha andamento crescente, è quindi possibile

misurarla durante l'on-time per intervenire in caso di sovracorrenti. Il diodo indicato come D_{Desat} nello schema, permette di disaccoppiare il circuito durante l'off-time. Nella scheda vengono utilizzati due diodi in serie con tensione inversa pari a 1000V. Il resistore R_{Desat} viene utilizzato per determinare la soglia di intervento e corrisponde ad R40. R_{pUp} non è necessaria nel caso in esame perché la soglia di intervento è sufficientemente vicina a quella interna. C_{Desat} , corrispondente a C42, permette di impostare il tempo di intervento. Questa regolazione è aggiuntiva rispetto alla regolazione software, che permette di cambiare il "blanking time", che dovrà essere superiore e non pari all'intervallo in cui lo switch risulta aperto, per evitare di rilevare errori in caso di ringing. In questa fase, il segnale interno al driver "Clamping active", sarà attivo, portando la tensione letta a livello basso ed evitando falsi errori. La soglia interna $V_{Desat,th}$ è impostata a 9V di fabbrica, valore utilizzato per applicazioni con IGBT (un modulo MOSFET richiederebbe una tensione inferiore). Durante l'on time, la corrente corrispondente alla soglia d'errore è pari a:

$$I_{R_{Desat,th}} = \frac{V_{CC2} - V_{Desat,th}}{30k\Omega} = 200\mu A$$

Il valore di R_{desat} può quindi essere calcolato come:

$$R_{Desat} = \frac{V_{Desat,th} - 2V_f - V_{CE,th}}{I_{R_{Desat,th}}}$$

Essendo la desaturazione, l'unica protezione hardware contro sovra-correnti disponibile lato driver, si è scelto di dimensionare in modo conservativo R_{Desat} .

Dalla caratteristica riportata in figura 2.6 si evince che a 380A, la $V_{CE,th}$, con V_{ge} pari a 15V, sarà di circa 2.5V a 150°C.

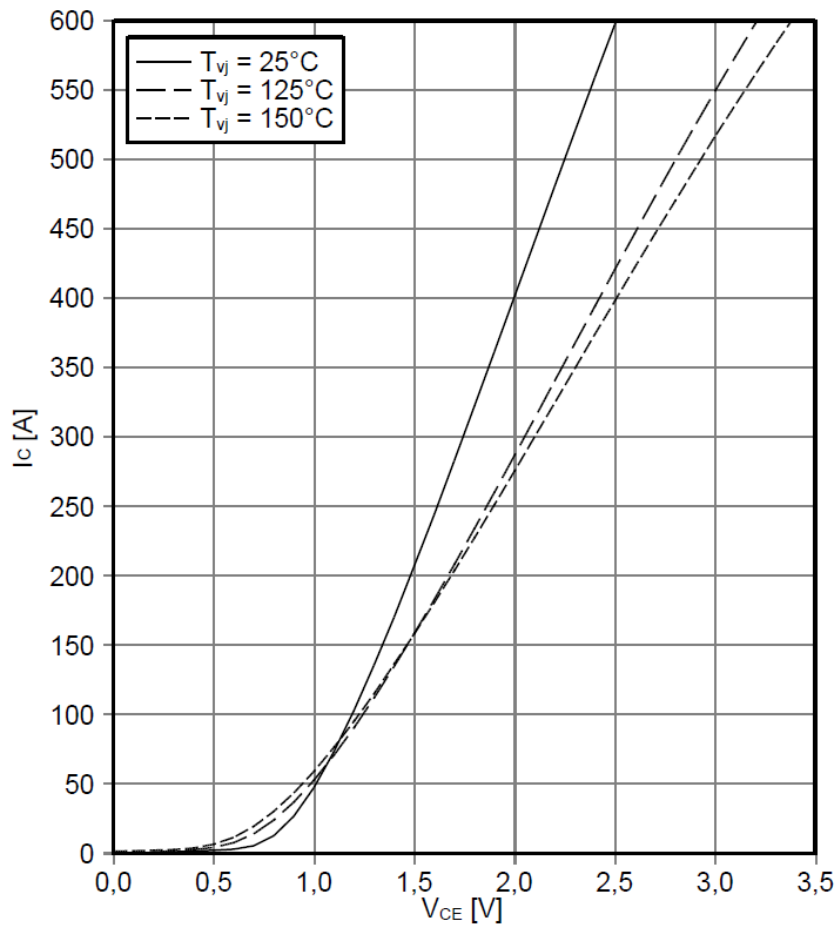


Figura 2.6: Vce vs Ic IGBT

La tensione diretta dei due diodi utilizzati, da datasheet, è pari a 1.7V.

Si ottiene quindi:

$$R_{Desat} = \frac{9 - 2 \cdot 1.7 - 2.5}{200 \cdot 10^{-6}} = 15.5k\Omega$$

Il valore di resistenza più vicino della scala standard E12 è pari a 15kΩ. Come punto di partenza per il dimensionamento del condensatore C42, è possibile considerare un tempo di blanking (aggiuntivo oltre all'intervallo di off-time) molto inferiore rispetto al periodo di switching e al tempo per cui l'igbt può essere attraversato dalla corrente di picco (760A, 1ms).

Con $1\mu s$, pari all'1 % del periodo, si ottiene il seguente valore:

$$C_{Desat} = \frac{T_{delay}}{R_{Desat}} \cdot \frac{1}{\ln\left(\frac{V_{CC2} - V_{Desat,OP}}{V_{CC2} - V_{DESAT,th}}\right)}$$

Con $V_{Desat,OP}$ tensione in ingresso al pin DESAT con corrente di collettore pari a 150A (corrente massima in condizioni di utilizzo normale).

$$V_{Desat,OP} = V_{CE@150A} + 2 \cdot V_f + I_{R_{Desat}} \cdot R_{Desat} = 7.9V$$

$$\implies C_{Desat} \approx 390pF$$

Il dimensionamento effettuato rappresenta un punto di partenza che dovrà poi essere validato nei successivi test a banco, in diversi punti di utilizzo. In particolare, potrebbe rendersi necessaria una ulteriore regolazione di R_{Desat} , vista la relativa vicinanza della soglia d'errore rispetto alla soglia in condizioni limite. Il tempo di blanking potrà invece essere regolato finemente anche via SPI, sfruttando il registro apposito del gate driver (SDESAT0).

6. GATE: il pin GATE viene utilizzato dal driver per monitorare la tensione di gate. La tensione viene confrontata da due comparatori con soglie riferite a VEE2 e VCC2, con conseguente scrittura nei bit 12 e 13 del registro SSTAT2. Il pin è inoltre connesso a due diodi (in questo caso i due diodi sono in un unico package, D4), come indicato nello schema di riferimento, per proteggere l'ingresso da eventuali sovratensioni positive o negative.
7. GND2: riferimento di tensione lato secondario
8. IREF2: pin per riferimento interno. Richiede il collegamento di componenti esterni dimensionati come indicato nel datasheet.
9. VEE2: riferimento di tensione negativo lato secondario
10. VREG: pin per riferimento interno. Richiede il collegamento di componenti esterni dimensionati come indicato nel datasheet.

11. OCP: pin per la rete di protezione da sovracorrente. Richiede un pin ausiliario dell'IGBT e la relativa resistenza di shunt per il corretto funzionamento. In uscita dal pin ausiliario scorrerà una corrente proporzionale a quella di collettore, e in base al dimensionamento dello shunt e alla soglia interna, verrà rilevata una sovracorrente. Il modulo di potenza utilizzato non integra l'uscita ausiliaria e la funzione OCP non è quindi implementata. La rete di componenti passivi del layout tipico è stata comunque utilizzata per evitare l'intervento della protezione e facilitare l'eventuale implementazione futura.
12. DEBUG: pin che consente di attivare una modalità di utilizzo dedicata allo sviluppo, che non sfrutta il protocollo di comunicazione SPI. Nello schema di figura 2.4 il pin è connesso a tensione nulla perché la funzione non verrà utilizzata.
13. DACPL: pin utilizzato per disabilitare la funzione di active miller clamping. Non avendo alimentazione unipolare, non verrà utilizzata. Scrivendo correttamente il registro SACL T, che definisce il tempo di attivazione di DACPL, il segnale in uscita dal pin rimane costantemente alto, disabilitando la funzione lato boost.
14. OSD: Pin per disabilitare l'output del driver portandolo in uno stato di alta impedenza. Non essendo utilizzato è stato collegato ad un pull-down.
15. AMCPL: Uscita per la funzione di active miller clamping. Flottante perché non utilizzato.
16. NUV2: Uscita open drain attiva in caso venga rilevata una tensione sulla linea VCC2 o 5V interna non valida. Per garantirne il funzionamento, deve essere collegata ad un pull-up. Nell'applicazione in esame non viene utilizzato, quindi i componenti per la funzione di active short circuit (ASC) e 0 Vector generation non sono inclusi nello schema.
17. VEE2: riferimento di tensione negativo lato secondario.
18. GND1: riferimento di tensione lato primario.
19. RESERVED1: pin riservato da connettere a massa.

20. SCLK: segnale di clock per la comunicazione SPI. È un segnale generato dal master, quindi proveniente dalla scheda di logica e in comune tra tutti i gate driver.
21. SDI: segnale di input per la comunicazione SPI, nella configurazione utilizzata, daisy chain, equivale al segnale "Master output slave input". Nello schema del driver di figura 2.4 il segnale arriva dal pin di output della scheda di logica (master).

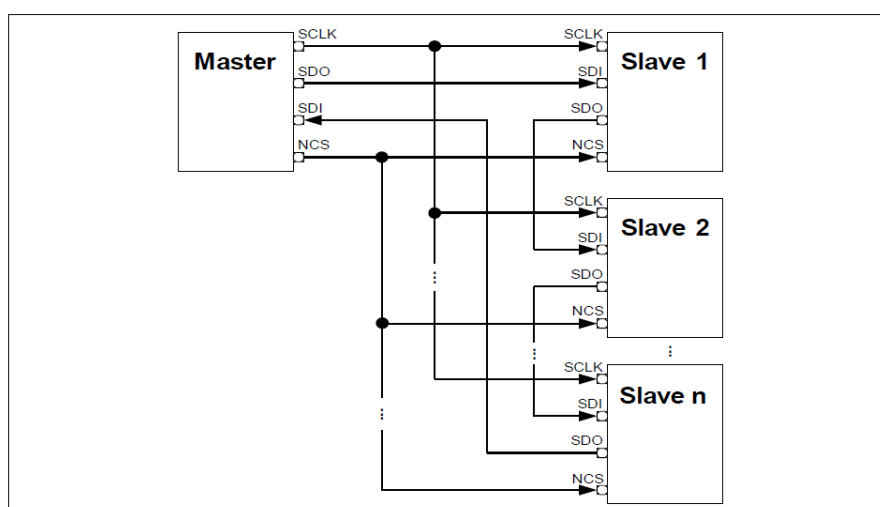


Figura 2.7: Configurazione daisy chain SPI

È stata scelta la configurazione daisy-chain per una maggiore praticità nel layout del circuito stampato e la possibilità di utilizzare un numero inferiore di GPIO del microcontrollore. Il layout standard richiederebbe infatti un segnale Chip Select per ogni driver.

22. NCS: segnale di chip select attivo basso. Se il segnale è inattivo, il driver ignora i dati in input e mantiene l'output in alta impedenza. Affinchè i dispositivi comunichino è quindi necessario che il master porti a un livello basso il segnale.
23. SDO: segnale di output per la comunicazione seriale. È connesso al pin di input del driver successivo nella "catena". Il segnale di output dell'ultimo driver è collegato all'input del master.
24. RESERVED2: pin riservato da collegare a massa.

25. NFLTB: segnale di output open drain, richiede il collegamento ad un pull-up. Il segnale è attivo(basso) se si verifica un evento di classe B, ovvero:

- evento UVLO2 ($V_{CC2} < V_{UVLO2}$)
- evento OVLO2 ($V_{CC2} > V_{OVLO2}$)
- evento UVLO2 ($V_{EE2} < V_{UVLO3}$)
- evento OVLO2 ($V_{EE2} > V_{OVLO3}$)
- errore time-out in verification mode

Gli eventi riportati sono sufficienti, ma non necessari per entrare in uno stato di errore di tipo B. Gli altri eventi che causano l'errore sono riportati nel datasheet. In caso NFLTB risulti attivo mentre il driver si trova nello stato OPM4, come indicato nel diagramma di stato in figura 2.8, lo stato varia e sarà necessario eseguire una serie di operazioni per tornare in operation mode 4, ovvero in modalità attiva.

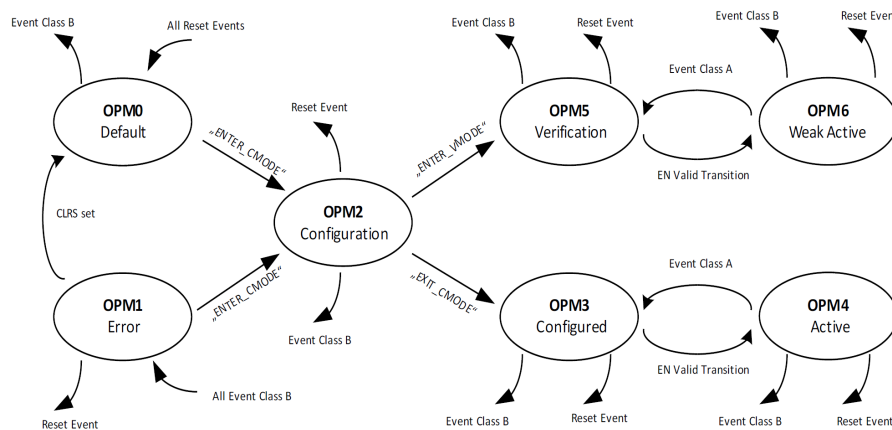


Figura 2.8: Diagramma di stato del driver

26. NFLTA: segnale di output open drain, richiede il collegamento ad un pull-up. Il segnale è attivo(basso) se l'operation mode cambia a seguito di un evento di classe A, ovvero:

- Evento di DESAT
- Evento OCP

- Transizione non valida del segnale di enable

27. GND1: Pin per il potenziale di riferimento del lato primario.
28. NRST/RDY: segnale open drain, va connesso ad un pull-up per il corretto funzionamento. Il segnale può essere utilizzato per effettuare il reset del driver, che torna nel suo stato di default (OPM0). Ha anche una funzione di output, che viene letto dal microcontrollore: nel caso in cui non sia attivo nessun evento che causi il reset del dispositivo, il segnale è ad un livello logico alto. La gestione bidirezionale tramite i level shifter del segnale è riportata nel paragrafo Stato di ingresso
29. EN: Segnale di input che permette di abilitare o disabilitare il driver tramite il microcontrollore. La modalità di funzionamento normale, in cui il driver è attivo e segue il segnale PWM in input, è la OPM4, che viene abilitata solo dopo una transizione valida del segnale Enable.
30. REF0: riferimento di tensione dei segnali INP (PWM), INSTP(PWM) e enable. Deve essere connesso alla tensione di riferimento del microcontrollore, per evitare letture errate dei segnali sopra citati, dovuti a disturbi sulla linea di GND.
31. INP: segnale di input PWM per il pilotaggio dello switch, proveniente dal microcontrollore.
32. INSTP: segnale di input PWM del secondo driver della stessa gamba (high side se il driver è low side e viceversa). L'ingresso è previsto per implementare la funzione "shoot through protection", che non permette l'attivazione del driver nel caso in cui il segnale INSTP sia alto, evitando la conduzione simultanea degli switch della stessa fase e il conseguente corto circuito dovuto a comandi PWM errati.
33. VCC1: Ingresso di alimentazione lato primario, tensione nominale pari a 5V.
34. IREF1: pin per riferimento interno. Richiede il collegamento di componenti esterni dimensionati come indicato nel datasheet.
35. GND1: Pin per il potenziale di riferimento del lato primario.

Lo schema dei cinque driver rimanenti è equivalente a quello riportato. Cambiano i riferimenti al secondario, essendo isolati uno rispetto all'altro. I segnali di enable, errore di tipologia A e B e reset sono in comune tra tutti i driver. La gestione dello stato dei driver (EN, NRST) può essere effettuata simultaneamente, senza perdita di funzionalità. I segnali di fault possono essere connessi insieme essendo open drain, con vantaggi dal punto di vista dello sbroglio e della disponibilità di GPIO del microcontrollore. Lo stato del singolo driver sarà comunque disponibile tramite SPI.

2.2.3 1EBN1001AE

L'integrato 1EBN1001AE è un Gate driver booster, ovvero esegue una funzione di buffer del segnale di pilotaggio del gate proveniente dal gate driver, con specifiche superiori in termini di erogazione e assorbimento di corrente. Il booster si rende necessario per correnti elevate in uscita o ingresso al gate o in caso di IGBT dedicati a potenze elevate (tipicamente superiori a 10kW), per via delle relativamente elevate capacità in ingresso.

La corrente di picco durante la fase di accensione è calcolabile come:

$$I_{peak,ton} = \frac{V_{CC2} - V_{EE2}}{R_{gon,booster} + R_{gate} + R_{gint}} \quad (2.1)$$

Al denominatore si ha la resistenza serie totale tra uscita del booster, che pilota il gate, e capacità di ingresso dell'igt. In particolare, $R_{gon,booster}$ è la resistenza interna del booster, per l'1EBN1001AE vale 0.5Ω [6], R_{gate} è la resistenza posta in base al dimensionamento scelto tra booster e gate dell'igt e R_{gint} è la resistenza di gate interna all'IGBT, pari a 2.5Ω [8] nel caso in analisi. Senza R_{gate} , si ottiene una corrente di picco pari a 8A, di molto superiore alla corrente di picco ai pin TON e TOFF del gate driver, che è di 1A [5]. La potenza media dissipata dal booster durante la carica della capacità di gate può essere calcolata considerando la carica necessaria:

$$P_{booster,carica} = \frac{1}{2} Q_{gate} \cdot (V_{CC2} - V_{EE2}) \cdot f_{sw} \cdot \frac{R_{gon,booster}}{R_{gon,booster} + R_{gint} + R_{gate}} \quad (2.2)$$

La carica di gate, da datasheet [8] è pari a $1.75\mu C$. La potenza di carica media, con resistenza di gate aggiuntiva nulla, è quindi pari a 35mW. Sommando

la potenza di scarica, in questo caso uguale, si ottiene una potenza totale di 70mW. Non è disponibile un dato relativo alla massima potenza dissipabile dal booster, ma si può ottenere una prima stima utilizzando la corrente massima rms in uscita/ingresso dai pin TONO/TOFFO:

$$P_{TONO,TOFFO} = I_{peak,rms}^2 R_{gon,booster} = 0.75^2 \cdot 0.5 = 281mW \quad (2.3)$$

Il booster risulta quindi adatto in termini di potenza dissipabile, per l'uso con il modulo di potenza scelto. Inoltre, il caso analizzato non prevede l'uso di resistori di gate esterni, che verranno invece utilizzati nel caso reale per aumentare i tempi di switching in modo da attenuare l'eventuale ringing.

Lo schema relativo ad uno dei sei booster presenti in scheda è riportato in figura 2.9.

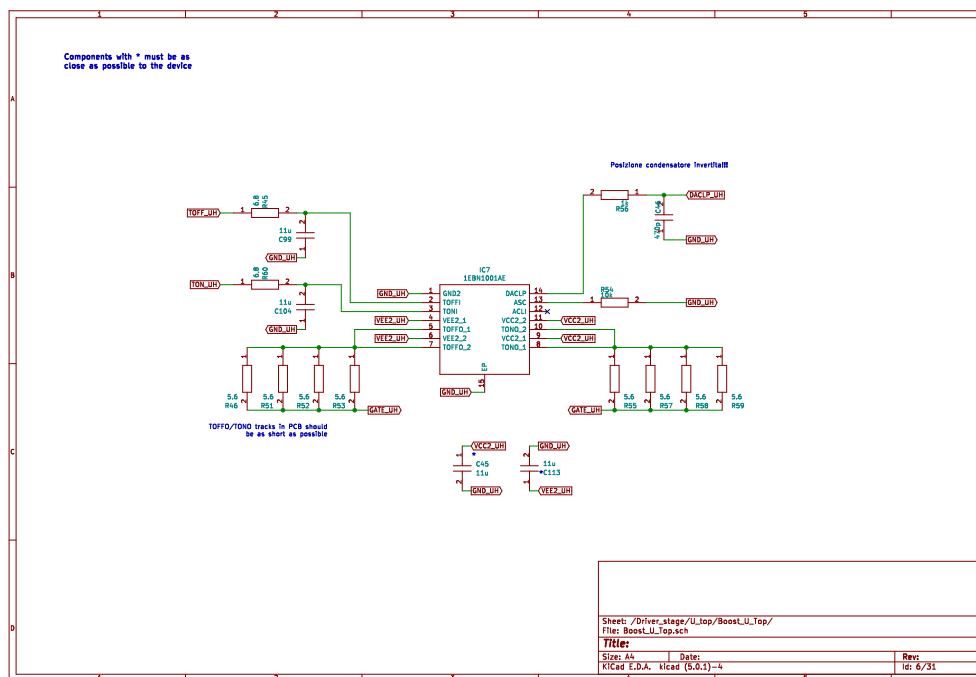


Figura 2.9: Schema circuito booster

Segue la descrizione dei collegamenti dei singoli pin:

1. GND2: riferimento di tensione, come per il lato secondario dei driver, corrisponde alla tensione di emettitore del relativo igbt.

2. TOFFI: pin di input che controlla l'uscita di pilotaggio del gate per l'off time, TOFFO. È collegato all'uscita TOFF del driver tramite un filtro RC opzionale, da utilizzare per attenuare eventuali armoniche.

3. TONI: pin di input che controlla l'uscita di pilotaggio del gate per l'on time, TONO. È collegato all'uscita TON del driver tramite un filtro RC opzionale.

4. VEE2: tensione di alimentazione negativa.

5. TOFFO: pin di uscita che pilota il gate durante l'off-time. Segue il comportamento dell'input TOFFI, la configurazione è quella di un inseguitore di emettitore. Il pin è connesso ad un parallelo di resistori, per poter scegliere con maggiore libertà il valore finale. La presenza di rami separati per la carica e scarica, permette di gestire autonomamente i tempi, che sono generalmente maggiori per la fase di scarica se non si utilizza una resistenza esterna: il booster scelto ha un rise time pari a 50ns e un fall time pari a 90ns. Un dimensionamento di partenza prevede $R_{gon} = 2R_{goff}$ [4]. Il valore finale deve essere scelto trovando il miglior compromesso tra perdite durante lo switching, ringing del gate e accensione indesiderata dello switch dovuta a fenomeni parassiti. Come visibile dalla caratteristica Resistenza di gate/Perdite di commutazione, riportata in figura 2.10, l'energia dissipata ha un andamento in prima approssimazione lineare rispetto alla resistenza: una resistenza di gate che non si discosti eccessivamente dalla somma data da quella interna al gate e interna al booster, permette di limitare in modo drastico le perdite di commutazione, soprattutto in fase di accensione.

switching losses IGBT, Inverter (typical)

$E_{on} = f(R_G)$, $E_{off} = f(R_G)$,

$V_{GE} = +15V / -8V$, $I_C = 250 A$, $V_{CE} = 600V$

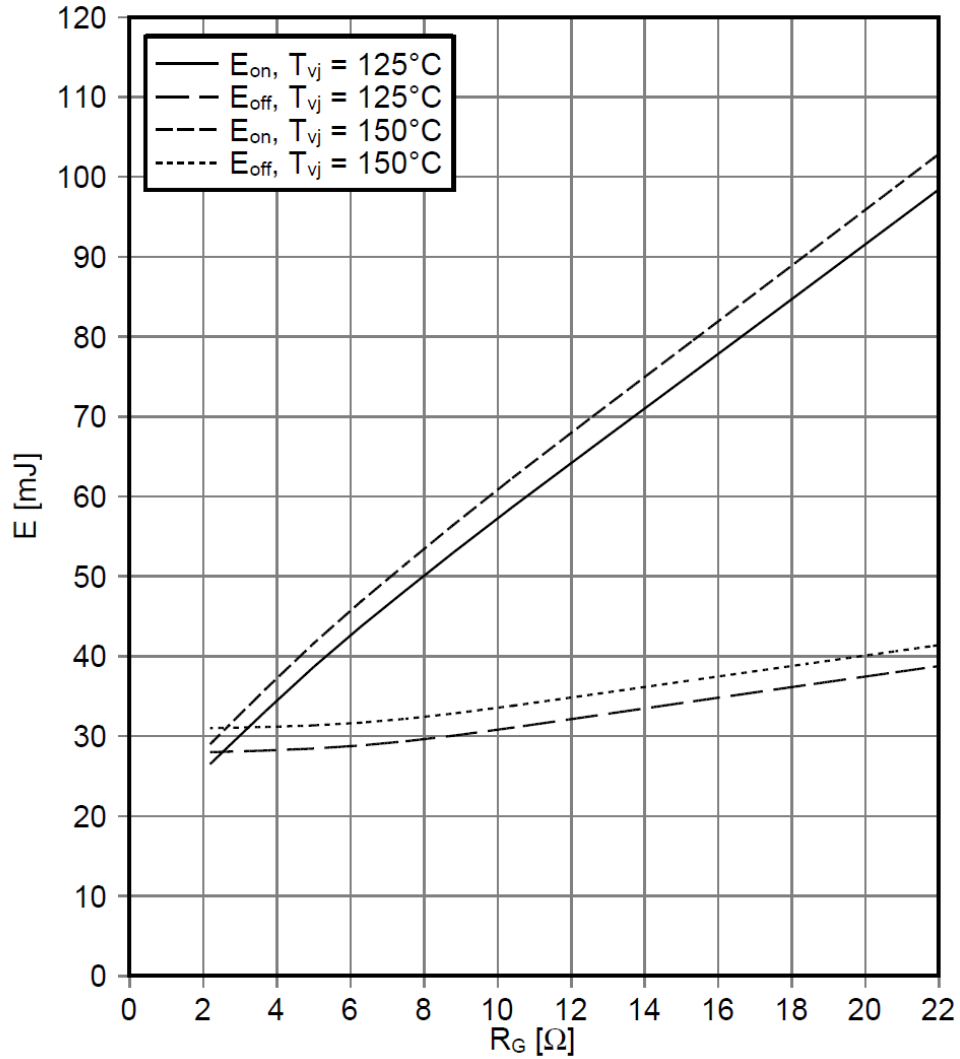


Figura 2.10: Perdite di commutazione al variare della resistenza di gate

Considerando una frequenza di switching di 10kHz, si ottiene dal grafico una dipendenza Potenza media dissipata/ R_{gate} durante l'accensione, pari a:

$$\frac{P_{diss}}{R_{gate}} \approx \frac{90 - 40}{19.5 - 5.3} \cdot \frac{10000}{1000} = 35.2 \frac{W}{\Omega} \quad (2.4)$$

Il circuito tra booster e gate può essere interpretato come un circuito RLC serie.

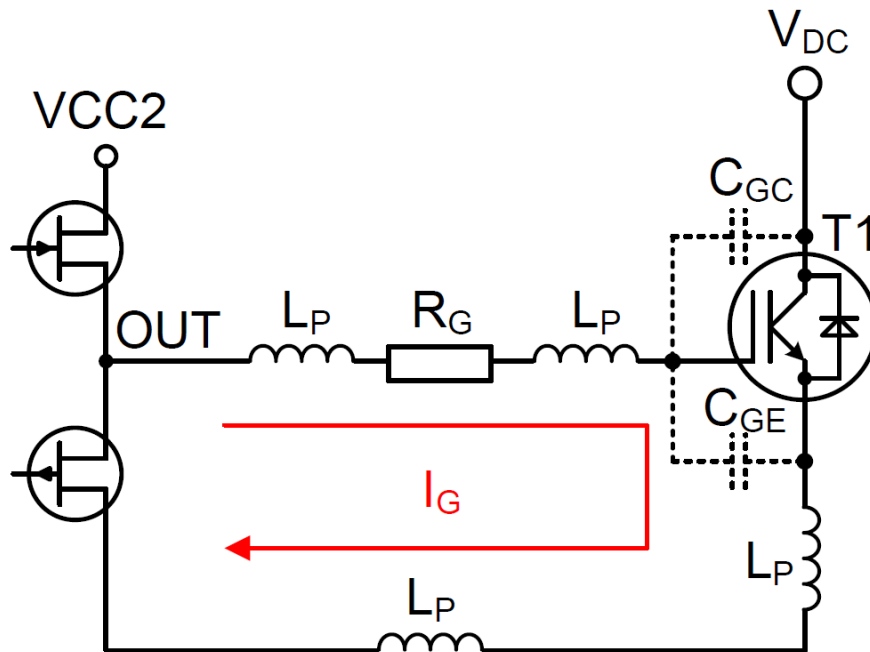


Figura 2.11: Rete equivalente booster-gate

Le componenti resistive e capacitive sono sostanzialmente note, mentre il valore di induttanza dipende dal loop formato fisicamente nello sbroglio del circuito stampato e nel collegamento al gate. In fase di progettazione, è importante prendere accorgimenti per minimizzare l'induttanza parassita: le piste tra i pin di output del booster e il pin del condensatore di bypass del booster stesso, connesso al potenziale di riferimento, devono essere più corte possibile per minimizzare l'area. Il coefficiente di autoinduzione è infatti proporzionale alla superficie del circuito considerato [10]. Il parametro utilizzabile per valutare il comportamento oscillante del circuito RLC, che causa il cosiddetto "ringing" della tensione di gate, è il fattore di qualità, definito alla pulsazione di risonanza ($\omega_0 = \frac{1}{\sqrt{LC}}$) come [10]:

$$Q_0 = \frac{1}{R} \sqrt{\frac{L}{C}}$$

Q_0 da una misura della bontà dell'oscillatore, quindi maggiore sarà il suo valore, maggiore sarà la durata delle oscillazioni alla frequenza di risonanza. Lo smorzamento critico si ottiene per $Q_0 = \frac{1}{2}$ e il dimensionamento

ottimale della resistenza serie è dato da:

$$R_{opt} = 2\sqrt{\frac{L}{C}}$$

La componente resistiva permette quindi di smorzare eventuali oscillazioni in caso di valori elevati del fattore di qualità.

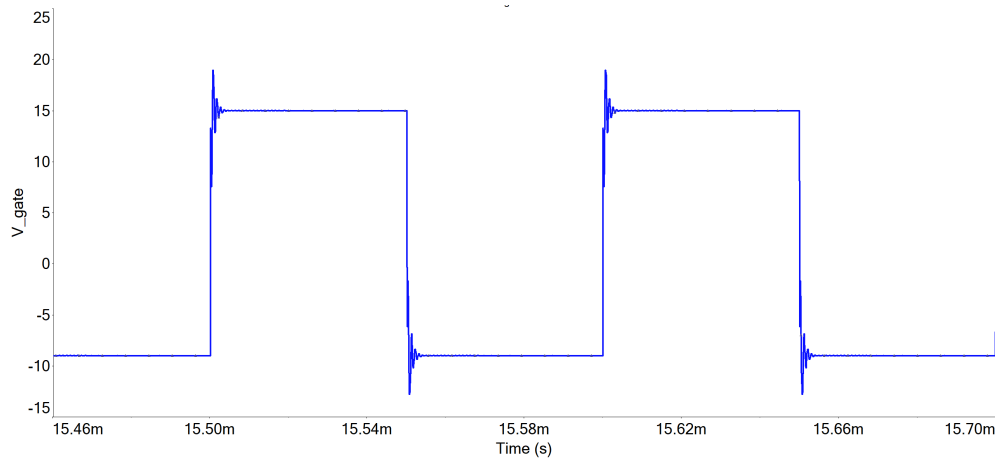


Figura 2.12: Tensione di gate ottenuta simulando un circuito equivalente a quello booter-IGBT, con resistenza di gate inferiore al valore ottimale

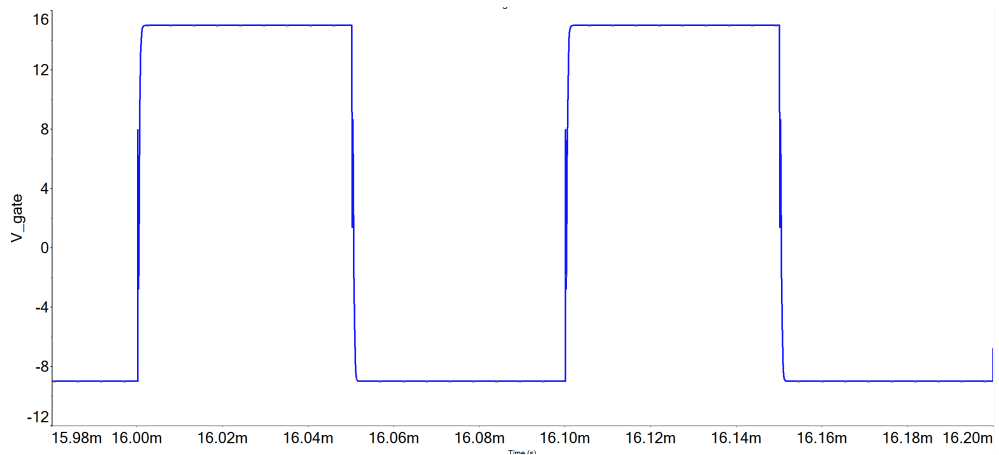


Figura 2.13: Tensione di gate ottenuta simulando un circuito equivalente a quello booter-IGBT, con resistenza di gate superiore al valore ottimale

Nel caso in esame, il circuito RLC è composto, in particolare per la componente induttiva, da elementi parassiti. Risulta quindi complesso ottenere una stima a priori dei parametri utili al dimensionamento, che andrà perfezionato con test a banco, tenendo presente delle considerazioni fatte.

I resistori scelti per i rami di controllo del gate sono della tipologia "Metal electrode leadless face" (MELF), ed hanno caratteristiche in termini di durata, stabilità e resistenza alle temperature, migliori, rispetto ai classici resistori smd a film sottile.



Figura 2.14: Resistore MELF

Una stima sulla potenza dissipata dal parallelo di resistori MELF è data da:

$$P_{RMELF,carica} = \frac{1}{2} Q_{gate} \cdot (V_{CC2} - V_{EE2}) \cdot f_{sw} \cdot \frac{R_{gate}}{R_{gon,booster} + R_{gint} + R_{gate}} \quad (2.5)$$

Al variare della resistenza si ottiene l'andamento mostrato in figura 2.15.

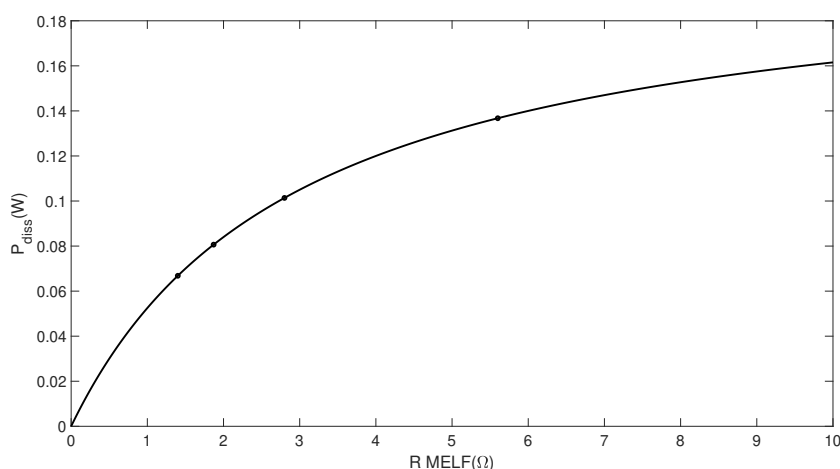


Figura 2.15: Potenza dissipata al variare della resistenza di gate

Il valore critico è quello a 5.6Ω , ovvero un singolo resistore. Il prodotto scelto, con package 0204 può dissipare fino a $1/4W$, sufficienti anche al caso peggiore.

6. VEE: pin di alimentazione dedicato al potenziale negativo
7. TOFFO: pin equivalente al quinto
8. TONO: pin di uscita che pilota il gate durante l'on-time. Segue il comportamento dell'input TONI. Valgono le stesse considerazioni fatte per il pin TOFFO, ma il dimensionamento del parallelo di resistori di gate sarà differente per via delle differenze tra tempo di salita e discesa delle uscite del booster.
9. VCC2: pin di alimentazione dedicato al potenziale positivo
10. ACLI: pin per la funzione di active clamping, non connesso perché la funzione non verrà sfruttata essendo l'alimentazione duale.
11. ASC: pin di ingresso per "l'active short circuit". È una funzione di protezione dalle sovratensioni, che si possono verificare in caso l'inverter non venga pilotato correttamente e la tensione indotta dal motore durante la rotazione superi quella di blocco degli switch di potenza. Nel caso in esame, la tensione di blocco è superiore a quella indotta a regime massimo. Inoltre, il corto circuito potrebbe portare ad una brusca frenata:

nello schema in figura 2.16, prevede l'uso di 6 diodi. Quattro diodi sono TP-SMB150A, con tensione di breakdown pari a 150V, un diodo è TPSMB250A, 250V, e il diodo in anti serie, con tensione diretta pari a 1.7V, è utilizzato per disaccoppiare collettore e gate durante l'on-time. La tensione di breakdown nominale è quindi data da:

$$V_{br} = 4 \cdot 150 + 250 + 1.7 - 9 = 842.7V$$

Un calcolo preciso della potenza dissipata dai diodi risulta complesso, perché dipende dalla tensione di collettore e di gate. È stata effettuata una simulazione per avere una stima dell'ordine di grandezza del tempo necessario per l'accensione dello switch nel caso il collettore si porti ad una tensione sufficiente. In particolare, i diodi smettono di dissipare se la tensione al gate è maggiore di quella di soglia, si ottiene quindi:

$$V_{c,min} = V_{br} + V_{th,max} = 849.1V$$

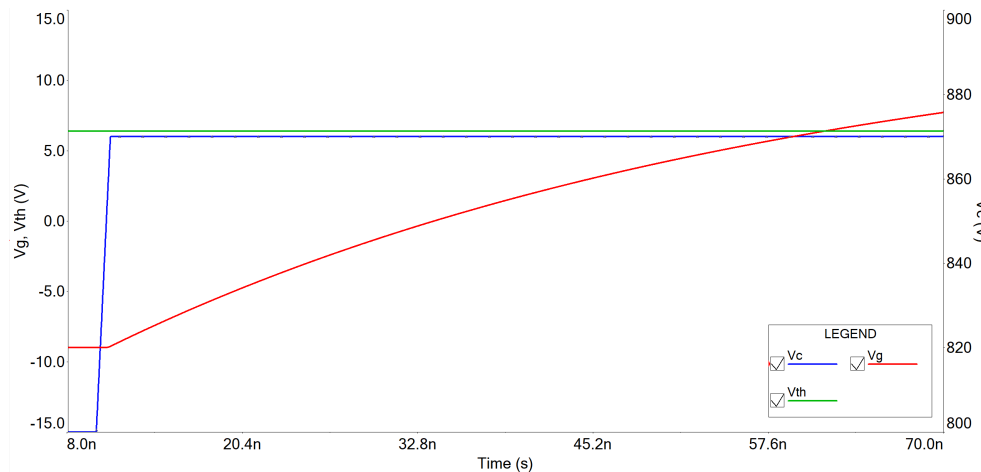


Figura 2.17: Tensione al gate durante un transitorio con rete di clamping attiva

Dal grafico in figura 2.17 si nota che la tensione di gate (in rosso), supera la soglia (in verde) in un tempo dell'ordine di grandezza di un centinaio di ns. Nel circuito simulato non è stata considerata una resistenza di gate aggiuntiva, per massimizzare il tempo richiesto per caricare la capacità di gate, ovvero il caso peggiore. Con una resistenza aggiuntiva, la corrente in ingresso al booster verrebbe infatti limitata. La tensione di collettore è simulata come un gradino

con tempo di salita sufficientemente breve. Inoltre non sono state inserite componenti induttive, in quanto il loro dimensionamento risulta complesso: la tensione al collettore raggiunta dal gradino in pochi ns, rimane quindi invariata anche dopo aver superato quella di breakdown, cosa che non accadrà nel caso reale per via dell'energia immagazzinata che viene dissipata. Una stima al caso

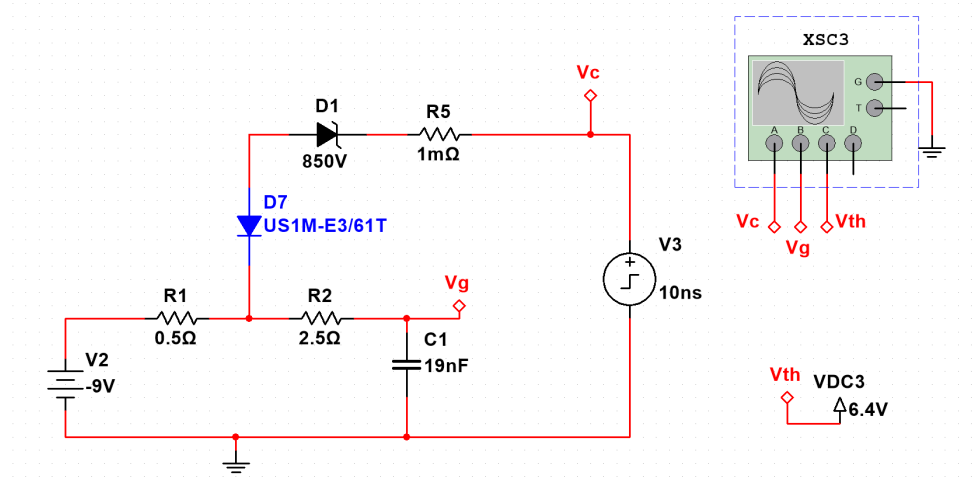


Figura 2.18: Setup utilizzato per la simulazione di figura 2.17

peggiore della potenza dissipata istantaneamente dal diodo con $V_{br} = 250V$ è riportata in figura 2.19. Come visibile, si raggiungono picchi di potenza

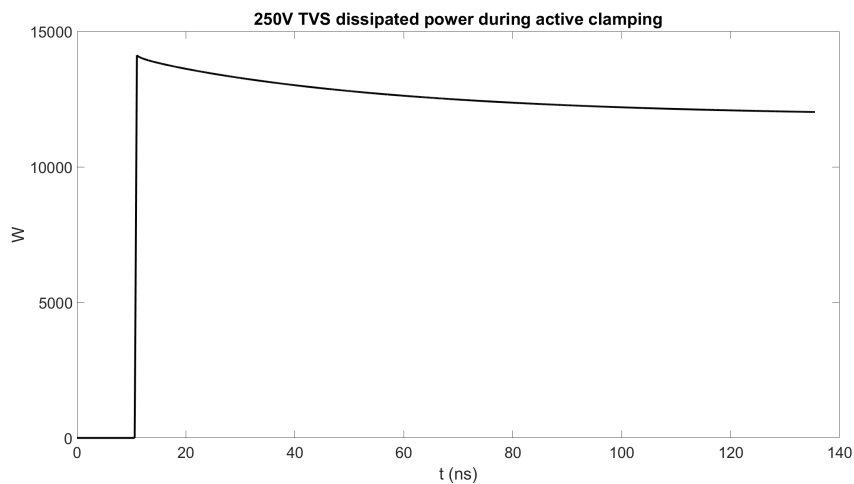


Figura 2.19: Potenza dissipata dal diodo TVS durante il transitorio di figura 2.17

molto elevati, ma l'energia effettivamente dissipata non è elevata per via della durata degli intervalli. Il datasheet dei TVS utilizzati riporta la caratteristica

di potenza di picco al variare del tempo di figura 2.20. Il valore massimo

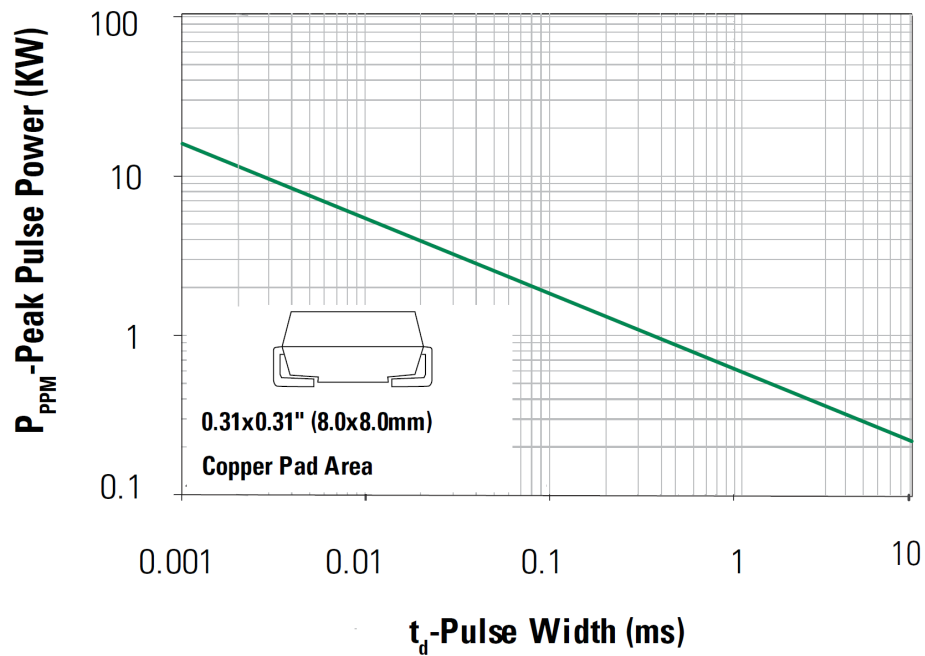


Figura 2.20: Potenza di picco diodi TVS al variare dell'intervallo

indicato è di circa 17kW per $1\mu s$, energia dissipata quindi ben superiore a quella stimata.

La tensione di alimentazione del lato primario dei driver, con riferimento di tensione connesso al sistema a bassa tensione, deve essere pari a 5V. Di conseguenza i segnali di ingresso e uscita non sono compatibili con la logica a 3.3V della scheda di controllo, i cui livelli sono invece vincolati dal microcontrollore c2000. Si è reso quindi necessario uno stadio di ingresso che adatti i segnali alle relative tensioni di alimentazione. Sono stati utilizzati degli integrati "level shifter", per non dover ricorrere a buffer e partitori di tensione. Sono tre le tipologie di integrato utilizzate, in base alle caratteristiche dei segnali. Per i segnali open-drain viene utilizzato l'LSF0204PW-Q100J, la versione automotive del circuito. Il circuito esegue la traslazione bidirezionale dei segnali ingresso (da 3.3V a 5V o viceversa), senza dover specificare la direzione dei segnali stessi. Il funzionamento è di tipo "pass-gate" e lo schema semplificato è riportato in figura 2.22. Quando il segnale di enable, (che pilota i gate) è

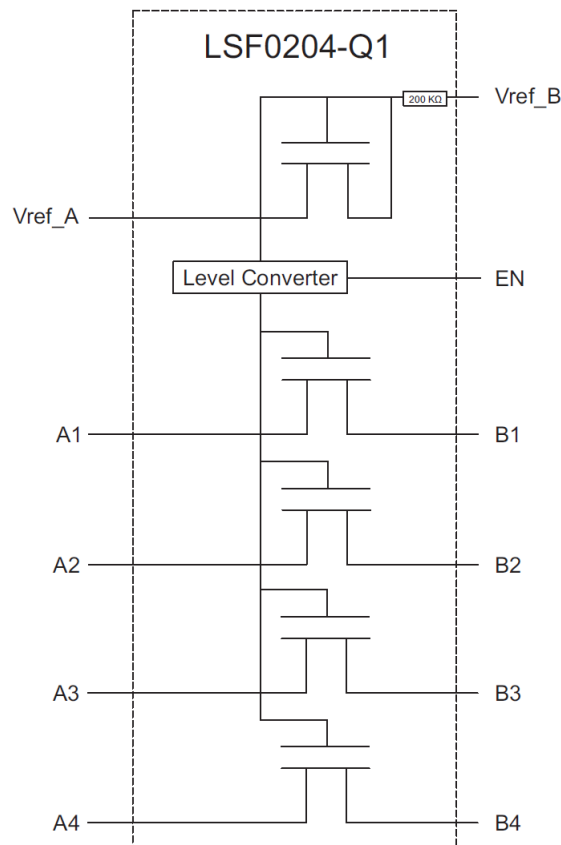


Figura 2.22: Schema semplificato level shifter pass-gate

a livello logico alto, il segnale in ingresso si propaga solo se è a livello basso,

altrimenti la tensione gate-source non risulta sufficiente.

Se l'ingresso è alto, l'uscita è alta grazie ai pull-up. Questi devono essere dimensionati in modo da garantire una corrente attraverso i MOSFET inferiore a 15mA, in modo da avere una caduta di tensione, e quindi una differenza tra ingresso e uscita in caso il segnale sia basso, inferiore a 350mV. Si ha quindi:

$$R_{min} = \frac{5V - 350mV}{15mA} = 310\Omega$$

Si è scelto di utilizzare un pullup di molto superiore, $10k\Omega$, perché è il valore standard utilizzato in scheda per questa funzione e per ridurre le perdite. Inoltre i segnali in esame sono tutti di errore, non presentano componenti a frequenze elevate e il dimensionamento non è quindi critico.

Il segnale in ingresso ai driver, NRST-RDY è filtrato passivamente. Si è optato per l'uso di più condensatori in parallelo in modo da poterli distribuire nella fase di layout in prossimità dei relativi pin degli integrati.

Segue il confronto dei livelli logici dei sistemi (driver, microcontrollore, level shifter) per verificarne la compatibilità:

Segnale (Uscita driver)	Livello alto uscita (min)	Livello alto ingresso(max)	Livello basso uscita(max)	Livello basso ingresso(min)
NFLTB3V3	$3.3-10kI_{out}$	2V	$3.3 \frac{33}{33+10k\Omega} \approx 0$	0.8V
NFLTA3V3	$3.3-10kI_{out}$	2V	$3.3 \frac{33}{33+10k\Omega} \approx 0$	0.8V
NRST3V3OUT	$3.3-10kI_{out}$	2V	$3.3 \frac{33}{33+10k\Omega} \approx 0$	0.8V

Segnale (Ingresso driver)	Livello alto uscita (min)	Livello alto ingresso(max)	Livello basso uscita(max)	Livello basso ingresso(min)
NRSTRDY	$5-10kI_{out}$	$0.7 \cdot 5V$	$5 \frac{1k}{1k+10k\Omega} \approx 0.45V$	$0.3 \cdot 5V$

Il segnale di reset-ready, come riportato nella sezione relativa al driver, è un segnale bidirezionale. Si è resa quindi necessaria una rete apposita per evitare contese tra driver e microcontrollore.

Gli stati possibili sono elencati in seguito:

- Microcontrollore: not reset, Driver: ready. Il segnale all'ingresso A4 è imposto alto dalla centralina, di conseguenza NRST-RDY in ingresso

al driver è alto grazie al pullup R6. Lo stesso vale di conseguenza per NRST3V3OUT.

- Microcontrollore: reset, Driver: ready. Il segnale all'ingresso A4 è imposto basso, si propaga quindi verso B4 e di conseguenza verso A3. Il driver entra quindi nello stato di reset.
- Microcontrollore: not reset, Driver: not ready. B4 e B3 sono bassi, essendo il driver nello stato not ready, il mos interno risulta chiuso. Il segnale si propaga verso A3 e A4. Il microcontrollore impone contemporaneamente una tensione alta, quindi si ha una caduta su R198, dimensionata per limitare la corrente. La corrente massima in uscita dalle GPIO è pari a 4mA, quella massima in ingresso al driver 20mA. Si ha quindi:

$$R > \frac{3.3V}{4mA} = 825\Omega$$

- Microcontrollore: reset, Driver: not ready. Sia il driver che il microcontrollore impongono lo stato basso. Tutti i pin sono quindi alla tensione di riferimento.

Il secondo integrato utilizzato, TXU0304QPWRQ1, è un level shifter automotive di tipologia push-pull. È adatto all'uso con il protocollo SPI per la direzione fissa della traslazione, con tre segnali in ingresso al lato A e uno in uscita. Segue il confronto dei livelli logici dei sistemi (driver, microcontrollore, level shifter) per verificarne la compatibilità:

Segnale (Uscita driver, ingresso shifter)	Livello alto uscita (min)	Livello alto ingresso(max)	Livello basso uscita(max)	Livello basso(min)
SDO	3.85V	3.33V	0.5V	1.88V

Segnale (Uscita level shifter, ingresso GPIO)	Livello alto uscita (min)	Livello alto ingresso level shifter(max)	Livello basso uscita(max)	Livello basso ingresso level shifter (min)
SDO3V3	2.2V	2V	0.8V	0.8V

Segnale (Uscita GPIO, ingresso shifter)	Livello alto uscita (min)	Livello alto ingresso(max)	Livello basso uscita(max)	Livello basso ingresso(min)
SDI3V3	2.64V	1.92V	0.4V	0.89V
NCS3V3	2.64V	1.92V	0.4V	0.89V
SCLK3V3	2.64V	1.92V	0.4V	0.89V

Segnale (Uscita shifter, ingresso driver)	Livello alto uscita (min)	Livello alto ingresso(max)	Livello basso uscita(max)	Livello basso ingresso(min)
SDI	3.7V	3.5	0.8V	1.5V
NCS	2.64V	1.92V	0.4V	0.89V
SCLK	2.64V	1.92V	0.4V	0.89V

Il terzo level shifter, TXU0104QPWRQ1 è della stessa famiglia di quello utilizzato per i segnali SPI, ne condivide quindi le specifiche. La differenza è la direzione dei segnali: in questo caso sono tutti entranti dal lato A. Le soglie logiche di ingressi e uscite sono le stesse riportate per i segnali SPI da centralina a driver.

Per i segnali push-pull è necessario considerare i pullup o pulldown integrati nei driver o esterni e valutare la compatibilità con le specifiche dei level shifter. In particolare, per i segnali in comune tra i 6 integrati, come EN, si deve considerare il parallelo, al caso peggiore, di sei pull down interni da $20k\Omega$, più quello in scheda da $10k\Omega$. Si ottiene quindi:

$$R_{pd} = \frac{\frac{20}{6}10}{\frac{20}{6} + 10} k\Omega = 2.5k\Omega$$

Il rating di corrente continuativa in uscita dal level shifter deve quindi essere maggiore di

$$I_c > \frac{5V}{R_{pd}} = 2mA$$

Questa caratteristica è stata determinante per la selezione degli integrati, in quanto generalmente i level shifter push-pull hanno capacità inferiori.

2.2.6 Uscite analogiche

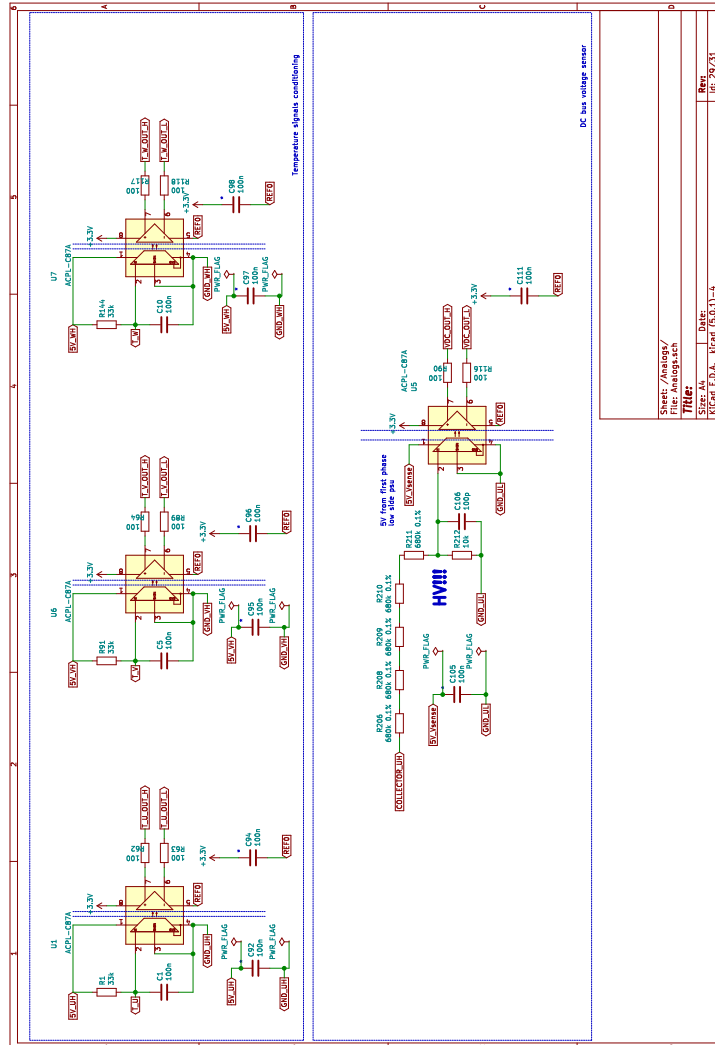


Figura 2.23: Schema amplificatori differenziali per i segnali di temperatura e tensione DC bus

I moduli di potenza integrano tre sonde NTC per la lettura della temperatura in prossimità dei substrati "direct copper bond" (DCB). Per via della capacità termica del modulo, della precisione e della posizione sonde stesse, la lettura non ha una funzione di protezione, ma permette di ottenere informazioni relative ad una determinata condizione di utilizzo.

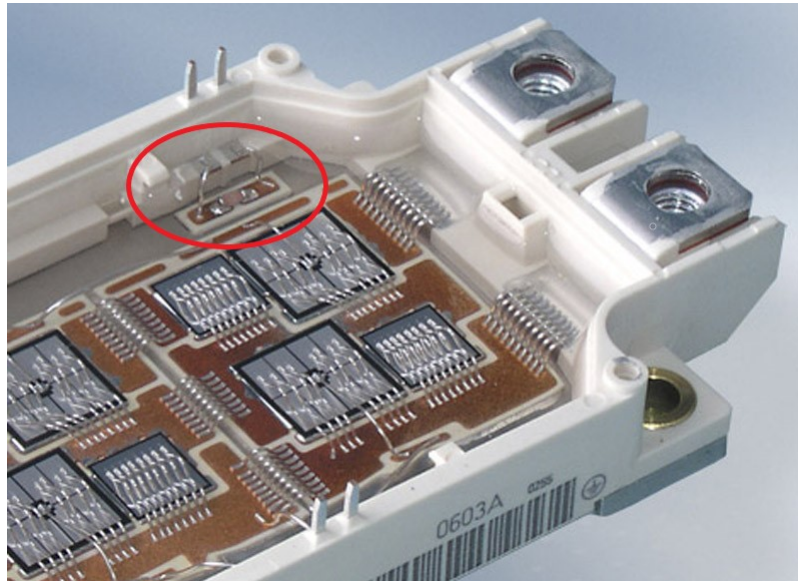


Figura 2.24: Posizione indicativa di una sonda NTC all'interno di un modulo di potenza Infineon

Le sonde sono isolate elettricamente dagli switch di potenza ed immerse in strato di resina, come tutto il modulo. In caso di rottura, è però possibile che si crei un collegamento tra le due parti.

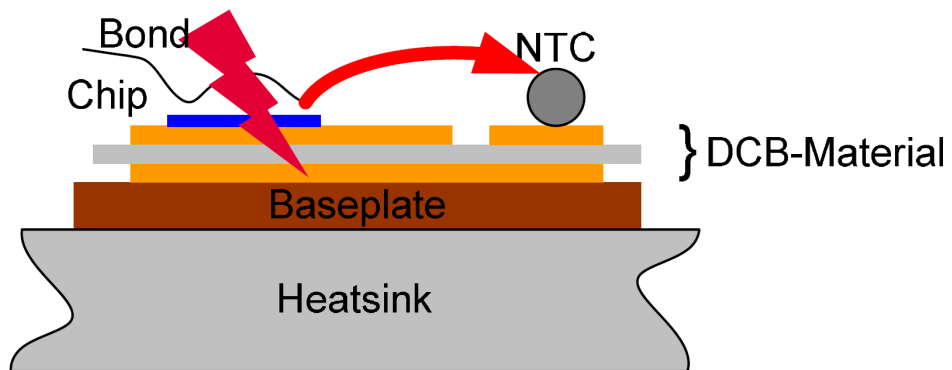


Figura 2.25: Collegamento tra NTC e DCB in caso di guasto

Si è quindi reso necessario l'uso di componenti che garantiscano da specifiche l'isolamento del segnale.

Il regolamento Formula Student definisce come isolati due circuiti che hanno [3]:

- resistenza maggiore di $500\Omega/V$ alla tensione massima del tractive system ($500\Omega/V \cdot 600V = 300k\Omega$)

- tensione di isolamento superiore a tre volte la tensione massima del tractive system (1800V)

L'integrato scelto è l'ACPL-C87, un amplificatore differenziale ottico isolato. L'applicazione tipica è l'isolamento di segnali provenienti da partitori di tensione [11]. Ha resistenza di isolamento superiore ad $1G\Omega$ e tensione di isolamento pari a 5000Vrms. Il dimensionamento della resistenza di pullup è stato effettuato considerando il vincolo di tensione massima in ingresso all'amplificatore, pari a 2.5V, e in modo da massimizzare la variazione di tensione alle temperature tipiche di utilizzo, per avere una maggiore risoluzione.

La relazione tra temperatura e resistenza degli NTC considerati è data da:

$$R_{NTC}(T) = R_{25C} e^{(B_{25/80}(\frac{1}{T} - \frac{1}{298.15K}))}$$

Si ottiene quindi l'andamento riportato in figura 2.26.

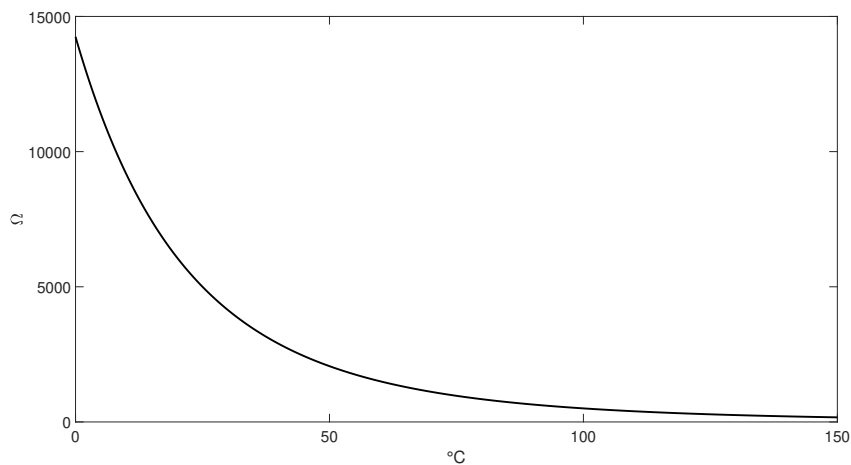


Figura 2.26: Resistenza NTC al variare della temperatura

Per ottimizzare il range di tensione, è possibile calcolare la tensione al partitore al variare del valore di pullup. Dalla figura 2.27, si evince che il valore ottimale è vicino al $k\Omega$.

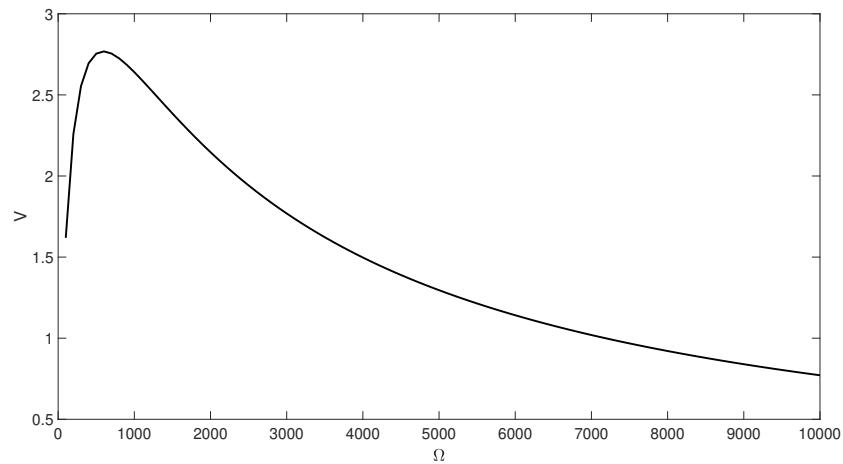


Figura 2.27: Escursione tensione (50°C-150°C) al variare della resistenza di pullup

È necessario, però, considerare anche il valore massimo di tensione raggiunto, per evitare di saturare l'uscita dell'amplificatore.

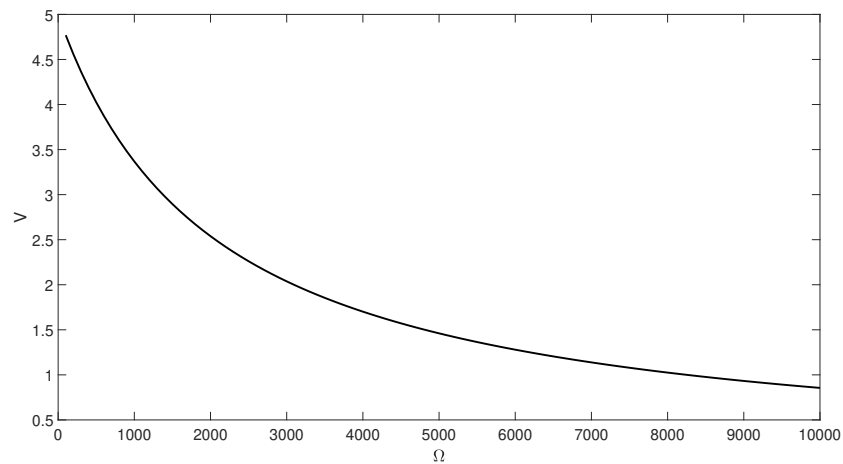


Figura 2.28: Tensione massima (50°C) al variare della resistenza di pullup

La tensione di 2.5V viene raggiunta a 30°C, con pullup di 4.1kΩ. Si è scelto un valore di 3.3kΩ, come compromesso tra risoluzione e range di temperatura leggibile. La caratteristica temperatura-tensione è riportata in figura 2.29.

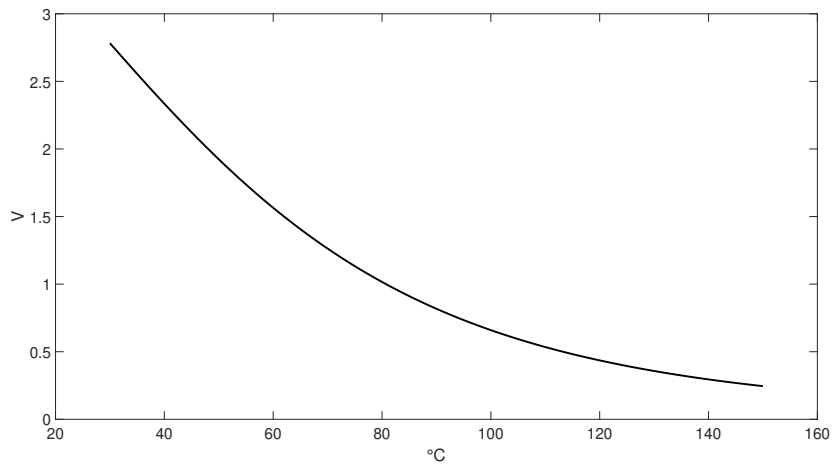


Figura 2.29: Tensione al variare della temperatura

L'intervallo di temperature leggibili parte quindi da 36°C.

Una possibile soluzione attuabile nelle successive versioni, è l'uso di una resistenza posta in parallelo alla sonda NTC. Si otterrebbe quindi una tensione massima inferiore, senza una diminuzione marcata della risoluzione a temperature più elevate.

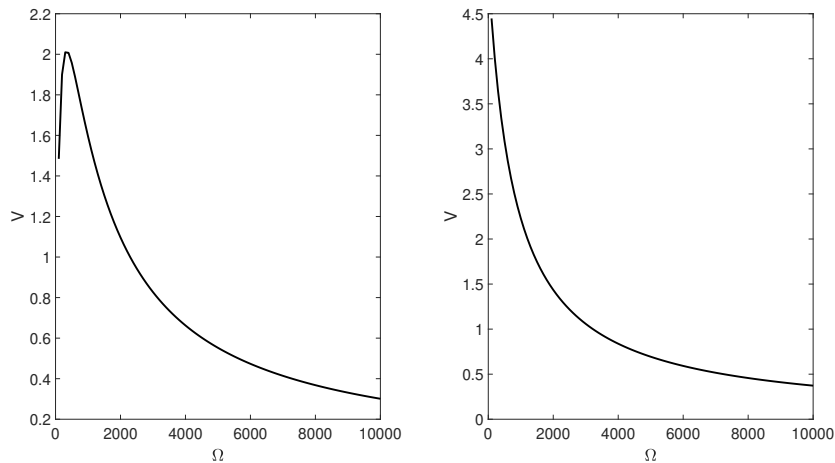


Figura 2.30: Escursione tensione (30°C-150°C) e tensione massima al variare della resistenza di pullup, con parallelo 1kΩ

I segnali differenziali vengono poi gestiti sulla scheda di logica, utilizzando degli amplificatori operazionali in configurazione differenziale, come riportato nella sezione 2.4.2. È possibile fare un'analisi al caso peggiore dell'errore di

lettura di temperatura, per valutarne l'impatto. Gli elementi da considerare nei calcoli sono:

- Tolleranza sul valore del resistore di pullup
- Tolleranza sul valore della sonda NTC
- Errore del guadagno dell'amplificatore differenziale isolato
- Tolleranze dei valori dei resistori utilizzati per lo stadio differenziale

Verranno, invece, trascurate per semplicità, le tolleranze relative alla tensione di alimentazione e l'errore dovuto alla quantizzazione della lettura. I valori degli elementi elencati in precedenza sono:

- 1%
- 5%
- 3%
- 1%

L'errore dell'amplificatore ACPL-C87 dipende dal modello selezionato. Per la versione della scheda analizzata verrà utilizzato l'integrato ACPL-C870, con tolleranza sul guadagno del 3%. La tensione in uscita dallo stadio differenziale (U4A), riportato in figura 2.41, è data da:

$$V_{out} = \frac{T_{U_H} \cdot R_{24}}{R_{24} + R_{22}} \left(1 + \frac{R_{27}}{R_{21}}\right) - T_{U_L} \frac{R_{27}}{R_{21}}$$

Il caso peggiore (con errore di temperatura negativo) si ottiene quindi con le seguenti tolleranze:

Elemento	Tolleranza
Pullup	-1%
NTC	5%
Guadagno	3%
R24, R27	1%
R21, R22	-1%

Moltiplicando gli errori dai singoli elementi, calcolati utilizzando i valori in tabella, si ottiene:

$$e = \epsilon_{NTC, P_u} \cdot \epsilon_{Gain} \cdot \epsilon_{Differenziale} = \frac{1.05(R_{NTC} + R_{P_u})}{1.05R_{NTC} + 0.99R_{P_u}} \cdot 1.03 \cdot 1.0506$$

L'errore totale al variare della temperatura è riportato in figura 2.31.

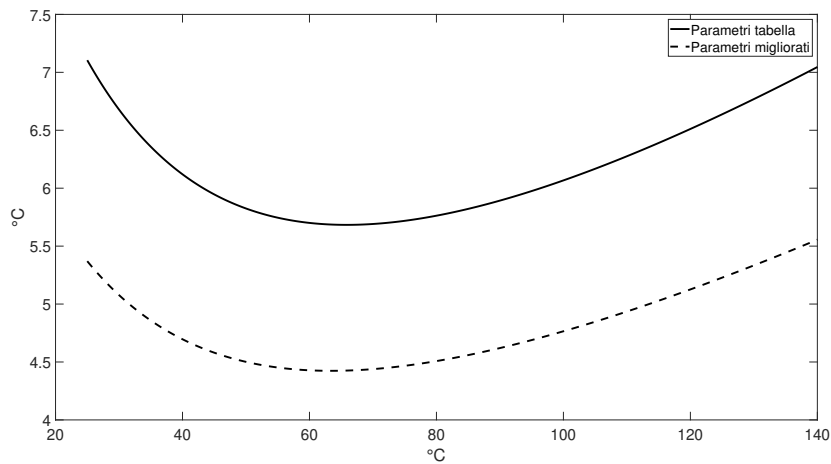


Figura 2.31: Errore lettura temperatura (in modulo) in due condizioni al caso peggiore. La linea continua si riferisce alle tolleranze riportate in tabella, quella tratteggiata se vengono utilizzati resistori con tolleranza 0.1% e amplificatore con errore di guadagno massimo pari a un punto percentuale.

L'errore non risulta, quindi, trascurabile. Sarà importante effettuare una calibrazione, in modo da ottenere la curva effettiva temperatura-tensione, facendo variare in modo controllato la temperatura ambiente.

L'amplificatore U5 di figura 2.23 è dedicato alla lettura di tensione ai capi del DC bus, necessaria per il controllo dei motori. È effettuata misurando la tensione tra emettitore dell'IGBT low-side e collettore dell'IGBT high-side, della prima gamba. La tensione viene adattata a livelli compatibili con le specifiche dell'amplificatore tramite un partitore di tensione. La caratteristica è in figura 2.32, insieme ai casi peggiori considerando le tolleranze del partitore.

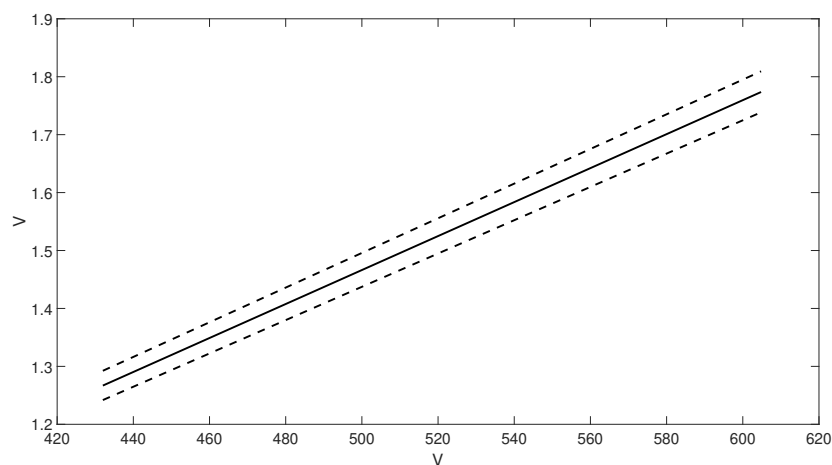


Figura 2.32: Tensione in ingresso all'amplificatore isolato al variare della tensione di bus

Valgono le stesse considerazioni fatte per le sonde NTC per quanto riguarda l'errore finale dovuto ai vari stadi di condizionamento.

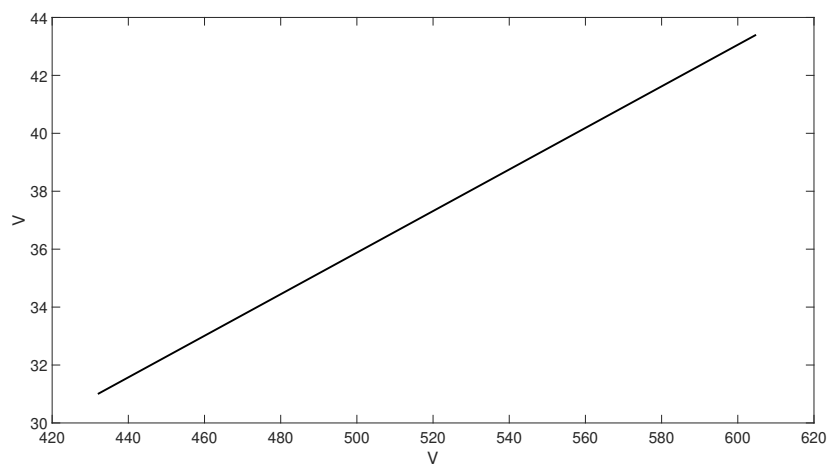


Figura 2.33: Errore lettura tensione al caso peggiore.

Sebbene il caso peggiore rappresenti una condizione improbabile, sarà necessario anche in questo caso compensare la lettura per ottenere valori affidabili, essendo il dato considerato critico sia per il corretto funzionamento del controllo che per funzioni di sicurezza.

2.2.7 Connettori

2.3 Scheda alimentazione

La scheda di alimentazione fornisce, a partire dalla batteria di bassa tensione, le alimentazioni necessarie al funzionamento di tutti gli elementi presenti nelle schede. Segue la descrizione dettagliata dello schema elettrico.

2.3.1 Circuito di protezione e convertitori non isolati

Le protezioni sono di tre tipologie: sovra-corrente, sovra-tensione e polarità inversa.

La protezione contro correnti troppo elevate, nella prima versione completa della scheda, è stata implementata, per semplicità, utilizzando un fusibile. Un primo dimensionamento può essere effettuato considerando i tre elementi con maggior assorbimento di potenza: gate driver, booster e LAUNCH-XLF28379D.

I gate driver dissipano [5] in OPM0 50mW al primario e 250mW al secondario. Il booster, quando non commuta, dissipa [6]:

$$P_{booster,steady} = 1.6mA \cdot 20V + 1.3mA \cdot 10V = 45mW$$

Durante la commutazione devono essere considerate le perdite dovute alle fasi di carica e scarica della capacità di gate:

$$P_{booster,tot} = P_{booster,steady} + Q_{gate} \cdot f_{sw} \Delta V = 45mW + 420mW = 465mW$$

Il consumo della scheda di logica può essere stimato a partire dalle correnti assorbite [12] dal microcontrollore TMS320F28379D durante l'uso:

$$P_{\mu c} = I_{DD}V_{DD} + I_{DDIO}V_{DDIO} + I_{DDA}V_{DDA} + I_{DD3VFL}V_{DD3VFL} = \\ 325mA \cdot 1.2V + 30mA \cdot 3.3V + 13mA \cdot 3.3V + 32mA \cdot 3.3V = 641mW$$

Una stima del consumo tipico totale è quindi pari a circa 5.2W. Considerando la tensione di alimentazione minima, pari a 21.6V (limite imposto dai conver-

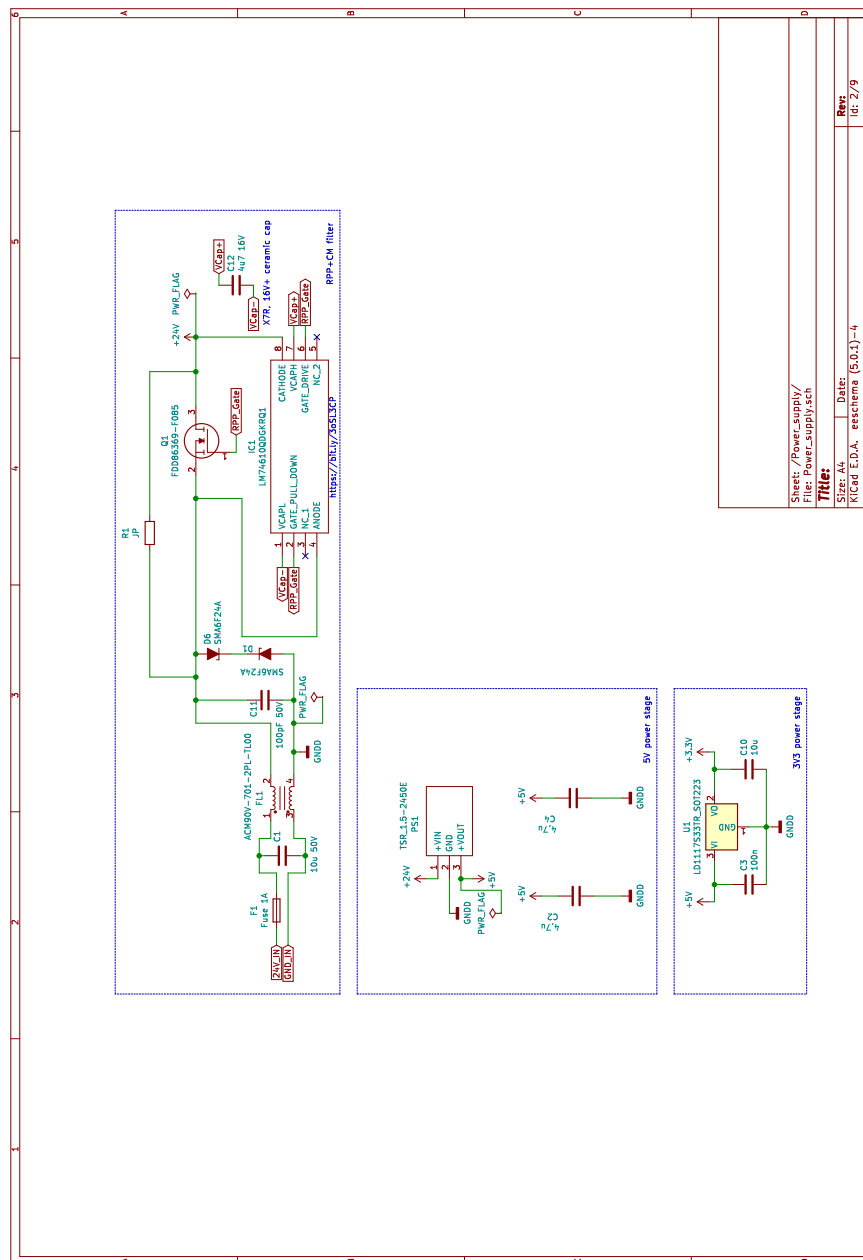


Figura 2.34: Schema Circuito di protezione e convertitori non isolati

titori isolati), si ottiene una corrente in ingresso di circa 240mA. Come primo dimensionamento può essere scelto un fusibile da 500mA ad azione rapida.

L'integrato LM74610 è utilizzato per la protezione da polarità inversa. Chiude un NMOS esterno tramite una pompa di carica solo se viene rilevata

la polarità corretta ai pin catodo e anodo. Oltre al MOSFET, richiede un condensatore esterno per la pompa di carica, tramite il quale viene caricata la capacità di gate [13]. I vantaggi principali rispetto a soluzioni classiche, come l'uso di un diodo schottky o un PMOS, sono la minor dissipazione dovuta alla caduta di tensione ai capi del dispositivo e la rapidità dell'intervento della protezione.

Per il dimensionamento del MOSFET è necessario considerare:

- Corrente di drain. Il rating deve essere superiore alla massima corrente assorbita.
- $R_{DS(on)}$, deve essere minimizzata per minimizzare le perdite.
- Il diodo body deve avere una caduta di tensione superiore a 0.48V a correnti limitate.
- $V_{GS,th} \ll 5V$, ovvero la tensione raggiunta dalla pompa di carica.

Il condensatore per la pompa di carica deve essere di tipologia X7R, tensione minima 16V e capacità compresa tra 220nF e 2.2 μF . A seconda della capacità, varia l'on-time del MOSFET:

$$t_{ON,MOSFET} = \frac{C \cdot \Delta V}{0.95\mu A} = \frac{C \cdot 1.15V}{0.95\mu A}$$

$$t_{ON,Diodo-body} = \frac{C \cdot \Delta V}{46\mu A} = \frac{C \cdot 1.15V}{46\mu A}$$

Per il dimensionamento dei diodi TVS, che proteggono da sovratensioni transitorie (tipicamente durante il collegamento dell'accumulatore o di un carico), è necessario considerare le tensioni durante l'utilizzo tipico. In particolare la tensione di breakdown deve essere superiore a quella massima raggiunta dalla batteria sia con polarità corretta che invertita. La protezione è infatti pensata per transistori, il collegamento diretto di un generatore con tensione superiore a quella di breakdown porterebbe alla rottura dei diodi, per via dell'elevata dissipazione. Si è scelto di utilizzare quindi due diodi in antiserie, per la protezione contro picchi sia positivi che negativi, con tensione di breakdown minima pari a 26.7V [14], superiore ai 25.2V massimi in ingresso. Considerando anche la tensione diretta del diodo in antiserie si ha una tensione di

stand-off massima pari a circa 25V a 0.2μA. Il diodo risulta quindi compatibile con l'applicazione.

L'alimentazione a 5V viene utilizzata per il lato primario dei gate driver, i relativi level shifter, i sensori di corrente a effetto Hall e per la LAUNCHXL28379D (convertita a 3.3V). È stato scelto un DC/DC per massimizzare l'efficienza, visto il fattore di conversione elevato. L'efficienza minima del TSR 1.52450E è pari al 95% [15].

L'assorbimento dei level shifter risulta trascurabile, quindi una stima del consumo può essere effettuato considerando i restanti componenti:

$$P_{5V} = P_{driver} + P_{LEM} + P_{\mu c} = 6 \cdot 8mA \cdot 5V + 2 \cdot 19mA \cdot 5V + 641mW = 1.071W$$

$$I_{5V} = 6 \cdot 8mA + 2 \cdot 19mA + \frac{641mW}{5V} = 214mA$$

Il convertitore scelto ha quindi specifiche compatibili.

L'alimentazione a 3.3V è dedicata alla scheda di logica, al lato μc dei level shifter e al lato non isolato degli amplificatori differenziali ottici. In questo caso, si è adottato un regolatore lineare, visto il fattore di conversione ridotto, ma comunque superiore al dropout voltage tipico (800mV [16]) e l'ottima regolazione della tensione d'uscita ($\Delta V_{o,typ} = 1mV$). La regolazione è un parametro critico di questa linea, che alimenta gli stadi di adattamento dei segnali analogici e gli ADC stessi della LAUNCHXL28379D. Il contributo più significativo a livello di assorbimento è dovuto proprio a quest'ultima e la stima è di 641mW. Si ha quindi una corrente assorbita pari a circa 200mA. La variazione di temperatura del regolatore lineare LD1117S33 prevista durante l'utilizzo è di:

$$\Delta T = R_{thJA} \cdot P = 110 \frac{^{\circ}C}{W} \cdot 200mA(5V - 3.3V) = 37.4^{\circ}C$$

Considerando la temperatura massima di utilizzo, di 125°C, la temperatura ambiente massima in cui può essere utilizzato l'integrato è pari a 88°C, ben superiore al caso reale.

2.3.2 Convertitori isolati

Il lato secondario dei driver, quindi la sezione di pilotaggio, necessita di alimentazioni isolate rispetto alla bassa tensione, perché il riferimento per il fun-

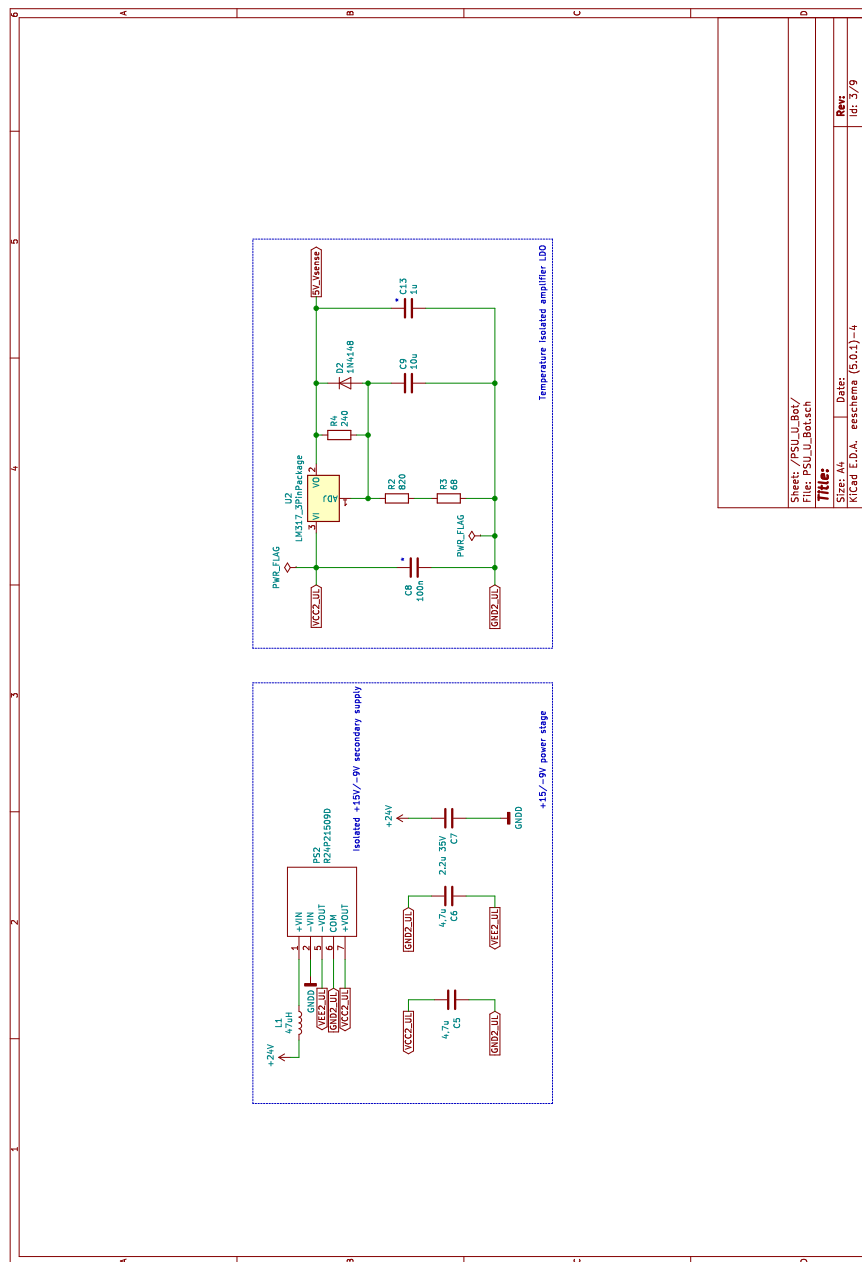


Figura 2.35: Schema circuito alimentazioni isolate

zionamento corretto deve essere quello degli emettitori degli switch, che fanno parte del sistema di alta tensione. Sono stati scelti degli alimentatori isolati standalone, con uscita di tensione duale, per facilità di utilizzo nella prima versione della scheda. Ogni switch è dotato del suo convertitore, nonostan-

te sarebbe stato possibile utilizzarne uno in comune per gli switch low-side. La scelta è vincolata dalle caratteristiche di potenza erogabile da alimentatori presenti sul mercato, che abbiano le caratteristiche richieste. Il DC/DC scelto ha nome di produzione R24P21509D, ma esistono alternative equivalenti da produttori diversi come TMV 2-24159HI e MGJ2D241509SC. La necessità di avere uscita duale deriva dalla minore probabilità di turn-on indesiderati durante la commutazione (ringing), essendo la tensione di gate durante il turn-off più "distante" dalla soglia di accensione. In termini di isolamento, il dispositivo è testato con tensione tra primario e secondario fino a 6400V [17] ed ha resistenza di isolamento di $15G\Omega$, risulta quindi compatibile con le relative specifiche richieste dal regolamento formula student. L'induttore in ingresso è stato aggiunto come da specifiche consigliate nel datasheet per compatibilità elettromagnetica. Il regolatore lineare LM317, in figura 2.35 con riferimento U4, viene utilizzato per alimentare il lato secondario dell'amplificatore differenziale isolato, che gestisce il segnale relativo al primo termistore. La stessa configurazione è prevista per gli altri due riferimenti high side e per il low side della prima fase, in questo caso per alimentare l'amplificatore dedicato alla misurazione di tensione del dc link, U5 in figura 2.23. Sono stati utilizzati più regolatori, con riferimento differente per praticità nel layout: i pin collegati alle sonde NTC sono distribuiti lungo il modulo (dovendo le sonde stesse misurare temperature in vari punti della superficie) e garantire le distanze richieste per l'isolamento di piste che attraversano la scheda sarebbe risultato complesso. L'assorbimento tipico degli amplificatori utilizzati è di 10.5mA, trascurabile rispetto il rating del regolatore LM317 [18]. Affinchè la tensione in uscita sia regolata a 5V, è necessario dimensionare i componenti esterni. L'applicazione tipica per ottenere una regolazione di tensione costante è riportata in figura 2.36.

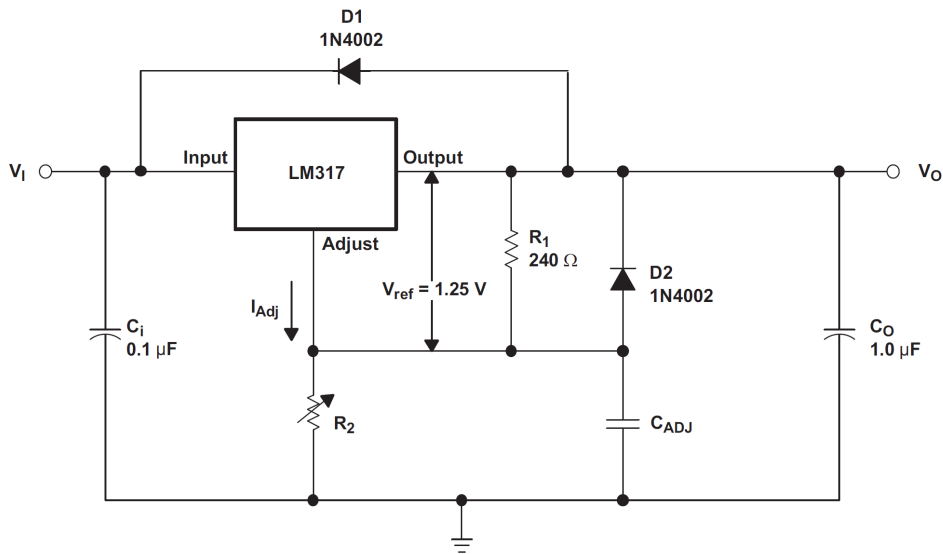


Figura 2.36: Applicazione tipica regolatore lineare LM317

Essendo la tensione tra il pin ADJUST e il pin di uscita regolata costantemente a 1.25V, si ottiene:

$$V_o = R_2 \left(\frac{1.25V}{R_1} + I_{adj} \right) + 1.25V$$

Fissando R_1 a 270Ω , valore presente nella scala E12, si ottiene il dimensionamento di R_1 :

$$R_2 = \frac{V_o - 1.25V}{\frac{1.25V}{R_1} + I_{adj}} \approx 801\Omega.$$

Scegliendo il valore commerciale disponibile più vicino, pari a 820Ω si ottiene una tensione in uscita di 5.09V.

C_{adj} è utilizzato per ridurre il ripple in uscita e D_2 permette di scaricare il condensatore allo spegnimento.

2.4 Scheda logica

La scheda di logica ha la funzione di interfacciare il microcontrollore con la scheda driver e i sensori necessari al funzionamento dell'inverter. Segue la descrizione dettagliata dello schema elettrico.

2.4.1 LAUNCHXL28379D

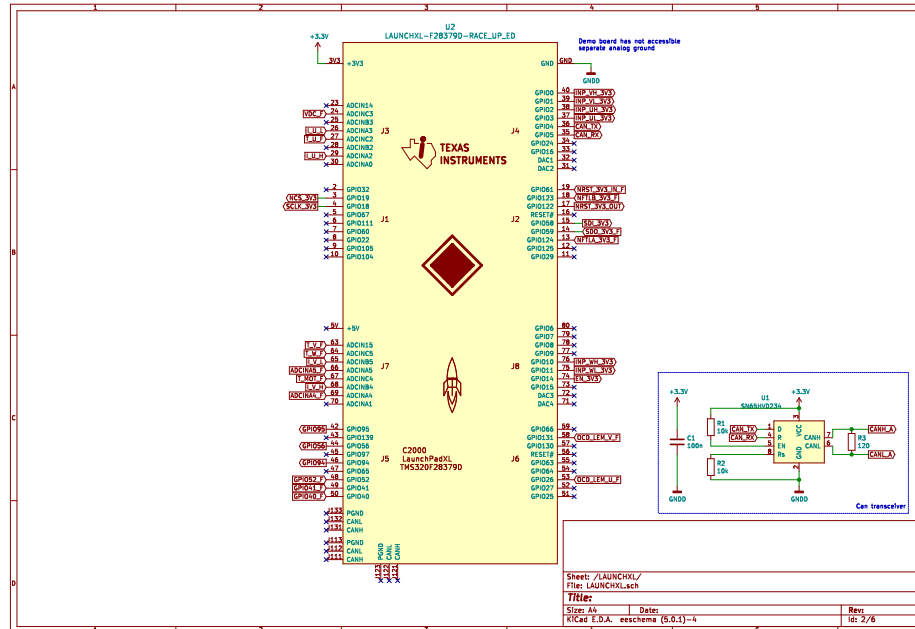


Figura 2.37: Simbolo LAUNCHXL e transceiver

Il simbolo riportato in figura 2.37 con riferimento U2 è riferito alla scheda di sviluppo LAUNCHXL28379D, dedicata al relativo processore, TMS320F28379D.

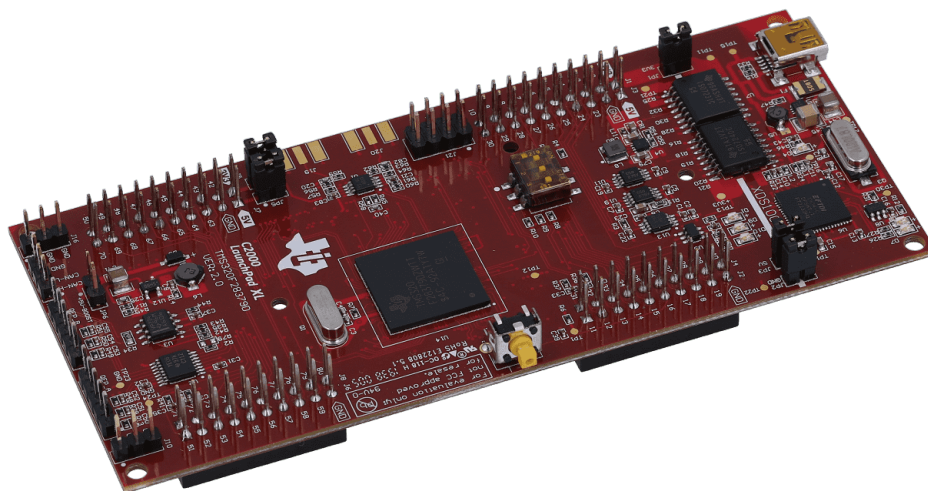


Figura 2.38: LAUNCHXL28379D

La scheda è stata scelta perché è già integrata all'interno del veicolo, dove svolge la funzione di centralina vera e propria, e per questioni di praticità. In futuro, la progettazione di una scheda ad-hoc dedicata al microcontrollore, permetterà di sfruttare in base alle esigenze le funzioni offerte. Due esempi lampanti di limitazione dovuti alla scheda di sviluppo durante la progettazione sono stati lo sbroglio del circuito stampato non ottimale e l'inaccessibilità del transceiver integrato per il protocollo CANbus.

Nello schema di figura 2.37 sono indicati tutti i segnali analogici e digitali, entranti e uscenti dal microcontrollore. L'associazione dei segnali digitali alle GPIO è stata fatta seguendo le seguenti considerazioni:

- Per i segnali PWM, che tramite driver e booster pilotano gli switch, è necessario selezionare GPIO con funzione ePWM dello stesso modulo. Ogni modulo PWM ha due uscite [19], EPWMxA e EPWMxB che possono essere usate in modo complementare e con la possibilità di impostare i tempi morti desiderati. I tempi morti, nei convertitori di potenza, sono necessari per evitare la conduzione simultanea degli switch high e low side.

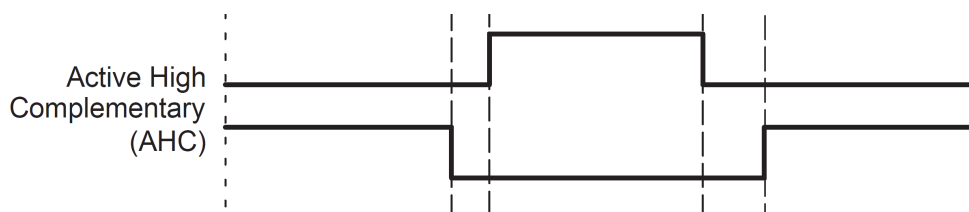


Figura 2.39: Diagramma temporale semplificato di due uscite PWM complementari

- Per i pin TX e RX del bus CAN, collegati poi al transceiver esterno, sono state scelte le uniche GPIO che supportano il protocollo CAN non utilizzate per altri scopi. Il modulo utilizzato è quello A, perché il B è collegato ad un transceiver interno non accessibile per via del posizionamento della scheda di sviluppo. Questa infatti è stata orientata con gli header maschio verso l'alto (quindi non connessi alla scheda di logica), per poter collegare il modulo di espansione BOOSTXL-POSMGR per la gestione degli encoder.

- I segnali di input, output, clock e chip-select per il protocollo SPI sono stati collegati ai pin che lo supportano più facilmente accessibili durante lo sbroglio.
- I restanti segnali digitali (di errore, ausiliari e di enable) sono connessi in modo da facilitare il design del layout.

L'associazione dei segnali analogici è stata fatta seguendo le seguenti considerazioni:

- Le letture delle due correnti di fase (la terza verrà calcolata di conseguenza), deve essere effettuata con moduli ADC differenti, per consentire la lettura sincronizzata. Inoltre si è scelto di usare segnali differenziali per sfruttare la risoluzione a 16bit (anzichè 12) e minimizzare eventuali disturbi del segnale. È necessario seguire le associazioni riportate in figura 2.40 per il collegamento dei segnali positivo e negativo.

	CHSEL	Positive Input	Negative Input
Differential	0 or 1	ADCIN0	ADCIN1
	2 or 3	ADCIN2	ADCIN3
	4 or 5	ADCIN4	ADCIN5
	6 or 7	ADCIN6	ADCIN7
	8 or 9	ADCIN8	ADCIN9
	10 or 11	ADCIN10	ADCIN11
	12 or 13	ADCIN12	ADCIN13
	14 or 15	ADCIN14	ADCIN15

Figura 2.40: Tabella ADC differenziali

Gli ingressi della fase U vengono letti dall'ADC A, quelli della fase V dal B.

- I segnali analogici rimanenti, se single-ended, non possono essere letti dai moduli utilizzati per le correnti, che sono in modalità differenziale. Non è possibile utilizzare il riferimento di tensione nullo all'ingresso negativo, perché non verrebbe rispettata la specifica del modo comune di tensione in ingresso, che non può discostarsi di più di 50mV [12] dal modo comune della tensione di riferimento ($\frac{V_{REFHI} - V_{REFLO}}{2} = 1.5V$). La lettura relativa al bus DC e le letture di temperatura del modulo IGBT e del motore sono quindi effettuate dal modulo ADC C.

2.4.2 Stadio di ingresso segnali analogici

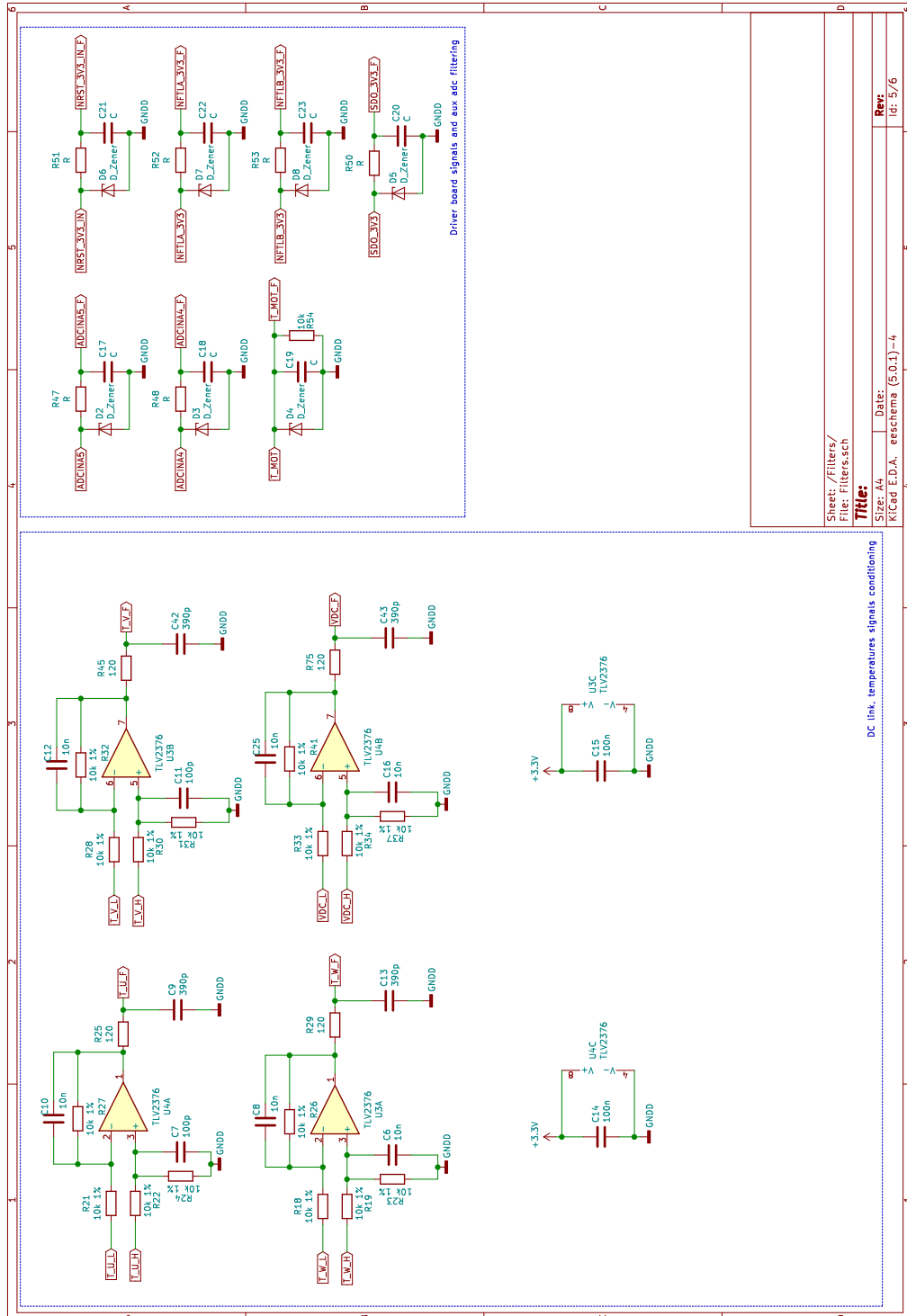


Figura 2.41: Stadio di ingresso segnali analogici tensione, temperatura e ausiliari

Per i segnali di temperatura e tensione si è scelto di utilizzare degli amplificatori operazionali esterni, per la conversione da segnale differenziale a single-ended. La motivazione è principalmente dovuta alla disponibilità limitata di ingressi ADC della scheda di sviluppo.

Essendo tutte le resistenze di valore equivalente, trascurando le tolleranze, lo stadio ha guadagno unitario. La tensione in uscita è infatti calcolabile come (riferimenti relativi all'operazionale U4A):

$$V_{out} = \frac{T_U_H \cdot R24}{R24 + R22} \left(1 + \frac{R27}{R21}\right) - T_U_L \frac{R27}{R21}$$

Con valori di resistenza equivalenti si ha:

$$V_{out} = T_U_H - T_U_L$$

I due condensatori aggiungono un polo alla risposta del sistema, che diventa di tipo passa basso. Il loro scopo è quello di filtrare eventuale rumore ad alta frequenza in uscita dall'amplificatore isolato. I filtri RC passivi posti in uscita degli amplificatori e utilizzati anche per gli ingressi ausiliari sulla destra dello schema, sono stati dimensionati in base alle caratteristiche dei moduli di conversione analogico-digitale.

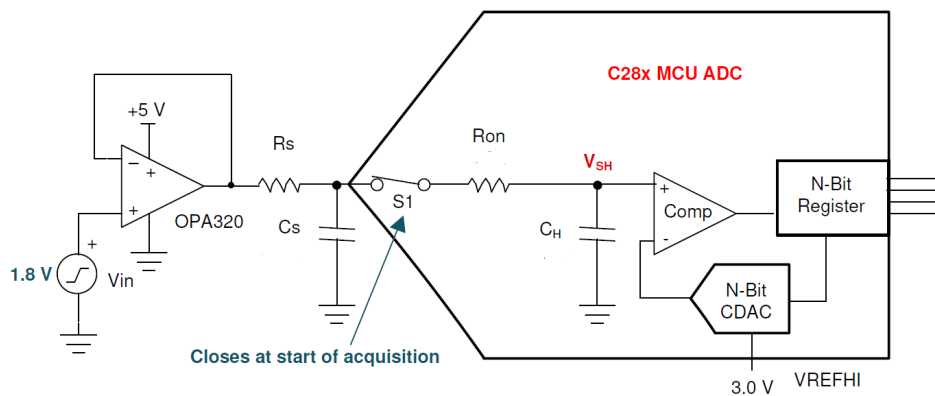


Figura 2.42: Shema semplificato di un sistema ADC

Gli ADC sono di tipologia ad approssimazioni successive (SAR) e il modello semplificato è rappresentato in figura 2.42. Nella modalità single ended, ogni ingresso viene letto in modo sequenziale. Nel momento in cui inizia la lettura si ha la cosiddetta fase di sample: lo switch ideale in figura è chiuso e la capacità

interna C_h viene caricata. La fase successiva è quella di hold, aprendo lo switch il "dato" viene mantenuto stabile durante la lettura. Questa avviene appunto per approssimazioni successive: viene eseguita una ricerca binaria tramite un convertitore digitale-analogico. Il dato viene confrontato tramite un comparatore partendo da metà della tensione di riferimento (per gli ADC sulla scheda di sviluppo $3V/2$), ovvero, a livello digitale, la sequenza di bit (tanti quanti la risoluzione) con solo il primo bit pari a 1. Se il dato è maggiore del riferimento, verrà confrontato con il riferimento precedente più la sua metà (se minore verrà invece sottratta), e così via fino a trovare il livello che meglio approssima la tensione in ingresso.

In un ADC con più ingressi, è quindi necessario contenere i tempi di sample e hold, se è necessario leggere segnali con frequenze elevate.

Dallo schema di figura 2.42, la costante di tempo è data da:

$$\tau = (R_s + R_{on})C_h + R_s(C_s + C_p)$$

con:

- R_s resistenza serie in uscita dallo stadio di condizionamento
- C_s capacità in uscita dallo stadio di condizionamento
- R_{on} resistenza serie di sampling interna all'ADC
- C_h capacità di sampling interna all'ADC
- C_p capacità parassita della linea di ingresso dell'ADC

I valori di R_{on} , C_h , e C_p sono da datasheet [12] pari a 425Ω , 14.5pF , 4.3pF (Il valore, essendo la capacità di tipo parassita, varia in base all'ingresso. I valori per ogni canale sono indicati nel datasheet, ma viene considerato quello minore in quanto rappresenta il caso peggiore per il dimensionamento di C_s se si utilizza il charge sharing). Il numero di costanti di tempo necessarie per ottenere una lettura con un determinato errore può essere calcolato in modo approssimato come [20]:

$$k = \ln\left(\frac{2^n}{\epsilon}\right) - \ln\left(\frac{C_s + C_p}{C_h}\right)$$

con n numero di bit dell'ADC, ϵ errore espresso come frazione del bit meno significativo. Aumentando il valore di C_s , si ottiene quindi un tempo di assestamento maggiore, perché la costante di tempo aumenta linearmente, mentre k diminuisce logaritmicamente. Se C_s ha però un valore tale da rendere k nullo o negativo, lo stesso si può dire per il tempo di assestamento, dato dal prodotto $k \cdot \tau$. Considerando quindi che la carica della capacità C_s avviene durante il tempo di lettura (hold) dell'ADC, se il valore del condensatore è sufficiente, la sua carica, durante il tempo di sample, verrà distribuita anche su C_h . Se non è necessario un tempo di campionamento molto breve, è quindi possibile sfruttare il cosiddetto "charge sharing", utilizzando un valore di capacità di sampling adeguato, rilassando le specifiche di banda degli amplificatori dello stadio di condizionamento. Il valore minimo della capacità è quindi calcolabile imponendo k nullo, si ottiene quindi:

$$\ln\left(\frac{2^n}{\epsilon}\right) = \ln\left(\frac{C_s + C_p}{C_h}\right) \implies C_s = \frac{2^n C_h}{\epsilon} - C_p = \frac{2^{12} 14.5 pF}{0.5} - 4.3 pF = 119 nF$$

Tenendo del margine nel dimensionamento, è stato scelto un valore di 150nF. Per dimensionare la resistenza serie, si può considerare una frequenza di taglio pari ad un decimo di quella di switching:

$$f_c = \frac{1}{2\pi R_s C_s} \implies R_s = \frac{1}{2\pi f_c C_s} = \frac{1}{2\pi 10 kHz \cdot 150 nF} = 106.1 \Omega$$

$$\implies R_s = 120 \Omega$$

2.4.3 Stadio di ingresso sensori corrente

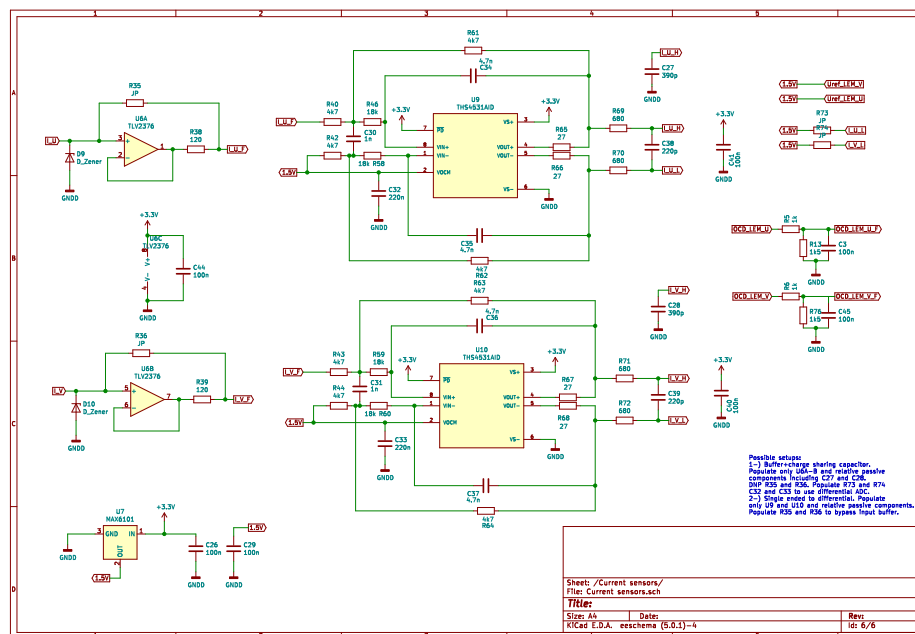


Figura 2.43: Schema elettrico dello stadio di ingresso dei sensori di corrente

I sensori scelti per la misura di corrente delle fasi sono LEM HO 150-S. I trasduttori sono ad effetto Hall: si è optato per questa soluzione, anziché l'uso di resistori shunt, per minimizzare la componente resistiva e induttiva dei collegamenti tra inverter e motore.

La corrente nominale è pari a 150Arms, ma i limiti di lettura dipendono dalla tensione di riferimento. Il riferimento interno è di 2.5V (pari a metà della tensione di alimentazione, in modo da avere un range valido simmetrico), ma si è scelto di utilizzarne uno esterno, pari a 1.5V (in figura 2.43 U7), per rendere la tensione di modo comune compatibile con i convertitori analogico-digitale differenziali.

Le configurazioni possibili sono due: la prima prevede l'uso di un amplificatore ingresso differenziale-uscita differenziale con filtro di secondo grado di tipologia MFB; la seconda utilizza dei normali buffer di tensione, di conseguenza il secondo pin dell'ADC differenziale è collegato al riferimento di tensione. La configurazione può essere scelta tramite dei jumper, che nello schema hanno simbolo equivalente a quello dei resistori (R35, R36, R73, R74). Considerando

lo schema base di un filtro "multiple feedback", in figura 2.44, la funzione di trasferimento è data da [21]:

$$\frac{V_O}{V_i} = \frac{-1}{C_1 C_2 R_2 R_3} \cdot \frac{1}{s^2 + s \frac{1}{C_1 R_2 R_3} (R_3 + R_2 (1 + R_3 / R_1)) + \frac{1}{R_2 R_1 C_1 C_2}}$$

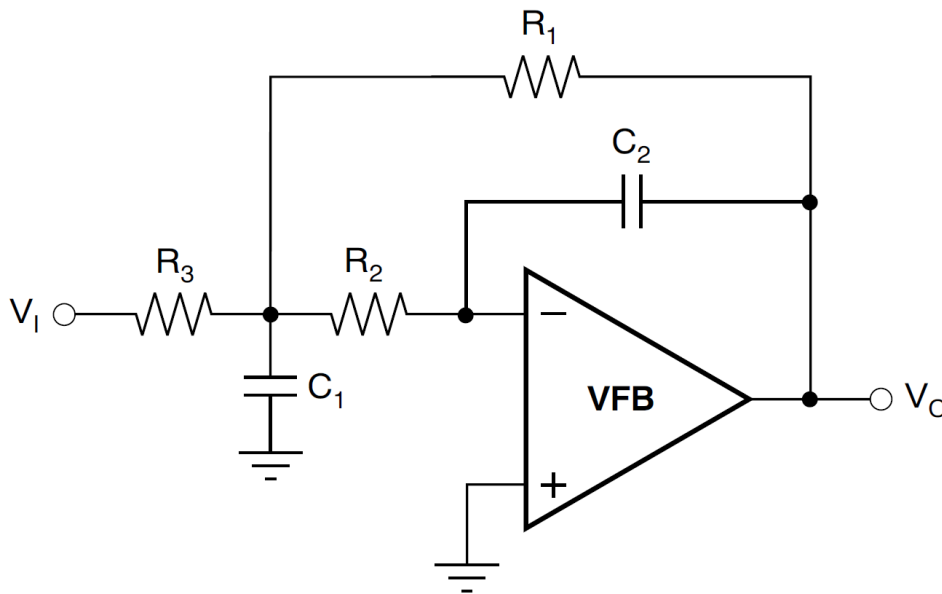


Figura 2.44: Topologia filtro MFB

Per trovare la caratteristica della topologia differenziale del filtro, è sufficiente considerare che la capacità di C1 (C30 per l'amplificatore U9 di figura 2.43) andrà dimezzata, in quanto la configurazione single ended va sostanzialmente specchiata e si avranno due capacità di valore C1 in serie. Il guadagno DC è dato da $\frac{-R_1}{R_3}$, mentre la pulsazione di taglio è pari a:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}}$$

Il dimensionamento è vincolato da:

- Guadagno unitario
- Frequenza di taglio compatibile con la frequenza della fondamentale
- Fattore di merito pari a $\frac{1}{\sqrt{2}}$, per ottenere una risposta massimamente piatta

$$G = -\frac{-R_1}{R_3} \implies R_1 = R_3$$

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \implies R_2 = \frac{1}{\omega_0^2 R_1 C_1 C_2}$$

La frequenza di taglio è stata scelta pari a 5kHz, in modo da non attenuare la frequenza massima della fondamentale, pari a 1667Hz, ma eliminare le componenti legate alla frequenza di commutazione.

$$Q = \frac{1}{\sqrt{2}} = \frac{\sqrt{\frac{C_1}{C_2}}}{\sqrt{\frac{R_1}{R_2}} + \sqrt{\frac{R_2}{R_1}} + \frac{\sqrt{R_1 R_2}}{R_3}}$$

Una soluzione può essere trovata imponendo il valore del rapporto tra le capacità. Ciò è conveniente, rispetto a fissare i valori di resistenza, in quanto la scelta tra i valori di capacità disponibili in commercio è generalmente inferiore. Utilizzando le relazioni relative al guadagno e alla frequenza di taglio, fissati i valori delle capacità, si ottiene un'equazione di secondo grado in funzione R_2 . In particolare, per $C_1 = 10 \cdot C_2 = 10nF$, si ha:

$$9.93 \cdot 10^{-5} R_2^2 - \sqrt{20} R_2 + 20130 = 0 \implies R_2 = 5072\Omega$$

$$\implies R_1 = \frac{1}{\omega_0^2 R_2 C_1 C_2} = 19976\Omega$$

Utilizzando i valori E12 più vicini si ottiene la risposta riportata in figura 2.45.

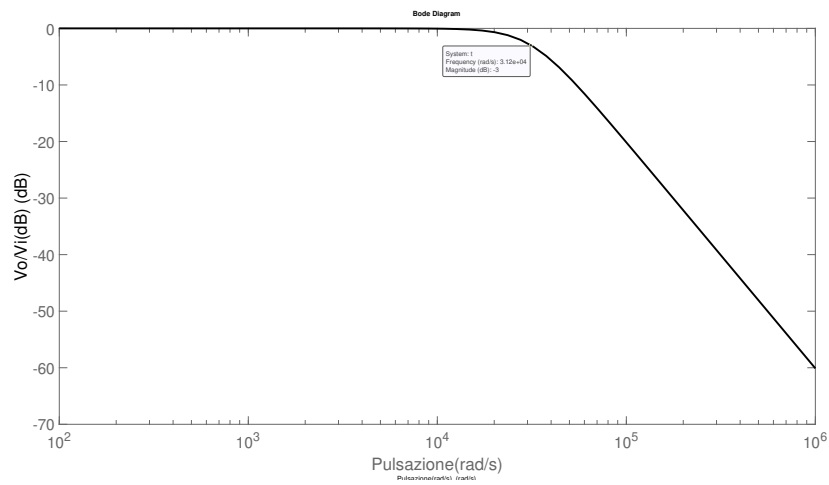


Figura 2.45: Diagramma di bode (Modulo) della funzione di trasferimento del filtro MFB utilizzato per la lettura delle correnti

I valori utilizzati per il filtro equivalente, ma differenziale, considerando che il valore del condensatore C_1 va dimezzato sono:

- $C_1 = 4.7\text{nF}$
- $C_2 = 1\text{nF}$
- $R_1 = 4.7\text{k}\Omega$
- $R_2 = 18\text{k}\Omega$
- $R_3 = 4.7\text{k}\Omega$

Capitolo 3

Layout dell'inverter trifase

Il layout del circuito stampato di un inverter, richiede delle attenzioni particolari, essendo l'integrità dei segnali di fondamentale importanza per il corretto funzionamento. La criticità è legata principalmente ai segnali che pilotano gli interruttori di potenza, che se disturbati possono impedire il corretto funzionamento del circuito. Anche i segnali analogici necessitano di misure che limitino l'influenza di eventuali disturbi elettromagnetici, che impedirebbero un controllo efficace dell'inverter.

Nel progetto analizzato, si aggiungono le specifiche richieste per sistemi che comprendono alte tensioni. Visto il numero elevato di fattori fisici legati al layout che possono influenzare il funzionamento della scheda, si renderà necessaria, durante la fase di test, un'attenta verifica dell'integrità dei segnali. Inoltre, essendo l'inverter dedicato a un'applicazione che prevede l'uso di molteplici altri sistemi elettronici di controllo, sarà importante valutare la compatibilità con questi, quantificando l'eventuale impatto negativo dovuto a interferenze condotte o emesse, che sono state sin dall'inizio del progetto un aspetto critico per l'Affidabilità della vettura.

3.1 Layout scheda driver

La scheda driver è stata suddivisa in diverse aree: la sezione centrale è dedicata all'elettronica di bassa tensione, collegata al lato primario dei driver; le sezioni sulle zone superiore e inferiore comprendono, invece, il lato secondario dei driver e i circuiti booster: fanno quindi parte del tractive system.

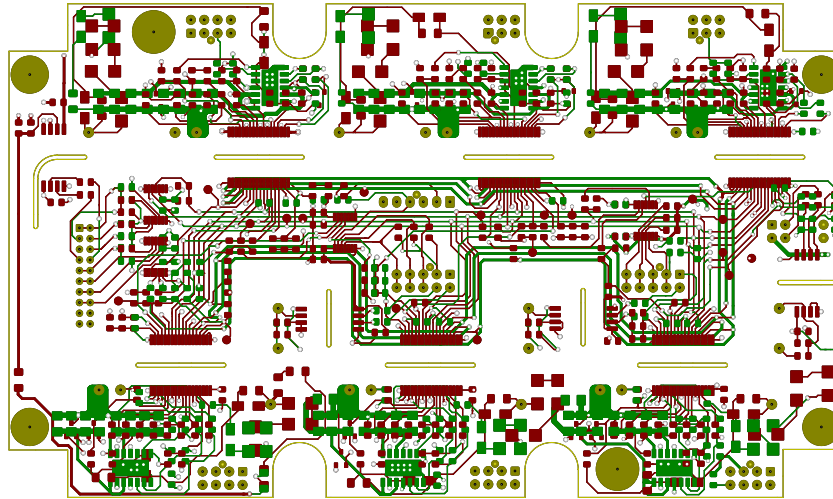


Figura 3.1: Strati in rame superiore e inferiore della scheda driver

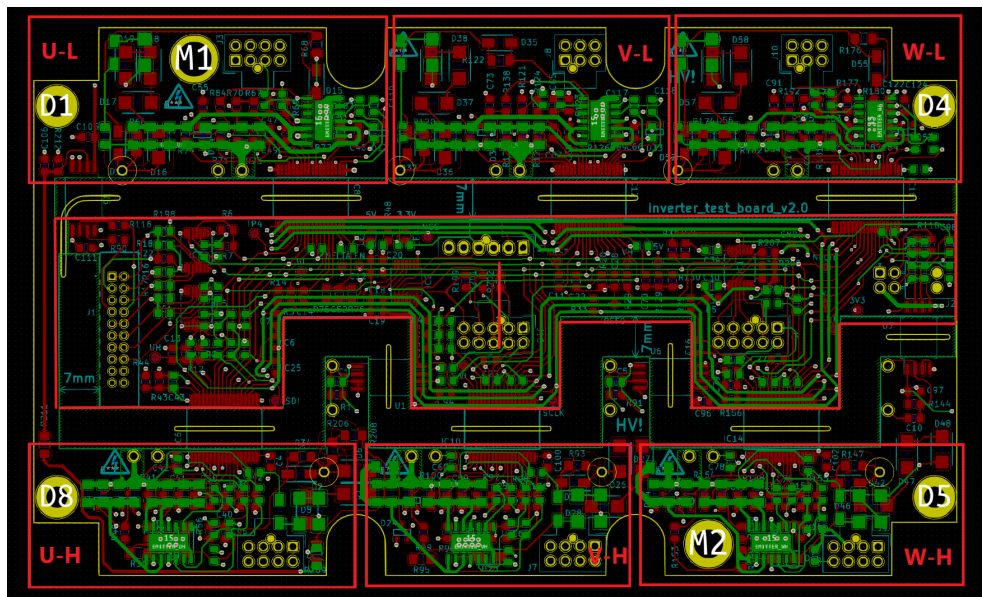


Figura 3.2: Aree scheda driver: in alto le zone dedicate ai tre interruttori low side, in basso agli high side e al centro la sezione di bassa tensione

La geometria è in parte imposta da quella del modulo di potenza contenente i sei IGBT, su cui alloggia la scheda. Sono previsti dei tagli per permettere

l'accesso agli elementi di fissaggio del modulo, e lo sviluppo in larghezza è stato limitato per evitare la sovrapposizione con le busbar degli IGBT.

Il circuito stampato è composto da 4 strati: questa configurazione permette di sfruttare al meglio i vantaggi dati dall'uso di un piano di massa e eventualmente di alimentazione. Una zona continua in rame, dedicata al potenziale di riferimento, consente in linea teorica di minimizzare eventuali differenze di tensioni sul riferimento stesso tra i vari dispositivi, dovute alla componente resistiva dei collegamenti. Inoltre, se il piano non presenta tagli, il "percorso" di ritorno di un segnale verso il riferimento sarà sottostante al segnale stesso: ciò consente di minimizzare l'induttanza parassita del circuito, essendo l'area sottesa dal percorso lungo cui scorre la corrente inferiore.

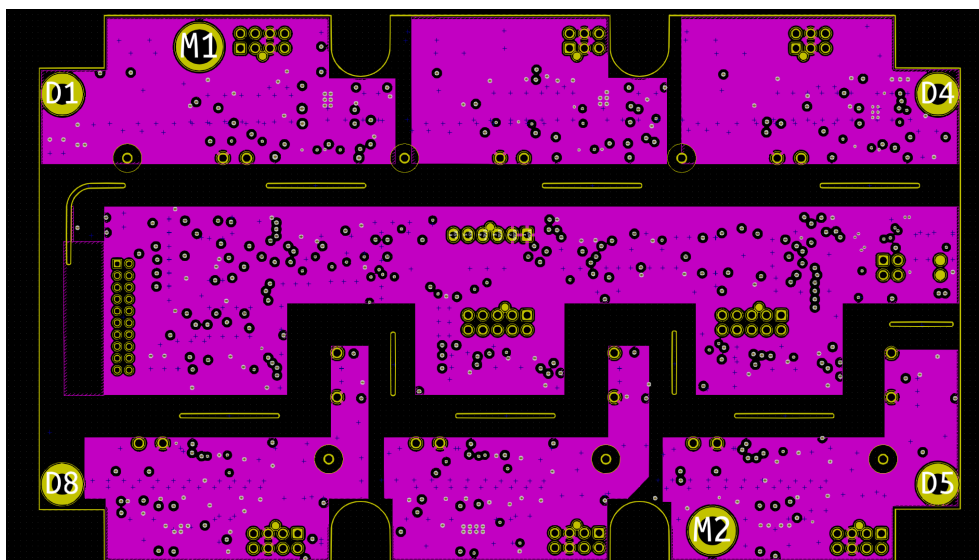


Figura 3.3: Secondo layer interno, dedicato al piano di massa

La suddivisione scelta per gli strati è la seguente:

Strato	Funzione
Superiore	Segnali
Interno superiore	Alimentazione
Interno inferiore	Piano di massa
Inferiore	Segnali

La soluzione adottata unisce i vantaggi del piano di massa e la praticità di un piano dedicato alle tensioni di alimentazioni, che facilita il posizionamento

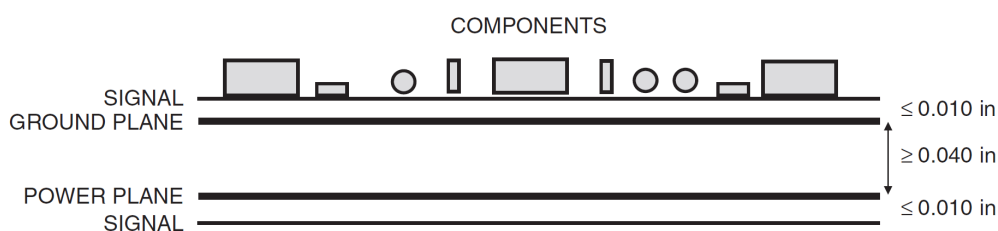


Figura 3.4: [22] Configurazione strati utilizzata

dei componenti e lo sbroglio dei segnali. La distanza tra gli strati, influenza linearmente la capacità tra segnali e tensioni di alimentazione e tra i potenziali dell'alimentazione stessa. Avvicinare i piani interni a quelli esterni consente di minimizzare l'induttanza del circuito, essendo il segnale di ritorno alla distanza minima dal segnale stesso. Ciò implica, però, una maggiore distanza tra i piani di alimentazione e una conseguente riduzione del valore di capacità, che ha funzione di bypass. La scelta è ricaduta sulla prima opzione, in quanto i vantaggi della seconda possono essere sfruttati aggiungendo condensatori di bypass esterni dove necessario.

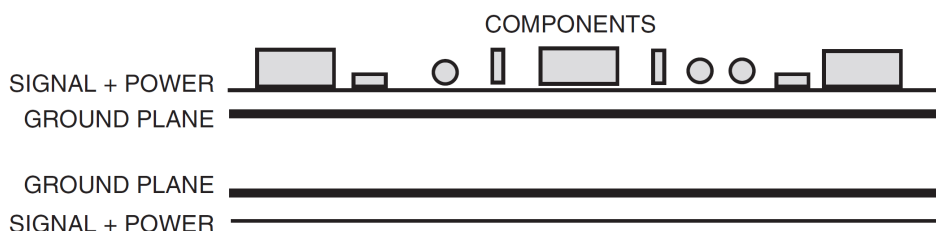


Figura 3.5: [22] Configurazione strati alternativa

Un'ulteriore opzione a quattro strati, riportata in figura 3.5, consiste nel dedicare entrambi i piani interni al potenziale di riferimento. Ciò consentirebbe di ridurre ulteriormente le non idealità del piano di massa, visto l'aumento di superficie. Porterebbe però a maggiori difficoltà nello sbroglio delle linee di alimentazione, con un probabile aumento di via utilizzati. I via sono dei fori, generalmente passanti, praticati sulla superficie del circuito stampato, caratterizzati da una superficie conduttiva. Permettono quindi il "trasferimento" di un segnale da uno strato ad un altro. Risultano necessari nel caso vengano utilizzati gli strati interni, ma sono utili anche in schede con alta densità di

componenti. Un uso diffuso implica, però, minore continuità nei piani interni, a discapito del percorso del segnale di ritorno.

Una scheda a sei strati risolverebbe gran parte delle criticità delle opzioni elencate, ma non è stata presa in considerazione per via del costo elevato. Con il maggiore spazio disponibile sulle zone inferiori e superiori sarebbe possibile disporre più efficacemente i componenti, in particolare nei casi in cui si necessita di contenere le distanze. Un esempio tipico sono i condensatori di bypass, che per svolgere al meglio la loro funzione, ovvero fornire la corrente necessaria al circuito durante i transitori, devono essere posizionati in prossimità dei pin di alimentazione, in modo da minimizzare le componenti parassite (resistive e induttive) nel collegamento. Inoltre il collegamento ottimale prevede che non siano presenti via tra il pin e la relativa piazzola del condensatore, ma che vengano posizionati "a monte" della pista, come indicato in figura 3.6.

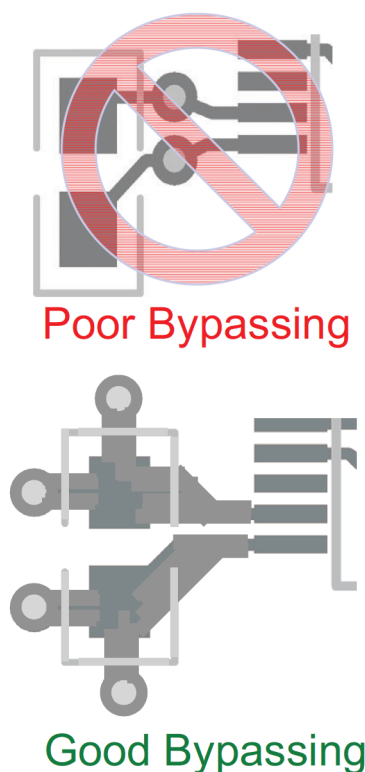


Figura 3.6: [23] Collegamento ottimale e non di un condensatore di bypass

La linea SPI, per la comunicazione gate driver-microprocessore, deve necessariamente percorrere la scheda in lunghezza, dovendo raggiungere i sei circuiti integrati. Durante la stesura si è cercato di mantenere le linee dei singoli se-

gnali di lunghezza simile, per evitare la perdita di sincronismo dovuta a tempi di propagazione differenti.

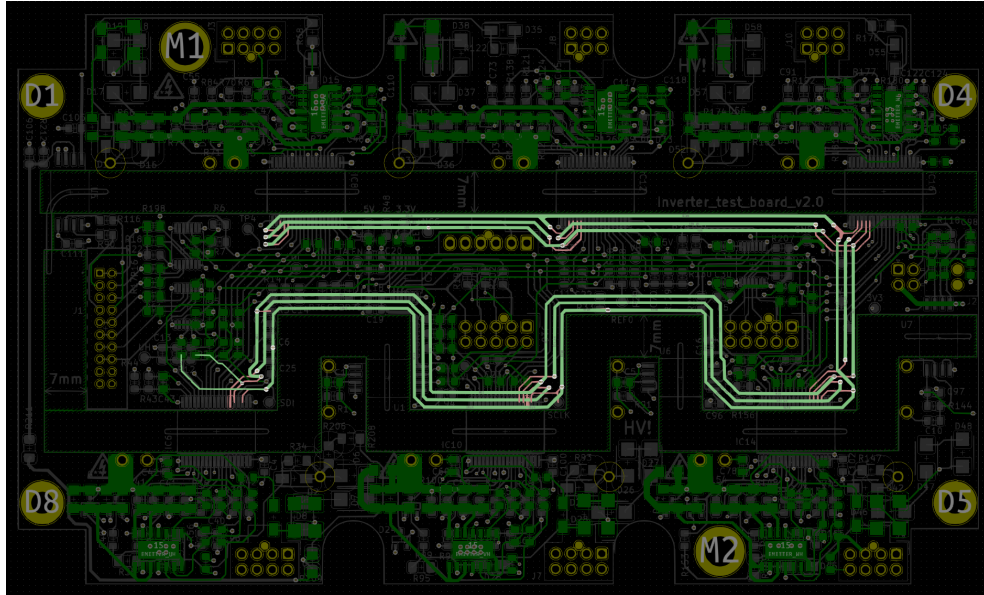


Figura 3.7: Linea SPI scheda driver

Come già discusso nel paragrafo 2.2, l'estensione dei collegamenti booster-gate deve essere minimizzata e la larghezza massimizzata. Compatibilmente con gli spazi disponibili in scheda, il risultato ottenuto è mostrato in figura 3.8.

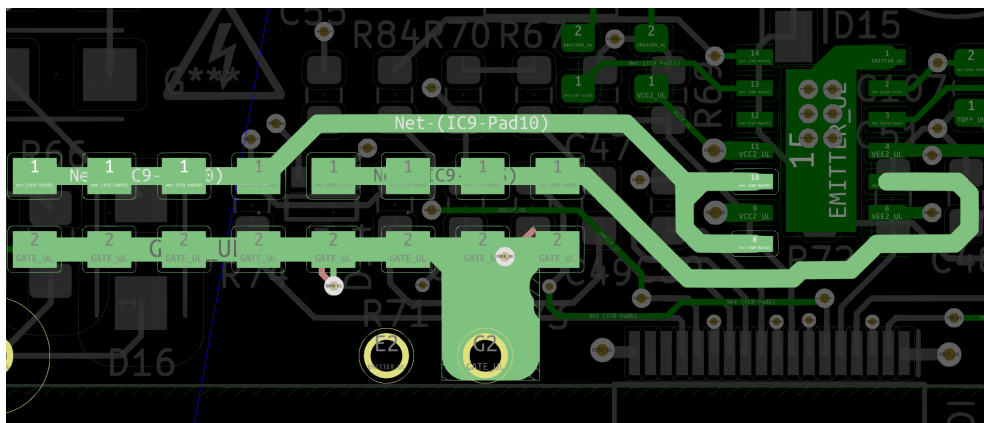


Figura 3.8: Collegamento booster-pin di gate

Per quanto riguarda la separazione tra componenti e piste di alta e bassa tensione, le zone hanno una distanza minima pari a quella tra pin al primario

e secondario dei driver, ovvero di circa 7mm. Inoltre sono stati effettuati dei tagli sottostanti gli integrati isolati per aumentare il creepage totale. La distanza minima tra i due sistemi, per regolamento Formula Student, deve essere comunque superiore a 12.7mm, come già riportato nel paragrafo 1.2. Visto anche il posizionamento delle piste e componenti, nelle vicinanze dei quali non è possibile effettuare ulteriori tagli, si renderà necessaria l'applicazione manuale di un coating isolante sulla superficie della scheda, che abbassa la distanza minima a 4mm, assicurando un isolamento superficiale più efficace.

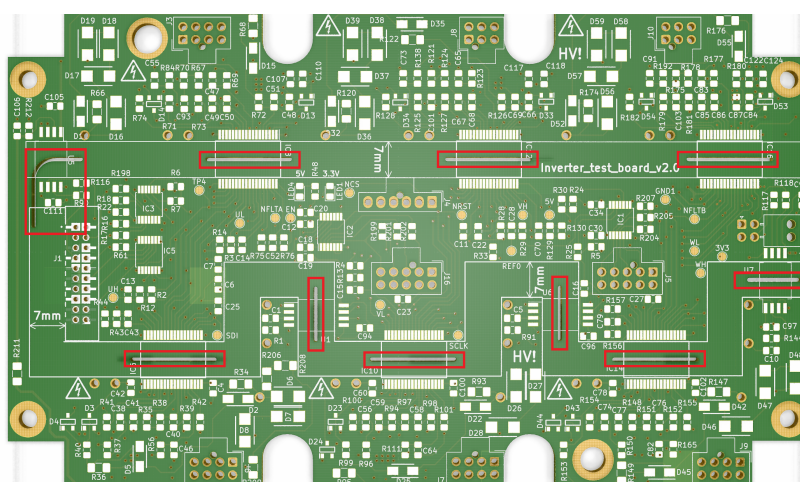


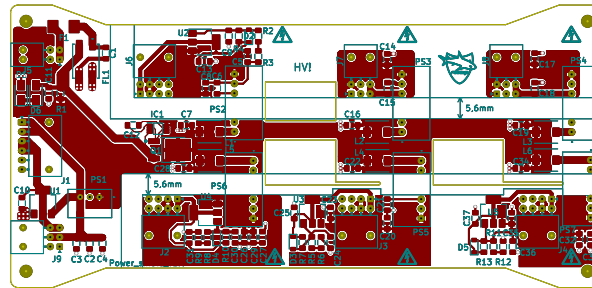
Figura 3.9: Tagli scheda driver

3.2 Layout scheda alimentazione

La scheda di alimentazione è un circuito stampato formato da due strati esterni, superiore e inferiore. Quello superiore è dedicato a componenti, piste di alimentazione e segnali. Quello inferiore comprende solo il piano di massa.

Le considerazioni riguardanti l'isolamento e la divisione delle zone di alta e bassa tensione sono le stesse fatte per la scheda driver: la zona centrale per la logica "low voltage", le sei sezioni superiori e inferiori per le alimentazioni riferite ai sei emettitori.

I tagli presenti a centro scheda si sono resi necessari per permettere il passaggio del cablaggio di alimentazione e dei segnali tra scheda di logica e scheda driver. Non sono, invece, stati effettuati tagli per aumentare la distanza tra le sezioni isolate, per evitare di indebolire la struttura interna in vetronite.



3.3 Layout scheda logica

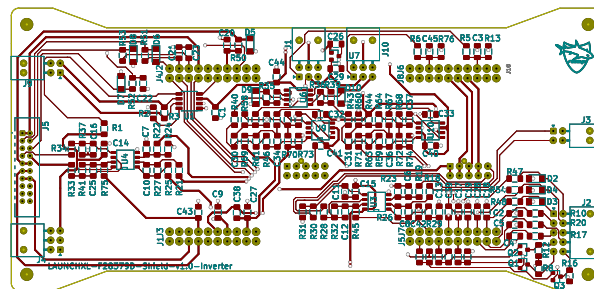


Figura 3.11: Layout scheda di logica

Il layout della scheda di logica risulta meno complesso, essendo la totalità della scheda dedicata a sistemi di bassa tensione. È un circuito stampato a due strati, e la divisione è la stessa della scheda di alimentazione, quindi con lo strato inferiore dedicato al potenziale di riferimento.

Capitolo 4

Risultati dei test

La saldatura delle schede, per queste prime versioni, è stata effettuata manualmente per velocizzare la fase di progettazione, dato che l'uso di macchine pick and place avrebbe richiesto la pannellizzazione per via delle dimensioni ridotte del circuito stampato. Inoltre, si è così avuta la possibilità di aggiungere i componenti della scheda driver in varie fasi, per verificare il funzionamento di volta in volta.

Il setup di test iniziale per la scheda driver prevede l'uso di un alimentatore esterno a due canali e i componenti necessari per il funzionamento dei level shifter. In ingresso alla scheda sono quindi state portate le due alimentazioni a 5V e 3.3V e applicati dei segnali digitali, di cui è stata verificata l'effettiva "traslazione" da parte degli integrati. Il funzionamento delle versioni TXU0104 e TXU0304 è risultato sin da subito corretto, mentre il level shifter pass-gate LSF0204 presentava dei livelli in uscita intermedi tra quello alto e quello basso, nonostante la presenza dei pull-up o pull-down in ingresso. Si è ipotizzato che il loro valore fosse troppo elevato e che eventuali correnti parassite potessero causare la traslazione errata. I resistori sono quindi stati sostituiti, passando da $10k\Omega$ a $2.2k\Omega$, comunque compatibili con il circuito. Il risultato del test è quindi stato positivo. L'operazione successiva è stata la saldatura del gate driver. Si è optato per effettuarla solo al lato primario, in quanto il fatto che il secondario non sia attivo, non influenza le funzionalità della logica a bassa tensione, come la comunicazione SPI. Alla prima accensione non si sono verificati assorbimenti anomali, ma il pin NRST/RDY è risultato a livello logico basso. Da datasheet [5] ciò accade in caso di evento di reset esterno o

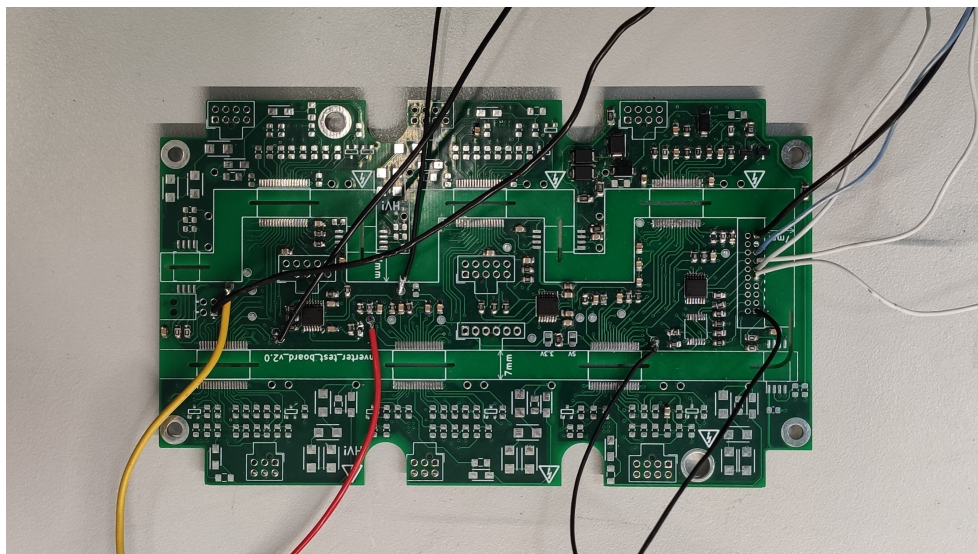


Figura 4.1: Setup per i test sui level shifter

per i seguenti eventi relativi al driver:

- Oscillatore del primario non attivo dopo l'accensione
- Pin IREF1 a massa o aperto
- Rumore sulla linea di IREF1

Essendo il pin IREF1 collegato utilizzando i componenti richiesti da datasheet, si è escluso il cortocircuito con il potenziale di riferimento o l'alimentazione. Misurando la tensione è risultata non stabile, confermato anche dalla lettura effettuata con un oscilloscopio. Con l'ausilio di una termocamera, sono state notate delle zone a temperature superiori rispetto alle circostanti, in prossimità dei pin di alimentazione e IREF1. Anche i resistori collegati ai pin IREF1 e *INP_UH* risultavano a temperature elevate. Si è quindi ipotizzato un problema legato alla saldatura o ai conduttori sottostanti ai pin stessi. I test successivi sono stati eseguiti su un circuito stampato equivalente, ma intonso, saldando solo i componenti strettamente necessari per la corretta accensione del gate driver, in modo da verificare il funzionamento dell'oscillatore interno. Il risultato è stato positivo: è quindi probabile che le problematiche della scheda precedente siano sorte per via di problemi legati alla saldatura. Le prossime misurazioni saranno effettuate sulla comunicazione SPI e una volta

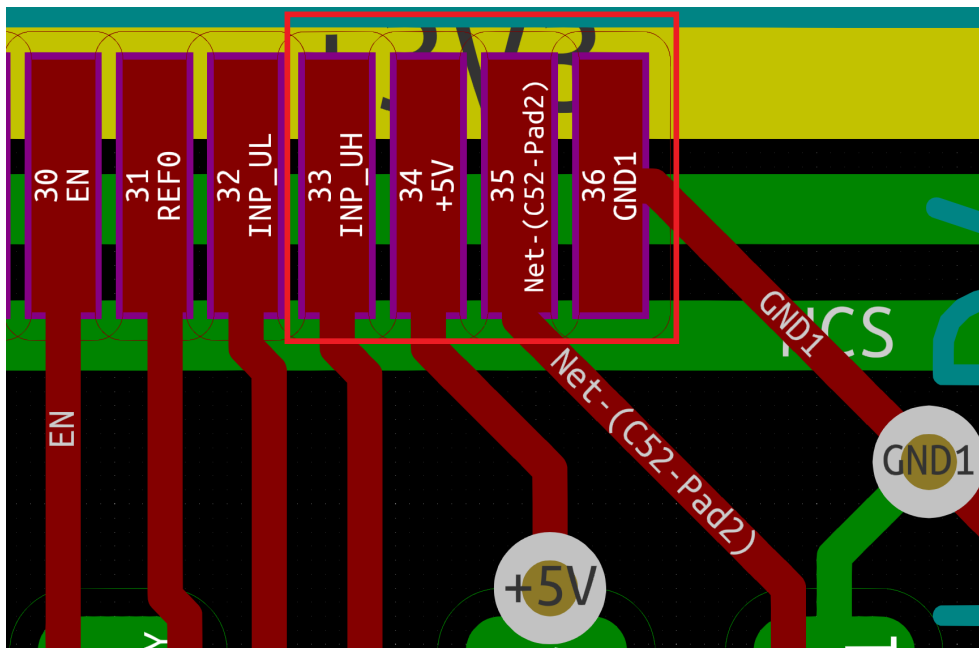


Figura 4.2: Pin interessati dalla zona a temperatura elevata

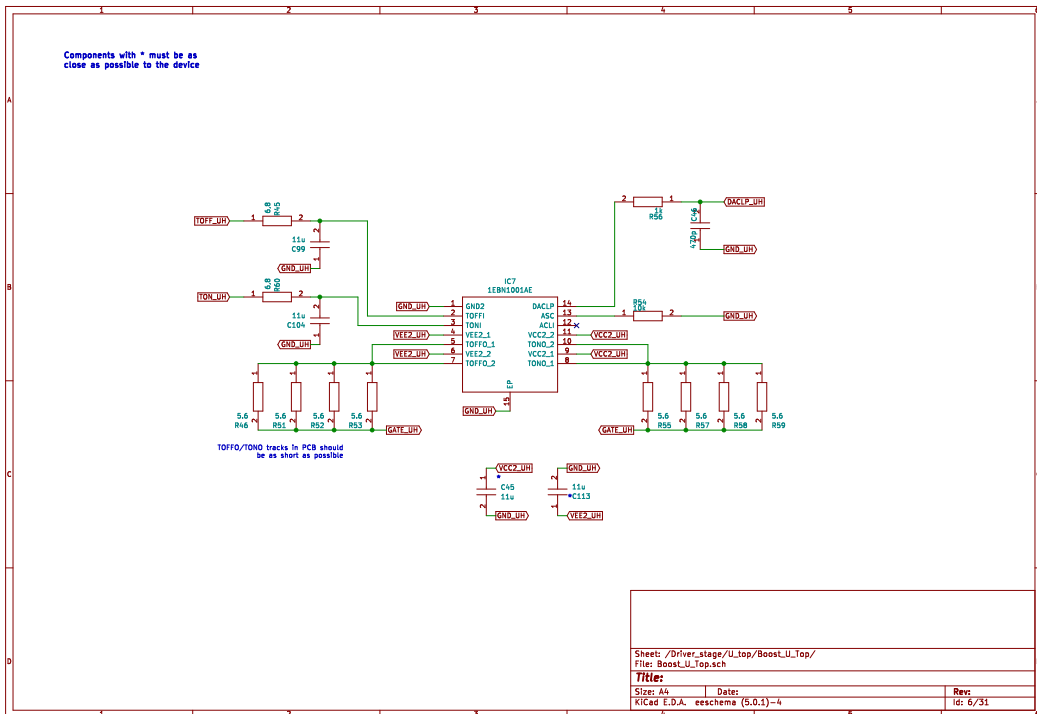
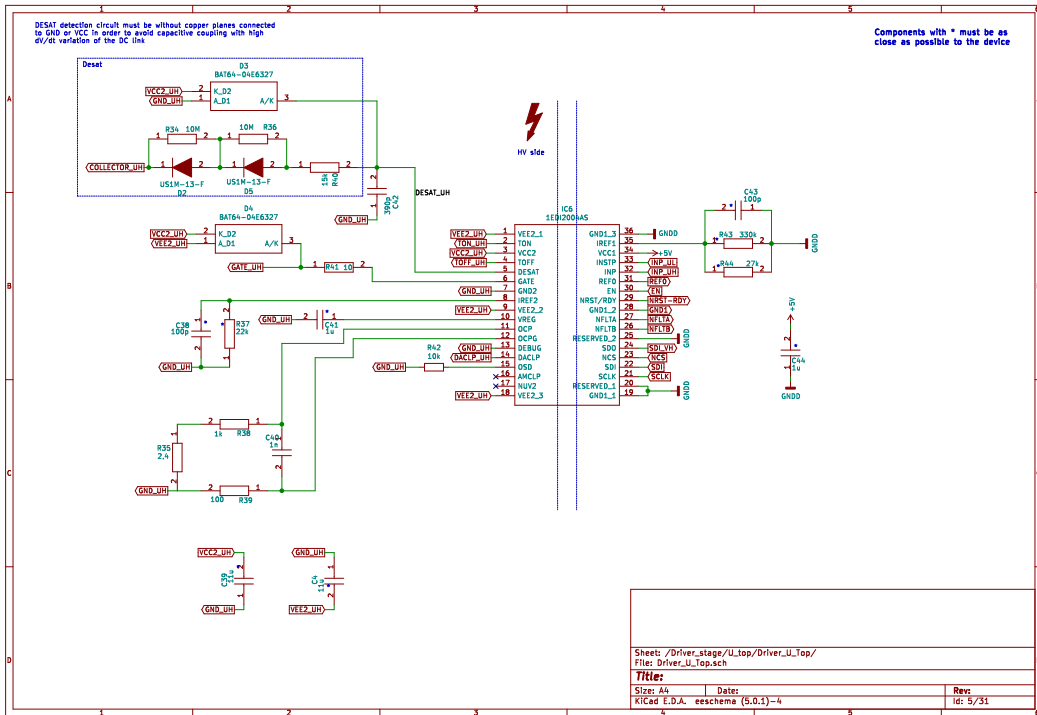
assemblato tutto il lato a bassa tensione si procederà con le prove relative al lato secondario.

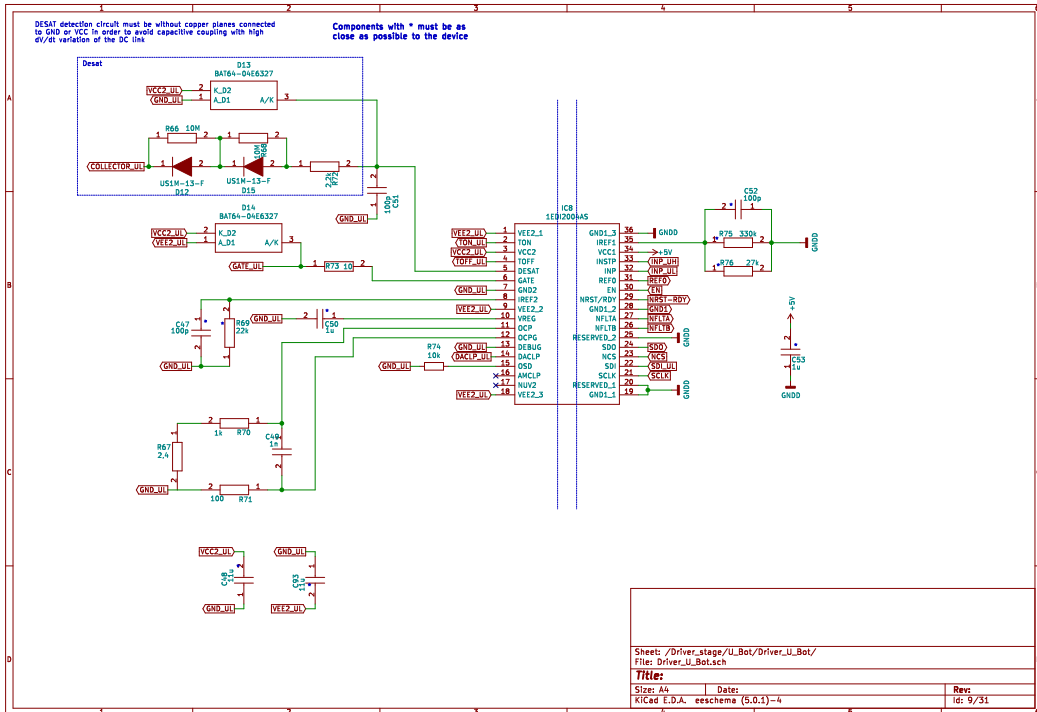
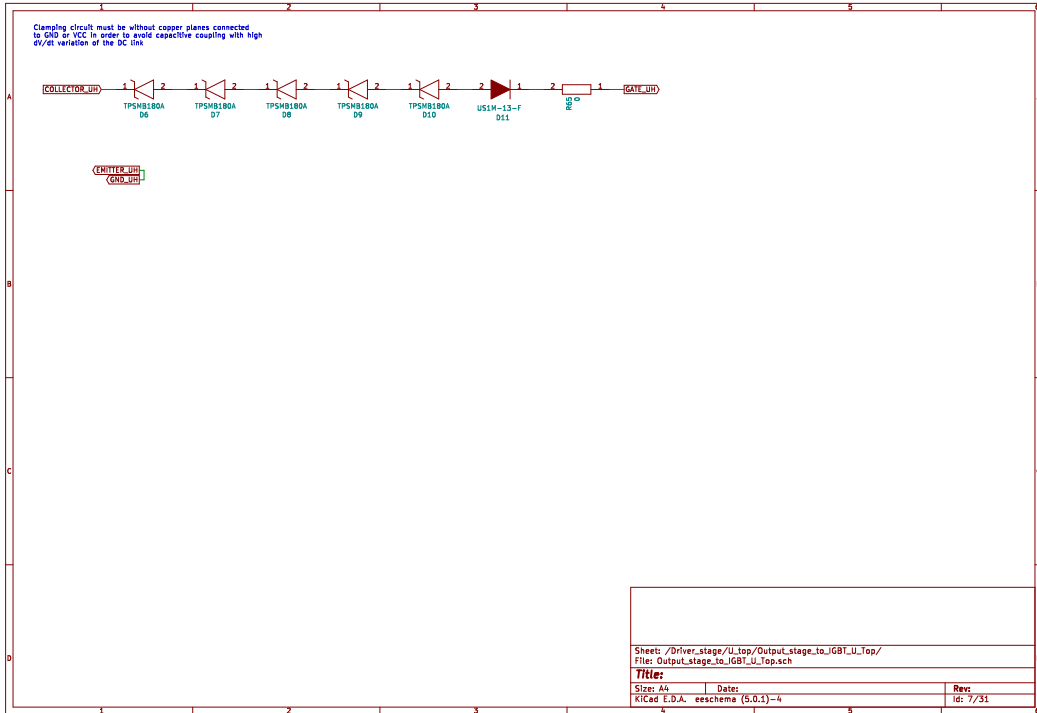
Per quanto riguarda la scheda di logica e di alimentazione, le funzioni sono state verificate e non sono state riscontrate anomalie nel funzionamento.

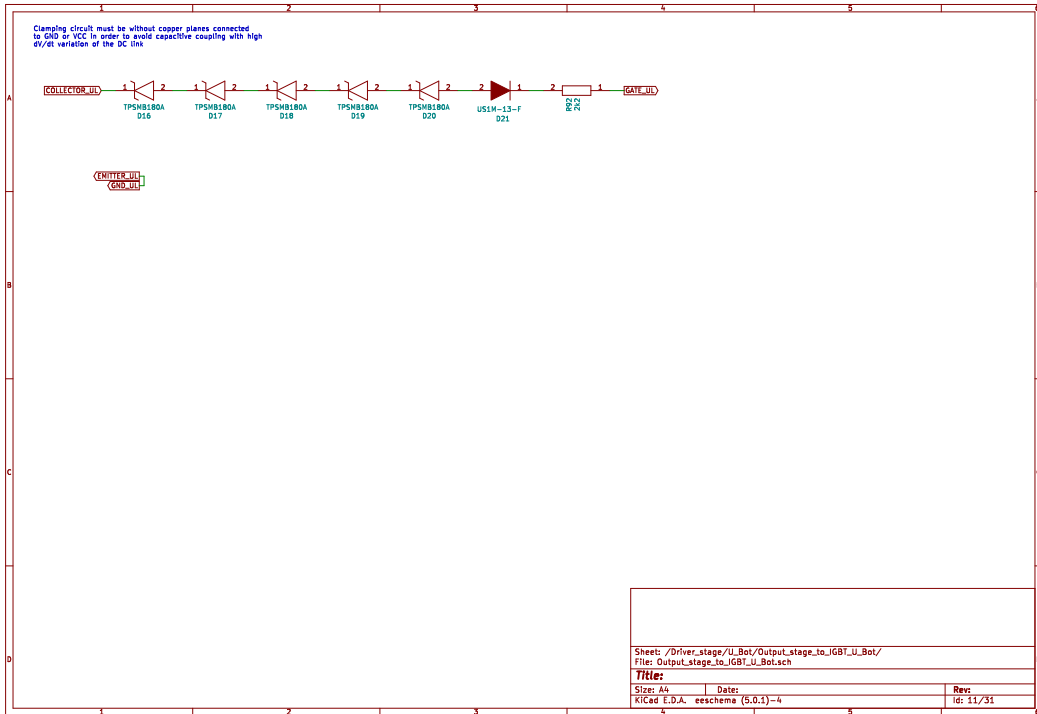
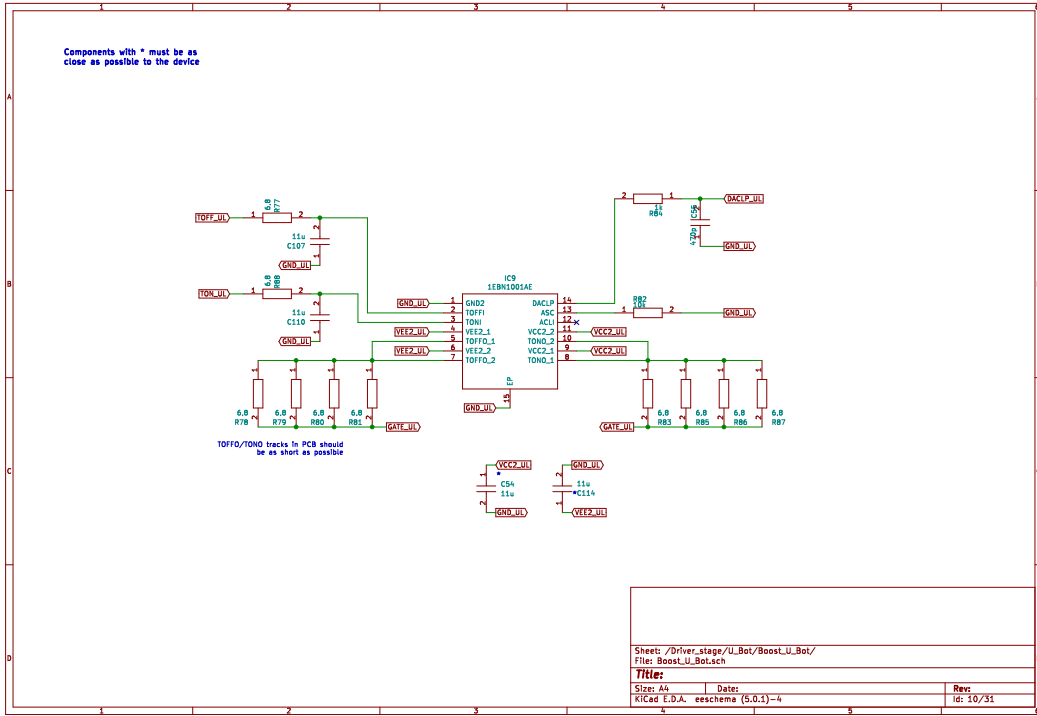
Capitolo 5

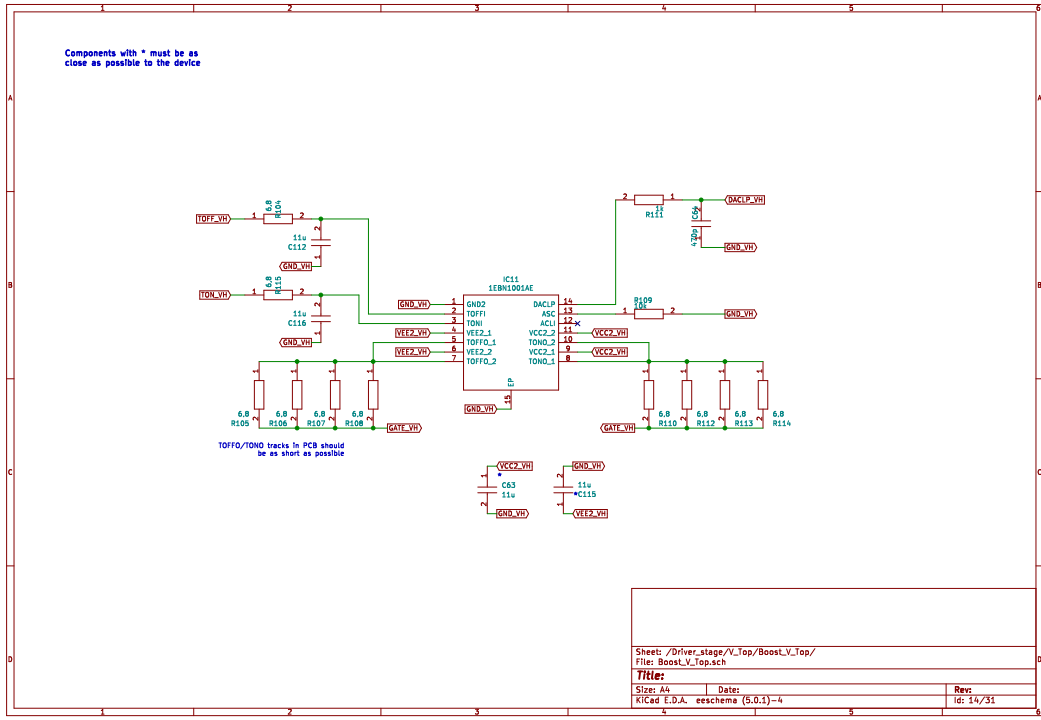
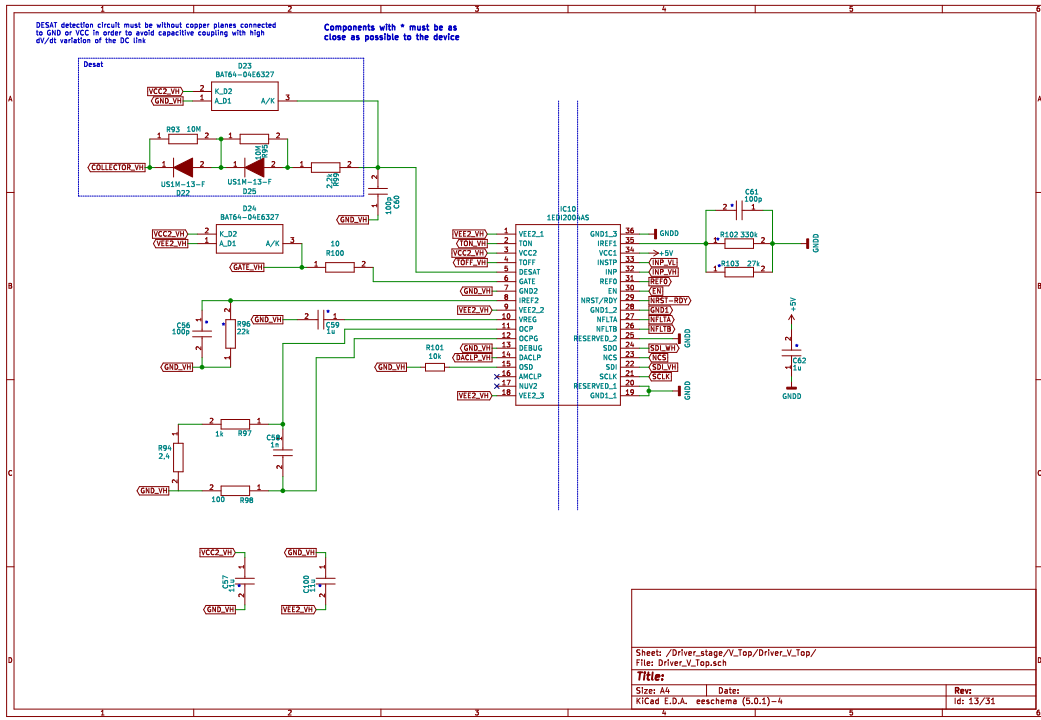
Schemi e layout completi

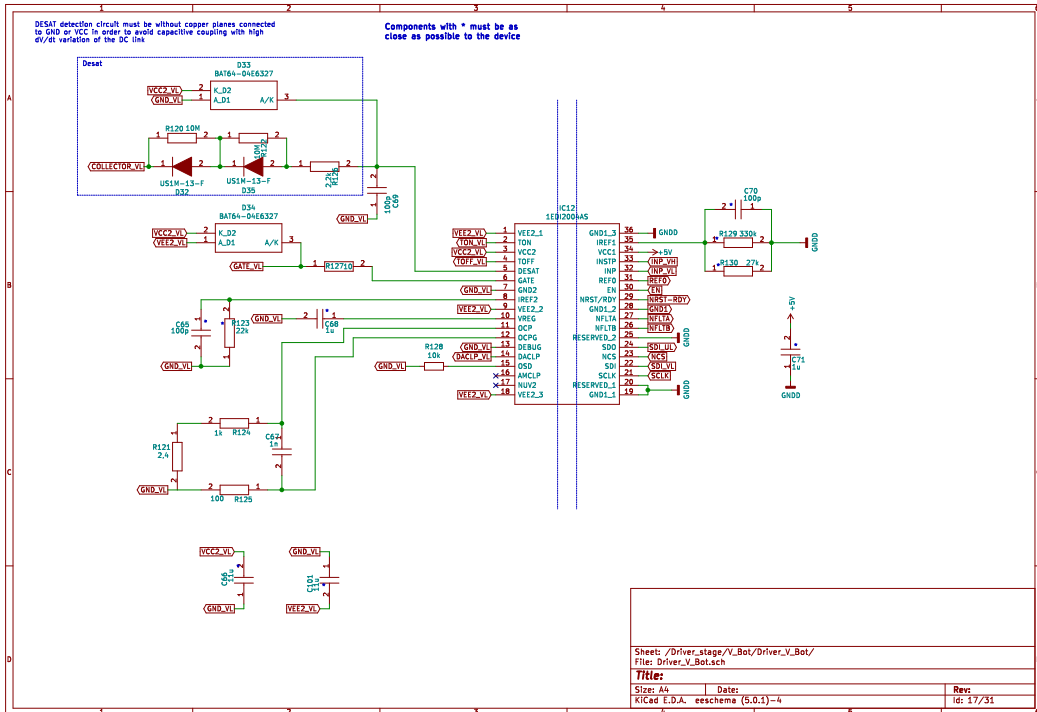
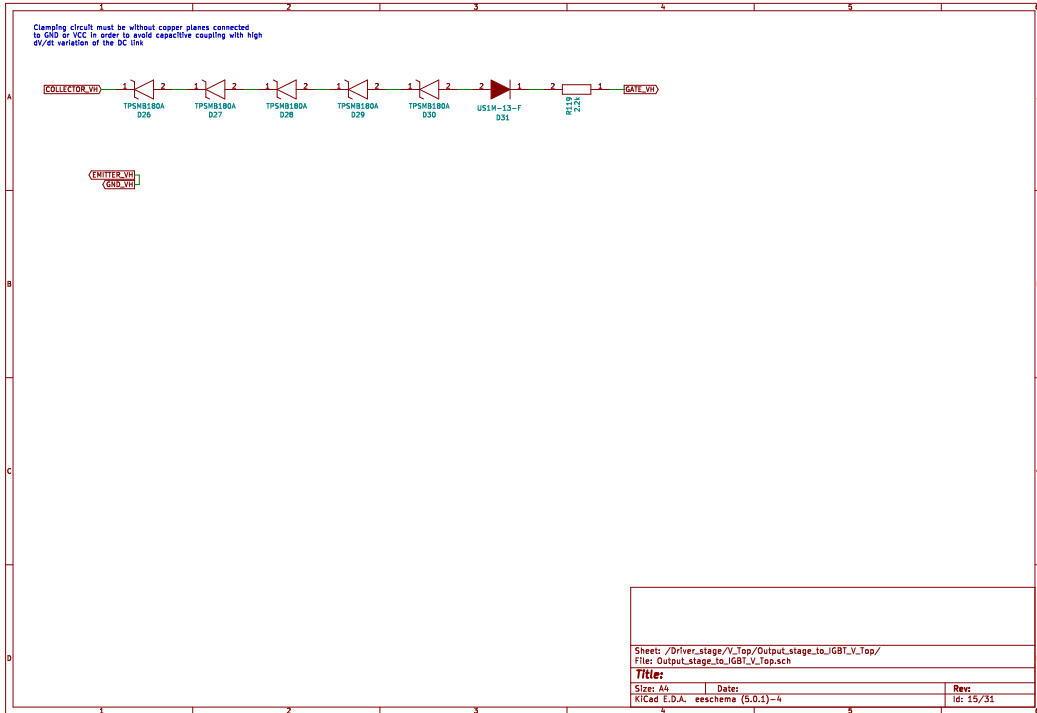
5.1 Schemi scheda driver

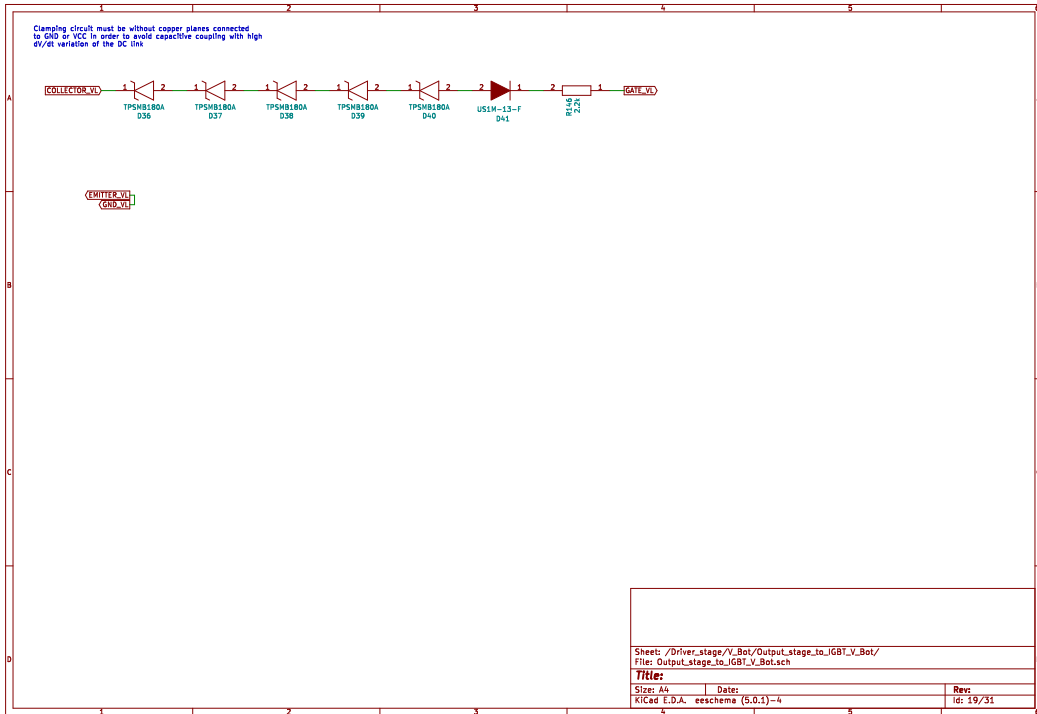
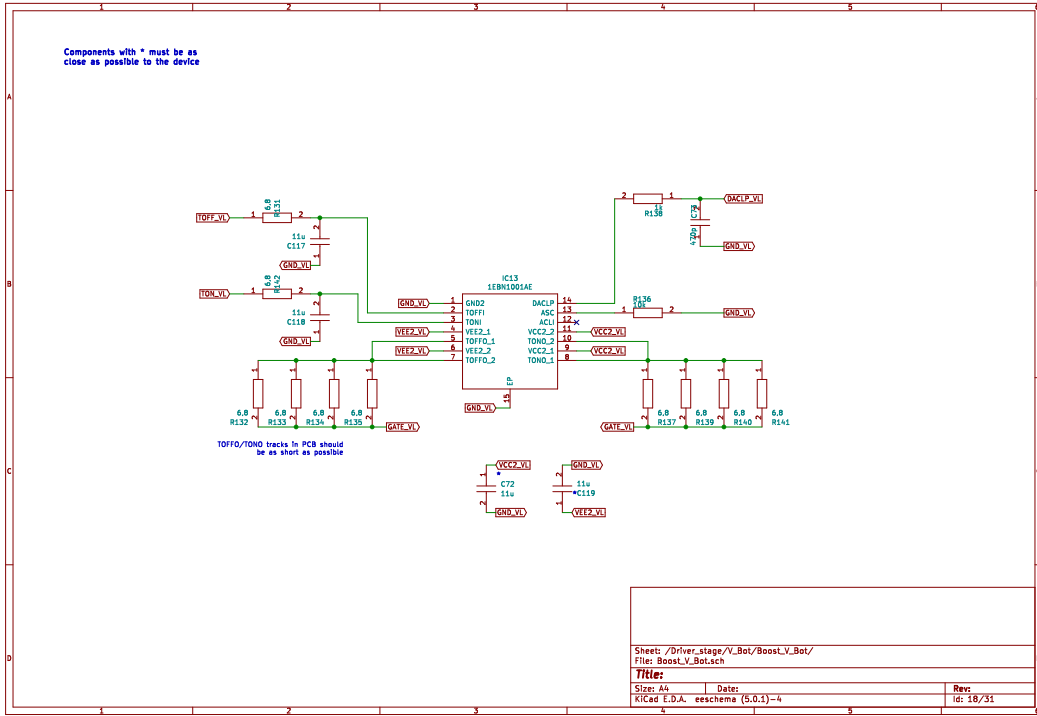


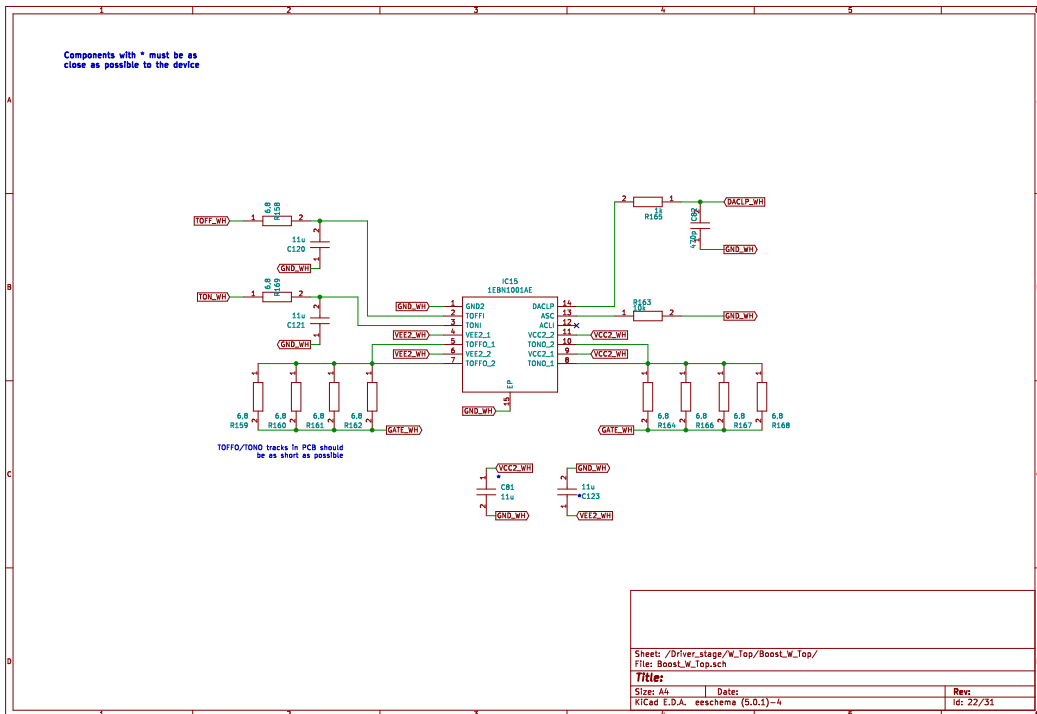
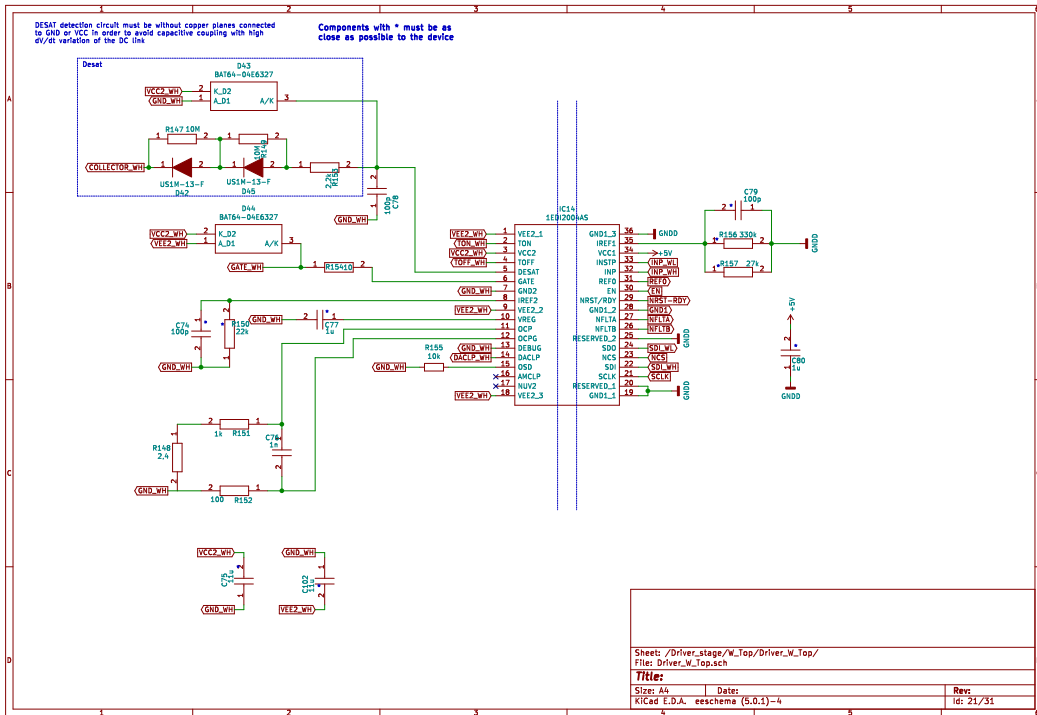


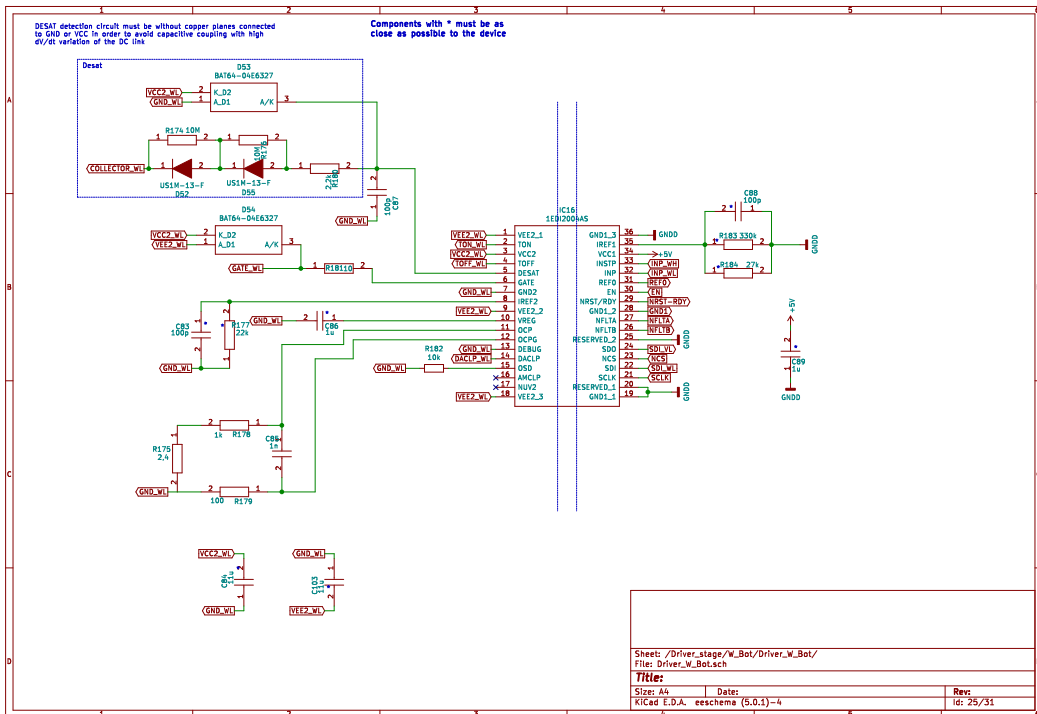
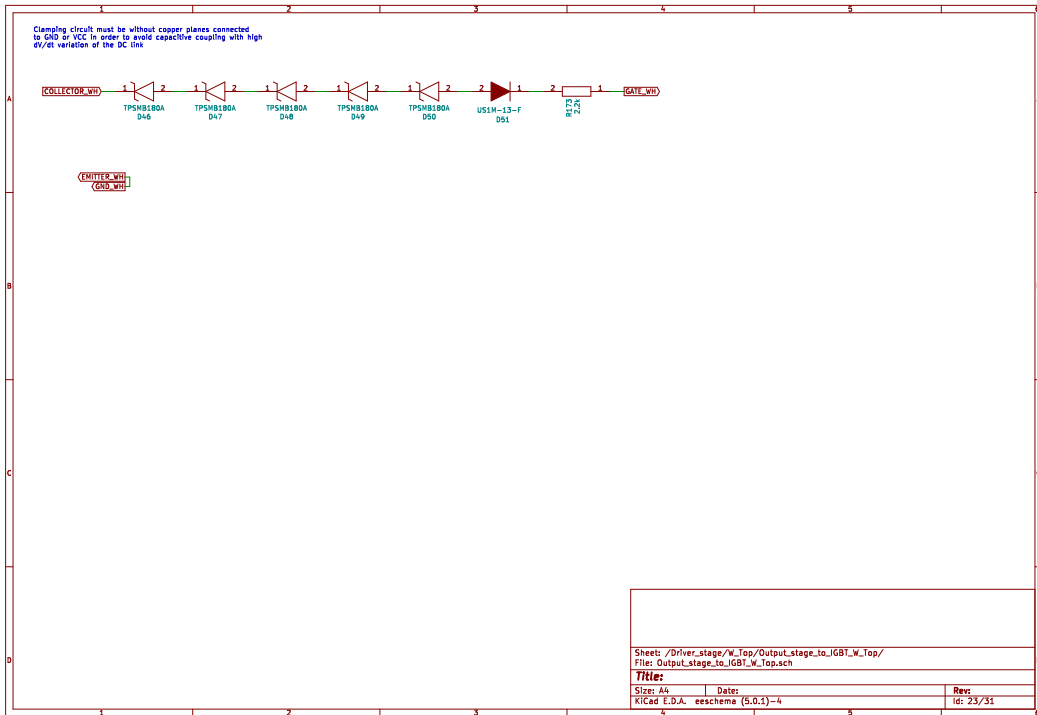


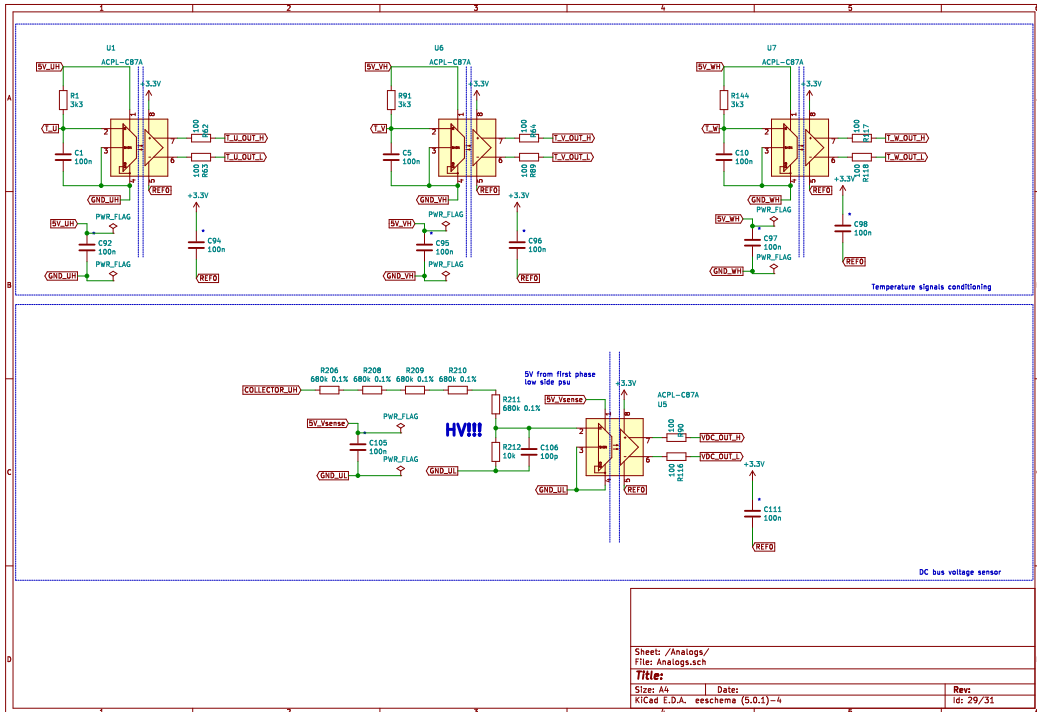
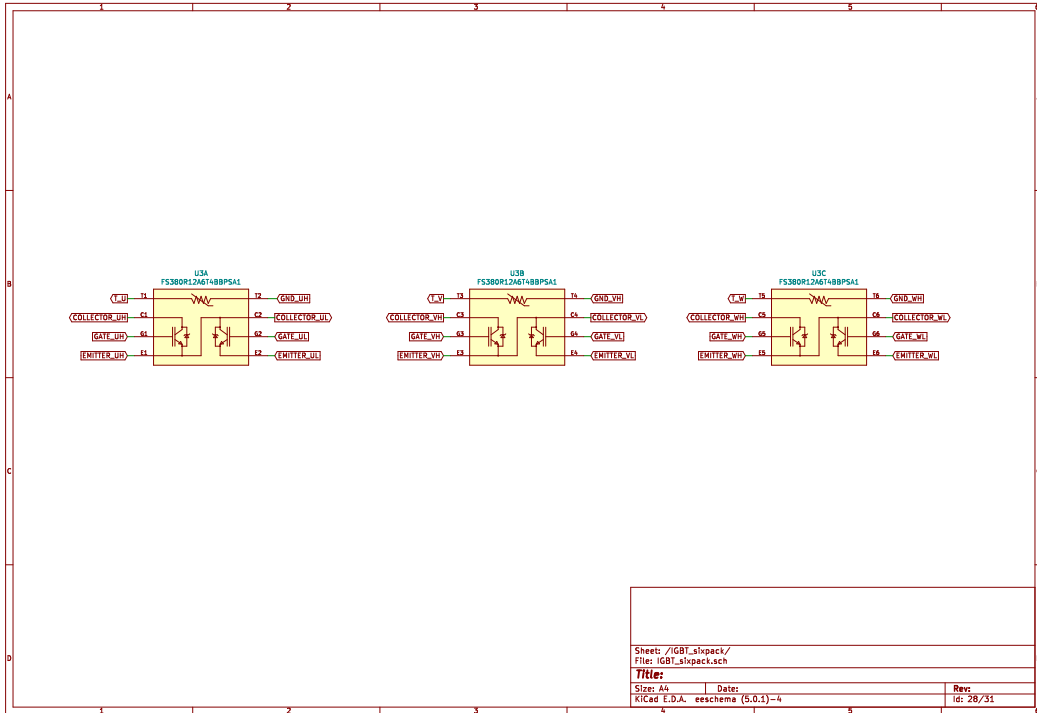


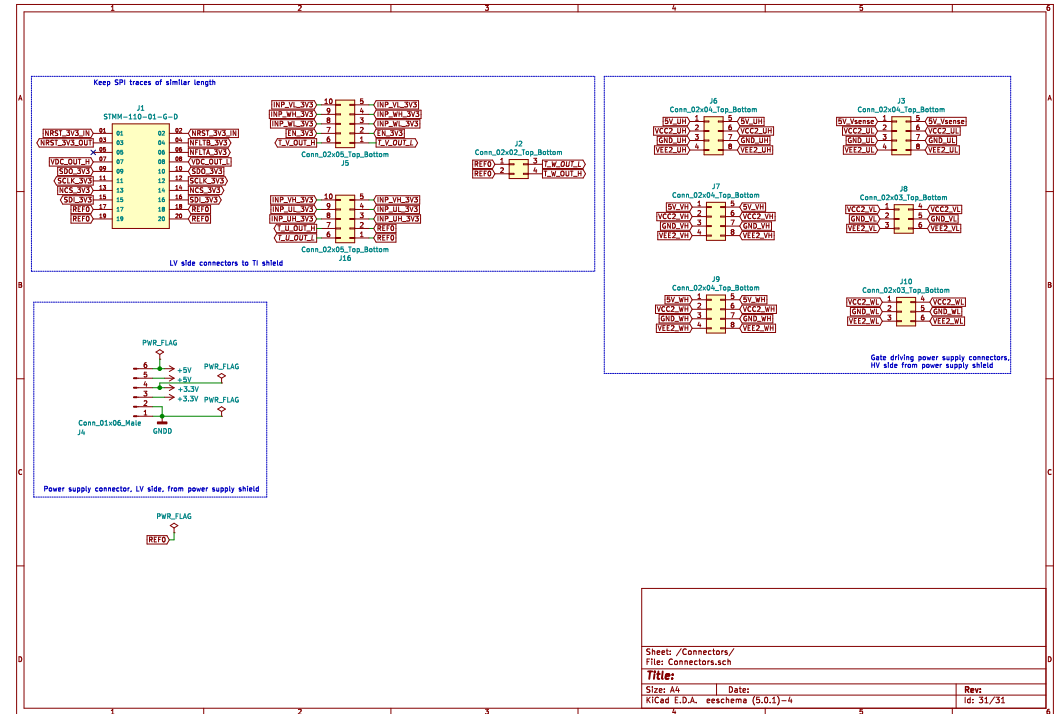
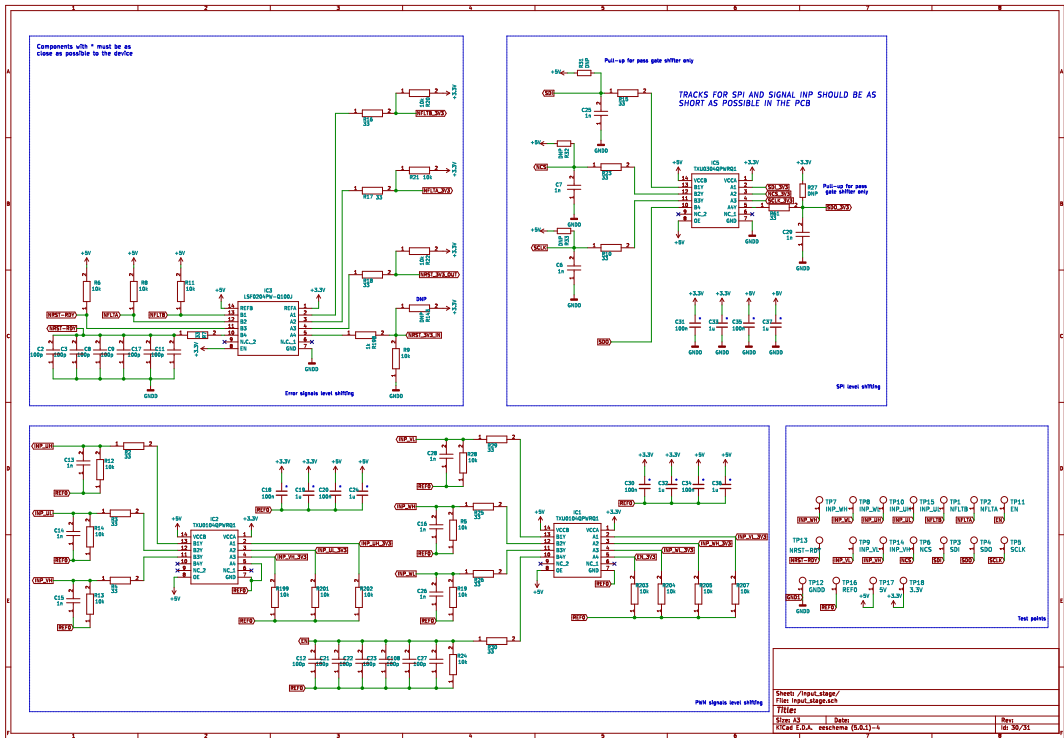




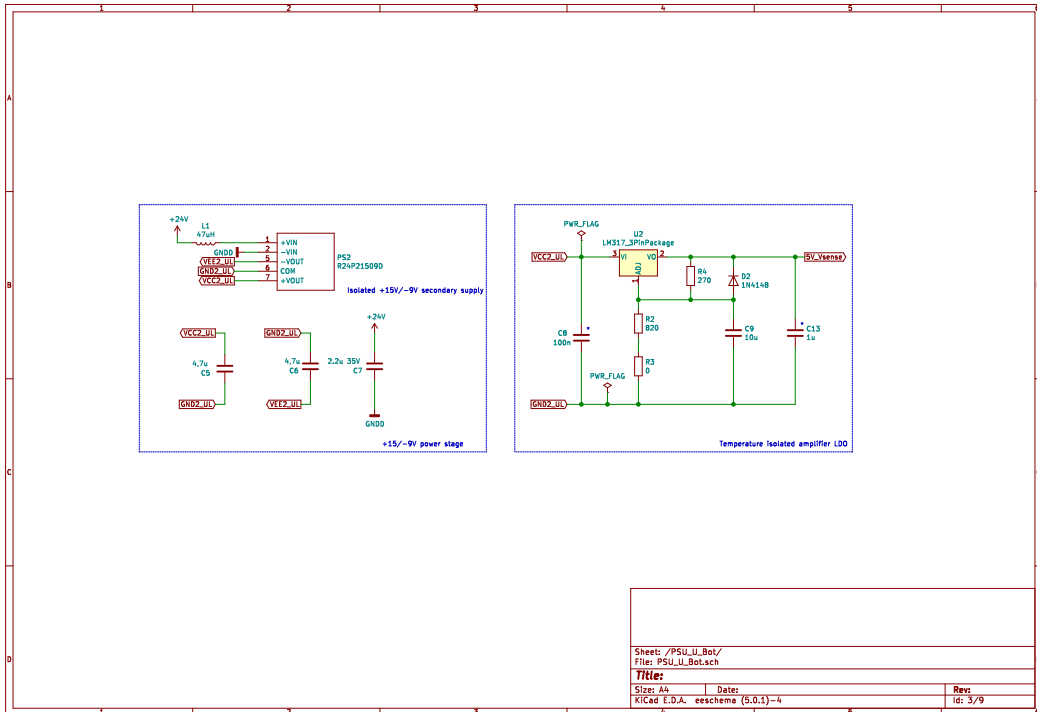
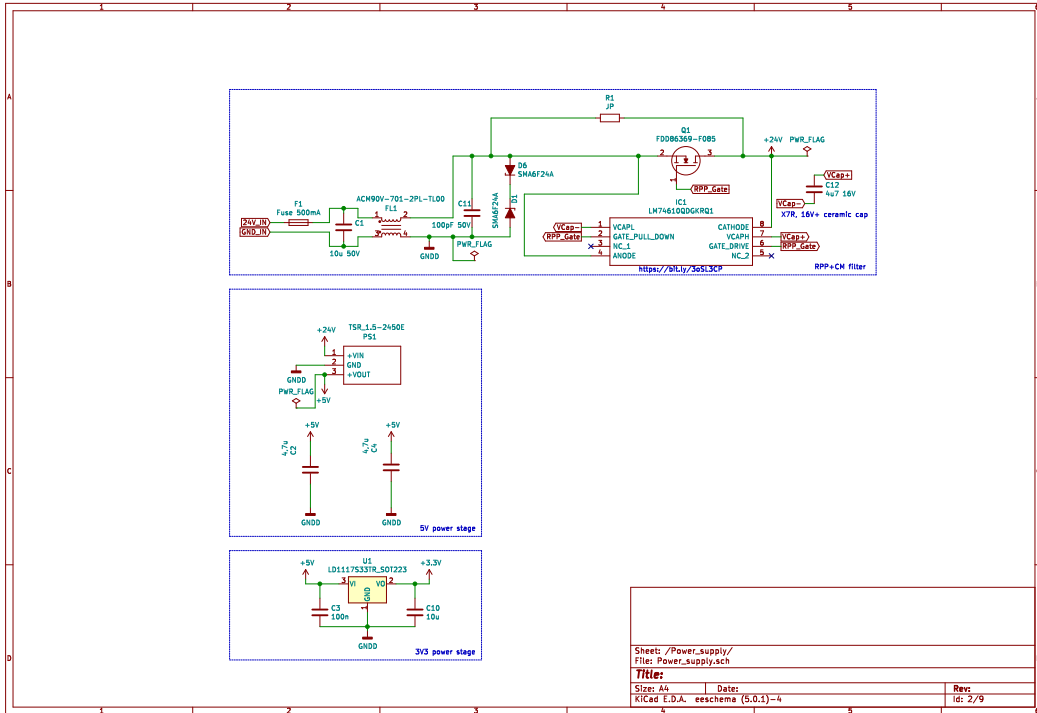


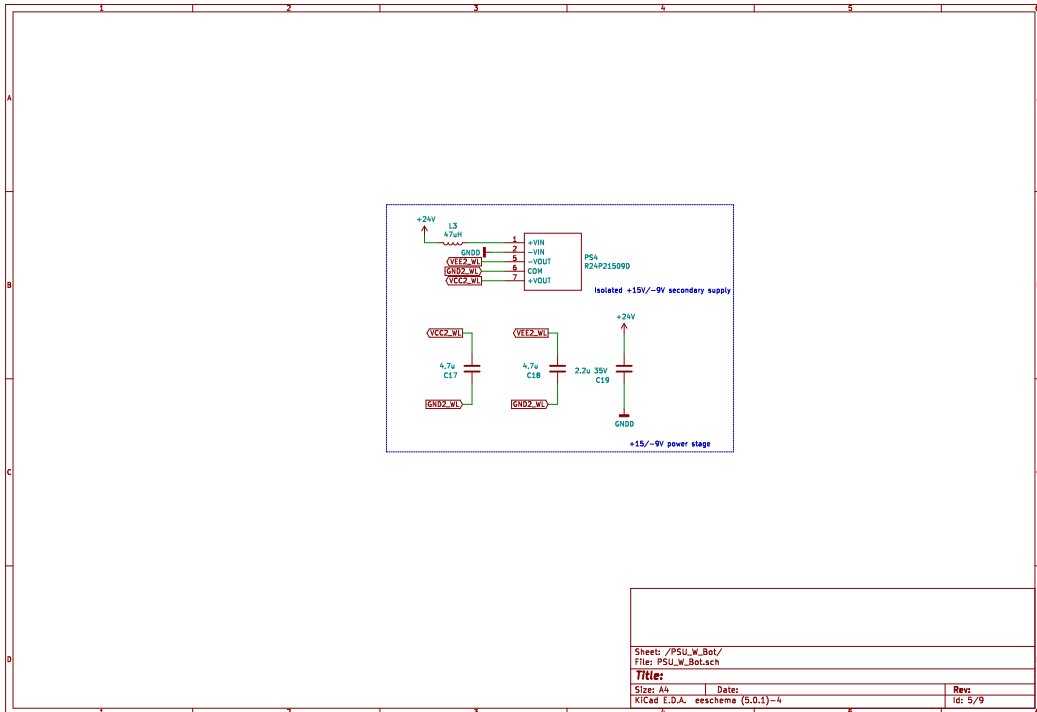
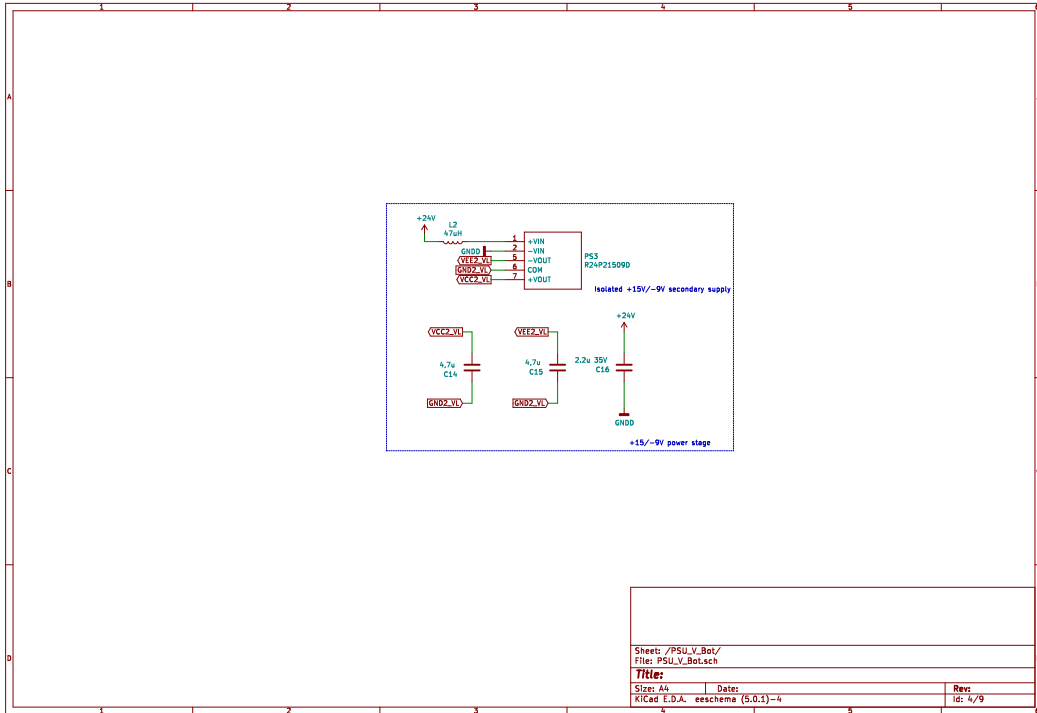


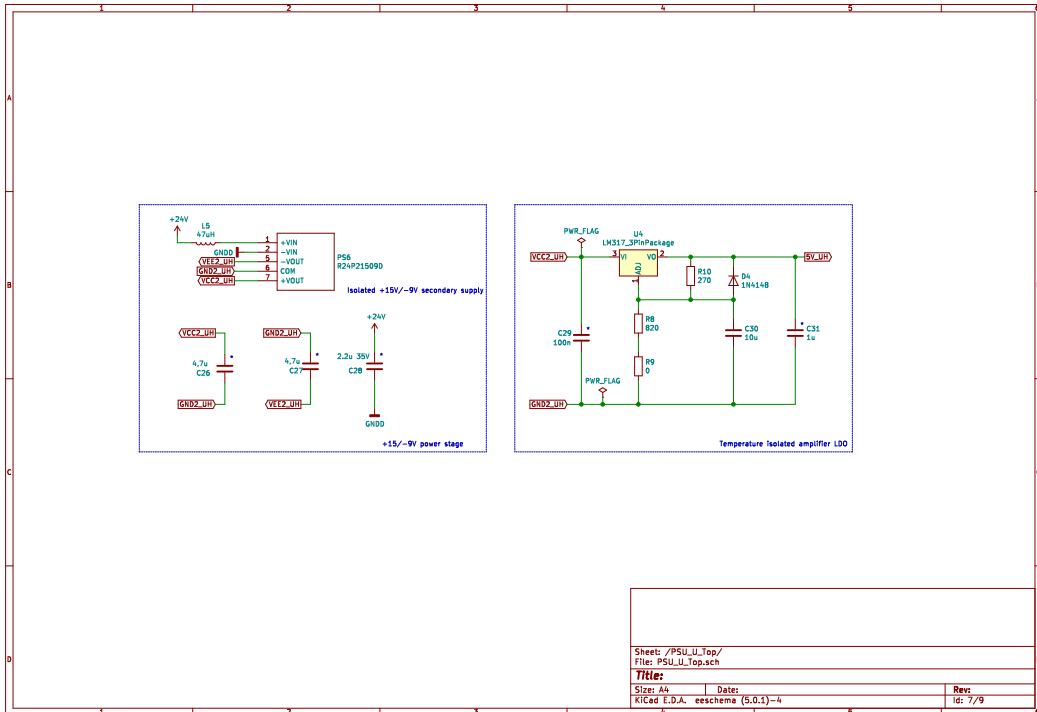
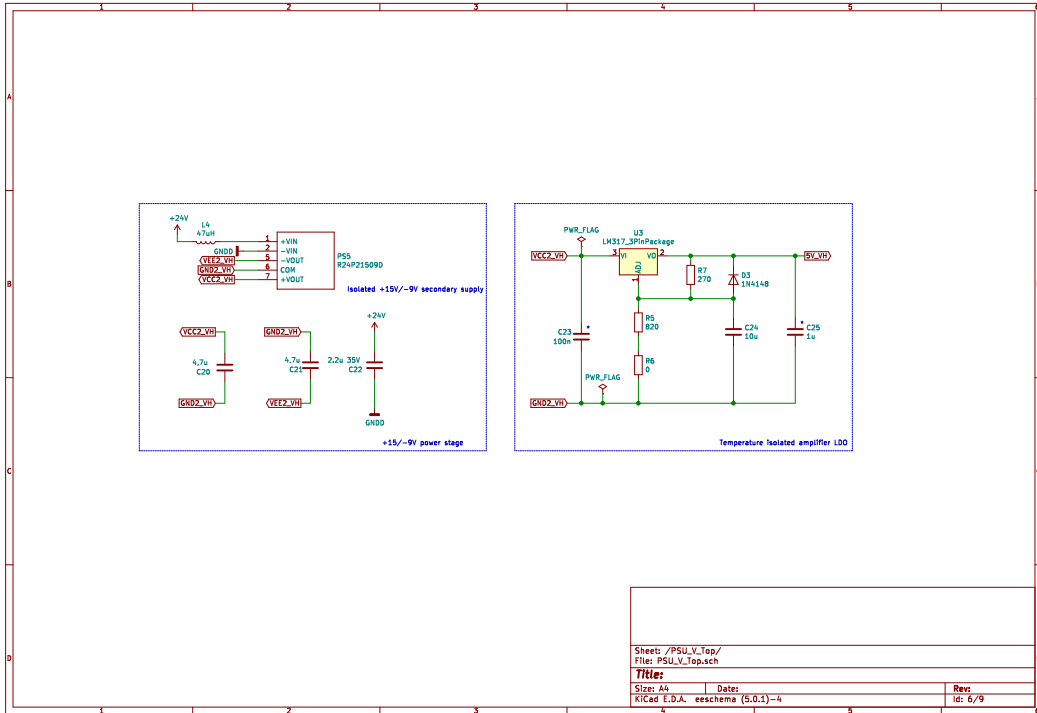


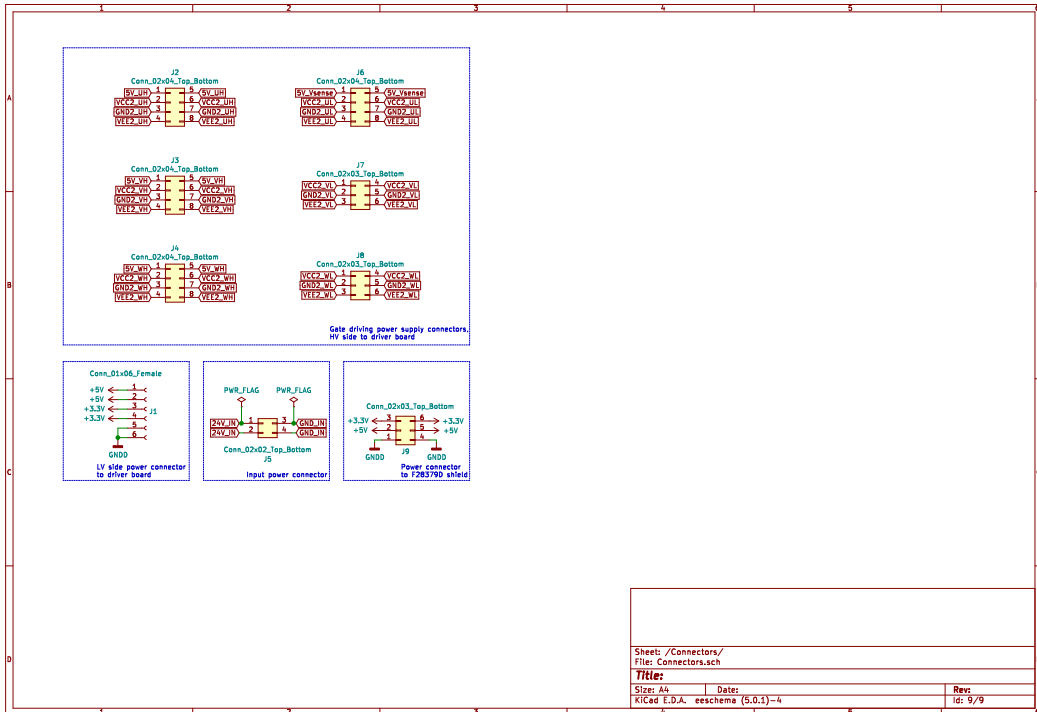
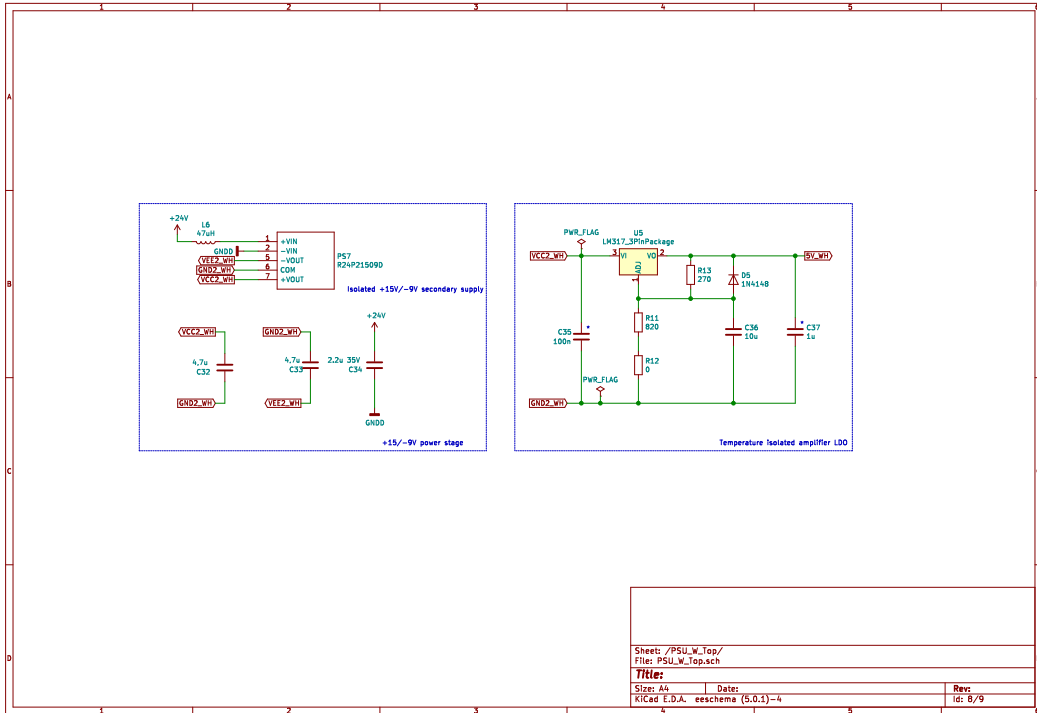


5.2 Schemi scheda alimentazione

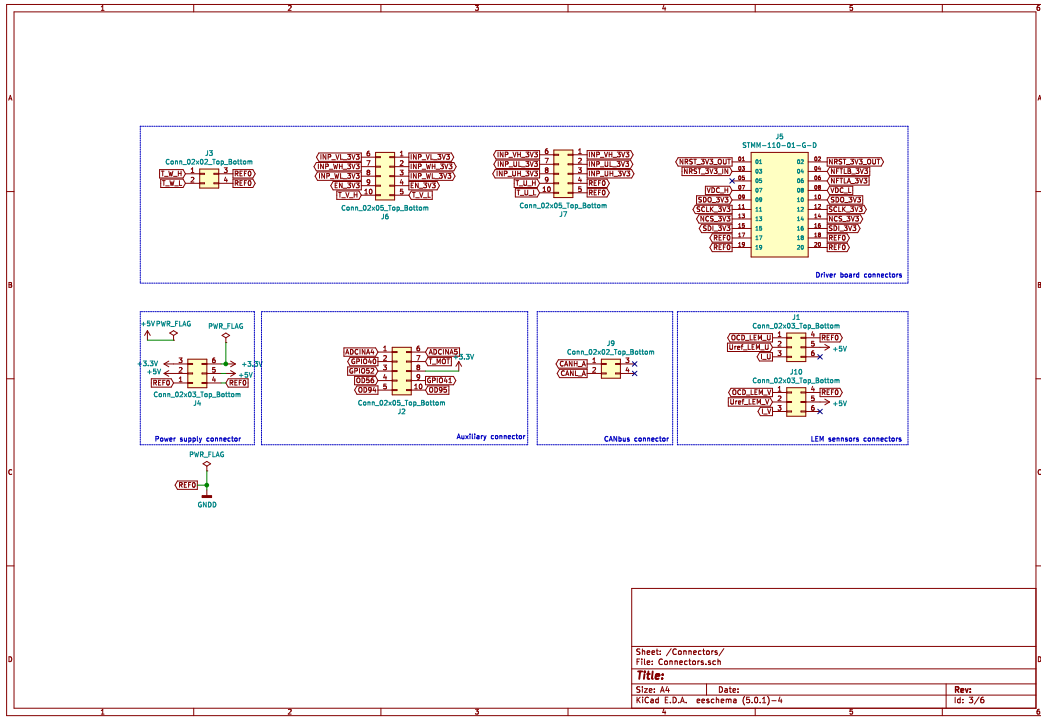
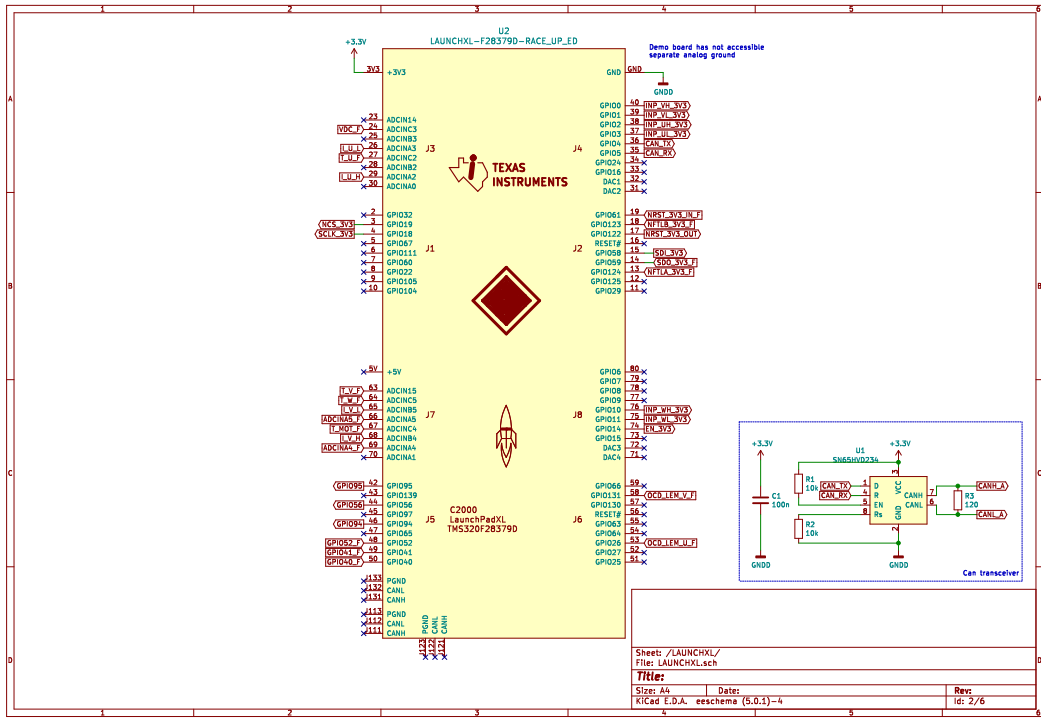


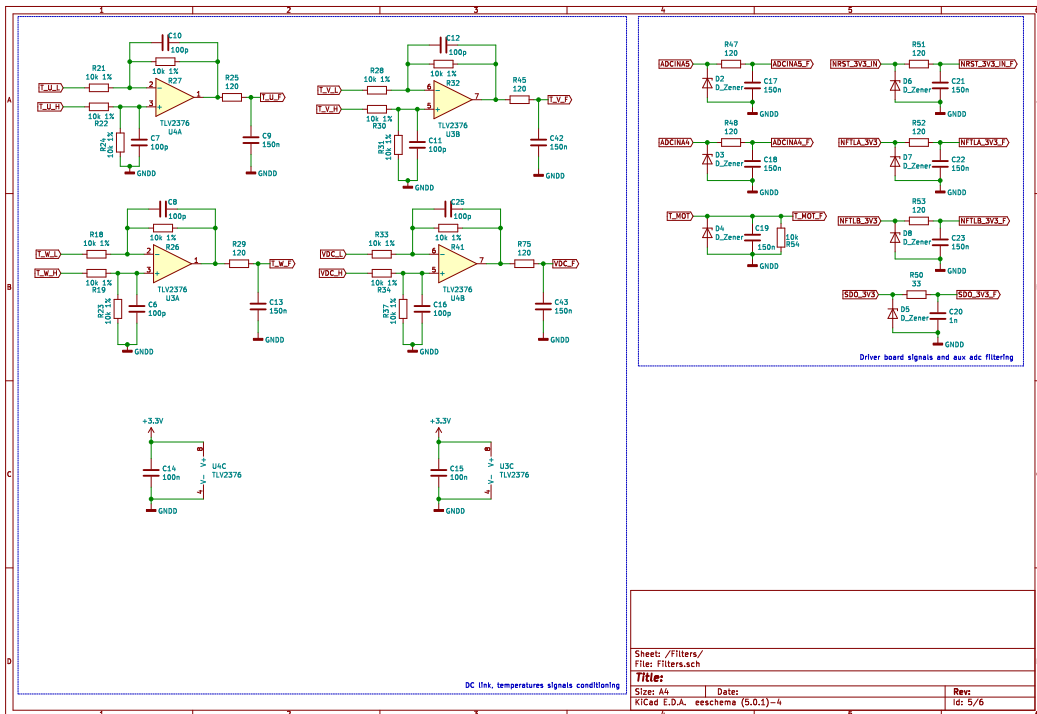
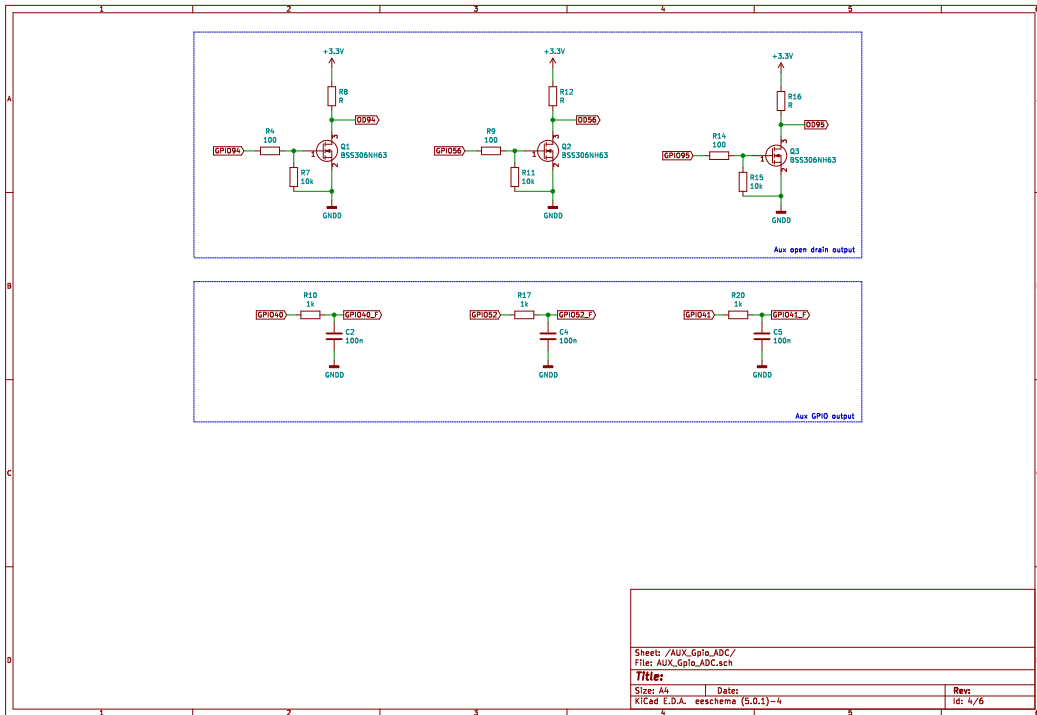


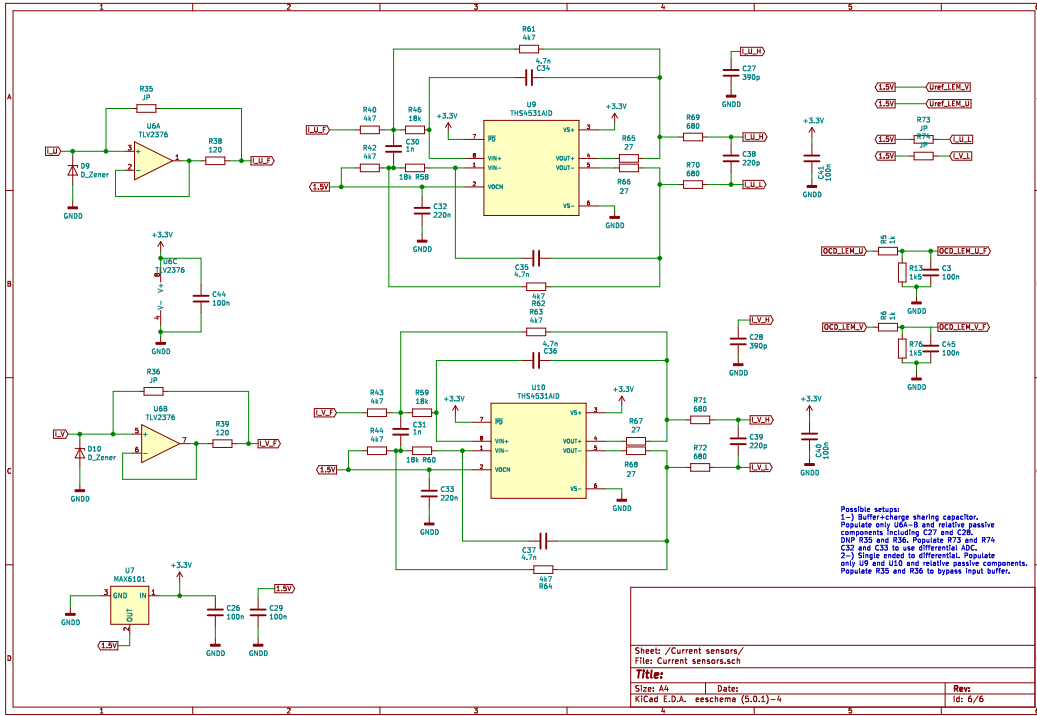




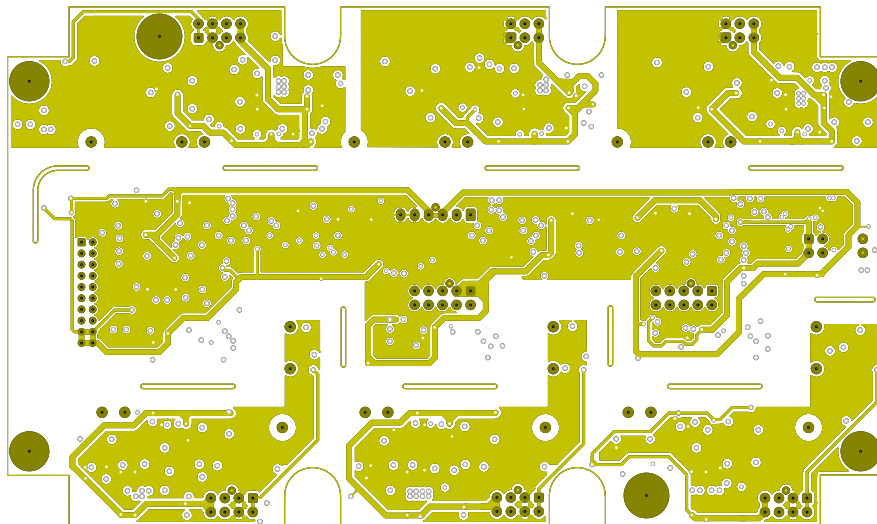
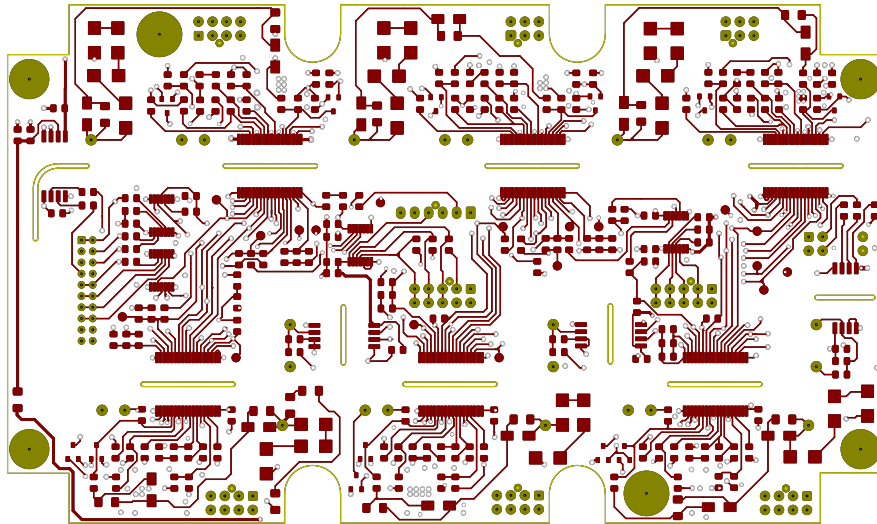
5.3 Schemi scheda logica

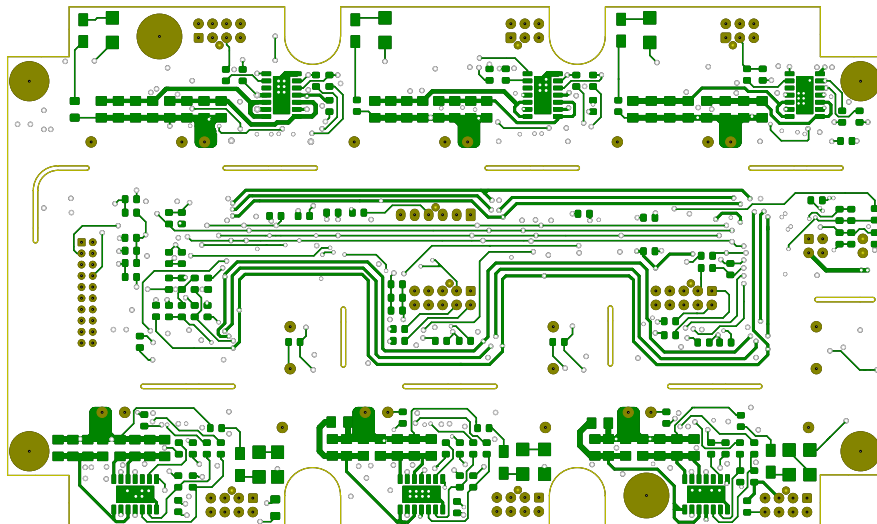
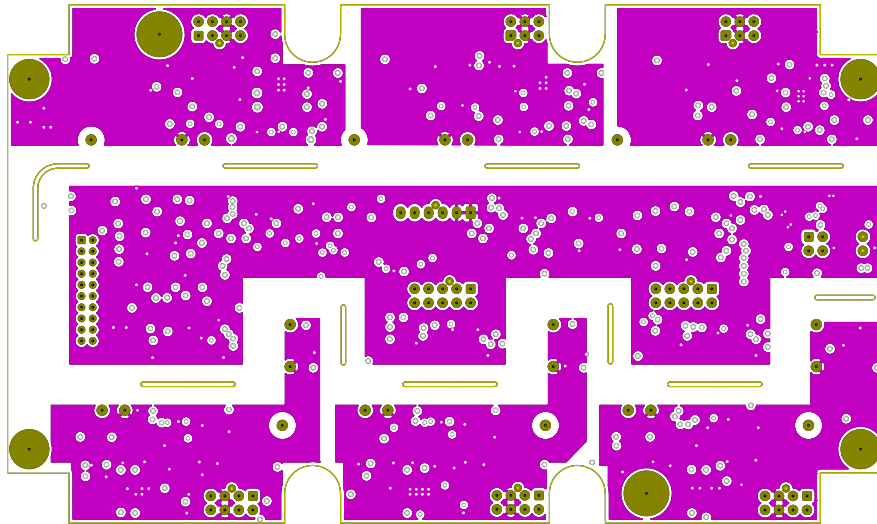


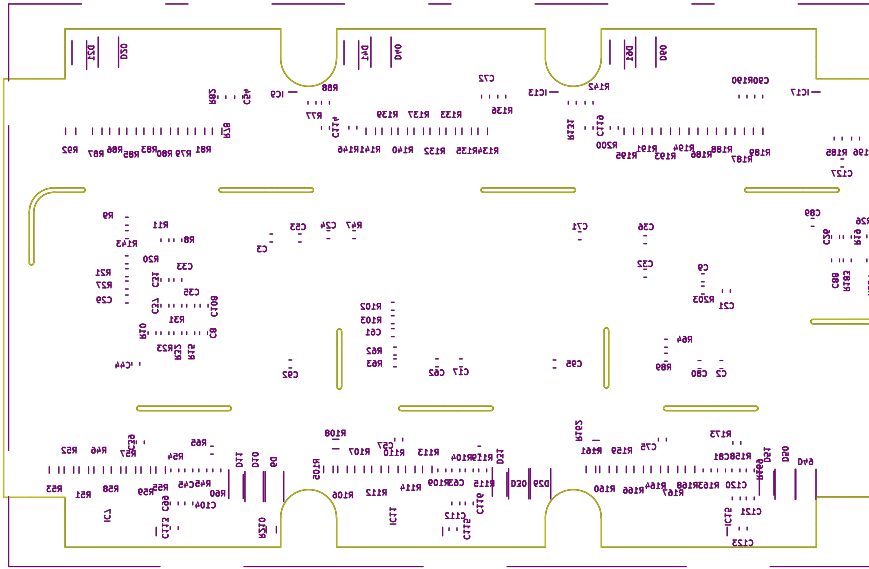
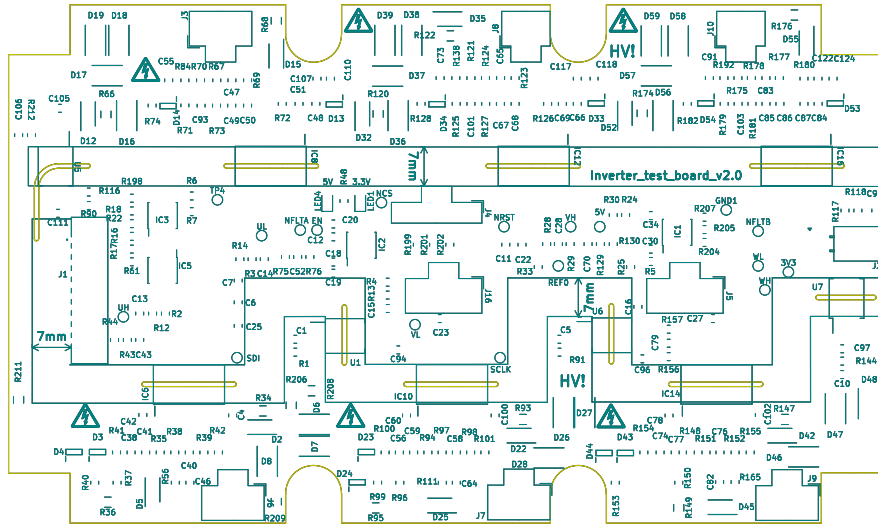


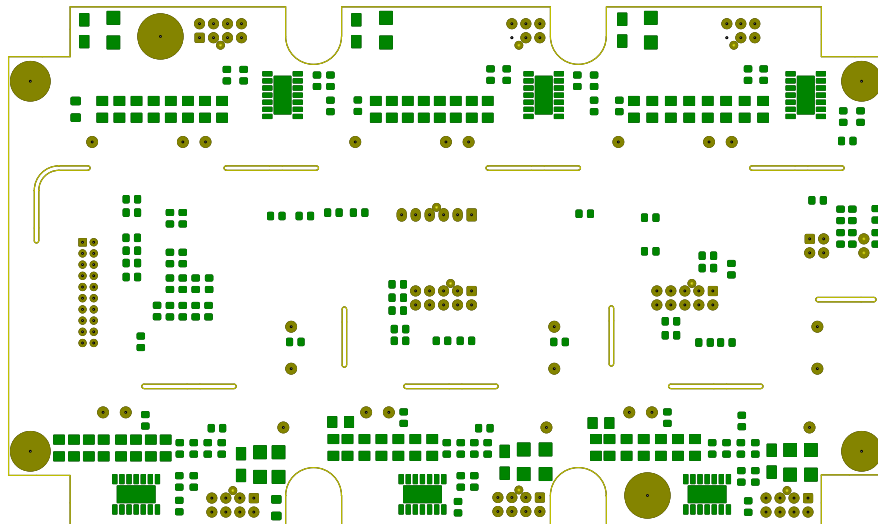
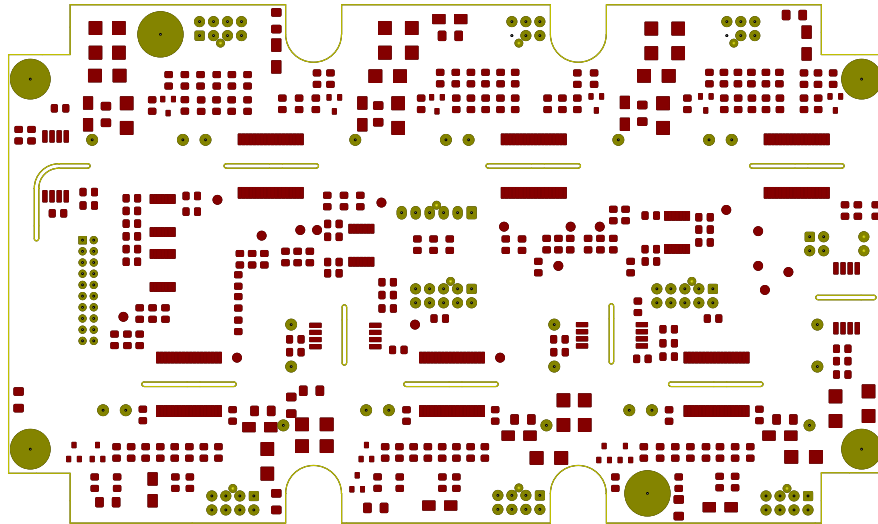


5.4 Layout scheda driver

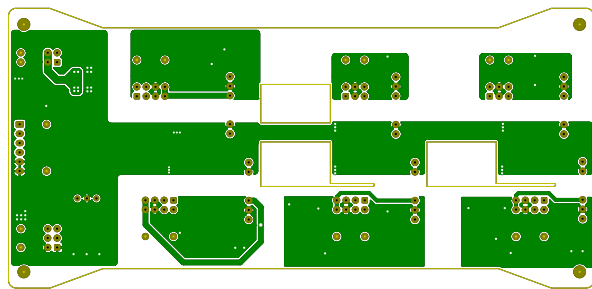
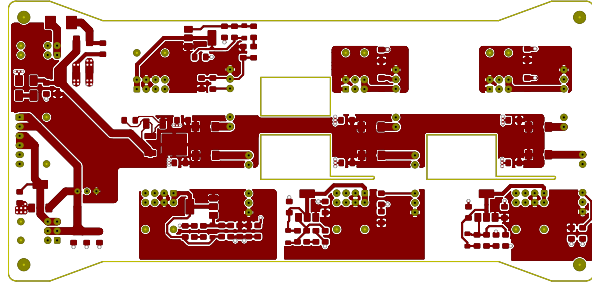


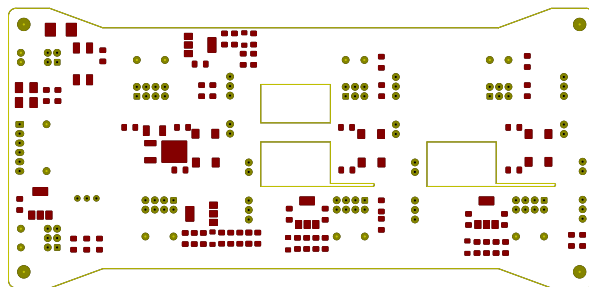
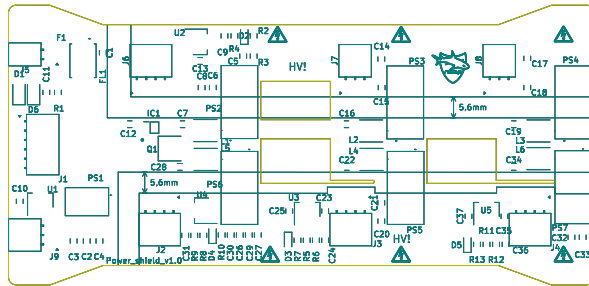


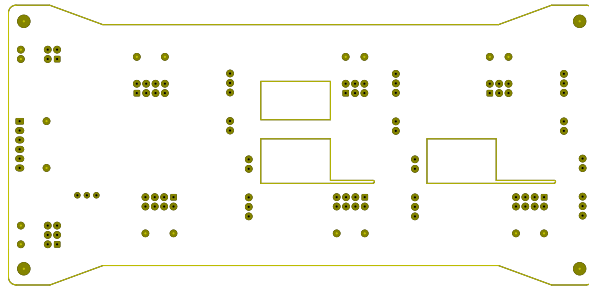




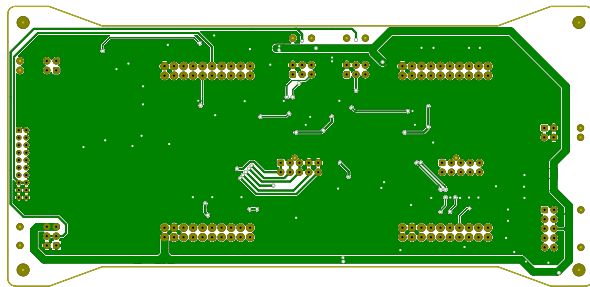
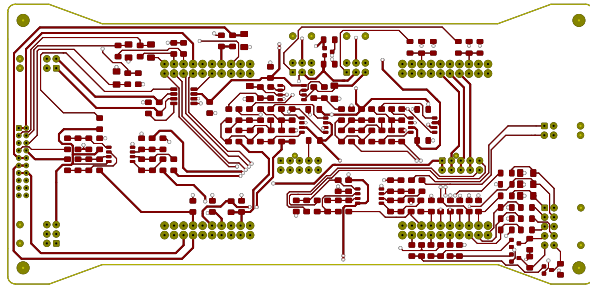
5.5 Layout scheda alimentazione

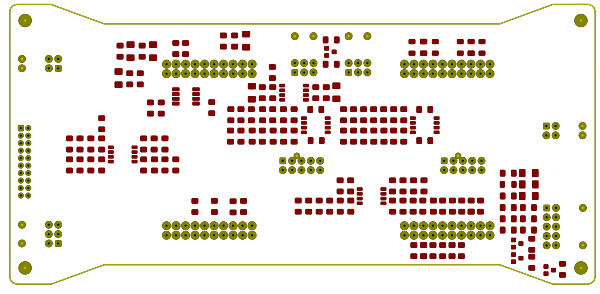
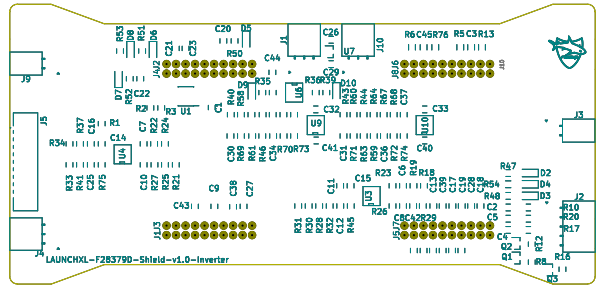


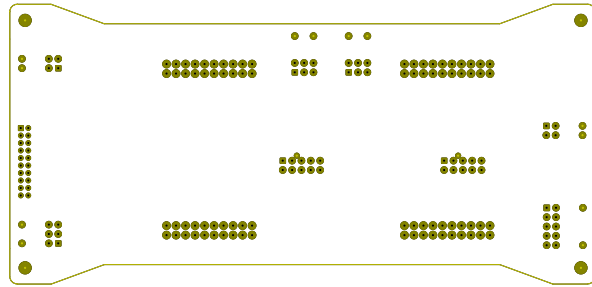




5.6 Layout scheda logica







Capitolo 6

Conclusioni

Questo progetto di tesi ha avuto come fine lo sviluppo di un inverter trifase completo, da utilizzare sulla vettura elettrica dell'Università degli studi di Padova che compete nella Formula Student. L'intento è stato quello di sviluppare lo studio sul gate driver 1EDI2004AS effettuato da altri ex membri del team Race Up, creando un sistema integrabile con la vettura attuale. Il progetto è ambizioso e richiederà ancora molti studi per essere portato a termine, ma il team è pronto a mettersi in gioco.

Bibliografia

- [1] *G.Buja, A2-EV history, Electric Road Vehicles*
- [2] <https://www.fsaeonline.com/page.aspx?pageid=c4c5195a-60c0-46aa-acbf-2958ef545b72>
- [3] <https://www.formulastudent.de/fsg/rules/>
- [4] *AN2015-06, Revision 1.0, Infineon Technologies AG*
- [5] *1EDI2004AS datasheet, Infineon Technologies AG*
- [6] *1EBN1001AE datasheet, Infineon Technologies AG*
- [7] *SLUA618A, Application Report, Texas Instruments, March 2017*
- [8] *FS380R12A6T4B datasheet, Infineon Technologies AG*
- [9] *FS03MR12A6MA1LB datasheet, Infineon Technologies AG*
- [10] *Elettrotecnica circuitale, Massimo Guarnieri, libreriauniversitaria.it edizioni, Prima edizione, Gennaio 2017*
- [11] *ACPL-C87 datasheet, Broadcom Limited*
- [12] *TMS320F28379D, datasheet, Texas Instruments, February 2021*
- [13] *LM74610-Q1, datasheet, Texas Instruments, June 2016*
- [14] *SMA6FxxA, datasheet, STMicroelectronics NV, 2019*
- [15] *TSR 1.5E Series, datasheet, Traco Power, February 12, 2021*
- [16] *LD1117, datasheet, STMicroelectronics NV, February 2020*

- [17] *RxxP2xxyy*, datasheet, RECOM-POWER, June 2020
- [18] *LM317*, datasheet, Texas Instruments, April 2020
- [19] *SPRUHM8I*, TMS320F2837xD Dual-Core Microcontrollers Technical Reference Manual, Texas Instruments, September 2019
- [20] *SPRACV0*, Charge-Sharing Driving Circuits for C2000 ADCs, Texas Instruments, February 2021
- [21] *SBOA114*, Application Report, Texas Instruments, February 2006
- [22] *Electromagnetic Compatibility Engineering*, Henry W. Ott, Wiley, 2009
- [23] *SLVA959B*, Best Practices for Board Layout of Motor Drivers, Texas Instruments, October 2021