



*FACOLTA' DI INGEGNERIA*  
*CORSO DI LAUREA TRIENNALE IN INGEGNERIA ELETTRONICA*

*Relazione di tirocinio:*

***Progettazione di un Modulo Hardware basato sul Processore***  
***"Freescale i.MX51"***

*RELATORE: Prof. Meneghesso Gaudenzio*

*LAUREANDO: Soligo Alessio*

*DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE*  
*ANNO ACCADEMICO 2009/2010*

## Indice:

### 1 – Sommario

### 2 - Introduzione

- 2.1 - Lo scopo del modulo;
- 2.2 - Descrizione generale del modulo;
- 2.3 - Software utilizzato durante il tirocinio;
- 2.4 - Le versioni precedenti del modulo;
- 2.5 - Schema a blocchi del modulo;

### 3 - Il microprocessore “Freescale i.MX51”

- 3.1 - L'architettura ARM;
- 3.2 - Sguardo generale sul processore;
- 3.3 - Il “Pin Multiplexing”;
- 3.4 - Panoramica sul clock del processore;

### 4 - Il Companion Chip MC13892

- 4.1 – Descrizione generale;
- 4.2 – Alcuni blocchi del companion chip;

### 5 - Progettazione del modulo

- 5.1 – Li.MX51 negli schemi elettrici;
- 5.2 – L'accensione di un microprocessore;
- 5.3 – Gli induttori nei convertitori DC-DC;
- 5.4 – Le perdite sugli induttori;
- 5.5 – Il collegamento di un banco di RAM ad un processore;
- 5.6 – Il PHY ethernet;
- 5.7 – Il PHY USB;
- 5.8 – I principali Bus utilizzati sulla board;
- 5.9 – La PowerPad™ nei circuiti integrati;

### 6 - Svolgimento del tirocinio e conclusioni

### Bibliografia

## 1 - Sommario

La tesi seguente ha come oggetto la descrizione dell'attività di tirocinio svolta e l'approfondimento delle argomentazioni tecniche incontrate.

L'azienda ospitante, Si14 S.p.a. di Padova (il cui simbolo è riportato nella figura 1.1), opera nel settore dell'elettronica, in particolare offre soluzioni full-custom in base alle esigenze specifiche del cliente (prototipi). Inoltre sviluppa prodotti finiti basati sui più noti microprocessori costruiti per il mondo dell'elettronica *embedded*.

Il tirocinio è consistito nella progettazione di uno di questi ultimi sistemi, cioè una scheda elettronica integrante una CPU che l'eventuale cliente può utilizzare in base ai suoi target. Una soluzione di questo tipo può essere definita semi-custom o sub-custom poiché l'acquirente della board non va ad utilizzarne tutte le risorse, non sfruttando quindi tutte le potenzialità del microprocessore. Si tratta comunque di schede molto richieste e se ne vedrà in seguito il motivo.

Oltre all'hardware ai clienti viene fornito il software specifico necessario al funzionamento dei loro prototipi (driver). E questo è un settore dell'azienda molto attivo dove c'è la necessità di mantenere uno stretto contatto con l'acquirente al fine di supportarlo fino alla completa installazione del suo sistema embedded (ed anche nell'assistenza successiva). Ad ogni modo il tirocinio è stato svolto dal punto di vista elettronico, non informatico e la seguente sezione spiegherà in maniera generale di cosa tratta il progetto in questione.



## 2 - Introduzione

### 2.1 - Lo scopo del modulo

L'utilità di un modulo di questo genere è quella di rendere disponibili al cliente tutte le potenzialità che il processore può offrire. Si tratta quindi del passo intermedio tra il produttore del processore e l'azienda finale che lo vuole sfruttare in modo specifico. Si14 toglie ai propri clienti la necessità di conoscere a fondo la CPU per poterla utilizzare, anzi fornisce questo modulo nel quale il processore è già interfacciato con il mondo esterno. Al customer di un azienda come Si14 non resta che decidere quali potenzialità della scheda sfruttare in base alle proprie necessità (navigazione GPS, infotainment e comunque sistemi embedded in generale) e tutto ciò si concretizza in un ridotto Time To Market, grazie al fatto che la progettazione del dispositivo finale risulta decisamente semplificata.

Il microprocessore con il quale si è lavorato è prodotto dalla statunitense Freescale, spin-off di Motorola dal 2004. Qui di seguito viene proposto un semplice schema (figura 2.1) che dimostra il ruolo del modulo in oggetto all'interno di questo tipo di mercato.

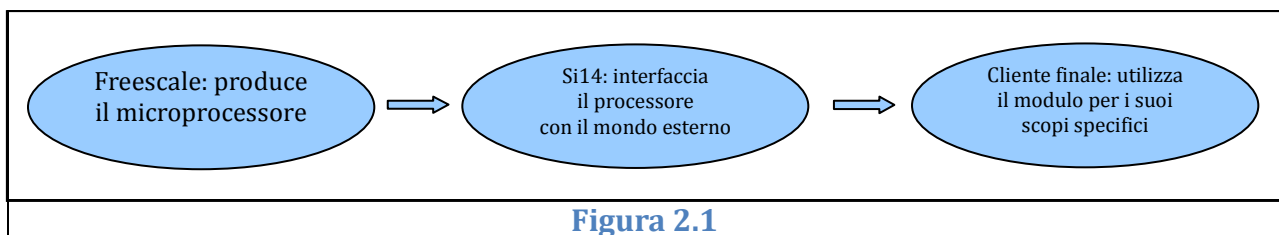


Figura 2.1

### 2.2 - Descrizione generale del modulo

Ecco l'elettronica che attornia il microprocessore all'interno del modulo:

un companion chip per le alimentazioni e altre funzioni che verrà descritto in seguito, dei banchi di memoria RAM, una memoria flash a NAND, un'altra memoria flash per effettuare il boot del sistema tramite SPI, un socket per microSD card, un codificatore audio, un fisico ethernet, un fisico USB e due connettori con un totale di 300 pin per fornire all'utente tutti i segnali gestibili dal processore.

Un sistema di questo tipo può supportare una vasta gamma di applicazioni: tramite l'ethernet è possibile gestire una connessione web o creare una LAN, e sono supportabili collegamenti USB, anche OTG (On The Go, cioè una connessione USB che non necessita di computer; due dispositivi si collegano attraverso le porte OTG e si mettono in configurazione client-server per dialogare tra loro). Il boot può essere fatto dalle memorie fisiche montate sul modulo o anche da una microSD, motivo per il quale il socket è già presente sul modulo. Infine i due

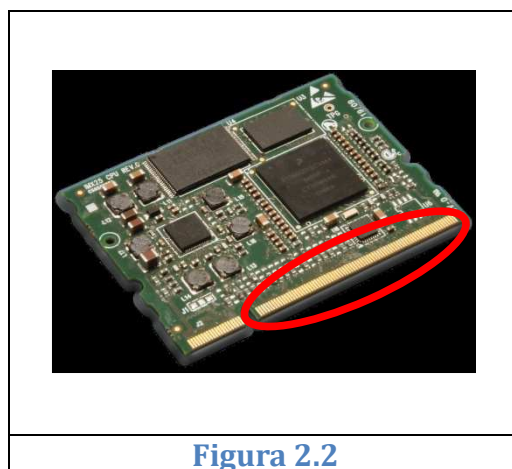
connettori permettono al modulo e quindi al microprocessore di comunicare con il mondo esterno.

### 2.3 - Software utilizzato durante il tirocinio

Il programma che è stato utilizzato per la realizzazione degli schemi elettrici è Cadence Allegro. Una suite attraverso la quale è possibile passare al layout della scheda in esame direttamente dal circuito che si è disegnato. Software molto potente, Allegro necessita lo sviluppo di librerie nelle quali inserire la componentistica che andrà utilizzata. Nel nostro caso il programma si avvaleva dell'ausilio di un database interno all'azienda. Questo era fondamentale per la ricerca dei componenti e per uniformare ogni circuito, in modo da poter ottenere rapidamente il "Bill Of Materials" del progetto in questione.

### 2.4 - Le versioni precedenti del modulo

Mano a mano che Freescale produce i suoi processori, Si14 sviluppa i propri moduli, infatti nell'ordine sono state prodotte schede, attualmente in commercio con gli i.MX27 ed i.MX25. Quella con l'i.MX51 rappresenta un'ulteriore passo avanti dato che il processore è stato scelto anche da alcune grandi marche dell'elettronica di consumo, per i loro riproduttori portatili di contenuti multimediali, consolle di gioco e netbook. La figura 2.2 riporta il PCB del modulo con l'i.MX25 dove è stato messo in evidenza (in rosso) il connettore di tipo SO-DIMM a 200 pin che verrà riproposto anche nella board con l'i.MX51. Date le potenzialità di quest'ultimo, il SO-DIMM verrà affiancato da un altro connettore secondario con altri 100 pin per poter rendere disponibili al cliente praticamente tutti i segnali che l'i.MX51 è in grado di gestire.



### 2.5 - Schema a blocchi del modulo

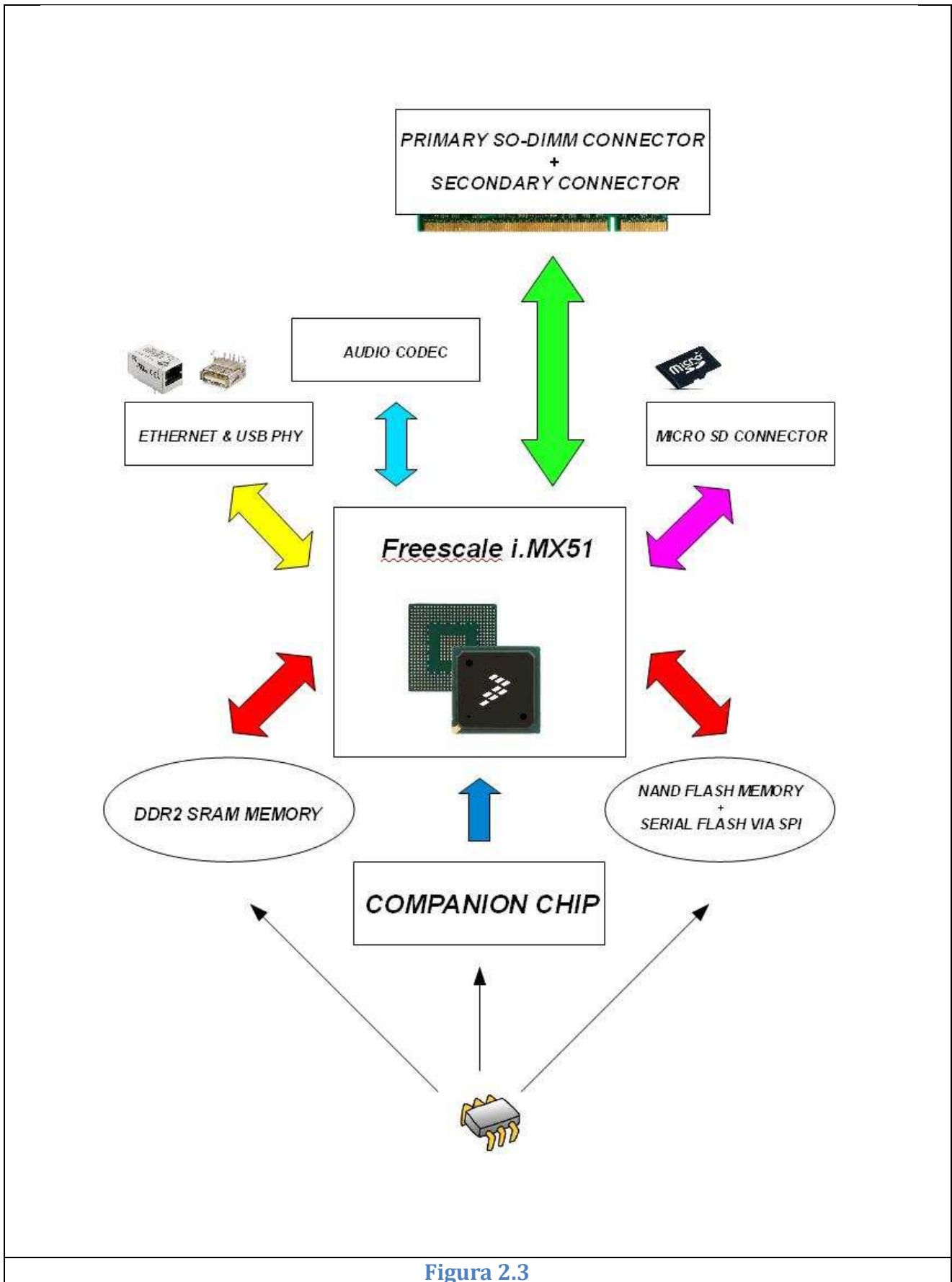


Figura 2.3

## 3 - Il microprocessore "Freescale i.MX51"

### 3.1 - L'architettura ARM

Il processore utilizzato nel modulo appartiene alla famiglia ARM, che rappresenta un insieme di microprocessori a 32 bit di tipo RISC (il significato di questo acronimo si vedrà tra qualche riga). Gli ARM sono dispositivi con un'ottima efficienza ed un basso consumo di potenza. Ciò li rende ideali per applicazioni portatili quali cellulari, riproduttori di musica, palmari ed altri Multimedia Device nei quali sia necessario un buon compromesso tra le prestazioni e la durata della batteria. C'è da dire inoltre che ARM Ltd. non vende fisicamente i propri prodotti, bensì fornisce le licenze e i dati necessari ai propri clienti affinché possano realizzare da soli il proprio processore. Tali clienti possono effettuare migliorie o modifiche sull'ARM che vanno ad acquistare al fine di ottimizzare il progetto che vogliono sviluppare. Freescale è uno di questi clienti ed i vari i.MX25, i.MX27 e i.MX51 sono solo tre dei suoi chip a 32 bit basati su architettura ARM.

Il basso consumo di potenza è legato alla relativa semplicità degli ARM che si traduce in un numero ridotto dei transistor presenti nel core. A sua volta ciò è possibile grazie al fatto che questi processori sono progettati seguendo la filosofia RISC. "Reduced Instruction Set Computer" significa che le istruzioni presenti nel set per la programmazione del processore sono tutte semplici (quindi a basso livello) e con tempi di esecuzione simili. Completamente opposta è la filosofia ComplexISC dove alcune istruzioni sono particolarmente elaborate ed i loro tempi di esecuzione sono molto diversi. Il realizzatore dell'hardware fa in modo che il programmatore, con una sola istruzione complessa riesca ad eseguirne molte di semplici in modo automatico e sequenziale.

Il passaggio alla filosofia RISC è stato dovuto a due motivi:

- spesso chi si occupava di software ignorava le istruzioni ad alto livello e preferiva lavorare con quelle più elementari trovandole più facili ed intuitive. C'era quindi del potenziale non sfruttato nel processore;
- l'hardware per le istruzioni ad alto livello era necessariamente più complesso ed implicava un consumo di potenza superiore. Se addirittura tali istruzioni non venivano usate, il processore consumava di più per nulla.

ARM Ltd. Iniziò la propria opera negli anni '80, seguendo la filosofia RISC in un periodo in cui non c'erano ancora i compilatori ed evitando di produrre fisicamente i propri processori, e ad oggi, copre il 75% del mercato dei microprocessori a 32 bit per applicazioni embedded.

### 3.2 - Sguardo generale sul processore

Esistono varie tipologie di Arm e quella in esame si chiama *Cortex-A8* che indica in particolare il core della CPU.

Nella figura 3.1 è riportato uno schema a blocchi dell'i.MX51, semplificato, tratto dal data-sheet.

Si nota, tra le varie cose, che un processore non è composto dal solo core e dai bus ma devono esserci invece una serie di ASIC che fanno da spalla al core stesso. Un ASIC (Application Specific Integrated Circuit) è un pezzo di hardware che viene progettato per un'applicazione ben specifica e svolge solo quella determinata funzione. Per comprendere il ruolo di questi circuiti viene riportato un esempio:

si supponga di avere una periferica generica collegata al processore mediante il bus I<sup>2</sup>C (che verrà analizzato in seguito), che tale periferica debba inviare al processore dei dati e che questo non abbia al suo interno gli ASIC. Verrà quindi fatta una richiesta al processore da parte della periferica per l'invio dei dati, questo risponderà affermativamente e poi avverrà il trasferimento. La periferica dovrà infine avvisare il processore che ha concluso l'operazione. Può succedere anche che la periferica avvisi continuamente il processore ogni volta che è stata trasferita una certa porzione di dati. Tutti questi avvisi sono degli Interrupt e si hanno quando un dispositivo di I/O informa la CPU che è disponibile a ricevere o fornire dati. In questo caso viene avviata un'opportuna procedura del sistema operativo atta ad occuparsi della relativa periferica (è inoltre necessario disporre di meccanismi che evitino i conflitti e la perdita di informazioni se arrivano due Interrupt all'interno dello stesso processo. Tali meccanismi devono decidere quale Interrupt ha maggiore priorità e deve essere eseguito per primo, ponendo in coda il secondo).

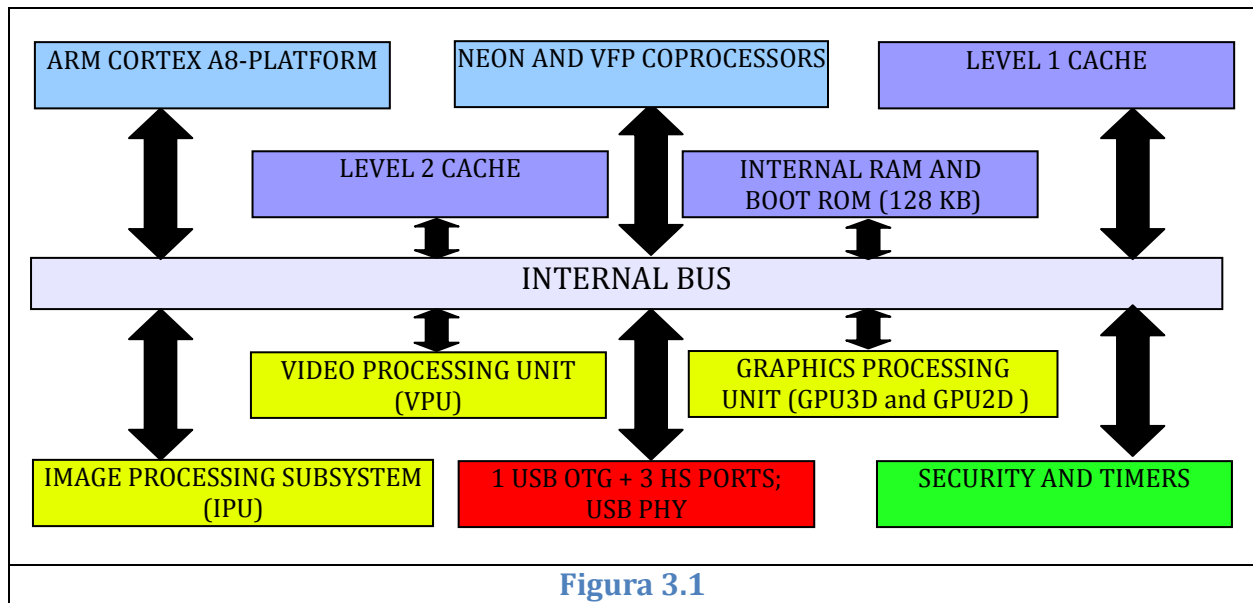
Se tutti gli Interrupt fossero gestiti dal core, questo ogni volta dovrebbe "ascoltare cos'ha da dire" la periferica, risponderle ed inoltre dovrebbe rimanere fermo fino alla conclusione del trasferimento. E' chiaro che se i dispositivi di I/O cominciano ad essere molti, gli Interrupt si moltiplicano ed il risultato è che il processore si trova sempre impegnato e fermo a rispondere alle periferiche ed a ricevere i loro dati. Tutto ciò si traduce in un utilizzo piuttosto inefficiente del chip ed è per questo che il processore necessita degli ASIC e li utilizza per il trasferimento dei dati.

Tornando all'esempio da cui si è partiti, uno schema migliore è il seguente: il bus I<sup>2</sup>C che collega il core alla periferica e il data-bus che collega un ASIC alla periferica. La richiesta iniziale al core viene fatta tramite l'I<sup>2</sup>C, questo risponde affermativamente ed affida tutta la gestione dell'operazione all'ASIC. Eventuali Interrupt successivi non andranno più ad



infastidire il core ma verranno svolti completamente dal processore specifico. Il core verrà interpellato di nuovo solo alla fine del trasferimento per concludere l'operazione.

Se quindi si utilizzano più ASIC, ognuno con un compito specifico, il core si ritrova a fare da coordinatore dell'intero processore lasciando i "lavori pesanti" a questi co-processor ed ottimizzando di gran lunga il funzionamento dell'intero apparato.



Descrizione dei vari blocchi:

- **Arm Cortex A8-Platform** —> La piattaforma ARM consiste di tale Cortex-A8 dotato di tecnologia TrustZone, cioè un'alternativa low cost all'aggiunta di un ulteriore core dedicato alla sicurezza. Si basa sull'uso di due processori virtuali controllati via hardware. In questo modo il core principale può passare da uno all'altro di due stati riferiti a due mondi, in modo che non ci siano perdite di informazioni tra il mondo più sicuro e quello meno sicuro. Ogni mondo può operare in modo indipendente dall'altro usando lo stesso core. Un'applicazione tipica di questa tecnologia è quella di fare funzionare un sistema operativo importante sul mondo meno sicuro ed un po' di codice specializzato sulla sicurezza nel mondo più sicuro (chiamato TrustZone Software) abilitando un DRM (Digital Rights Management, termine generico che indica le tecnologie per il controllo degli accessi che possono essere usate dai produttori di hardware per imporre limitazioni sull'uso dei loro contenuti digitali e dei loro dispositivi) molto più rigoroso.

- **Cache livello 1 e livello 2** —> Per quanto concerne la cache, il livello 1 è suddiviso in 32 KB nei quali troviamo le istruzioni ed in altri 32 KB destinati ai dati. E' una cache di tipo associativo a 4 vie, ciò significa che i dati della memoria inferiore possono essere messi in una qualunque tra quattro zone diverse della memoria superiore;

Il livello 2 della memoria cache è invece di 256 KB ed ha un uso più generale, istruzioni e dati non vengono separati. La sua dimensione può essere portata anche ad 1 MB, è completamente accoppiata con alla cache di livello 1 ed è di tipo associativo ad 8 vie.

- **Co-processor** —> Il co-processore (acceleratore) NEON è costituito da vari elementi, tutti basati sulla "*SIMD Media Processing Architecture*". Con "Single Instruction Multiple Data" si intende un'architettura dove troviamo un'unica unità di controllo che è in grado di governare più Unità Aritmetico-Logiche (ALU) in modo sincrono e parallelo. Infatti ad ogni fronte di clock, tutte queste ultime eseguono la medesima istruzione, ma su dati diversi. Un elaboratore con tecnologia SIMD possiede istruzioni in grado di manipolare una grande quantità di dati in parallelo. Ma allo stesso tempo se deve eseguire altre istruzioni, come le più comuni che troviamo nei vari Assembly, un co-processore SIMD le fa fare al processore principale, perchè non ne è in grado.

Un esempio di software che possono essere più rapidi grazie ad un'architettura di questo tipo, sono quelli usati per il Digital Image Processing. Si supponga ad esempio di voler aumentare la luminosità di una foto. Un microprocessore normale dovrebbe caricare tutti i pixel della foto nei propri registri, effettuare la modifica della luminosità e tornare a salvare di nuovo la foto in memoria. Un processore di tipo SIMD invece eseguirebbe una prima istruzione mediante la quale caricherebbe non uno, ma una serie di pixel (quindi non un pixel ad ogni istruzione, ma un gruppo di pixel con una singola istruzione), li modificherebbe tutti uno dopo l'altro in blocco, e li salverebbe di nuovo tutti insieme nella memoria. E' evidente che per operazioni come questa, dove sono previsti molti accessi a memoria, è vantaggioso poter operare su gruppi di bit piuttosto che su bit singoli. Poiché l'i.MX51 è particolarmente adatto alle applicazioni multimediali, l'architettura SIMD del co-processore gli è molto utile.

In realtà il NEON non si basa proprio sulla SIMD, ma sulla Advanced SIMD, che è un'estensione della SIMD normale. Si tratta di una combinazione di istruzioni SIMD a 64 ed a 128 bit che permette alle applicazioni che elaborano segnali e file multimediali di essere ancora più veloci. La tecnologia NEON permette di eseguire musica in formato Mp3 con il clock della CPU a 10 Mhz, quando l'i.MX51 può arrivare ad 1 Ghz di frequenza se alimentato ad 1,1 V.

In aiuto al core principale interviene anche un altro co-processore basato su un'altra

tecnologia chiamata VFP. Il suo scopo è quello di fare calcoli in virgola mobile a singola e doppia precisione (cioè a 32 ed a 64 bit) che rispettino lo standard IEEE 754 (standard molto diffuso per i calcoli in virgola mobile sul quale si basano sia molti software che molti hardware). Questo co-processore matematico permette di effettuare operazioni in virgola mobile compatibili con molti dispositivi ed applicazioni come i palmari e gli smartphone, ma da anche all'i.MX51 la possibilità di fare operazioni come la compressione e la decompressione della voce, lo sviluppo di grafici tridimensionali ed altro.

- **Bus interni** —> Tutto il SoC (System on Chip) dell'MX51 è costruito attorno ad un sistema di tre bus:

- il 64-bit AMBA AXI, chiamato semplicemente AXI ed usato dai maggiori acceleratori multimediali del processore (VPU e IPUv3EX);
- il 32-bit AMBA AHB, chiamato semplicemente AHB, usato da molte periferiche. Ad esempio il controllore SDMA (che contiene l'UART, la SPDIF e altre) comunica con il sistema mediante questo bus;
- il 32-bit IP, è usato per il controllo dei principali dispositivi periferici montati sul SoC (ed anche per il trasporto di dati a bassa velocità).

- **Video Processing Unit** —> la Video Processing Unit è il processore video ad alte prestazioni dell'i.MX51. Può supportare vari standard tra i quali MPEG2, MPEG4 e DivX mentre per quanto riguarda la risoluzione massima decodificabile, arriva a 1920x1088 pixel.

La VPU comunica con l'esterno mediante i bus AHB ed AXI. Il primo è usato per il controllo degli accessi ai registri mentre il secondo è utilizzato dai dati che vengono elaborati. La VPU è inoltre dotata di un ulteriore processore che controlla l'elaborazione video dei blocchi interni comunicando con la CPU principale attraverso l'interfaccia host, questo ulteriore processore è chiamato "BIT processor". Il BIT processor è un DSP a 16 bit che fa praticamente quasi tutto il lavoro della VPU. In particolare esso è dotato di alcuni acceleratori hardware che gli permettono di maneggiare più velocemente i bitstream ed inoltre vigila sulla decodifica hardware dei video. Sfruttando il BIT processor vengono usate poche risorse della CPU host, meno di un MIPS (l'indice MIPS indica il massimo numero di istruzioni che una CPU è in grado di operare nell'unità di tempo. Il numero di istruzioni richiesto da una certa funzione dipende dall'architettura della CPU e dalla qualità del compilatore. L'indice permette al più di confrontare dispositivi con la stessa architettura di base ed è comunque piuttosto indicativo) e questa quindi esegue solo l'accesso ai registri della VPU per iniziarla e settarne i

parametri.

Combinando assieme VPU ed IPU (presentata nel prossimo paragrafo), l'i.MX51 riesce a riprodurre video di qualità elevata.

- **Image Processing Unit** —> la IPUv3EX fa parte del sotto-sistema video e grafico del processore. Il suo obiettivo è quello di fornire un supporto completo al trasferimento dei dati da un sensore di immagini o da un display. Per supporto si intendono la connettività ai principali dispositivi come fotocamere, monitor, acceleratori grafici ed altri, e l'elaborazione o manipolazione delle immagini.

Queste le porte di cui è dotata l'unità:

- due porte per il collegamento di dispositivi per acquisire immagini, ciascuna controllata da un modulo CSI (Camera Sensor Interface);
- due porte per il collegamento di display, ciascuna controllata da un modulo DI (Display Interface);
- porte in configurazione master per il collegamento alla memoria di sistema;
- porte in configurazione slave per il collegamento all'ARM MCU (Main Control Unit);
- porte aggiuntive per effettuare attività di controllo e debug.

I bus utilizzati dall'unità sono l'AXI e l'AHB.

- **Graphics Processing Unit** —> al suo interno troviamo l'unità ATI Z160 IP che è un acceleratore per operazioni di grafica in 2D sia di tipo raster che di tipo vettoriale. Nella grafica raster le immagini vengono descritte come una griglia di pixel opportunamente colorati mentre nella grafica vettoriale troviamo un insieme di primitive geometriche che descrivono punti, linee, curve e poligoni ai quali possono essere attribuiti colori e anche sfumature. Sono due tecniche completamente diverse per disegnare un'immagine in computer grafica. Tornando alla GPU, il suo acceleratore può quindi implementare funzioni come, ad esempio, "BitBlt". In linguaggi di programmazione vari la funzione **Bit Block Transfer** permette il trasferimento di una sezione rettangolare di un'immagine, in un'altra area rettangolare di pari dimensioni. Questo permette di eseguire tutte le operazioni tipiche delle applicazioni grafiche come Taglia, Copia ed Incolla.

Oltre a questa, ovviamente, il core della GPU è dotato di svariate funzioni, tutte ottimizzate per lavorare su immagini ad alta qualità cercando di limitare il più possibile l'occupazione di memoria.

- **Modulo USB** —> Un altro dei moduli dell'i.MX51 è l'USBOH3 che contiene tutte le funzionalità richieste per supportare quattro porte USB indipendenti, compatibili con lo standard di comunicazione seriale USB2.0. Il collegamento tra la periferica ed il processore può avvenire tramite lo standard Seriale o quello ULPI ,che prevede un'interfacciamento tra il processore ed un PHY con meno pin ed è fatto apposta per ridurre il numero delle piste in fase di layout. Il PHY USB e l'interfaccia ULPI verranno visti più in dettaglio nei prossimi capitoli. Come già detto tre porte sono di tipo USB normale mentre una è OTG. La velocità di tutte e quattro può essere impostata via software ai tre livelli High, Full e Low Speed ed è configurabile anche il tipo di interfaccia, seriale o ULPI.

- **Sicurezza e timer** —> Anche in questo caso troviamo più moduli e sotto-moduli che si occupano di queste due funzioni. Per quanto riguarda la sicurezza l'elemento principale è il blocco che è stato chiamato Sahara il quale può criptare gli algoritmi di calcolo, sottoporli all'"hashing" (lo stesso principio con cui viene fatta la firma digitale di un software) ed altre funzioni. Ha un bus IP in configurazione Slave che utilizza per scrivere informazioni di configurazione e di comando presso l'host, cioè il dispositivo remoto collegato e per il quale c'è la necessità di avere un controllo della sicurezza sugli algoritmi che fornisce. Inoltre sfrutta un ulteriore controllore collegato tramite il bus AHB per diminuire il carico di lavoro all'host nello scambio di dati da e per la memoria (dove verranno temporaneamente piazzati gli algoritmi).

Tra i timer del processore ricordiamo principalmente il *watchdog* ed il *GPT*.

Il watchdog è un sistema di temporizzazione hardware che permette alla CPU la rilevazione di un ciclo infinito di programma o comunque di una situazione anomala che deve essere corretta (spesso questa correzione consiste in un reset dell'apparato). La temporizzazione può essere impostata tramite l'apposito Watchdog Interrupt Control Register che, al termine del conteggio, attiverà il segnale di reset del sistema "wdog\_rst" che verrà inviato al CCM. Il momento in cui il conteggio termina viene chiamato time-out ed il watchdog dell'i.MX51 può essere impostato in modo da inviare degli interrupt di avvertimento anche prima di giungere al time-out. Il time-out può variare da 0.5 a 128 secondi con una risoluzione temporale di 0.5 secondi ed infine il watchdog può essere abilitato anche se il processore è in una delle modalità Low Power.

Il GPT, General Purpose Timer, è invece un contatore crescente a 32 bit ed il valore memorizzato nel suo registro può essere arrestato da un evento del processore o da un collegamento ad un pin esterno. E' possibile impostare l'arresto del conteggio in modo che

venga fatto sul fronte di salita o di discesa dell'onda del clock che determina l'avanzamento del contatore (il clock può essere selezionato tra quelli disponibili oppure essere fornito dall'esterno). Il GPT può essere anche usato nel modo opposto, cioè facendogli generare un segnale nel momento in cui raggiunge un determinato valore e, come il watchdog, può essere utilizzato anche se l'i.MX51 è in una delle modalità Low Power.

### 3.3 - Il “Pin Multiplexing”

Il pin-multiplexing è una tecnica molto utilizzata dai produttori di circuiti integrati dove un certo numero di segnali vengono “multiplexati” per ridurre il numero di interconnessioni necessarie, tipicamente, in un IC o in un bus. Nel caso di un microprocessore, esso è in grado di produrre una vasta gamma di segnali e se ad ogni segnale fosse assegnato un pin, ci si troverebbe con un numero spropositato di pin e di conseguenza anche di piste da tracciare in fase di layout.

Nel nostro caso, l'i.MX51 ha  $19 \times 19 = 361$  pin ed alcuni condividono più funzioni mentre altri ne hanno una sola. Nel Reference Manual si trovano ad esempio i 32 pin del data-bus della RAM, DRAM\_D0 : DRAM\_D31 e tali pin sono indicati come “No Muxing” nel senso che hanno quella funzione e basta. Ma se si passa alla serie di pin EIM\_D0 : EIM\_D31, questi hanno 7 potenziali funzioni ciascuno. Quindi da 32 pin sono ottenibili  $32 \times 7 = 224$  segnali. Se non ci fosse il pin multiplexing, il 62% dei pin disponibili sarebbe stato occupato da questi segnali ed avendo considerato solo 32 dei 361 pin in questa semplice analisi, le potenzialità di questa tecnica risultano enormi. All'interno del microprocessore ad ognuno dei pin è associato un registro a 32 bit nel quale i primi sono destinati alla definizione della funzione in fase di sviluppo del software. La figura 3.2 mostra il registro associato al pin numero 17 della serie EIM\_D#. Si noti che i primi tre bit del registro sono indicati come MUX\_MODE. Infatti è stato appena detto che ognuno di quei pin arriva a condividere proprio sette funzioni.

Table A-49. Register: IOMUXC_SW_MUX_CTL_PAD_EIM_D17																	
Offset	0x0060 (IOMUXC_SW_MUX_CTL_PAD_EIM_D17)															Access: User read / write	
R	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
Reset	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

**Figura 3.2**

Infine dal punto di vista tecnico, finora si è parlato di “pin” ma in realtà il nome giusto è “pad”. Questo perchè il contenitore del processore è di tipo BGA, Ball Grid Array. In tale case non troviamo i pin messi sui quattro lati, bensì troviamo delle semisfere poste sotto l'integrato stesso che vanno a formare una matrice.

### 3.4 - Panoramica sul clock del processore

All'interno del processore è presente uno dei tanti sotto-moduli che in questo caso si occupa esclusivamente della gestione del clock dell'intero apparato.

Il *CCM*, *Clock Controller Module*, controlla in particolare le seguenti funzioni nell'i.MX51:

- usa i clock disponibili per generare dei percorsi di clock che raggiungono le varie parti del SoC;
- presenta dei bit interni che permettono di regolare le singole frequenze dei percorsi del clock (il settaggio può essere fatto tramite il bus IP);
- controlla il funzionamento delle modalità "low-power" (RUN, WAIT, SCREEN REFRESH E STOP);
- fornisce dei segnali di controllo per i clock che si devono agganciare tra loro (tramite il modulo LPCG, Low Power Clock Gating interno al CCM).

Tra le varie caratteristiche del CCM ci sono il Clock Switching Module che permette di controllare tre PLL che generano tre clock differenti i quali poi vanno ai vari moduli attraverso il percorso di generazione del clock. Quest'ultimo è controllato a sua volta da tre switch collegati alle tre sorgenti del clock. Il CCM produce il clock dedicato per il core dell'ARM e permette di bypassare i PLL per applicare direttamente dei clock esterni al processore.

La figura 3.3 riporta lo schema a blocchi del CCM.

**CCM\_CLK\_IGNITION:** è un modulo che si attiva non appena il CCM esce dallo stato di reset (qualora il processore venga resettato). Esso controlla effettivamente la generazione del nuovo clock attraverso un processo che fa partire i PLL ed altri componenti, e si conclude una volta ottenuto un nuovo e stabile percorso del clock.

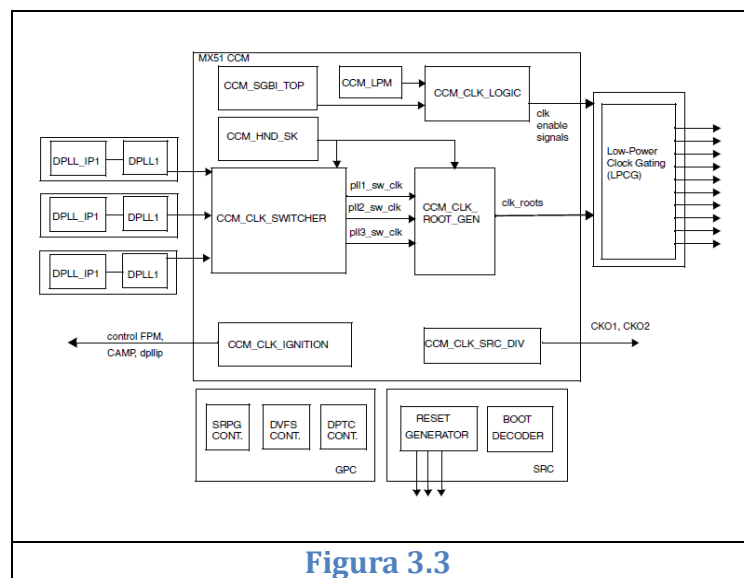


Figura 3.3

**CCM\_CLK\_SWITCHER:** questo sotto-modulo riceve contemporaneamente i clock forniti dai tre PLL e quelli, eventuali, di bypass provenienti dall'esterno. I clock in ingresso vengono quindi rimandati all'uscita (**pll1\_sw\_clk**, **pll2\_sw\_clk** e **pll3\_sw\_clk**) ma possono essere scambiati tra di loro ed è questa la particolarità principale del modulo. Collegato all'uscita poi troviamo il prossimo modulo della lista.



CCM\_CLK\_ROOT\_GEN: riceve i tre clock principali appena presentati e li usa per genera i percorsi di clock del sistema.

CCM\_CLK\_LOGIC: è un sotto-modulo che produce dei segnali di abilitazione, gli stessi segnali citati precedentemente che sono usati nel LPCG per l'aggancio di clock diversi tra loro;

CCM\_LPM - controlla le modalità di funzionamento Low Power di tutto il processore;

CCM\_GSBI\_TOP - controlla la mappa di memoria del CCM e contiene i suoi registri programmabili. Il modulo è quindi connesso a tutti i sotto-moduli che necessitano dei bit di programmazione (ad esempio quelli appena citati che permettono la regolazione delle frequenze dei singoli percorsi del clock) anche se nello schema è collegato solo al CCM\_CLK\_LOGIC;

CCM\_CLK\_SRC\_DIV - altro sotto-modulo che direziona i vari clock interni verso due uscite dell'i.MX51, CKO1 e CKO2, che sono usate per attività di osservazione e di debug. Su queste uscite sono presenti dei jitter quindi non è consigliabile attaccarvi delle periferiche per fornire loro il segnale di clock;

CCM\_HND\_SK - controlla l'*handshake* per quei divisori di frequenza (usati dai vari percorsi di clock) che lo necessitano, ed i cambi di frequenza negli agganci tra due clock diversi.

Una nota in più meritano i circuiti generatori dei clock principali del CCM, i PLL.

Un PLL è un circuito elettrico che permette di creare un segnale la cui fase ha una relazione fissa con quella di un segnale di riferimento e nel CCM sono presenti tre di questi dispositivi, di tipo digitale. Ognuno di questi produce un clock con un bassissimo jitter sia di fase che di frequenza. I jitter sono delle deviazioni delle transizioni del clock dal comportamento desiderato e sono dovuti principalmente al rumore generato dall'amplificatore ad alta frequenza di cui ogni PLL è dotato. In circuiti diversi dai PLL e dotati di quarzo, anche quest'ultimo è fonte di rumore termico dovuto al movimento casuale degli elettroni al suo interno. Per quanto piccolo, questo rumore si ripercuote sul clock generato portando a questi jitter e ad una forma d'onda disturbata. In particolare il jitter di fase indica una variazione di fase del clock relativamente alla fase di un clock ideale. Il jitter di frequenza indica invece una variazione della lunghezza del periodo di clock, sempre facendo riferimento ad un clock ideale.

Tornando infine all'i.MX51, come già detto, ha tre DPLL il cui segnale di riferimento è esterno con una frequenza di 24Mhz. La frequenza dei segnali prodotti dai DPLL è data dalla seguente relazione:



$$f_{\text{dck\_2}} = 4 \cdot f_{\text{ref}} \cdot \frac{MF_I + MF_N/MF_D}{PDF}$$

**Figura 3.4**

dove  $f_{\text{ref}}$  è la frequenza di riferimento in ingresso al PLL;  $MF_I$  è la parte intera del Fattore Moltiplicativo mentre  $MF_N$  ed  $MF_D$  sono il numeratore ed il denominatore della sua parte frazionaria. Infine PDF è il fattore di predivisione.

I DPLL possono lavorare in due modi diversi: Frequency Only Lock Mode e Phase Lock Mode. Dal nome si capisce che nel primo l'unico parametro controllato tra il clock di riferimento e quello prodotto è la frequenza, quindi si cerca di avere un piccolissimo jitter di frequenza. Nel secondo modo di funzionamento invece è la fase il parametro da tenere sotto controllo mentre la frequenza ha meno importanza.

Questi due modi di funzionamento servono appunto nelle applicazioni in cui è più importante un corretto aggancio in frequenza piuttosto che in fase o viceversa. Il FOLM è utilizzato in molti processori stand-alone (indipendenti e autonomi) e nelle applicazioni asincrone per multi-processori, il PLM invece è utile nelle applicazioni sincrone e nei convertitori D/A, A/D.

La comunicazione tra i DPLL ed il CCM avviene tramite un ulteriore modulo che si chiama CCM/DPLL-IP. Esso contiene un registro di controllo ed interfaccia i DPLL anche con altri co-processori e DSP contenuti nel microprocessore.

## 4 - Il Companion Chip MC13892

### 4.1 - Descrizione generale

Un companion chip è un circuito integrato che viene costruito per affiancare un microprocessore e semplificarne le operazioni di interfacciamento. Il chip si occupa di produrre le corrette alimentazioni per il processore, nonché le alimentazioni ed i controlli per eventuali periferiche, quali quelle video, audio, touch-screen ed altre generiche.

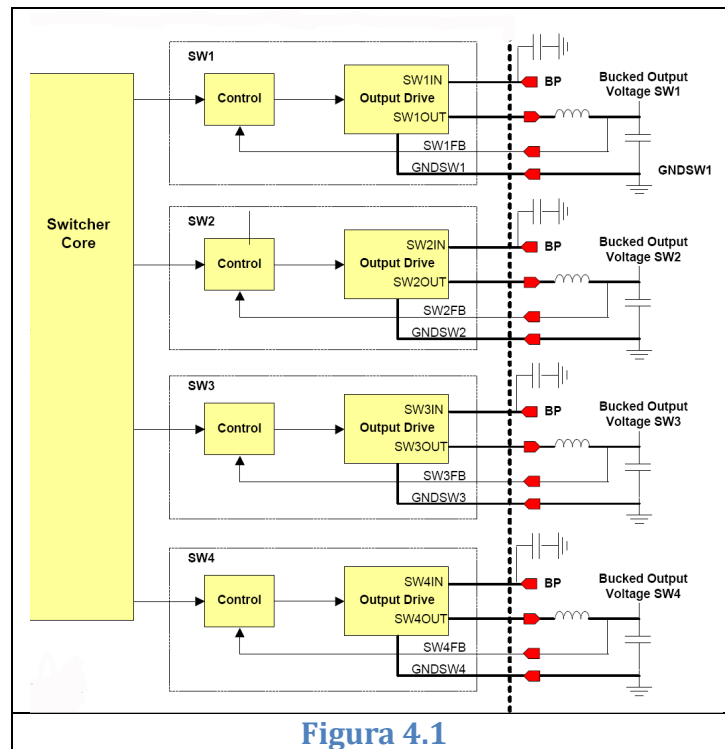
E' difficile che i progettisti, nell'interfacciare un processore, scelgano di non usare il companion chip quando questo è disponibile. Infatti utilizzandolo il progetto risulta semplificato e ci si risparmiano un bel po' di studi su quale sia la migliore circuiteria da porre attorno al micro stesso. Ad ogni modo la scelta di usarlo o meno è sempre data, oltre che da fattori di praticità, anche da fattori di economicità. Si tratta infatti di un ulteriore integrato che su una scheda come quella di Si14 andrà ad incidere sul costo totale, il quale dovrà essere mantenuto il più basso possibile, senza andare però a far diminuire la qualità del prodotto.

Nel nostro caso si è scelto di montare il MC13892 non solo per la complessità dell'MX51, ma anche per avere meno problemi a livello di software nella fase di sviluppo dei driver.

### 4.2 - Alcuni blocchi del companion chip

Convertitori buck: ci sono 4 convertitori buck (figura 4.1) dotati di interruttori di potenza integrati che chiameremo SW1, SW2, SW3 e SW4. In una tipica connessione tra il chip in esame ed il processore i primi due sono utilizzati per le alimentazioni del core, che sono generalmente più basse della tensione di alimentazione dell'intero apparato. SW3 è invece usato per alimentare le memorie interne del processore mentre SW4 viene usato dalle memorie esterne, infatti anche nel modulo finale andrà ad alimentare i banchi di RAM. SW3 e SW4 potranno far funzionare anche altri dispositivi che lavorino alla stessa tensione. Le caratteristiche elettriche dei quattro buck verranno viste in dettaglio successivamente.

Battery management: il MC13892 può essere configurato per lavorare mediante una batteria ed essere comunque pronto a ricevere un'alimentazione esterna se la batteria stessa viene a mancare o è troppo scarica. Tale configurazione è data da tre transistor e da un resistore di shunt poiché gran parte del lavoro viene fatta internamente al chip. Dettagli come questo fanno notare come l'utilizzo del companion chip porti a miglioramenti circuitali di livello elevato, con uno "sforzo" minimo perché fondamentalmente quasi tutto il lavoro lo fa l'integrato stesso, da solo.



Convertitore boost: è un unico convertitore che fornisce in uscita una tensione fissa di 5V. Il companion chip necessita di un quarzo esterno a 32768 Hz il quale andrà a comandare un PLL interno al chip per la generazione di tutti i clock corretti. L'interruttore di questo boost lavora a circa i 2/3 della frequenza prodotta da tale PLL.

Altri elementi dell'MC13892: il companion chip è poi dotato di vari alimentatori specifici per alcune periferiche come il fisico USB, eventuali decoder audio, videocamere, ecc. Ci sono poi tre regolatori per scopi generici che possono fornire 200, 350 e 50mA. Se si volesse aumentare questo valore di corrente si dovrebbero collegare ai regolatori stessi dei transistor PNP, necessari per evitare un'eccessivo consumo di potenza da parte del chip stesso. Per quanto riguarda le tensioni di questi tre regolatori, esse sono configurabili via software (1.20, 1.50, 1.60, 1.80, 2.70, 2.80, 3.00 e 3.15V) permettendo una buona adattabilità complessiva dell'intero chip. Esso è anche dotato di appositi moduli per essere collegato con altri chip tramite SPI o I<sup>2</sup>C (due protocolli di comunicazione che verranno spiegati successivamente) ed ha pure l'interfacciamento per eventuali touchscreen resistivi, quindi due pin per le coordinate di X ed altri due per le coordinate di Y.

## 5 - Progettazione del modulo

### 5.1 - L'i.MX51 negli schemi elettrici

Nello sviluppo dello schematico il microprocessore è stato suddiviso in cinque blocchi funzionali, differenti appunto per le funzioni che svolgono visto che ogni blocco contiene una certa porzione di pin.

*Blocco Power:* contenente tutti i collegamenti alle *power rail* del processore. Una power rail è una rete a tensione costante che scorre internamente all'i.MX51 e porta tale potenziale a tutti i punti che ne hanno bisogno. Le caratteristiche elettriche delle power rails si trovano nel data sheet del processore, eccone un esempio:

Symbol	Parameter	Minimum <sup>1</sup>	Nominal <sup>2</sup>	Maximum <sup>1</sup>	Unit
NVCC_EMI NVCC_PER5 NVCC_PER10 NVCC_PER11 NVCC_PER12 NVCC_PER13 NVCC_PER14	GPIO EMI Supply and additional digital power supplies.	1.65	1.875 or 2.775	3.1	V

Figura 5.1

Si vedono sette power rails diverse, una relativa all'alimentazione delle porte GPIO EMI e le altre sei che sono alimentazioni digitali addizionali. Tutte accomunate dai livelli di tensione che "trasportano", 1.65V come valore minimo, 3.1V come valore massimo e due valori nominali di 1.875V o 2.775V. Seguendo indicazioni come questa si andranno a collegare i vari pin che rappresentano ciascuna power rail al corretto potenziale, che può essere fornito esternamente o, nel caso del modulo in oggetto, proviene dal companion chip.

Sempre nel blocco Power si troveranno tutte le masse del processore che verranno quindi collegate al potenziale di riferimento dell'intera board.

Tornando al cablaggio delle power rails, queste non possono essere collegate direttamente alle rispettive tensioni, c'è invece bisogno di uno o più filtri. Di conseguenza tra l'alimentazione e massa vengono connessi più condensatori in parallelo. Ne vengono presi sia di dimensioni irrisorie (ca. 100nF) che di dimensioni relativamente grandi (10uF) ed il loro scopo è duplice. I più piccoli fanno effettivamente da filtro cortocircuitando a massa eventuali disturbi ad alta frequenza e mantenendo il più "pulita" possibile l'alimentazione. Quelli più grossi invece si comportano come dei serbatoi di carica, la quale può essere fornita al microprocessore nella fase di accensione, come supporto alle alimentazioni, come ulteriore fonte di energia. Questi

ultimi, detti anche condensatori Tank non vanno collegati a tutte le power rails ma solo a quelle più onerose dal punto di vista energetico, come ad esempio quelle del core. I piccoli condensatori di filtro invece vanno messi pressoché su ogni singola alimentazione.

Il companion chip fornisce le alimentazioni per i PLL che generano il clock del processore, ma tali alimentazioni sono di tipo analogico mentre le power rails sono digitali. C'è quindi bisogno di dividere tensioni analogiche e tensioni digitali mediante un pezzetto di ferrite che è infatti stata inserita per filtrare i disturbi che inevitabilmente la grandezza analogica presenta. Se in parallelo alla ferrite si pone anche un condensatore, si ottiene un filtro. La ferrite infatti aumenta la propria resistenza in modo proporzionale alla frequenza del segnale che la attraversa. Quindi eventuali componenti armoniche ad alta frequenza si ritroveranno a finire in un filtro R-C che è appunto un passa-basso e la loro ampiezza verrà attenuata. In particolare la ferrite utilizzata nel modulo ha un'impedenza tipica di  $120\Omega$  a 100MHz che scende a circa  $500m\Omega$  in DC.

*Blocco Memory Interface:* qui troviamo i pin relativi alle memorie esterne in particolare la RAM ed una flash a NAND. E' un blocco molto esteso dove sono stati posti i 32 bit del Data Bus della RAM, i 15 bit dell'Address Bus, i due Chip Select e tutti i bit per la lettura e la scrittura dei banchi di RAM. Stessa cosa per la NAND che invece presenta 16 bit nell'Address Bus dei quali ne sono stati collegati solo 8. Tutti gli altri sono stati usati in un altro modo grazie al Pin Multiplexing, alcuni come GPIO e alcuni come bit di comando che vanno al PHY Ethernet. Tra i rimanenti pin della Memory Interface alcuni sono di controllo per la NAND, altri vanno al PHY Ethernet e altri sono stati impostati come GPIO.

*Blocco Control Pins:* lo dice già il nome, in questo blocco i pin sono per il controllo dell'MX51 infatti troviamo i collegamenti con gli oscillatori esterni, in particolare un quarzo da 24 MHz che è lo stesso di cui si è parlato nel paragrafo 3.4 e che fa funzionare i PLL. Sono presenti anche il reset del processore che è attivo basso, una decina di porte GPIO, tutti i pin utili al J-tag e infine il Boot Mode. Quest'ultimo consiste di due bit che, se posti a VDD o a GND permettono di ottenere quattro diverse combinazioni di Boot, cioè quattro diversi modi per il processore di avviare l'apparato cercando il sistema operativo. Senza addentrarsi nei dettagli dei Boot Mode, nel caso del nostro modulo i due pin sono stati collegati a GND mediante due resistori di pull-down (di  $10\text{ K}\Omega$ , che è una misura standard). Ciò permette il Boot direttamente dalla ROM del processore. Per non rendere questa scelta l'unica disponibile, nello schematico sono stati inseriti altri due resistori di pull-up collegati a VDD e

contraddistinti dalla sigla NP, Not Place. Fisicamente questi due resistori non verranno montati sul PCB ma rimarrà comunque lo spazio per un loro eventuale inserimento nel circuito se dovesse essere necessario cambiare il Boot Mode. Un'altra possibilità sarebbe data dal montaggio diretto dei quattro resistori inserendo nel circuito quattro jumper che permetterebbero la scelta del Boot Mode in modo più rapido e comodo. Evitando di dover saldare e dissaldare più volte resistori della dimensione di 0.04" × 0.02" (1.0 mm × 0.5 mm).

*Blocchi IPU e MISC:* nel blocco IPU sono stati inseriti tutti i pin relativi all'acquisizione ed alla produzione di segnali video. Troviamo quindi due gruppi di bit delle due Camera Sensor Interface con i loro bit di dati, di sincronizzazione verticale ed orizzontale e di clock. Sempre in due gruppi sono divisi i pin per il controllo di due diversi display, con Data Bus rispettivamente di 24 e 16 bit. I primi sono inviati al connettore principale della board mentre i secondi andranno al connettore secondario (non si prevede la necessità da parte dei clienti di usare sempre due display contemporaneamente).

L'ultimo blocco, MISCELLANEUS, è dotato di tutti i pin del processore che permettono un accesso a periferica. Infatti vi troviamo i controlli per l'USB, per le due schede SD, l'UART, l'I2C, i bit per il controllo di un tastierino numerico a matrice e le tre uscite RGB che vanno direttamente al connettore principale.

## 5.2 - L'accensione di un microprocessore

Una delle fasi più delicate ed importanti nel funzionamento di un processore è il suo avvio, sia dal punto di vista elettrico che da quello del software.

A livello elettrico una CPU nell'accendersi segue una *Power Up Sequence* che consiste nell'avvio sincronizzato ed in sequenza dei vari blocchi che la compongono. Vengono fatti partire prima i blocchi a tensione più elevata e poi gli altri mano a mano che la tensione scende. Nella scheda dell'i.MX51 è il companion chip ad occuparsi di questo infatti i suoi convertitori DC-DC, ai quali è connesso il processore, non vengono accesi tutti contemporaneamente ma seguono un ordine. L'ordine stesso che i tecnici Freescale hanno deciso durante la fase di progetto della CPU ed ecco quindi un altro motivo per cui conviene utilizzare il companion chip. In sua assenza si sarebbe dovuta conoscere perfettamente la *Power Up Sequence* dell'MX51, progettare i convertitori affinché fornissero le grandezze elettriche corrette ed infine programmare un ulteriore micro-controllore per gestire la temporizzazione dei vari buck e boost. Si tratta di un lavoro in più non indifferente il cui costo totale probabilmente non è di molto inferiore a quello degli MC13892.

Uno degli schematici del progetto, dal titolo Boot Configuration Sel, contiene una serie di resistori di pull-up e di pull-down connessi ad alcuni pin fondamentali del processore. Questi ultimi sfruttano di nuovo il Pin Multiplexing ed all'accensione sono degli Input per la CPU, che trovando dei valori alti o bassi di tensione, setta i parametri iniziali del sistema, come ad esempio quelli della NAND da cui l'MX51 puo' fare il boot. Nella fase successiva quegli stessi pin assumono altri significati in base a cio' che il progettista decide ma bisogna porre attenzione al valore dei resistori citati prima. Se i pin dopo l'avvio vengono configurati come output (digitali con escursione di 1.8V o 2V775) essi saranno da considerare in parallelo all'impedenza d'ingresso di un generico carico (nel caso di pull down).

Un esempio: collegando quei pin ad un display RGB con impedenza di ingresso di 47k $\Omega$ , se i valori delle resistenze di pull down sono di 1k $\Omega$  abbiamo un carico visto dal pin d'uscita dell'i.MX51 di 979 $\Omega$ . Quando il livello logico è alto circola una corrente di 2.83mA per linea e con 18 bit RGB (6R+6G+6B) abbiamo 51mA con una potenza dissipata di 141.6mW. Non è una potenza grandissima ma è sprecata in un dispositivo nato per il settore mobile multimediale. Preferendo quindi evitare di spendere cosi' tanto in termini di energia, si devono porre resistori di pull up e pull down piu' grandi. Se si sale di un ordine di grandezza e si prendono quindi 10k $\Omega$ , il carico risulta di 8,24k $\Omega$  e la corrente di ogni linea durante un livello alto vale 336 $\mu$ A. Sempre ipotizzando di collegare un display RGB la potenza dissipata risulta quindi di circa 17mW, valore decisamente piu' basso di quello precedente.

Il valore di queste resistenze nel progetto in questione e' stato preso proprio di 10k $\Omega$  sulla base delle osservazioni appena fatte.

Dal punto di vista del software invece l'accensione avviene in modo normale, come in qualunque PC o sistema a micro-processore. Inizialmente la CPU rimane ferma in una condizione di RESET forzato durante il quale avviene la Power Up Sequence. Una volta che tutte le tensioni sono corrette, il RESET si disinserisce ed il processore carica la sua prima istruzione che è contenuta in uno spazio di memoria non volatile, una ROM. Nella board per l'i.MX51 verranno infatti montate una memoria flash a Nand da 16Mbit e lo slot fisico per una scheda Secure Digital in modo che, volendo, sia possibile far partire il sistema da più unità di memoria. La prima istruzione è generalmente un salto incondizionato verso la locazione di memoria che permette l'inizio del programma vero e proprio, cioè il BIOS:

*Il Basic Input-Output System o BIOS è un insieme di routine software, generalmente scritte su ROM, FLASH o altra memoria RAM non volatile, che fornisce una serie di funzioni di base per l'accesso all'hardware e alle periferiche integrate nella scheda madre da parte del sistema operativo e dei programmi.*

Scritto in Assembly, il BIOS effettua controlli sull'hardware di sistema e cerca nelle memorie collegate un sistema operativo con cui far partire la macchina al quale, una volta trovato, viene passato il controllo dell'intero apparato. Il compito degli informatici di Si14 una volta completato fisicamente il modulo sarà quello di scrivere un BIOS tramite il quale l'i.MX51 possa accendersi, configurare le proprie periferiche ed infine trovare un sistema operativo che lo gestisca, che potrebbe ad esempio essere caricato in una SD.

### 5.3 – Gli induttori dei convertitori DC-DC

Nel paragrafo 4.2 si è parlato dei convertitori DC-DC presenti nel companion chip. Ma analizziamoli più nel dettaglio prendendo in considerazione il primo buck.

Leggendo il data-sheet si trova che la tensione di uscita di questo convertitore è programmabile tramite SPI e varia da 0,6V a 1,375V con un passo di quantizzazione di 25mV. La corrente di uscita massima vale 1,05A mentre la tensione di ingresso è la stessa che alimenta il chip, quindi vale 5V. Sempre nel data sheet si legge che:

*The buck converters permit a 100% duty cycle operation.*

Ciò significa che per tutti i quattro convertitori step down si potrebbe raggiungere un duty cycle pari ad 1. Ovviamente non è così per il progetto in questione ed i dati che sono stati trovati finora servono per cercare di stabilire quale sarà la frequenza di switching alla quale lavorerà il buck.

Durante la fase di OFF la tensione ai capi dell'induttore è pari a  $-U_o$ , cioè a quella d'uscita del convertitore cambiata di segno. Dalle relazioni sull'induttore si ricava quindi che la corrente in quella fase è:  $i_L(t) = I_{L\max} - U_o / L * t_{OFF}$ , relativa al funzionamento CCM. Ipotizzando un ripple sulla corrente di uscita del 20% e dato che tale ripple è pari ad  $U_o / L * t_{OFF}$  si ottiene:

$$\Delta I_L = 1,05 * 0,2 = 210\text{mA} \quad \rightarrow \quad \Delta I_L = U_o / L * t_{OFF} = [U_o * (1 - \rho)] / [L * f_s]$$

$$\text{da cui} \quad f_s = [U_o * (1 - \rho)] / [L * \Delta I_L].$$

Il valore di L si ricava dagli schematici dell'evaluation board del processore e vale 1,5 $\mu$ H.

Il duty cycle è dato dal rapporto tra la tensione d'ingresso e quella d'uscita. In particolare, volendo calcolare la  $f_s$  massima, si deve massimizzare il numeratore della funzione che significa considerare il duty cycle minimo, che a sua volta deve essere dato dalla tensione di uscita minima. Si ottiene così il seguente valore:  $\rho_{\min} = U_{o\min} / U_i = 0,12$  da cui si arriva alla frequenza di switching:

$$f_{S\text{MAX}} = [1,375 * (1 - 0,12)] / [1,5 * 10^{-6} * 0,21] = 3,84 \text{ MHz}$$

Ipotizzando poi che il buck fornisca la sua tensione d'uscita massima, troviamo un nuovo



valore del duty cycle:

$$\rho = 5 / 1,375 = 0,275 \text{ che porta ad } f_s = 3,16 \text{ MHz.}$$

In entrambi i casi si tratta di frequenze molto elevate alle quali l'induttore, che concretamente è un filo, diventa un'antenna a radio-frequenza. Le conseguenze di ciò sono forti irradiazioni di onde elettromagnetiche dannose agli apparati che lo circondano ed è per questo motivo che i tecnici Freescale hanno scelto degli induttori schermati per l'evaluation board, i quali andranno necessariamente usati anche nella board di questo progetto. L'unico modo per evitare di usare questi componenti sarebbe quello di non utilizzare il companion chip ma si è visto in precedenza come questo sia poco conveniente.

Si è parlato solo del primo buck ma la situazione è identica anche negli altri tre abbassatori di tensione e pure nel boost.

I calcoli appena svolti sono abbastanza realistici in quanto l'unica ipotesi fatta è quella sul ripple della corrente d'uscita, che comunque non è "pericoloso" quanto un elevato ripple sulla tensione d'uscita (i microprocessori necessitano di una tensione di alimentazione molto stabile). Lasciando infatti la  $\Delta I_L$  al 20% si può utilizzare il corrispondente valore di  $f_s$  per il calcolo della variazione della tensione d'uscita. Il valore di  $C$ , 22  $\mu\text{F}$ , è di nuovo preso dagli schematici dell'evaluation board e viene considerata la frequenza minima per massimizzare il risultato:

$$\Delta U_o = \Delta I_L / (8 * C * f_s) = 0,210 / (8 * 22 * 10^{-6} * 3,16 * 10^6) = 377 \mu\text{V}$$

Ciò significa che l'uscita del buck è praticamente fissa come era prevedibile da:

- dimensioni di  $C$  il quale è relativamente grande, il che significa un miglior mantenimento della carica durante la fase di OFF del convertitore; si ricorda che  $C$  è in parallelo con l'uscita del convertitore ed elimina l'ondulazione di tensione, i 377  $\mu\text{V}$  appunto;
- valore elevatissimo della frequenza di switching che permette di avere un periodo di commutazione molto breve. In termini pratici si ha un condensatore da 22  $\mu\text{F}$  che, nel caso peggiore, deve mantenere la propria carica per solo:

$$t_{\text{OFF MAX}} = (1 - \rho_{\text{MIN}}) / (f_{s \text{ MIN}}) = (1 - 0,275) / (3,16 * 10^6) = 230 \text{ ns}$$

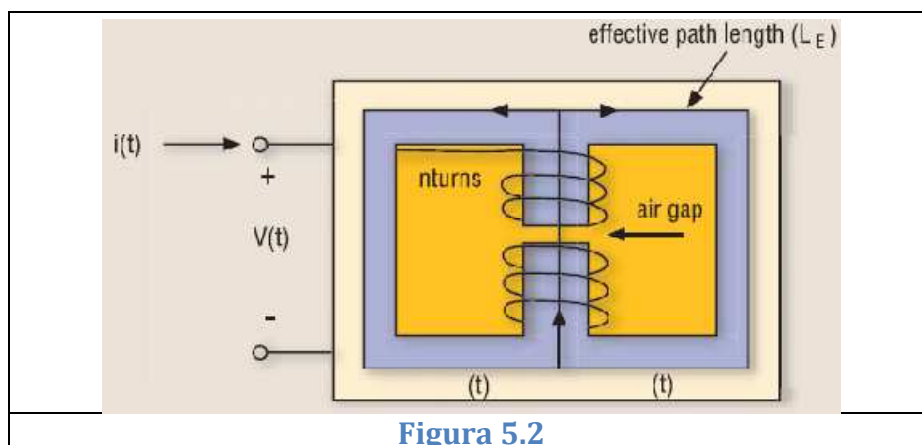
Ricapitolando, i valori di  $L$  e di  $C$  del buck (ma anche degli altri convertitori) non sono stati calcolati in quanto sono stati presi identici a quelli presenti sull'evaluation board. Però comunque è stato necessario analizzare le loro caratteristiche per evitare di fare errori grossolani. Ad esempio, se non si fossero valutate le frequenze di switching, probabilmente non si sarebbero presi degli "Shielded Inductors" (nel data-sheet del companion chip non sono

specificate la frequenza di switching dei convertitori) con conseguenti problemi di compatibilità elettromagnetica che tra l'altro non sono così rapidi da scovare.

A questo punto del progetto si è cercato di capire se gli induttori richiesti erano effettivamente reperibili. La scelta migliore sarebbe stata quella di utilizzare esattamente gli stessi usati nell'evaluation board ma ci si sarebbe trovati con tre marche diverse per cinque induttori in totale. Questa soluzione oltre ad essere "scomoda" è anche anti-economica visto che ordinando tutti i componenti allo stesso produttore si potrebbe spuntare un prezzo unitario più vantaggioso. Würth Elektronik è partner di Si14 quindi si è provveduto a scegliere degli induttori prodotti da questa casa. Rimane infine un'altra questione da affrontare, l'elevata frequenza di switching non produce solamente problemi di compatibilità elettromagnetica, ma anche elevati consumi di potenza. Alcune perdite legate agli induttori sono dipendenti dalla frequenza di lavoro che ne provoca quindi un surriscaldamento. Tali perdite andrebbero valutate in modo realistico in virtù del fatto che il funzionamento della board dovrà essere garantito nel range industriale di temperature,  $-40^{\circ} : +85^{\circ} \text{C}$  (le board saranno fisicamente messe in un congelatore ed in un forno per effettuare questi test), ed un surriscaldamento eccessivo del componente dovuto all'alta frequenza lo farebbe vibrare fino a farlo staccare completamente dal PCB.

#### 5.4 – Le perdite sugli induttori

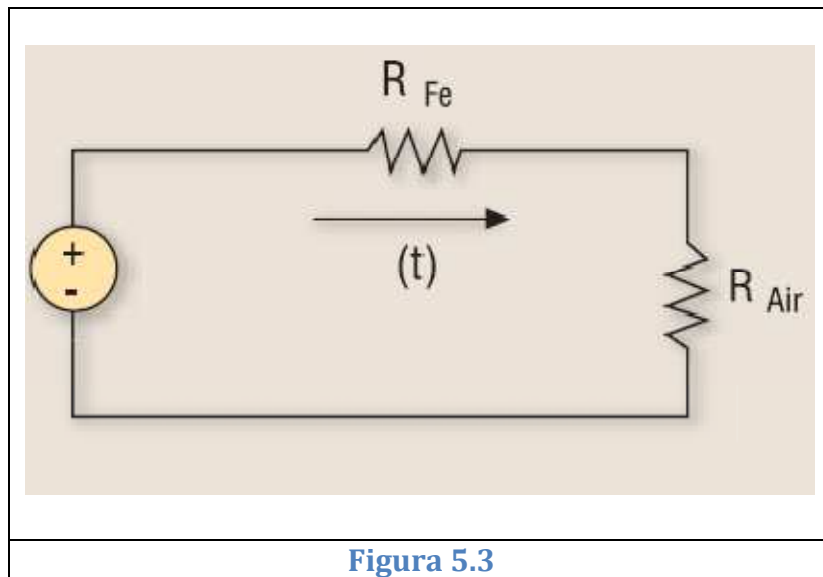
Innanzitutto, un induttore è costituito da un filo avvolto attorno ad un nucleo di ferrite che include una porzione di aria:



E' definito come un "Energy-Storage device", infatti se inserito in un circuito switching, accumula energia in un campo magnetico durante la fase di On dell'alimentazione e la rilascia al carico durante la fase di Off. Un circuito elettrico equivalente molto semplice è quello di

figura 5.3 dove le due resistenze sono legate alle riluttanze della ferrite e dell'aria. Si ricorda che la riluttanza misura l'opposizione di un materiale al transito di un flusso magnetico e in figura abbiamo la serie di un elemento a bassa riluttanza (ferrite) con uno ad alta riluttanza (aria).

L'alta permeabilità magnetica (reciproco della riluttanza) della ferrite permette di vincolare il flusso magnetico dentro il nucleo dell'induttore riducendone le dispersioni nell'air gap circostante.



In un buck o in un boost durante la fase di On lo switch applica una tensione  $V_{in}$  attraverso l'induttore facendo crescere la sua corrente secondo la relazione di figura 5.4 .

Tale variazione di corrente induce una variazione della densità del campo magnetico  $(H(t))$  nel nucleo in accordo con la legge di Ampere, figura 5.6, e lo stesso dicasi per il flusso magnetico  $(\Phi(t))$ , figura 5.7 . La legge di Ampere può essere riscritta nei termini di un'altra importante grandezza che è l'induzione magnetica  $(B(t))$ , figura 5.5. Successivamente nel momento in cui l'interruttore viene aperto, la  $V_{in}$  viene rimossa facendo diminuire la corrente, la densità del campo ed il flusso magnetico.

$\frac{di(t)}{dt} = \frac{V_{IN}}{L}$	$\frac{dB(t)}{dt} = \frac{n}{A \cdot \mathfrak{R}} \cdot \frac{di(t)}{dt}$
<b>Figura 5.4</b>	<b>Figura 5.5</b>

$\frac{dH(t)}{dt} = \frac{n}{l_E} \cdot \frac{di(t)}{dt}$	$\frac{d\Phi}{dt} = \frac{n}{\mathcal{R}} \cdot \frac{di(t)}{dt}$
<b>Figura 5.6</b>	<b>Figura 5.7</b>

Mettendo in relazione la densità del campo magnetico e l'induzione magnetica (B (t) in funzione di H (t) ) si può evidenziare il fenomeno dell'isteresi. Infatti se si aumenta la densità del campo magnetico fino ad un valore di saturazione dell'induzione magnetica (da cui si vede che la caratteristica non è lineare) e poi lo si porta a zero, il materiale mantiene un valore di B(t) permanente in assenza di H (t), ovvero rimane magnetizzato. Invertendo la direzione dell'induzione, il campo residuo contrasta il campo inducente e per un preciso valore di H(t), detto campo coercitivo, l'induzione si annulla. Superato questo punto il flusso inizia a salire nella direzione del campo inducente fino a giungere di nuovo a saturazione. Ripercorrendo il ciclo in senso opposto il fenomeno si manifesta specularmente.

In un induttore troviamo due tipi di perdite, quelle dovute alla ferrite e quelle sugli avvolgimenti.

*Perdite nel core:* la perdita di energia dovuta al cambiamento del campo magnetico durante un ciclo di switching è pari alla differenza tra l'energia assorbita dal core durante la fase di ON e quella estratta dallo stesso core durante la fase di OFF. L'energia totale in un periodo è data da:

$E_T = \int_0^T v(t) \cdot i(t) dt$
<b>Figura 5.8</b>

Nella quale possiamo inserire le leggi di Ampere e Faraday (figure 5.9 e 5.10) ed ottenere la relazione in figura 5.11:

$i(t) = H(t) \cdot \frac{l_E}{n}$	$v(t) = n \cdot A \cdot \frac{dB(t)}{dt}$	$E_T = A \cdot l_E \int H \cdot dB$
<b>Figura 5.9</b>	<b>Figura 5.10</b>	<b>Figura 5.11</b>

Dove A è la sezione del core mentre l<sub>E</sub> è la sua lunghezza. Dalla formula si nota che l'energia totale persa è pari all'area contenuta nella curva che rappresenta il ciclo di isteresi (in

particolare all'area del primo quadrante poiché nei buck e nei boost circolano correnti positive) moltiplicata per il volume del core stesso. Effettuando il prodotto tra tale energia e la frequenza di switching si ottiene la potenza totale che è stata dissipata sul nucleo.

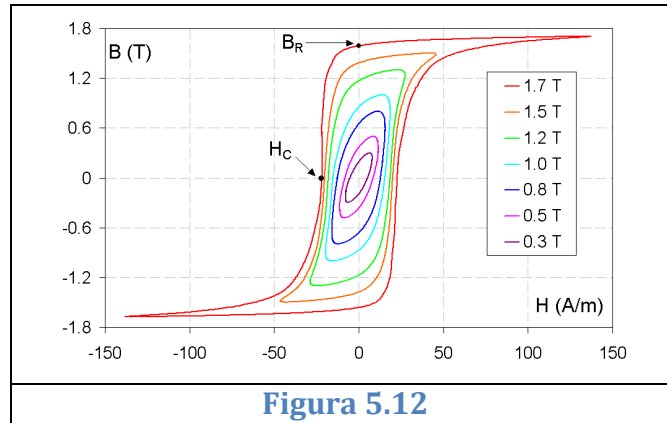


Figura 5.12

Oltre alle perdite per isteresi su un nucleo magnetico troviamo perdite dovute alle correnti di eddy, più conosciute come correnti di Foucault. Esse vengono indotte nel nucleo se questo si trova immerso in un flusso magnetico variabile  $d\Phi(t)/dt$  e seguono la legge di Lenz:

*Il verso delle correnti indotte è tale da generare un campo magnetico che si oppone alla variazione del flusso del campo magnetico concatenato con il circuito.*

Quindi contrastano il flusso originario e scorrendo nel core producono una dissipazione di potenza pari a  $R I^2$  o  $V^2 / R$  dove R è caratteristica del materiale scelto.

Generalmente le perdite legate alle correnti di Foucault sono molto più basse di quelle per isteresi anche se i costruttori di nuclei magnetici le considerano entrambe nelle loro stime.

Nella figura 5.13 si riporta un grafico generico che mostra l'andamento delle perdite nel nucleo in funzione dell'induzione magnetica. Si vedono più curve, ognuna delle quali indica una frequenza di switching diversa:

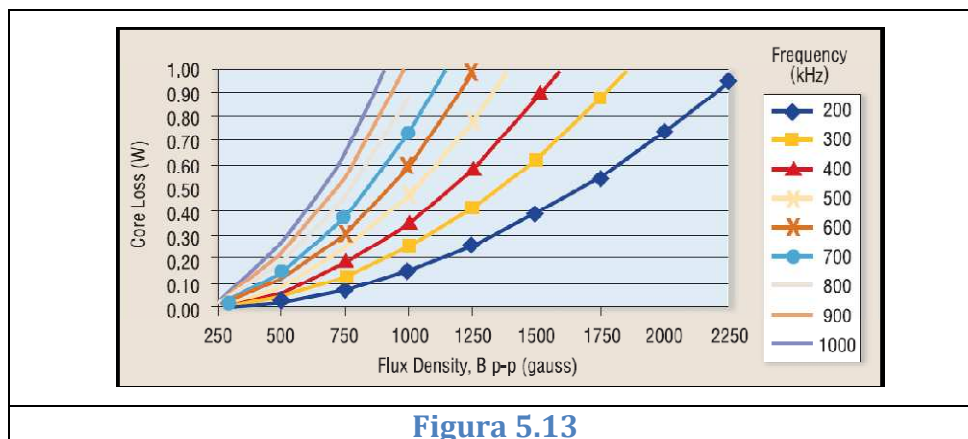


Figura 5.13

ed è possibile osservare come un'alta frequenza (curva che indica 1 MHz) produca anche 4 volte il consumo di potenza che si avrebbe a 300kHz, a parità di induzione magnetica.

*Perdite negli avvolgimenti:* le perdite in un induttore non avvengono solo nel nucleo ma anche negli avvolgimenti e queste sono legate a due parametri resistivi propri del filo considerato, chiamati  $R_{DC}$  e  $R_{AC}$ . Il primo indica la resistenza degli avvolgimenti stessi e, se moltiplicato per il valore efficace della corrente ( $R_{DC} I^2_{RMS}$ ) da la porzione di perdite cercata.

La grandezza "Resistenza" è data dalla nota relazione  $R = \rho ( l / A )$ , cioè dalla resistività del materiale utilizzato moltiplicata per il rapporto tra la sua lunghezza e l'area della sua sezione. Poiché se parliamo di un avvolgimento in rame, la resistività vale  $1,724 * 10^{-8} (1 + 0,0042 (T^{\circ}C - 20^{\circ}C)) \Omega m$ , le perdite in DC possono sembrare irriskorie ma negli induttori per basse potenze la sezione degli avvolgimenti è molto piccola e produce una  $R_{DC}$  considerevole. Lo stesso vale per gli induttori di potenza dove però il fattore che fa aumentare la resistenza non è più la sezione del filo ma la sua lunghezza, visto che questi componenti hanno un elevato numero di avvolgimenti.

Sempre con riferimento al parametro  $R_{DC}$ , negli avvolgimenti le perdite aumentano con la frequenza della corrente, analogamente a quanto accadeva per il nucleo di ferrite. Infatti una corrente di tipo alternato aumenta la resistenza DC mediante un fenomeno chiamato "effetto pelle". L'alta frequenza induce sul filo un flusso magnetico variabile perpendicolare alla corrente inducente stessa, e in accordo con la legge di Lenz, provoca delle correnti di Foucault nel conduttore. Queste hanno una polarità inversa rispetto a quella che le ha generate e di conseguenza anche il loro flusso si oppone a quello iniziale. Tale flusso inverso è più forte nel centro del filo e più debole nella parte esterna quindi all'aumentare della frequenza, la densità di corrente al centro del filo diminuisce e cresce in prossimità della superficie.

Ciò è interpretabile come una *diminuzione della sezione effettiva del conduttore* in cui scorre la corrente ed avviene senza che la resistività del materiale subisca variazioni provocando un aumento della  $R_{DC}$  finale.

Per quanto riguarda il secondo dei due parametri citati precedentemente, la  $R_{AC}$ , essa è legata alla *penetration depth* cioè alla profondità del conduttore in cui scorre ancora corrente per una particolare frequenza. Per la precisione nel punto più profondo la densità di corrente diminuisce di  $1 / e$  volte rispetto al valore che ha sulla superficie o al valore che avrebbe in DC. Tale profondità è data dalla relazione:

$$D_{PEN} = \sqrt{\frac{\rho}{\pi \cdot \mu \cdot f}}$$

**Figura 5.14**

Dove  $\mu$  è la permeabilità del materiale ( $\mu = \mu_0 \mu_R$ , con  $\mu_0$  permeabilità del vuoto e  $\mu_R$  del rame, che vale circa 1). La  $R_{AC}$  provoca quindi perdite solo se l'induttore è attraversato da una corrente alternata, e questa è la tipica situazione che si trova nei buck e nei boost dove un po' di ripple sulla corrente prodotta c'è sempre. Per trovare il parametro c'è comunque bisogno di conoscere l'area della sezione di rame che effettivamente conduce ad una determinata frequenza. Ma tralasciando i dettagli si arriva a dire che il rapporto tra  $R_{AC}$  e  $R_{DC}$  equivale al rapporto tra due aree, quella del conduttore in se e quella di un anello del conduttore con uno spessore pari a  $D_{PEN}$ :

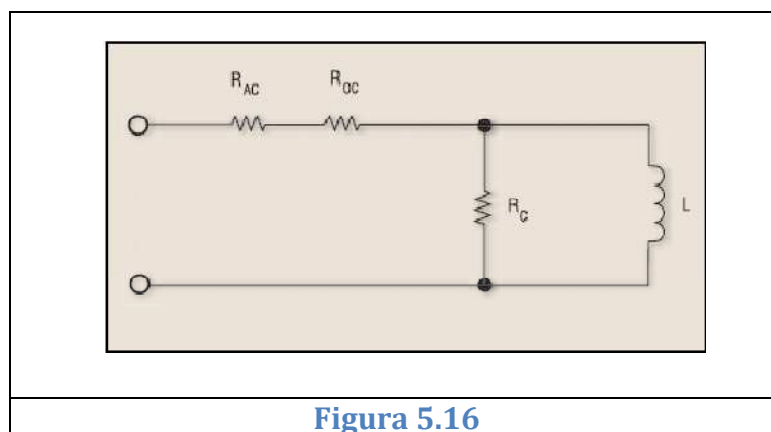
$$\frac{R_{AC}}{R_{DC}} = \frac{\pi \cdot r^2}{\pi \cdot r^2 - \pi (\cdot r - D_{PEN})^2}$$

**Figura 5.15**

A questo punto è possibile stimare le perdite totali utilizzando il modello equivalente di figura 5.16 dove troviamo la serie delle due  $R$  relative agli avvolgimenti in parallelo con la resistenza del core.

Le perdite complessive sono date da:

$$P_{RDC} + P_{RAC} + P_{CORE} = I_{DC}^2 R_{DC} + I_{ACRMS}^2 R_{AC} + P_{CORE}$$



Per quanto riguarda la potenza dissipata dal core, essa è generalmente indicata nei data-sheet con dei grafici, per usare i quali è necessario conoscere l'induzione magnetica che "investirà" la ferrite e il valore della frequenza di switching. Mentre per  $R_{AC}$  e  $R_{DC}$  c'è la necessità di conoscere il raggio degli avvolgimenti.

Purtroppo nei data-sheet dei componenti utilizzati non erano presenti queste informazioni. Non c'è alcuna informazione sul core ne tantomeno sul raggio degli avvolgimenti. L'unica cosa calcolabile è la *penetration depth* :

$$D_{PEN} = [ ( 1,724 * 10^{-8} ( 1 + 0,0042 ( 25^{\circ}C - 20^{\circ}C ) ) ) / ( \pi 1,256 * 10^{-6} 3,16 * 10^6 ) ] = 118 \mu m$$

Si è allora utilizzato un simulatore on-line della casa Coilcraft il quale ha fornito i seguenti risultati:

Frequency	IL rms max	$\Delta IL$ peak-peak
3840 kHz	Winding 1 1.05 Amps	0.21 Amps

Figura 5.17

Inductor 1			
LPD3015-152			
	Winding 1	Winding 2	Total
<u>Total inductor loss</u>	227	0	227 mW
<u>Inductor core loss</u>	2	0	2 mW
<u>DCR loss</u>	225	0	225 mW
<u>AC winding loss</u>	0	0	0 mW
<u>Temperature rise</u>			31 °C

Figura 5.18

Se li si volessero applicare agli induttori scelti (tenendo sempre presente che si sta parlando di componenti diversi tra loro ma con il medesimo funzionamento) si dovrebbe porre l'attenzione sull'incremento di temperatura. Il data-sheet infatti indica un range di funzionamento del componente che va da -40 a +125°C e se si considera di lavorare ad 85°C ci si trova con una temperatura di 116°C. L'induttore dovrebbe quindi lavorare ad una temperatura prossima a quella massima il che si traduce in un elevato stress termico ed in



una riduzione della sua vita effettiva.

Ad ogni modo prima di fare queste considerazioni c'è bisogno di capire per che cosa verrà usato il modulo e quindi se dovrà lavorare al massimo delle sue capacità o meno poiché la frequenza di switching rimarrà sempre elevata, ma la corrente richiesta al buck non sarà sempre quella massima e l'ambiente di lavoro potrebbe trovarsi a temperature ben più basse di 85°C.

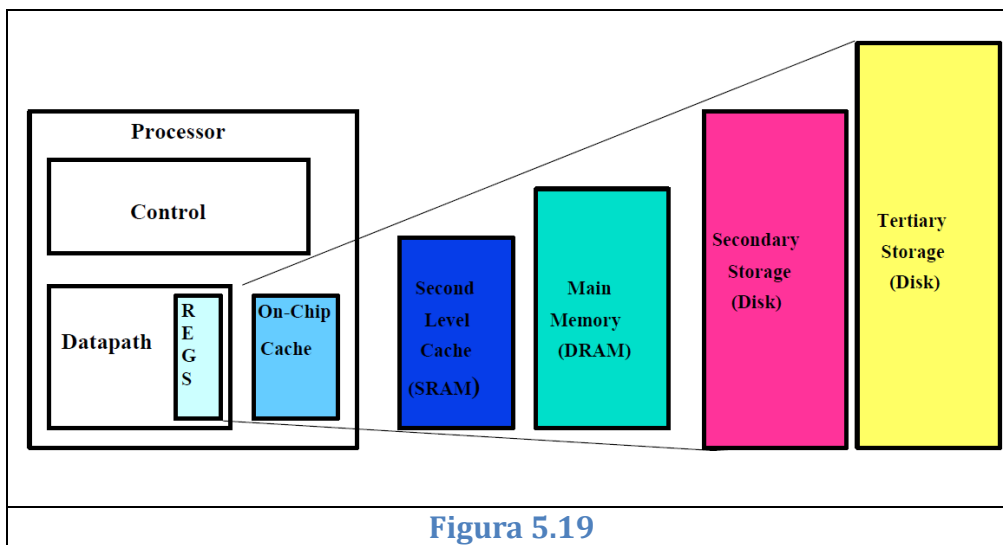
L'incremento di 31°C è relativamente basso e ciò è legato anche al fatto che le perdite totali sono inferiori al quarto di watt. Questi dati sono comunque indicativi e per avere la certezza che il componente scelto fosse affidabile, nonché per cercare di scoprire qualche dettaglio in più sul core e sugli avvolgimenti, si è contattato il Product Engineer di Würth Italia che si occupa di induttori, ferriti e affini. Il quale ha spiegato come alcune informazioni molto specifiche come il raggio degli avvolgimenti non vengono inserite nei data-sheet per motivi di riservatezza e perché ritenute superflue. Con il termine "superflue" si fa riferimento al comportamento pragmatico di molti progettisti che non svolgono pedantemente tutti i calcoli necessari a raggiungere un margine di sicurezza, ma invece affidano all'esperienza ed al naso i loro risultati. La cosa può essere opinabile ma ad ogni modo il responsabile Würth ha fornito un'indicazione scritta sulla qualità e l'affidabilità dei suoi prodotti nel caso fossero stati utilizzati per i convertitori DC/DC specifici del companion chip, ed a questo punto della spiegazione vista qualche riga fa rimane solo una nuvola di teoria dalla quale però il sottoscritto ha imparato parecchio su questo particolare componente, l'induttore, che durante il corso di laurea è stato studiato molto poco.

## 5.5 – Il collegamento di un banco di RAM ad un processore

Come spiegato in precedenza il modulo in oggetto è stato dotato di memoria RAM, come tutti i sistemi a microprocessore d'altronde. La memoria RAM si inserisce nel contesto informatico della *Gerarchia di Memoria* che è un principio secondo il quale le informazioni da elaborare possono essere suddivise in più tipologie di memoria ognuna con un suo grado di importanza in base alla frequenza con cui tali informazioni sono richieste dal processore. Si ha quindi un andamento gerarchico di tipo piramidale (si veda la figura 5.19) dove tale forma sta ad indicare che la memoria "più vicina" al processore ha anche delle dimensioni minori. Quest'ultima è la cache e se ne è parlato nella descrizione dell'i.MX51. Ai livelli inferiori si trovano la RAM e poi il disco rigido (o in generale le unità di memoria di massa) e per ogni livello la dimensione della memoria cresce di circa un ordine di grandezza.

Il modulo è stato dotato di quattro banchi di SRAM DDR2 per un totale di 4GB. La SRAM o

Static RAM è la memoria ad accesso casuale più rapida che esista con dei tempi di accesso tipicamente pari a 20ns. Essa è comunque costosa ed è in grado di memorizzare un quarto delle informazioni che potrebbero essere memorizzate nella Dynamic RAM. Il costo è dovuto al fatto che quest'ultima utilizza un singolo transistor per un bit mentre la SRAM ne impiega sei in ogni cella. Per questi motivi nei PC la Cache del processore, essendo di piccole dimensioni, è di tipo statico mentre la RAM, che è ben più grande, è di tipo dinamico e permette di risparmiare sul sistema complessivo.



Con la sigla DDR2 invece si intende un'evoluzione della tecnologia DDR1 consistente in un aumento della velocità di trasferimento dei dati da e verso l'unità di elaborazione. Tale incremento è ottenuto raddoppiando la frequenza di clock ed effettuando il trasferimento sia sui fronti di salita che su quelli di discesa del clock stesso.

Ciascun chip di RAM usato per la board ha 84 pin ed è di tipo BGA (come il processore). Negli schematici il collegamento è stato effettuato con il blocco *Memory Interface* nel modo che segue.

- 14 pin sono stati destinati al bus degli indirizzi;
- 16 pin sono stati destinati al bus dei dati;
- 16 pin sono relativi all'alimentazione a 1,8V;
- 1 pin è collegato ad una tensione di riferimento;
- altri 16 pin sono collegati a massa.

I rimanenti 21 pin sono quelli meno "banali" che permettono la gestione ed il controllo del banco di memoria. Due sono di tipo "Not Connected" mentre altri due di tipo "Reserved for

Future Use". Di questi ultimi, uno è stato mandato al quindicesimo e ultimo pin degli indirizzi del processore. Tale soluzione, essendo condivisa da tutti e quattro i chip di memoria, permetterà se necessario di espandere ancora di più la capacità della RAM. Poi sono stati collegati il clock ed il clock negato che lavorano in modo differenziale, nel senso che tutti i segnali di Input ed i vari comandi vengono campionati quando si incrociano il fronte di salita di CK e quello di discesa di CK#. I tre bit chiamati Bank Address Input indicano a quale banco si sta applicando un determinato comando e vanno quindi collegati tutti ai medesimi pin del microprocessore. Esiste poi un bit chiamato CKE, Clock Enable, che permette di abilitare o meno i circuiti che fanno passare il clock lungo il chip di memoria. Il Chip Select (il processore è dotato di CS0 e CS1, il primo abilita due banchi di RAM mentre il secondo abilita i rimanenti), gli Input-Data Mask, la On-die Termination ed i vari Data Strobe (Data Strobe, Data Strobe for Lower Byte, Data Strobe for Upper Byte, Redundant Data Strobe, lavorano tutti in modo differenziale) sono altri bit di Input e di I/O che permettono il controllo del banco di RAM da parte del microprocessore.

Rimangono i due pin RAS e CAS. La RAM è organizzata in righe e colonne alle quali si accede attraverso segnali elettrici chiamati appunto strobe. Quando un dato viene richiesto la CPU attiva la linea RAS (Row Access Strobe) per specificare in quale riga si trova il dato e subito dopo attiva la linea CAS (Column Access Strobe) che specifica la colonna. Poi il dato andrà verso la linea di uscita e raggiungerà la sua destinazione al successivo colpo di clock, in questo modo è come se il segnale CAS decidesse quanti colpi di clock deve aspettare la memoria prima di inviare il dato.

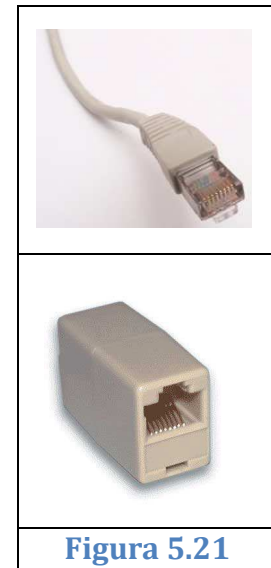
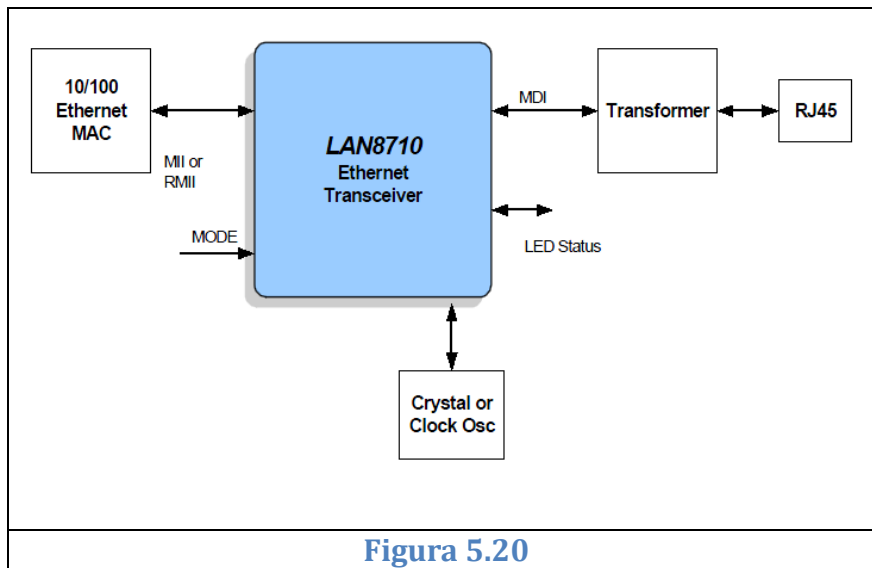
Come per la CPU, anche i chip di memoria RAM hanno bisogno di una tensione di alimentazione stabile, nonché necessitano di una buona dose di energia. Per questo motivo ai pin di VDD sono stati collegati di nuovo dei condensatori di filtro e dei condensatori di Tank.

I banchi sono stati collegati ad una tensione di 1,8V generata dal quarto buck del companion chip, che fornisce una corrente massima di 800mA. Poiché questo buck alimenta anche alcune Power Rail del processore, verso la fine del tirocinio era emersa l'ipotesi che fosse necessaria una fonte ausiliaria di energia e che quegli 800mA non bastassero ad alimentare una parte dell'i.MX51 ed i quattro chip di memoria contemporaneamente.

## 5.6 – Il PHY Ethernet

Si è detto all'inizio di questa relazione che il modulo deve prevedere un collegamento ethernet. Una tipica connessione prevede che il processore fornisca i segnali della connessione ad un circuito integrato detto "fisico ethernet" ( PHY sta per "Physical interface" ) che riduca

tali segnali in una serie di collegamenti più elementari, gli stessi che scorreranno poi nel mezzo trasmissivo a coppie di conduttori incrociati (twisted pair). Questi ultimi saranno inviati al connettore SODIMM del modulo il quale verrà agganciato alla sua Evaluation Board su cui sarà a sua volta montato il connettore femmina RJ-45. Nelle prossime tre figure si riporta una tipica connessione del circuito integrato con un utilizzatore generico ed i due connettori RJ-45, di tipo maschio e femmina rispettivamente.



Il MAC, Media Access Controller, è in questo caso l'i.MX51 e gli standard per la connessione tra questo ed il fisico ethernet sono di due tipi: MII o RMII (Media Independent Interface e Reduce Media Independent Interface). In particolare il protocollo RMII riduce il numero di segnali necessari al collegamento tra il MAC ed il PHY da sedici ad un numero compreso tra sei e dieci e supporta velocità che vanno dai 10 ai 100 Mbit/s. Nell'MII c'è invece la necessità di avere altre due linee aggiuntive sia in trasmissione che in ricezione. La differenza nel numero di segnali tra i due standard è però controbilanciata da una diversa frequenza di clock che in MII è di 25MHz mentre in RMII è di 50MHz. Per il modulo si è utilizzato il primo dei due.

La trasmissione e la ricezione di segnali digitali possono essere poi di altri due tipi: *half-duplex* o *full-duplex*. In termini un po' superficiali nella prima modalità si ha che nel percorso *trasmettitore*  $\longleftrightarrow$  *ricevitore* i dati sono uni-direzionali nel senso che ad ogni fronte di clock può avvenire solo la trasmissione o solo la ricezione. Nel full-duplex invece il mezzo trasmissivo può essere utilizzato in entrambe le direzioni contemporaneamente, che è il caso del modulo per l'i.MX51. La scelta della modalità di comunicazione verrà vista in seguito.

Si vedranno ora la descrizione ed il collegamento dei 32 pin dell'integrato. I segnali di controllo sul processore sono stati posti nel blocco Memory Interface come per la RAM.

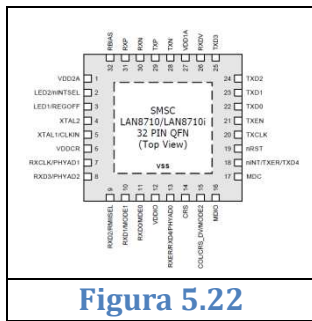


Figura 5.22

**TXD[3:0]** sono i quattro canali lungo i quali il MAC invia i dati al PHY. In MII essi vanno utilizzati tutti mentre in RMIi il secondo ed il terzo andrebbero posti a massa (come spiegato prima). **RXD[3:0]** sono invece i canali dai quali il MAC riceve i dati. In particolare il bit 0 ed il bit 1 permettono anche di definire il modo di funzionamento del fisico.

Assieme ad un terzo bit che si vedrà in seguito essi hanno il duplice scopo di ricevere dati e, contemporaneamente, possono essere collegati a dei resistori di pull-up o di pull-down per impostare alcuni comportamenti di base del chip, tra cui la modalità half-duplex o quella full-duplex. Tutti e tre sono stati collegati a dei resistori di pull-up (figura 5.23) ottenendo la combinazione 111 cui corrisponde il funzionamento "All capable. Auto-negotiation enabled.". Questa condizione indica che il PHY può essere fatto funzionare in qualunque modalità, a livello di hardware è pronto a lavorare in half-duplex, in full-duplex, ecc. Tale modalità andrà definita via software durante l'avvio del sistema, nella fase di boot.

RXD2 invece è il pin che permette di scegliere la modalità MII o RMIi. Lasciandolo inalterato si sceglie la prima, mentre per passare alla seconda bisogna collegarlo ad un resistore di pull-up. RXD3 infine è "multiplexato" con il bit 2 dell'indirizzo fisico del chip. Assieme ad altri due bit del chip è stato collegato in modo tale da ottenere l'indirizzo 001. In questa rete di pull-up e pull-down sono stati inseriti vari resistori di tipo "Not Place" per dare la possibilità di cambiare l'indirizzo di default (figura 5.24).

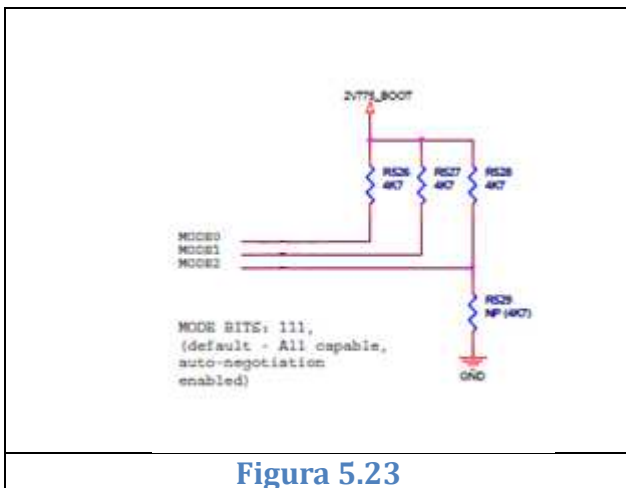


Figura 5.23

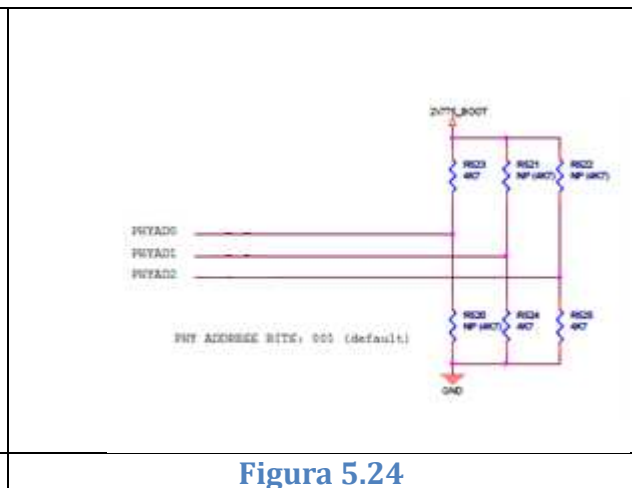


Figura 5.24

**TXEN** —> Transmit Enable indica che c'è un dato disponibile alla trasmissione nei segnali TXD[3:0];

**TXCLK** —> Transmit Clock è utilizzato per convogliare i dati dal MAC al fisico;

**NINT/TXD4/TXER** —> indica principalmente la presenza di un errore nel trasferimento MII

ma potrebbe funzionare anche da quinto bit di trasmissione;

**RXER/RXD/PHYADO** —> analogo a TXER ma relativo alla fase di ricezione di un dato, può rappresentare il quinto bit di una sequenza di ricezione ed è anche il bit 0 dell'indirizzo fisico del chip;

**RXCLK/PHYAD1** —> porta il clock di ricezione ed è il bit 1 dell'indirizzo fisico del chip;

**RXDV** —> Receive Data Valid, analogo a TXEN ma relativo alla ricezione;

**COL/MODE2** —> indica un'avvenuta collisione in fase di trasferimento dei dati ed è "multiplexato" con il terzo bit del modo di funzionamento del chip;

**CRS** —> Carrier Sense, rileva la presenza di una portante per il trasferimento;

**LED1** —> Link Activity Led, la sua uscita va alta quando viene identificato un collegamento valido e comincia a lampeggiare quando viene rilevata la presenza di una portante;

**LED2** —> Link Speed Led, acceso quando la velocità di trasferimento è di 100Mbit/s e spento quando questa scende a 10Mbit/s;

**MDIO, MDC** —> segnale di controllo seriale del flusso di dati da e per il PHY, segnale di controllo seriale del clock;

**XTAL1, XTAL2** —> sono rispettivamente l'ingresso e l'uscita del segnale di clock esterno che è stato posto a 25 MHz (standard MII);

**nRST** —> reset esterno, attivo basso;

**TXP, TXN** —> terminali positivo e negativo del canale 1 (convenzionalmente vengono indicati di trasmissione, ma sono di tipo I/O analogici);

**RXP, RXN** —> come TXP e TXN ma questi vengono convenzionalmente indicati di ricezione ed appartengono al canale2;

**RBIAS** —> va collegato a massa tramite un resistore esterno di BIAS da 12,1K $\Omega$  con precisione all'1%; un resistore di bias permette, partendo da un generatore di tensione e mediante degli specchi di corrente, di ottenere un generatore di corrente interno al chip molto preciso.

**VDDIO** —> alimentazione per la circuiteria di I/O, variabile tra 1,6 e 3,6V. Nel caso del modulo è stata presa di 2,775V direttamente dal companion chip;

**VDDCR** —> è l'alimentazione della circuiteria digitale del PHY. Andrebbe collegata a 1,2V ma si può sfruttare un regolatore interno al chip che fornisce già la tensione necessaria. Per utilizzarlo, questo pin va collegato a massa tramite un condensatore di disaccoppiamento da 1 $\mu$ F;

**VDD1A, VDD2A** —> alimentazione a 3,3V i tipo analogico. La prima è per il canale 1 mentre la seconda è per il canale 2 ed il regolatore interno;

**VSS** —> *flag di massa* del circuito integrato. Con il termine flag si intende che questa

connessione non è fisicamente un pin ma, come si vede dalla figura, è una piazzola di forma quadrata che sta nella parte inferiore dell'IC. E' ben più grande di un pin ed è utilizzata per scopi prettamente dissipativi, se ne parlerà tra due paragrafi.

Come per gli altri IC, anche in questo caso c'è stata la necessità di utilizzare dei condensatori di filtro sulle alimentazioni. Inoltre nonostante queste fossero sia di tipo digitale che di tipo analogico, non è stato necessario un loro disaccoppiamento tramite ferrite perché si trattava di livelli di tensioni diversi tra loro.

Una precisazione va fatta sul terminale RBIAS e su cosa significa che viene utilizzato per ottenere "un generatore di corrente molto preciso". Il generatore di corrente è realizzato mediante degli *specchi di corrente* che sono circuiti con la topologia di figura 5.25 dove la corrente di uscita è legata a quella di ingresso mediante il *rapporto di specchio*, che a sua volta è dato dal rapporto tra le dimensioni fisiche dei due MOS. Perché il generatore di corrente sia preciso è necessario che  $I_{REF}$  sia a sua volta precisa e proprio per questo motivo il resistore di BIAS del PHY ethernet ha una tolleranza dell'1%.

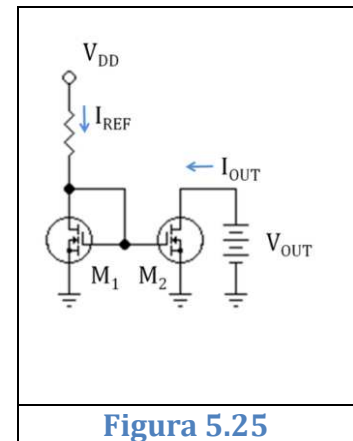


Figura 5.25

## 5.7 - Il PHY USB

Lo Universal Serial Bus è fondamentale in un progetto come quello in questione data la grandissima diffusione che ha avuto e continua ad avere questo standard. E' di tipo *Plug and Play* il che significa che un dispositivo collegato tramite USB viene subito registrato dall'host, che nel caso sia un PC non deve quindi riavviarsi. Più tecnicamente l'USB è un bus seriale a 4 cavi con un'impedenza di  $90\Omega$ , di cui uno è la massa, un altro permette di alimentare i dispositivi connessi e gli ultimi due trasportano due segnali basati sulla codifica *Differential Manchester NRZI*.

Analogamente al PHY ethernet, anche il PHY USB permette di adattare i segnali relativi al collegamento USB allo standard stesso. In particolare il PHY converte i bit che gli giungono in parallelo in una successione di bit seriali-differenziali.

I quattro segnali dello standard si chiamano: VBUS, D+, D- e GND. Costituiscono l'uscita del fisico e vengono inviate al SODIMM perché il vero connettore USB andrà posto sull'Evaluation Board, identicamente a quanto detto per l'ethernet.

Il chip ha 24 pin complessivi ed anche in questo caso si trova un flag di massa. E' stato



collegato al blocco MISC del processore dal quale arrivano gli 8 bit che trasportano i dati in parallelo, ai pin DATA0 : DATA7 (bus di dati) .

Alla CPU sono connessi poi altri quattro piedini che le permettono di controllare il PHY ed il trasferimento dei dati:

**NXT** —> se ad esempio il processore sta inviando dei dati verso il PHY, questo bit indica quando il fisico ha accettato il byte che sta venendo trasmesso. Di conseguenza al successivo colpo di clock un nuovo byte verrà posto sul data-bus;

**DIR** —> controlla la direzione dei bit nel data-bus. Quando il PHY ha dati da inviare alla CPU, questo bit viene posto alto e acquisisce il controllo del bus. Viceversa quando il flusso di informazioni si inverte, DIR va basso permettendo al PHY di monitorare il bus in attesa di comandi da parte del processore, o di inviargli dati;

**STP** —> tramite questo bit la CPU può fermare per un ciclo di clock il flusso di dati che si trova in quel momento nel data-bus. Il bit viene

posto alto anche quando termina un invio di dati dal processore al PHY, indicando a quest'ultimo che il byte finale è stato trasferito durante il ciclo precedente;

**CLKOUT** —> i collegamenti USB ad alta velocità tra un utilizzatore generico ed un PHY sono regolati da uno standard chiamato ULPI. CLKOUT produce un clock a 60 MHz dato che tutti i segnali standardizzati ULPI sono sincroni con il fronte di salita di un clock con tale frequenza.

Per quanto riguarda i rimanenti pin, si sorvolano il reset, comandato dallo stesso segnale del PHY ethernet, le alimentazioni ed RBIAS il cui principio è analogo a quello dei vari integrati visti finora.

Per quanto riguarda i rimanenti pin:

**REFCLK** —> nel progetto è stato collegato al clock da 26 MHz che necessita il PHY ma tra l'oscillatore e il chip è stato posto un buffer che, sfruttando una delle GPIO del processore, permette di abilitare o meno tale clock. Il buffer può essere così controllato via software in modo che tutto il blocco USB possa essere spento durante le modalità Low-Power della CPU;

**CPEN** —> tra i quattro bit della connessione USB si trova **VBUS** che è in grado di alimentare i dispositivi collegati al PHY, generalmente con una tensione di 5V ed una corrente di circa 500mA. CPEN è un'uscita che, se posta alta dal PHY, permette di abilitare VBUS infatti il collegamento effettuato è stato il seguente:

Il bit 7 del fisico USB abilita o meno un buffer che a sua volta può comandare l'Enable di un limitatore di corrente alimentato a 5V e che può fornire una corrente massima di 500mA, proprio i valori citati qualche riga fa. L'uscita del limitatore andrà al pin VBUS il quale sarà

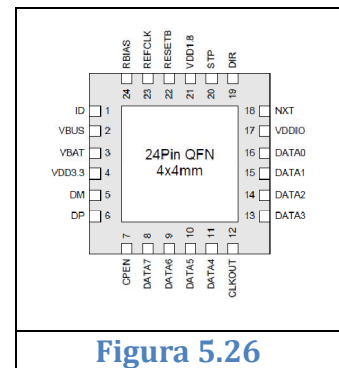


Figura 5.26



quindi indirettamente collegato al suo bit di comando, CPEN.

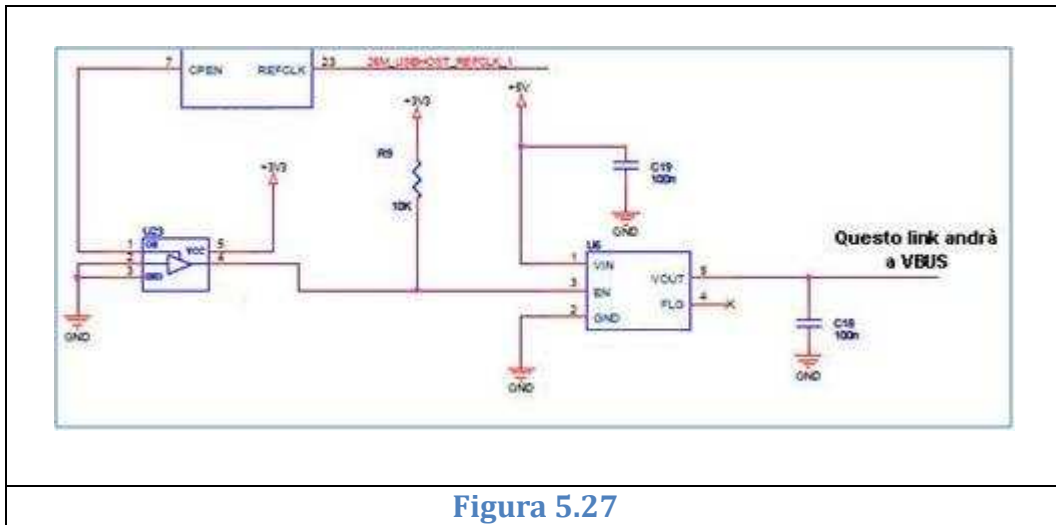


Figura 5.27

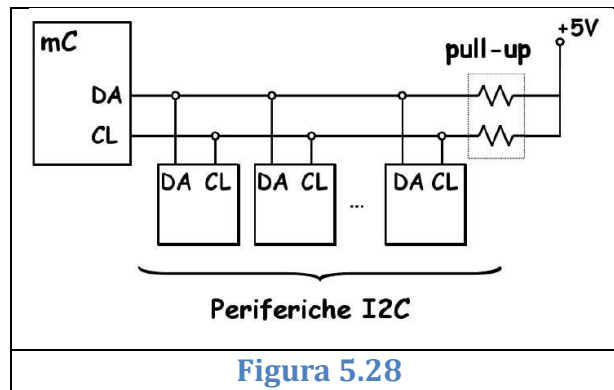
**ID** —> è stato collegato a massa in quanto viene utilizzato solo dai connettori mini-USB;

**D+ e D-** —> sono le due linee di comunicazione Differential Manchester NRZI citate all'inizio del paragrafo. La codifica Differential Manchester è un metodo di codifica dei dati in cui vengono combinati assieme il segnale da trasmettere ed un clock in modo da ottenere un flusso di bit che riesca ad auto-sincronizzarsi. Il valore logico dei bit di tale flusso è dato dalla presenza o meno di transizioni nei segnali che lo generano. Con l'acronimo NRZI invece si indica un metodo per mappare un segnale binario in modo da trasformarlo in un segnale fisico che possa essere inviato attraverso qualche mezzo di trasmissione, si tratta quindi di una tipologia di modulazione digitale. Non si esamina nello specifico la codifica appena citata perché ciò andrebbe oltre gli obiettivi di questa relazione.

Esulando un attimo dall'argomento di questo paragrafo, la comunicazione tramite segnali differenziali si trova poi all'interno di questo progetto se si analizzano le uscite video del processore. Come già detto al connettore principale SODIMM viene inviato il Video Bus principale, a 24 bit. Quest'ultimo nell'evaluation board si collegherà a sua volta ad un connettore LVDS, cioè un connettore in grado di supportare lo standard omonimo (creato da National Semiconductor's) basato sulla trasmissione di segnali in maniera differenziale. Questo protocollo ha assunto nel tempo una importanza sempre maggiore grazie alla bassissima presenza di rumore in trasmissione ed all'alta reiezione che ha nei confronti del rumore stesso. Caratteristiche che rendono il trasferimento di file quasi immune da errori e che sono legate proprio alla natura differenziale del flusso di bit.

## 5.8 – I principali Bus utilizzati dalla board

Le periferiche collegate all'i.MX51 utilizzano nei bus alcuni tra i più noti protocolli di comunicazione tra cui I<sup>2</sup>C, SPI ed UART, che verranno trattati più o meno approfonditamente in questo paragrafo.



L'i.MX51, come molte altre CPU di ultima generazione, è dotato di un apposito sub-processore che gestisce la comunicazione con le periferiche collegate tramite I<sup>2</sup>C, uno standard che ha riscosso molto successo a livello industriale. Esso permette una *connessione seriale sincrona* tra circuiti integrati e dà la possibilità di effettuare il collegamento di molti dispositivi ad un chip che coordina le varie operazioni, chiamato appunto *master*. Tale collegamento avviene mediante due linee, una per il clock ed una per il trasporto dei dati come è possibile vedere in Figura 5.26. I dati possono essere trasferiti a diverse velocità legate al modo di funzionamento che si è scelto. In modalità *Normal* si va da 0 a 100kbps mentre in modalità *Fast* si possono raggiungere i 400kbps. Ovviamente se si collegano insieme più periferiche che lavorano un po' nell'una ed un po' nell'altra modalità, il bus non potrà necessariamente essere utilizzato a più di 100kbps.

E' il master ad inviare a tutte le unità collegate dal protocollo, il segnale di sincronismo, per poi far trasferire i dati 9 bit alla volta. Di questi i primi otto sono a cura del chip che sta trasmettendo mentre l'ultimo è a cura del chip ricevente, che porta la linea dati a valore basso se ha riconosciuto il dato che gli è stato inviato. Ad esempio, un eventuale master può indirizzare una periferica trasmettendo sul bus dati l'indirizzo della stessa. Quando la periferica vede transitare il proprio indirizzo, risponde abbassando la linea dati nel nono bit. Le altre periferiche restano invece inerti. Il master, leggendo un valore logico basso per il nono bit, apprende che la periferica indirizzata è pronta a ricevere i dati e comincia a inviarli. Allo stesso modo la periferica stessa può comportarsi da master ed acquisire il controllo del bus.

Per quanto riguarda la modalità di trasmissione di un dato sul bus I<sup>2</sup>C, la scrittura di un bit inizia dopo un fronte di discesa del clock ed il bit viene mantenuto stabile fino al fronte di discesa seguente. Più specificatamente la scrittura di un byte inizia sempre con il bit più significativo (MSB) e si conclude con la conferma di ricezione o meno da parte della periferica (come detto qualche riga fa). Poichè in realtà la comunicazione tipica tra una CPU e le periferiche coinvolge più di un byte, è necessario un protocollo per la gestione dell'intero trasferimento di dati, quindi di alcune regole alle quali i comunicanti devono attenersi per ottenere un "dialogo" chiaro ed uniforme.

Il bus I<sup>2</sup>C è infatti pensato per trasferire messaggi, ognuno dei quali si apre con la generazione, da parte del master che controlla la trasmissione, di un segnale di start. Questo è dato dal seguente evento: la linea dati DA viene abbassata prima che si abbassi la linea del clock. Allo stesso modo esiste un evento che determina una condizione di stop: la linea dati DA viene alzata dopo che si è alzata la linea del clock. Le condizioni di start e stop possono essere distinte da un qualunque altro dato perché la linea dati DA cambia stato durante la fase positiva del clock, al contrario di quanto accade nella trasmissione di un bit. I messaggi risultano così costituiti da sequenze di byte incluse tra una condizione di start e una di stop.

Si sottolinea che il primo byte del messaggio inviato dal master è sempre rappresentato da un indirizzo a 7 bit che gli permette di individuare univocamente una periferica tra quelle interfacciate al bus. L'ottavo bit del primo byte è usato dal master per predisporre un trasferimento dati verso la periferica (in tal caso è basso) oppure per prelevare dati dalla periferica (in tal caso è alto), si tratta quindi di un bit di Read/Write. In figura si possono notare le condizioni di start (SDA scende prima SCL), di scrittura dei bit (dopo ogni fronte di discesa di SCL, SDA viene mantenuto stabile) e di stop (SDA si alza dopo SCL).

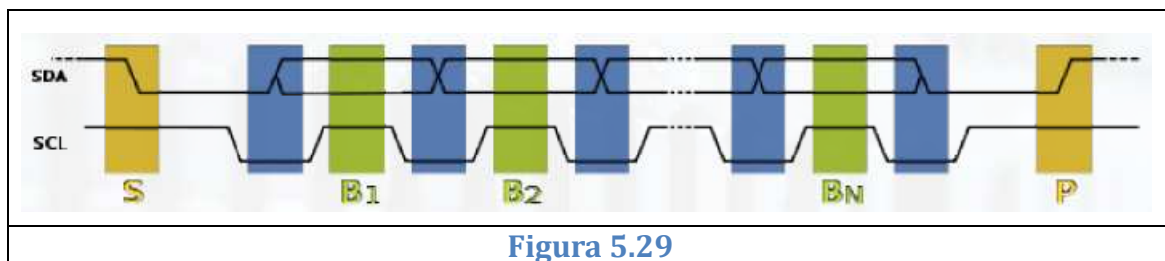


Figura 5.29

Un altro tipo di comunicazione che può supportare il processore è quello che usa il protocollo SPI. Nel *Serial Peripheral Interface* il principio di funzionamento è il medesimo dell'I<sup>2</sup>C, ci sono quindi due o più dispositivi dove uno coordina tutte le operazioni e gli altri attendono le sue direttive (segnale di clock e segnali di inizio e fine della comunicazione). Si tratta di un

protocollo di tipo seriale, sincrono e di tipo full-duplex (trasmissione e ricezione avvengono contemporaneamente) Per quanto riguarda la velocità di scambio dei dati (quindi la frequenza del clock) non vi è un limite minimo (in quanto i dispositivi possono mantenere, se alimentati, il loro stato logico per un tempo indefinito) ma vi è un limite massimo che va determinato dai datasheet dei singoli dispositivi connessi e pure dal loro numero in quanto ogni dispositivo collegato al bus introduce sulle linee di comunicazione una capacità parassita. Lo standard è utilizzato principalmente per lo scambio di dati tra dispositivi montati "sulla stessa scheda elettronica" (o comunque tra schede elettroniche vicine tra di loro) in quanto non prevede particolari accorgimenti hardware per trasferire informazioni tra dispositivi lontani connessi con cavi soggetti a disturbi. Infatti nella board per l'i.MX51 la memoria Nand è stata collegata alla CPU tramite questo protocollo. Dal punto di vista fisico un sistema SPI è comunemente definito a quattro fili intendendo con questo che le linee di connessione che portano i segnali sono in genere quattro, anche se va detto che ci deve comunque essere una connessione di riferimento, quindi i fili complessivamente dovrebbero essere cinque. I nomi dei vari segnali sono i seguenti:

SCLK - SCK: **S**erial **C**lock (emesso dal master);

SDI – MISO: **S**erial **D**ata **I**nput, **M**aster **I**nput **S**lave **O**utput (ingresso per il master ed uscita per lo slave);

SDO – MOSI: **S**erial **D**ata **O**utput, **M**aster **O**utput **S**lave **I**nput (uscita dal master);

CS – SS: **C**hip **S**elect, **S**lave **S**elect, emesso dal master per scegliere con quale dispositivo di tipo slave vuole comunicare (dalla figura 5.30, si vede che per comunicare con il dispositivo, il pin deve essere a livello logico basso).

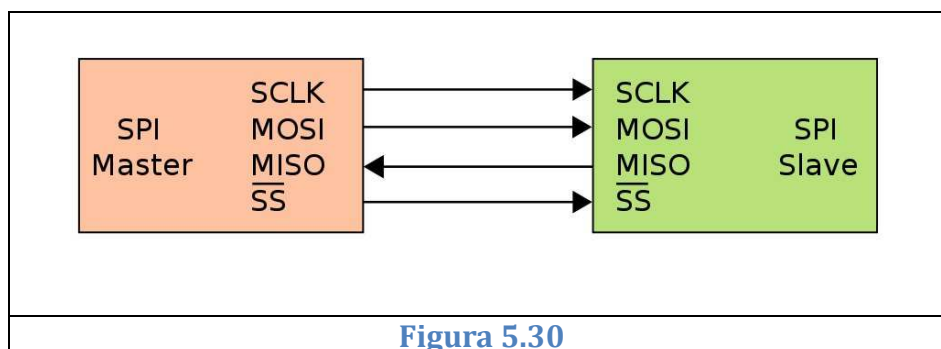


Figura 5.30

Infine per quanto riguarda la trasmissione dei dati su questo bus, esso si basa sul funzionamento di vari registri a scorrimento. Ogni dispositivo sia master che slave è dotato di un registro a scorrimento interno i cui bit vengono emessi e, contemporaneamente, immessi, rispettivamente, tramite l'uscita SDO/MOSI e l'ingresso SDI/MISO. Il registro può avere

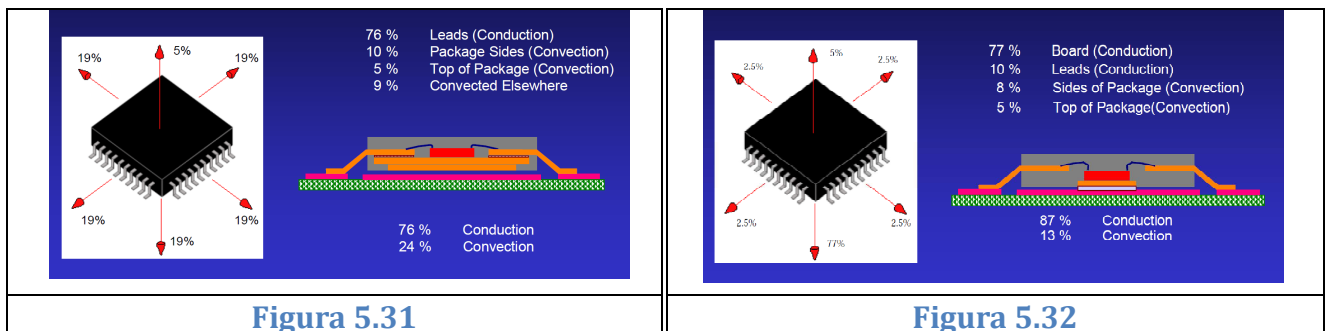
dimensione qualsiasi (ma uguale per i dispositivi master e slave) anche se in generale e' ad 8 bit. Lo shift register è un'interfaccia completa mediante la quale vengono impartiti comandi e trasmessi dati che arrivano, come già detto, in modo seriale ma che internamente sono prelevati, a fine trasmissione, in modo parallelo. Durante la comunicazione, ad ogni impulso di clock i dispositivi che stanno comunicando sulle linee del bus emettono un bit dal loro registro interno rimpiazzandolo con un bit emesso dall'altro interlocutore.

In conclusione un accenno all'UART, il quale piu' che un bus, e' un pezzo di hardware presente in tutti i sistemi a microprocessore. Lo *Universal Asynchronous Receiver/Transmitter* converte i dati tra le due forme, parallela e seriale ed e' proprio un circuito integrato all'interno delle CPU utilizzato per comunicazioni di tipo seriale (anche l'i.MX51 ne ha uno ovviamente), delle quali e' l'elemento chiave. L'UART in trasmissione prende i byte di dati e ne invia i singoli bit in modo sequenziale, i quali verranno poi ricostruiti da un secondo UART in ricezione. Questa tipologia di trasmissione viene utilizzata parecchio perche' la conversione del flusso di bit da parallelo a seriale permette di utilizzare un solo cavo per il trasferimento, consentendo un notevole risparmio se si devono produrre molte schede. Inoltre il passaggio da parallelo a seriale e viceversa e' basato sull'utilizzo, come nell'SPI, dei registri a scorrimento. Altro particolare interessante e' quello per cui gli UART non sono in grado di generare da soli dei segnali a livelli accettabili dai BUS esterni di collegamento. Per questo necessitano di una circuiteria ausiliaria che converta i livelli logici dei segnali che producono e ricevono, e vengono in genere accoppiati ad integrati che traducono i segnali affinché rispettino, ad esempio, lo standard RS-232, un altro protocollo molto utilizzato a livello industriale. La trasmissione mediante gli UART puo' inoltre essere di tipo half duplex o full duplex.

### 5.9 – La PowerPad™ nei circuiti integrati

Nel paragrafo 5.7 si è fatto notare come la massa del fisico ethernet non fosse esattamente un pin, ma piuttosto una porzione intera dell'integrato detta flag. I contenitori per integrati fatti in questo modo si chiamano "PowerPad™ package" ed hanno dimensioni identiche a quelle dei chip con contenitore normale. Sono progettati per non dover utilizzare dei dissipatori passivi di calore, cioè delle piastre di rame o alluminio che poste a contatto con il package dell'integrato estraggono il calore dovuto al surriscaldamento. Tali dissipatori vengono montati sulla superficie superiore del chip ed hanno un ingombro non indifferente. Poiché come è noto, la tendenza è quella di miniaturizzare gli integrati, la presenza di questi pezzi di metallo più grandi del chip stesso è deleteria per l'ottimizzazione ed il rimpicciolimento

dell'intero circuito. Per questo in un "PowerPad™ package" il calore non viene convogliato verso l'alto, ma verso il basso attraverso la suddetta pad. Ciò è possibile perché ogni PCB complesso è dotato di più strati (layer) tra i quali ce n'è sempre uno di massa. Se la pad, detta appunto thermal pad, viene collegata direttamente al cuore del circuito integrato (chiamato anche die), ad essa viene convogliato tutto il calore prodotto dal chip. Connettendo la pad al layer di massa tramite dei Via (che sono dei fori in grado di collegare fra loro i vari layer di un PCB) è possibile che il surriscaldamento del die si propaghi fino al layer di massa che, avendo le dimensioni della board, produce un buon effetto dissipativo.



Nella figura 5.31 si osserva un package di tipo normale dove il die è stato collegato al contenitore del circuito integrato. Il contenitore stesso fa quindi da dissipatore con un risultato scadente in quanto la produzione di calore è equamente suddivisa tra la parte inferiore del package e le quattro file di piedini. A questi ultimi l'energia termica è inviata dai due strati marroni che, in figura, li collegano al die. Se non ci fosse questa connessione, il 95% del calore finirebbe sul contenitore aumentando parecchio le probabilità di fonderlo. Si noti inoltre che anche volendo mettere un dissipatore esterno sopra l'integrato, l'effetto non sarebbe buono in quanto "verso l'alto" viene convogliato solo il 5% del calore complessivo (in questo caso sarebbe stato più saggio scollegare termicamente i pin dal die). Risultato del tutto diverso si ha inserendo la PowerPad™ (figura 5.32, in bianco) e scollegando i piedini dal die. La PowerPad™ convoglia ben il 77% del calore verso il PCB (pezzi in rosa e in verde) per conduzione evitando quindi un surriscaldamento del package, nonché dei piedini.

Infine un'informazione non tecnica: PowerPad™ è il nome della tecnologia inventata da Texas Instruments, ma dei package analoghi sono usati nei fisici di questo progetto anche se l'azienda che li produce è SMSC. Non è proprio corretto definirli dei PowerPad™ package ma il concetto di fondo ed il principio di funzionamento sono quelli.

## 6 - Svolgimento del tirocinio e conclusioni

Il tirocinio è stato svolto dal 19 ottobre al 30 novembre 2009 e si è articolato in più fasi. Si è partiti analizzando gli schematici dell'Evaluation Board del processore e cercando di capirne il più possibile il funzionamento, nonché quali potevano essere i punti di contatto con il modulo da realizzare. Successivamente si è iniziato a prendere confidenza con il software per la realizzazione degli schematici, Cadence, ed a preparare i "blocchetti" che avrebbero poi costituito i pezzi del processore e tutti gli altri integrati. A questo punto, dopo aver definito le caratteristiche che avrebbe dovuto avere il modulo, il progetto è potuto partire. Iniziando dagli schematici più semplici, cioè quelli dei fisici USB ed Ethernet, si è poi proseguito fino a collegare il processore. Ovviamente non è stata una passeggiata vista la complessità del sistema quindi il metodo di lavoro era quello di seguire, per quanto possibile, gli schematici dell'EVB. Questa era però molto complessa nonché completa, nel senso che montava un sacco di periferiche che sul modulo non sarebbero servite. Gli stessi integrati usati nell'EVB non erano gli stessi che sono stati usati per il modulo, quindi è stato necessario adattare i nuovi componenti al processore, verificando che ci fosse sempre l'adattamento tra i livelli di tensione dei componenti connessi tra loro. Ciò significa che i livelli logici in termini di tensione dovevano coincidere, non era possibile collegare ad esempio un PHY con una tensione di soglia alta di 1,8V ad un punto della CPU alimentato da una power rail a 2,775V. In questo caso si sarebbero dovuti utilizzare dei traslatori di tensione che però, essendo costosi, si cercano di evitare quando possibile.

Durante lo stage le domande ai colleghi sul lavoro che si doveva svolgere sono state un'infinità ed alla fine il contributo dato all'intero progetto è stato abbastanza buono. Purtroppo moltissime cose erano completamente nuove per il sottoscritto quindi c'è voluto parecchio tempo, anche per svolgere operazioni che, ora, sembrano piuttosto elementari. Uno dei punti più interessanti è stato sicuramente quello relativo al calcolo delle caratteristiche degli induttori del companion chip poiché la scelta di componenti così ad alte prestazioni non è stata banale, e non è di certo una cosa che va fatta "a naso" come spesso accade nei vari ambiti dell'ingegneria. La parte finale del tirocinio è stata dedicata all'inserimento nel data-base aziendale dei nuovi componenti ed al loro link con le varie parti degli schematici. Infatti una volta "linkato" l'intero progetto al data-base si è potuta ottenere la lista del materiale necessario in modo automatico.

Una volta completato il tirocinio tutti gli schematici sono passati nelle mani di colleghi ben più esperti che lo hanno controllato a dovere rivedendo alcune scelte progettuali e correggendo i

vari errori. Attualmente il PCB è in produzione ed una volta che sarà pronto si dovrà procedere al debug hardware sperando di non dover rifare altre schede visto il costo elevato che hanno.

Complessivamente l'esperienza è stata positiva e le cose apprese sono state parecchie, sia dal punto di vista didattico, che da quello del come lavora un'azienda moderna. Ho trovato estremamente produttivo il contesto di "open space" in cui opera Si14, poiché è una azienda appartenente all'incubatore d'impresе "M31 Spa". Nello stesso edificio operano 4 aziende diverse, collegate dal filo conduttore della scienza dell'informazione e che si aiutano a vicenda scambiandosi dubbi, consigli ed aiuti.

Sono stato affiancato parecchio da alcuni colleghi, non solo dal tutor, e mi ritengo soddisfatto della scelta fatta sul come concludere questo mio percorso di studi.



## Bibliografia

### Data sheet

- *"i.MX51 Applications Processors Data Sheet". Rev. 1, 11/2009;*
- *"Power Management and User Interface IC", MC13892 Data Sheet. Freescale Semiconductors, Rev. 2.0, 10/2009;*
- *"SMSC LAN8710/LAN8710i", PHY Ethernet Data Sheet. Rev. C, 15/04/2009;*
- *"SMSC USB3317", PHY Usb Data Sheet. Rev. 2.0, 03/08/2009;*

### Testi

- *"The BIOS Companion", autore: Phil Croucher, editore: Advice Press, 2004. Cap. 3, pag. 75-76-77;*

### Application Notes ed altro

- *"MCIMX51 Multimedia Applications Processor", Reference Manual. Freescale Semiconductors, Rev. C, 11/2009;*
- *"Estimate Inductor Losses Easily in Power Supply Designs", Travis Eichhorn. Maxim Integrated Products, Sunnyvale (California), April 2005;*
- *"PowerPad™ Layout Guidelines", Yang Boon Quek. Texas Instruments, May 2006;*
- *"PowerPad™ —A Method to Create Thermally Enhanced Plastic Package Solutions for Semiconductors", Milton L. Buschbom, Mark Peterson, Shih-Fang Chuang, David Kee, and Buford Carter by Texas Instruments, Dallas, Texas. SMI CONFERENCE, 25 August 1998, San Jose, California;*
- *Lucidi del corso di "Elettronica Industriale 2009/2010", Proff. Tenti Paolo e Gaio Elena. Dipartimento di Ingegneria dell'Informazione, Padova;*

### Siti Web

- [http://www.coilcraft.com/apps/loss/loss\\_3.cfm](http://www.coilcraft.com/apps/loss/loss_3.cfm)
- <http://www.si14.it>
- <http://www.wikipedia.it>