

Università degli Studi di Padova

Facoltà di Ingegneria

Corso di Laurea Specialistica in Ingegneria Elettronica

Tesi di Laurea

Caratterizzazione di Gate Oxide Monitor e
strutture di protezione concentrate e
distribuite per ESD in tecnologia BCD8

Laureando: Emanuele Podetti

Relatore: Prof. Gaudenzio Meneghesso

Anno Accademico: 2010/2011

Indice

Sommario	7
-----------------------	----------

Introduzione.....	9
--------------------------	----------

Capitolo 1

ESD: carica, scarica e modelli.....	13
--	-----------

L'accumulo di carica	13
----------------------------	----

La scarica	15
------------------	----

Human Body Model	16
------------------------	----

Machine Model	17
---------------------	----

Charged Device Model	18
----------------------------	----

Capitolo 2

Materiale usato	19
------------------------------	-----------

La tecnologia BCD8	19
--------------------------	----

Transmission Line Pulse (TLP)	21
-------------------------------------	----

TLP Time Domain Reflectometer	22
-------------------------------------	----

Capitolo 3

Ossidi di gate	25
Rottura dell'ossido	26
Gate Oxide Monitor	28
Descrizione delle strutture testate	29
Descrizione delle modalità di misurazione	34
Caratterizzazione in DC	35
Caratterizzazione in regime impulsivo	42
Osservazioni	70

Capitolo 4

Clamp	73
Descrizione delle strutture testate	74
Clamp concentrati	76
Clamp distribuiti – Open loop	82
Clamp distribuiti – Closed loop	91
Osservazioni	97
Diodi	98
Clamp distribuiti da 3,3V	103

Conclusioni	111
--------------------------	------------

Bibliografia	113
---------------------------	------------

Sommario

In questa tesi verrà esaminata la robustezza alle scariche elettrostatiche degli ossidi di gate di transistor nMOS e pMOS e di alcune strutture di protezione a clamp concentrato e distribuito fabbricati in tecnologia BCD8 e forniti da STMicroelectronics.

In particolare vedremo come si comportano, quando sono investiti da una scarica elettrostatica, gli ossidi di gate di transistor nMOS e pMOS Smart Power fabbricati in tecnologia BCD8.

Gli ossidi in esame sono di due spessori diversi, 35 Å e 70 Å, e verranno effettuati test sia in DC che con impulsi di durata variabile.

Lo scopo di queste misurazioni è quello di fornire dei valori di massima per l'indagine della Safe Operating Area dei MOS in esame, per consentire ai progettisti di avere dei valori di tolleranza sull'impatto che devono avere le sottoreti di scarica per non danneggiare il circuito che devono proteggere.

Verrà inoltre esaminata la tolleranza di strutture di protezione a clamp concentrato e distribuito (sia open loop che closed loop), anche nella versione con i pad protetti da diodi.

Introduzione

ESD è l'abbreviazione di Electrostatic Discharge, in italiano scarica elettrostatica. È un fenomeno che avviene quando tra due corpi a diverso potenziale elettrico avviene un trasferimento di carica.

Una delle immagini più comuni per descrivere un fenomeno di ESD è la scintilla che spesso si genera quando tocchiamo la portiera dell'auto dopo esservi scesi. Quella scintilla è causata dalla ionizzazione dell'aria tra il corpo umano, che ha un determinato potenziale, e la carrozzeria dell'automobile che ha un potenziale diverso. Le tensioni in gioco sono altissime, si parla di decine di kV, ed è per questo motivo che un evento ESD di questo tipo è visibile, ma nella maggior parte dei casi non ci accorgiamo dei fenomeni di scarica che ci vedono protagonisti ogni giorno. Certo, appare evidente che se una scintilla come quella descritta nell'esempio precedente dovesse generarsi dal contatto tra un operatore e un componente elettronico quest'ultimo ne uscirebbe irrimediabilmente danneggiato, ma spesso basta un evento di ESD con valori di tensione e di corrente molto più modesti per compromettere la funzionalità di un circuito elettronico.

La sempre maggiore complessità dei circuiti e le sempre più ridotte dimensioni degli stessi hanno aumentato la pericolosità delle scariche elettrostatiche.

I danni che tipicamente vengono riscontrati su un dispositivo a semiconduttore dopo un evento ESD sono il breakdown dei dielettrici e le fusioni delle interconnessioni per colpa delle alte temperature che vengono generate.

I fenomeni di ESD costano all'industria elettronica milioni di dollari ogni anno in componenti rotti, circuiti rovinati o errori nella trasmissione delle informazioni. Le scariche elettrostatiche possono rovinare i componenti sia durante il processo produttivo che durante l'assemblaggio, poi durante la spedizione e anche nel semplice utilizzo da parte dell'utente finale, il tutto senza produrre segni visibili. Si stima che le scariche elettrostatiche siano la causa dei guasti di più del 30% dei componenti elettronici.

La pericolosità dei danni provocati dalle scariche elettrostatiche aumenta ancora se pensiamo che questi possono manifestarsi immediatamente ma anche rimanere latenti per settimane o mesi di utilizzo senza segni evidenti.

I danni all'industria elettronica provocati dalle scariche elettrostatiche sono ingenti: dei dispositivi che si rompono facilmente quando vengono investiti da scariche elettrostatiche non solo creano un danno economico diretto (a causa dei costi per la sostituzione dei dispositivi stessi), ma minano la qualità e l'affidabilità dei componenti ripercuotendosi sull'immagine del produttore e quindi sul volume d'affari dello stesso.

L'esigenza di intervenire per limitare l'impatto delle scariche elettrostatiche ha reso necessario lo sviluppo di studi sulla protezione dei circuiti dalle scariche elettrostatiche e la definizione di test standard per riprodurre in laboratorio le situazioni che un circuito potrebbe trovarsi ad affrontare durante il suo ciclo di vita.

Ogni step tecnologico si traduce in una nuova sfida per gli ingegneri per assicurare la protezione dei dispositivi elettronici: man mano che l'industria sforna chip sempre più piccoli e performanti bisogna progettare strutture di

protezione che si integrino facilmente col processo produttivo dei chip stessi e che sopportino le tensioni e le correnti che potrebbero costarne la rottura. Quindi anche le strutture di protezione vengono progettate per essere facilmente scalabili e adattabili alle nuove tecnologie di produzione, senza dover riprogettare tutto per ogni singola applicazione.

Oltre ai succitati criteri di integrabilità e scalabilità i sistemi di protezione da ESD devono essere progettati per non entrare in funzione quando non è richiesto per evitare di inficiare il corretto funzionamento del circuito che devono proteggere, inoltre devono accorgersi dell'evento ESD in un tempo brevissimo (a causa dell'ordine di grandezza della durata dell'evento stesso) e nel momento in cui entrano in funzione non devono influenzare il comportamento del circuito che devono proteggere.

Il sistema di protezione da ESD deve permettere alla scarica di poter seguire un cammino conduttivo tra il circuito da proteggere e la massa. Una struttura di protezione ben progettata deve avere la capacità di sopportare alte correnti e deve mantenere all'interno di limiti ben definiti la tensione ai capi del circuito che deve proteggere. Per la realizzazione delle strutture di protezione si possono usare sia elementi passivi (come resistori o diodi), sia clamp attivi o anche vere e proprie sottoreti.

Capitolo 1

ESD: carica, scarica e modelli

L'accumulo di carica

I meccanismi principali con cui si verifica l'accumulo del potenziale elettrostatico sono l'effetto triboelettrico, la carica ionica, la carica diretta e l'induzione.

L'effetto triboelettrico è provocato dai contatti e dalle separazioni meccaniche di due superfici con diversa affinità elettronica, se almeno una delle due è isolante: l'oggetto con la maggiore affinità acquisisce elettroni e dopo la separazione rimane carico negativamente. Se la carica non si disperde, successivi contatti e separazioni possono aumentarla. L'umidità, la temperatura e i tipi di superficie in gioco influiscono molto sulle dimensioni che l'effetto può raggiungere, in particolare l'umidità che aumenta la conduttività delle superfici e il tasso di ricombinazione. In generale superfici isolanti e idrofobiche (come il Teflon) accumulano molta carica e possono mantenerla molto a lungo.

L'effetto triboelettrico descrive azioni quotidiane come il camminare o l'alzarsi da una sedia, ma anche il movimento delle parti meccaniche di un circuito e la pulizia con uno spray.

I valori in gioco possono arrivare a decine di kV nel caso del corpo umano, mentre nel caso dei circuiti e delle apparecchiature elettriche si scende di qualche ordine di grandezza.

L'accumulo tramite carica ionica è legato all'uso di ionizzatori d'aria, in questo caso i valori in gioco sono dell'ordine di qualche centinaio di volt.

La carica diretta avviene, come dice il nome, quando la carica si trasferisce direttamente da un oggetto carico, per esempio uno strumento di misurazione, a un circuito. L'ampiezza e la durata dell'impulso dipendono dalla differenza di potenziale dei due oggetti e dall'impedenza del percorso di carica. Casi notevoli di trasferimento di carica diretta si hanno durante l'inserimento di spinotti e durante l'accensione di interruttori.

La carica per induzione somiglia molto alla carica diretta. Si verifica quando un corpo inizialmente neutro viene investito da un campo elettrostatico o se il campo elettrostatico preesistente varia. Il campo provoca la separazione della carica mobile sulle parti conduttive del corpo e il relativo accumulo ai capi di queste, il corpo rimane carico se a uno di questi capi viene rimossa la carica accumulata, ad esempio ponendo un capo a massa.

I primi due tipi di accumulo sono lenti mentre gli ultimi due generano correnti pericolose.

La scarica

Per semplicità assumiamo che la scarica avvenga tra un sistema carico e il terreno. La scarica può avvenire sia per contatto diretto sia a distanza, quando il dielettrico lo permette, e tipicamente si esaurisce nel giro di pochi nanosecondi.

In aria e per alti voltaggi la scarica è del tipo a valanga e provoca l'apertura di un canale conduttivo di plasma ionizzato. Quest'ultima fase è accompagnata da evidenti segnali udibili e visibili (pensiamo ai fulmini o alle scintille) e dura almeno un centinaio di picosecondi. Per bassi voltaggi la valanga non riesce a svilupparsi, quindi il fenomeno avviene tramite induzione o contatto diretto e dura poche decine di picosecondi (un ordine di grandezza in meno rispetto al tempo di salita dei moderni oscilloscopi), quindi la misurazione di questi eventi non è molto precisa, soprattutto se, come spesso accade, le tensioni in gioco raggiungono le decine di kV.

I parametri che definiscono la fase di innesco e la fase "resistiva" della scarica sono innumerevoli: si parte dalla quantità di carica elettrostatica e dalla sua polarità per poi passare alla distanza tra gli oggetti e alla velocità con la quale si avvicinano, alla forma e al tipo di superficie, alla luce presente, al tipo di gas che circonda gli oggetti e alla sua pressione, alla temperatura. Ampiezza e forma d'onda della scarica sono invece definite dalla resistenza (spesso variabile) del canale conduttivo, dalla resistenza esterna, dalla capacità e dall'induttanza del circuito di scarica.

La riproduzione in laboratorio di tali eventi è molto complessa, per descriverli ci si è ricondotti a dei modelli che semplificano le modalità di scarica più frequenti: i più noti sono lo Human Body Model (HBM), il Machine Model (MM) e il Charged Device Model (CDM).

Human Body Model

Lo Human Body Model (HBM) serve a simulare le forme d'onda che si generano quando la scarica avviene tra il corpo umano e una parte metallica del circuito integrato.

I valori in gioco sono tipicamente le decine di nanosecondi per il tempo di salita e le centinaia di nanosecondi per il tempo di discesa. La corrente può raggiungere picchi di qualche ampere.

Quando la gran parte delle scariche elettrostatiche erano involontariamente causate dalla manipolazione dei chip da parte dei tecnici e dalle contromisure insufficienti a proteggere il dispositivo dall'utilizzo degli utenti questo era il modello fondamentale, ma l'automatizzazione industriale, la sempre maggiore consapevolezza degli eventi ESD e una maggior cura del personale che deve maneggiare i componenti hanno limitato fortemente l'importanza dell'HBM in fase di test e di studio.

Col termine "cura del personale" ovviamente non mi riferisco alla maggior attenzione nell'atto pratico della manipolazione dei componenti, quanto all'uso sempre più massiccio di elementi che limitano la possibilità che una scarica elettrostatica venga provocata dal personale tecnico. Nelle moderne industrie elettroniche e nei laboratori di ricerca ormai non esiste tecnico che non indossi tute o camici antistatici, fabbricati con un tessuto conduttivo. I componenti durante il trasporto e lo stoccaggio vengono sempre riposti in contenitori antistatici fabbricati in materiali appositi, e anche i mezzi di trasporto dei componenti hanno delle protezioni contro l'elettricità statica.

Il pavimento è rivestito di materiale conduttivo collegato a terra e viene progettato in modo tale che sfregando su di esso un componente elettronico non si generano mai più di 100 V di differenza di potenziale.

Oltre ai già citati camici chi maneggia i componenti dev'essere collegato a terra con degli speciali polsini conduttivi per disperdere la propria carica elettrostatica, polsini equipaggiati con delle resistenze che limitano per motivi

di sicurezza la corrente che li può attraversare. Quando non è possibile usare i polsini si ripiega su scarpe conduttive, ma solo se il laboratorio è equipaggiato con un pavimento anch'esso conduttivo e collegato a terra.

Ovviamente anche la strumentazione dev'essere dotata di apposite contromisure alle scariche elettrostatiche a partire da un adeguato collegamento a terra, e non va dimenticato che oltre alla strumentazione vera e propria il collegamento a terra va fatto anche per i banchi di lavoro e per la mobilia, ad esempio le sedie.

Machine Model

Il Machine Model (MM) riproduce le forme d'onda generate dal contatto tra la parte metallica di un corpo carico e il circuito integrato. Concettualmente simile all'HBM, la differenza principale risiede nella resistenza che nel caso del corpo metallico è infinitamente minore rispetto a quella del corpo umano. Il MM è un test più stringente rispetto all'HBM perché coinvolge correnti più elevate che scorrono in tempi minori.

L'incidenza dei danni causati da fenomeni riconducibili al MM è in continuo aumento per colpa dell'automatizzazione dell'industria elettronica: se un tempo il MM in pratica serviva solo per descrivere la possibile scarica provocata dal contatto dei pad del chip con uno strumento di test adesso le possibili fonti di danno riconducibile al modello MM sono innumerevoli. Basti pensare che nelle moderne fabbriche per spostare i chip e trasportarli non si usano più degli operatori in carne e ossa ma dei bracci meccanici azionati da servomotori e dei nastri trasportatori, e che anche le fasi di test per scartare i die non funzionanti, così come i processi di taglio dei die stessi e il loro packaging sono tutti automatizzati.

Charged Device Model

Il Charged Device Model (CDM) riproduce la scarica di un circuito carico che entra in contatto con la massa. Durante i fenomeni di questo tipo le correnti possono arrivare a qualche decina di ampere e i tempi di salita sono dell'ordine di pochi picosecondi o al massimo qualche nanosecondo, la scarica invece avviene in qualche nanosecondo.

Si differenzia da HBM e MM perché lo stress non coinvolge solo le zone periferiche del circuito, ma il percorso conduttivo può penetrare anche molto all'interno danneggiando i dispositivi posizionati più in profondità.

Anche i fenomeni CDM sono in aumento, perché la riduzione delle dimensioni dei dispositivi ha aumentato le tensioni e le correnti che si generano per colpa degli elementi parassiti durante le scariche.

Capitolo 2

Materiale usato

La tecnologia BCD8

Nel 1986 STMicroelectronics ha introdotto la tecnologia BCD (Bipolar CMOS DMOS) col nome di Multipower-BCD, come risposta all'esigenza di integrare sullo stesso chip componenti strutturalmente e tecnologicamente diversi tra loro come i transistor bipolari, i transistor MOS di segnale e i DMOS.

Il processo di produzione non era molto più complesso di quelli già in uso all'epoca, ma il vantaggio che introduceva era sostanziale: i progettisti non erano più vincolati a usare un solo transistor DMOS per chip, ma potevano inserirne nel circuito quanti ne volevano (da qui il nome Multipower). Potendo fare a meno dei bipolari di potenza questa tecnologia ha portato a una drastica riduzione della potenza dissipata dal dispositivo, mentre al contrario quella gestibile è potuta aumentare.

Grazie a questa sua versatilità la tecnologia BCD è stata fin da subito usata per realizzare dispositivi system-on-chip anche di elevata complessità strutturale che trovano la loro applicazione naturale nel campo delle telecomunicazioni e dell'automotive. Col termine system-on-chip si vogliono indicare quei sistemi che integrano nello stesso chip più moduli con funzioni diverse, quali processori, memorie e altro.

Un altro dei vantaggi della tecnologia BCD è la sua predisposizione a interfacciare bene con il mondo esterno quelle sezioni dei chip che per costruzione non devono risentire di disturbi elettromagnetici che potrebbero provocare errori di calcolo o addirittura veri e propri danni fisici al dispositivo.

A questo punto appare chiaro come i dispositivi fabbricati con tecnologia BCD siano adatti a integrare al loro interno dei sistemi di protezione contro le scariche elettrostatiche. Abbiamo già accennato ai requisiti fondamentali che tali sistemi di protezione devono avere e si può facilmente capire che la tecnologia BCD fornisce gli strumenti più adatti per realizzarli.

La compatibilità del processo produttivo è evidente così come la possibilità di minimizzare l'area occupata potendo realizzare il sistema di protezione insieme al circuito da proteggere, a questi possiamo aggiungere che la precisione dei bipolari combinata con la velocità e la capacità di calcolo dei MOS di segnale rendono queste due strutture le più indicate per la rilevazione in tempo reale degli eventi esterni che potrebbero danneggiare il circuito, mentre ai DMOS è richiesto di sopportare gli elevati picchi di corrente che tipicamente accompagnano la scarica elettrostatica.

Transmission Line Pulse (TLP)

La caratterizzazione in DC non è uno strumento particolarmente utile per l'analisi dell'impatto dei fenomeni ESD su un dispositivo elettronico, in quanto negli eventi di scarica le alte correnti in gioco scorrono per pochissimo tempo e non provocano lo stress termico tipico dell'analisi in DC.

Per ovviare a questo, Timothy Maloney e Neeraj Khurana svilupparono nel 1985 il TLP, un nuovo strumento di test specificamente ideato per lo studio della robustezza delle protezioni contro le scariche elettrostatiche.

Questa metodologia di test consiste nel sottoporre al dispositivo in esame degli impulsi rettangolari di ampiezza e durata variabili a piacimento e con un tempo di salita dell'ordine di grandezza dei nanosecondi, per poi misurare la corrente e la tensione ai suoi capi.

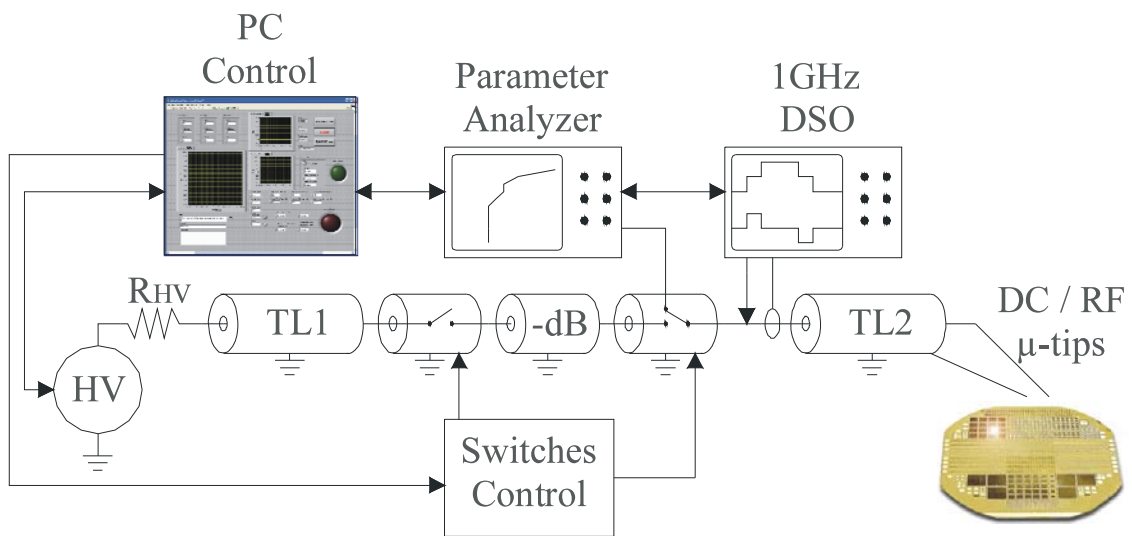
Gli impulsi vengono generati dall'alternanza fra la carica e la scarica, per mezzo di un generatore di tensione, della capacità distribuita di una linea di trasmissione. In questo modo viene generato un impulso di tensione, per trasformarlo in impulso di corrente viene inserita in serie al dispositivo da testare una resistenza.

La durata dell'impulso viene determinata dalla lunghezza della linea di trasmissione, mentre la sua ampiezza dipende dalla tensione di precarica della linea e dalle impedenze della sorgente e del carico.

TLP Time Domain Reflectometer

Lo schema circuitale del TLP usato per effettuare le misurazioni presentate in questa tesi è rappresentato in figura:

Figura 2.1: TLP-TDR



Fonte: [13]

Questa tipologia di TLP è detta Time Domain Reflectometer (TLP-TDR), e sfrutta il principio secondo il quale quando un'onda quadra colpisce il dispositivo di test questo ne genera a sua volta una riflessa di ampiezza dipendente dalla sua impedenza.

In questo modo l'analisi si basa sulla rilevazione delle forme d'onda di tensione e di corrente, e sulle stime che si possono fare su di esse.

Nel TLP-TDR usato per effettuare le misurazioni presentate in questa tesi la lunghezza della linea di trasmissione TL1 è di 10 m, quindi gli impulsi generati hanno una durata di 100 ns.

Formula 2.1: Calcolo della durata degli impulsi generati dal TLP-TDR

$$\text{Pulse duration} = \frac{TL1_{length}}{v_{propagation}(RG58)} * 2 = \frac{10m}{20cm/ns} * 2 = 100ns$$

Fonte: [13]

Gli impulsi inoltre hanno un tempo di salita inferiore al nanosecondo, e si possono sviluppare correnti di qualche decina di ampere.

È completamente controllato tramite un'interfaccia programmata con LabView, le misura di tensione e di corrente vengono eseguite indipendentemente l'una dall'altra e la misura della corrente di leakage del dispositivo oggetto del test viene effettuata dopo ogni impulso.

Capitolo 3

Ossidi di gate

Uno dei parametri più importanti nella definizione delle caratteristiche e delle performance dei circuiti elettronici basati sui transistor MOSFET è lo spessore dell'ossido di gate.

Il progresso tecnologico ha spinto l'industria elettronica a progettare e a fabbricare circuiti sempre più performanti, ma insieme alle prestazioni anche il consumo dei circuiti è un continuo aumento. Uno dei modi per limitarlo è ridurre le dimensioni del circuito, e questo processo di progressiva riduzione avvenuto nel corso degli anni è verificabile osservando come il processo di produzione dei circuiti integrati abbia subito continue modifiche per stare al passo con lo studio e la progettazione.

All'interno del transistor MOSFET uno dei parametri che ormai è arrivato al limite della scalabilità è proprio lo spessore dell'ossido di gate. Nei MOSFET più recenti ormai l'ossido di gate è spesso pochi strati atomici, e queste sue

ridottissime dimensioni lo rendono uno dei “punti deboli” del circuito nei confronti delle scariche elettrostatiche.

Rottura dell’ossido

Uno dei danni più comuni che le scariche elettrostatiche possono provocare a un transistor MOSFET è la rottura dell’ossido. Questo fenomeno nel corso degli anni ha aumentato sempre più la sua incidenza, perché il progresso tecnologico nella produzione dei circuiti integrati con strutture MOS ha portato a una continua riduzione dello spessore dell’ossido di gate, mentre conseguentemente è andato aumentando il campo elettrico che lo attraversa.

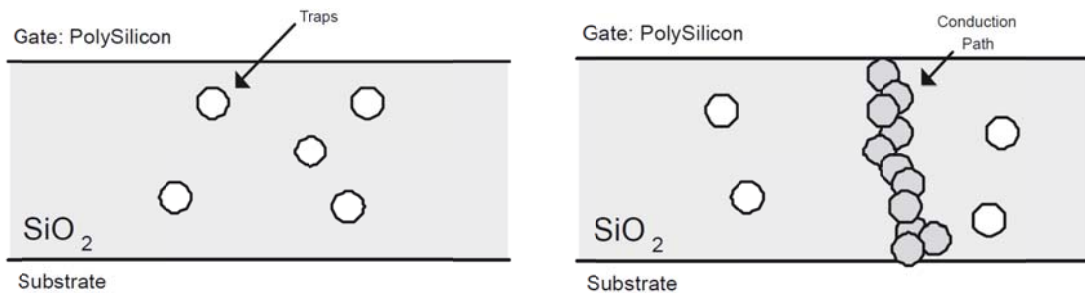
Durante un evento ESD questo campo può raggiungere valori tali da provocare il breakdown dell’ossido.

Il danneggiamento dell’ossido, oltre che dallo spessore, è fortemente dipendente anche dalla qualità dell’ossido stesso. I difetti di fabbricazione non sono dovuti solo a degli errori intrinseci del processo di crescita dell’ossido di gate, ma possono derivare da altre fasi del processo produttivo e possono formarsi sia come conseguenza delle impiantazioni ioniche usate per la formazione del gate o per altri processi di drogaggio, sia come conseguenza degli stress meccanici ai quali è soggetto il chip durante la fabbricazione o il packaging.

I difetti nell’ossido di gate vengono comunemente chiamate “trappole”, perché in quei punti possono venire catturate delle cariche.

Il cosiddetto soft breakdown (SBD) avviene quando il numero e la posizione delle cariche permette la formazione di un canale conduttivo che attraversa l’ossido.

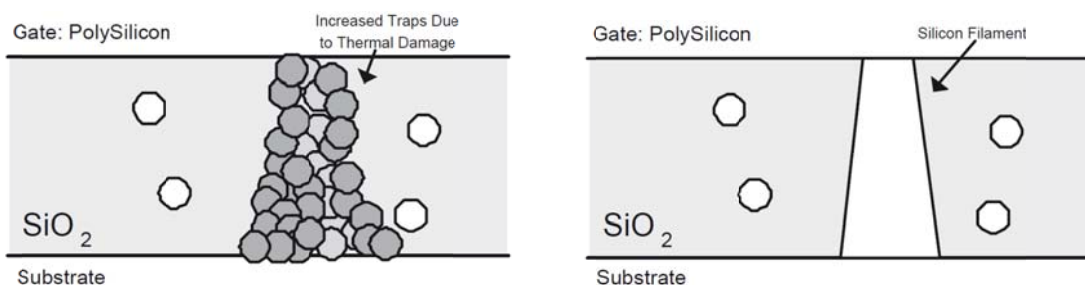
Figura 3.1: Trappole preesistenti nell'ossido e formazione del canale conduttivo



Fonte: [2]

Le alte temperature che si generano nell'ossido attraversato dalla corrente di soft breakdown favoriscono la formazione di molte altre trappole in prossimità del canale appena formato, questo tipo di fenomeno prende il nome di hard breakdown (HBD) e porta alla formazione di un filamento di silicio che attraversa tutto l'ossido.

Figura 3.2: Aumento del numero delle trappole in prossimità del canale conduttivo e danni derivanti dall'hard breakdown



Fonte: [2]

Sono state formulate molte teorie per spiegare la generazione delle trappole nell'ossido, i due modelli più importanti sono il modello termochimico (E model) e il modello a iniezione di lacune all'anodo (1/E model). Entrambi supportati da prove sperimentali, il modello 1/E descrive meglio il fenomeno in presenza di alti campi, mentre il modello E sembra descrivere meglio quello che succede per campi modesti.

Gate Oxide Monitor

L'oggetto di questa sezione è la descrizione e l'analisi delle misurazioni di laboratorio eseguite per studiare il breakdown di dispositivi nMOS e pMOS Gate Monitor Smart Power realizzati in tecnologia BCD8 (BCD81V8 e BCD8A) forniti da STMicroelectronics nel modulo MPW H822AA - CK332A.

Nel caso del BCD81V8 i MOS, dimensionati per tensioni di 1,8 V, hanno l'ossido di gate spesso 35 Å, mentre nel BCD8A i MOS sono dimensionati per tensioni di 3,3 V e hanno l'ossido di gate spesso 70 Å.

In accordo con la nomenclatura fornita da STMicroelectronics, i dispositivi testati sono i "3C" (sigla che indica gli nMOS) e i "6C" (che indica i pMOS).

I transistor in esame sono piuttosto grandi (larghezza $W = 100 \mu\text{m}$ e lunghezza $L = 100 \mu\text{m}$), privi di diodo antenna e completi di pad GSG da 150 μm .

La scelta di usare transistor di queste dimensioni è stata fatta per minimizzare la dipendenza dagli effetti perimetrali sul breakdown del dielettrico, mentre i pad GSG sono stati forniti per permettere l'uso di sonde RC ad alta frequenza, necessarie per la caratterizzazione del breakdown nel dominio del tempo degli eventi di tipo ESD (qualche nanosecondo).

Tutti i test sono stati effettuati impulsando i gate dei transistor mentre i drain, i source e i body sono stati collegati a massa. Le misure sugli nMOS sono state fatte sia in inversione ($V_G > 0 \text{ V}$) che in accumulazione ($V_G < 0 \text{ V}$), viceversa per i pMOS.

Lo scopo di questo lavoro è fornire dei valori di massima per determinare la Safe Operating Area dei MOS in esame, la conoscenza di questi dati poi

consentirà ai progettisti di fissare dei valori di tolleranza sull’impatto che devono avere le sottoreti di scarica per non danneggiare il circuito da proteggere.

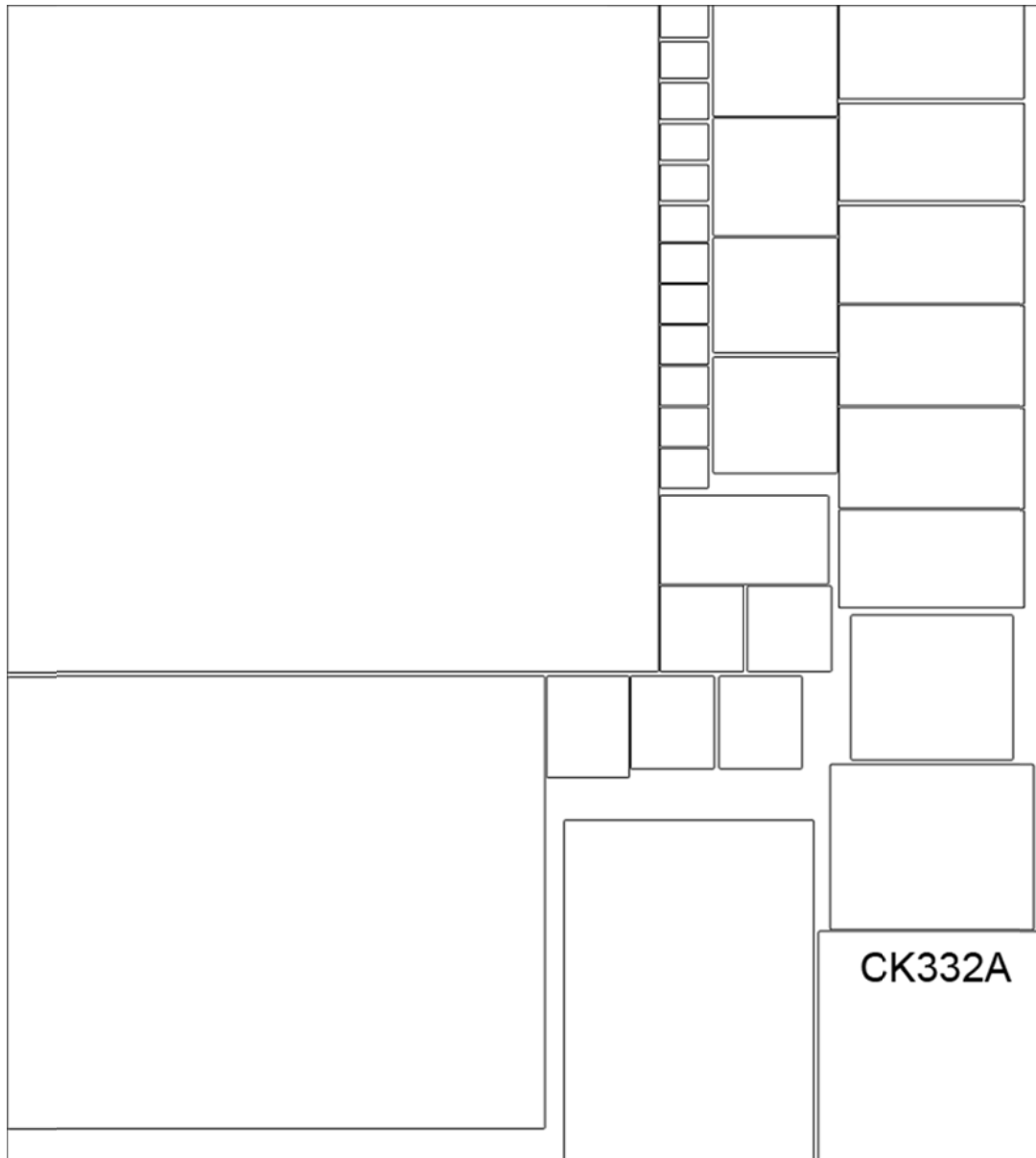
Descrizione delle strutture testate

Le strutture oggetto delle misurazioni sono degli nMOS (N+ poly/p-well) e dei pMOS (P+ poly/n-well) con spessore dell’ossido di gate di 35 Å e 70 Å, rispettivamente per le tecnologie BCD81V8 e BCD8A, tutti posizionati nel modulo MPW H822AA - CK332A.

La descrizione fornita da STMicroelectronics dei dispositivi in tecnologia BCD81V8 è la seguente:

NOME	TIPO	STRUTTURA	PAD	CLASSE	NOTE
3C	TEG	1.8V NCAP 100/100 vf-TLP GOX	GSG	1.8V	No antenna diode M1/M3 pad small in Y
6C	TEG	1.8V PCAP 100/100 vf-TLP GOX	GSG	1.8V	No antenna diode M1/M3 pad small in Y

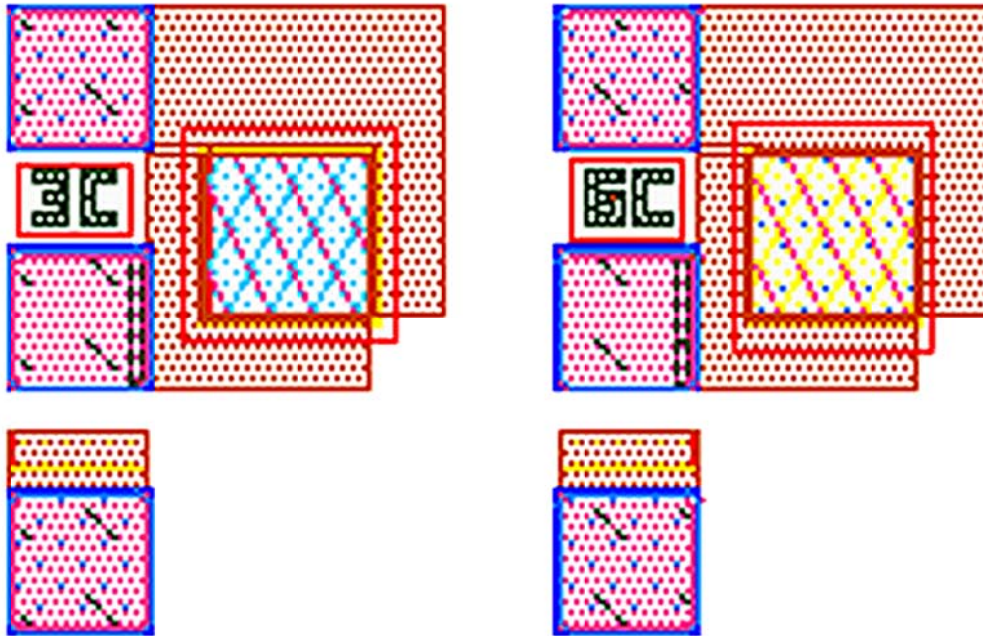
La struttura di ogni die del wafer è la seguente:



In particolare il modulo MPW H822AA - CK332A si presenta così:



I MOS oggetto delle misure si trovano sulla sinistra del modulo e presentano questo aspetto:



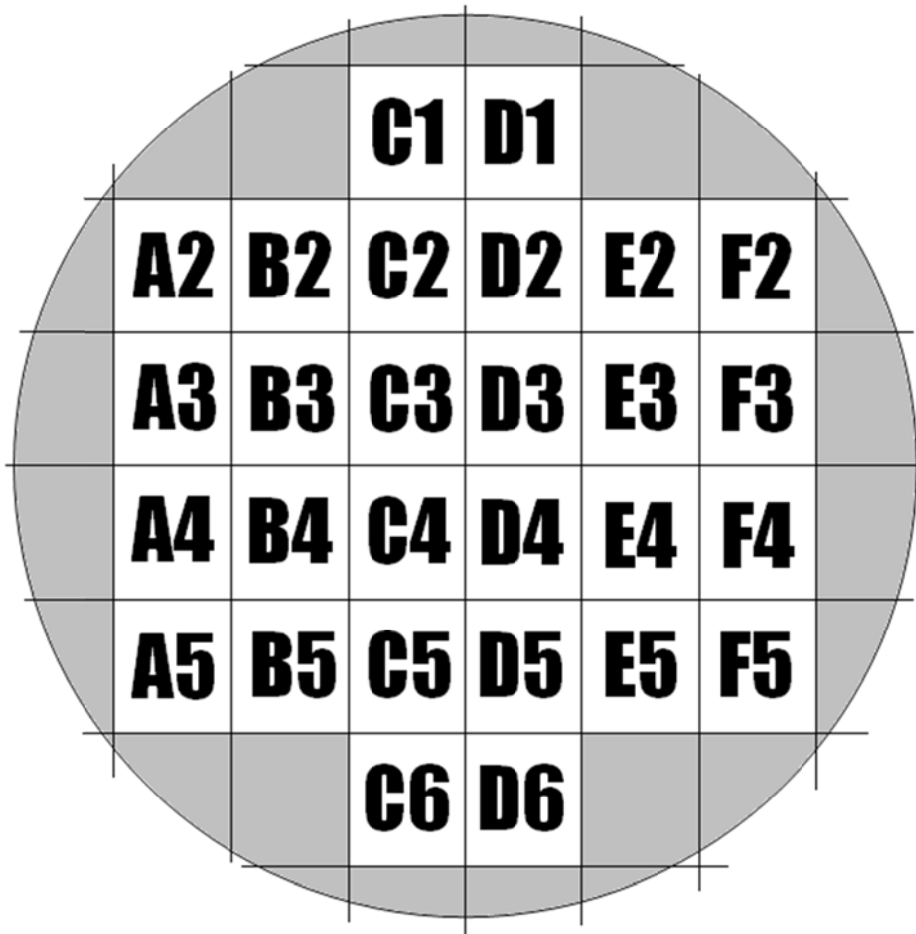
Sono chiaramente visibili i pad GSG.

Il primo dall'alto contatta il drain, il source e il body dei transistor e durante le misure è stato collegato a massa.

Quello centrale è il terminale di gate, ed è a questo contatto che sono stati inviati gli impulsi.

Quello inferiore è il pad del substrato, anch'esso collegato a massa durante le misurazioni effettuate.

Si è deciso di assegnare una posizione tramite una lettera e un numero a ogni die all'interno del wafer per poterlo identificare e tenere traccia anche di questo parametro durante l'analisi dei risultati.



Descrizione delle modalità di misurazione

Dopo una prima analisi in DC si è analizzato il comportamento degli ossidi sottoponendoli a degli impulsi di tensione generati sia da un TLP che da un impulsatore allo stato solido.

Nell'analisi impulsiva si è adottato come criterio per la rilevazione della rottura la corrente di leakage dell'ossido misurata a 1,8 V e a 3,3 V, rispettivamente per i MOS con spessore dell'ossido di gate di 35 Å e 70 Å.

Caratterizzazione in DC

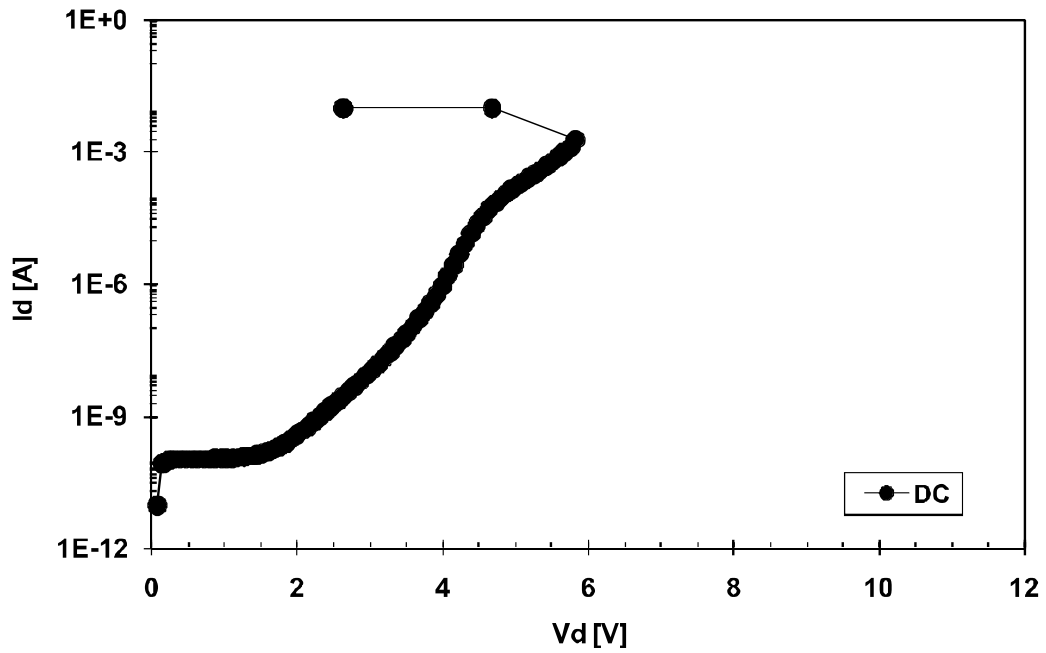
La caratterizzazione preliminare dei principali parametri elettrici degli ossidi è stata fatta tramite un'analisi in DC, effettuata con un parameter analyzer Hp 4145 a semiconduttore e con un SourceMeter Keithley 2612, ottenendo risultati simili.

Al dispositivo da testare (DUT) è stato applicato uno stress di tensione a scala fino al raggiungimento del punto di rottura. La durata di ogni gradino è stata misurata con la funzione di time stamping del Keithley 2612 (con tempo di integrazione $NPLC = 1$) ed è risultata essere di circa 48 ms. È stato comunque verificato che il tempo di integrazione non influenza la misura.

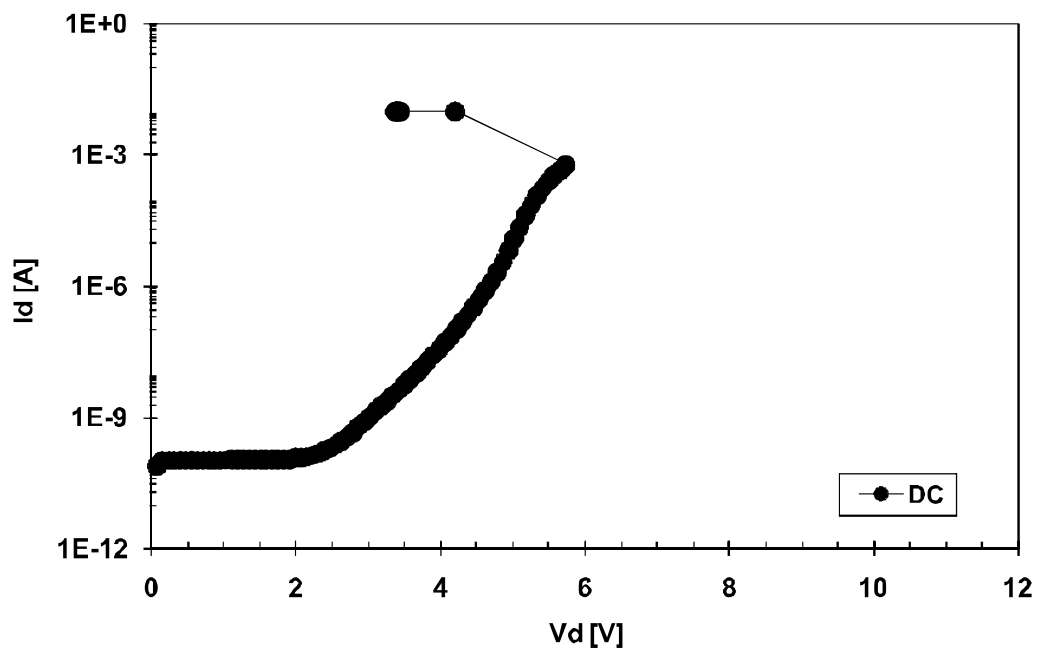
I risultati delle misure eseguite sono riportati nei grafici delle pagine seguenti.

BCD81V8 - 35Å - Stress positivi

DC - G.O.M. - BCD81V8 - 35Å - NMOS 3C (C4)

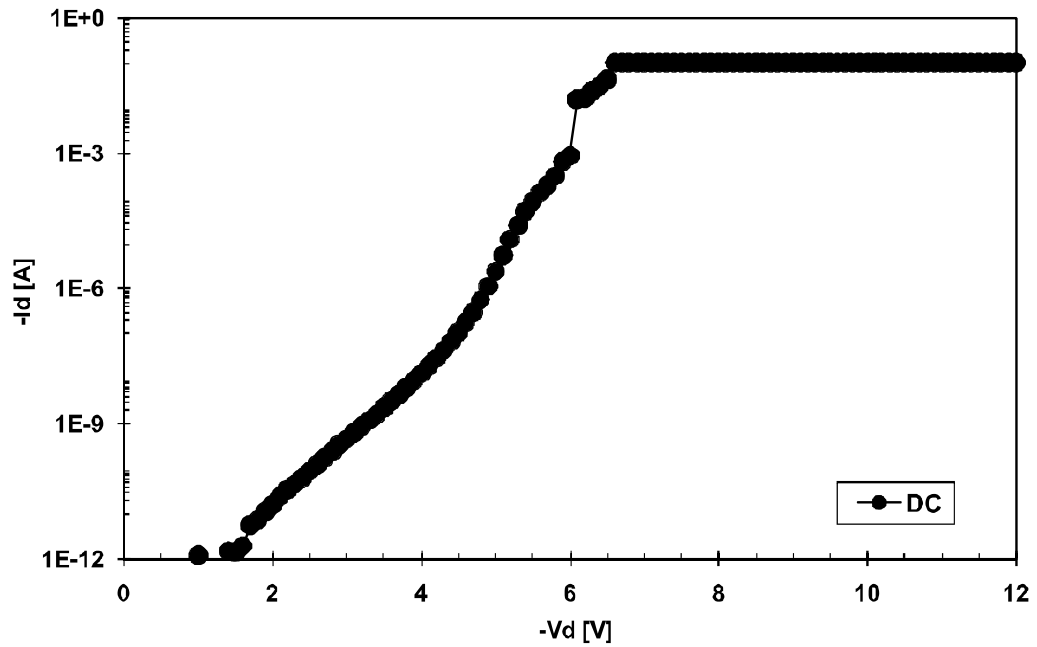


DC - G.O.M. - BCD81V8 - 35Å - PMOS 6C (C4)

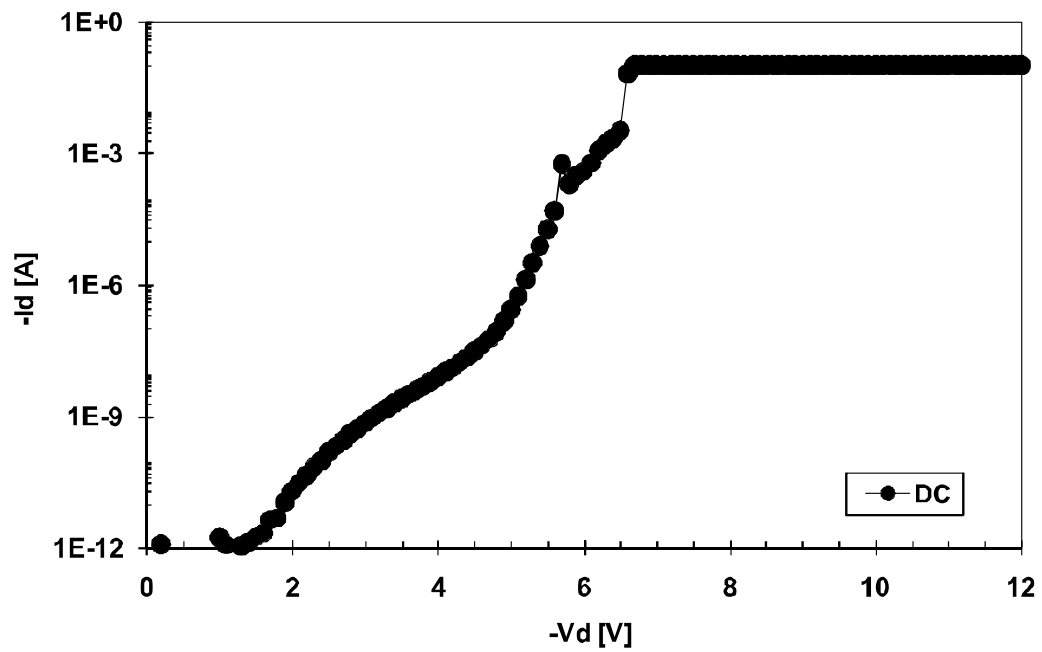


BCD81V8 - 35Å - Stress negativi

DC - NEG - G.O.M. - BCD81V8 - 35Å - NMOS 3C (D6)

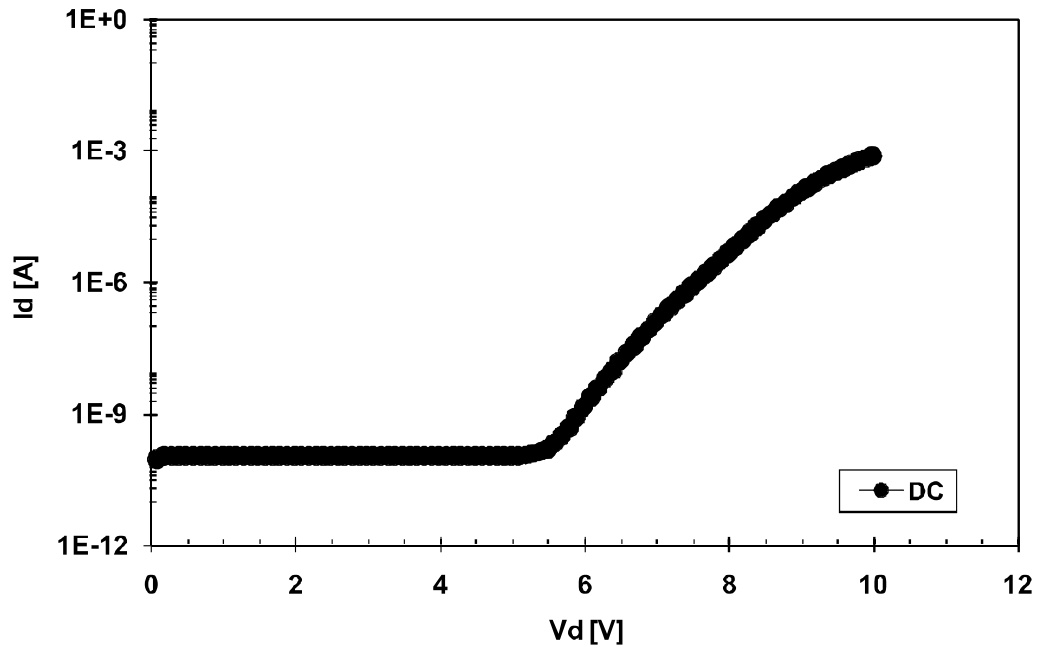


DC - NEG - G.O.M. - BCD81V8 - 35Å - PMOS 6C (D6)

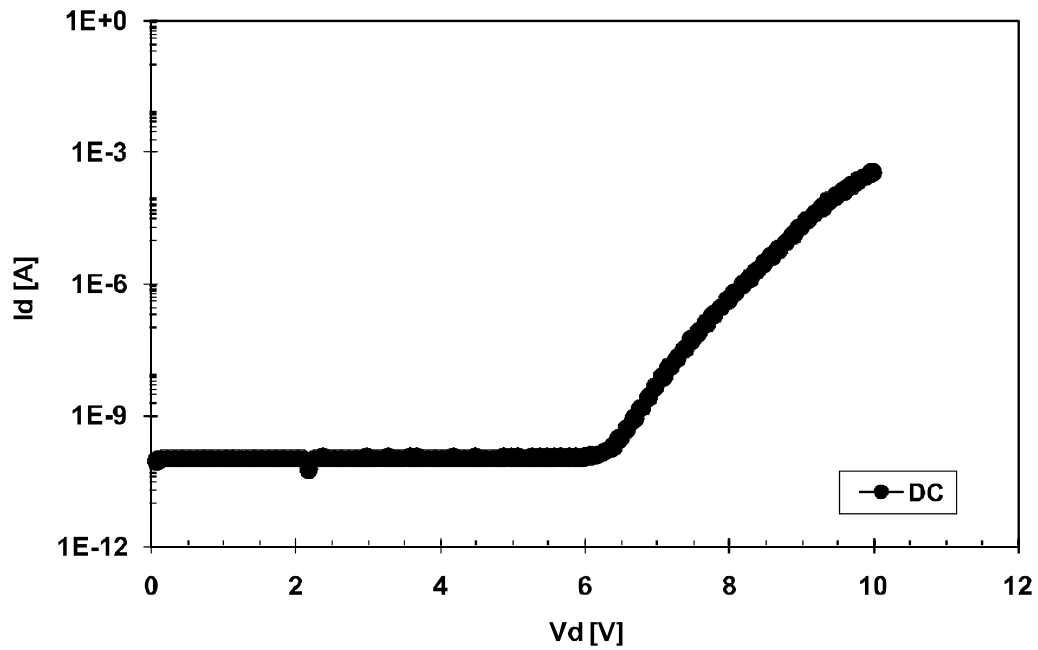


BCD8A - 70Å - Stress positivi

DC - G.O.M. - BCD8A - 70Å - NMOS 3C (C3)

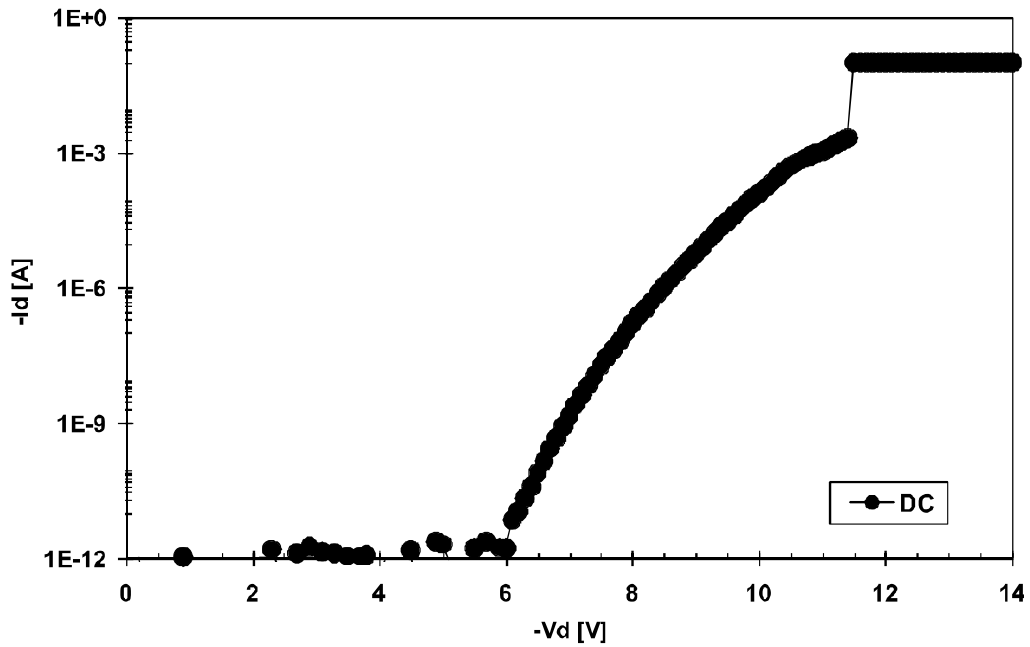


DC - G.O.M. - BCD8A - 70Å - PMOS 6C (C3)

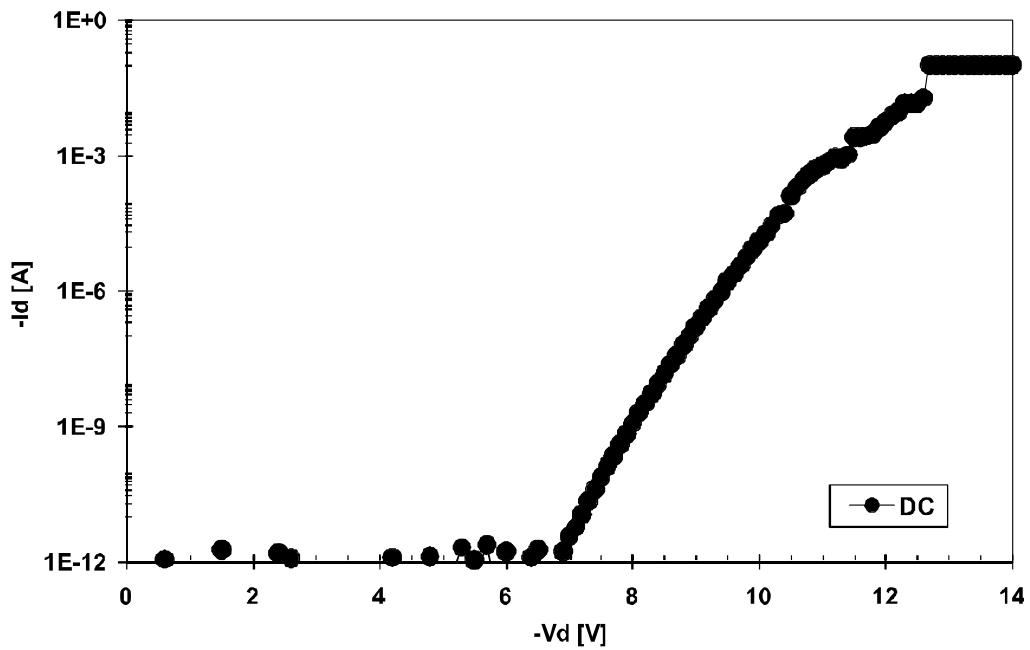


BCD8A - 70Å - Stress negativi

DC - NEG - G.O.M. - BCD8A - 70Å - NMOS 3C (E1)



DC - NEG - G.O.M. - BCD8A - 70Å - PMOS 6C (E1)



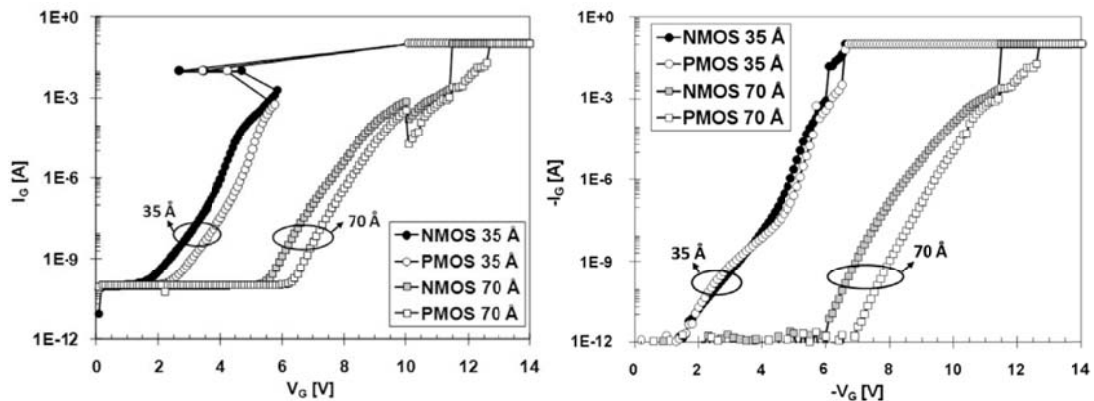
I valori dei breakdown sotto stress di tensione positivi sono stati:

- nMOS 35 Å = 5,8 V
- pMOS 35 Å = 5,8 V
- nMOS 70 Å = 11,5 V
- pMOS 70 Å = 12,5 V

Invece sotto stress di tensione negativi:

- nMOS 35 Å = -6,1 V
- pMOS 35 Å = -6,3 V
- nMOS 70 Å = -11,5 V
- pMOS 70 Å = -12,5 V

I due grafici seguenti mettono a confronto gli stress di tensione positivi e negativi ed evidenziano come i pMOS abbiano dimostrato una robustezza maggiore.



Questo comportamento è stato riscontrato anche da Melanie Etherton [6], ed è stato inteso come un effetto della resistenza serie parassita maggiore dei pMOS.

A causa delle piccole correnti e tensioni in gioco (a 1 nA la differenza di potenziale è di circa 1 V) non è detto che sia questa la causa della differenza del comportamento tra gli nMOS e i pMOS. In realtà una spiegazione alternativa potrebbe essere la diversa tensione di banda piatta dei pMOS e degli nMOS.

Caratterizzazione in regime impulsivo

Una prima tornata di misure è stata effettuata per mezzo di un TLP-TDR da 100 ns, uno strumento ampiamente utilizzato nelle analisi di tipo ESD.

Dopo ogni impulso sono state rilevate le forme d'onda della tensione e della corrente, quest'ultima con l'uso di una sonda di corrente Tektronix CT-1 da 5 mV/mA.

In seguito è stato usato anche un setup simile ma basato su un impulsatore allo stato solido Hp 8114A, per caratterizzare il breakdown degli ossidi per impulsi compresi tra i 20 ns e il ms. A causa dei limiti d'uso della sonda di corrente CT-1, per misurare la corrente durante gli impulsi superiori al μs è stata usata la caduta di potenziale lungo un resistore da 1 k Ω .

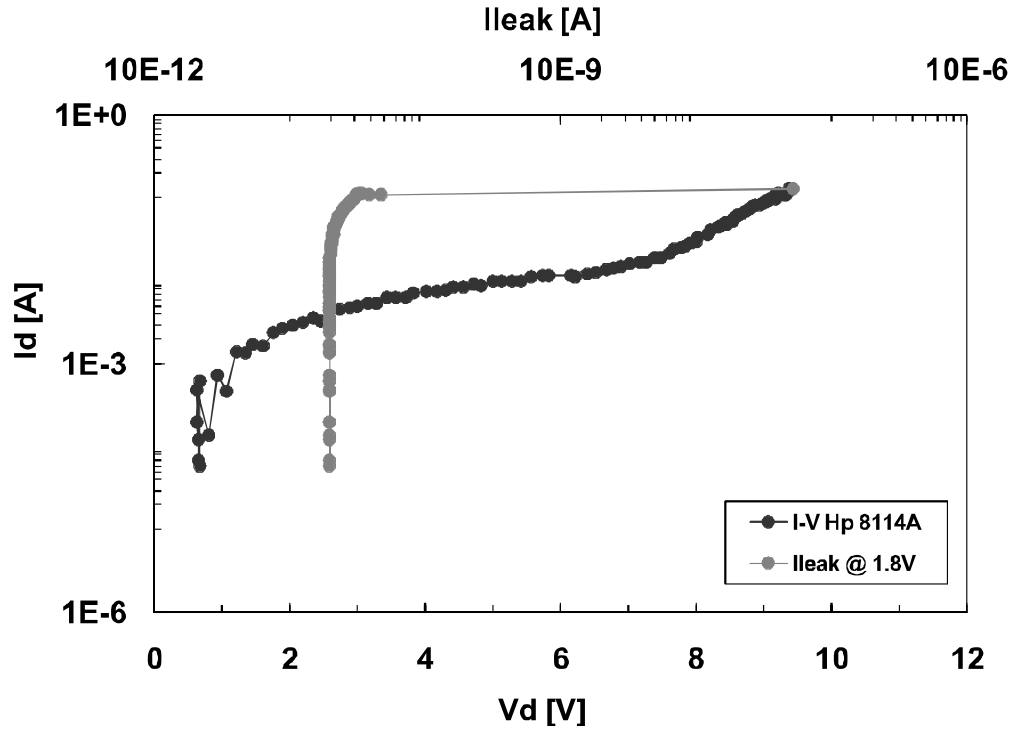
Le misure sugli impulsi di durata superiore ai 200 μs sono state eseguite anche con l'uso di un SourceMeter Keithley 2612.

Il criterio scelto per la rilevazione della rottura del dielettrico è stata la corrente di leakage misurata a 1,8 V e 3,3 V rispettivamente per gli ossidi di spessore 35 Å e 70 Å.

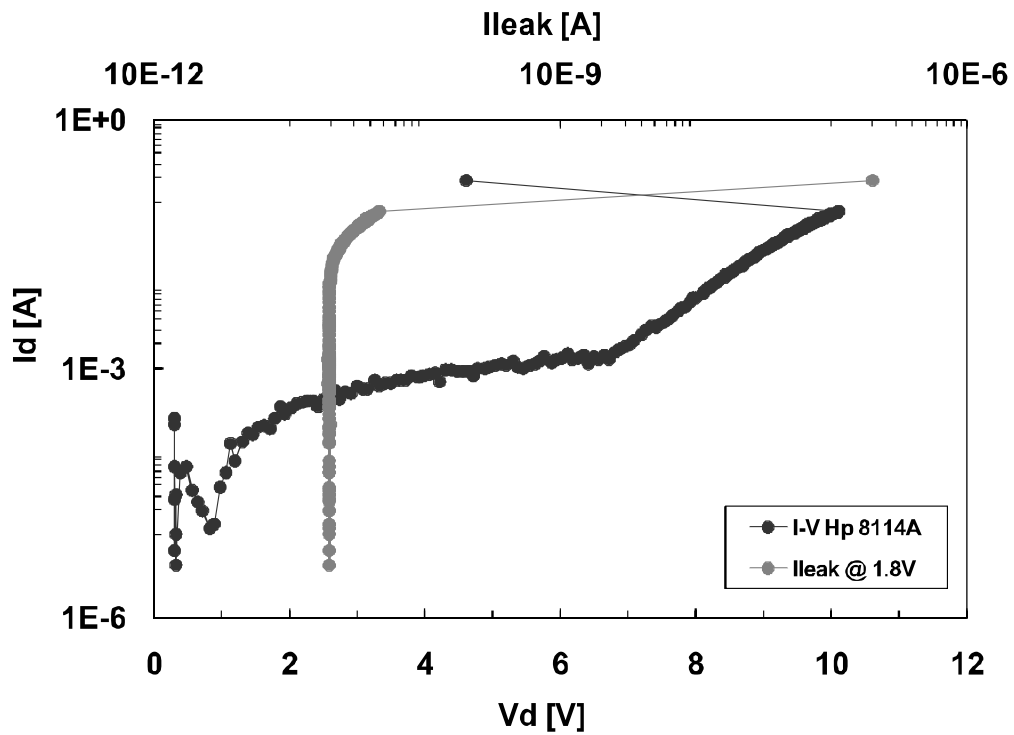
I risultati delle misure eseguite sono riportati nei grafici delle pagine seguenti.

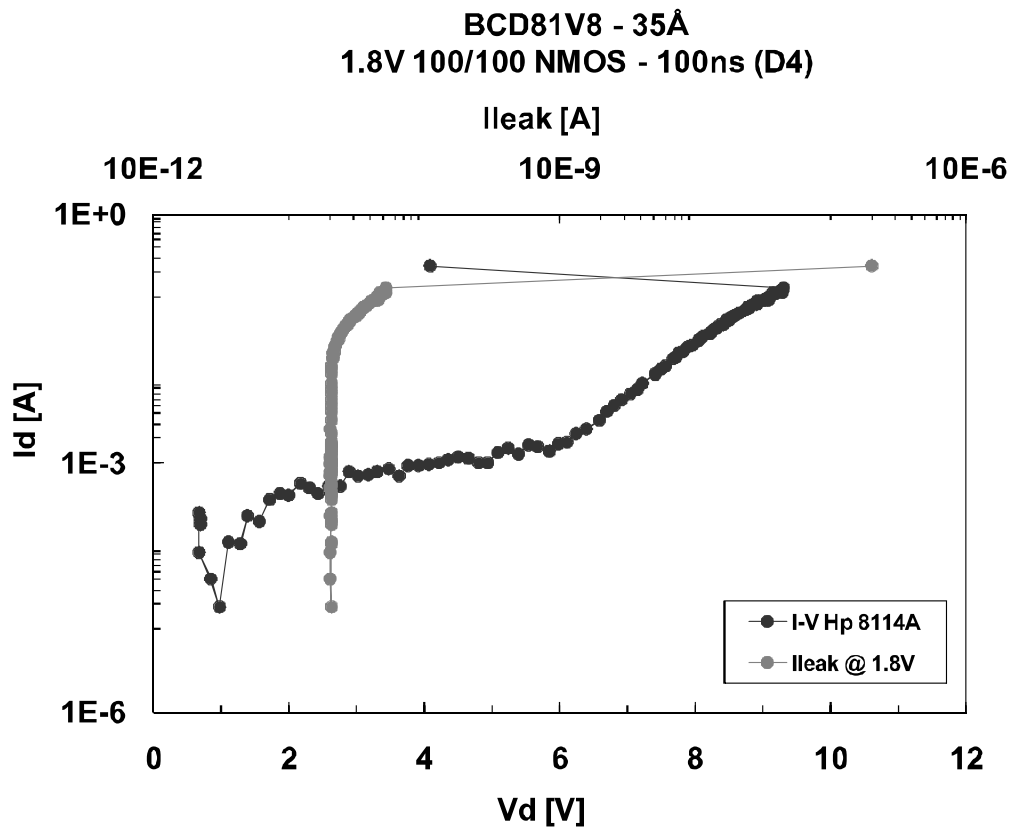
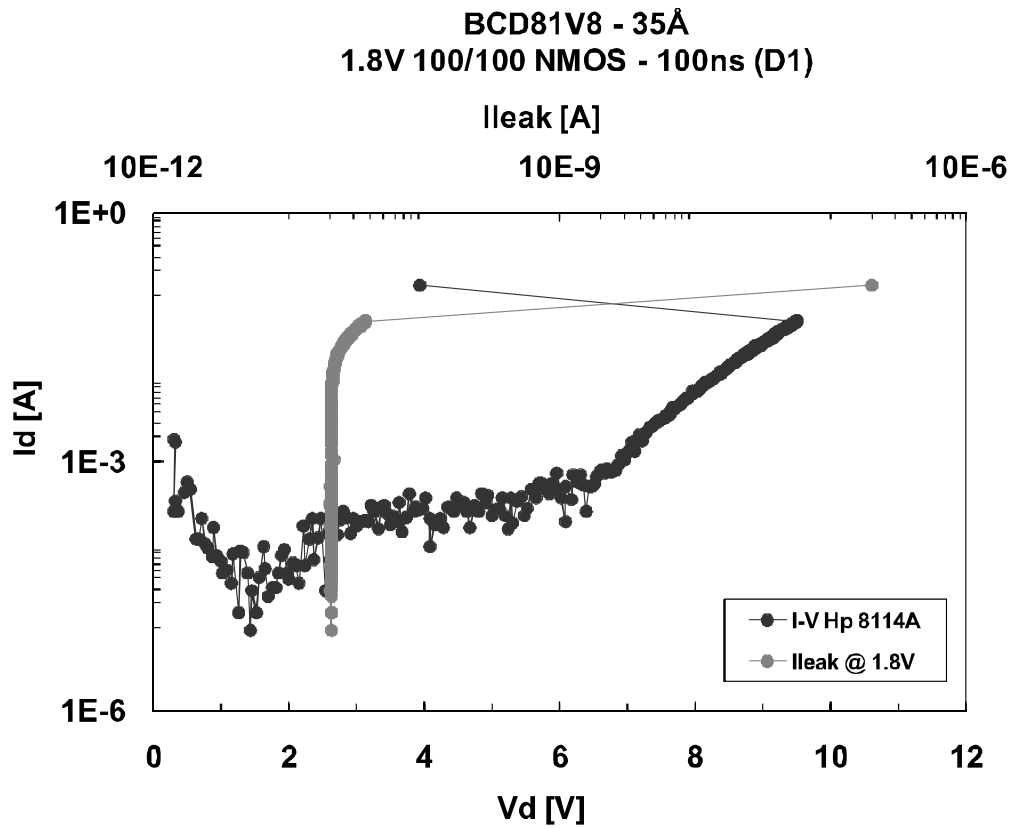
Dispositivi “3C” – nMOS 35 Å 1,8 V – Stress positivi

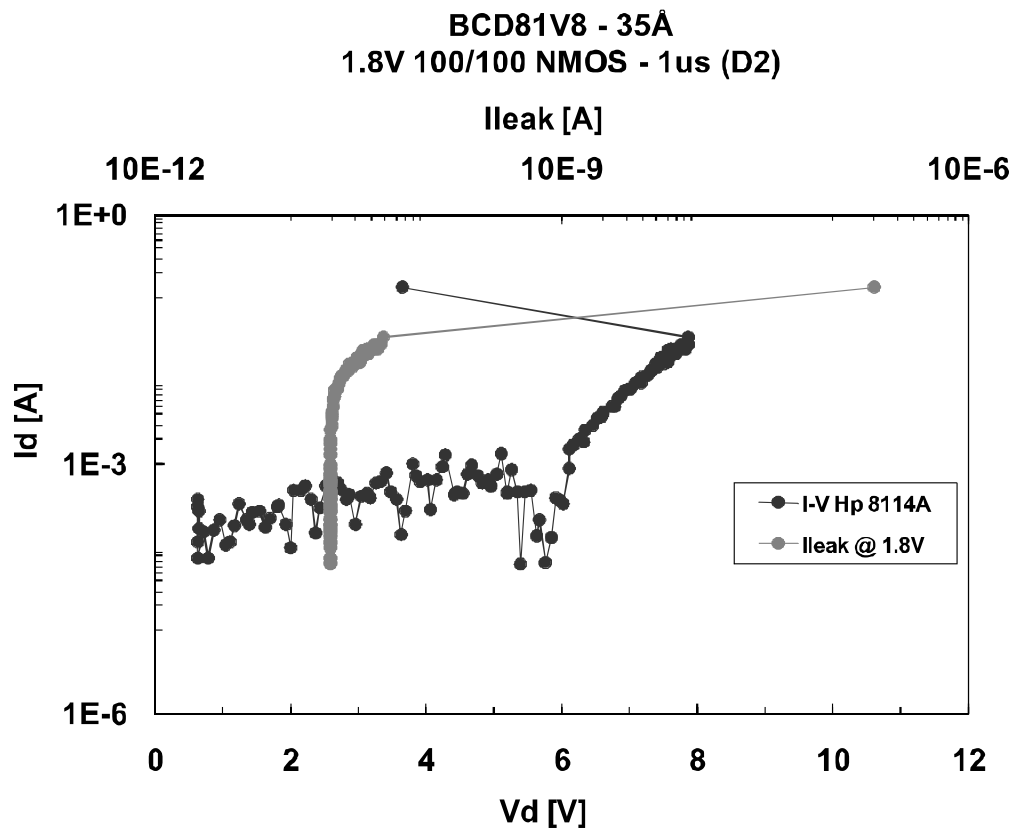
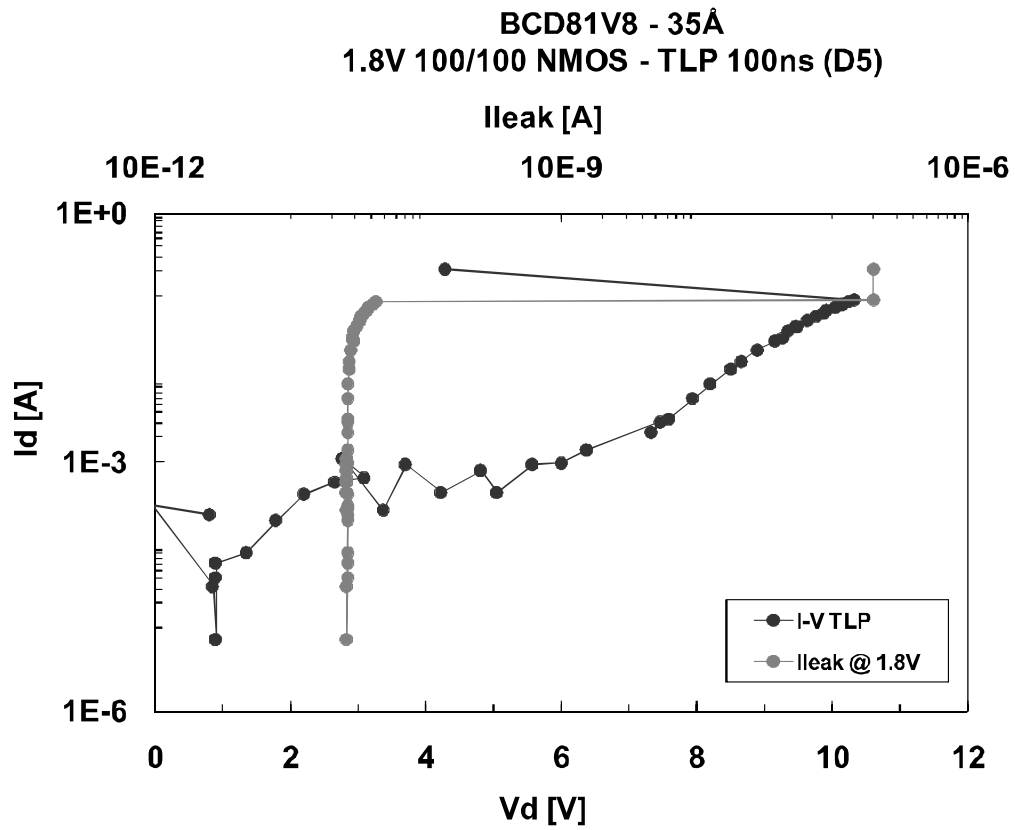
BCD81V8 - 35Å
1.8V 100/100 NMOS - 50ns (D3)



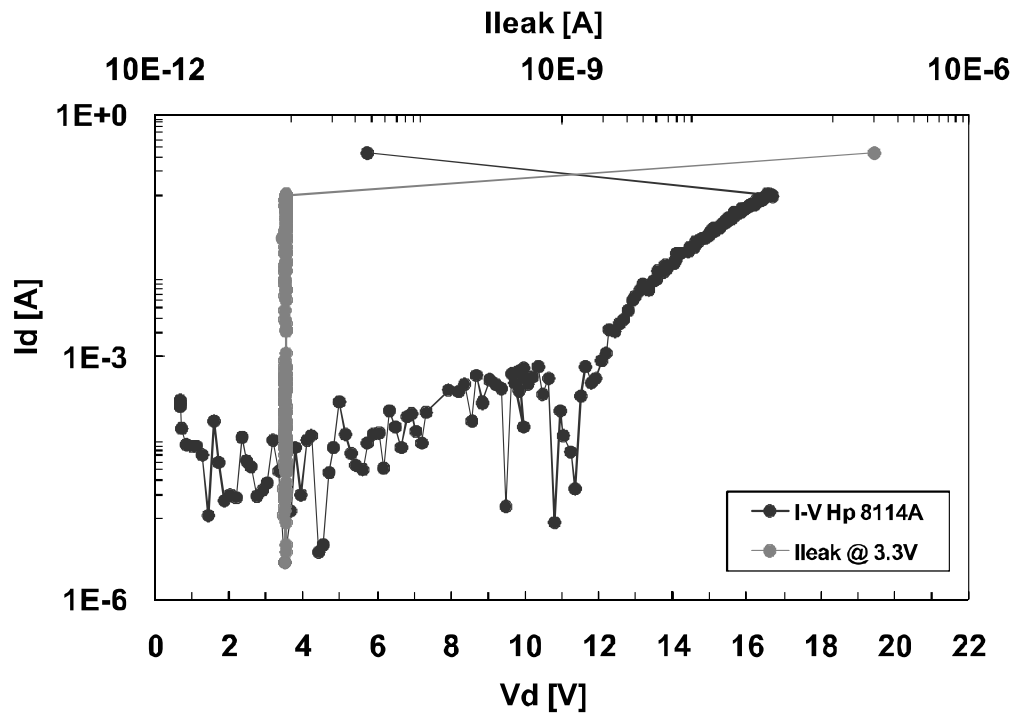
BCD81V8 - 35Å
1.8V 100/100 NMOS - 100ns (C2)



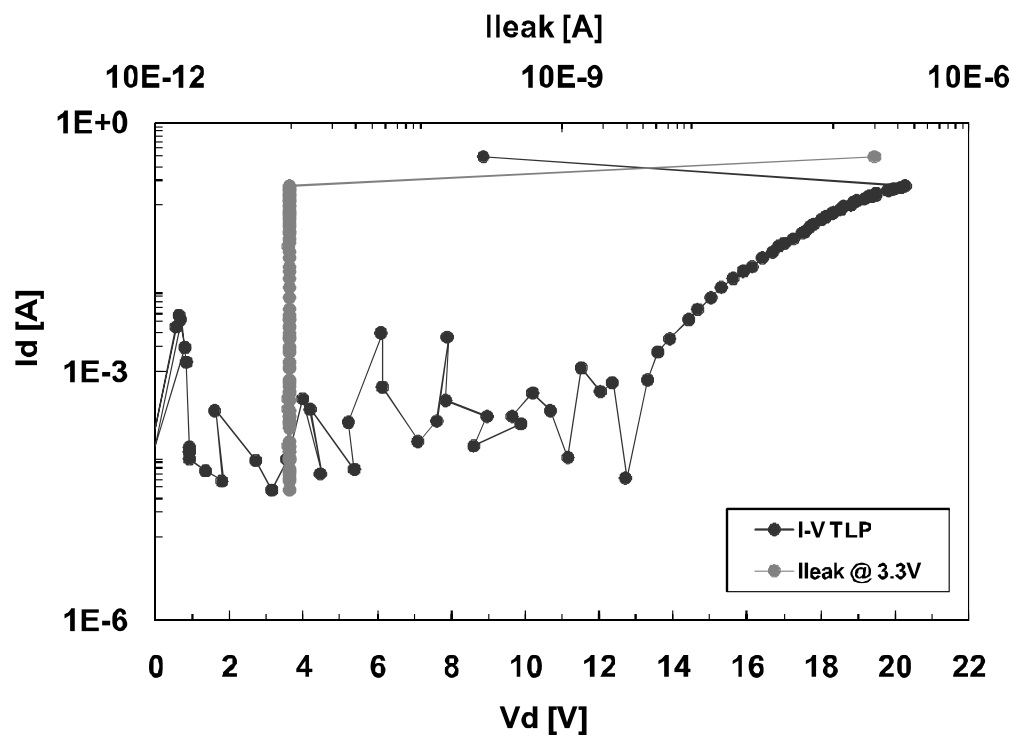




BCD8A - 70Å
3.3V 100/100 NMOS - 100ns (D4)

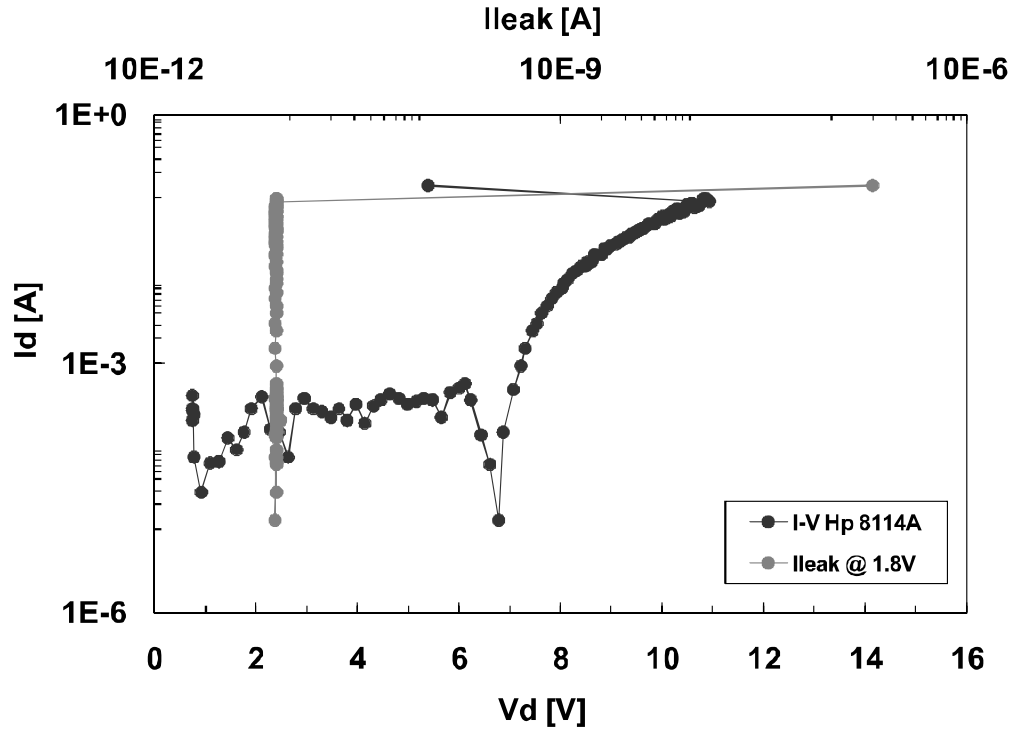


BCD8A - 70Å
3.3V 100/100 NMOS - TLP 100ns (D5)

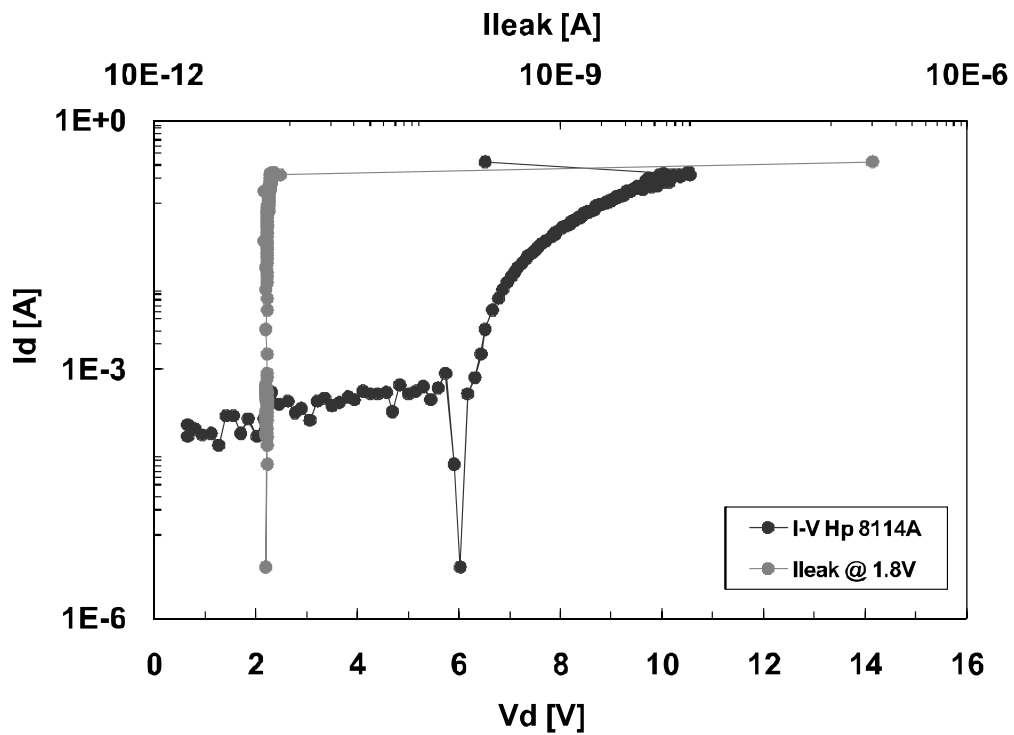


Dispositivi “6C” – pMOS 35 Å 1,8 V – Stress positivi

BCD81V8 - 35Å
1.8V 100/100 PMOS - 100ns (C3)

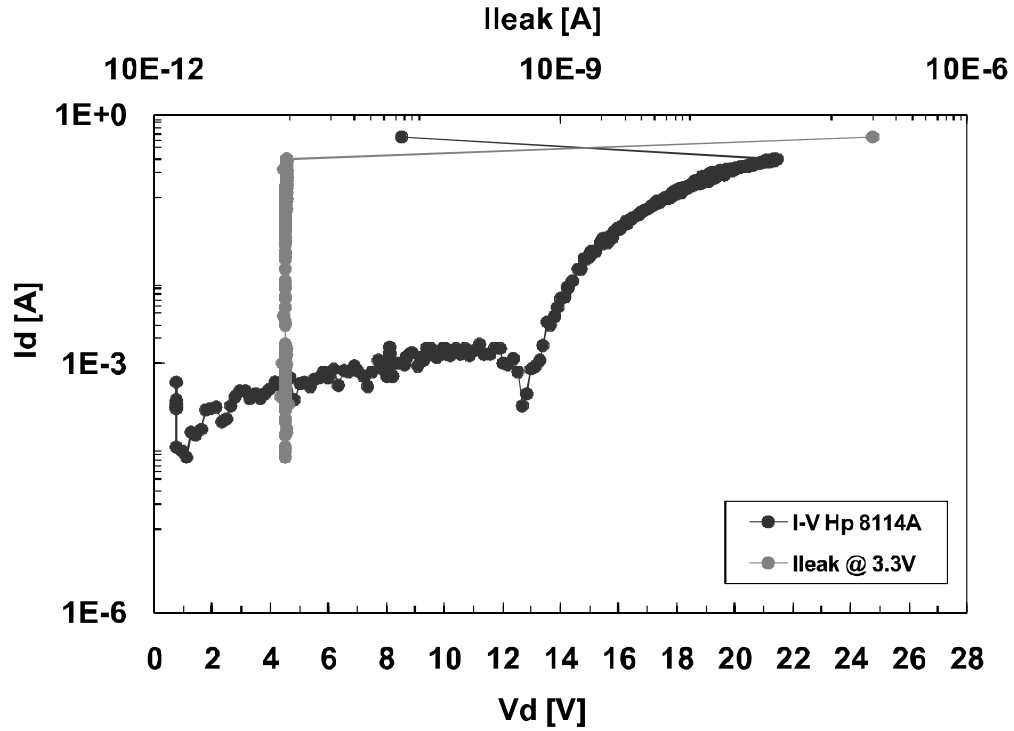


BCD81V8 - 35Å
1.8V 100/100 PMOS - 100ns (D1)

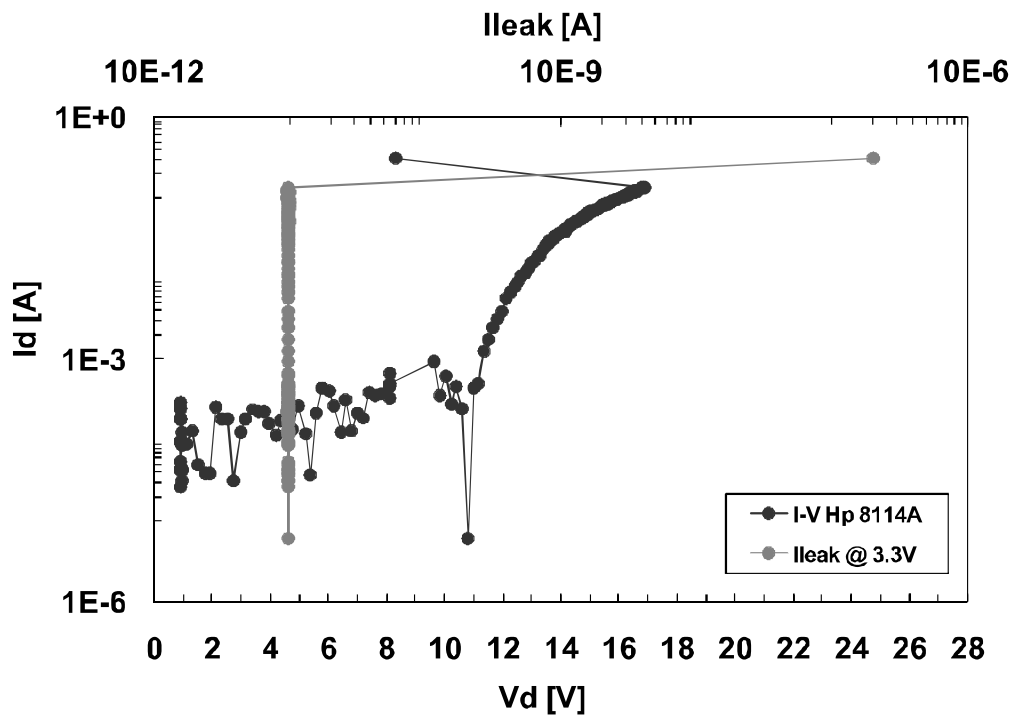


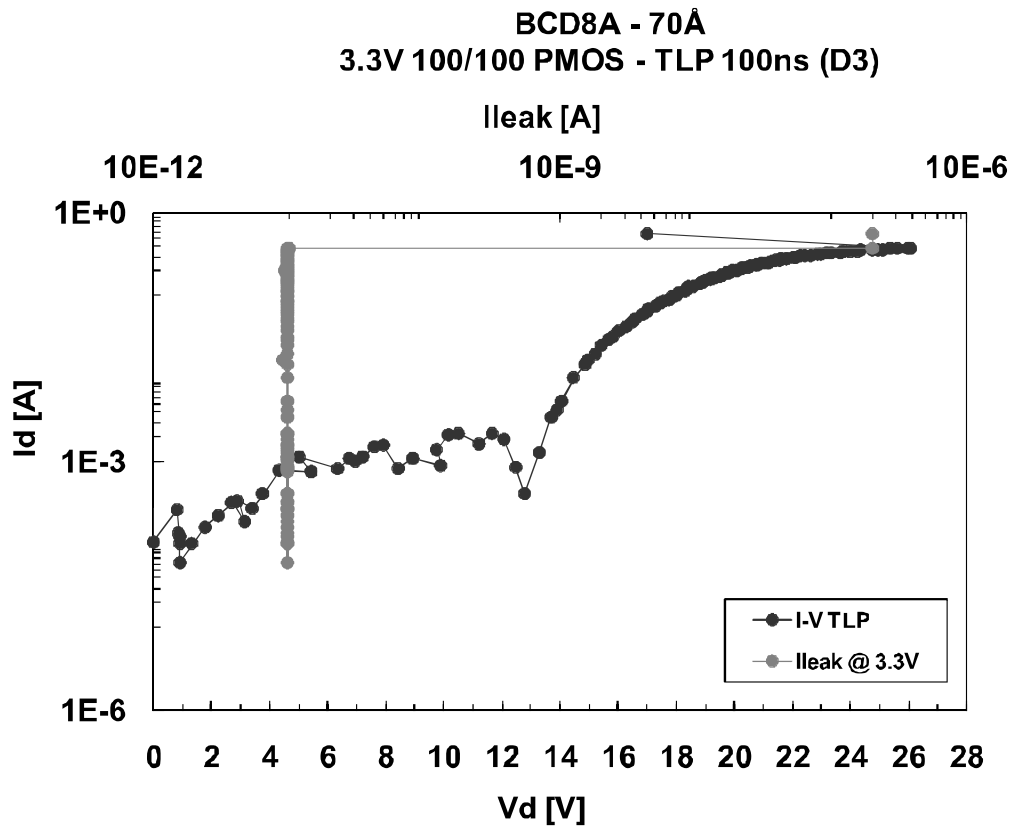
Dispositivi “6C” – pMOS 70 Å 3,3 V – Stress positivi

BCD8A - 70Å
3.3V 100/100 PMOS - 100ns (C1)



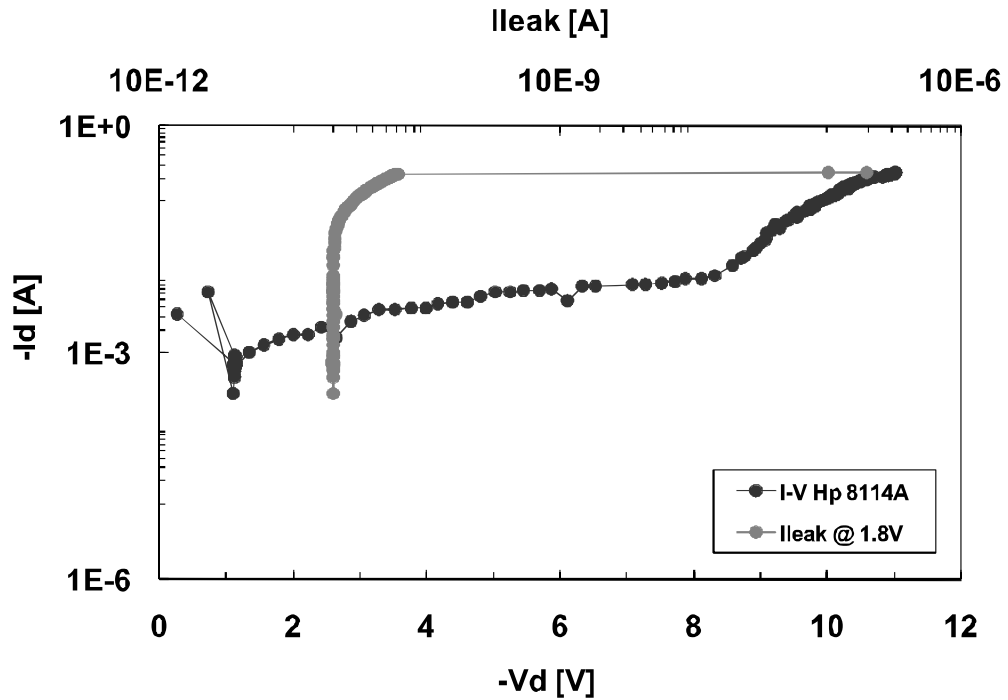
BCD8A - 70Å
3.3V 100/100 PMOS - 100ns (D2)



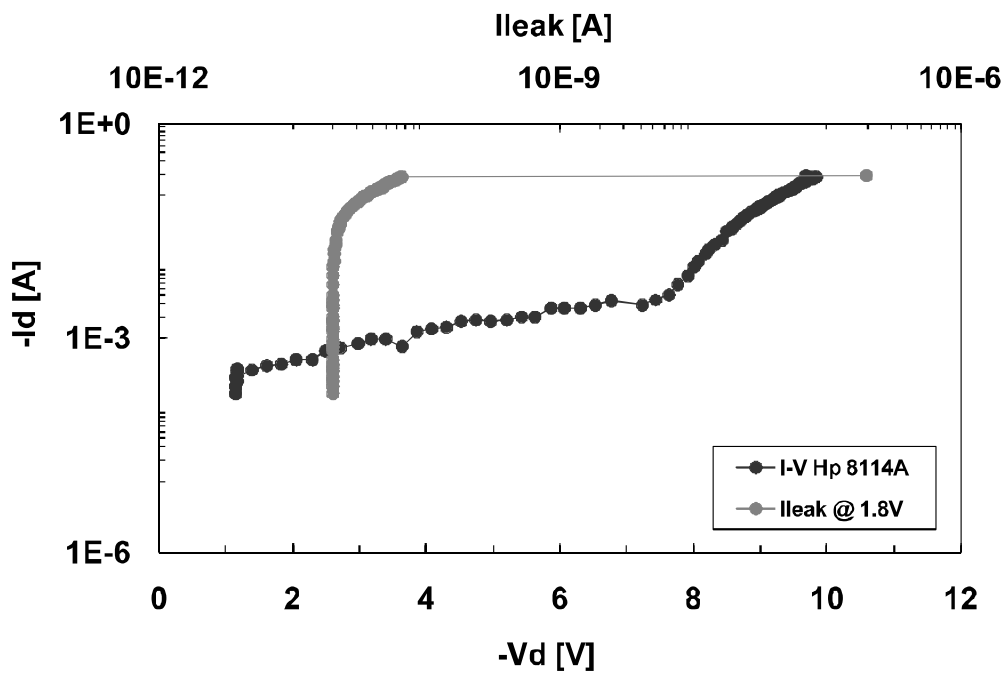


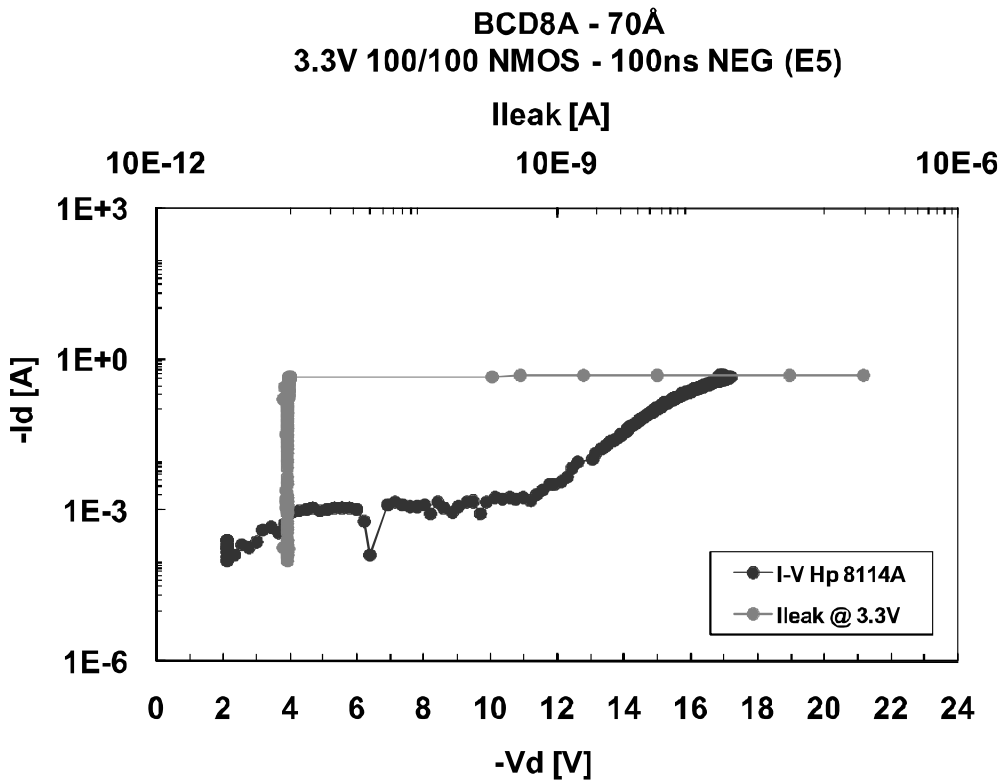
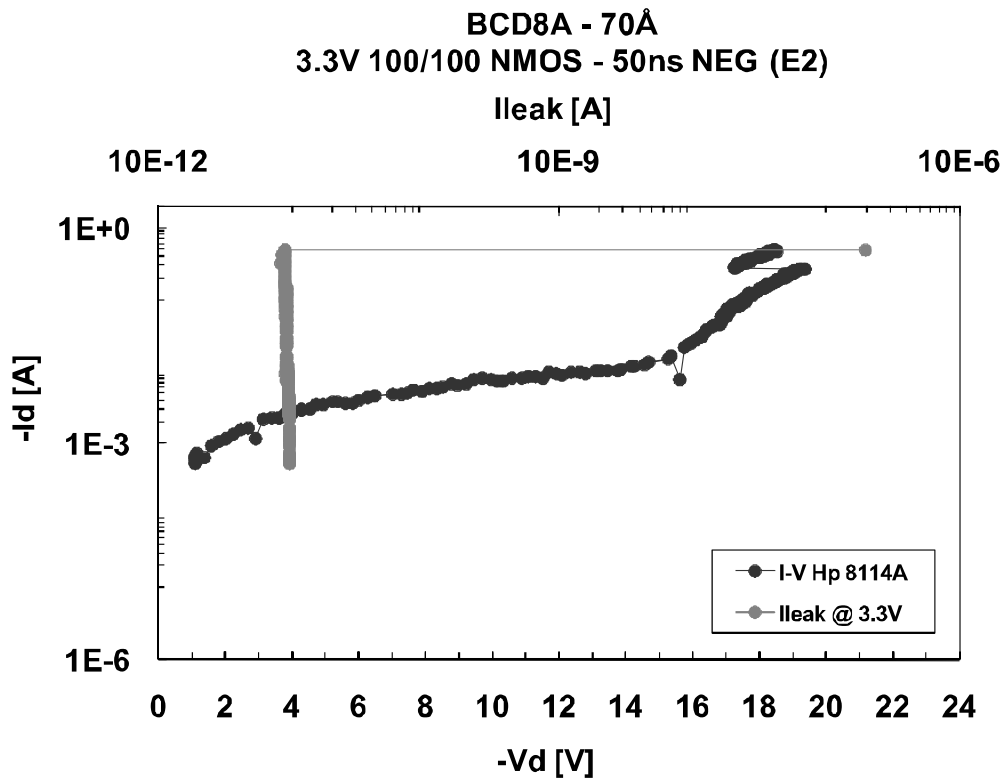
Dispositivi “3C” – nMOS 35 Å 1,8 V – Stress negativi

BCD81V8 - 35Å
 1.8V 100/100 NMOS - 50ns NEG (B3)

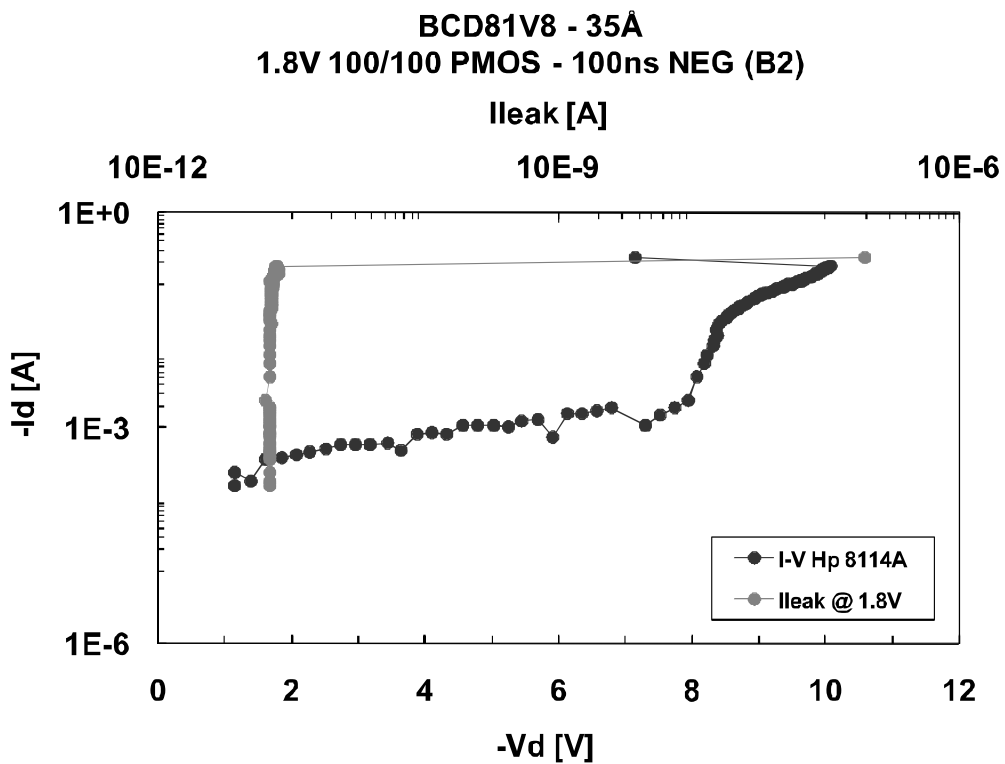
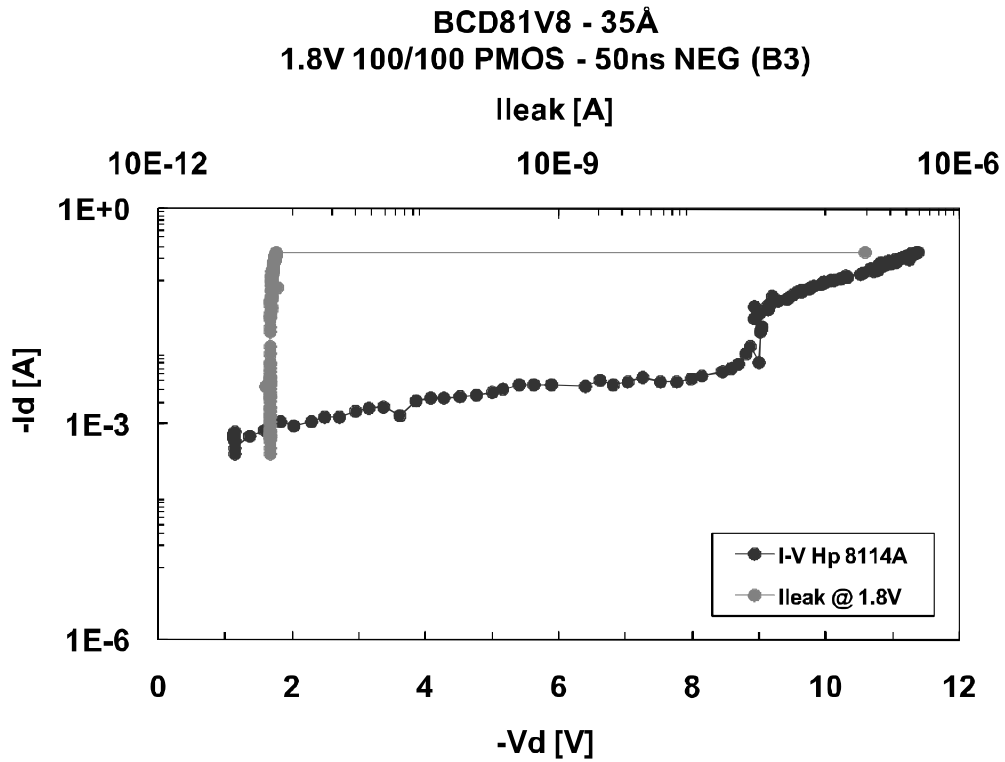


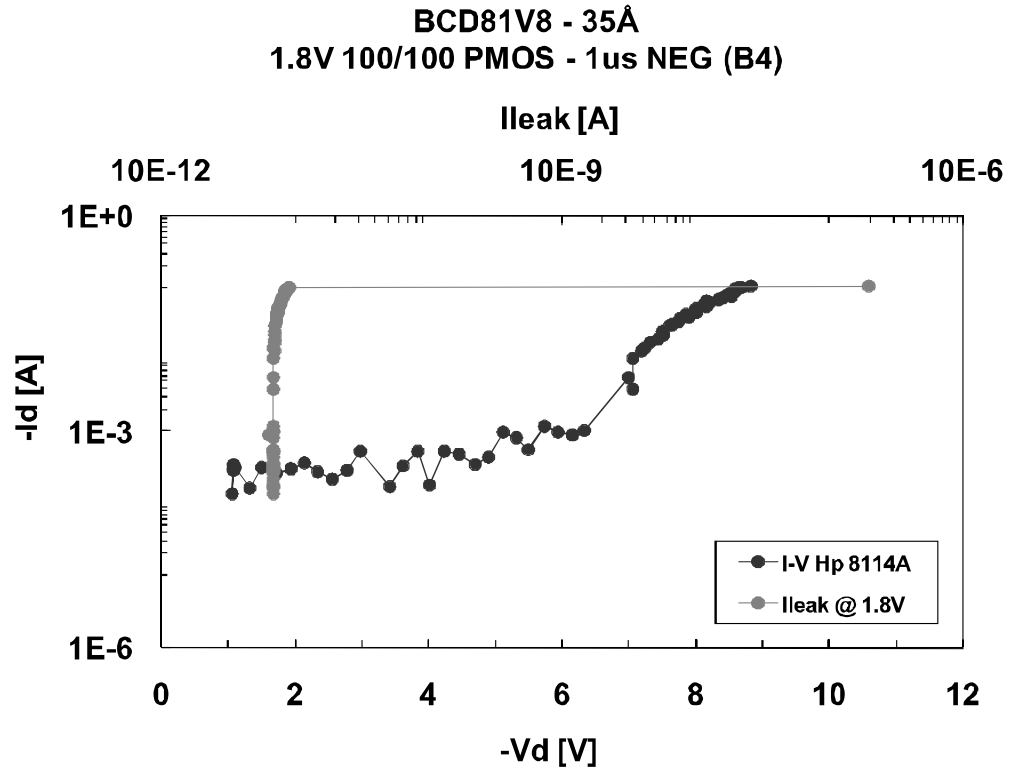
BCD81V8 - 35Å
 1.8V 100/100 NMOS - 100ns NEG (B2)





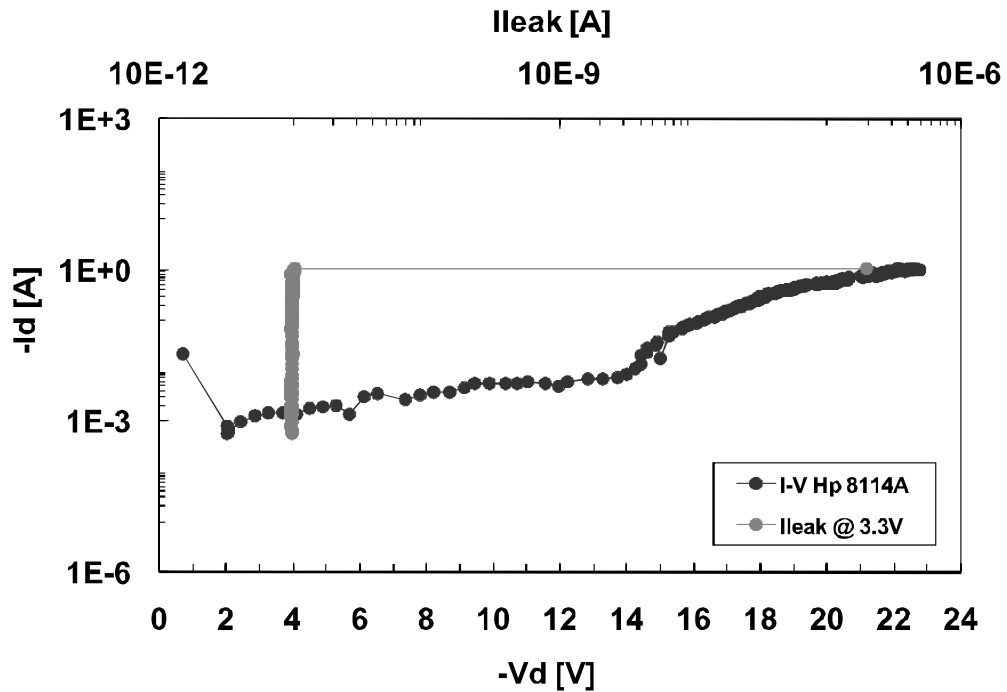
Dispositivi “6C” – pMOS 35 Å 1,8 V – Stress negativi



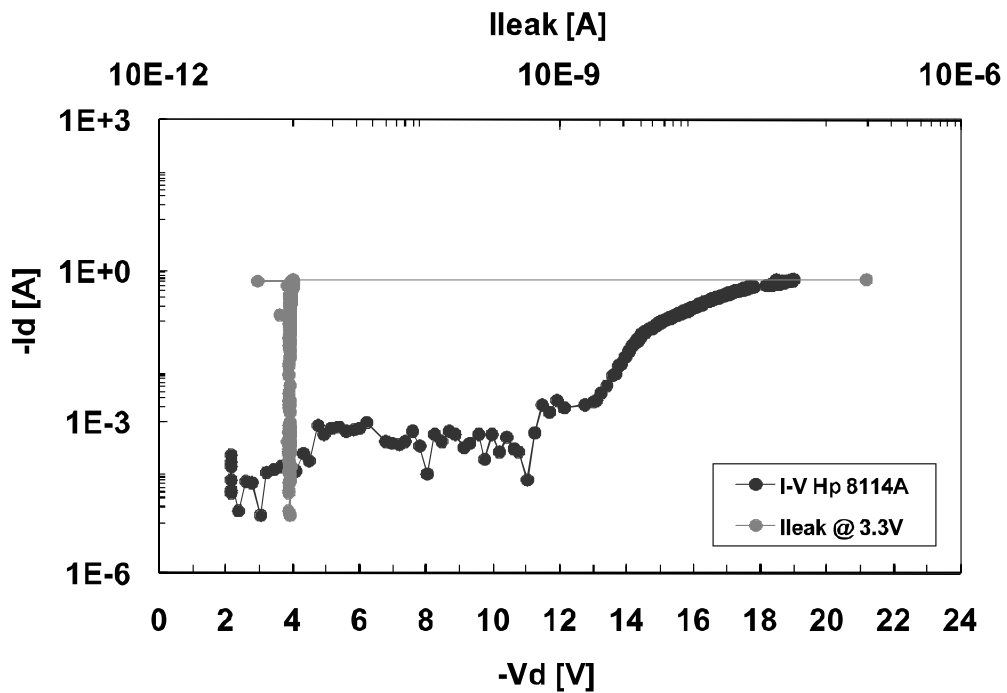


Dispositivi “6C” – pMOS 70 Å 3,3 V – Stress negativi

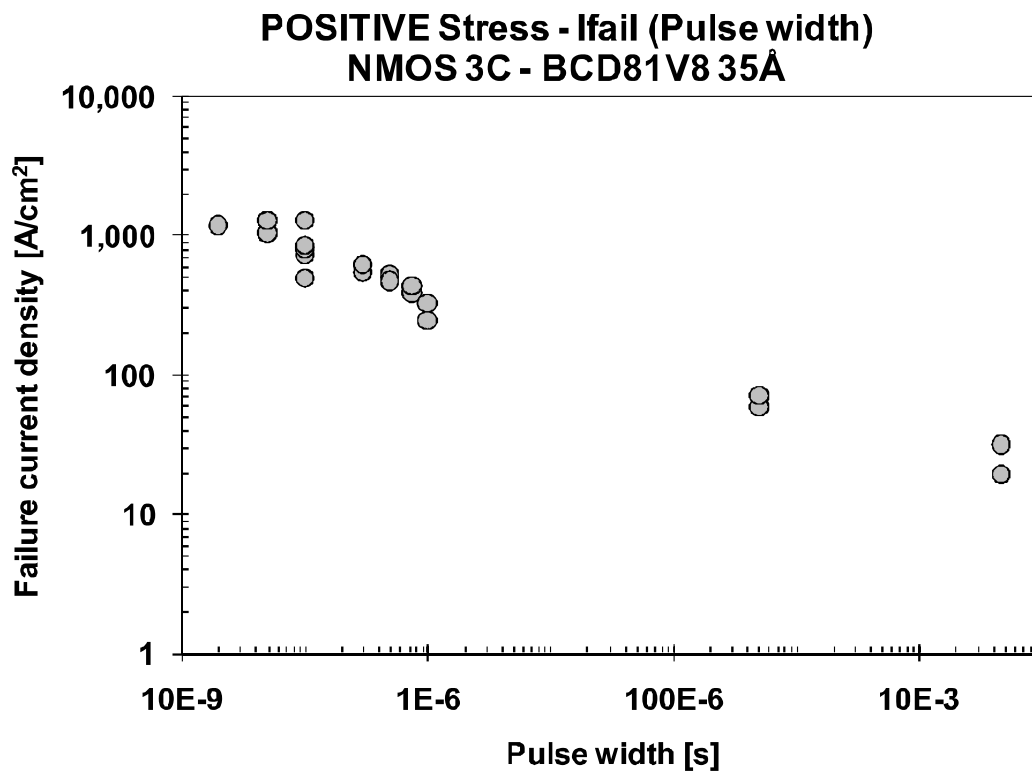
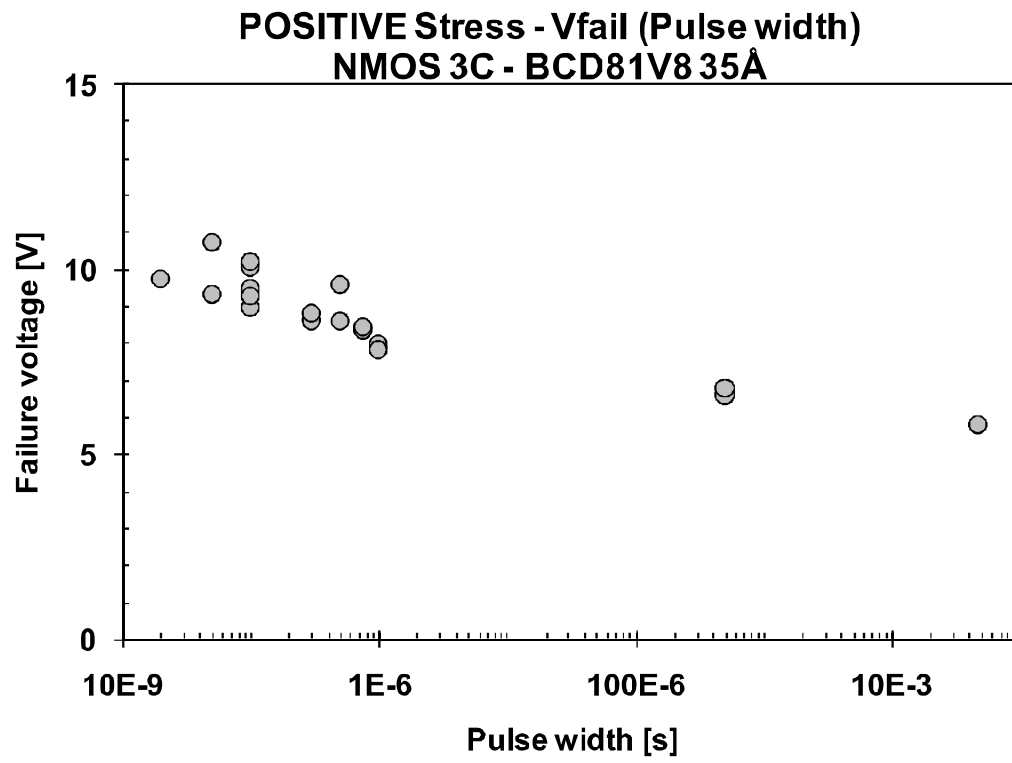
BCD8A - 70Å
3.3V 100/100 PMOS - 50ns NEG (E2)



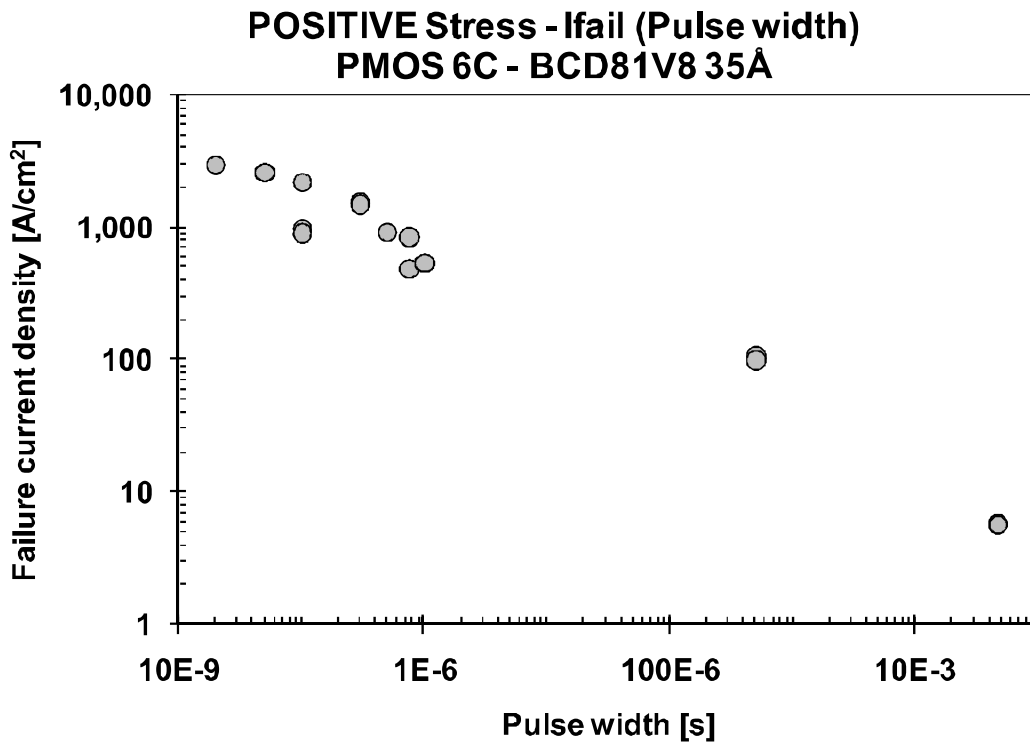
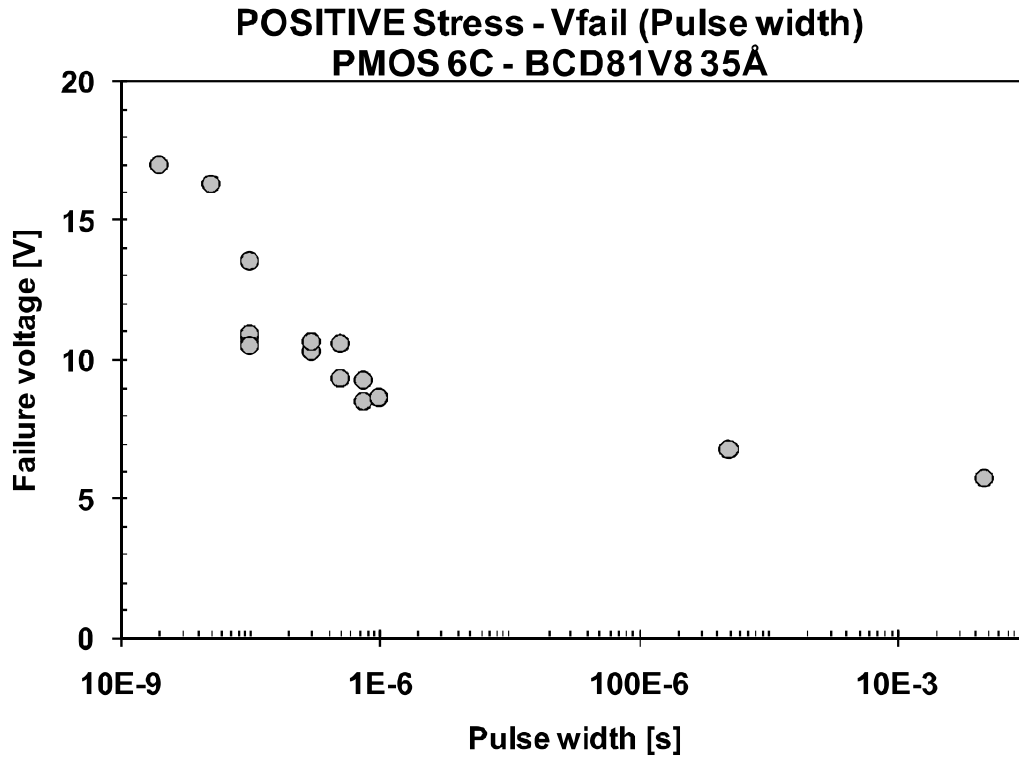
BCD8A - 70Å
3.3V 100/100 PMOS - 100ns NEG (E5)



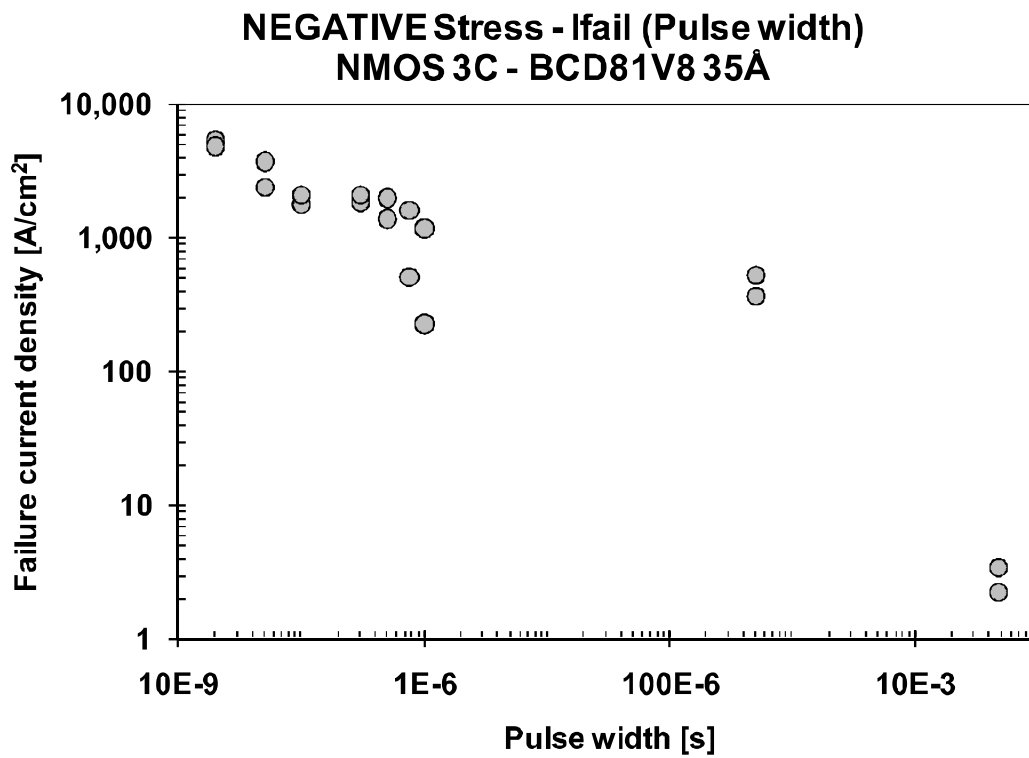
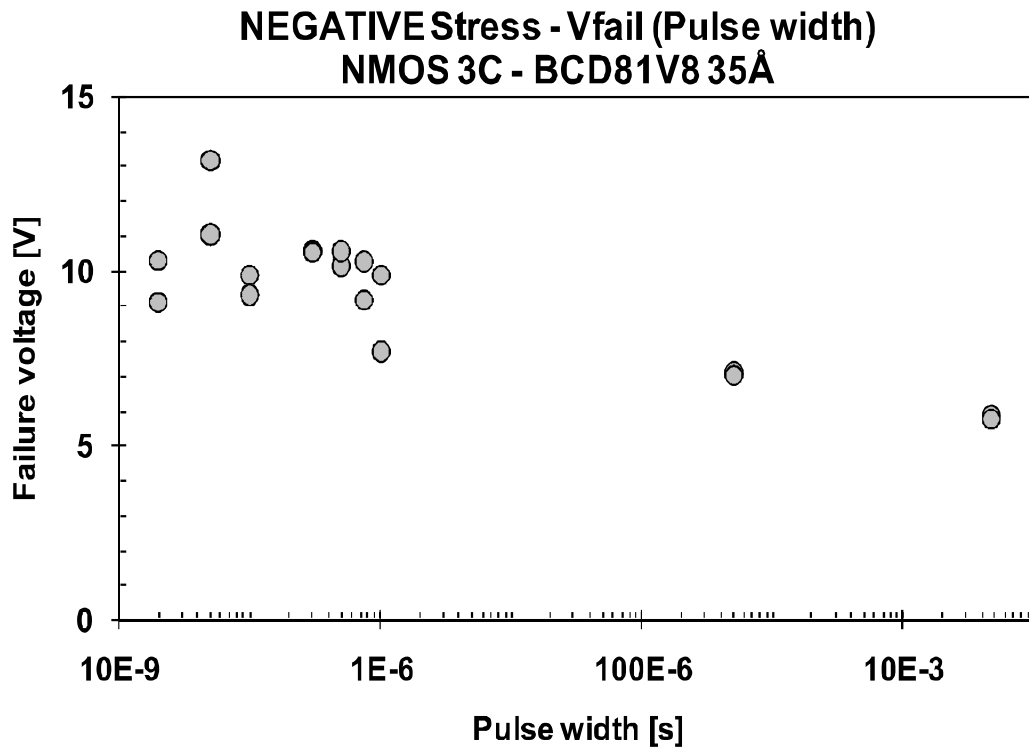
Dispositivi “3C” – nMOS 35 Å 1,8 V – Stress positivi



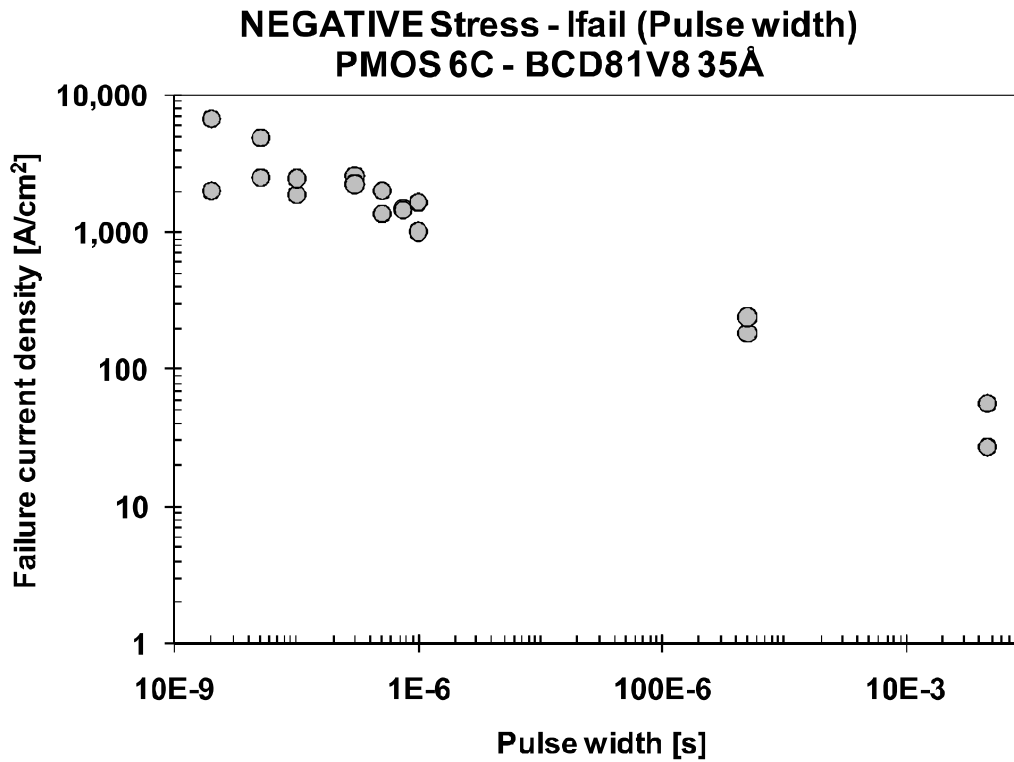
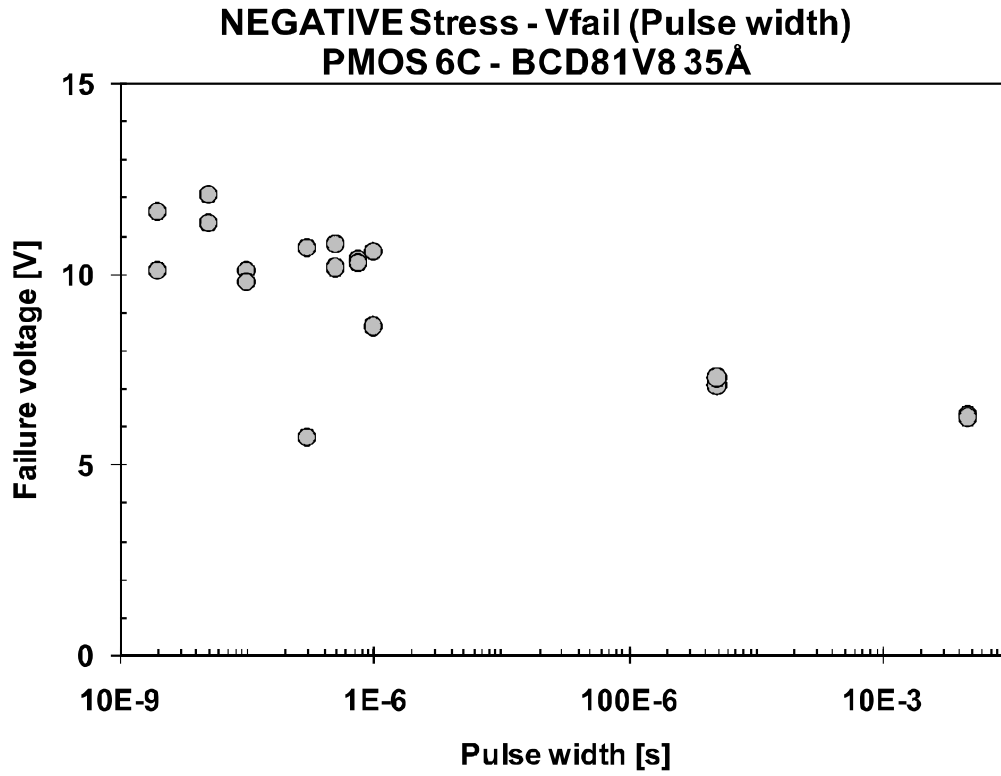
Dispositivi “6C” – pMOS 35 Å 1,8 V – Stress positivi



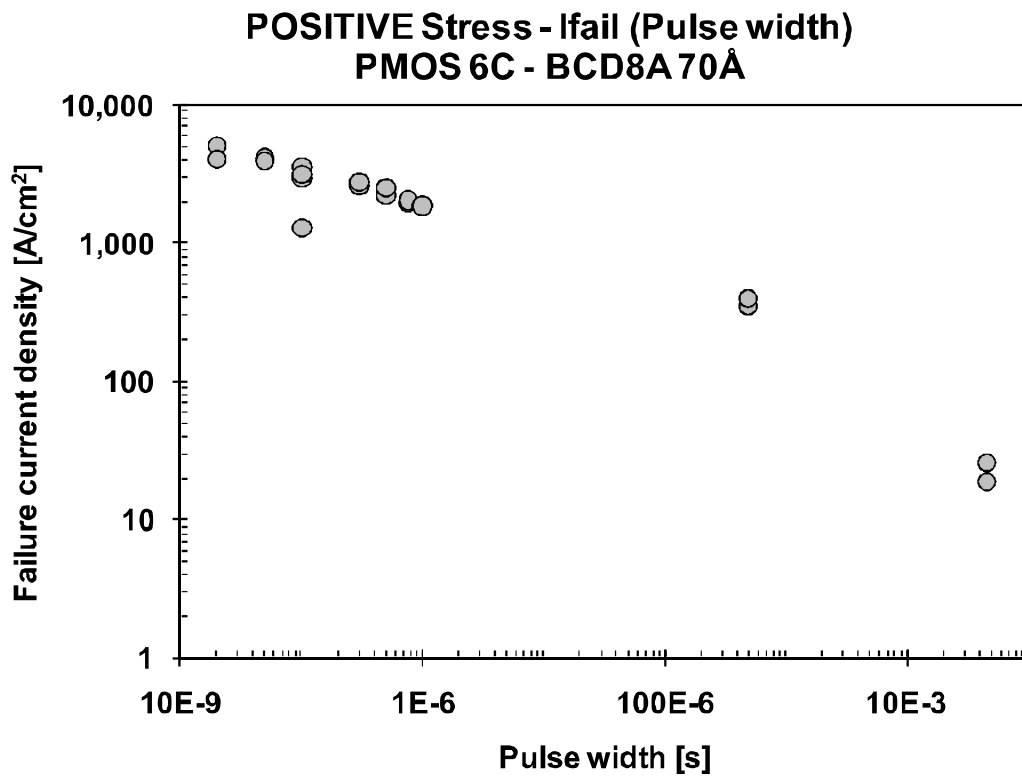
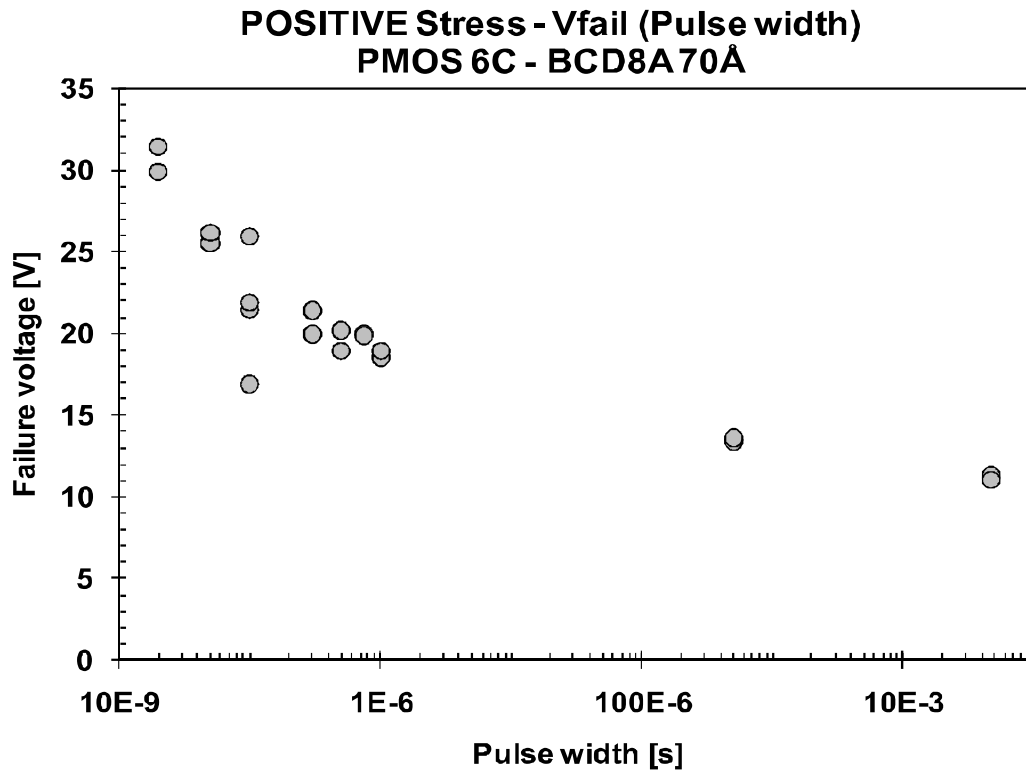
Dispositivi “3C” – nMOS 35 Å 1,8 V – Stress negativi



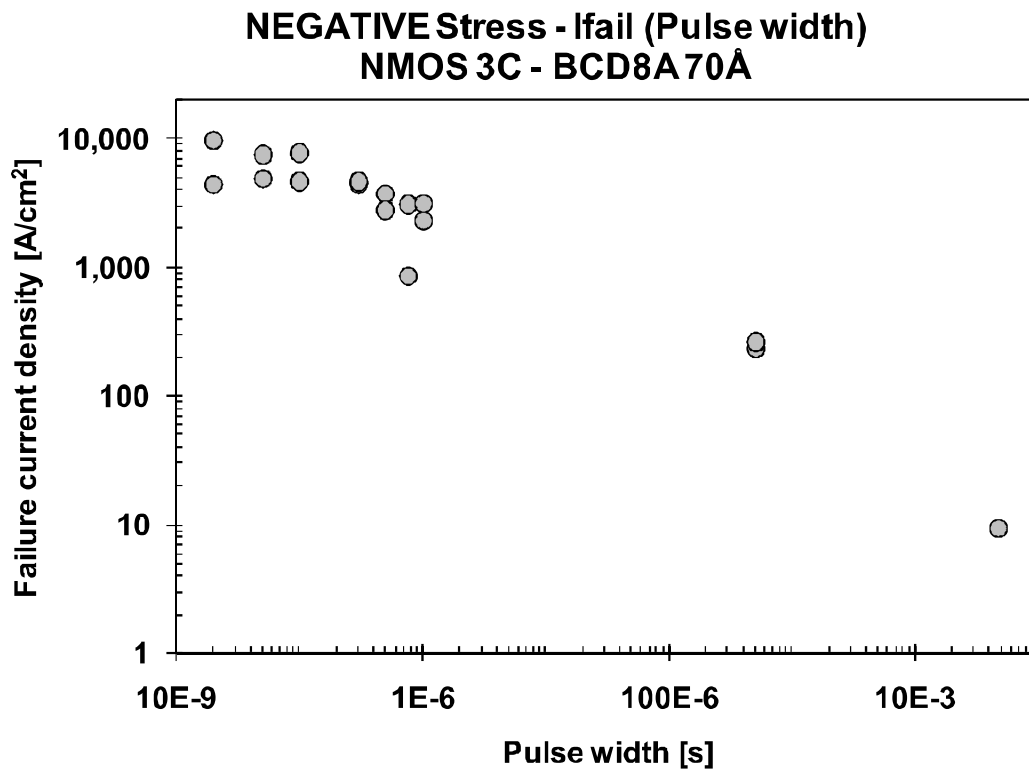
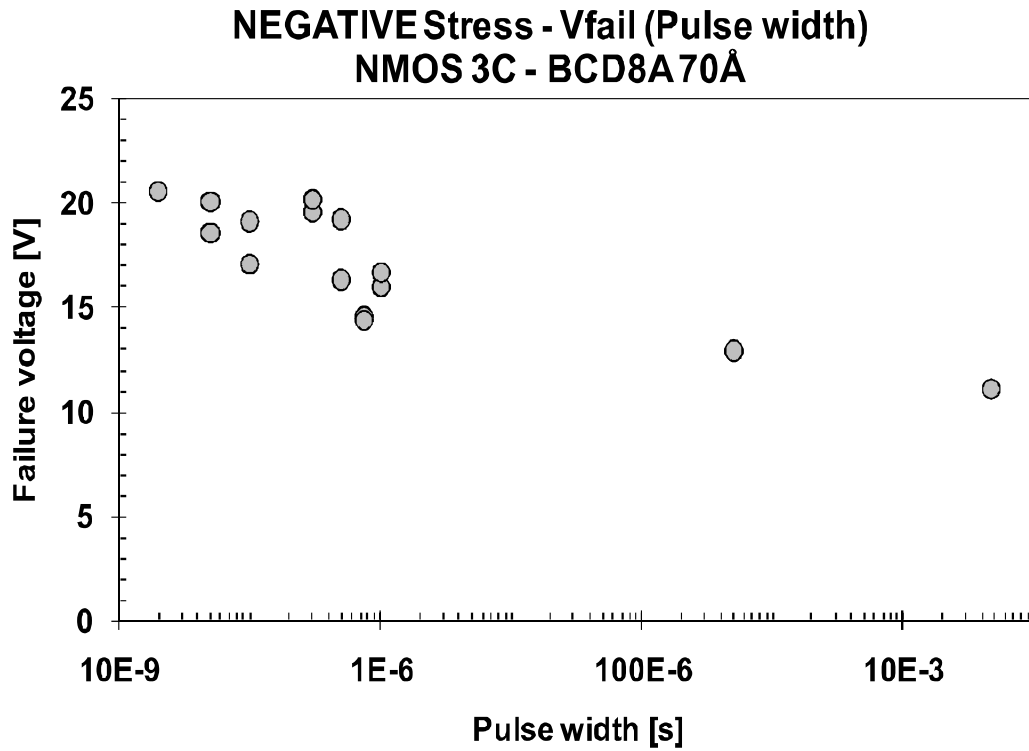
Dispositivi “6C” – pMOS 35 Å 1,8 V – Stress negativi



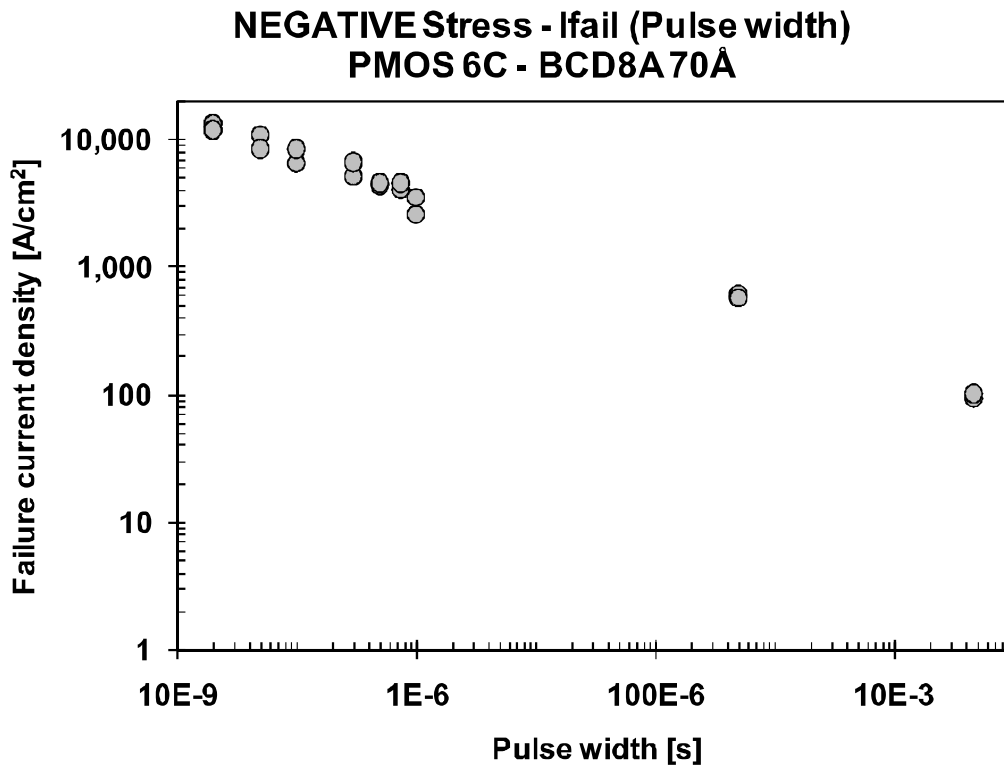
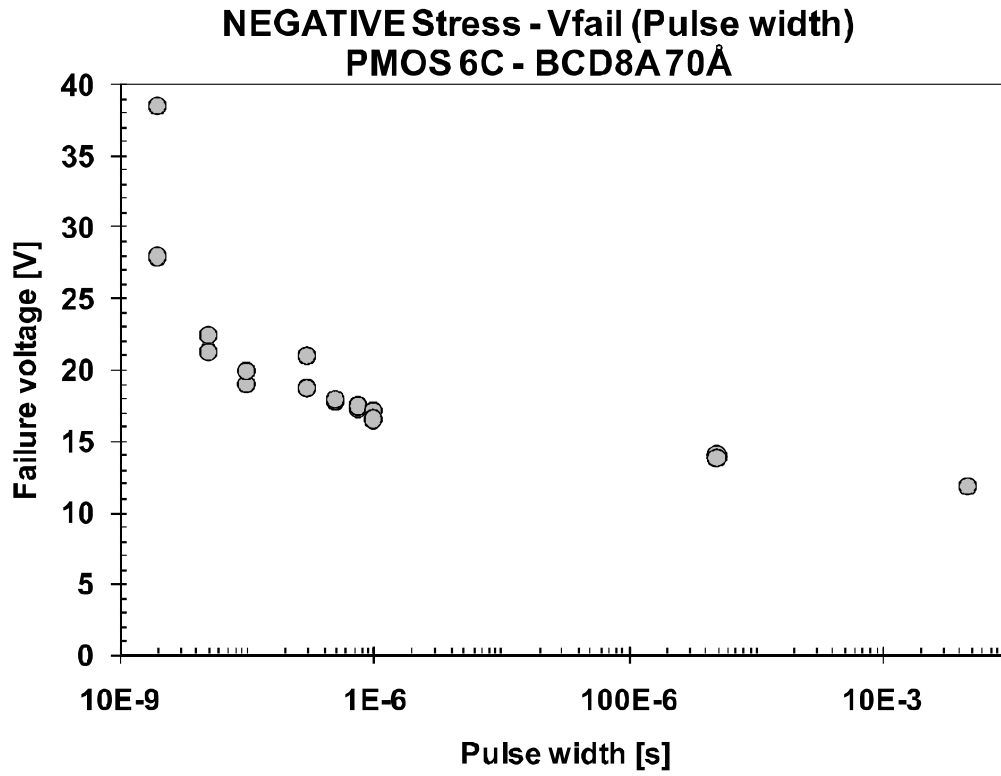
Dispositivi “6C” – pMOS 70 Å 3,3 V – Stress positivi



Dispositivi “3C” – nMOS 70 Å 3,3 V – Stress negativi



Dispositivi “6C” – pMOS 70 Å 3,3 V – Stress negativi



Osservazioni

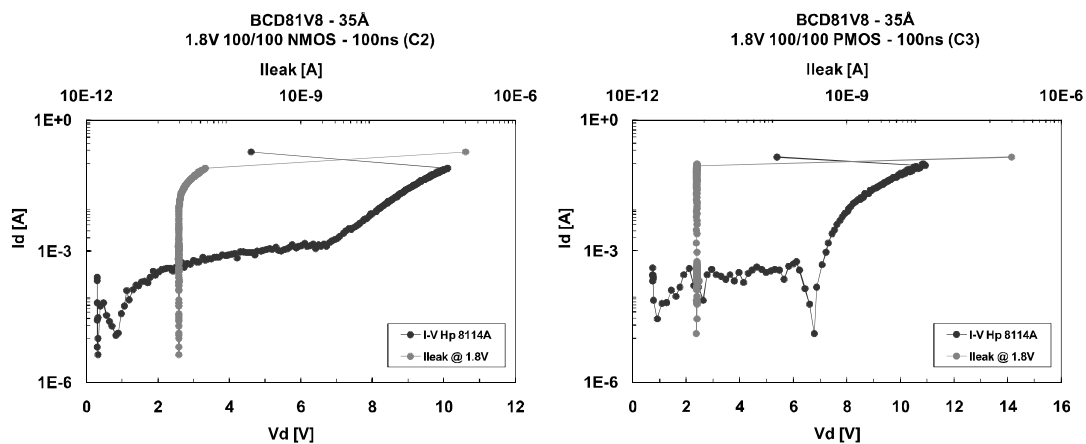
Oltre alla già citata robustezza maggiore dei pMOS rispetto agli nMOS, possiamo osservare che gli ossidi spessi 70 Å hanno mostrato di avere una tensione di breakdown circa doppia rispetto a quella degli ossidi spessi 35 Å.

Dall'analisi della posizione sul wafer dei die testati possiamo concludere che non c'è una correlazione tra la posizione del dispositivo e la sua tensione di breakdown.

Dall'andamento dei valori della corrente di leakage durante i test si può notare come quest'ultima aumenti gradualmente negli nMOS con spessore dell'ossido pari a 35 Å prima della rottura.

Al contrario la rottura degli nMOS con ossido spesso 70 Å e dei pMOS è netta e non è anticipata da una variazione rilevabile della corrente di leakage.

Un esempio è riportato nei due grafici seguenti:



Dal confronto dei grafici delle misurazioni effettuate con il TLP e con l'impulsatore allo stato solido si può inoltre osservare come il numero minore

di impulsi generati dal TLP durante i test si sia tradotto in una tensione di breakdown maggiore rispetto a quella misurata con l'impulsore allo stato solido. Questo comportamento sembra supportare le teorie che prevedono un effetto cumulativo degli stress ESD negli ossidi, ma esistono teorie altrettanto valide che sostengono il contrario, quindi una risposta univoca a questo interrogativo ancora non esiste.

Possiamo inoltre notare che la tensione di breakdown dei dispositivi diminuisce man mano che aumenta la durata dell'impulso.

Questo particolare aspetto può essere spiegato ragionando in termini probabilistici: più l'impulso dura a lungo e più è probabile che in quell'intervallo di tempo possa avvenire il breakdown, quindi basta una tensione minore per generare l'evento distruttivo.

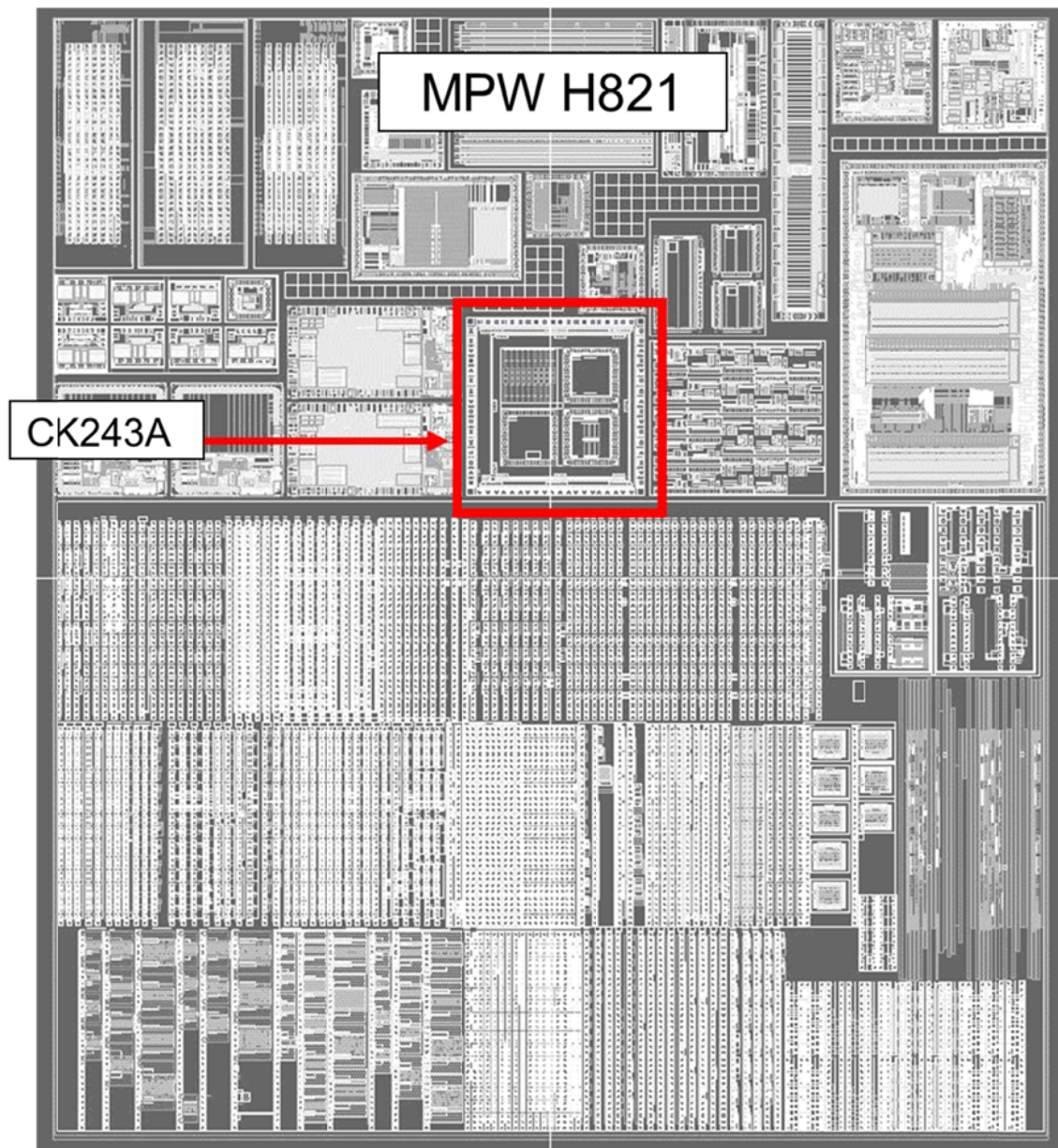
Capitolo 4

Clamp

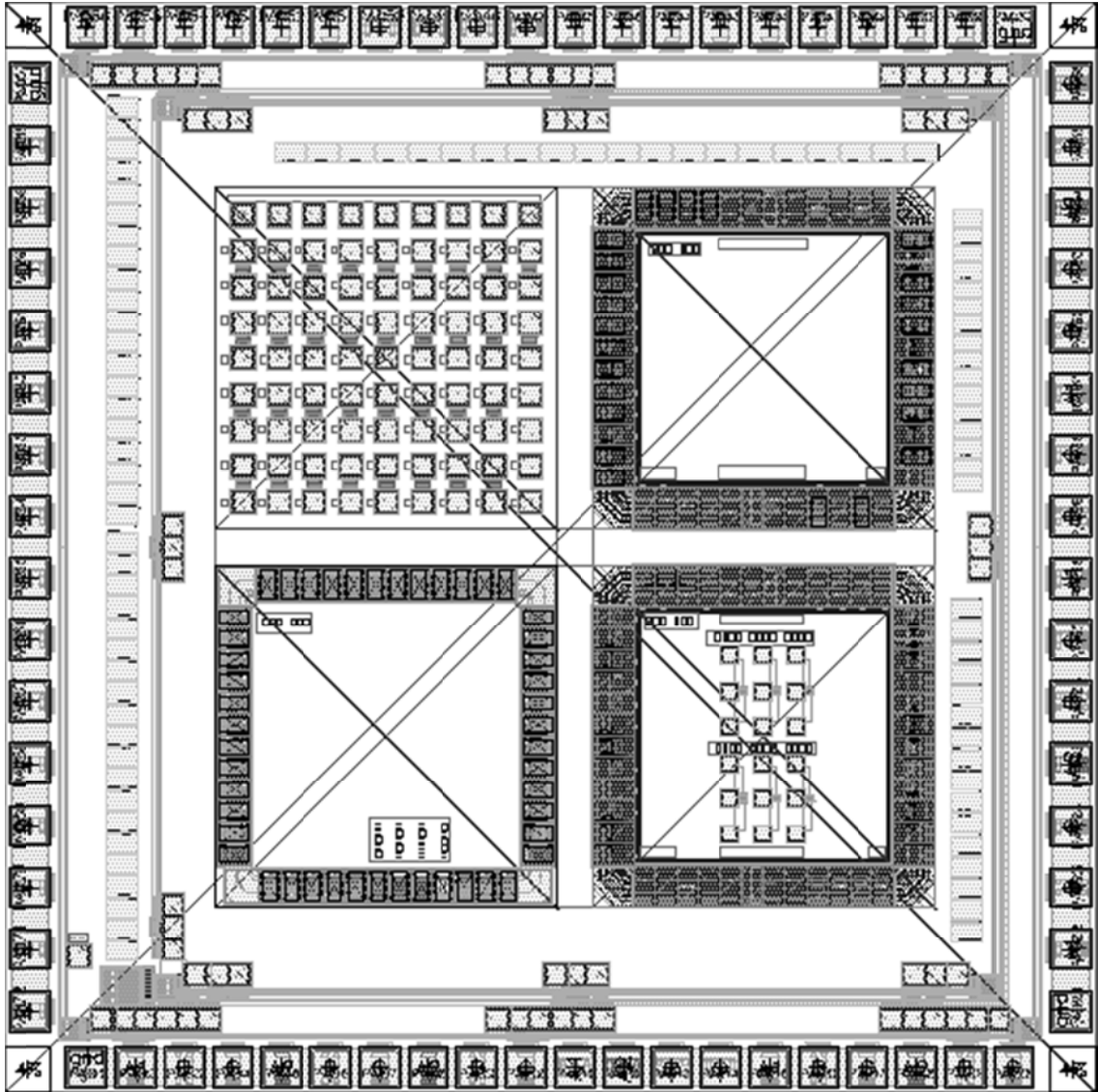
In questo capitolo verranno descritte e analizzate le misurazioni di laboratorio eseguite per saggiare la resistenza dei clamp concentrati e distribuiti (sia in versione a loop aperto che chiuso) con pad protetti o meno da diodi e dei clamp distribuiti da 3,3 V presenti nel modulo MPW H821 - CK243A.

Descrizione delle strutture testate

La struttura di ogni die del wafer è la seguente:



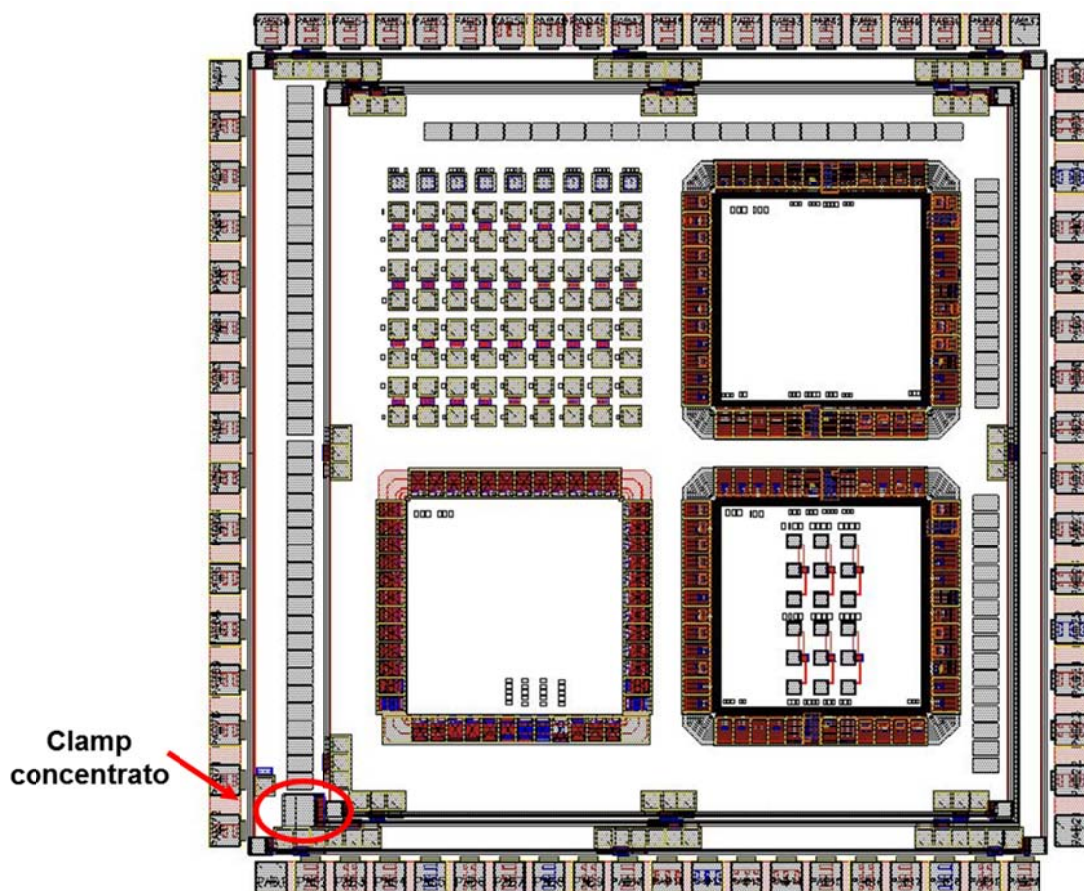
In particolare il modulo MPW H821 - CK243A si presenta così:



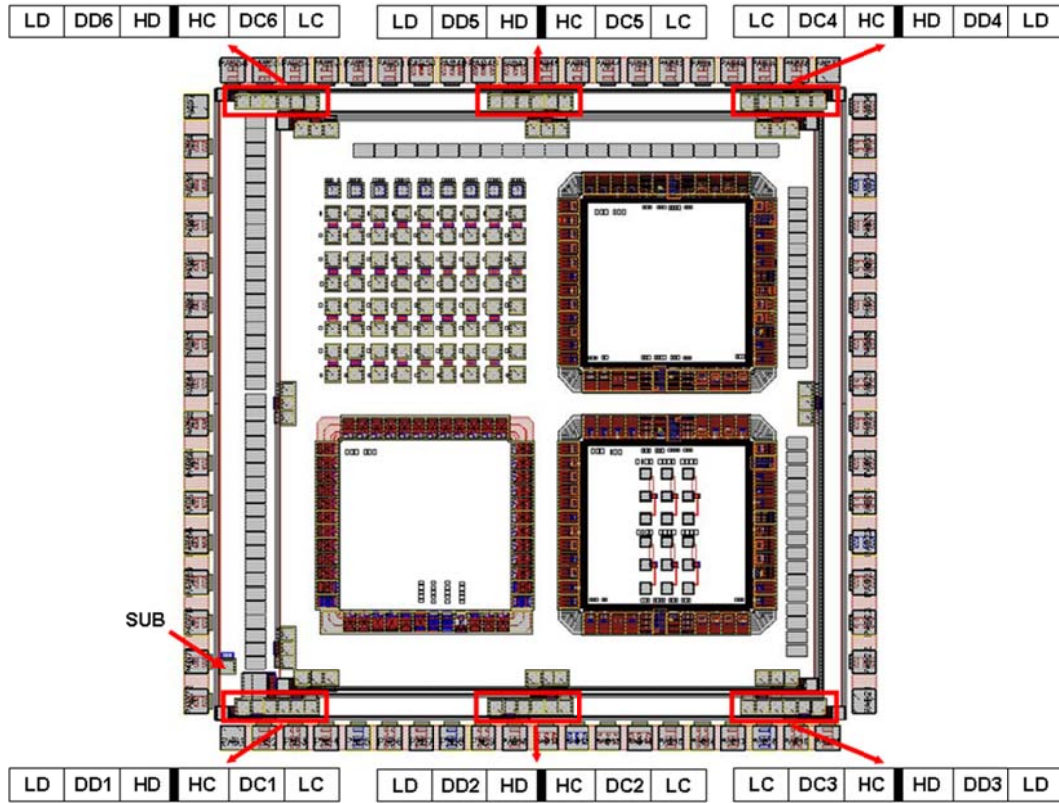
Clamp concentrati

La robustezza dei clamp concentrati inclusi nel modulo MPW H821 - CK243A è stata saggiata attraverso degli impulsi di 100 ns generati dal TLP.

All'interno del modulo il clamp concentrato è posizionato come da figura:



Il layout dei pad oggetto del test è rappresentato nella figura seguente:

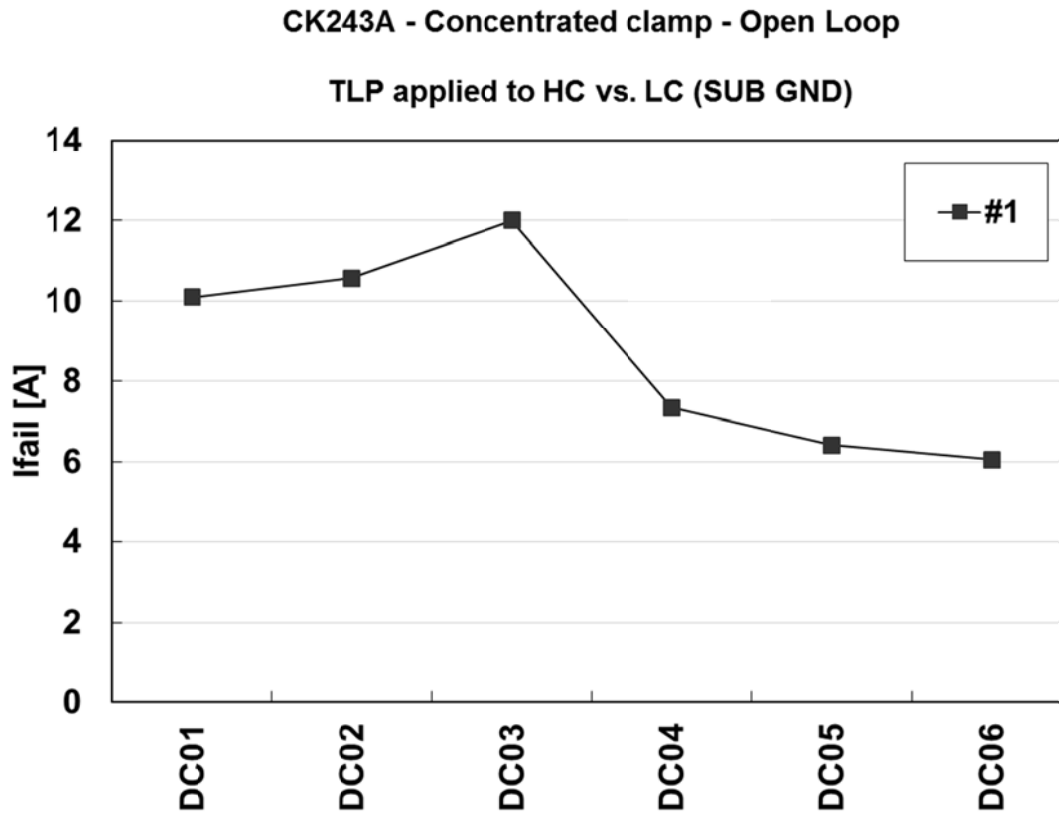


Gli impulsi generati dal TLP sono stati lanciati tra tutti i pad HC e i corrispondenti pad LC, con il pad di substrato (SUB) a massa e usando un nuovo die per ogni misura.

Per identificare il pad oggetto del test si è scelto di usare la sigla del pad con diodo a esso adiacente.

La misura della corrente di leakage è stata effettuata a 20 V.

I valori della corrente al momento della rottura sono mostrati nel grafico seguente:

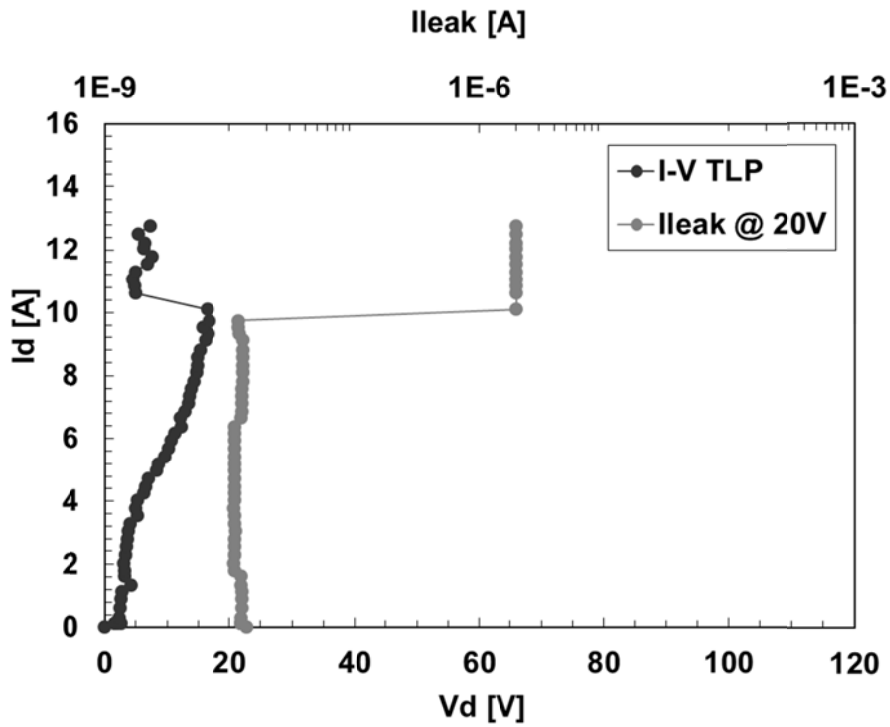


I valori di rottura dei pad 1,2 e 3 sono molto simili, e la stessa cosa si può dire dei pad 4, 5 e 6.

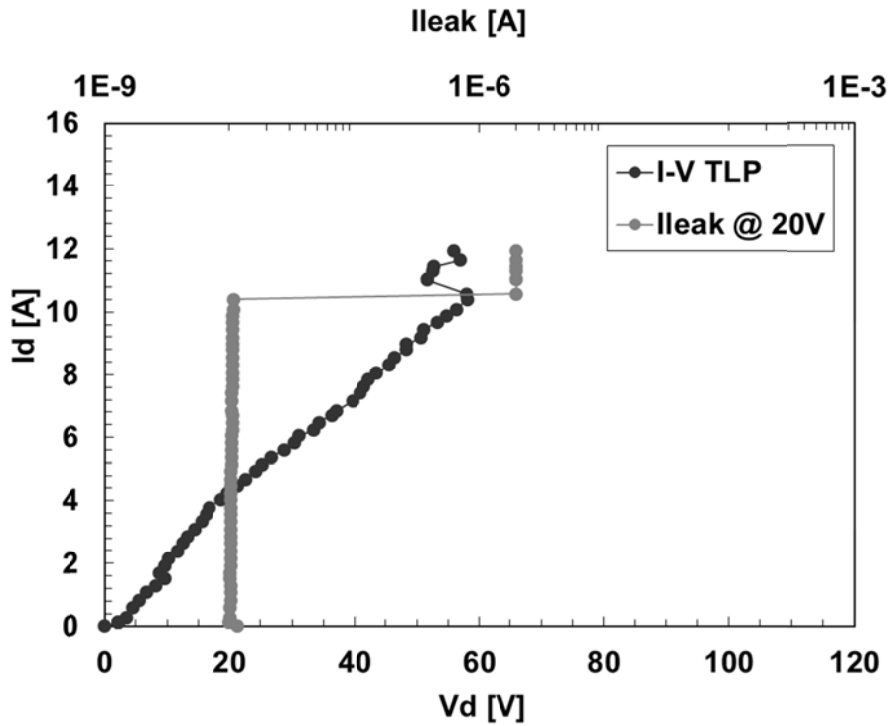
Osservando come sono disposti questi pad nel layout del modulo possiamo quindi ipotizzare che in questo caso la posizione influisca molto sulla robustezza alle scariche elettrostatiche.

I risultati delle misure eseguite sono riportati nei grafici I-V delle pagine seguenti.

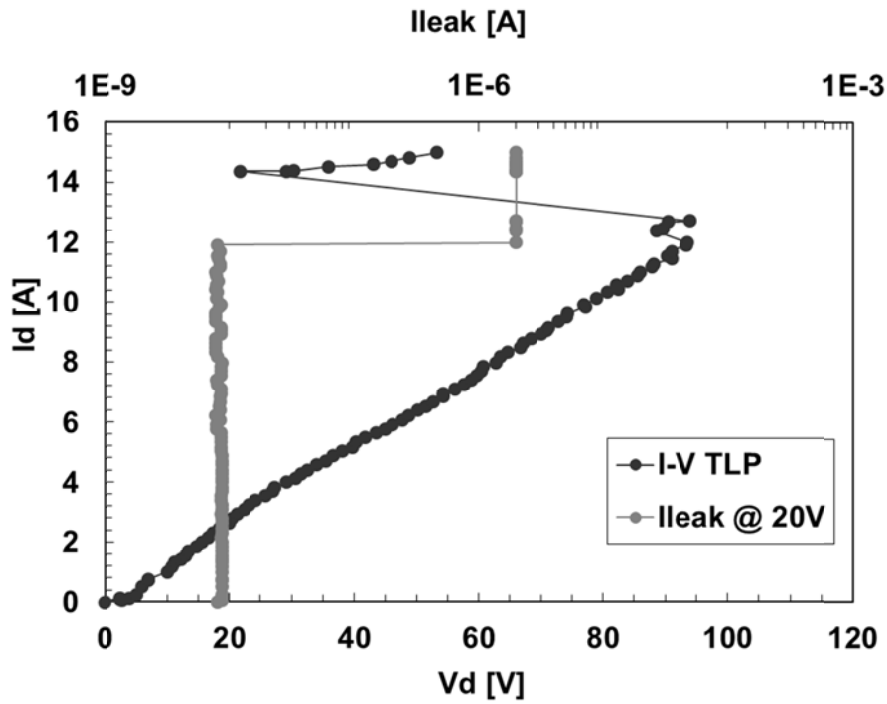
CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC01



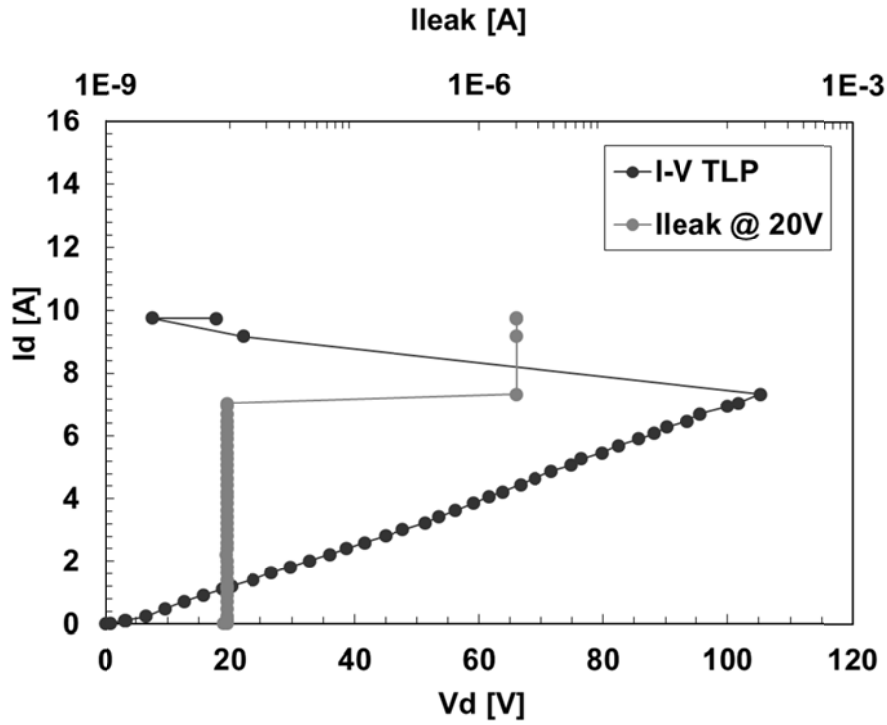
CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC02



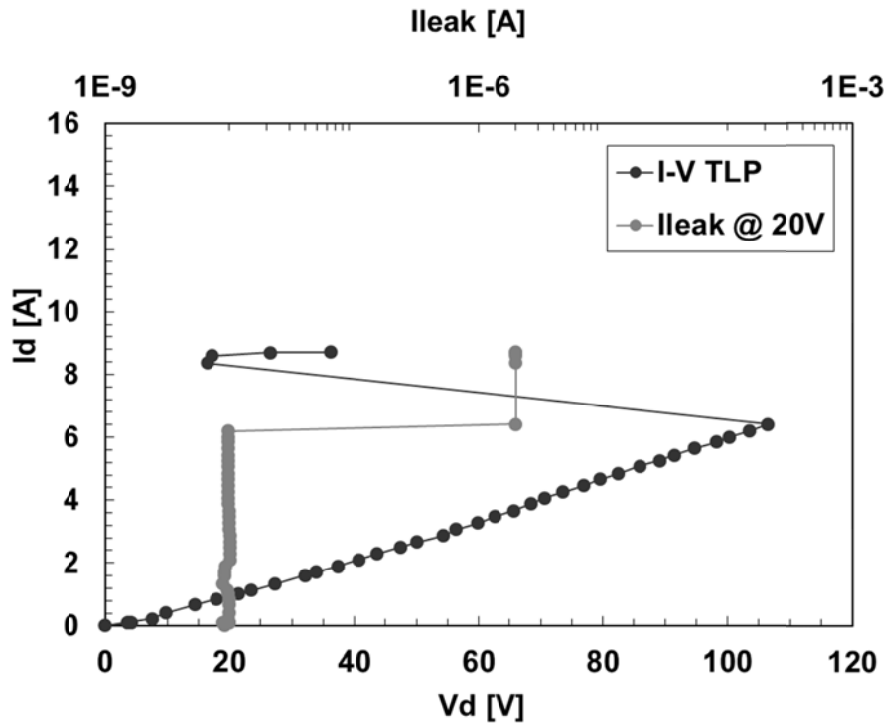
CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC03



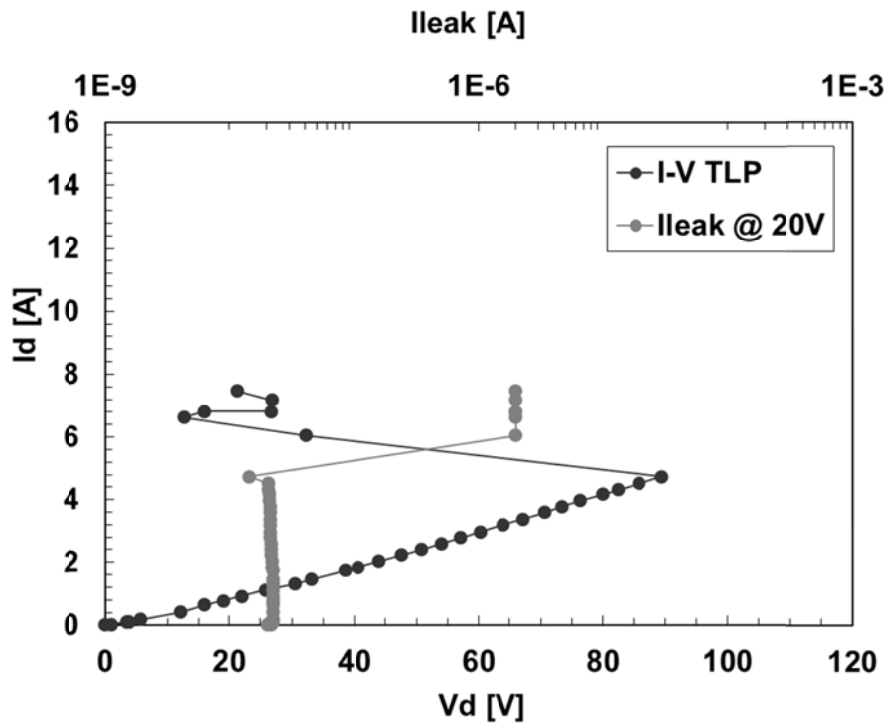
CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC04



CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC05



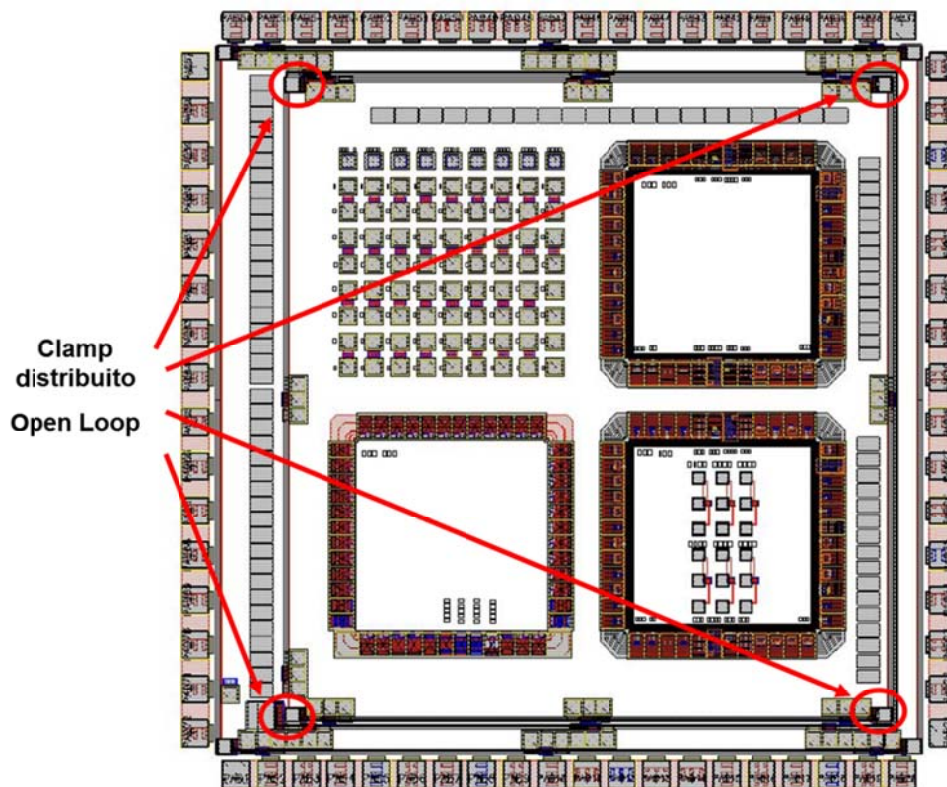
CK243A - Concentrated clamp - Open Loop
PAD HIGH near to DC06



Clamp distribuiti – Open loop

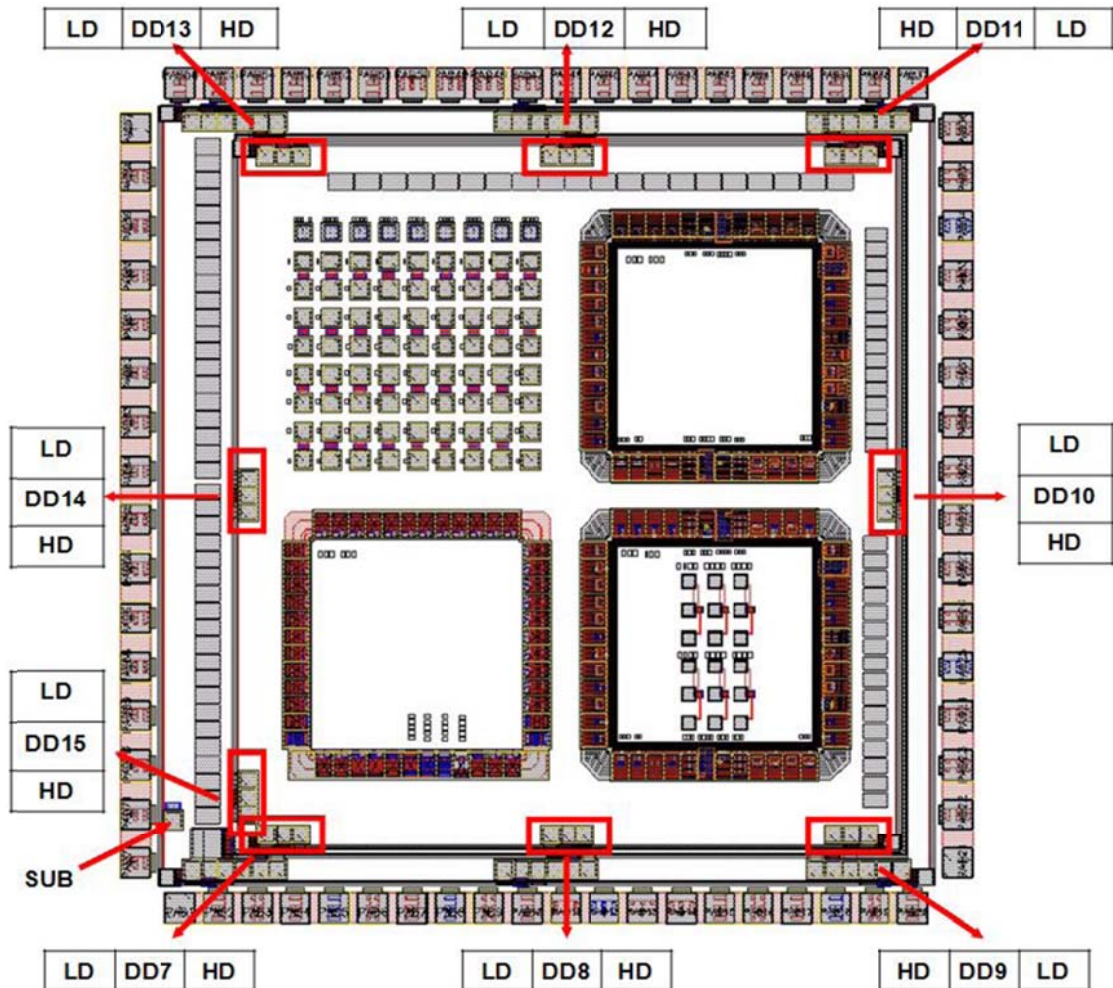
La robustezza dei clamp distribuiti in versione open loop inclusi nel modulo MPW H821 - CK243A è stata saggiata attraverso degli impulsi di 100 ns generati dal TLP.

All'interno del modulo i clamp distribuiti in versione open loop sono posizionati come da figura:



Clamp diviso in 4 parti con dimensione totale equivalente al clamp concentrato

Il layout dei pad oggetto del test è rappresentato nella figura seguente:

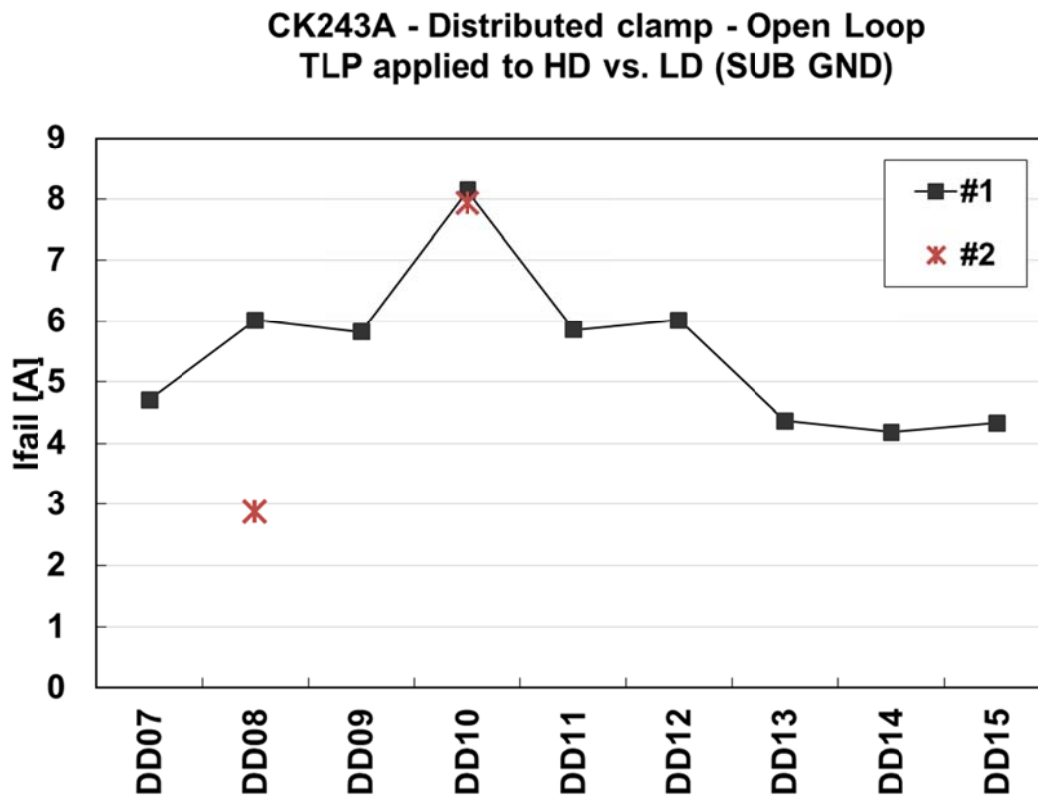


Gli impulsi generati dal TLP sono stati lanciati tra tutti i pad HD e i corrispondenti pad LD, con il pad di substrato (SUB) a massa e usando un nuovo die per ogni misura.

Per identificare il pad oggetto del test si è scelto di usare la sigla del pad con diodo ad esso adiacente.

La misura della corrente di leakage è stata effettuata a 20 V.

I valori della corrente al momento della rottura sono mostrati nel grafico seguente:

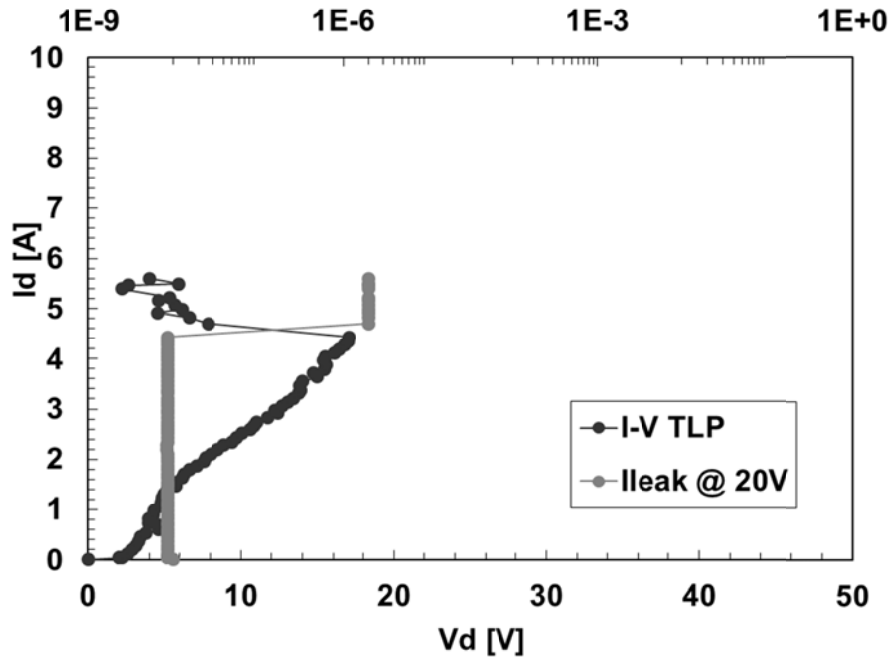


La ripetizione della misura effettuata per due pad ha mostrato risultati contrastanti: se il pad 10 ha confermato la propria robustezza, il pad 08 si è rotto con una corrente quasi della metà rispetto alla prima misura.

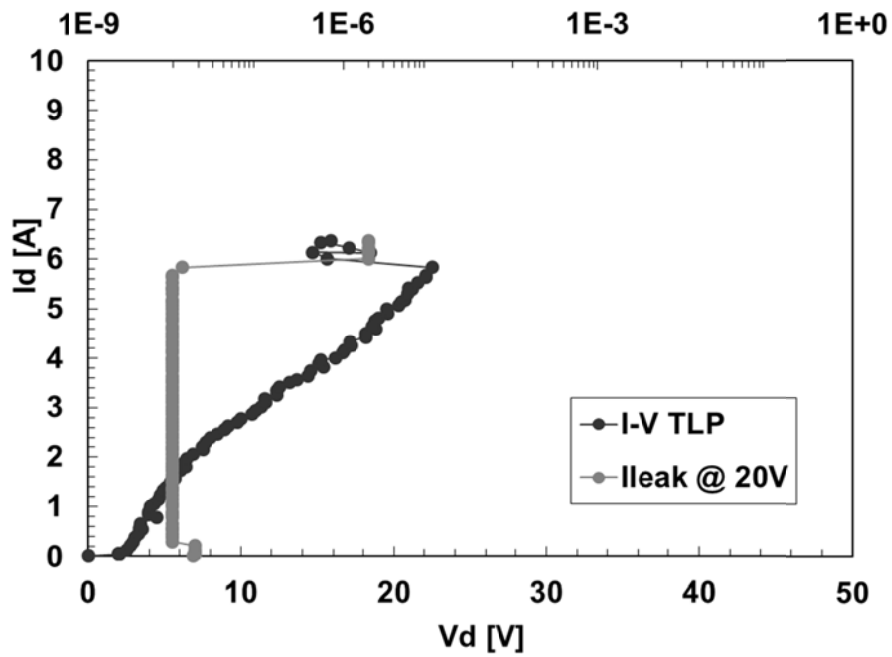
In definitiva per trarre una conclusione sull'affidabilità delle misure queste ultime andrebbero ripetute molte volte, ma dato che ogni misura si conclude con la distruzione del circuito si è preferito non usare tutti i die per questo tipo di clamp, ma ci si è limitati solo a quelli necessari a una prima trattazione.

I risultati delle misure eseguite sono riportati nei grafici I-V delle pagine seguenti.

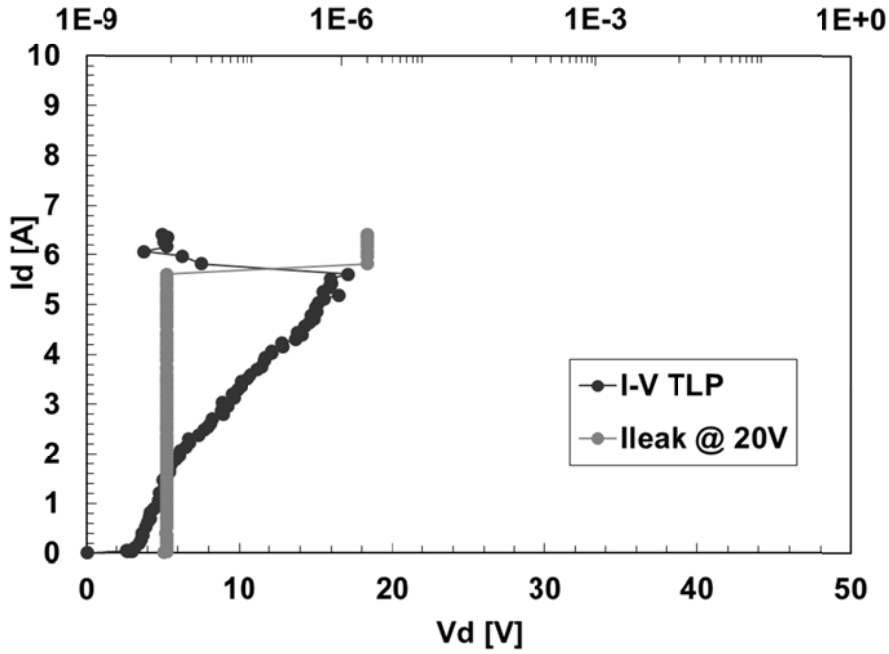
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD07
 I_{leak} [A]



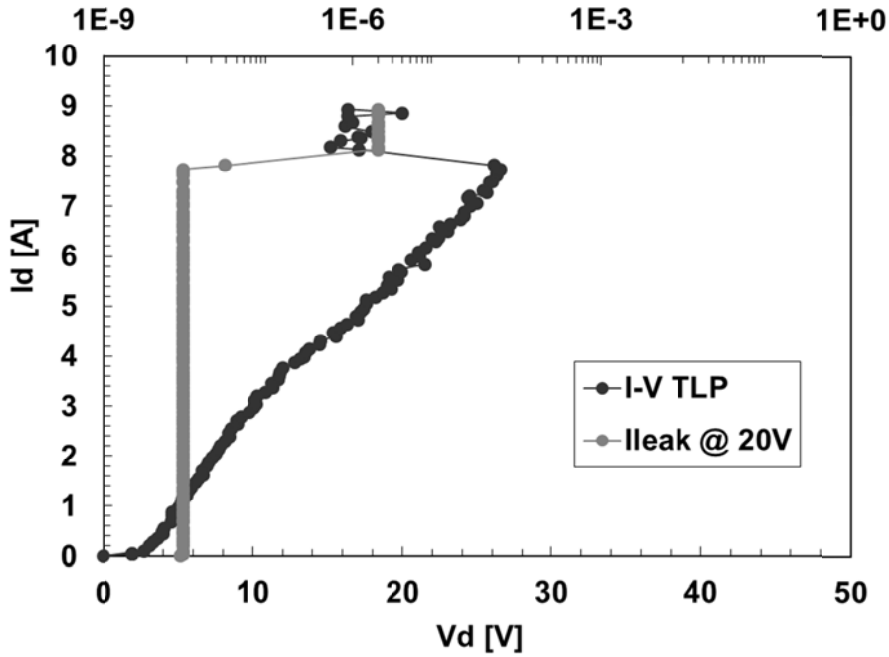
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD08
 I_{leak} [A]



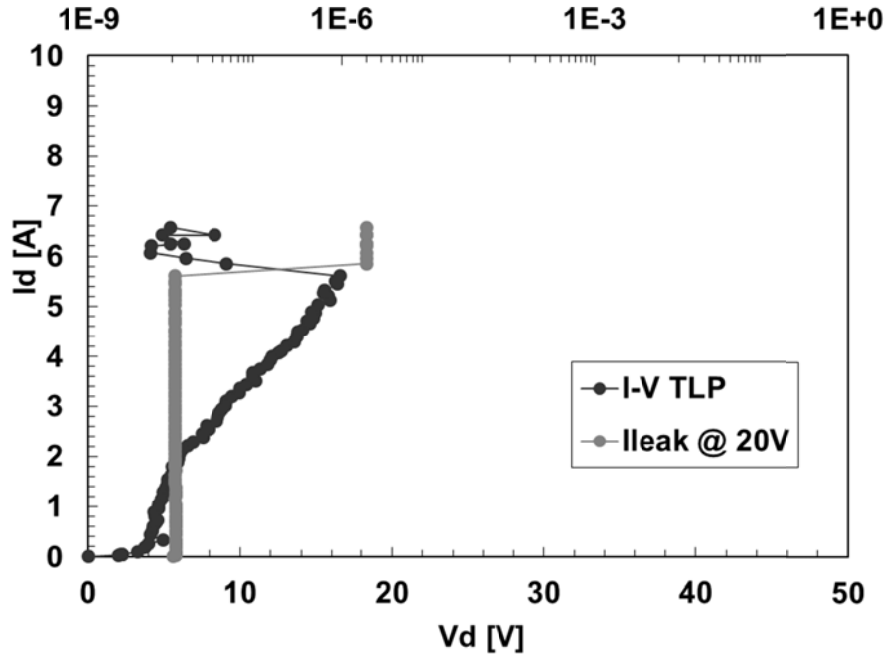
CK243A - Distributed clamp - Open Loop
PAD HIGH near to DD09
Ileak [A]



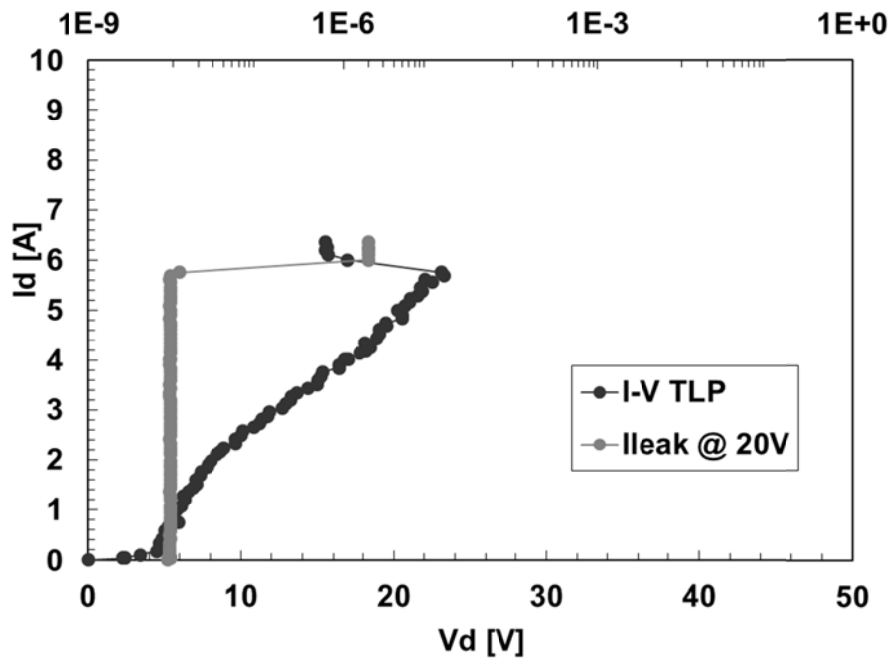
CK243A - Distributed clamp - Open Loop
PAD HIGH near to DD10
Ileak [A]



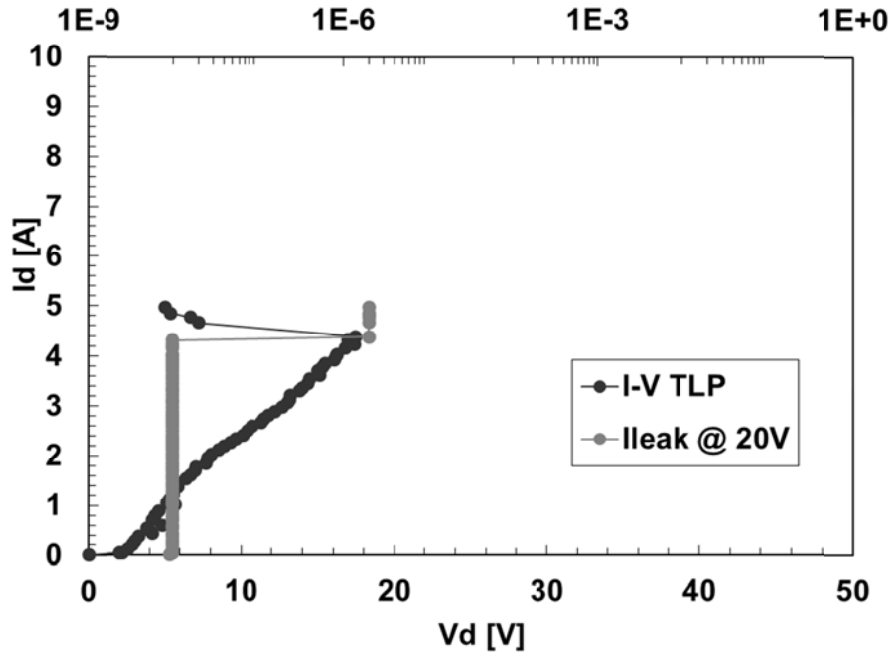
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD11
 I_{leak} [A]



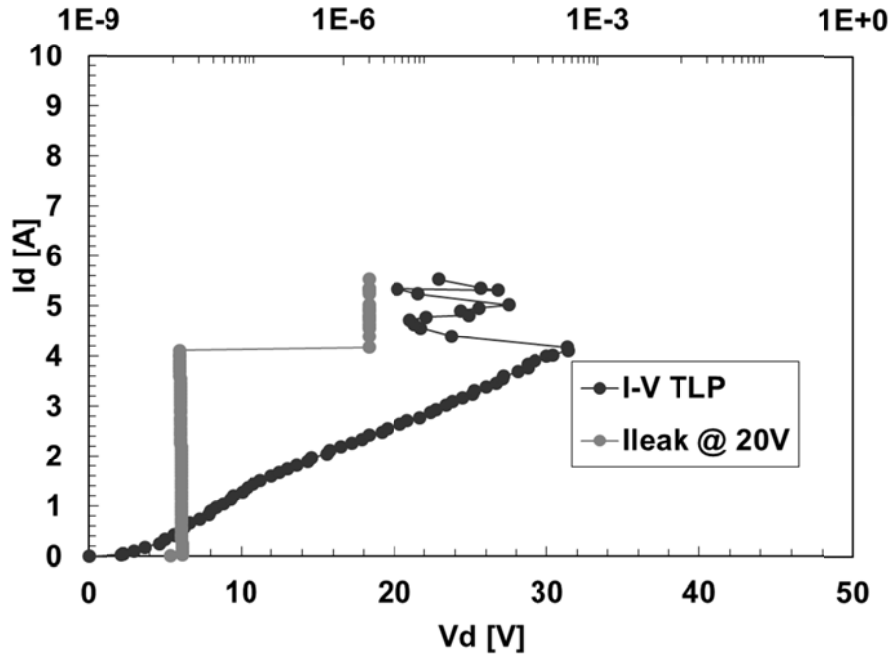
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD12
 I_{leak} [A]



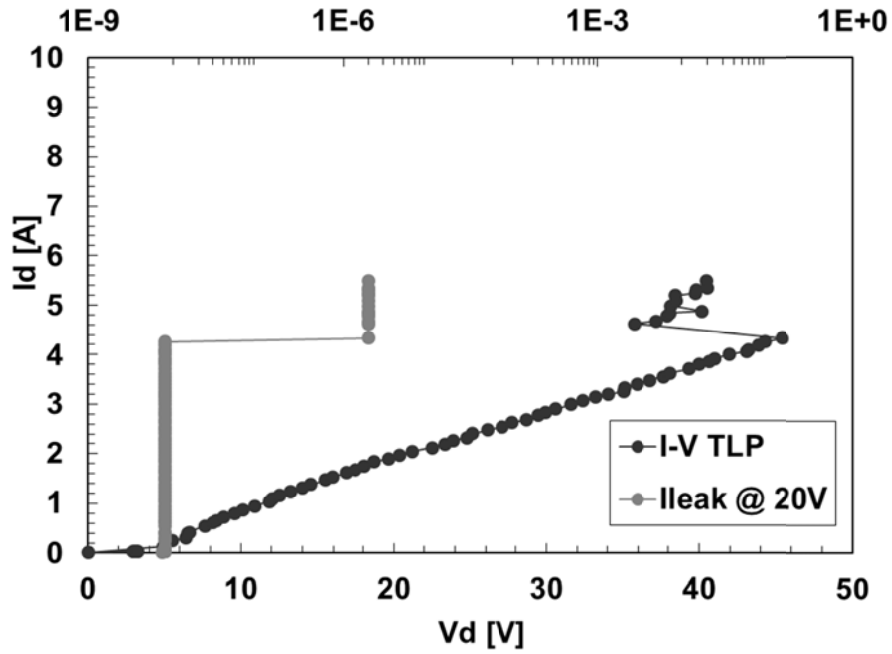
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD13
 I_{leak} [A]



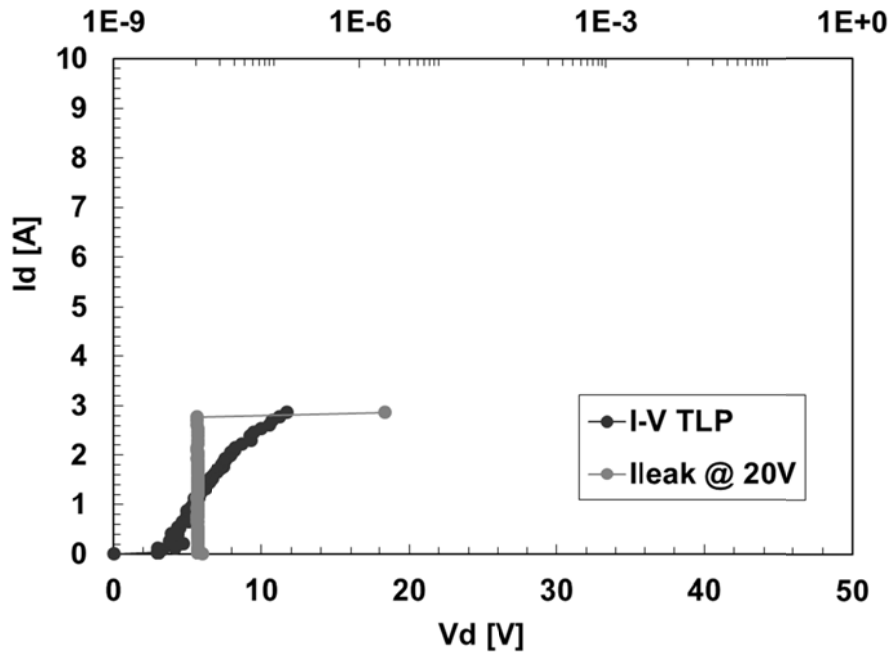
CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD14
 I_{leak} [A]



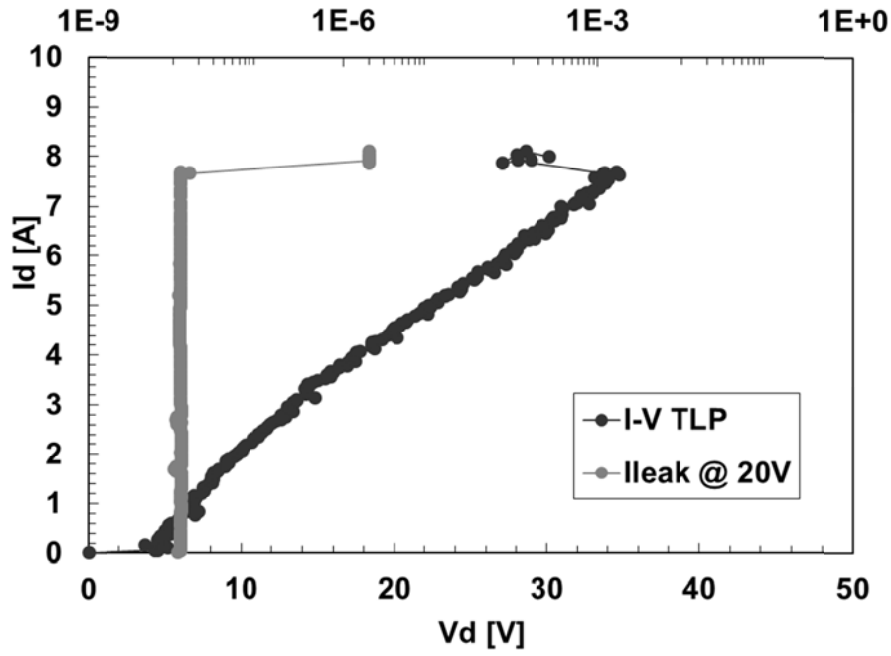
CK243A - Distributed clamp - Open Loop
 PAD HIGH near DD15
 I_{leak} [A]



CK243A - Distributed clamp - Open Loop
 PAD HIGH near to DD08 - Meas. # 2
 I_{leak} [A]



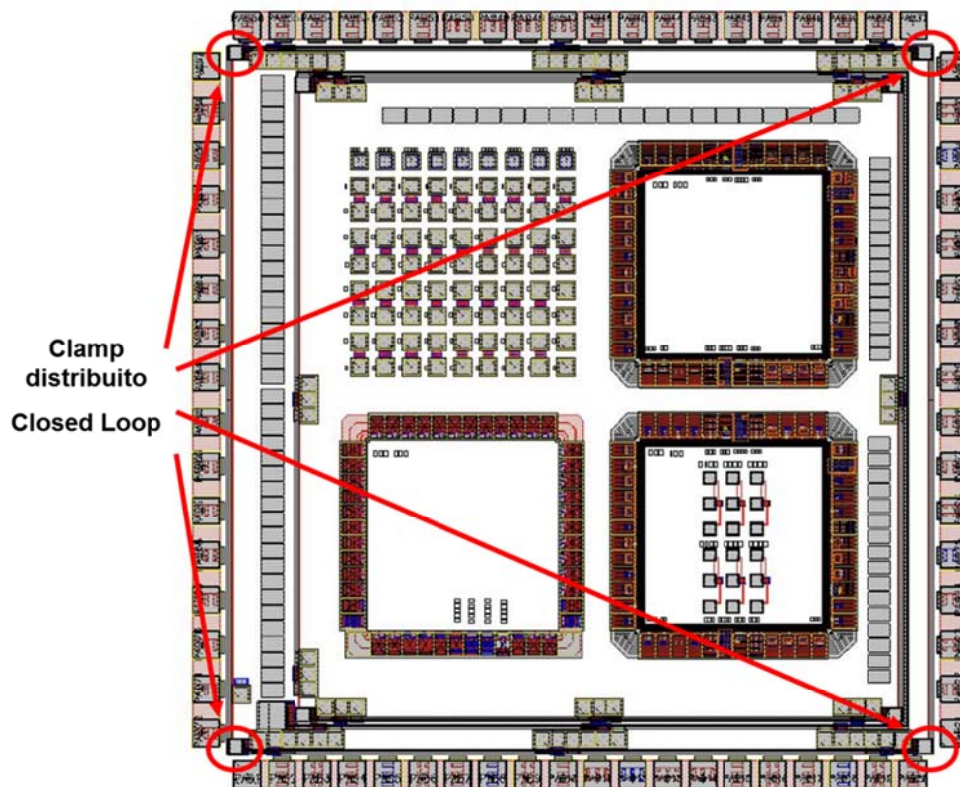
CK243A - Distributed clamp - Open Loop
PAD HIGH near to DD10 - Meas. # 2
Ileak [A]



Clamp distribuiti – Closed loop

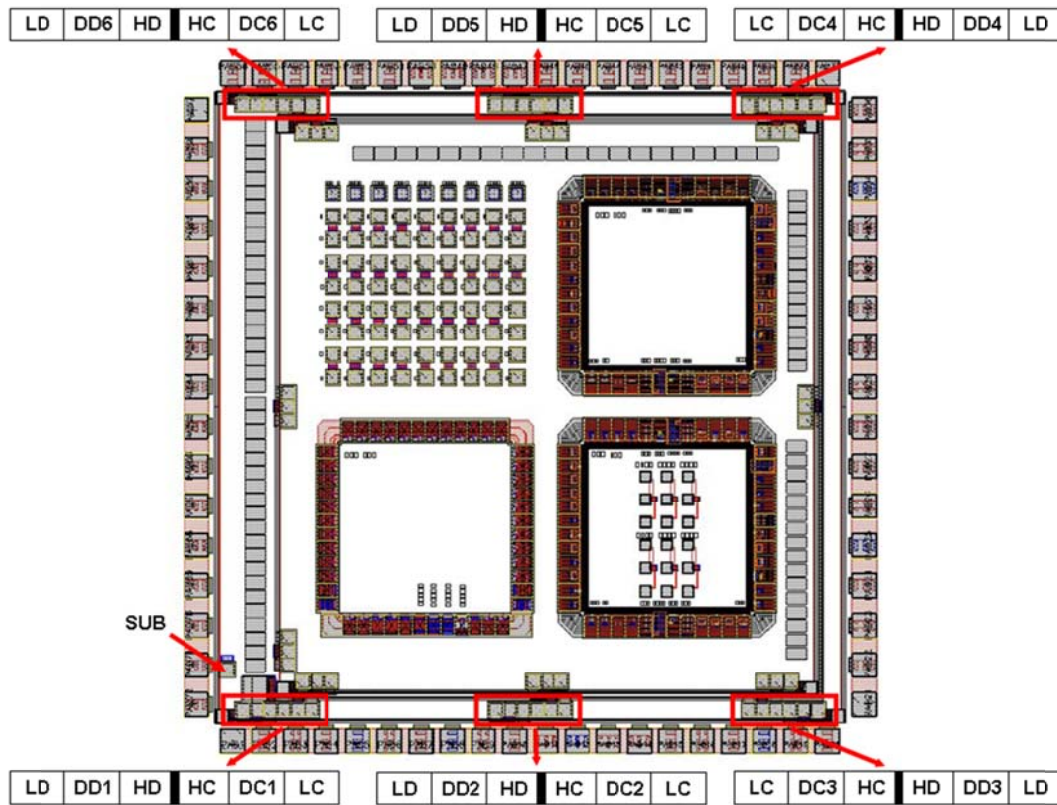
La robustezza dei clamp distribuiti in versione closed loop inclusi nel modulo MPW H821 - CK243A è stata saggiata attraverso degli impulsi di 100 ns generati dal TLP.

All'interno del modulo i clamp distribuiti in versione closed loop sono posizionati come da figura:



Clamp diviso in 4 parti con dimensione totale equivalente al clamp concentrato

Il layout dei pad oggetto del test è rappresentato nella figura seguente:

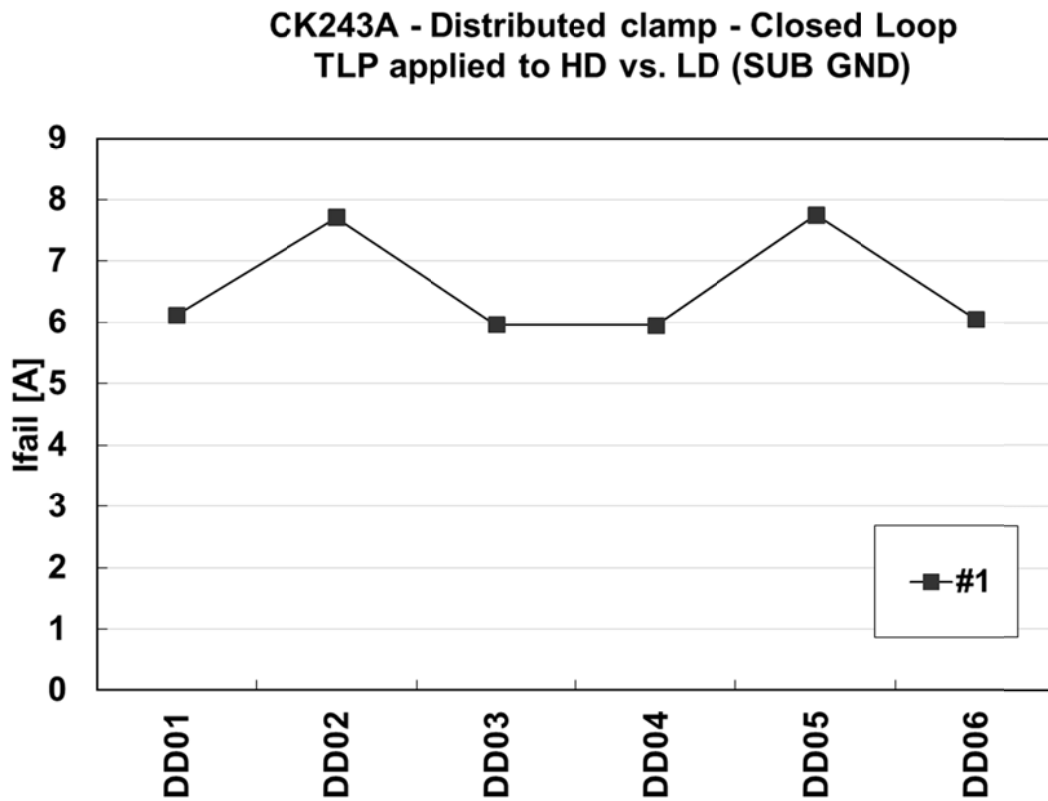


Gli impulsi generati dal TLP sono stati lanciati tra tutti i pad HD e i corrispondenti pad LD, con il pad di substrato (SUB) a massa e usando un nuovo die per ogni misura.

Per identificare il pad oggetto del test si è scelto di usare la sigla del pad con diodo ad esso adiacente.

La misura della corrente di leakage è stata effettuata a 20 V.

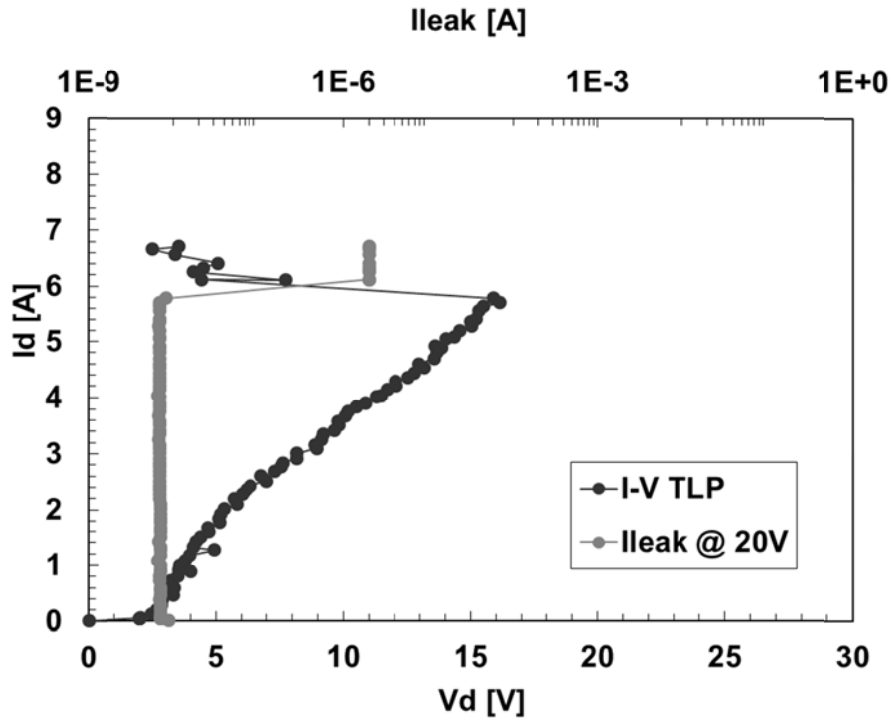
I valori della corrente al momento della rottura sono mostrati nel grafico seguente:



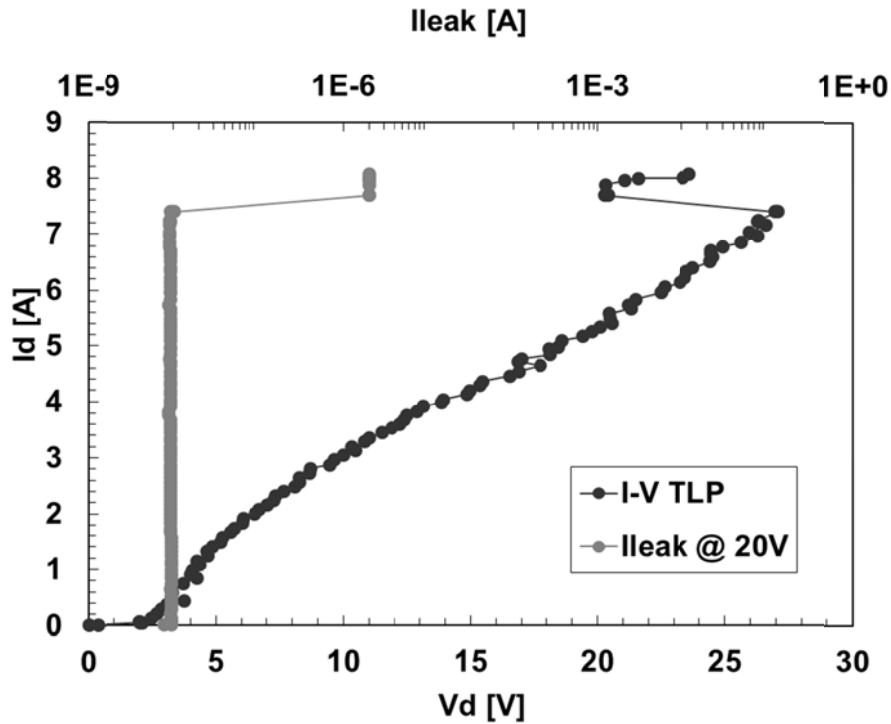
I pad agli angoli delle strutture di test hanno mostrato una robustezza simile di circa 6 A, mentre i pad centrali hanno resistito fino a circa 7,75 A.

I risultati delle misure eseguite sono riportati nei grafici I-V delle pagine seguenti.

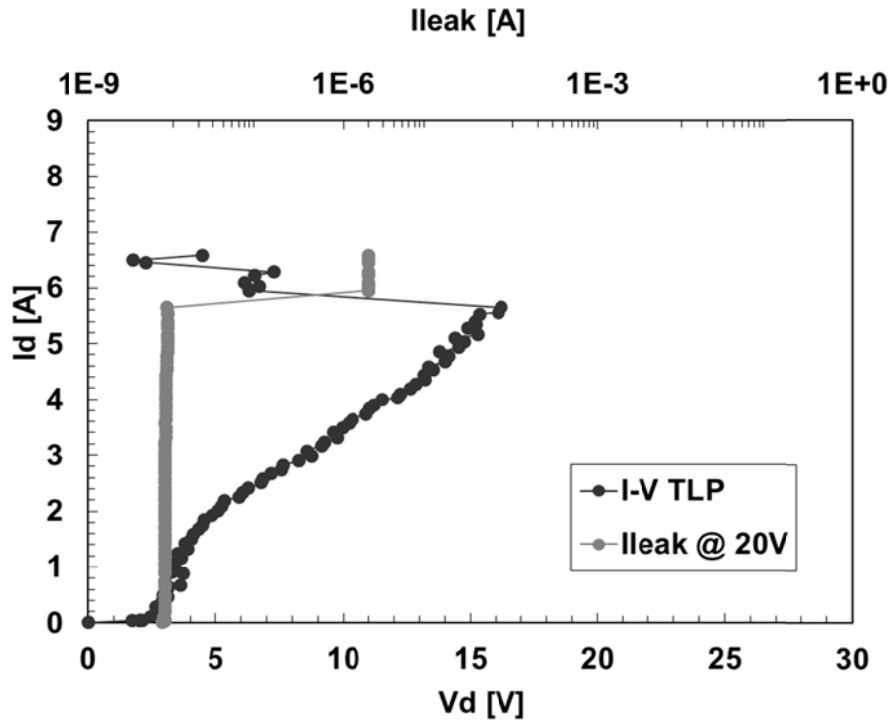
CK243A - Distributed clamp - Closed Loop
PAD HIGH near to DD01



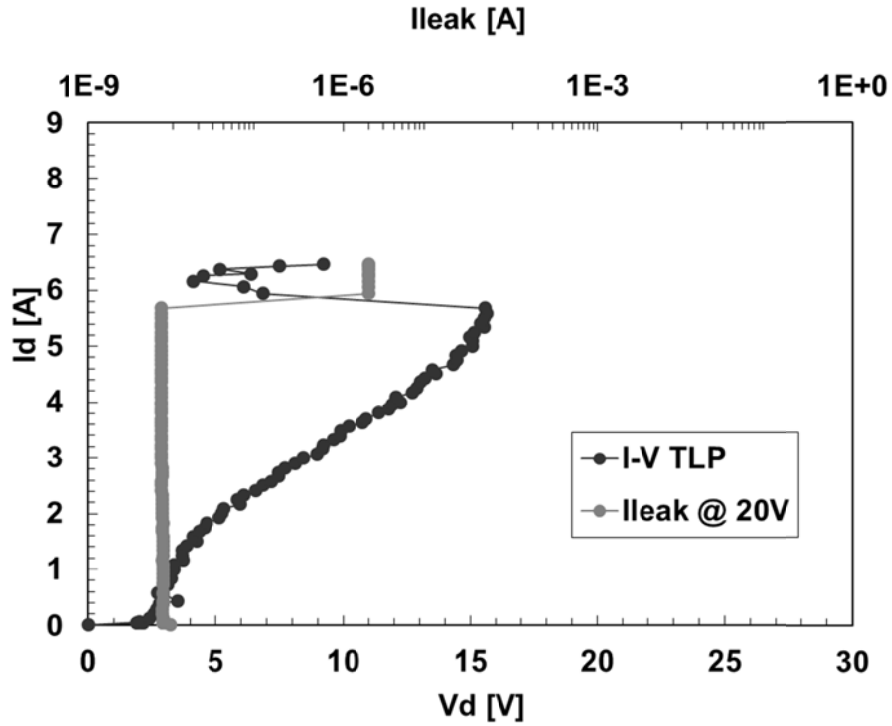
CK243A - Distributed clamp - Closed Loop
PAD HIGH near to DD02



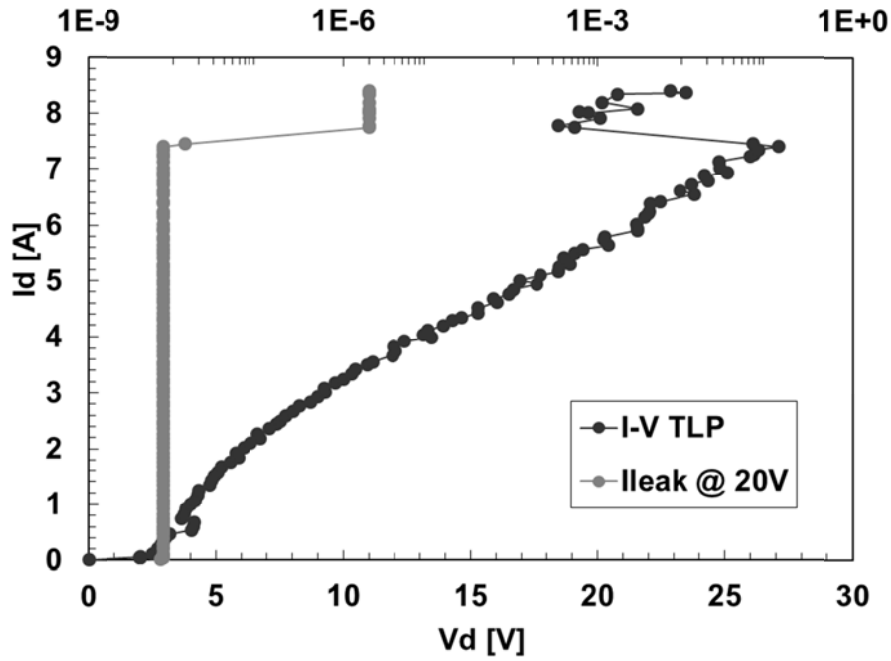
CK243A - Distributed clamp - Closed Loop
 PAD HIGH near to DD03



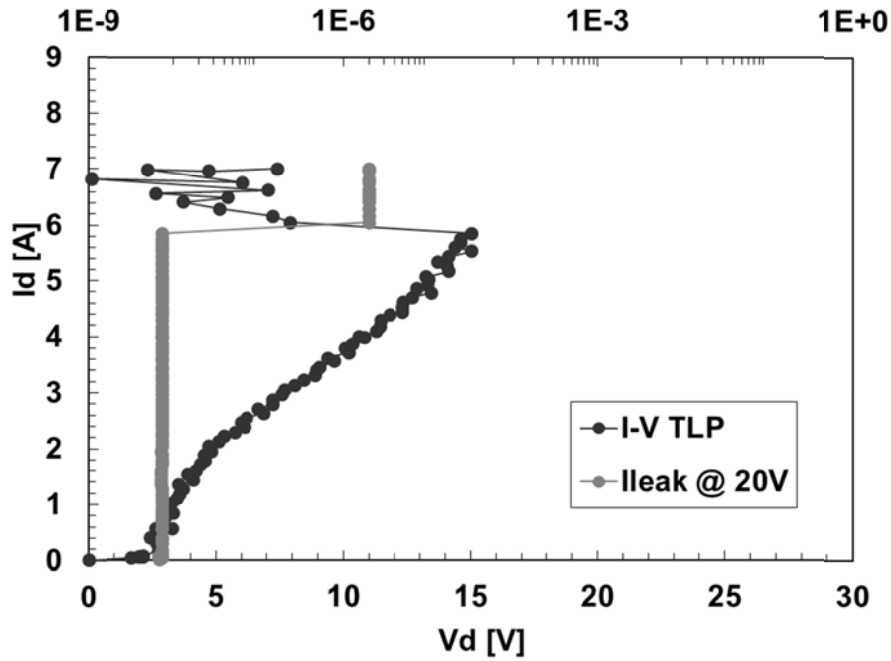
CK243A - Distributed clamp - Closed Loop
 PAD HIGH near to DD04



CK243A - Distributed clamp - Closed Loop
PAD HIGH near to DD05
Ileak [A]

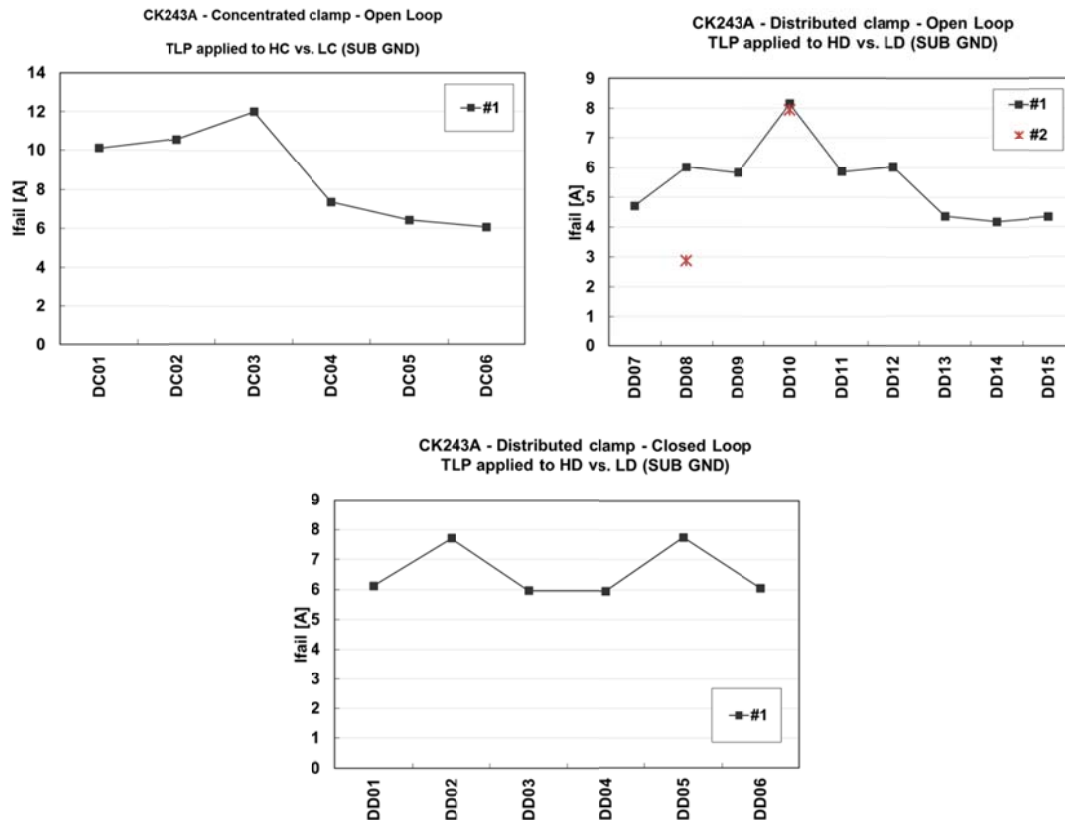


CK243A - Distributed clamp - Closed Loop
PAD HIGH near to DD06
Ileak [A]



Osservazioni

Prima di passare a delle strutture concettualmente ed elettronicamente diverse, proviamo a confrontare i risultati ottenuti finora.



I pad 1, 2 e 3 della protezione a clamp concentrati hanno una corrente di rottura di circa 11 A, valore al quale le altre soluzioni non si avvicinano neanche.

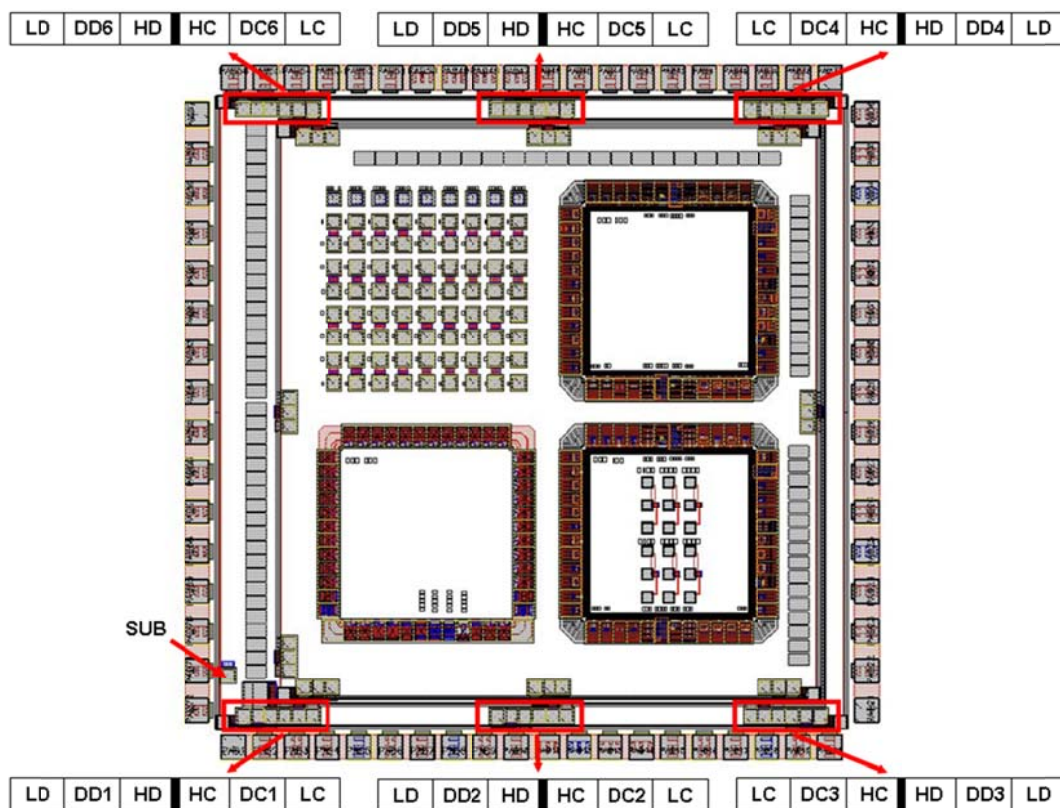
Tutti gli altri pad, fatta eccezione per i 7, 13, 14 e 15 della protezione a clamp distribuiti open loop, hanno una corrente di rottura simile, compresa tra i 6 e gli 8 A.

I pad 7, 13, 14 e 15 della protezione a clamp distribuiti open loop si sono dimostrati i più fragili, con una corrente di rottura di poco superiore ai 4 A.

Diodi

La robustezza dei clamp protetti da diodi di classe 20 V inclusi nel modulo MPW H821 - CK243A è stata saggiata attraverso degli impulsi di 100 ns generati dal TLP.

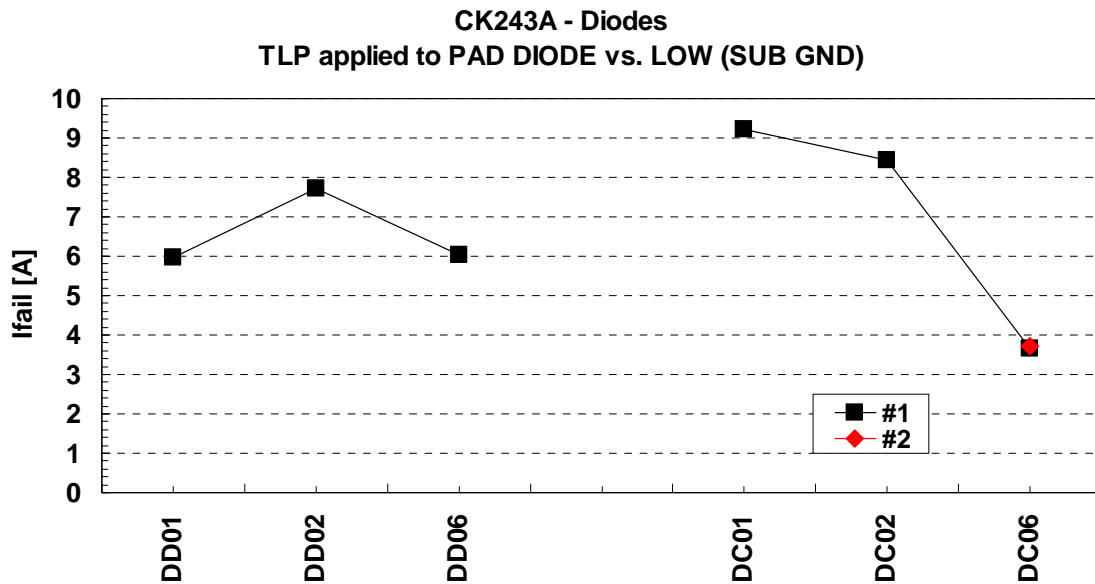
Il layout dei pad oggetto del test è rappresentato nella figura seguente:



Gli impulsi generati dal TLP sono stati lanciati tra i pad DD1, DD2, DD6, DC1, DC2, DC6 e i corrispondenti pad LOW, con il pad di substrato (SUB) a massa e usando un nuovo die per ogni misura.

La misura della corrente di leakage è stata effettuata a 20 V.

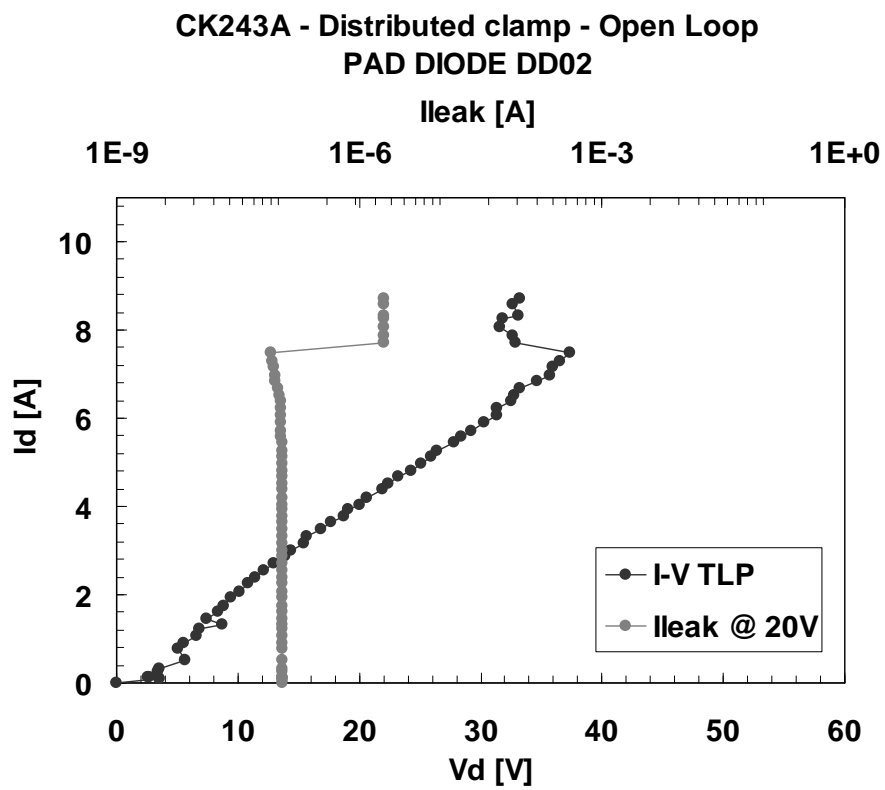
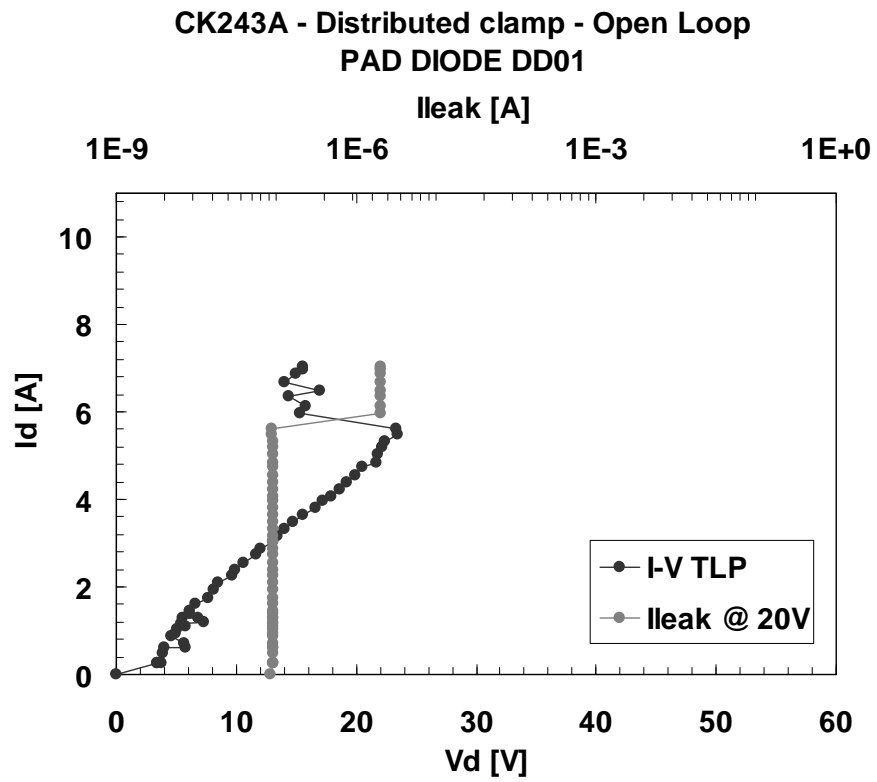
I valori della corrente al momento della rottura sono mostrati nel grafico seguente:



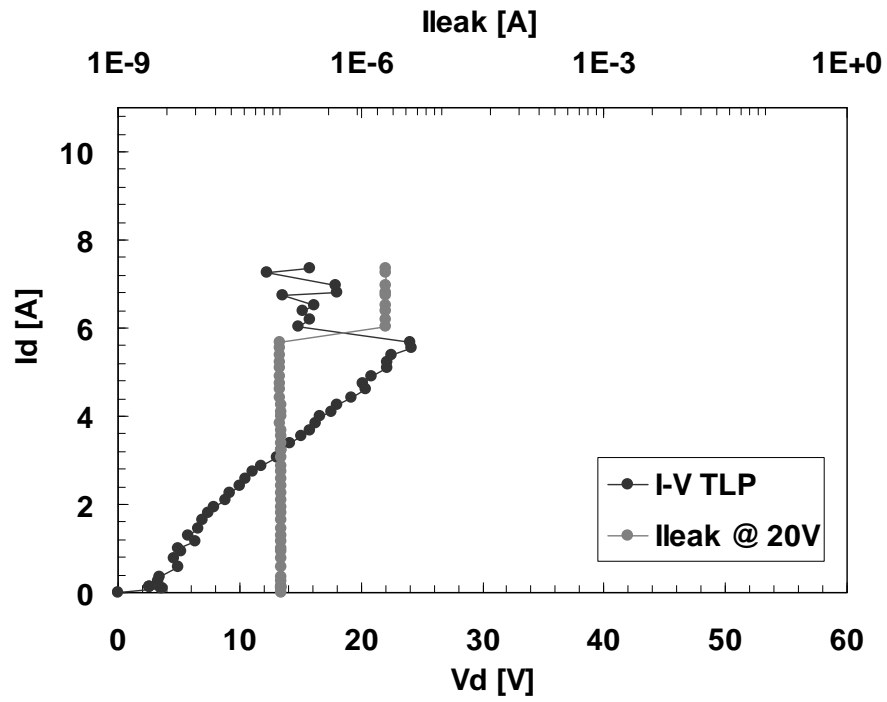
La configurazione a clamp concentrati appare più robusta rispetto a quella a clamp distribuiti con l'eccezione del diodo D6, che si è rotto quando è stato attraversato da una corrente di soli 3,6 A.

Temendo un errore di misurazione la misura per questo particolare diodo è stata ripetuta una seconda volta, ma con risultati simili.

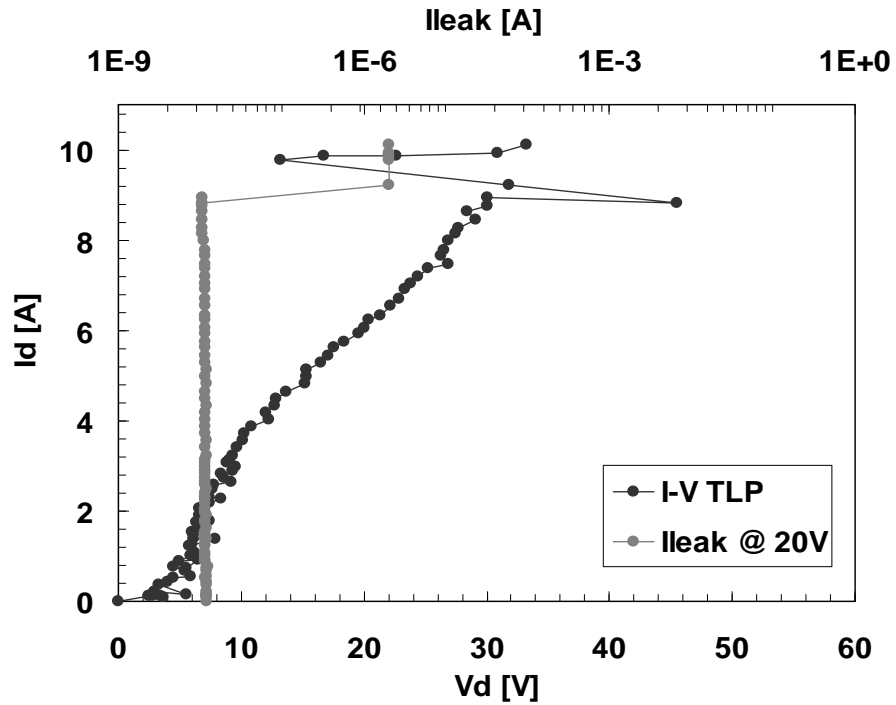
I risultati delle misure eseguite sono riportati nei grafici I-V delle pagine seguenti.

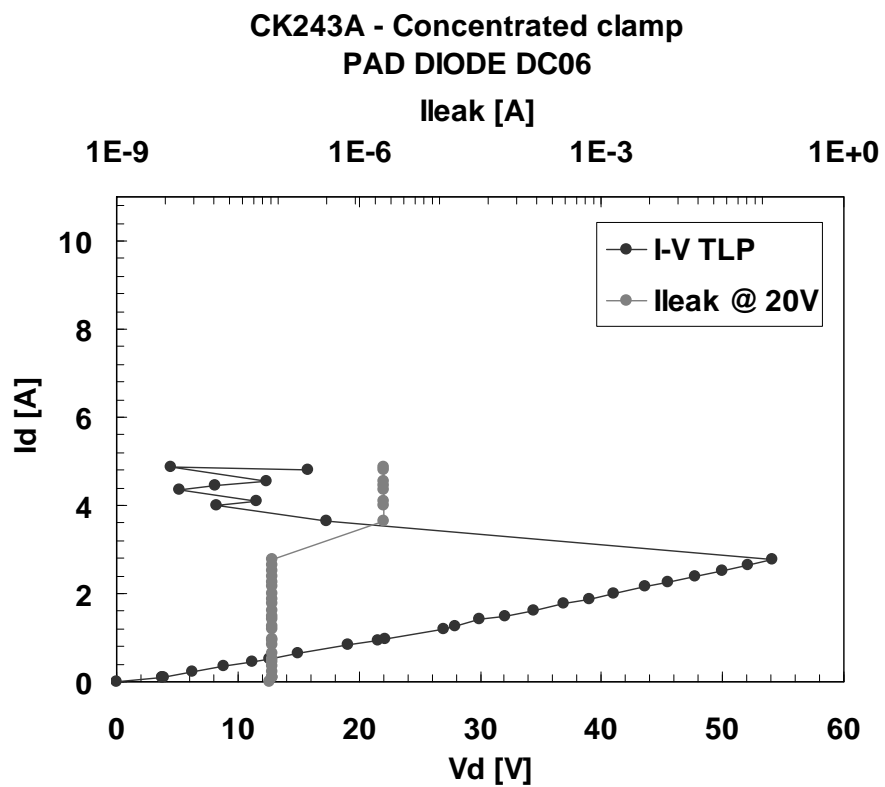
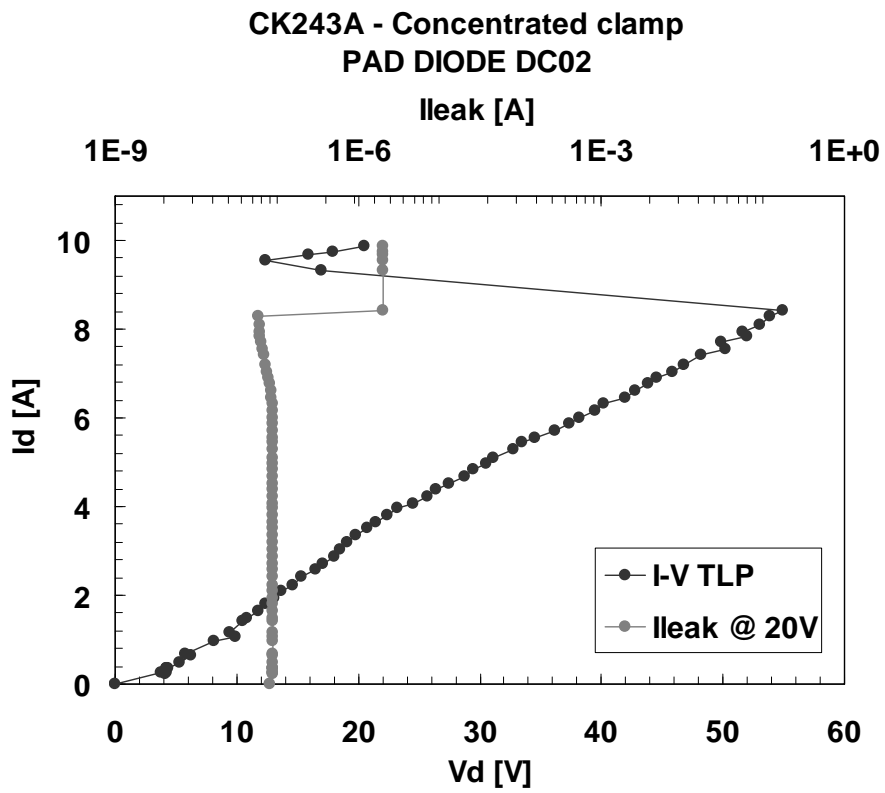


CK243A - Distributed clamp - Open Loop
PAD DIODE DD06



CK243A - Concentrated clamp
PAD DIODE DC01



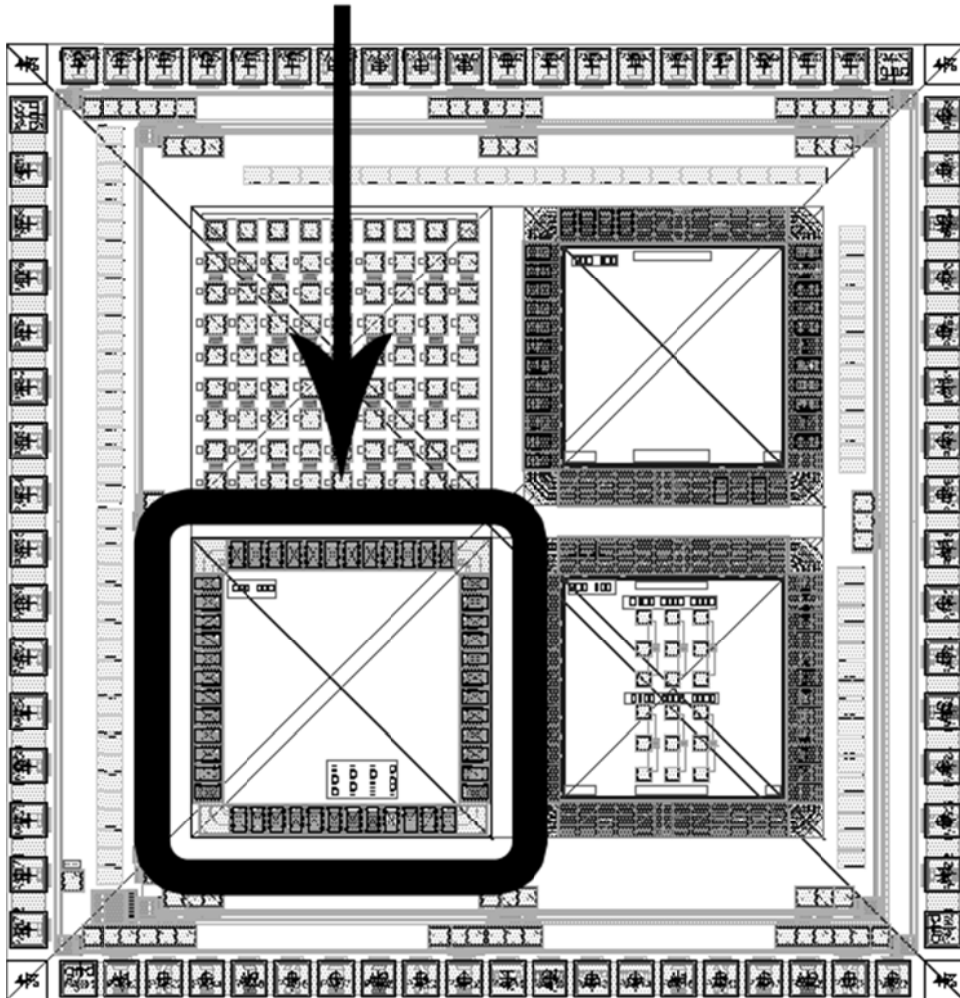


Clamp distribuiti da 3,3V

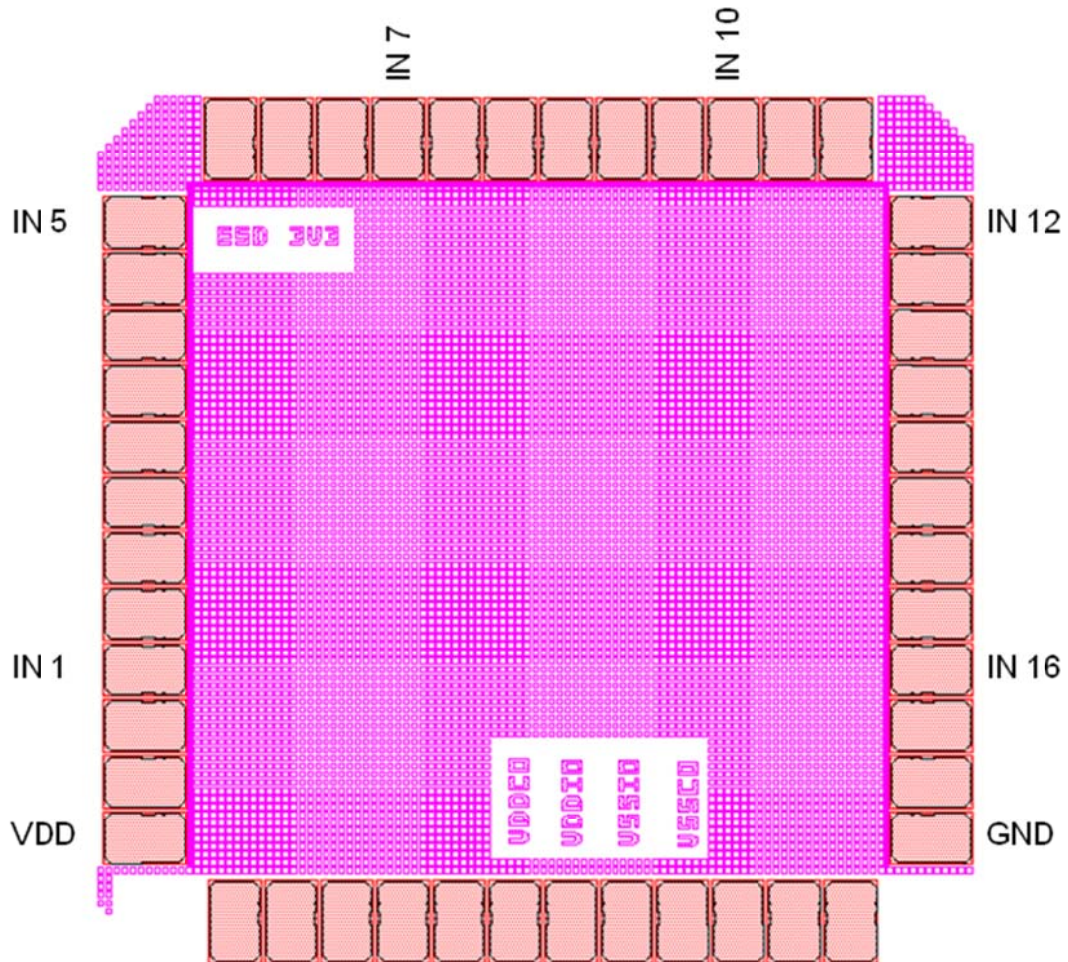
La robustezza dei clamp distribuiti da 3,3 V inclusi nel modulo MPW H821 - CK243A è stata saggiata attraverso degli impulsi di 100 ns generati dal TLP.

All'interno del modulo i clamp distribuiti da 3,3 V sono posizionati come da figura:

Modulo clamp distribuiti 3.3V



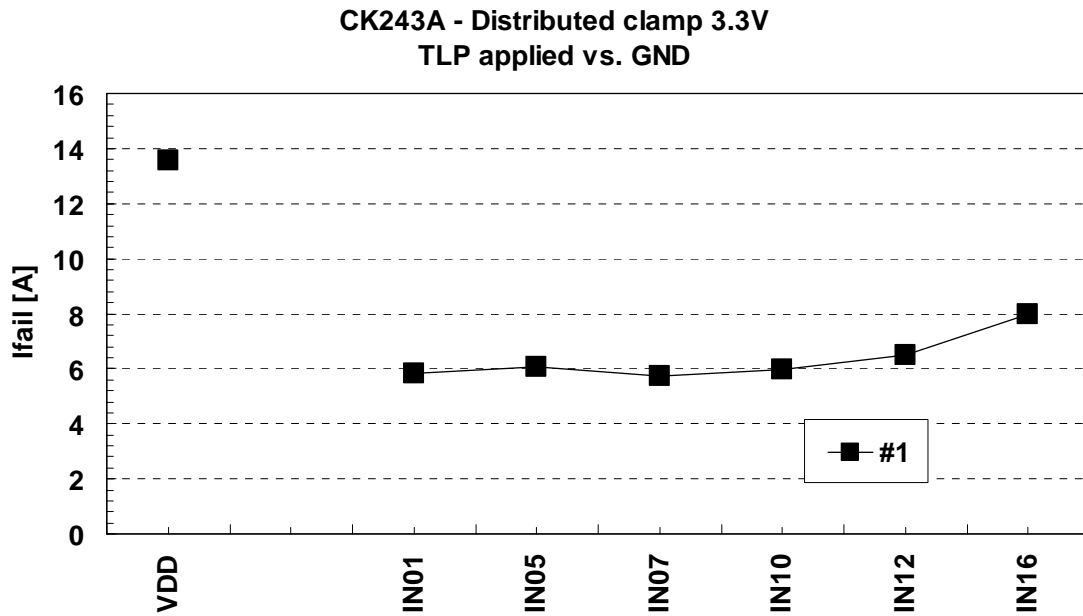
Il layout dei pad oggetto del test è rappresentato nella figura seguente:



Gli impulsi generati dal TLP sono stati lanciati tra i pad VDD, IN1, IN5, IN7, IN10, IN12, IN16 e il pad GND, usando un nuovo die per ogni misura.

La misura della corrente di leakage è stata effettuata a 3,5 V.

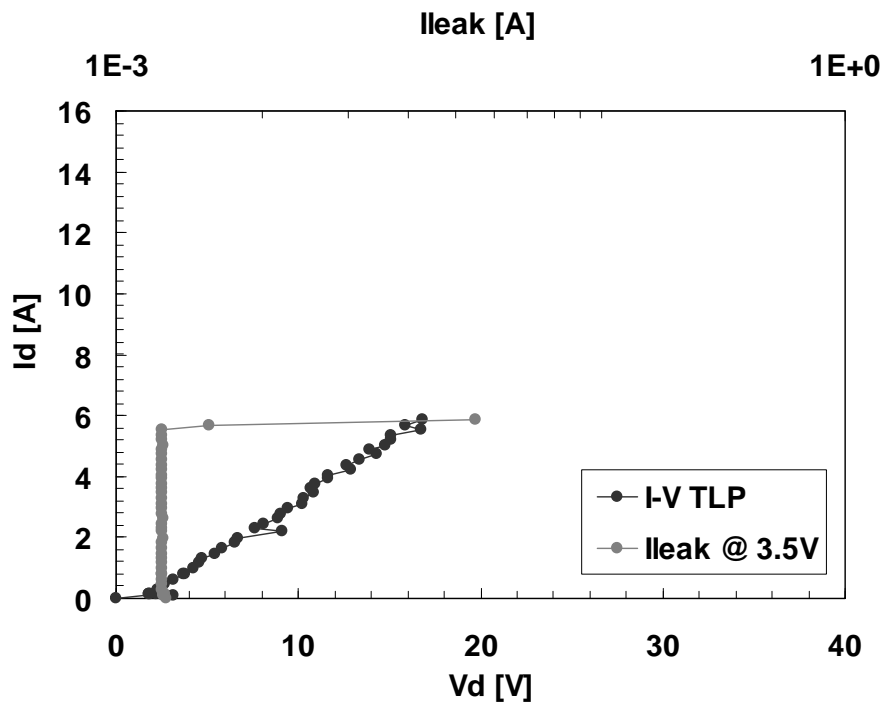
I valori della corrente al momento della rottura sono mostrati nel grafico seguente:



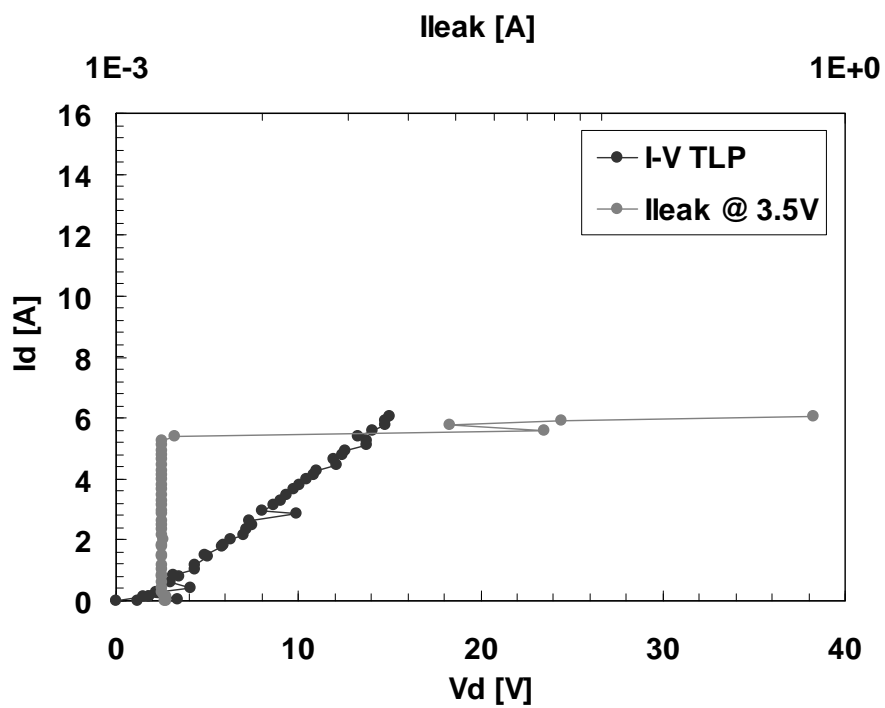
Tutti i pad IN hanno mostrato una robustezza simile, rompendosi a circa 6 A. Il pad VDD si è rotto quando è stato sottoposto allo stress di 13,5 A.

I risultati delle misure eseguite sono riportati nei grafici I-V delle pagine seguenti.

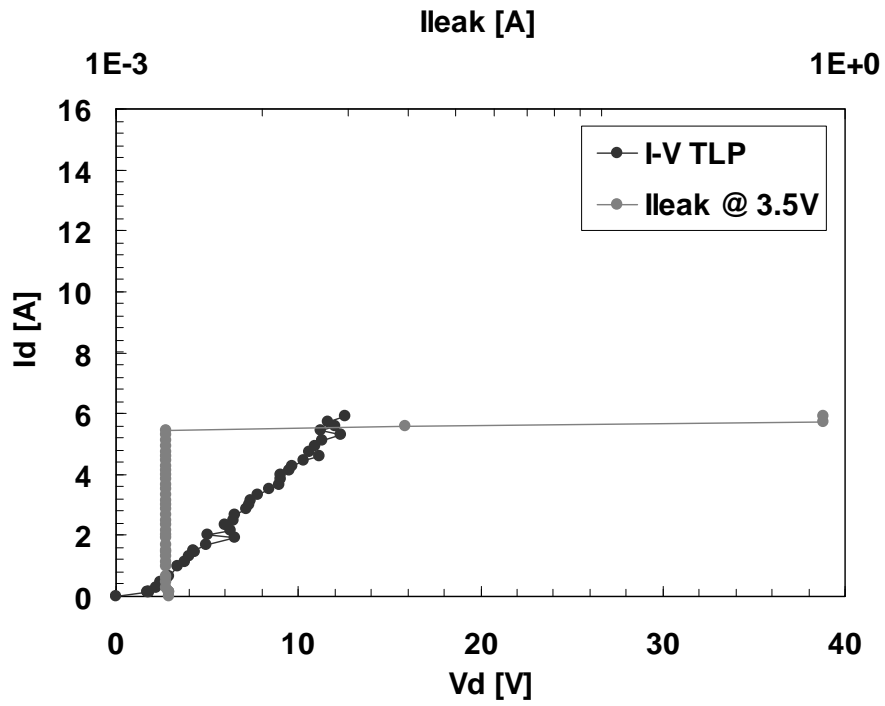
CK243A - Distributed clamp 3.3V
IN01 vs. GND



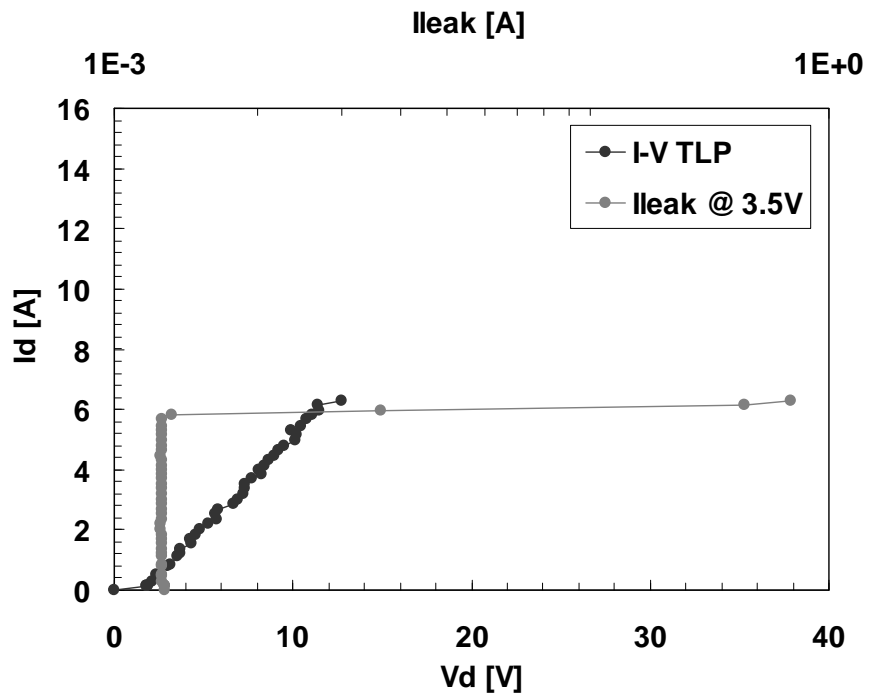
CK243A - Distributed clamp 3.3V
IN05 vs. GND



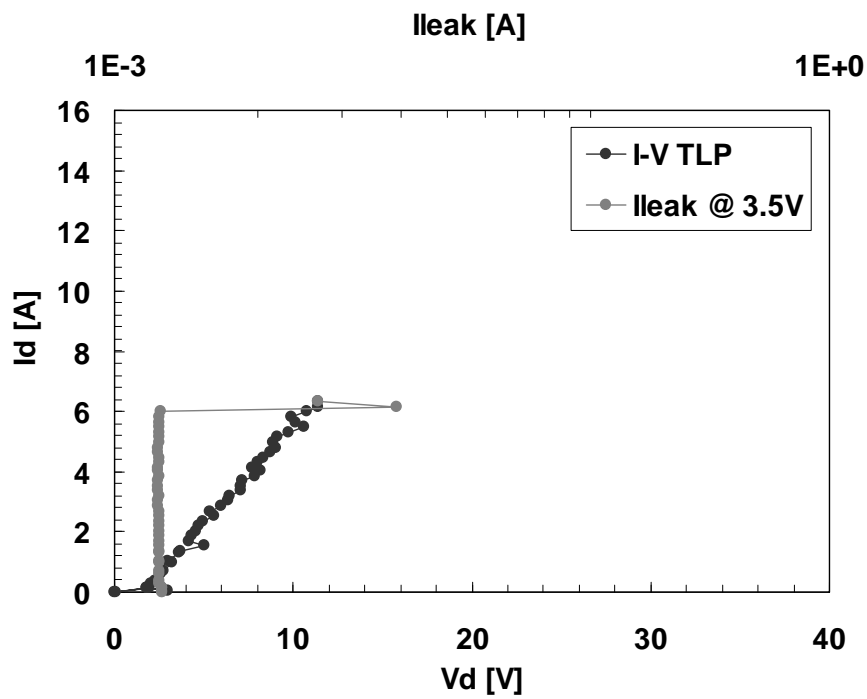
CK243A - Distributed clamp 3.3V
IN07 vs. GND



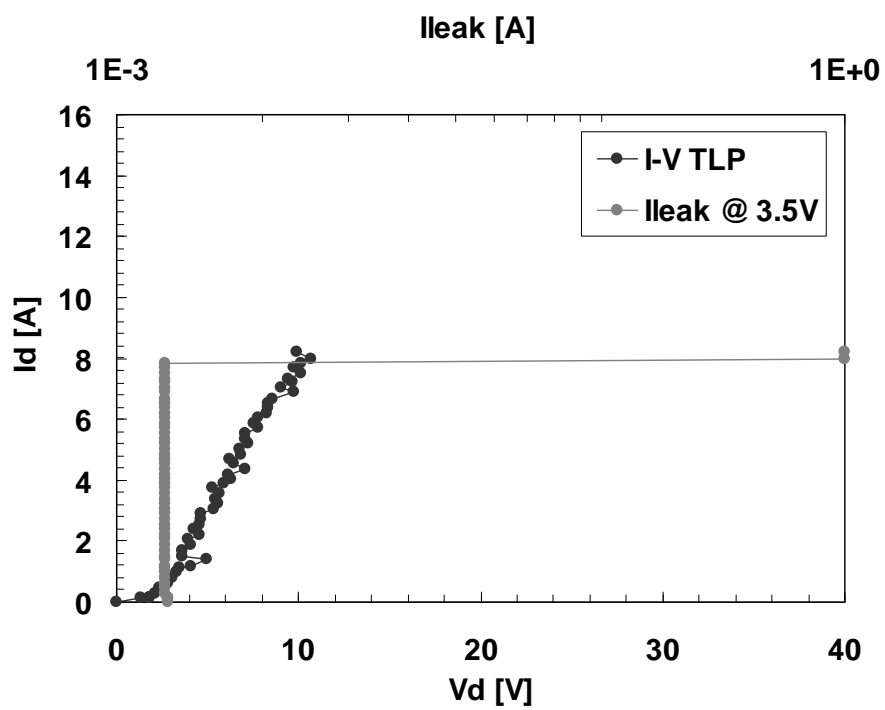
CK243A - Distributed clamp 3.3V
IN10 vs. GND



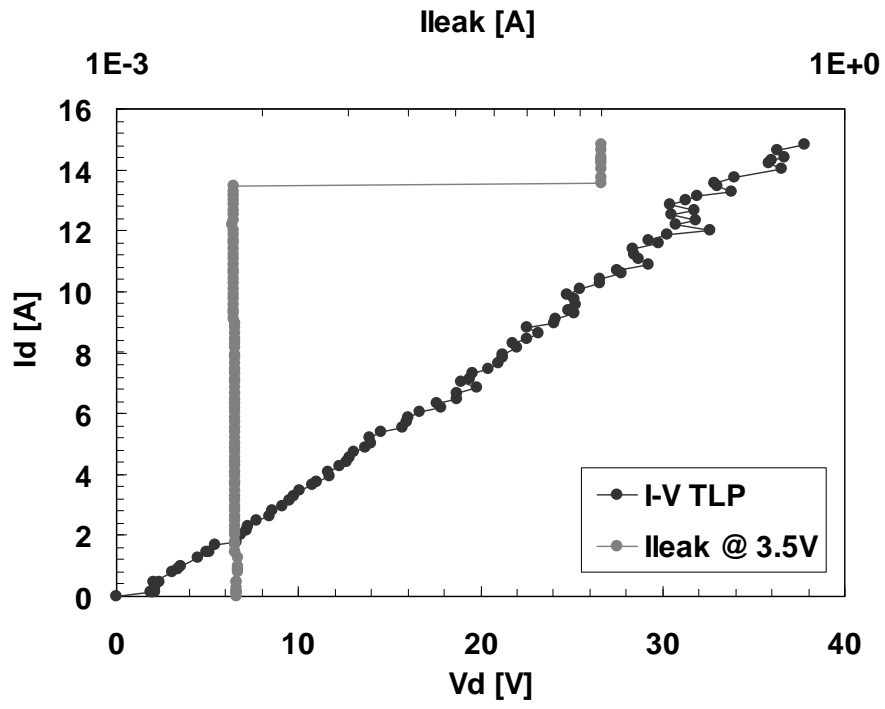
CK243A - Distributed clamp 3.3V
IN12 vs. GND



CK243A - Distributed clamp 3.3V
IN16 vs. GND



CK243A - Distributed clamp 3.3V
VDD vs. GND



Conclusioni

Grazie alla versatilità della tecnologia BCD8 abbiamo potuto analizzare dispositivi fabbricati sullo stesso supporto ma completamente diversi tra loro come utilizzo, e ne abbiamo testato la robustezza nei confronti delle scariche elettrostatiche.

Le misurazioni sugli ossidi di gate dei MOS ci hanno permesso di apprezzare le differenze in termini di robustezza tra nMOS e pMOS, e ci hanno dato modo di quantificare quanto lo spessore dell'ossido influisca sulla resistenza alle scariche elettrostatiche.

Le misurazioni sui clamp invece ci hanno permesso, a parità di area occupata sul wafer, di valutare la differenza introdotta dal tipo di struttura (concentrata, distribuita, open e closed loop) e dalla posizione occupata all'interno del modulo.

Bibliografia

[1] AMERASEKERA A., DUVVURY C. (2002), *ESD in Silicon Integrated Circuits*, 2nd Edition, John Wiley and Sons, Chichester, England

[2] AZIZI N., YIANNACOURAS P. (2003), *Gate Oxide Breakdown*

[3] BALLARIN G. (2010), *Progettazione in tecnologia Smart Power 0.18 μ m di elementi e circuiti di protezione per le scariche elettrostatiche secondo standard Charge Device Model*, Tesi di laurea specialistica in Ingegneria Elettronica

[4] DI BICCARI L. (2010), *Characterization of ESD Protection Structures for 65 μ m CMOS Technology*, Tesi di laurea specialistica in Ingegneria Elettronica

[5] DIEP T., DUVVURY C. (2001), *Texas Instruments Application Report: Electrostatic Discharge (ESD)*, Texas Instruments Incorporated

[6] ETHERTON M. (2006), *Charged device model (CDM) ESD in ICs: physics, modeling, and circuit simulation*, PhD dissertation thesis, Diss. ETH-Nr. 16354, ISBN: 3-86628-068-X

[7] ILLE A., STADLER W., POMPL T., GOSSNER H., BRODBECK T., ESMARK K., RIESS P., ALVAREZ D., CHATTY K., GAUTHIER R., BRAVAIX A. (2007), *Reliability Aspects of Gate Oxide Under ESD Pulse Stress*, EOS/ESD Symposium 2007, 328–337

[8] Intel® Packaging Information (2000), *Packaging Databook, Chapter 6: ESD/EOS*

[9] Iteco ESD Book (2004), *Protection from electrostatic discharges in the electronic environments*

[10] Mini-Circuits® Application notes (2003), *The Prevention and Control of Electrostatic Discharge (ESD)*, AN-40-005

[11] MURARI B. (2003), *Smart Power Technology Evolves to Higher Levels of Complexity*, AN447 Application Note, STMicroelectronics

[12] POMPL T., WURZER H., KERBER M., EISELE I. (2000), *Influence of Gate Oxide Breakdown on MOSFET Device Operation*, Microelectronics Reliability 40, 37–47

[13] TAZZOLI A., *Electrostatic Discharge Effects on Microelectronic and Micro-Electro Mechanical Devices*

[14] BONNIE E. WEIR, CHE-CHOI LEUNG, PAUL J. SILVERMAN, MUHAMMAD A. ALAM (2005), *Gate Dielectric Breakdown in the Time-Scale of ESD Events*, *Microelectronics Reliability* 45, 427–436

[15] WU J., JULIANO P., ROSENBAUM E. (2000), *Breakdown and Latent Damage of Ultra-Thin Gate Oxides under ESD Stress Condition*, *EOS/ESD Symposium 2000*, 287–295

Bibliografia