



UNIVERSITÀ DEGLI STUDI DI PADOVA
FACOLTÀ DI INGEGNERIA

Tesi di Laurea in
INGEGNERIA DELL'INFORMAZIONE

Circuito di pilotaggio per convertitori a commutazione interleaved

Relatore
Prof. Giorgio Spiazzi

Candidato
Luca Enrico Ferrari

Anno Accademico 2011/2012

Capitolo 1

Sommario

Con il presente lavoro si descrivono le fasi di progettazione e realizzazione di un circuito di test per il controllore LM5032 prodotto dalla National Semiconductor che verrà utilizzato per un convertitore boost DC\DC interleaved.

Dopo aver descritto brevemente il convertitore boost ed i principali vantaggi dell'approccio interleaved si passerà all'analisi del controllore e successivamente alla progettazione del circuito di test.

Infine si darà conto della realizzazione del circuito in laboratorio e delle misure effettuate.

Indice

1	Sommario	2
2	Il convertitore boost interleaved	6
2.1	Introduzione	6
2.2	Funzionamento	8
2.2.1	Funzionamento continuo	8
2.2.2	Funzionamento discontinuo	12
2.3	Limite tra funzionamento continuo e discontinuo	13
2.4	I vantaggi dell'approccio interleaved	14
3	Il controllore LM5032	18
3.1	Introduzione	18
3.2	Comparatore PWM, Slope Compensation	20
3.2.1	Modulazione di larghezza di impulso (PWM)	20
3.2.2	La PWM dell'LM5032	21
3.3	Funzioni ausiliarie	23
3.3.1	Line Under-Voltage Lock Out (UVLO)	23
3.3.2	Il regolatore d'avvio, il circuito UVT	24
3.3.3	Gestione dei picchi di corrente	24
3.4	Oscillatore	27
3.5	Soft start	27
3.6	Output Duty Cycle	28
3.7	I Driver di uscita	28
4	I circuiti di test e le misure effettuate	30
4.1	Alimentazione	30
4.2	Regolazione della tensione ai piedini COMP	31
4.2.1	Dimensionamento	32
4.3	Altri componenti	34

4.4	Primo test	35
4.4.1	Le misure	35
4.5	Secondo test	40
4.5.1	La generazione della rampa di tensione	40
4.5.2	Misure	44
5	Conclusioni	48
	Bibliografia	50

Capitolo 2

Il convertitore boost interleaved

2.1 Introduzione

I convertitori a commutazione DC\DC sono dispositivi che convertono un valore di tensione continua in una tensione, sempre continua, di valore diverso e regolabile. Il loro sviluppo risale ai primi anni sessanta con l'avvento dei primi dispositivi a semiconduttore utilizzati come interruttori. Noi concentreremo la nostra attenzione sulla configurazione boost raffigurata in figura 2.1.

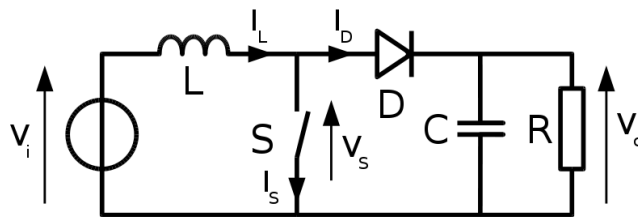


Figura 2.1: Convertitore boost.

Un convertitore boost (o convertitore step-up) converte la tensione continua di ingresso V_i in una tensione di uscita V_o positiva, di valore superiore o, al minimo, uguale a quello della tensione di ingresso. Gli elementi di base che costituiscono tale dispositivo sono:

- un interruttore unidirezionale;
- un diodo;

- un induttore;
- un condensatore.

Nell'analisi seguente si supporrà che:

- l'interruttore sia ideale;
- il diodo sia ideale;
- l'induttore e il condensatore siano ideali;
- $v_i(t) = V_i = \text{costante}$;
- $v_o(t) = V_o = \text{costante}$, ovvero che la capacità in uscita sia sufficientemente elevata;
- $i_o(t) = I_o = \text{costante}$;
- il funzionamento sia a regime.

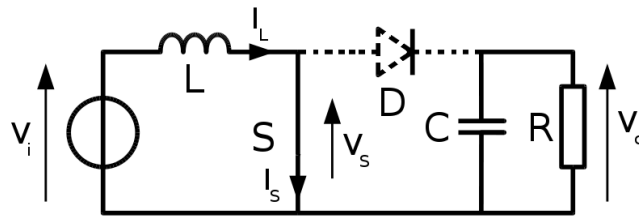


Figura 2.2: Convertitore boost nello stato ON.

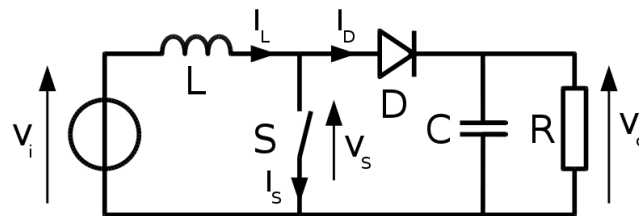


Figura 2.3: Convertitore boost nello stato OFF.

2.2 Funzionamento

Il convertitore può trovarsi in due stati:

- lo stato ON, rappresentato in figura 2.2, in cui l'interruttore S risulta chiuso;
- lo stato OFF, rappresentato in figura 2.3, in cui l'interruttore S risulta aperto;

2.2.1 Funzionamento continuo

In questo regime di funzionamento si assume i_L sempre maggiore di zero. Durante la fase ON, il interruttore è chiuso e la tensione ai capi del diodo risulta $-V_o$, il che ne determina l'interdizione. Ai capi dell'induttanza si ritrova invece la tensione di ingresso V_i , che produce una crescita lineare della corrente i_L :

$$i_L(t) = i_L(0) + \frac{1}{L} \int_0^t v_L(\tau) d\tau, = i_L(0) + \frac{V_i}{L}t. \quad (2.1)$$

L'ampiezza dell'ondulazione di corrente risulterà:

$$\Delta i_{L_{on}} = \frac{V_i}{L} t_{on} = \frac{V_i T \delta}{L} = \frac{V_i \delta}{L f_s}, \quad (2.2)$$

dove δ rappresenta il *duty-cycle* ovvero la durata relativa del tempo in cui l'interruttore S è acceso.

Nello stato OFF S è aperto e i_L forza il diodo in conduzione. La tensione ai capi dell'induttore diverrà $V_i - V_o$ e quindi, supponendo come origine dei tempi l'istante di apertura dell'interruttore, l'evoluzione di i_L sarà:

$$i_L(t) = i_L(0) + \frac{1}{L} \int_0^t v_L(\tau) d\tau, = i_L(0) + \frac{V_i - V_o}{L}t. \quad (2.3)$$

L'ampiezza dell'ondulazione di corrente risulterà:

$$\Delta i_{L_{off}} = \frac{V_o - V_i}{L} t_{off} = \frac{V_o - V_i}{L} (T - t_{on}) = \frac{V_o - V_i}{L} T (1 - \delta). \quad (2.4)$$

In figura 2.4 a) è rappresentato l'andamento di i_L , mentre in figura 2.4 b) è rappresentato l'andamento della tensione sull'induttore v_L .

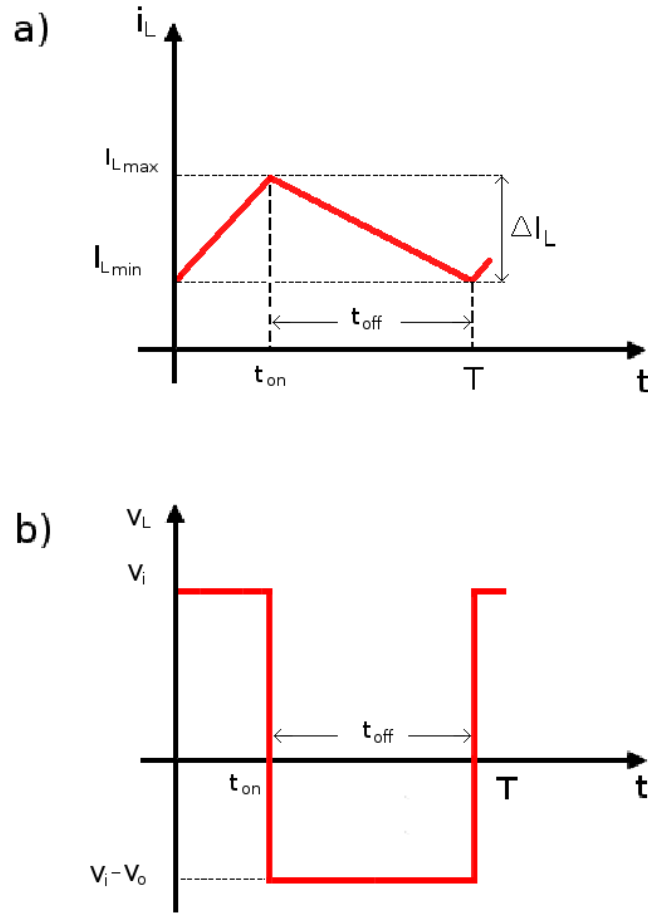


Figura 2.4: Andamenti della corrente e della tensione nell'induttore.

Poiché ci siamo posti nella condizione a regime, è ovvio che, essendo l'induttanza ideale, l'ammontare dell'energia accumulata nell'induttore deve essere poi ceduta totalmente. Essendo:

$$E = \frac{1}{2} L i_L^2, \quad (2.5)$$

questo implica che la corrente i_L deve essere la stessa all'inizio e alla fine del ciclo di commutazione. Poniamo quindi:

$$\Delta I_{on} = \Delta I_{off} = \delta I = \frac{V_i \delta}{L f_s} = \frac{V_o - V_i}{L} T (1 - \delta). \quad (2.6)$$

Ricaviamo:

$$\frac{V_o}{V_i} = \frac{1}{1 - \delta}, \quad (2.7)$$

ovvero la relazione fra tensione di ingresso e tensione di uscita. Si noti come, essendo $(1 - \delta) \leq 1$, la tensione d'uscita sia sempre maggiore o al più uguale alla tensione di ingresso e cresca al crescere di δ . Per il bilancio di potenza possiamo inoltre dire che $V_i I_i = V_o I_o$ per cui:

$$\frac{I_o}{I_i} = \frac{1}{1 - \delta}. \quad (2.8)$$

La corrente media nel diodo vale:

$$I_D = \frac{(I_{Lmin} + I_{Lmax})t_{off}}{2T} = I_L(1 - \delta) \quad (2.9)$$

e, poichè a regime la corrente media nel condensatore è pari a zero, si avrà $I_o = I_D$. Inoltre:

$$i_C(t) = i_D(t) - I_o = i_D(t) - I_D. \quad (2.10)$$

L'andamento di $i_D(t)$ è ovviamente quello rappresentato in figura 2.5.

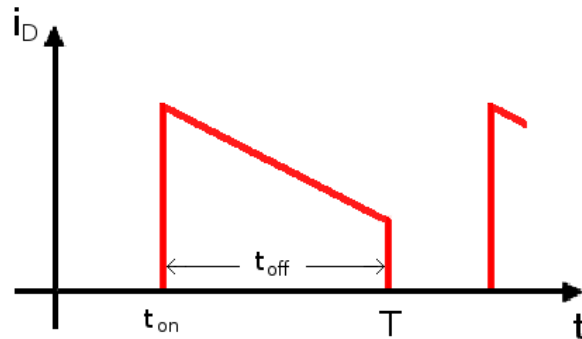


Figura 2.5: Andamento della corrente nel diodo.

A seconda che I_o sia minore o maggiore di I_{Lmin} , si ha per $i_C(t)$ l'andamento di figura 2.6 a) o b) rispettivamente. Nel caso rappresentato in figura 2.6 a), si otterrà un'ondulazione di tensione di uscita pari a:

$$|\Delta u_C(t)| = \frac{1}{C} \int_0^{t_{on}} i_C(t) dt = \frac{1}{C} \int_0^{t_{on}} I_o dt = \frac{I_o t_{on}}{C} = \frac{I_o \delta}{f_s C} = \frac{V_o}{R} \frac{\delta}{f_s C}. \quad (2.11)$$

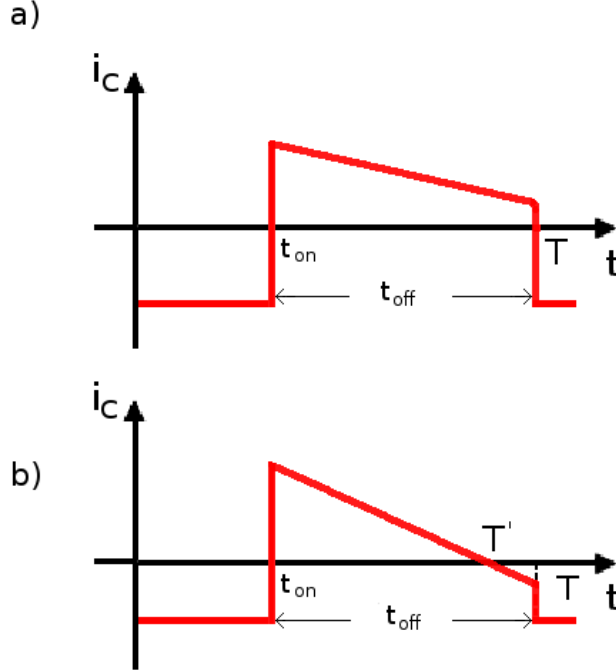


Figura 2.6: i_C nel caso $I_o < I_{L_{min}}$ a), e nel caso $I_o > I_{L_{min}}$ b).

Si può quindi ricavare l'ondulazione di tensione relativa che, con carico resistivo, risulta:

$$\frac{|\Delta u_C|}{V_o} = \frac{|\Delta V_o|}{V_o} = \frac{\delta T}{RC} = \frac{\delta T}{\tau}. \quad (2.12)$$

Nel caso invece b) si trova:

$$|\Delta u_C(t)| = \frac{\Delta Q}{C} = \frac{1}{C} \int_{t_{on}}^{T'} i_C(t) dt = \frac{(T' - t_{on})(I_{L_{max}} - I_o)}{2C} = \frac{(\Delta t)(I_{L_{max}} - I_o)}{2C}. \quad (2.13)$$

Ricaviamo Δt dalla figura 2.6 b) sfruttando la similitudine tra triangoli:

$$\frac{\Delta t}{t_{off}} = \frac{I_{L_{max}} - I_o}{I_{L_{max}} - I_o - (I_{L_{min}} + I_o)} = \frac{I_{L_{max}} - I_o}{\Delta I_L}. \quad (2.14)$$

Sostituendo la 2.14 nella 2.13 e ricordando la 2.6 si ottiene:

$$|\Delta u_C(t)| = \frac{t_{off}}{\Delta I_L} \frac{(I_{L_{max}} - I_o)^2}{2C} = \frac{L}{2C} \frac{(I_{L_{max}} - I_o)^2}{V_o - V_i}. \quad (2.15)$$

2.2.2 Funzionamento discontinuo

Se l'energia richiesta dal carico è abbastanza ridotta da essere trasferita in un tempo più piccolo della durata dell'intero ciclo di commutazione, la corrente che passa attraverso l'induttore scende a zero durante parte del periodo determinando quindi l'interdizione del diodo. Le forme d'onda della tensione e della corrente nell'induttanza sono raffigurate in figura 2.7.

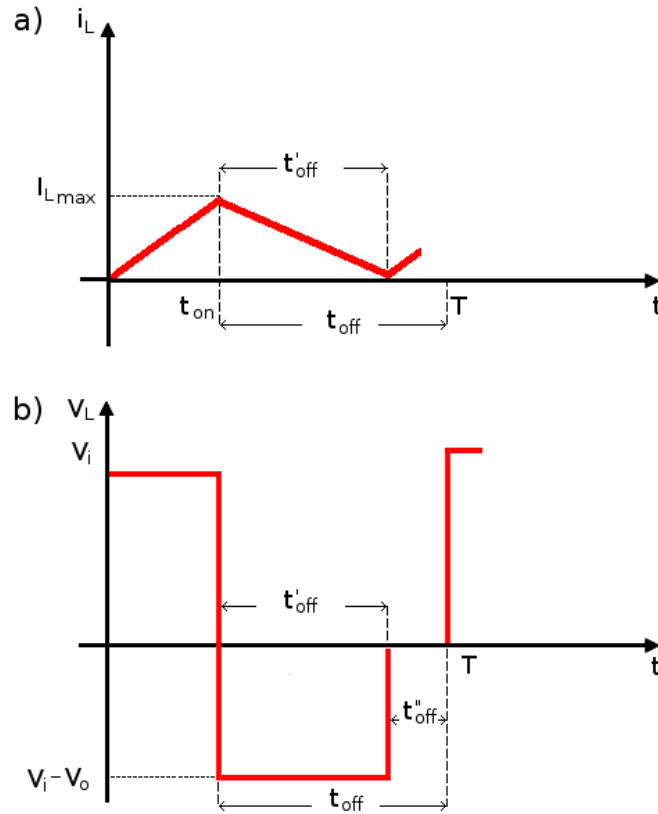


Figura 2.7: Andamenti di i_L e v_L nell'induttore in funzionamento discontinuo.

Essendo sempre a regime possiamo anche qui uguagliare le variazioni di i_L durante t_{on} e t'_{off} ottenendo:

$$\Delta I_{on} = \Delta I_{off'} = \frac{V_i t_{on}}{L} = \frac{V_o - V_i}{L} t'_{off}. \quad (2.16)$$

Da cui segue:

$$\frac{V_o}{V_i} = \frac{t_{on} + t'_{off}}{t'_{off}} = 1 + \frac{t_{on}}{t'_{off}}. \quad (2.17)$$

Il diodo risulta acceso solamente durante l'intervallo t'_{off} ed in tale intervallo si ha, sempre per la condizione a regime, $I_D = I_o = I_L$ per cui:

$$I_o = I_D = \frac{I_{Lmax} t'_{off}}{2T} = \frac{V_i t_{on}}{L} \frac{t'_{off}}{2T}. \quad (2.18)$$

Ricaviamo quindi che:

$$t'_{off} = \frac{2LI_D}{V_i \delta}. \quad (2.19)$$

Sostituendo nella 2.17 si ottiene:

$$\frac{V_o}{V_i} = 1 + \frac{t_{on} V_i \delta}{2LI_D} = 1 + \frac{t_{on} V_i \delta}{2LI_o}. \quad (2.20)$$

Notiamo quindi che nel caso di funzionamento discontinuo il rapporto di conversione non dipende solo dal *duty-cycle*, ma anche dal valore dell'induttanza, dalla tensione di ingresso e dalla corrente di uscita. Inoltre, indicando con V_{oCCM} la tensione d'uscita in funzionamento continuo e con V_{oDCM} la tensione d'uscita in funzionamento discontinuo, si può dimostrare che il fattore di conversione nel secondo caso è maggiore, infatti:

$$V_i t_{on} = (V_{oCCM} - V_i) t_{off} = (V_{oDCM} - V_i) t'_{off}. \quad (2.21)$$

Poichè $t_{off} > t'_{off}$, questo implica necessariamente che $V_{oDCM} > V_{oCCM}$ e quindi che il fattore di conversione nel caso di funzionamento discontinuo risulta maggiore.

2.3 Limite tra funzionamento continuo e discontinuo

Il convertitore opera in modo discontinuo quando il carico assorbe una corrente bassa, fissiamo quindi un valore di soglia I_{olim} . Può essere che il convertitore non sia dimensionato per lavorare solo in modo continuo, in questo caso si avrà un funzionamento continuo per bassi ed elevati valori di *duty-cycle*, mentre per valori intermedi si avrà funzionamento discontinuo. Il valore di soglia I_{olim} può essere determinato uguagliando i due rapporti di conversione:

$$M_{DCM} = 1 + \frac{t_{on} V_i \delta}{2LI_o} = \frac{1}{1 - \delta} = M_{CCM}, \quad (2.22)$$

da cui:

$$I_{olim} = \frac{t_{on}V_i}{2L}(1 - \delta) = \frac{V_i}{2Lf_s}\delta(1 - \delta). \quad (2.23)$$

Il corrispondente valore limite di I_L risulta:

$$I_{Llim} = \frac{I_{olim}}{1 - \delta} = \frac{V_it_{on}}{2L}\delta = \frac{\Delta I_L}{2}. \quad (2.24)$$

Definendo ora la corrente d'uscita normalizzata come:

$$I_{oN} = \frac{I_o}{\left(\frac{V_i}{2fL}\right)} = \frac{2Lf_sI_o}{V_i}, \quad (2.25)$$

possiamo sostituire nella 2.3 ed ottenere

$$I_{oNlim} = \frac{1}{M}\left(1 - \frac{1}{M}\right). \quad (2.26)$$

Calcoliamo il massimo della funzione $I_{oNlim}(M)$:

$$\frac{\partial I_{oNlim}(M)}{\partial M} = -\frac{1}{M^2} - \left(\frac{-2M}{M^4}\right) = -\frac{1}{M^2} + \frac{2}{M^3} = \frac{-M + 2}{M^3} = 0. \quad (2.27)$$

Il massimo si ha quindi per $M = 2$ a cui corrisponde $I_{oNlim} = 0.25$. In figura 2.8 è rappresentato l'andamento del rapporto di conversione in funzione della corrente d'uscita normalizzata nei due diversi regimi di funzionamento.

Ovviamente nel caso continuo non vi è dipendenza da I_{oN} . Inoltre si può notare che per $I_{oN} > 0.25$ il funzionamento è continuo indipendentemente dal duty-cycle mentre per $I_{oN} < 0.25$ si ha che per valori di δ piccoli ed elevati si ha funzionamento continuo mentre per valori intermedi di δ il funzionamento risulta discontinuo.

2.4 I vantaggi dell'approccio interleaved

Un convertitore interleaved, che sia esso boost o buck, è costituito in sostanza da due o più convertitori operanti in parallelo con un determinato sfasamento. In figura 2.9 è raffigurato un convertitore boost interleaved a due canali.

I principali vantaggi che derivano dall'utilizzo di convertitori interleaved sono: *“la diminuzione delle dimensioni e delle emissioni elettromagnetiche, l'incremento dell'efficienza, il miglioramento del transitorio e l'affidabilità.*

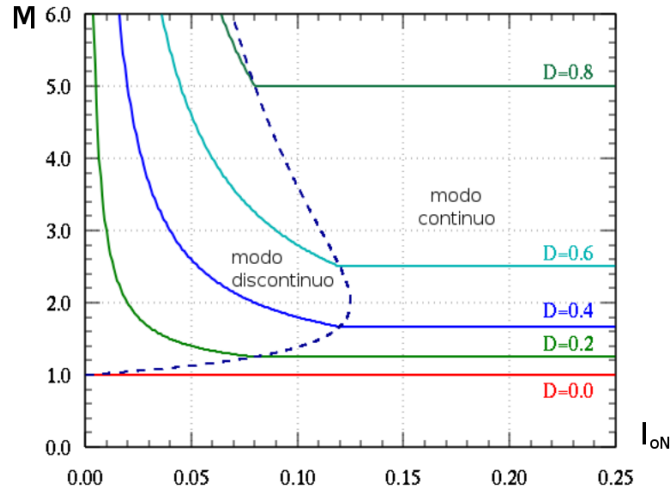


Figura 2.8: I due diversi rapporti di conversione in funzione di I_{oN} .

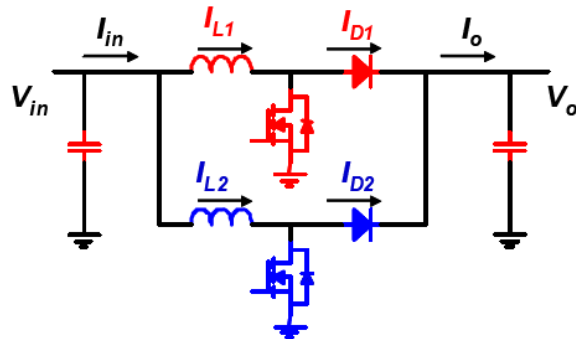


Figura 2.9: Convertitore boost interleaved a due canali.

Inoltre risultati sperimentali mostrano come l'architettura interleaved permetta di ottenere rilevanti benefici in applicazioni ad elevata temperatura e ad elevata potenza.¹

Alla base dei vantaggi sopra elencati vi è la riduzione dell'ondulazione di corrente di ingresso e di uscita, nonché la possibilità di diminuire le dimensioni della capacità di uscita.

Nel caso per esempio di un convertitore boost a due canali si riscontrano

¹Hiroiyuki Kosai; Seana McNeal; James Scofield; Brett Jordan; Biswajit Ray, *Studies of Interleaved DC-DC Boost Converters with Coupled Inductors*, Air Force Research Laboratory, 03-05-2011.

le forme d'onda di figura 2.10 a) e b). Inoltre il fatto di far lavorare due

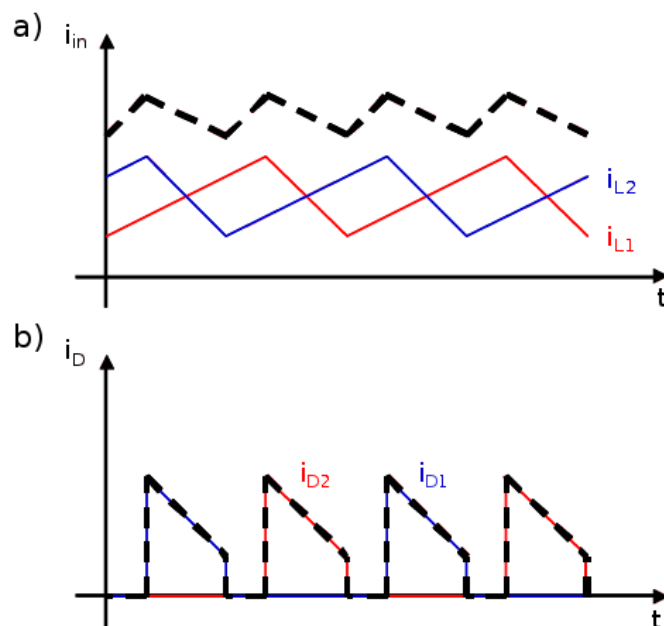


Figura 2.10: Andamento della corrente di ingresso a) e di uscita b).

o più induttori in maniera sfasata permette di raddoppiare la frequenza di lavoro permettendo di diminuire le dimensioni del condensatore d'uscita.

E' chiaro che questi vantaggi si hanno a discapito di un aumento del numero di induttori. Ma questo problema può essere arginato utilizzando induttori accoppiati, ovvero facendo in modo che il nucleo magnetico sia condiviso dai vari convertitori in parallelo.

Capitolo 3

Il controllore LM5032

In questo capitolo daremo una panoramica del controllore LM5032 prodotto dalla National Semiconductor, basandoci sul datasheet e quindi rimandando, per un maggiore approfondimento, allo stesso disponibile all'indirizzo <http://www.ti.com/lit/ds/symlink/lm5032.pdf>.

3.1 Introduzione

Il controllore LM5032 è un controllore di corrente in modalità PWM a due canali operanti con uno sfasamento di 180° che permette di controllare due convertitori forward DC\DC indipendenti oppure un singolo convertitore interleaved a due stadi.

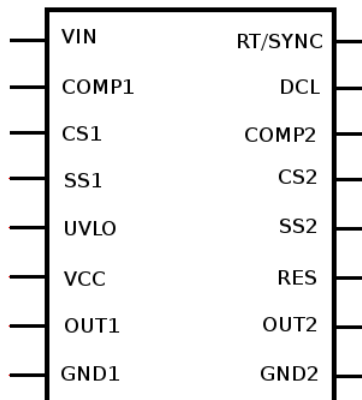


Figura 3.1: Il controllore LM5032.

Il controllore comprende:

- uno *startup regulator* con un ampio intervallo di ingresso che arriva ai 100V;
- dei drivers di uscita, formati dalla combinazione di componenti bipolari e cmos, che garantiscono una robusta corrente di pull down di 2.5A di picco ;
- la possibilità di regolare il massimo duty-cycle della PWM;
- una linea *under-voltage lockout*;
- una modalità di limitazione di corrente *cycle-by-cycle*;
- una modalità di funzionamento *hiccup* in caso di rilevamento di picchi di corrente ripetuti;
- una modalità *soft-start*;
- la *PWM slope compensation*;
- un oscillatore sincronizzabile con frequenza massima 2MHz;
- il *thermal shutdown*.

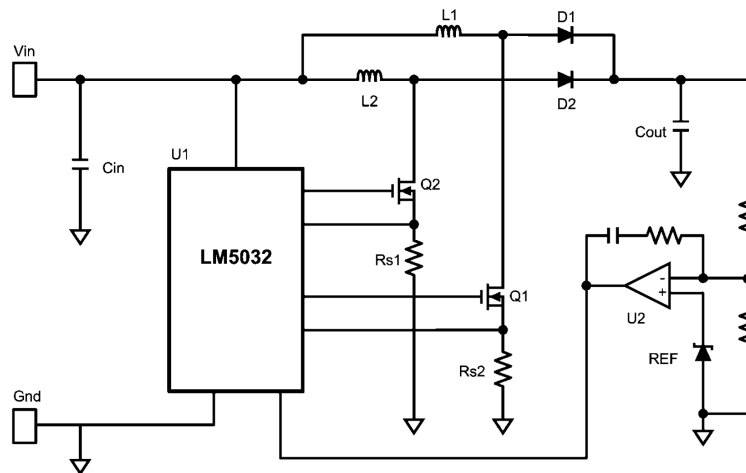


Figura 3.2: Utilizzo dell'LM5032 in una configurazione boost interleaved.

3.2 Comparatore PWM, Slope Compensation

Nell'LM5032 si hanno due veri e propri controllori indipendenti. Per gran parte dell'analisi ci riferiremo al controllore 1 in quanto il funzionamento del controllore 2 è identico.

3.2.1 Modulazione di larghezza di impulso (PWM)

Un modulatore PWM non è altro che un comparatore che confronta un segnale triangolare $V_{in1}(t)$ a frequenza f_s detto portante, con un segnale di controllo o modulante $V_{in2}(t)$. Il segnale d'uscita $V_{out}(t)$ è a livello logico alto negli intervalli di tempo in cui il segnale modulante è maggiore del segnale portante.

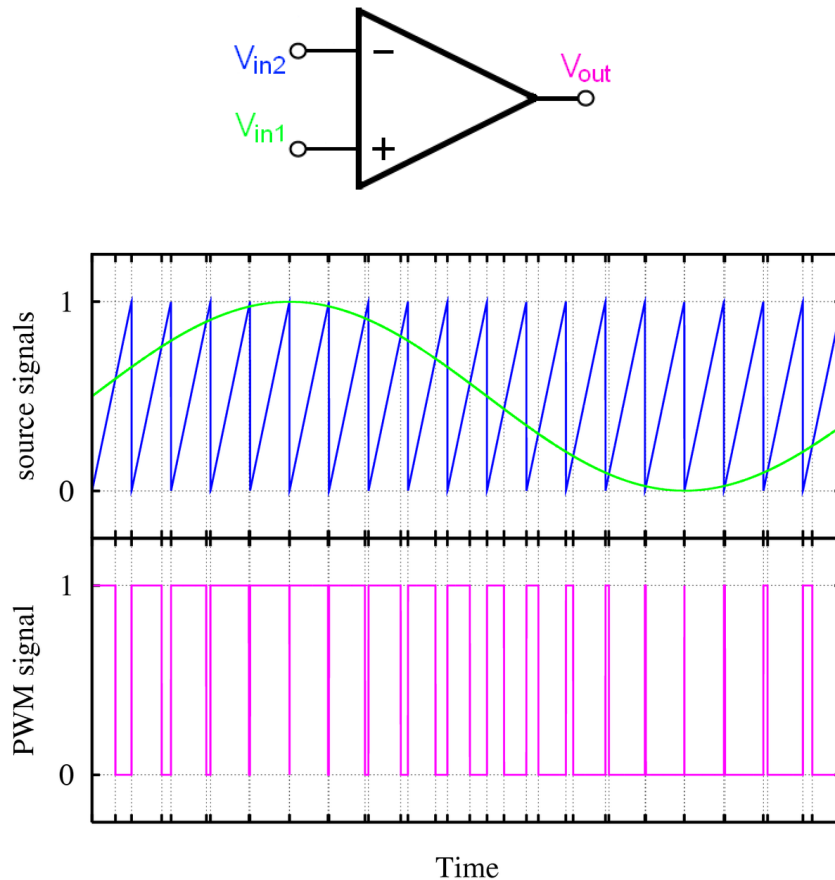


Figura 3.3: Diagramma di una tipica modulazione PWM.

Come si evince dalla figura 3.3 il segnale d'uscita del comparatore non è altro che un treno di impulsi ciascuno con durata e quindi duty-cycle variabile nel tempo.

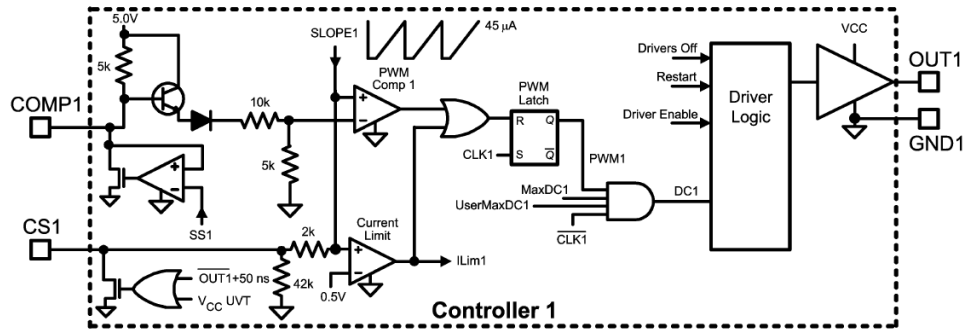


Figura 3.4: Uno dei due blocchi identici che eseguono il controllo.

3.2.2 La PWM dell'LM5032

Nel nostro caso abbiamo necessità di regolare il duty-cycle in base ai segnali che giungono ai piedini COMP1 e CS1, ovvero segnali elaborati dalle due reti di feedback legati rispettivamente alla tensione di uscita del convertitore e alla corrente presente nella induttanza o nel primario, nel caso si utilizzasse un trasformatore di isolamento. Uno dei due blocchi identici che eseguono il controllo è raffigurato in figura 3.4

Per la successiva analisi, tuttavia, faremo riferimento allo schema in figura 3.5 nel quale non è raffigurata la circuiteria di gestione dei picchi di corrente. In tale figura è anche rappresentata una classica configurazione della rete di feedback per un convertitore forward con trasformatore di isolamento. La rete di feedback non differisce sostanzialmente da quella per un convertitore boost interleaved.

A determinare il segnale modulante di tensione presente al morsetto invertente del comparatore, concorrono sia il segnale di corrente proveniente dalla rete di retroazione relativa alla tensione di uscita del convertitore, che la sorgente da 5V interna al controlllore. Al comparatore arriverà la tensione V_{COMP1} , meno gli 1.25V di caduta attraverso i due diodi ridotta poi di un fattore 3 attraverso il partitore composto dalla serie (considerando infinita l'impedenza del comparatore) delle due resistenze da 10kΩ e 5kΩ.

All'interno del controlllore è generato un segnale rampa di corrente di ampiezza 45μA che fluisce attraverso la resistenza da 2kΩ in serie al parallelo fra la resistenza da 42kΩ e l'impedenza fra il piedino CS1 e massa.

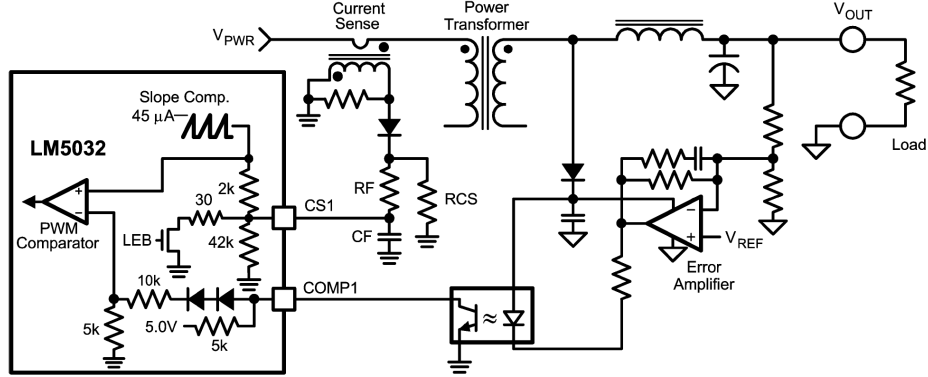


Figura 3.5: Semplificazione di uno dei blocchi che eseguono il controllo e la rete di feedback.

In questo parallelo fluisce anche il segnale di corrente legato alla corrente presente nell'induttanza del convertitore o nel primario del trasformatore, nel caso si utilizzi un trasformatore di isolamento. Di norma l'impedenza esterna è costituita da una resistenza R_{CS} e da un filtro passabasso composto da un condensatore C_F e da una resistenza R_F .

Quindi alla determinazione della rampa di tensione al morsetto non invertente del comparatore contribuiranno sia il generatore interno di corrente che il segnale di corrente proveniente dalla rete di feedback. La capacità di filtraggio è di valore molto piccolo e può essere trascurata. Applicando la sovrapposizione degli effetti si distinguono bene i due contributi:

$$V_+ = V'_+ + V''_+ \quad (3.1)$$

dove

$$V'_+ = I_{int} \left(2k\Omega + \frac{42k\Omega \cdot (R_F + R_{CS})}{R_{CS} + R_F + 42k\Omega} \right) \quad (3.2)$$

e

$$V''_+ = I_{fb} \frac{R_{CS} \cdot 42k\Omega}{R_{CS} + R_F + 42k\Omega}. \quad (3.3)$$

Si sono indicate con I_{int} e con I_{fb} rispettivamente la rampa di corrente interna e il segnale di corrente della rete di feedback.

Il segnale rampa generato internamente si rende necessario per evitare oscillazioni indesiderate con duty-cycle maggiore del 50%.

L'output del comparatore PWM che comunica la lunghezza dell'impulso ai drivers di uscita trasmette duty-cycle 0% per $V_{COMP} \leq 1.5V$ poiché a

causa della caduta di tensione sui due diodi il segnale modulante risulterebbe zero. Per $V_{COMP} > 1.5V$ il duty-cycle aumenta all'aumentare di V_{COMP} stesso e al diminuire della corrente che giunge al piedino CS1 dalla rispettiva rete di retroazione.

3.3 Funzioni ausiliarie

Oltre alle funzioni di controllo vere e proprie, sono presenti alcune funzioni ausiliarie che permettono il corretto funzionamento del sistema e la sua salvaguardia in caso di funzionamento erraneo.

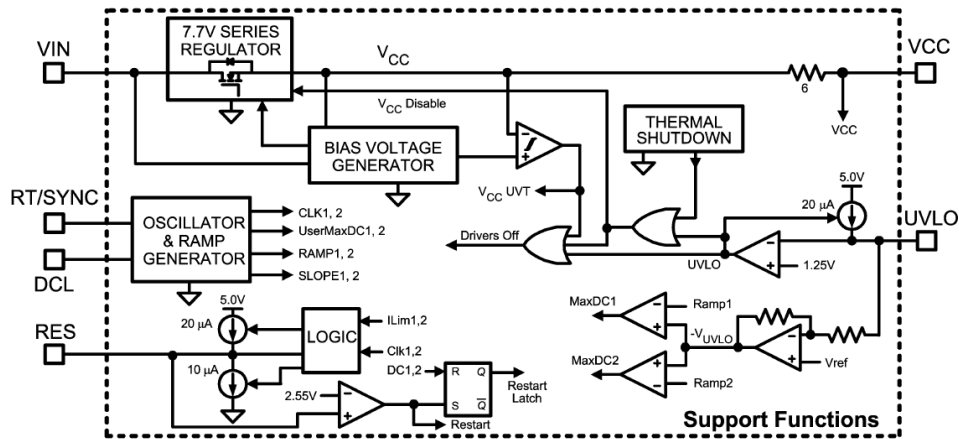


Figura 3.6: Diagramma a blocchi delle funzioni ausiliarie.

3.3.1 Line Under-Voltage Lock Out (UVLO)

La *line under-voltage lockout* è un circuito la cui funzione consiste nell'attivare il regolatore di tensione interna V_{cc} e i drivers di uscita quando la tensione V_{in} eccede un valore desiderato.

Come si può vedere in figura 3.6 la tensione al piedino UVLO viene comparata con 1.25V e quindi, collegando la tensione di ingresso al piedino UVLO attraverso un partitore, è possibile determinare il valore di V_{in} raggiunto il quale viene attivata la regolazione di V_{cc} oltre al generatore di corrente da $20\mu A$ che permette di avere un isteresi sulla tensione di soglia.

3.3.2 Il regolatore d'avvio, il circuito UVT

La tensione interna alla quale il circuito lavora è 7.7V. Il regolatore d'avvio comprende i circuiti che forniscono la tensione di polarizzazione al circuito UVLO e al regolatore di tensione interna V_{cc} (*series pass V_{cc} regulator*).

Quando il regolatore di tensione è attivato e la tensione interna diventa maggiore dei 7.6V, il comparatore che fa parte del circuito *under-voltage threshold* (UVT) attiva il comparatore PWM e i drivers di output. Anche qui il comparatore presenta una fascia di isteresi con tensione di soglia inferiore pari a 6.2V. Se la tensione V_{cc} scende sotto i 6.2V, ma la tensione al piedino UVLO non è minore di 1.25V, il comparatore UVT disabilita solamente i drivers di uscita mantenendo attivo il regolatore di tensione.

3.3.3 Gestione dei picchi di corrente

Limitazione di corrente cycle-by-cycle

Sempre riferendosi al controllore 1, nel caso in cui la tensione al piedino CS1 ecceda gli 0.5V un comparatore produce in uscita un segnale che fa terminare l'impulso presente al piedino OUT1. Si ha cioè una limitazione cycle-by-cycle poiché il controllore interviene unicamente nel periodo nel quale avverte il picco anomalo di corrente. Il piedino CS1, durante l'intervallo in cui OUT1 è off, è connesso a massa attraverso un resistore da 30 Ω per scaricare il filtro capacitivo esterno. La scarica continua per ulteriori 50ns dopo la nuova commutazione basso-alto di OUT1.

Hiccup Mode Current Limit Restart

Il circuito Current Limit Restart è raffigurato in figura 3.7.

Se non vengono rilevati picchi di corrente che determinano una tensione al piedino CS1 maggiore di 0.5V, il generatore di corrente da 10 μA è attivo e pone il piedino RES a massa.

A seguito di continui picchi di corrente, la limitazione di corrente cycle-by-cycle rimane attiva per un tempo sufficientemente lungo. In questo caso il circuito Current Limit Restart disabilita entrambi i regolatori e instaura la modalità soft-start dopo un ritardo programmabile attraverso il dimensionamento della capacità C_{RES} al piedino RES. Il ritardo dopo il quale gli output risultano di nuovo attivi è invece programmabile attraverso il dimensionamento delle capacità di soft-start C_{SS1} , C_{SS2} presenti ai piedini SS1 e SS2.

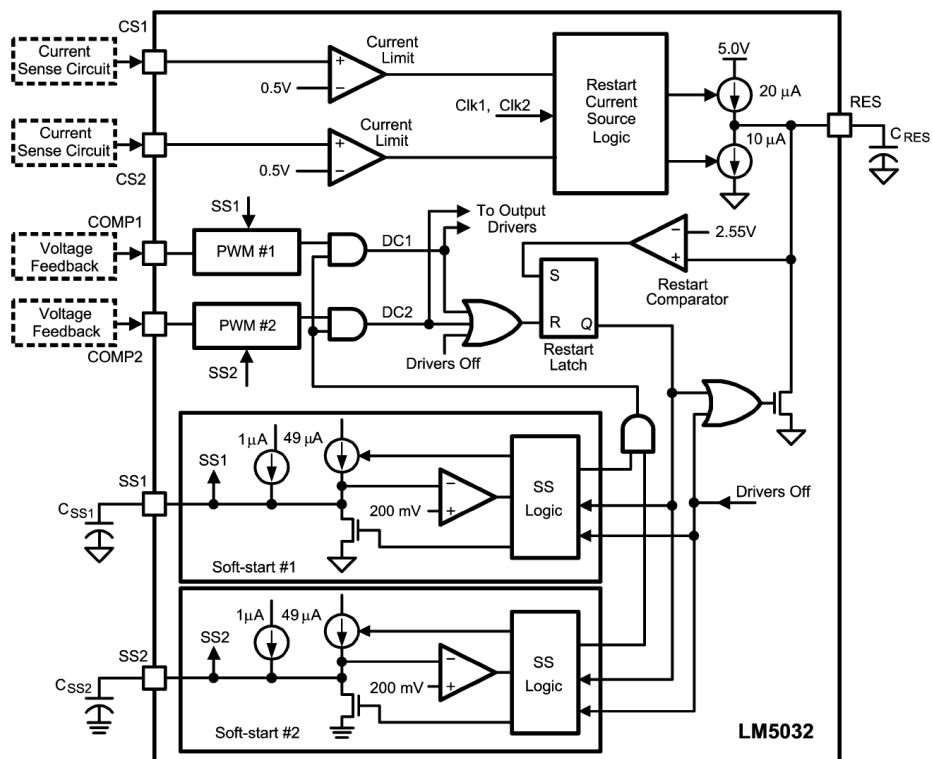


Figura 3.7: Circuito Current Limit Restart.

Analizziamo ora in dettaglio la situazione in cui ripetuti picchi di corrente vengono rilevati ad entrambi i piedini CS.

Il generatore di corrente da $20\mu A$ è continuamente attivato in modo da caricare la capacità tra il piedino RES e massa. Quando la tensione al piedino RES raggiunge i $2.55V$ il Restart Comparator attiva il Restart Latch che produce le seguenti conseguenze:

- La corrente di carica dei condensatori collegati fra i rispettivi piedini CS e massa viene ridotta da $50\mu A$ a $1\mu A$;
- Un MOSFET interno è attivato per scaricare la capacità C_{RES} ;
- Due MOSFET interni sono attivati per scaricare le capacità di soft-start C_{CS1} e C_{CS2} ;
- I piedini COMP1 e COMP2 seguono rispettivamente CS1 e CS2 a massa azzerando il duty-cycle della PWM;

- Quando la tensione ai piedini SS scende sotto i $200mV$, i MOSFET interni vengono disattivati permettendo alla corrente di $1\mu A$ di caricare il rispettivo condensatore di soft-start;
- Quando uno dei due piedini raggiunge circa $1.5V$, il corrispondente controllore PWM produce il primo impulso della sequenza di soft-start che resetta il Restart Latch. La corrente di carica dei condensatori ai piedini CS viene riportata a $50\mu A$ e la sequenza di soft-start prosegue normalmente.

Un diagramma temporale della sequenza è illustrato in figura 3.8.

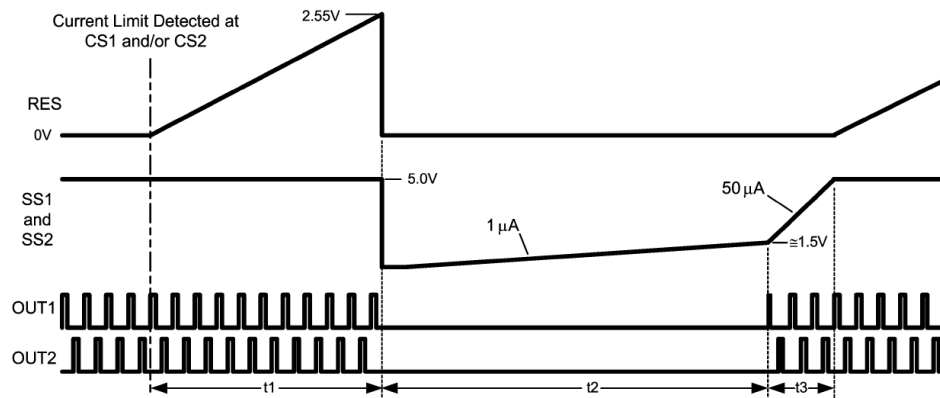


Figura 3.8: Sequenza temporale del Current Limit Restart.

Se la condizione di anomalia persiste, la tensione al piedino RES riuumenta e una volta raggiunti i $2.55V$, il ciclo appena descritto viene ripetuto. Nel caso invece in cui non siano più presenti sovratensioni, la corrente da $10\mu A$ mantiene RES a massa.

Se i picchi di corrente sono rilevati ad uno solo dei due piedini CS, l'unica differenza rispetto al caso precedente consiste nel fatto che la capacità C_{RES} viene caricata dalla corrente di $20\mu A$ e poi scaricata dalla corrente di $10\mu A$. Per questo la capacità raggiunge la tensione di soglia di $2.55V$ con una velocità quattro volte minore alla velocità che si riscontra nel caso precedente.

3.4 Oscillatore

La frequenza F_S dell'oscillatore arriva fino ai 2MHz ed è legata alla resistenza esterna R_T connessa tra i piedini RT/SYNC e GND1 dalla formula:

$$R_T = \frac{17100}{F_S} - 0.001(F_S - 400), \quad (3.4)$$

dove R_T è in $k\Omega$ e F_S è in MHz. Graficamente la relazione è espressa in figura 3.9.

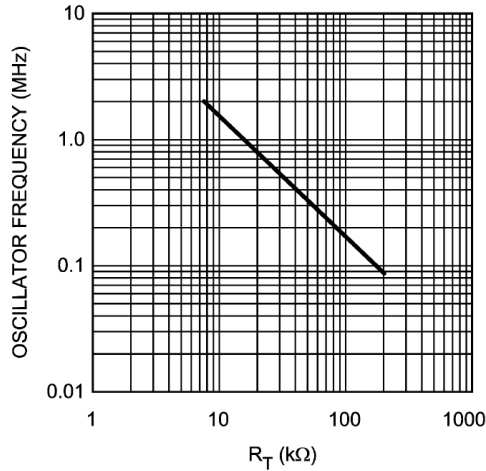


Figura 3.9: Frequenza dell'oscillatore F_S vs resistenza R_T .

3.5 Soft start

La funzione soft start, già descritta brevemente poco sopra, permette di ridurre le correnti di startup e gli overshoot degli output passando da un duty-cycle dello 0% ad una situazione a regime. Tale modalità, oltre che all'interno dell'Hiccup Mode Current Limit Restart viene attivata anche in fase di avvio. La sequenza d'avvio è raffigurata in figura 3.10. Le capacità C_{ss} sono collegate a massa fino a che VCC non raggiunge la tensione UVT (7.6V). Raggiunta questa condizione le sorgenti da $50\mu A$ vengono attivate per caricare la rispettiva capacità C_{ss} . La tensione ad ogni piedino COMP segue la tensione ai piedini SS, e quando V_{COMP} raggiunge circa 1,5V si riscontrano i primi impulsi d'uscita che presenteranno duty-cycle ridotto. Quindi la tensione ai piedini COMP aumenterà al valore richiesto per la

regolazione. La tensione ai piedini CS invece aumenterà fino alla saturazione a circa 5V.

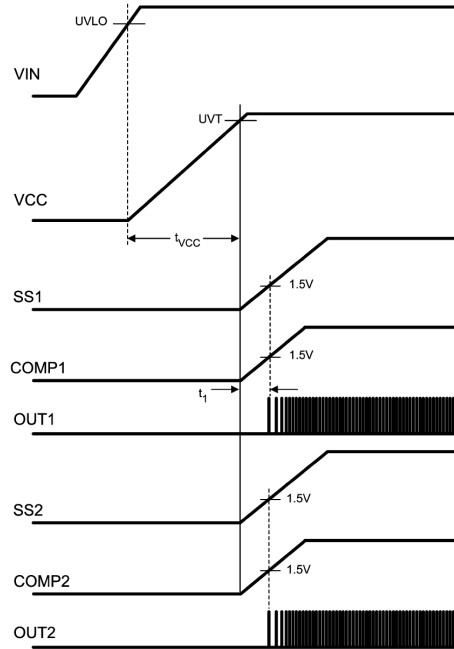


Figura 3.10: Sequenza d'avvio.

3.6 Output Duty Cycle

Il duty-cycle massimo impostabile dall'utente è regolato dalla formula:

$$\text{Maximum User Duty Cycle} = 80\%R_{DCL}/R_T. \quad (3.5)$$

Si ha perciò una dipendenza dal rapporto fra le resistenze R_{DCL} e R_T .

Anche la tensione al pin UVLO limita il massimo duty-cycle, come mostrato in figura 3.11. Per $V_{UVLO} < 1.25V$ il duty-cycle è nullo, per $V_{UVLO} = 1.25V$ si ha il massimo duty-cycle (80%), all'aumentare poi di V_{UVLO} il duty-cycle diminuisce fino a raggiungere un minimo del 10%.

3.7 I Driver di uscita

OUT1(2) permette di pilotare il gate di un N-MOSFET con una corrente di pull-up di 1.5A ed una corrente di pull-down di 2.5A. Il livello dell'output

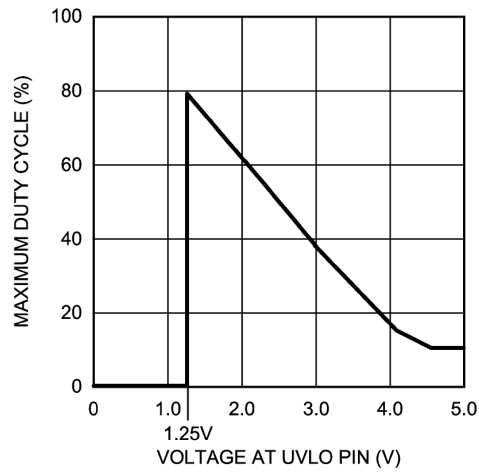


Figura 3.11: Massimo Duty Cycle vs. V_{UVLO} .

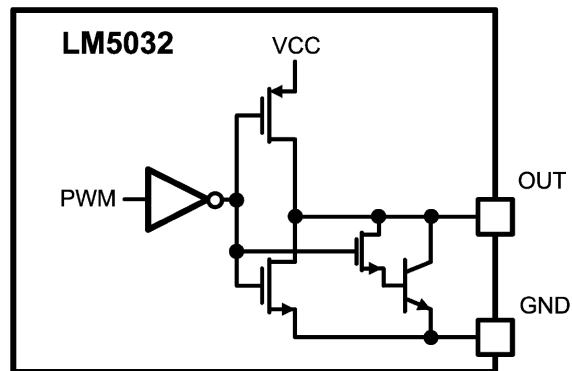


Figura 3.12: Struttura del driver di uscita.

varia tra VCC e $GND1(2)$. In figura 3.12 è raffigurata la struttura del driver di uscita.

Sfruttando una connessione Darlington, in cui il source di un mosfet pilota la base di un bjt, è possibile portare a massa $OUT1(2)$ più velocemente riducendo così le dissipazioni nella commutazione.

Capitolo 4

I circuiti di test e le misure effettuate

Obiettivo

L'obiettivo del test è stabilire se il controllore LM5032 possa essere utilizzato nel controllo di tensione di un convertitore di tensione interleaved a due canali. Si sottolinea quindi che si intende controllare il convertitore senza i due anelli di retroazione relativi alle correnti negli induttori. Si tratta quindi di verificare se il controllore possa essere forzato a lavorare in un regime di funzionamento diverso rispetto a quello per cui è stato progettato.

Si è testato il controllore LM5032 attraverso due diversi approcci. In entrambi i casi il circuito di base è quello rappresentato nello schema di figura 4.1. In figura 4.2 è rappresentato il circuito realizzato, comprendente anche i componenti utilizzati per il secondo test.

4.1 Alimentazione

Il controllore è alimentato da una tensione continua di $12V$. Il condensatore $C1$ da $1\mu F$ si rende necessario sia per ridurre i disturbi e per migliorare la stabilità, sia per evitare che la tensione V_{CC} scenda sotto il livello undervoltage threshold nel pilotaggio dei mosfet esterni (in realtà i piedini OUT1 e OUT2 saranno solo successivamente connessi a delle capacità). In alcune circostanze tuttavia il controllore verrà alimentato con una tensione $V = 9.7V$ per non avere limitazioni nel duty-cycle.

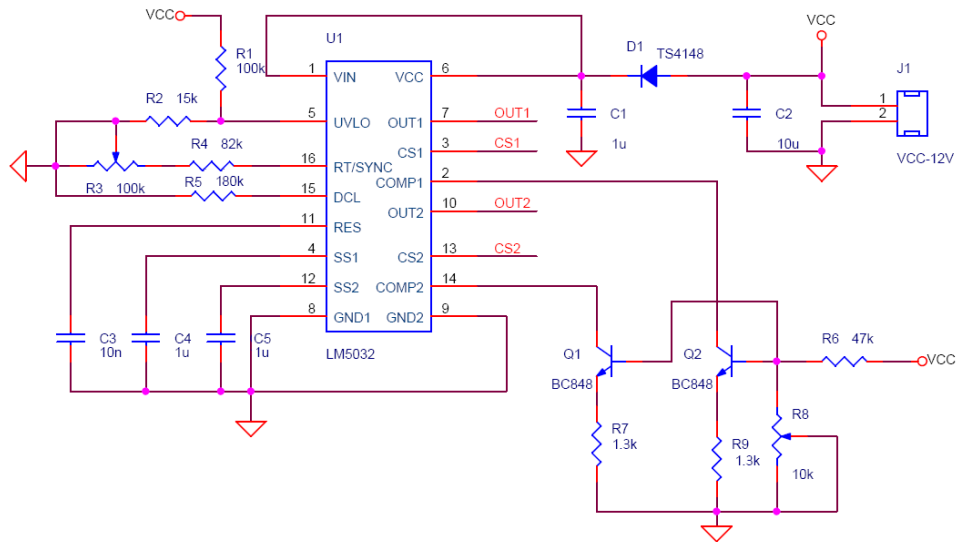


Figura 4.1: Circuito base del test.

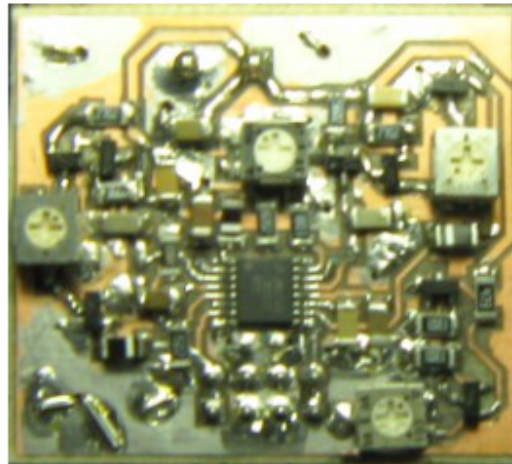


Figura 4.2: Circuito realizzato.

4.2 Regolazione della tensione ai piedini COMP

Come si nota in figura 3.4, poiché nel caso in cui subentri la funzione Hiccup Mode Current Limit Restart entrambi i piedini COMP vengono connessi a massa, siamo costretti a impostare la tensione a questi piedini attraverso

un generatore di corrente. In figura 4.3 è rappresentato il circuito in questione unito allo schema dei componenti di interesse interni al controllore.

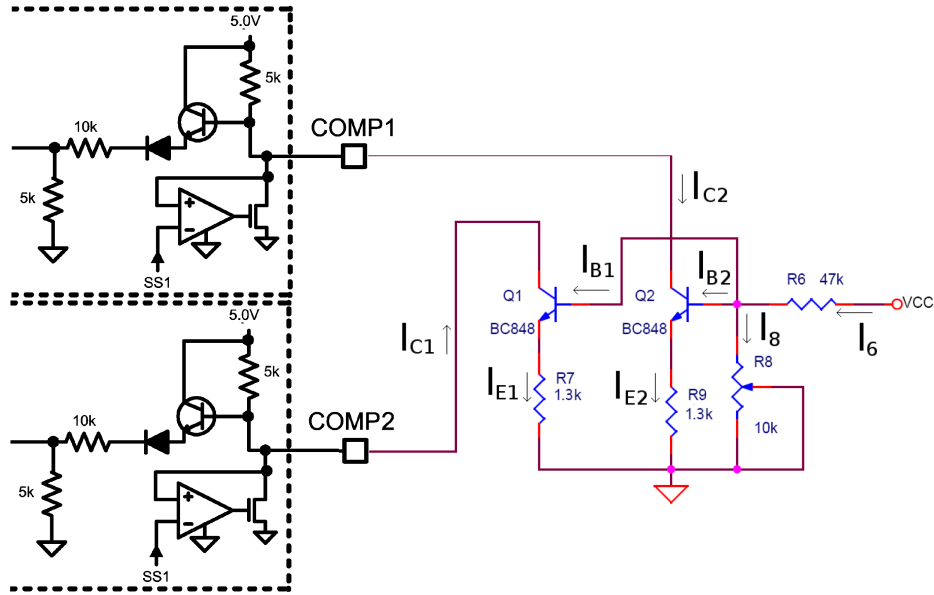


Figura 4.3: Circuito per la regolazione di V_{COMP} .

Attraverso una resistenza variabile R_8 si è in grado di regolare la corrente di base, e quindi di collettore, di Q_1 e Q_2 . Così facendo possiamo variare la caduta di tensione sulla resistenza interna al controllore posta fra la sorgente interna da $5V$ e il piedino COMP.

4.2.1 Dimensionamento

La tensione massima al piedino COMP si ottiene per $R_8 = 0\Omega$. In questo caso infatti $I_{C1} = I_{C2} = 0A$ e si ha:

$$5V - 5k\Omega \cdot I_{B_{int}} - V_{BE} - 0.7V - 15k\Omega \cdot (\beta_F + 1)I_{B_{int}} = 0V \quad (4.1)$$

ovvero

$$I_{B_{int}} = \frac{5V - V_{BE} - 0.7V}{5k\Omega + 15k\Omega \cdot (\beta_F + 1)}, \quad (4.2)$$

dove si è considerato il diodo ideale e dove β_F è il guadagno di corrente del transistor. Ponendo $V_{BE} = 0.7V$ e $\beta_F = 150$ otteniamo $I_{B_{int}} = 1.58\mu A$.

Quindi:

$$V_{COMP_{max}} = 5V - I_{B_{int}} \cdot 5k\Omega = 5V - 1.58\mu A \cdot 5V = 4.99V. \quad (4.3)$$

All'aumentare di R_8 aumentano le correnti di base I_{B1} e I_{B2} , che possiamo assumere uguali essendo uguali i due transistor.

Il duty-cycle è 0% per $V_{COMP} < 1.5V$ e questo porta a porre $V_{COMP_{min}} = 1.5V$. Si ha:

$$V_{COMP_{min}} - V_{BE} - 0.7V - I_{E_{int}} \cdot 15k\Omega = 0V \quad (4.4)$$

da cui

$$I_{E_{int}} = \frac{1.5V - 1.4V}{15k\Omega} = 6.66\mu A \quad (4.5)$$

$$I_{B_{int}} = \frac{I_{E_{int}}}{\beta_F + 1} = 4.44 \cdot 10^{-8} A. \quad (4.6)$$

Ora:

$$I_{B_{int}} + I_{C_{max}} = \frac{V_{int} - V_{COMP_{min}}}{5k\Omega} = 700\mu A, \quad (4.7)$$

da cui si ottiene $I_{C_{max}} = 699.9\mu A$

Bisogna inoltre sottolineare che affinché i transistor Q_1 e Q_2 non vadano in saturazione deve essere $V_{CE} > 0.2V$, dove con V_{CE} si è indicata la tensione collettore-emettitore. Il caso critico si riscontra proprio nel caso in cui $V_{COMP} = V_{COMP_{min}}$ perché appunto la tensione al collettore è minima e la tensione all'emettitore è massima. Abbiamo:

$$V_E = V_{E_{max}} = R_E I_{E_{max}} = R_E I_{C_{max}} \frac{\beta_F + 1}{\beta_F}, \quad (4.8)$$

dove $R_E = R_8 = R_9$ e β_F è il guadagno di corrente del transistor. Essendo $\beta_F \gg 1$, approssimando, ricaviamo i valori di R_9 e R_{10} :

$$V_{COMP_{min}} - V_{E_{max}} > 0.2V \quad (4.9)$$

da cui

$$V_{E_{max}} = R_E I_{E_{max}} < 1.3V \quad (4.10)$$

e quindi

$$R_E = R_9 = R_{10} < \frac{1.3V}{I_{E_{max}}} \simeq \frac{1.3V}{I_{C_{max}}} = \frac{1.3V}{693.4\mu A} = 1857.4\Omega. \quad (4.11)$$

Optiamo per $R_E = R_9 = R_{10} = 1.3k\Omega$.

Poniamo poi $R_6 = 47k\Omega$. Con questo valore otteniamo una corrente I_6 sufficientemente contenuta. Infatti nel caso in cui $R_8 = 0\Omega$ otteniamo:

$$I_6 = \frac{V_{CC}}{R_6} = \frac{12V}{47k\Omega} = 255.3\mu A. \quad (4.12)$$

Di conseguenza determiniamo il valore massimo che la resistenza variabile R_8 deve assumere per ottenere $V_{COMP} = V_{COMP_{min}} = 1.5V$. Si ha:

$$I_{6_{min}} = \frac{V_{CC} - V_{BE} - R_E I_{E_{max}}}{R_6} = \frac{V_{CC} - V_{BE} - R_E \frac{(1+\beta_F) I_{C_{max}}}{\beta_F}}{R_6} \simeq 221.1\mu A, \quad (4.13)$$

quindi

$$I_{8_{min}} = I_{6_{min}} - 2I_{B_{max}} = I_{6_{min}} - \frac{2I_{C_{max}}}{\beta_F} = 211.7\mu A. \quad (4.14)$$

Per cui:

$$R_8 = \frac{V_{CC} - R_6 I_{6_{min}}}{I_{8_{min}}} = 7597.1\Omega. \quad (4.15)$$

Optiamo per $0 < R_8 < 10k\Omega$.

4.3 Altri componenti

Nello schema di figura 4.1 si notano altre cinque resistenze, di cui una variabile, e tre condensatori.

Le resistenze R_1 e R_2 costituiscono il partitore che determina a quale tensione di alimentazione si verifica l'accensione del controllore. La tensione di soglia al piedino UVLO è $1.25V$ e quindi, ponendo $R_1 = 100k\Omega$ e $R_2 = 15k\Omega$, si ha:

$$1.25V = \frac{V_{CC} R_2}{R_1 + R_2} = 0.13V_{CC}. \quad (4.16)$$

Quindi la tensione di alimentazione alla quale avverrà l'accensione sarà:

$$V_{CC} = 9.61V. \quad (4.17)$$

La serie delle due resistenze R_3 e R_4 imposta la frequenza dell'oscillatore. Ponendo la frequenza di ogni canale compresa fra $50kHz$ e $100kHz$, otteniamo ovviamente $100kHz < f_s < 200kHz$ e utilizzando la 3.4 questo si traduce in $85.7k\Omega < R_3 + R_4 < 171.3k\Omega$. Poniamo quindi $R_3 = 82k\Omega$ e $0\Omega < R_4 < 100k\Omega$

Poniamo inoltre $R_5 = 180k\Omega$, in questo modo dalla 3.5 ricaviamo che il duty-cycle massimo impostato dall'utente è 0.8.

La capacità C_3 collegata al piedino RES determina la durata della limitazione di corrente cycle-by-cycle. Rifacendoci a quanto già detto nel paragrafo 3.3.3 si ha:

$$t' = \frac{C_3 \cdot 2.55V}{20\mu A}. \quad (4.18)$$

Poniamo $C_3 = 10nF$ per ottenere $t' \simeq 1.3ms$.

Le capacità C_4 e C_5 connesse ai piedini SS determinano, ognuna, due intervalli di tempo relativi ai rispettivi due controllori. Tali capacità sono state indicate nel paragrafo 3.3.3 come C_{SS1} e C_{SS2} . Se le dimensioniamo allo stesso modo si ha:

$$t'' = \frac{C_{SS} \cdot 1.5V}{1\mu A} \quad (4.19)$$

e

$$t''' = \frac{C_{SS} \cdot 3.5V}{50\mu A}. \quad (4.20)$$

Con t'' si è indicato l'intervallo temporale dopo il quale viene attivata la funzione soft-start in seguito all'interruzione della regolazione cycle-by-cycle. Con t''' si è invece indicato l'intervallo temporale che va dal primo impulso di soft-start al raggiungimento del valore a regime del duty-cycle. Poniamo $C_4 = C_5 = C_{SS} = 1\mu F$ per ottenere $t'' = 1.5s$ e $t''' = 70ms$.

4.4 Primo test

Nel primo test abbiamo aggiunto al circuito rappresentato nello schema di figura 4.1 due resistenze R_{16} e R_{17} fra i due piedini CS e massa. In questo modo sfruttiamo le due rampe di corrente interna per produrre due rampe di tensione che risulteranno le uniche portanti nelle rispettive modulazioni PWM. Dalla figura 3.4 si nota che ognuna di queste due resistenze è in parallelo ad una resistenza da $42k\Omega$ interna al controllore. Optando per $R_{16} = R_{17} = 8.2k\Omega$ si diminuisce la resistenza frapposta fra i piedini CS e massa ottenendo una rampa di tensione con un'ampiezza massima di circa $400mV$.

4.4.1 Le misure

Accensione

È stato verificato che il controllore si accende effettivamente ad una tensione di alimentazione $V_{CC} = 9.7V$ e presenta una fascia di isteresi di

circa 2V in regola con la formula indicata sul datasheet secondo cui:

$$V_{HYS} = R_1 \cdot 20\mu A. \quad (4.21)$$

In figura 4.4 sono raffigurate le forme d'onda di tensione V_{out1} e V_{out2} presenti ai piedini OUT1 e OUT2 ottenute alimentando il controllore con una tensione $V_{CC} = 9.7V$ e misurate attraverso l'uso di due sonde di tensione collegate all'oscilloscopio.

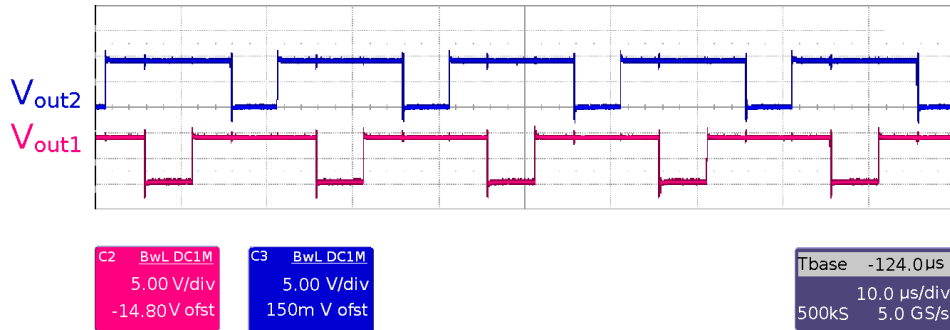


Figura 4.4: Andamento di V_{out1} e V_{out2} .

Attraverso i cursori si misura che l'ampiezza dell'onda quadra risulta circa 9.3V. Successivamente verrà analizzato il duty-cycle.

Frequenza

Per quanto riguarda la frequenza le misure effettuate attraverso cursori sulle singole forme d'onda rispettano in prima approssimazione quanto predetto dalla 3.4, infatti:

- per $R_3 = 0\Omega$ misuriamo una frequenza di $50.42kHz$;
- per $R_3 = 10k\Omega$ misuriamo una frequenza di $103.46kHz$.

Duty-cycle

Ponendo l'alimentazione a 9.7V si ricava che, in base a quanto raffigurato in figura 3.11, il duty-cycle massimo determinato dall'alimentazione è 0.8. Inoltre con $R_T = R_3 + R_4$, dalla 3.5 ricaviamo che anche il duty-cycle massimo impostato dall'utente è 0.8.

Tuttavia il massimo duty-cycle che si riesce ad ottenere è $\delta = 0.72$. Inoltre si conferma che, sempre con $R_8 = 0\Omega$, portandosi a $V_{CC} = 12V$ si scende allo 0.65.

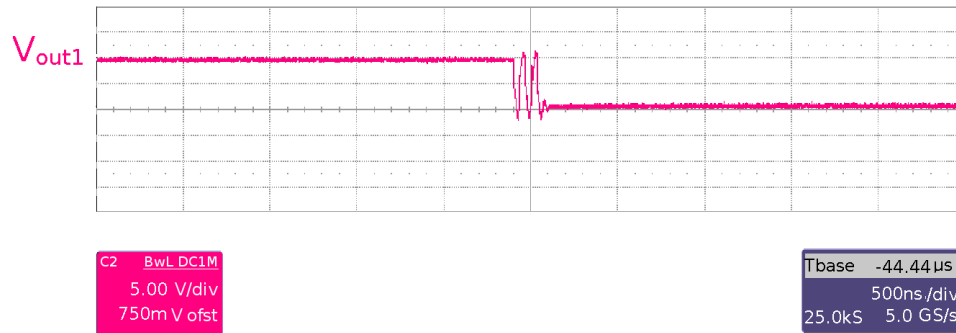


Figura 4.5: Presenza di oscillazioni in V_{out1} (vale la stessa cosa per V_{out2}).

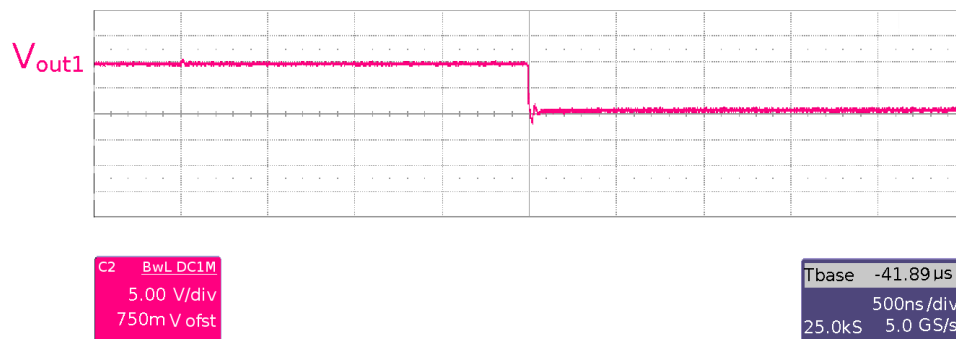


Figura 4.6: Assenza di oscillazioni in V_{out1} (vale la stessa cosa per V_{out2}).

Un problema riscontrato è la presenza di due commutazioni indesiderate in entrambi i segnali OUT dopo la transizione alto basso al raggiungimento del duty-cycle massimo, come si può notare in figura 4.5. Per un duty-cycle anche leggermente inferiore lo stesso problema non si verifica, come è mostrato in figura 4.6.

Anche collegando due capacità tra i rispettivi piedini OUT1 OUT2 e massa per simulare le capacità di gate dei mosfet da pilotare, le commutazioni indesiderate non scompaiono. Escludendo un malfunzionamento del controllore che comprometterebbe totalmente il suo utilizzo, si deve per forza pensare ad un disturbo.

Il problema non è stato approfondito ulteriormente.

Aumentando invece R_8 , e quindi aumentando V_{COMP} , come si nota in figura 4.7, il duty-cycle giustamente diminuisce. Si nota però che non è lo stesso per entrambi i segnali.

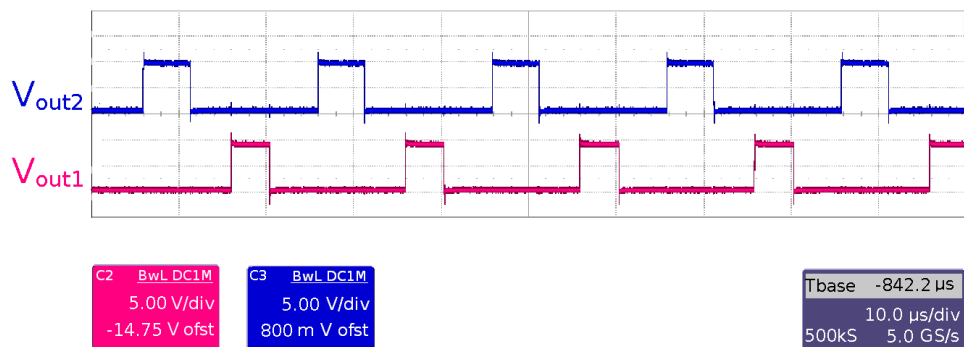


Figura 4.7: Andamento di V_{out1} e V_{out2} .

Aumentando ancora la resistenza R_8 si riscontra che V_{out1} raggiunge un duty-cycle nullo quando V_{out2} presenta invece un duty-cycle pari a circa 0.07, come mostrato in figura 4.8.

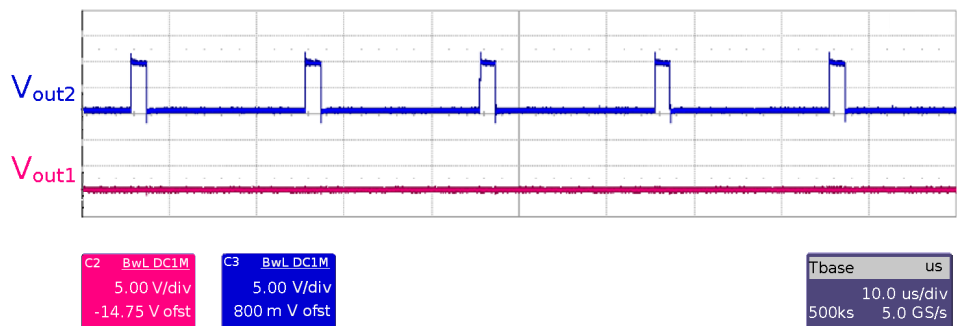


Figura 4.8: Andamento di V_{out1} e V_{out2} .

Le forme d'onda presenti ai piedini CS1 e CS2 con $V_{CC} = 9.7V$ e $R_8 = 0\Omega$ sono raffigurate rispettivamente in figura 4.9 e in figura 4.10. Le ampiezze non differiscono significativamente se non si considerano gli overshoot che si riscontrano a causa di accoppiamenti capacitivi, ma che comunque non intaccano il corretto funzionamento del circuito non arrivando alla soglia degli 0.5V raggiunta la quale scatta la gestione dei picchi di corrente.

Diminuendo il duty-cycle aumentando R_8 , si riscontra una riduzione dell'ampiezza delle due rampe poiché ogni piedino CS viene connesso a massa quando il rispettivo segnale OUT è basso. La pendenza è ovviamente preservata. Quello che si nota è che per ridotti duty-cycle la diminuzione dell'ampiezza non è la stessa nelle due rampe.

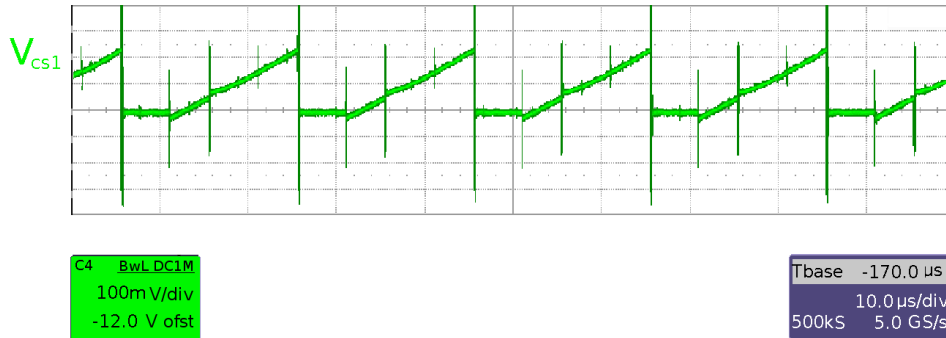


Figura 4.9: Rampa di tensione al piedino CS1.

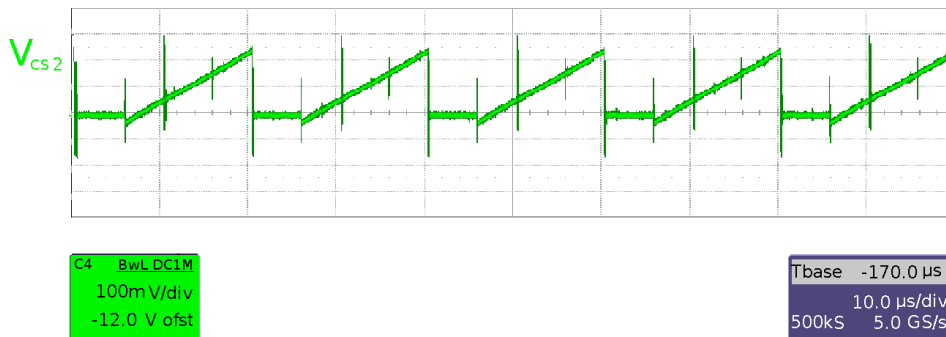


Figura 4.10: Rampa di tensione al piedino CS2

Per ridotti duty-cycle infatti, rampa presente a CS1 presenta un'ampiezza maggiore. Pensando al funzionamento della PWM questo si concilia col fatto che V_{out1} presenta un duty-cycle nullo quando V_{out2} presenta invece un duty-cycle misurabile.

Sembra quindi che le due rampe di corrente interne non siano perfettamente uniformi.

Inoltre facendo delle misurazioni ai piedini COMP si nota che la tensione massima, ottenuta con $R_8 = 0\Omega$ risulta essere $V_{COMP} \simeq 5.35V$. Questo implica che la sorgente interna di tensione non è $5V$ ma leggermente maggiore.

In tabella 4.1 sono rappresentati i valori dei duty-cicle di V_{OUT1} e V_{OUT2} in funzione della tensione ai piedini COMP.

Tabella 4.1: Valori dei duty-cicle in funzione della tensione ai piedini COMP.

V_{COMP} (V)	δ_1	δ_2
5.3	0.72	0.72
4.1	0.72	0.72
3.3	0.72	0.72
2.5	0.72	0.72
2.3	0.58	0.60
2.1	0.47	0.54
1.9	0.30	0.40
1.7	0.12	0.20
1.5	0.04	0.13
1.4	0.00	0.07

4.5 Secondo test

Nel secondo test, si è conservato il circuito rappresentato in figura 4.1, ma sono stati aggiunti due circuiti identici per determinare due rampe di tensione esterne al controllore. Lo schema dei due circuiti in questione è raffigurato in figura 4.11.

4.5.1 La generazione della rampa di tensione

L'idea è quella di ottenere un dente di sega di tensione caricando e scaricando un condensatore. In figura 4.12 è rappresentato lo schema del circuito relativo a CS1 con i vari riferimenti scelti per le correnti.

Il circuito non è altro che uno specchio di corrente in cui, grazie ad una resistenza variabile, è possibile regolare la corrente di collettore di Q_3 .

La carica del condensatore si ha quando V_{out1} è alto. Infatti in tale condizione Q_7 risulta acceso e il piedino CS1 non è connesso a massa internamente. Si ha invece la scarica del condensatore quando V_{out1} commuta a zero. Questo perché il piedino CS1 viene collegato a massa da una mosfet interno al controllore e contemporaneamente Q_7 va in interdizione annullando la corrente I_{C3} .

Dimensionamento

Optiamo per $C_8 = 2.2nF$ in modo da non avere correnti troppo elevate. La frequenza di V_{out1} , come ricordato poco sopra va dai $50kHz$ ai $100kHz$.

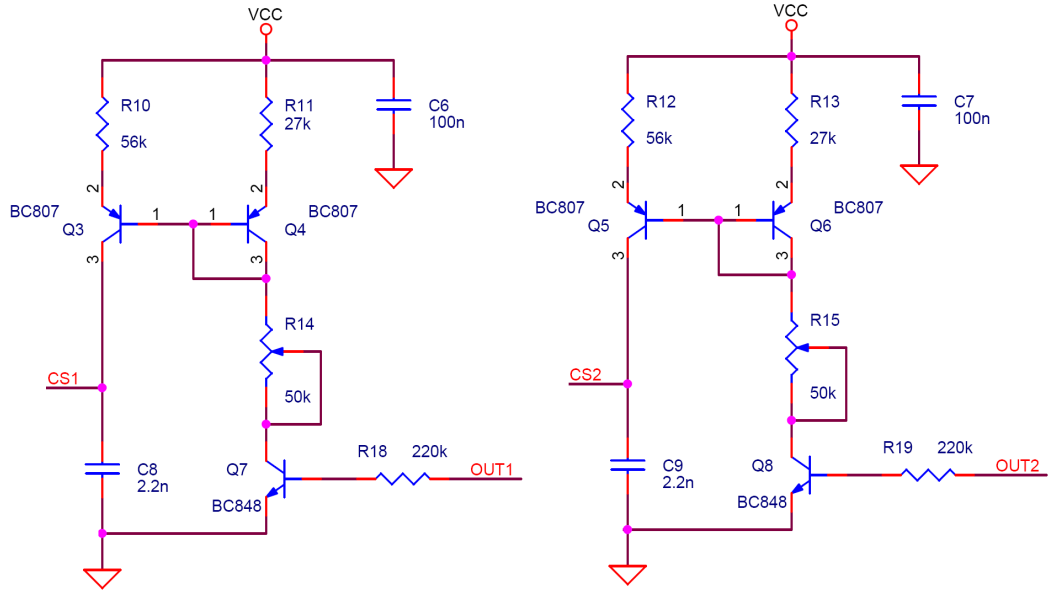


Figura 4.11: Schema dei due nuovi circuiti.

Per $V_{CS1} > 0.5V$ si ha inoltre che il controllore attiva la gestione dei picchi di corrente. Si decide di caricare il condensatore con una tensione massima di $0.7V$.

L'intervallo disponibile per la carica risulta minimo quando la frequenza è massima. Se $f_s = f_{s_{max}} = 100kHz$, risulta $T_s = T_{s_{min}} = 10\mu s$ e quindi $t_{on_{min}} = 0.8T_{s_{min}} = 8\mu s$. Questa condizione determina quindi la $I_{C3_{max}}$:

$$I_{C3_{max}} = \frac{0.7V \cdot C_8}{t_{on_{min}}} = 192.5\mu A. \quad (4.22)$$

Ci poniamo nella condizione in cui V_{out1} è alto.

Assumiamo che Q_1 e Q_2 siano in zona attiva, mentre Q_7 sia in saturazione.

Per la seconda legge di Kirchhoff si ha:

$$V_{CC} - R_{10}I_{E3} + V_{BE} - R_{14}I_{14} - V_{CE7} = 0V, \quad (4.23)$$

con

$$I_{14} = I_{B3} + I_{E4} = \frac{I_{C3}}{\beta_{F3}} + \frac{(\beta_{F4} + 1)}{\beta_{F4}} I_{C4}. \quad (4.24)$$

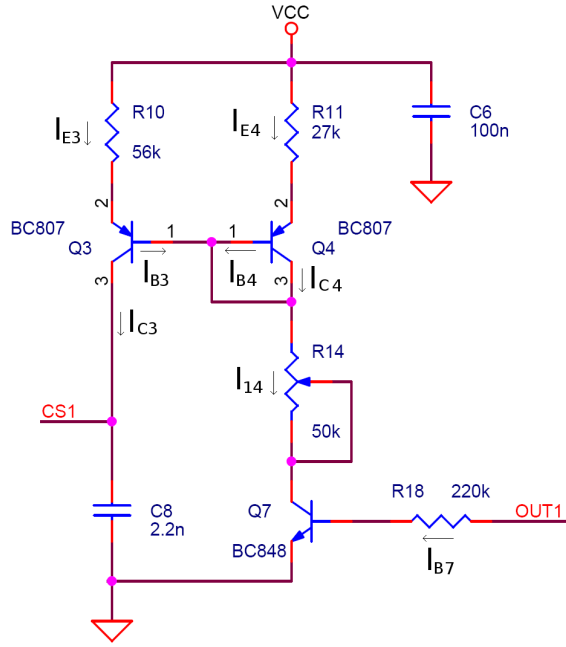


Figura 4.12: Circuito relativo a CS1.

Inoltre $V_{BE} = 0.7V$ e $V_{CE7} = 0.2V$. Sostituendo si ottiene dopo una serie di passaggi:

$$I_{C3} = \frac{V_{CC} - R_{14} \frac{I_{C4}(\beta_{F4}+1)}{\beta_{F4}} - 0.9V}{R_{10} \frac{(\beta_{F3}+1)}{\beta_{F3}} + \frac{R_{14}}{\beta_{F3}}} \quad (4.25)$$

da cui anche:

$$R_{10} = \frac{\beta_{F3}(V_{CC} - R_{14}(\frac{I_{C3}}{\beta_{F3}} + I_{C4} \frac{(\beta_{F4}+1)}{\beta_{F4}}) - 0.9V)}{(\beta_{F3} + 1)I_{C3}}. \quad (4.26)$$

La condizione $I_{C3} = I_{C3_{max}}$ si ottiene per $R_{14} = 0\Omega$ ed essendo $\beta_{F3} \gg 1$, approssimando si trova:

$$R_{10} \simeq \frac{V_{CC} - 0.9V}{I_{C3_{max}}} = 57662.33\Omega. \quad (4.27)$$

Poniamo quindi $R_{10} = 56k\Omega$.

Poiché le basi di Q_3 e Q_4 sono cortocircuitate e $V_{BE3}=V_{BE4} = -0.7V$ deve essere $R_{10}I_{E3} = R_{11}I_{E4}$. Ovvero:

$$R_{10} \frac{(\beta_{F3} + 1)}{\beta_{F3}} I_{C3} = R_{11} \frac{(\beta_{F4} + 1)}{\beta_{F4}} I_{C4}. \quad (4.28)$$

Anche qui approssimando si ottiene che $R_{10}I_{C3} \simeq R_{11}I_{C4}$. Ponendoci quindi nella condizione in cui $I_{C3} = I_{C3_{max}}$, con $R_{11} = 27k\Omega$, si ottiene $I_{C4_{max}} \simeq 400\mu A$ che risulta sufficientemente ridotta.

Per dimensionare il valore massimo della resistenza variabile dobbiamo porci nel caso in cui l'intervallo di carica sia massimo e quindi la corrente I_{C3} sia minima. Si ha $f_s = 50kHz$, che corrisponde ad un intervallo $t_{on} = t_{on_{max}} = 16\mu s$, e $I_{C3} = I_{C3_{min}}$. Risulta:

$$I_{C3_{min}} = \frac{0.7V \cdot C_8}{t_{on_{max}}} = 96.25\mu A, \quad (4.29)$$

da cui inoltre si ricava $I_{C4_{min}} \simeq 199.6\mu A$.

Dalla 4.25 si ottiene che:

$$R_{14_{max}} = \frac{V_{CC} - 0.9V - I_{C3_{min}}R_{10} \frac{(\beta_{F3}+1)}{\beta_{F3}}}{\frac{I_{C3_{min}}}{\beta_F} + I_{C4_{min}} \frac{(\beta_{F4}+1)}{\beta_{F4}}}. \quad (4.30)$$

Ponendo $\beta_{F3} = 150$, e sfruttando sempre il fatto che $\beta_F \gg 1$, si ottiene $R_{14_{max}} \simeq 28.5k\Omega$. Optiamo per $R_{14} = 50k\Omega$.

Ovviamente nelle misure bisognerà tenere conto anche dell'apporto della rampa di corrente interna.

Verifica delle assunzioni riguardanti la polarizzazione dei tre bjt

Le correnti di collettore, base ed emettitore sono maggiori di zero sia per Q_3 che per Q_4 . Inoltre $V_{CE4} = V_{BE4} = -0.7V < -0.2V$. Q_4 è sicuramente in zona attiva. Per Q_3 bisogna fare un po' più di attenzione poiché V_{C3} è la tensione sul condensatore che quindi varia. All'aumentare della tensione sul condensatore, V_{CE3} diventa sempre meno negativo avvicinandosi ai $-0.2V$. Si ha:

$$V_{CE3} = -V_{CC} + R_{10}I_{CE3} + V_{C_8}(t). \quad (4.31)$$

Se si pone $V_{CE3} < -0.2V$, nel caso peggiore, ovvero quando $I_{E3} = I_{E3_{max}} \simeq I_{C3_{max}} = 192.5\mu A$, si ottiene $V_{C_8} < 1.02V$. Quindi poiché la tensione al condensatore raggiungerà al massimo $0.7V$ possiamo concludere che anche Q_3 risulta essere in zona attiva.

Per quel che riguarda invece Q_7 , per essere sicuri che sia in saturazione è necessario dimensionare R_{18} in modo da ottenere una corrente di base I_{B7} molto maggiore di $\frac{I_{C7}}{\beta_{F7}}$. Si ha:

$$I_{B7} = \frac{V_{CC} - 0.7V}{R_{18}}, \quad (4.32)$$

da cui, ponendo $R_{18} = 220k\Omega$, si ricava $I_{B7} = 51.3\mu A$ che soddisfa sicuramente la specifica richiesta.

4.5.2 Misure

Si è riscontrato un non funzionamento del circuito generatore di rampa relativo a CS1. Dopo aver più volte controllato le saldature e l'eventuale presenza di corto circuiti, non avendo trovato nulla, si è deciso di effettuare le misure unicamente sul circuito relativo a CS2.

Il circuito relativo a CS2 è invece risultato funzionante.

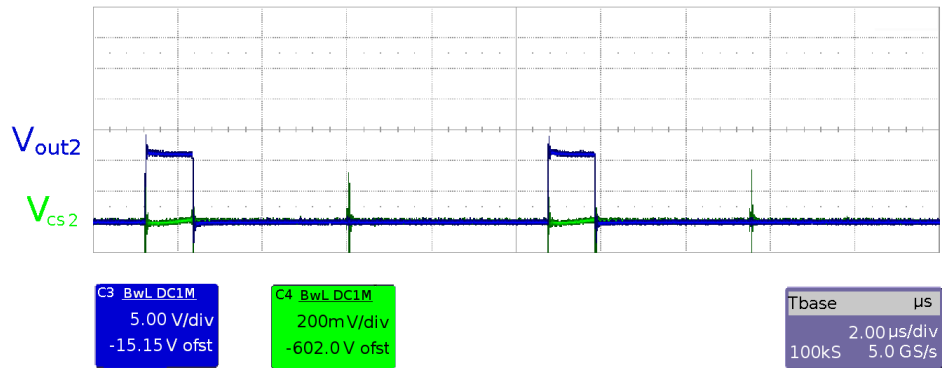


Figura 4.13: Andamento di V_{out2} e V_{cs2} con $R_{15} = 50k\Omega$ e $V_{COMP2} = 1.6V$.

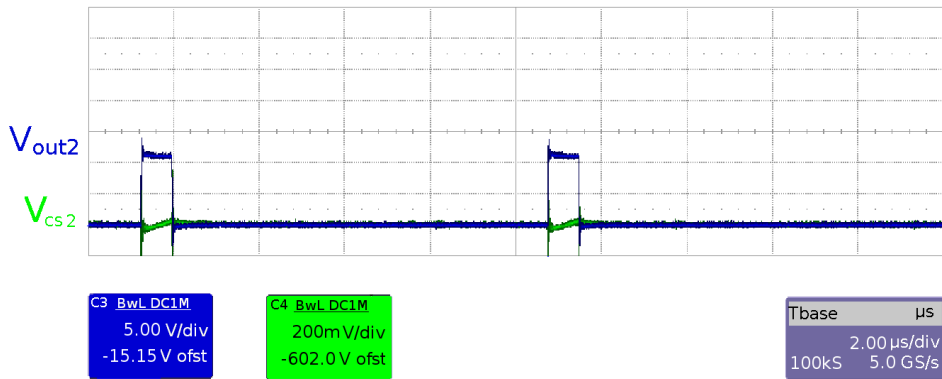


Figura 4.14: Andamento di V_{out2} e V_{cs2} con $R_{15} = 0\Omega$ e $V_{COMP2} = 1.6V$.

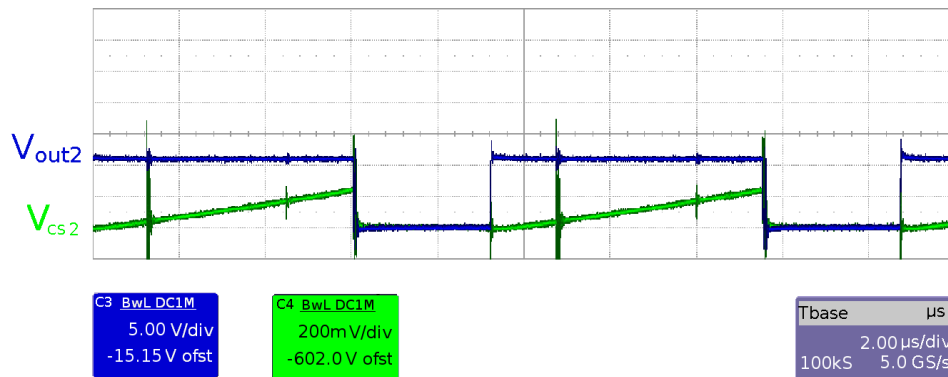


Figura 4.15: Andamento di V_{out2} , V_{cs2} con $R_{15} = 50k\Omega$ e $V_{COMP2} = 5.35V$.

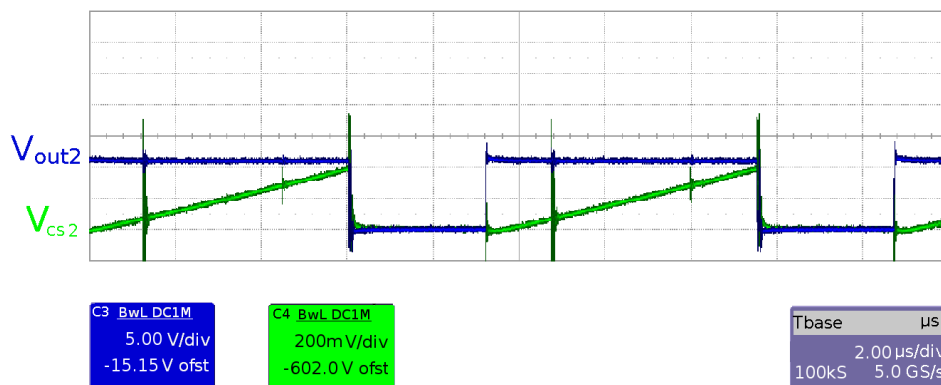


Figura 4.16: Andamento di V_{out2} , V_{cs2} con R_{15} ad un valore intermedio e $V_{COMP2} = 5.35V$.

Dalle misure è emerso che il bjt Q_8 presenta un tempo di spegnimento eccessivo per la dinamica del circuito in questione. Si è quindi aggiunto un diodo in parallelo alla resistenza R_{19} .

Riducendo R_8 fino ad ottenere una tensione $V_{COMP2} \simeq 1.6V$ si ottiene che effettivamente variando R_{15} si modifica la pendenza della rampa e quindi si modifica anche il duty-cycle. Si va da $\delta = 0.11$ con $R_{15} = 50k\Omega$, a $\delta = 0.07$ con $R_{15} = 0\Omega$. In figura 4.13 e 4.14 sono raffigurati rispettivamente i due diversi casi.

Tabella 4.2: Valori del duty-cycle massimo e minimo di V_{OUT2} ottenuti variando R_{14} , in funzione della tensione al piedino COMP2.

V_{COMP2} (V)	δ_{min}	δ_{max}
5.3	0.66	0.66
4.1	0.66	0.66
3.3	0.66	0.66
2.9	0.66	0.66
2.8	0.66	0.66
2.6	0.41	0.66
2.4	0.36	0.66
2.2	0.27	0.50
1.8	0.14	0.26
1.6	0.07	0.11
1.4	0.00	0.00

Con $R_8 = 0\Omega$, ovvero $V_{COMP2} = 5.35V$, si ottiene il duty-cycle massimo che risulta essere 0.66. Cosa importante è che modificando il valore di R_{15} , si riscontra correttamente una variazione della pendenza e dell'ampiezza della rampa, ma questa non è seguita da una variazione del duty-cycle. La cosa è mostrata in figura 4.15 e 4.16. Da sottolineare il fatto che diminuendo troppo R_{15} si ha l'azzeramento improvviso del duty-cycle ha causa del raggiungimento della soglia dei $0.5V$ che determina l'individuazione da parte del controllore di un picco di corrente eccessivo e quindi l'inizializzazione della sequenza di soft-start.

In tabella 4.2 sono rappresentati i valori massimi e minimi del duty-cycle di V_{OUT2} ottenuti variando R_{14} , in funzione della tensione al piedino COMP2.

Capitolo 5

Conclusioni

Come descritto all'inizio del precedente capitolo l'obbiettivo del test era quello di determinare se il controllore potesse essere utilizzato nel controllo di tensione di un convertitore interleaved a due canali in una configurazione che non prevedesse i due anelli di retroazione relativi alle correnti negli induttori.

Si è riscontrato che le due rampe di corrente interne risultano non perfettamente uguali. Questo pregiudica totalmente la possibilità di determinare due rampe di tensione identiche, che fungeranno da portante nelle rispettive PWM, attraverso due semplici resistenze poste fra i rispettivi piedini CS e massa. Questo difetto determina una netta differenza tra i due duty-cycle dei segnali di tensione ai piedini OUT1 e OUT2 soprattutto a duty-cycle ridotti.

Nel secondo test purtroppo, il circuito relativo a CS1 non è risultato funzionante e per ragioni di tempo non è stato possibile verificare se il problema descritto poco sopra potesse essere risolto applicando due rampe di tensione esterne. Tuttavia dalla realizzazione del circuito e dalle misure effettuate sul piedino CS2 ci si è resi conto che la variabilità nei valori dei numerosi componenti richiederebbe un'azione di taratura ad hoc per ogni valore di duty-cycle. Questo ovviamente non è accettabile per un'applicazione industriale.

Se ne deduce che il controllore LM5032 non è adatto all'applicazione per la quale era stato ipotizzato un suo utilizzo.

Bibliografia

- [1] Giorgio Spiazzi (2011), *Appunti dalle Lezioni di Elettronica di Potenza*, Padova.
- [2] William Shepherd (2004), Li Zhang, *Power Converter Circuits*, Marcel Dekker.
- [3] Hiroyuki Kosai; Seana McNeal; James Scofield; Brett Jordan; Biswajit Ray (2011), *Studies of Interleaved DC-DC Boost Converters with Coupled Inductors*, Air Force Research Laboratory.
- [4] Keith Billings (2003), *Advantages of Interleaving Converters*, Ontario, Canada, .
- [5] Chuanyun Wang (2009), *Investigation on Interleaved Boost Converters and Applications*, Doctor of Philosophy in Electrical Engineering, Blacksburg.
- [6] National Semiconductor (2005), *LM5032 High Voltage Dual Interleaved Current Mode Controller*.
- [7] National Semiconductor (2009), *LM5032 Interleaved Boost Evaluation Board*.