

Convertitore DC/DC Step-Up Integrato per Applicazioni di Energy Harvesting

Laureando: Dal Bianco Davide

Relatore: Prof. Gerosa Andrea

**CORSO DI LAUREA MAGISTRALE IN
INGEGNERIA ELETTRONICA**

21 Febbraio 2017

Anno Accademico 2017/2018

Sommario

In questo lavoro è descritta la progettazione di una nuova topologia di convertitore DC/DC, adatto ad essere implementato con tecnologia integrata e per applicazioni di *energy harvesting*.

La topologia utilizzata combina il classico convertitore Boost con il convertitore di *Dickson*, al fine di ottenere un rapporto di conversione maggiore di quello ottenibile con un convertitore Boost tradizionale.

Il capitolo 1 è di introduzione all'argomento. Viene spiegato cos'è un *energy harvester* e i possibili campi di impiego di questo oggetto, oltre a motivare la necessità di un convertitore DC/DC per il suo utilizzo.

Il capitolo 2 introduce ai convertitori DC/DC nelle topologie base esistenti. Si presta particolare attenzione al convertitore Boost e al convertitore di *Dickson*, che saranno la base del convertitore proposto in questo lavoro.

Il capitolo 3 contiene la progettazione vera e propria del convertitore DC/DC. Si è svolta un'analisi dettagliata del transistor Mosfet e dei Buffer che lo pilotano, essendo questi elementi le maggiori cause di dissipazione di potenza. Si è poi adattata la progettazione in *fast-switching* a questo sistema con *duty-cycle* variabile. Viene svolta una stima analitica dell'efficienza del sistema al fine di ottenere le massime prestazioni possibili. Oltre alla massimizzazione dell'efficienza si è ottimizzata l'area occupata dal dispositivo.

Nel capitolo 4 viene trattato il controllo in retroazione del convertitore. Sono analizzati tutti i circuiti ausiliari che servono a questo scopo. In particolare si necessita di un generatore PWM (creato in questo caso con un generatore di una rampa periodica di tensione e un comparatore), un circuito che genera due fasi non sovrapposte a partire dalla singola fase prodotta dal generatore PWM, un nodo sommatore (per confrontare la tensione prodotta dal convertitore con un riferimento) e la rete di compensazione del loop, per garantire la stabilità del sistema. Tale rete di compensazione è stata implementata con un integratore a capacità commutate. Viene svolta inoltre l'analisi in frequenza teorica del convertitore e dei circuiti di controllo e ne viene fatto un confronto con i risultati di simulazione.

Il capitolo 5 raccoglie i risultati di questo lavoro, mostrando alcune forme d'onda del convertitore e le efficienze raggiunte.

La tecnologia scelta per il convertitore e per cui è stato progettato è la tecnologia UMC 130nm. Le uniche specifiche imposte sono una potenza di uscita di 5mW ad una tensione di 3.3V, con una tensione di ingresso variabile da 300mV a 600mV.

Indice

Indice	v
Elenco delle tabelle	vii
Elenco delle figure	ix
1 Introduzione	1
2 Convertitori DC/DC	3
2.1 Convertitori LDO	3
2.2 Convertitori Switching	5
2.2.1 Convertitore Boost ideale	6
2.2.2 Convertitore Boost con perdite resistive	12
2.3 Convertitori a capacità commutate	15
3 Convertitore DC/DC proposto	23
3.1 Relazione V_{out}/V_{in}	24
3.2 Utilizzo del transistor Mosfet come Switch	26
3.2.1 Resistenza serie	28
3.2.2 Capacità	31
3.3 Buffer	34
3.3.1 Buffer per Mosfet standard	36
3.3.2 Buffer per Mosfet I/O	40
3.4 Dimensionamento dei Mosfet	44
3.4.1 Ottimizzazione dell'area occupata	52
3.4.2 Ottimizzazione dell'efficienza	54
3.5 Dimensionamento dei Condensatori	59
3.5.1 Condensatori <i>floating</i>	59
3.5.2 Condensatore di uscita	61
3.6 Dimensionamento dell'induttore	62
3.7 Alimentazione dei circuiti di controllo	63
4 Controllo in retroazione	65
4.1 Generazione del segnale PWM	65
4.1.1 Generatore di rampa	67
4.1.2 Comparatore	77
4.1.3 Generatore di due fasi non sovrapposte	83
4.2 Compensazione del loop di retroazione	86
4.2.1 Analisi in frequenza	86
4.2.2 Circuito compensatore	95

5	Simulazioni e risultati	101
5.1	Efficienza	104
5.2	Forme d'onda	106
5.2.1	Tensione di controllo V_c	108
5.2.2	Tensione di uscita	109
5.2.3	Corrente di induttore	110
5.2.4	Correnti sui condensatori <i>floating</i>	111
5.2.5	Corrente del condensatore di uscita	112
5.2.6	Segnali di <i>gate</i>	113
6	Conclusioni	115
	Ringraziamenti	117
	Bibliografia	119
	Codice <i>Matlab</i>	121

Elenco delle tabelle

2.1	<i>Duty-Cycle</i> necessario al variare di $R_{S1} = R_{S2}$	13
2.2	Rapporti di conversione ottenibili per un dato numero di C_{fly}	16
3.1	Valori di K_R per i Mosfet utilizzati nel convertitore o nei circuiti di controllo.	31
3.2	Parametri dei transistor di un Buffer per transistor <i>core</i> da 1.2V.	37
3.3	Parametri dei transistor di un Buffer per Mosfet I/O da 3.3V.	41
3.4	Switch da utilizzare nel convertitore DC/DC.	46
3.5	Parametri dei Mosfet utilizzati nel convertitore.	58
3.6	Parametri dei Buffer utilizzati nel convertitore.	58
4.1	Dimensioni dei Mosfet utilizzati per il comparatore.	79
5.1	Potenza di auto-alimentazione, potenza assorbita in ingresso e efficienza del convertitore (dati di simulazione).	104

Elenco delle figure

1.1	La raccolta di energia dall'ambiente a confronto con le batterie tradizionali	1
1.2	Tipico utilizzo per un <i>Energy Harvester</i>	2
2.1	Schema di un LDO standard.	3
2.2	Curva di un Mosfet di tipo P.	4
2.3	Efficienza di un LDO.	5
2.4	Schema di un convertitore Boost.	6
2.5	Apertura e Chiusura degli Switch.	6
2.6	Relazione V_{out}/V_{in} in funzione di D per un convertitore Boost.	8
2.7	Forma d'onda della tensione di uscita.	9
2.8	Circuiti equivalenti al convertitore Boost nella fase D e (1-D).	9
2.9	Corrente $i_L(t)$ del convertitore Boost.	10
2.10	$i_{Cout}(t)$ e $v_{out}(t)$ del convertitore Boost.	11
2.11	Convertitore Boost con elementi parassiti.	12
2.12	Efficienza di un convertitore Boost al variare di $R_{S1} = R_{S2}$	14
2.13	Efficienza di un convertitore Boost al variare di V_{in}	14
2.14	Esempio di un convertitore a capacità commutate.	15
2.15	Esempio di un convertitore Dickson a tre stadi.	17
2.16	Modellizzazione di un convertitore DC/DC a capacità commutate.	18
2.17	Resistenza d'uscita di un convertitore DC/DC SC.	21
3.1	Convertitore DC/DC oggetto di questo lavoro.	23
3.2	Circuiti equivalenti al convertitore nelle due fasi di funzionamento.	24
3.3	Rapporto V_{out}/V_{in} in funzione del <i>Duty-cycle</i>	25
3.4	Valore di D necessario per le specifiche di questo progetto.	26
3.5	Tensione, corrente e potenza dissipata da un transistor Mosfet durante la commutazione.	27
3.6	Circuiti simulati per l'estrazione del parametro K_R	29
3.7	Fit dei risultati di simulazione per ricavare il parametro K_R	30
3.8	Sezione del transistor Mosfet.	32
3.9	<i>Overlap</i> tra il <i>gate</i> e le diffusioni di <i>source</i> e <i>drain</i>	32
3.10	Circuito simulato per l'estrazione del parametro K_C	33
3.11	Risultati di simulazione per la capacità di <i>gate</i>	33
3.12	Schema di esempio di un buffer.	34
3.13	Caratteristica statica di un inverter di dimensioni minime con Mosfet <i>core</i> da 1.2V.	36
3.14	Buffer con N stadi.	37
3.15	Circuito di test per le capacità di ingresso e di uscita di un inverter.	38
3.16	Risultati di simulazione del circuito di figura 3.15.	39
3.17	Caratteristica statica di un inverter di dimensioni minime con Mosfet I/O da 3.3V.	40
3.18	Risultati di simulazione del circuito di figura 3.15 per Mosfet I/O.	42

3.19	Traslatore di livello per pilotare Buffer da 3.3V con tensioni da 0 a 1.2V.	42
3.20	Simulazione temporale del traslatore di livello.	43
3.21	Tensione ai nodi durante le 2 fasi.	44
3.22	Circuiti equivalenti al convertitore nelle due fasi di funzionamento.	47
3.23	Circuiti equivalenti del convertitore nelle due fasi di funzionamento	48
3.24	Elementi di \mathbf{a}_r in funzione di D.	49
3.25	Coefficienti K_i in funzione di V_{in} .	51
3.26	Switch in serie durante le due fasi di funzionamento.	53
3.27	Schema definitivo del convertitore DC/DC.	54
3.28	Efficienza media stimata del convertitore.	56
3.29	Efficienza media stimata del convertitore in funzione di G_{tot} .	57
3.30	Resistenza equivalente vista da C_1 .	59
3.31	Resistenza equivalente vista da C_2 .	59
3.32	Resistenza equivalente vista da C_3 .	60
3.33	Corrente del condensatore di uscita.	61
3.34	Corrente e tensione sull'induttore.	62
3.35	Convertitore LDO ausiliario per l'auto-alimentazione.	63
4.1	Loop di retroazione del convertitore.	65
4.2	Generazione di un onda quadra con <i>Duty-cycle</i> variabile.	66
4.3	Circuito per generare la rampa di tensione periodica.	67
4.4	Struttura di un condensatore MIMCAP.	68
4.5	Rampa di tensione ottenuta in simulazione.	72
4.6	Corrente I_c ottenuta in simulazione.	72
4.7	Zoom del reset del condensatore ottenuto in simulazione.	73
4.8	Realizzazione circuitale del <i>pulse-generator</i> .	73
4.9	Segnali del <i>pulse-generator</i> .	74
4.10	Realizzazione circuitale della porta NOT.	74
4.11	Realizzazione circuitale della porta NOR.	75
4.12	Segnali A, B, e pulse ottenuti in simulazione.	76
4.13	Zoom del segnale di reset.	76
4.14	Schema del comparatore.	77
4.15	Caratteristica statica dell'inverter $M_8 - M_9$.	80
4.16	Guadagno dell'OTA a 5 transistor utilizzato nel comparatore.	80
4.17	Simulazione nel tempo del comparatore.	82
4.18	Circuito per la generazione di due clock non sovrapposti.	83
4.19	Realizzazione circuitale della porta NAND.	84
4.20	Segnali P_1 e P_2 da simulazione.	85
4.21	Segnali $\overline{P_1}$ e $\overline{P_2}$ da simulazione.	85
4.22	Variazione di V_c che provoca una variazione del <i>Duty-cycle</i> .	86
4.23	Circuito equivalente dopo l'approssimazione dei C_{fly} a generatori ideali di tensione.	88
4.24	Circuito rappresentato dalle equazioni 4.33 e 4.35	90
4.25	Circuito equivalente del convertitore DC/DC a piccolo segnale	92
4.26	Circuito simulato per la determinazione di $A_v(s)$.	93
4.27	Funzione di trasferimento A_v teorica e simulata.	94

4.28	Circuito che realizza il nodo sommatore, il guadagno K e $G_c(s)$	95
4.29	Segnali per il funzionamento del circuito di figura 4.28.	96
4.30	Guadagno d'anello del sistema.	99
5.1	Collegamenti dei Buffer.	101
5.2	Sistema completo simulato.	103
5.3	Efficienza ricavata in simulazione.	105
5.4	Accensione del sistema con $V_{in} = 0.3V$	106
5.5	Accensione del sistema con $V_{in} = 0.6V$	107
5.6	Dettaglio della tensione di controllo V_c	108
5.7	Dettaglio della tensione di uscita con $V_{in} = 300mV$	109
5.8	Dettaglio della corrente di induttore con $V_{in} = 300mV$	110
5.9	Correnti sui condensatori <i>floating</i> ($V_{in} = 300mV$).	111
5.10	Correnti del condensatore C_{out} ($V_{in} = 300mV$).	112
5.11	Segnali di gate.	113

Capitolo 1

Introduzione

L'elettronica da sempre è una scienza in continua e veloce evoluzione, non solo grazie all'innovazione nella progettazione di circuiti, ma anche grazie alle sempre migliori tecnologie disponibili. Ciò permette una costante riduzione dell'energia dissipata dai dispositivi elettronici, mantenendo allo stesso tempo invariate se non migliorate tutte le altre prestazioni che il dispositivo offre, qualunque esse siano. In questo scenario l'*Energy harvesting* sta diventando sempre più interessante. Esso è il processo per cui l'energia, proveniente da sorgenti alternative, viene "catturata" e salvata. Le cosiddette forme di energia alternative, sono tutte quelle sorgenti comunemente disponibili nell'ambiente. Tale processo le converte in energia elettrica direttamente utilizzabile. Tipicamente gli *Energy harvester* (raccoltori di energia) forniscono una potenza molto piccola, essendo l'energia prelevata l'energia di fondo dell'ambiente in cui si trova l'apparecchio.

Le sorgenti alternative possono essere fonti di energia termica, energia cinetica, energia chimica, energia potenziale o solare, disperse liberamente nell'ambiente. Il raccogliere questa energia consente di ridurre i costi di un applicazione evitando la sostituzione periodica delle batterie o addirittura la possibilità di creare sistemi auto alimentati.

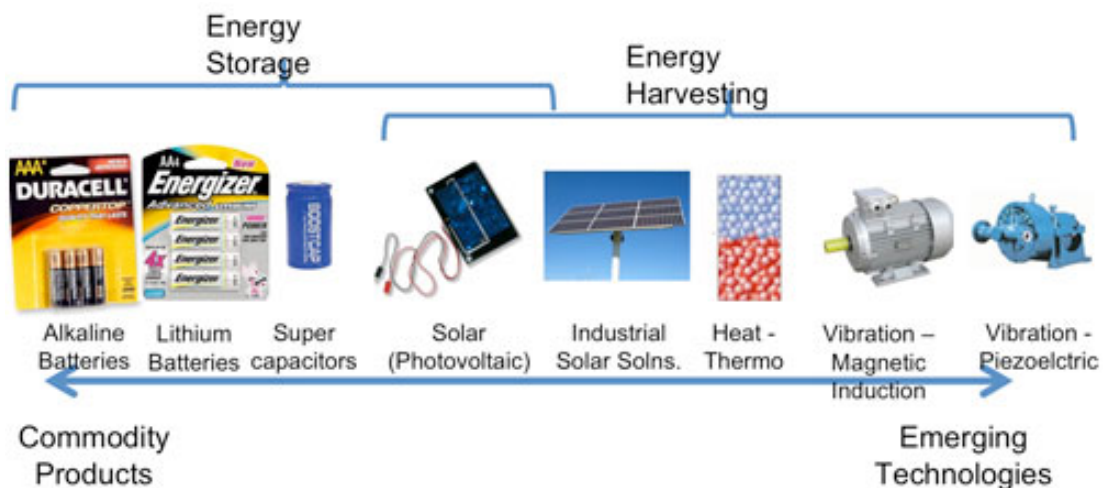


Figura 1.1: La raccolta di energia dall'ambiente a confronto con le batterie tradizionali

Tale innovativo sistema risulta particolarmente interessante nei più diversi ambiti applicativi: dall'automazione industriale alla biomedica, dall'automotive al settore edilizio. Ad esempio nell'ambito industriale si può pensare di posizionare sensori in zone dove il cablaggio è impossibile, ma l'energia nell'ambiente è sufficiente ad alimentare il sensore stesso e un sistema wireless per l'invio dei dati raccolti. Si pensi ad un sensore che monitora la pressione del pneumatico di un'automobile: il cablaggio per l'alimentazione del sensore stesso e per la trasmissione di dati per

l'elaborazione risulta impossibile, ma l'ambiente è ricco di energia meccanica e il sensore potrebbe essere alimentato da un *Energy harvester* e potrebbe inviare i dati in modo *wireless* direttamente all'elaboratore. Molto interessante anche il dispositivo realizzato da Canan Dagdeviren e colleghi descritto in [1]. Essi propongono di realizzare un pace-maker alimentato dal battito stesso del cuore, o diversamente da polmoni o diaframma. L'idea è particolarmente innovativa in quanto attualmente un dispositivo di questo tipo è alimentato da una batteria, e nell'eventualità essa si scaricasse l'individuo che lo porta deve essere sottoposto ad un intervento chirurgico per la sostituzione dell'intero pace-maker.

Ci sono diverse fonti di energia che possono essere utilizzate (luce, gradienti di temperatura, vibrazioni o moti meccanici, elettromagnetismo) e dipende dalla disponibilità di tale energia e dell'utilizzo che se ne deve fare la scelta dell'*harvester* più adatto.

Naturalmente l'energia elettrica raccolta non è sempre nella forma migliore per essere utilizzata. La tensione può essere variabile e troppo bassa o troppo alta per il dispositivo che la andrà ad utilizzare. L'energia, quando disponibile, andrà quindi immagazzinata ad esempio in un condensatore grande a sufficienza per garantire continuità energetica e successivamente trasformata da un circuito apposito per essere distribuita al o ai circuiti da alimentare. In figura 1.2 si può osservare l'utilizzo tipico di un *energy harvester*.

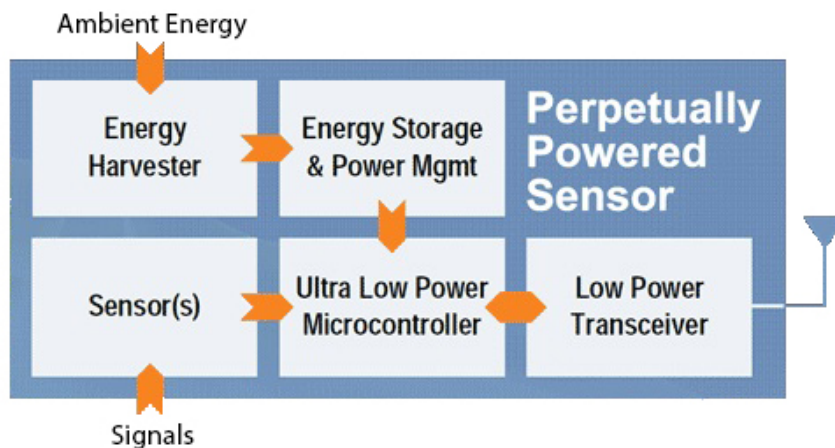


Figura 1.2: Tipico utilizzo per un *Energy Harvester*

In questo contesto si colloca il circuito studiato in questo lavoro. Si è infatti progettato un convertitore DC/DC in grado di erogare in uscita una tensione costante e pari a 3.3V ricevendo in ingresso una tensione variabile fornita da un *energy harvester*. In questo caso in particolare il circuito è uno step-up converter. Fornisce quindi in uscita una tensione maggiore della tensione in ingresso. Il dispositivo è stato progettato per essere realizzato in forma integrata, ed è stata scelta la tecnologia UMC 130nm. Le specifiche impongono una tensione di ingresso compresa tra i 300mV e i 600mV, una tensione di uscita costante pari a 3.3V e una potenza di uscita massima di 5mW.

Convertitori DC/DC

Esistono attualmente tre principali categorie di Convertitori DC/DC: i convertitori lineari, i convertitori switching (buck, boost e buck-boost) e i convertitori a capacità commutate (SC: *switched-capacitor*).

2.1 Convertitori LDO

La prima categoria, forse la più semplice, sono i convertitori lineari, anche detti LDO (*Linear-Drop-Out*). Si tratta essenzialmente di un partitore resistivo regolato da un feedback negativo. In figura 2.1 possiamo osservare lo schema di un LDO standard.

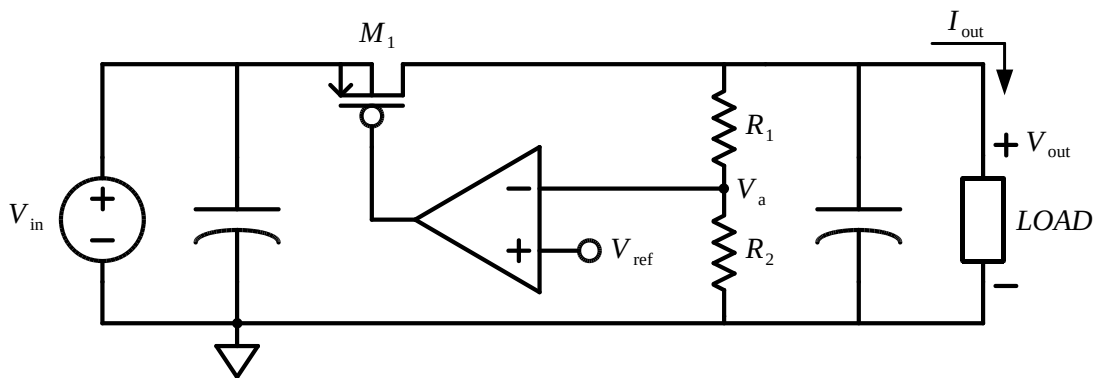


Figura 2.1: Schema di un LDO standard.

Il principio di funzionamento è piuttosto semplice: un amplificatore operazionale compara un riferimento di tensione con la tensione V_a , proporzionale alla tensione di uscita. La tensione di gate di M_1 viene quindi regolata affinché si abbia $V_{ref} = V_a$, quindi la tensione V_{out} sia quella desiderata. Naturalmente si deve prestare attenzione alla stabilità del loop di retroazione, eventualmente inserendo un condensatore di uscita sufficientemente grande da poter approssimare il sistema come un sistema a polo dominante.

Non tutte le tensioni di uscita sono ammesse: deve valere la relazione $V_{in} > V_{out}$. Per una data tensione V_{out} infatti esiste una minima tensione V_{in} per la quale il sistema funziona correttamente. Essa vale: $V_{in,min} = V_{out} + V_{DS,sat}$ ed è la minima tensione di ingresso che mantiene il Mosfet M_1 in saturazione.

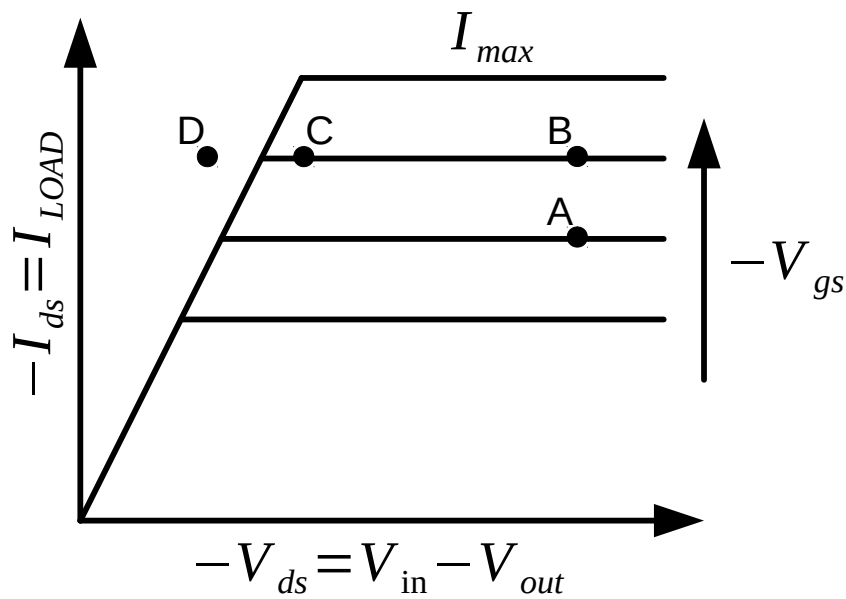


Figura 2.2: Curva di un Mosfet di tipo P.

Ciò si può osservare facilmente in figura 2.2. Supponiamo che M_1 stia lavorando nel punto A e che il sistema sia in equilibrio. Se la resistenza di carico diminuisce, l'amplificatore operazionale deve agire per mantenere stabile la tensione di uscita. In particolare un calo della resistenza di carico significa un aumento di I_{load} , il sistema si porta quindi a lavorare nel nuovo punto di equilibrio B. Intuitivamente, se I_{load} aumenta, la retroazione deve agire diminuendo la resistenza drain-source di M_1 per mantenere stabile V_{out} . Diminuire la resistenza di M_1 significa aumentarne (in modulo) la tensione di gate (in questo caso trattandosi di un Mosfet di tipo P la tensione di gate diminuisce).

Immaginiamo ora che la tensione V_{in} diminuisca. Per mantenere V_{out} stabile la tensione drain-source di M_1 deve diminuire anch'essa. Ecco che il sistema si porta a lavorare nel punto C. Se a parità delle altre condizioni la tensione di ingresso diminuisse ulteriormente, il sistema dovrebbe portarsi a lavorare nel punto D. Questo però non è possibile e ciò significa che la tensione V_{out} non sarebbe più regolata. Ecco allora che la minima tensione di ingresso è limitata inferiormente dalla linea di saturazione del Mosfet, mentre la corrente di carico è limitata superiormente dalla massima I_{DS} che M_1 può sostenere. [2]

Efficienza

Sempre con riferimento a figura 2.1, e trascurando la corrente che scorre su R_1 e R_2 , si può scrivere:

$$P_{in} = V_{in} \cdot I_{out} \quad (2.1)$$

$$P_{out} = V_{out} \cdot I_{out} \quad (2.2)$$

e quindi l'efficienza del sistema si trova essere:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}}{V_{in}} \quad (2.3)$$

L'equazione 2.3 è rappresentata graficamente in figura 2.3.

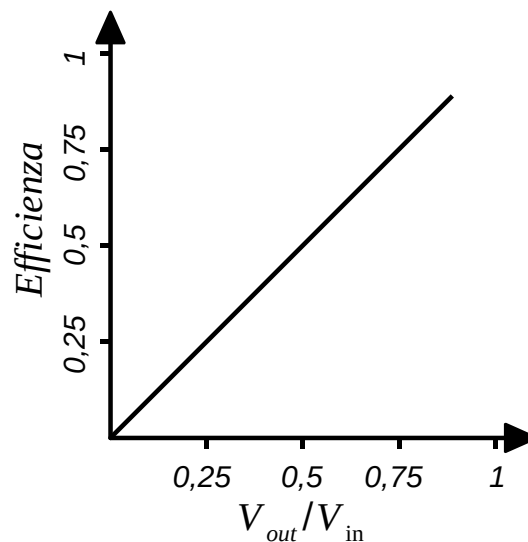


Figura 2.3: Efficienza di un LDO.

Si può vedere come l'efficienza è tanto maggiore quanto più il rapporto V_{out}/V_{in} è vicino all'unità, ma non si potrà mai avere $\eta = 100\%$ in quanto $V_{in} - V_{out} > V_{DS,sat}$.

2.2 Convertitori Switching

I convertitori Switching sono quei convertitori che fanno utilizzo principalmente di un induttore e di switch per ottenere una tensione di uscita diversa dalla tensione di ingresso. Ne esistono diverse varianti, ma le topologie principali sono il convertitore Buck, il convertitore Boost e il convertitore Buck-Boost. Essi permettono di ottenere in uscita rispettivamente una tensione minore, maggiore e minore o maggiore della tensione di ingresso. Dato che il progetto di tale Tesi è un convertitore di tipo step-up di seguito sarà analizzato in dettaglio solamente il convertitore Boost, al fine di avere un paragone con il convertitore progettato.

2.2.1 Convertitore Boost ideale

In figura 2.4 è visibile lo schema elettrico di un convertitore Boost. In figura 2.5 è invece riportato lo schema di apertura e chiusura degli switch S_1 e S_2 . Essi si aprono e chiudono ciclicamente, con periodo T_{sw} . Lo switch S_1 rimane chiuso per un intervallo di tempo pari a DT_{sw} , mentre lo switch S_2 per un tempo pari a $(1-D)T_{sw}$, con $D \in [0 \div 1]$. In un'applicazione reale si dovrà garantire un minimo periodo di non sovrapposizione delle fasi D e $D' = (1-D)$, infatti se entrambi gli switch fossero chiusi contemporaneamente il carico sarebbe cortocircuitato e la tensione di uscita scenderebbe a zero.

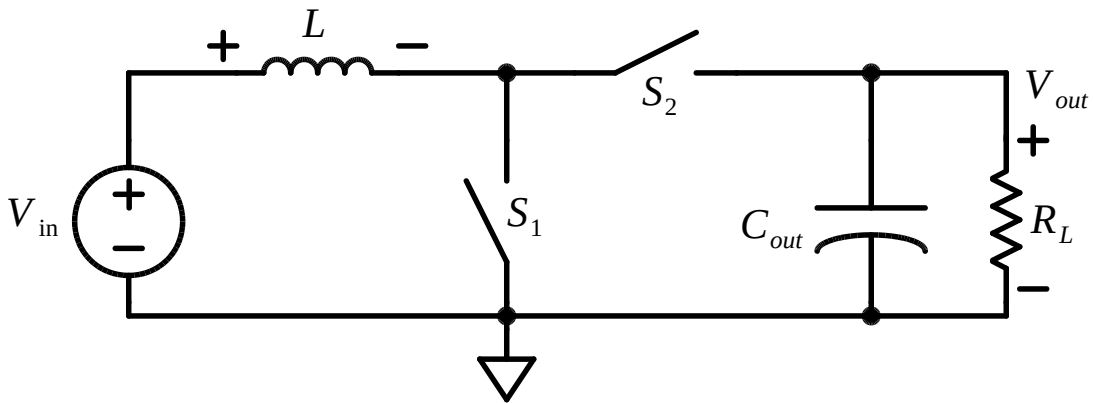


Figura 2.4: Schema di un convertitore Boost.

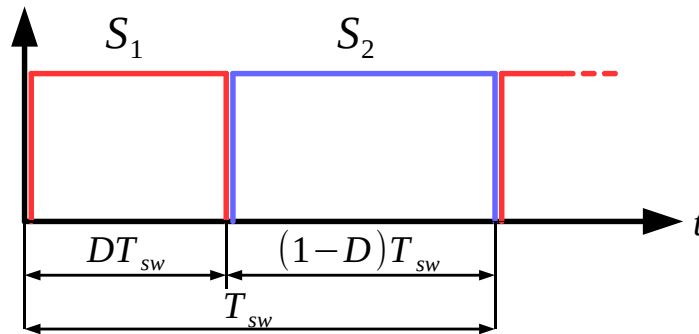


Figura 2.5: Apertura e Chiusura degli Switch.

La tensione di uscita di un convertitore di questo tipo si può facilmente calcolare sfruttando quello che in [3] è chiamato *Inductor Volt-Second Balance*. Partendo dalla relazione Tensione-Corrente di un induttore (formula 2.4):

$$v_L(t) = L \frac{di_L(t)}{dt} \quad (2.4)$$

e integrando in un periodo di Switching, ovvero da 0 a T_{sw} si ottiene:

$$i_L(T_{sw}) - i_L(0) = \frac{1}{L} \int_0^{T_{sw}} v_L(t) dt \quad (2.5)$$

Dato che in regime stazionario si deve avere $i_L(T_{sw}) = i_L(0)$, si ha che la parte a sinistra dell'uguale di formula 2.5 è pari a 0. Ovvero:

$$\int_0^{T_{sw}} v_L(t) dt = 0 \quad (2.6)$$

In altre parole, in regime stazionario, la tensione media applicata all'induttore durante un periodo di commutazione dev'essere pari a zero. Ciò è detto *Volt-Second Balance* perché l'integrale in 2.6 assume l'unità di misura di $V \cdot s$.

Anche per il condensatore vale una relazione simile, detta *Capacitor charge balance*. Partendo ancora una volta dalla relazione tra tensione e corrente di un componente di questo tipo:

$$i_C = C \frac{dV_C(t)}{dt} \quad (2.7)$$

e svolgendo l'integrale su un periodo di commutazione si trova:

$$V_C(T_{sw}) - V_C(0) = \frac{1}{C} \int_0^{T_{sw}} i_C(t) dt \quad (2.8)$$

In regime stazionario deve valere che $V_C(T_{sw}) = V_C(0)$, e quindi:

$$\int_0^{T_{sw}} i_C(t) dt = 0 \quad (2.9)$$

In altre parole in un periodo di commutazione la corrente media di un condensatore dev'essere nulla.

Tornando al circuito di figura 2.4 si ha che la tensione applicata all'induttore è:

$$V_L = \begin{cases} V_{in} & 0 \leq t \leq DT_{sw} \\ V_{in} - V_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (2.10)$$

Applicando quindi la formula 2.6 si ottiene:

$$\int_0^{T_{sw}} v_L(t) dt = \int_0^{DT_{sw}} V_{in} dt + \int_{DT_{sw}}^{(1-D)T_{sw}} (V_{in} - V_{out}) dt = 0 \quad (2.11)$$

e quindi la relazione:

$$\frac{V_{out}}{V_{in}} = \frac{1}{1-D} \quad (2.12)$$

La relazione tra tensione di uscita e *Duty-Cycle* (Ovvero il valore che assume D) è rappresentata in figura 2.6.

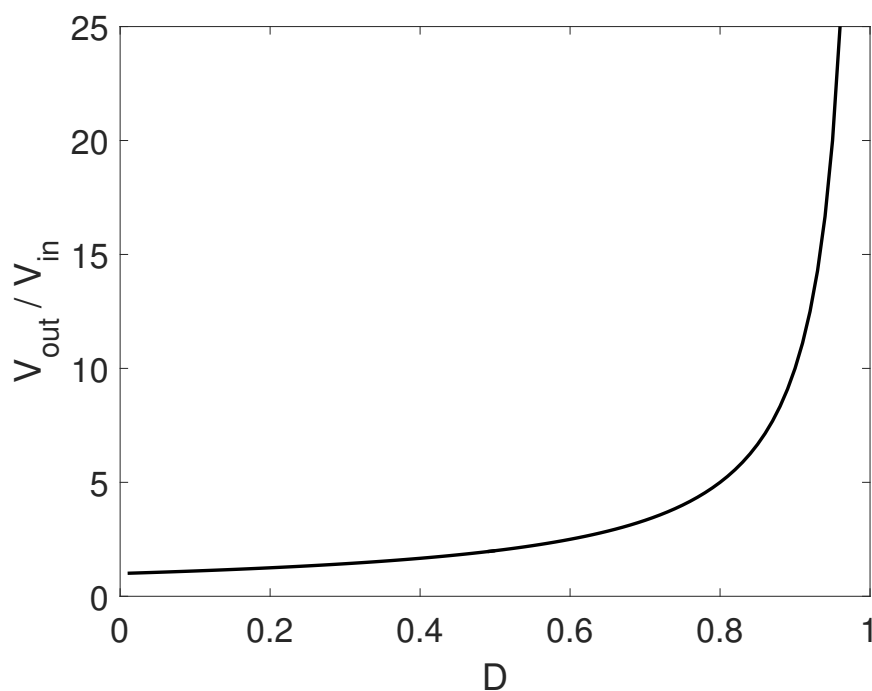


Figura 2.6: Relazione V_{out}/V_{in} in funzione di D per un convertitore Boost.

Per D prossimi a 1 sembra si possano ottenere da questo circuito tensioni di uscita molto più grandi della tensione di ingresso. Ciò non è vero. A causa degli elementi parassiti (in particolare la resistenza serie di switch, induttore e condensatore) il guadagno di tensione è limitato. E' opportuno ricordare inoltre che valori di *Duty-Cycle* elevati sono difficilmente realizzabili, e comportano un aumento del valore di L e C_{out} (Si veda formula 2.17 e 2.21).

Small-Ripple approximation e dimensionamento di L e C

Fin'ora è stata supposta V_{out} costante. Perché ciò sia vero il condensatore C_{out} dovrebbe valere infinito. Per valori finiti di capacità invece la forma d'onda della tensione di uscita mostrerà un piccolo ripple alla frequenza di commutazione. Possiamo quindi scomporre la vera tensione d'uscita in due componenti: la componente DC, V_{out} , e il ripple residuo, $v_{ripple}(t)$. Si ha quindi che la vera tensione è data da: $v_{out}(t) = V_{out} + v_{ripple}(t)$. Le forma d'onda è visibile qualitativamente in figura 2.7.

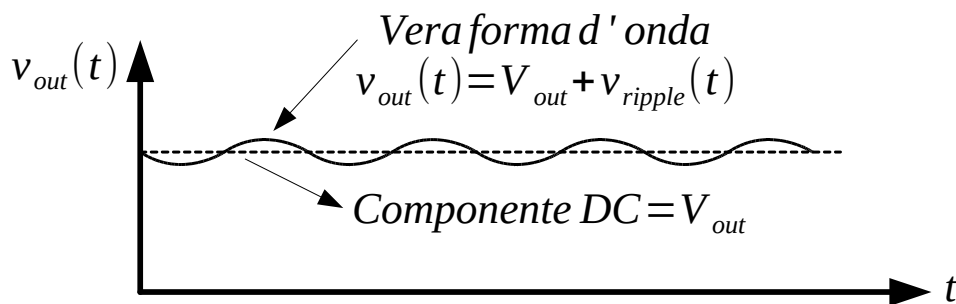


Figura 2.7: Forma d'onda della tensione di uscita.

Volendo produrre in uscita una tensione il più costante possibile C_{out} andrà dimensionato per far si che:

$$\|v_{ripple}\| \ll V_{out} \quad (2.13)$$

Una scelta comune è dimensionare C_{out} per avere v_{ripple} di qualche decina di millivolt, o minore all'1% di V_{out} .

L'equazione 2.13 è conosciuta come *small-ripple approximation*, e permette di semplificare molto l'analisi di un convertitore di questo tipo.

Si vogliono ora analizzare le forme d'onda di I_L e I_{Cout} . I circuiti equivalenti del convertitore Boost nella fase D e nella fase (1-D) sono visibili in figura 2.8.

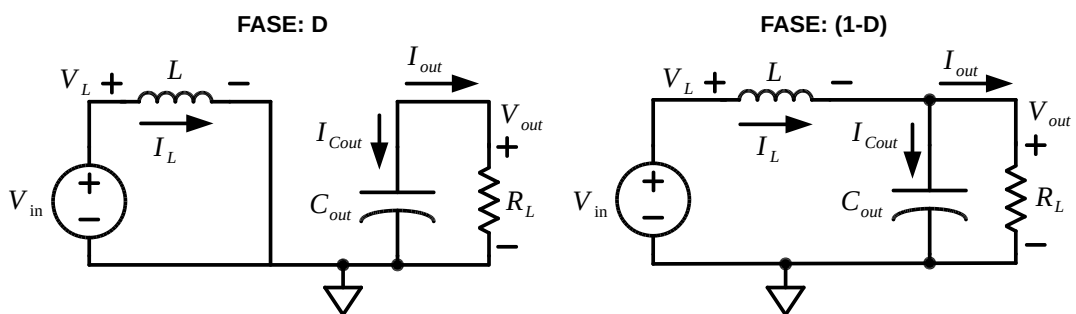


Figura 2.8: Circuiti equivalenti al convertitore Boost nella fase D e (1-D).

Come già detto nella formula 2.10, sfruttando la *small-ripple approximation* possiamo ricavare:

$$V_L = \begin{cases} V_{in} & 0 \leq t \leq DT_{sw} \\ V_{in} - V_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (2.14)$$

Dato che nelle due fasi di funzionamento del convertitore la tensione sull'induttore è costante, è facile ricavare la forma d'onda di i_L , descritta in 2.15 e rappresentata in 2.9.

$$i_L(t) = \begin{cases} i_L(0) + \frac{V_{in}}{L} t & 0 \leq t \leq DT_{sw} \\ i_L(DT_{sw}) + \frac{V_{in}-V_{out}}{L} (t - DT_{sw}) & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (2.15)$$

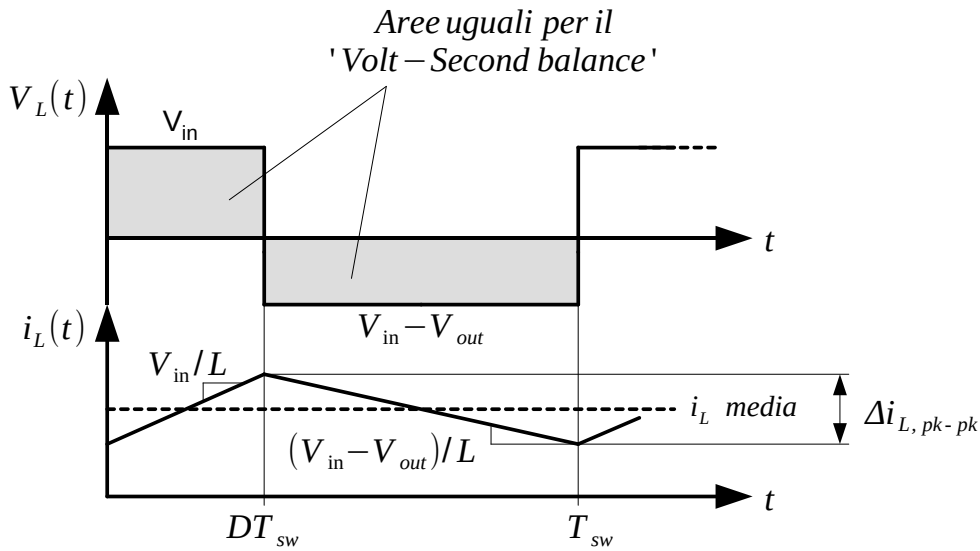


Figura 2.9: Corrente $i_L(t)$ del convertitore Boost.

Il valore $\Delta i_{L,pk-pk}$, ovvero l'oscillazione picco-picco che la corrente di induttore ha intorno al suo valore medio \bar{i}_L è pari a:

$$\Delta i_{L,pk-pk} = \frac{V_{in}}{L} DT_{sw} = \frac{V_{in} - V_{out}}{L} (1 - D) T_{sw} \quad (2.16)$$

Normalmente si preferisce che questa oscillazione sia relativamente piccola, affinché la corrente di picco dell'induttore non superi mai un dato valore. Così facendo si limita lo stress a cui sono sottoposti i dispositivi.

Dato il valore di $\Delta i_{L,pk-pk}$ desiderato si può trovare L come:

$$L \leq \frac{V_{in} DT_{sw}}{\Delta i_{L,pk-pk}} \quad (2.17)$$

Per un confronto con il convertitore progettato in questo lavoro, si può calcolare il valore di L necessario per ottenere $\Delta i_{L,pk-pk}$ pari all'1% di \bar{i}_L . A parità di condizioni tra i due convertitori, un Boost necessita di $L = 5.9mH$.

Per quel che riguarda la relazione tra il valore di C_{out} e il ripple della tensione d'uscita sarà di seguito ricavata un'espressione valida sotto l'ipotesi della *small-ripple approximation*. Sarà poi necessario che C_{out} abbia un valore opportuno affinché quest'ipotesi sia soddisfatta.

Con l'ipotesi $v_{out}(t) \approx V_{out}$ e in riferimento a figura 2.8 si ha:

$$i_{Cout} = \begin{cases} -I_{out} = -\frac{V_{out}}{R_L} & DT_{sw} \\ i_L(t) - I_{out} = i_L(t) - \frac{V_{out}}{R_L} & (1-D)T_{sw} \end{cases} \quad (2.18)$$

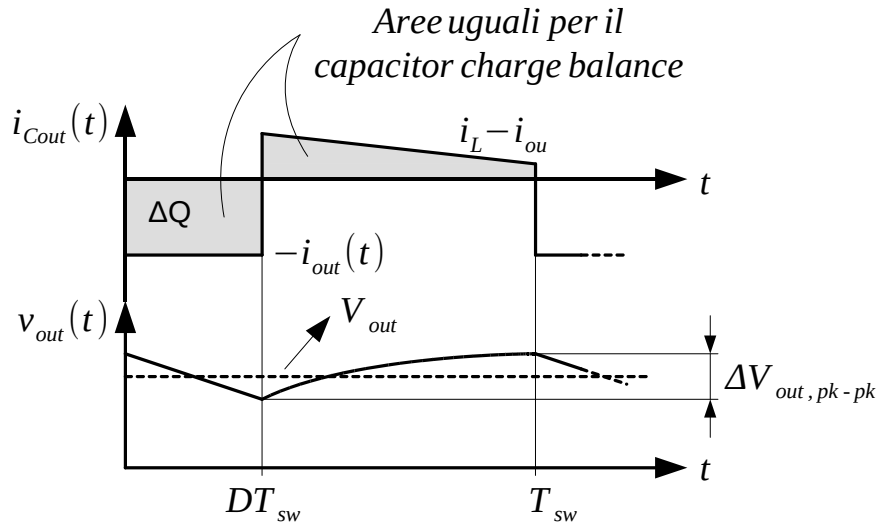


Figura 2.10: $i_{Cout}(t)$ e $v_{out}(t)$ del convertitore Boost.

Partendo dall'equazione 2.7 si può facilmente ricavare la seguente formula:

$$\Delta V_{out, pk-pk} = v_{out}(0) - v_{out}(DT_{sw}) = \frac{1}{C_{out}} \int_{DT_{sw}}^0 i_{Cout}(t) dt \quad (2.19)$$

durante la fase D i_{Cout} è costante e vale $-I_{out}$. L'integrale quindi è facilmente calcolabile e risulta:

$$\frac{1}{C_{out}} \int_0^{DT_{sw}} I_{out} dt = \frac{V_{out} DT_{sw}}{R_L C_{out}} \quad (2.20)$$

Dato quindi il valore di $\Delta V_{out, pk-pk}$ desiderato si può dimensionare C_{out} tramite la seguente formula:¹

$$C_{out} = \frac{V_{out} DT_{sw}}{R_L \Delta V_{out, pk-pk}} \quad (2.21)$$

Anche in questo caso si calcola il valore di C_{out} per un confronto con il convertitore progettato di seguito.

A parità di condizioni e con $\Delta V_{out, pk-pk} = 1\% V_{out}$, un Boost necessita di $C_{out} = 42nF$.

¹Per ricavare 2.21 si è usata l'ipotesi della *small-ripple approximation*, affinché sia valida quindi C_{out} dev'essere tale da garantire $|\Delta V_{out, pk-pk}| \ll V_{out}$.

2.2.2 Convertitore Boost con perdite resistive

Si vogliono ora introdurre nello schema di figura 2.4 degli elementi parassiti, per vedere come questi impattano sul funzionamento del convertitore. Per semplicità si considera solo la resistenza serie degli switch. Il nuovo schema è visibile in figura 2.11.

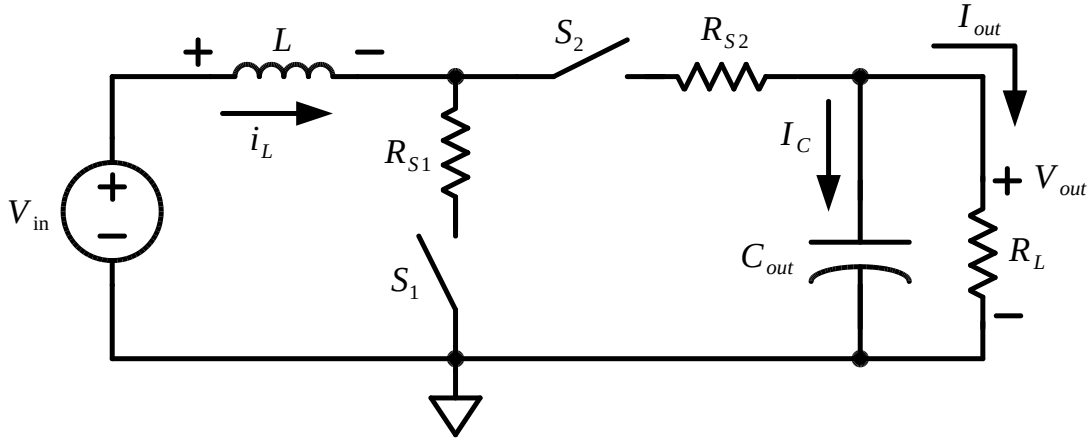


Figura 2.11: Convertitore Boost con elementi parassiti.

Per l'analisi del circuito si fa l'ipotesi semplificativa di considerare I_L costante. Naturalmente anche V_{in} e V_{out} sono ritenute costanti, e quindi anche I_{out} . Per lo schema di figura 2.11 si ha:

$$V_L = \begin{cases} V_{in} - R_{S1}I_L & 0 \leq t \leq DT_{sw} \\ V_{in} - V_{out} - R_{S2}I_L & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (2.22)$$

$$I_C = \begin{cases} I_C = -I_{out} & 0 \leq t \leq DT_{sw} \\ I_C = I_L - I_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (2.23)$$

Applicando ora sia il *Volt-Second Balance* che il *Capacitor Charge Balance*, rispettivamente equazioni 2.6 e 2.9, si trova il sistema 2.24:

$$\begin{cases} V_{out}(1 - D) = V_{in} + I_L [R_{S2}D - R_{S1}D - R_{S2}] \\ I_L = I_{out}/(1 - D) \end{cases} \quad (2.24)$$

che porta all'equazione:

$$D^2 V_{out} + D [-2V_{out} + V_{in} + I_{out}(R_{S1} - R_{S2})] + [V_{out} - V_{in} + I_{out}R_{S2}] \quad (2.25)$$

Inserendo quindi i dati del convertitore progettato in questo lavoro, riportati alla fine dell'introduzione, troviamo che a causa delle perdite resistive è necessario un *Duty-Cycle* maggiore per ottenere lo stesso rapporto V_{out}/V_{in} .

Nello specifico si sono usate: $I_{out} = \frac{P_{out}}{V_{out}} = \frac{5mW}{3.3V} = 1.52mA$ e $V_{in} = 0.3V$ (Cioè il caso peggiore, quello che in cui il rapporto V_{out}/V_{in} assume il valore massimo). Essendo l'equazione 2.25 di secondo grado si ottengono due valori di D, dei quali solamente uno è accettabile.

Nella tabella sottostante sono riportati i valori di D necessari ad ottenere la tensione di uscita desiderata al variare di $R_{S1} = R_{S2}$.

$R_{S1} = R_{S2} (\Omega)$	D
0	0.9091
0.5	0.9117
1	0.9145
2	0.9207
4	0.9394

Tabella 2.1: *Duty-Cycle* necessario al variare di $R_{S1} = R_{S2}$.

Si può notare come, per ottenere una tensione di uscita pari a 3.3V sia necessario un *Duty-Cycle* piuttosto elevato già nel caso ideale, pari a più del 90%. Con una resistenza equivalente degli switch di 4Ω il *Duty-Cycle* sale al 94%.

Esiste un valore massimo di resistenza per il quale il convertitore riesce a raggiungere i 3.3V di uscita. Tale valore è calcolabile imponendo che l'equazione 2.25 dia valori reali. Ciò significa che deve valere:

$$[-2V_{out} + V_{in} + I_{out}(R_{S1} - R_{S2})]^2 - 4V_{out}(V_{out} - V_{in} + I_{out}R_{S2}) \geq 0 \quad (2.26)$$

Quindi

$$R_{S1} = R_{S2} \leq \frac{1}{I_{out}} \left[\frac{(-2V_{out} + V_{in})^2}{4V_{out}} - V_{out} + V_{in} \right] = 4.5\Omega \quad (2.27)$$

Nella realtà saranno presenti anche molti altri effetti di secondo ordine che contribuiranno a dissipare potenza e quindi ad aumentare il *duty-cycle*, con la conseguenza che un rapporto di conversione V_{out}/V_{in} pari a 11 (cioè 3.3V/0.3V) è molto difficile da realizzare con un convertitore Boost tradizionale.

Efficienza

Naturalmente gli elementi parassiti resistivi influiscono anche sull'efficienza di conversione. Tale efficienza si può calcolare come

$$\eta = \frac{P_{out}}{P_{in}} \quad (2.28)$$

Dove P_{out} è quella imposta, pari a 5mW. P_{in} è invece calcolabile come $P_{in} = V_{in}I_L$ e grazie a formula 2.24 si ha: $P_{in} = V_{in}I_{out}/(1 - D)$.

Si trovano diversi valori di efficienza al variare sia di V_{in} che di R_{S1} e R_{S2} , visibili in figura 2.12. Il caso peggiore è quello con V_{in} minima, infatti minore è la tensione V_{in} maggiore sarà la corrente di ingresso, ed avere una corrente più grande significa avere più perdite di potenza, con conseguente efficienza minore.

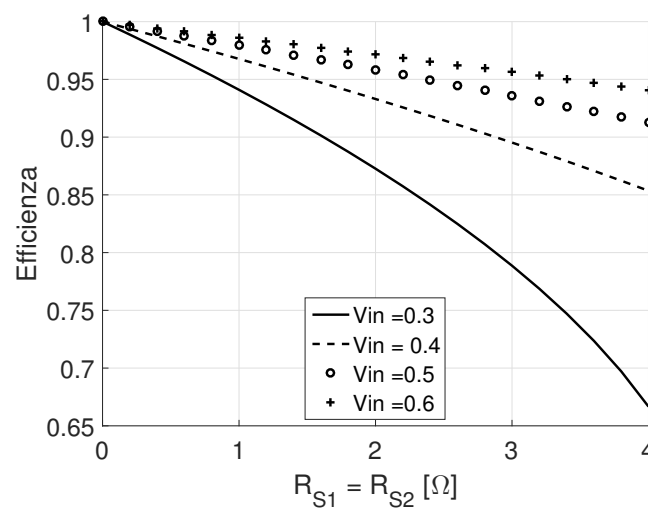


Figura 2.12: Efficienza di un convertitore Boost al variare di $R_{S1} = R_{S2}$.

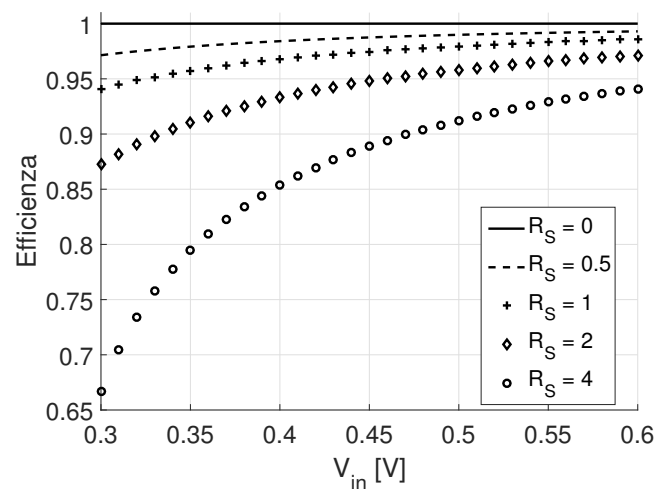


Figura 2.13: Efficienza di un convertitore Boost al variare di V_{in} .

2.3 Convertitori a capacità commutate

I convertitori *switching*, visti nella sezione precedente, sono stati la scelta predominante negli anni scorsi per tutte quelle applicazioni in cui serviva una regolazione di tensione, e dove un convertitore LDO non garantiva efficienza sufficiente. Essi sono specialmente adatti per tutte le applicazioni che richiedono una medio-alta potenza di uscita, indicativamente superiore ai 100mW [4]. Tuttavia, per un'applicazione integrata, hanno due principali difetti. Il primo difetto riguarda la presenza dell'induttore: questo elemento non è facilmente integrabile. Si riesce a integrarlo solo per piccolissimi valori di induttanza e il fattore di qualità che si può ottenere è piuttosto ridotto. Ciò significa che l'induttore che si costruisce ha una resistenza serie non trascurabile, con conseguenti perdite resistive su di essa. Il secondo difetto risiede nello stress degli switch: quando sono aperti devono sostenere la tensione massima generata dal circuito. Nel caso del convertitore Boost essi devono poter sostenere V_{out} (si veda figura 2.4).

Esiste una terza categoria di convertitori DC-DC: i convertitori a capacità commutate. Essi, commutando periodicamente la topologia del circuito (quindi collegando in modo diverso una certa quantità di condensatori detti C_{fly} o condensatori *floating*²) sono in grado di erogare in uscita una tensione diversa da quella d'ingresso. Per capire meglio di cosa si tratta si può osservare figura 2.14.

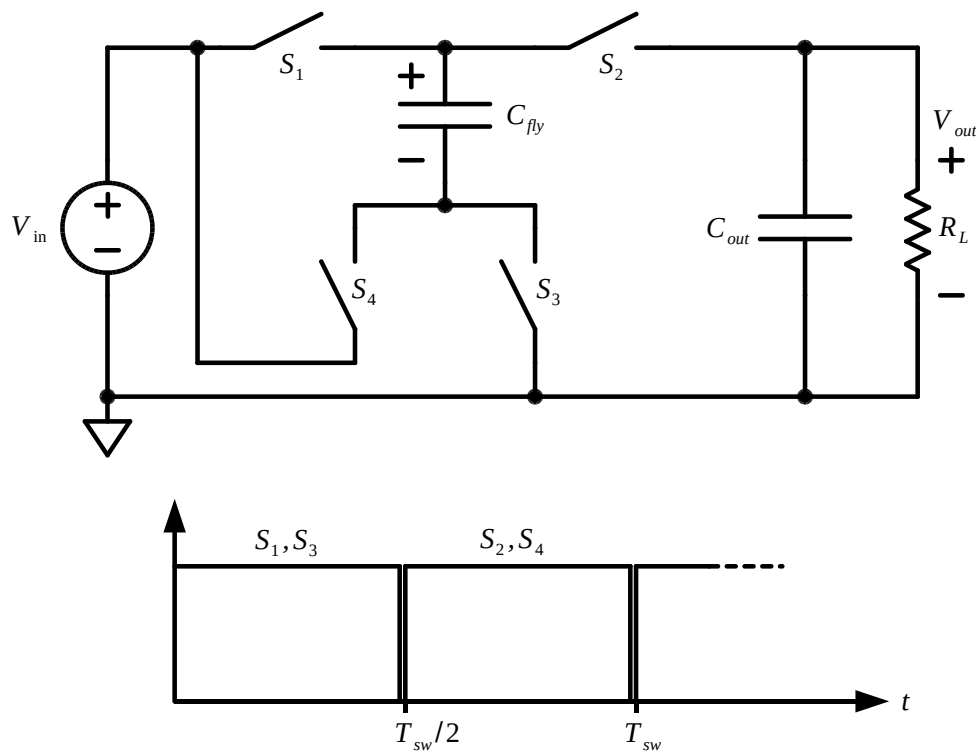


Figura 2.14: Esempio di un convertitore a capacità commutate.

²Questi condensatori sono detti *flying* o *floating* per il fatto che non hanno nessun nodo a potenziale fisso, sono quindi nominati "volanti" o alternativamente "galleggianti".

In questo circuito, gli switch si aprono e chiudono come indicato nel grafico sottostante lo schema. Lo switch 1 e lo switch 3 sono chiusi durante la prima metà del periodo di commutazione, e fanno sì che C_{fly} si carichi alla tensione V_{in} . Durante la seconda metà del periodo invece sono gli switch 2 e 4 a chiudersi, mentre gli switch 1 e 3 sono aperti. In questo secondo semiperiodo C_{fly} si trova così connesso in serie al generatore d'ingresso, e carica C_{out} ad una tensione pari a $2V_{in}$. Si è così realizzato un convertitore in grado di raddoppiare la tensione d'ingresso. Naturalmente con più C_{fly} ed eventualmente aumentando il numero di fasi in cui viene suddiviso il periodo di commutazione si riescono ad ottenere diversi rapporti di conversione. In [5] viene dimostrato come, dato un certo numero di condensatori *floating*, i C_{fly} appunto, tutti gli M possibili rapporti di conversione realizzabili con questi condensatori siano ricavabili dalla serie di numeri di Fibonacci. In tabella 2.2 viene riportato qualche esempio.

Condensatori <i>floating</i>	Possibili rapporti di conversione
1	$\frac{1}{2}, 1, \frac{2}{1}$
2	$\frac{1}{3}, \frac{1}{2}, \frac{2}{3}, 1, \frac{3}{2}, \frac{2}{1}, \frac{3}{1}$
3	$\frac{1}{5}, \frac{1}{4}, \frac{1}{3}, \frac{2}{5}, \frac{1}{2}, \frac{3}{5}, \frac{2}{3}, \frac{4}{5}, \frac{1}{1}, \frac{5}{4}, \frac{4}{3}, \frac{3}{2}, \frac{5}{3}, \frac{2}{1}, \frac{5}{2}, \frac{3}{1}, \frac{4}{1}, \frac{5}{1}$

Tabella 2.2: Rapporti di conversione ottenibili per un dato numero di C_{fly} .

Il primo vantaggio di questo tipo di convertitori, il più immediato, è l'assenza dell'induttore. Si evitano così costi legati alla presenza di un elemento *off-chip*. Il secondo vantaggio riguarda lo stress in tensione degli switch. E' facile verificare per il circuito di figura 2.14 che gli switch, nella fase in cui sono aperti, devono sostenere una tensione pari a V_{in} , cioè la tensione minore all'interno del circuito. Nel convertitore Boost invece, quando aperti, gli switch devono sostenere la tensione massima all'interno del circuito, ovvero la tensione d'uscita.

Un terzo vantaggio riguarda le perdite dovute alla conduzione dei diodi. In una realizzazione pratica del convertitore Boost, la corrente sull'induttore non può essere impulsiva, altrimenti genererebbe picchi di tensione molto elevati che danneggerebbero i dispositivi. Si devono quindi disporre dei diodi in parallelo agli switch in grado di condurre I_L nel breve lasso di tempo in cui nessuno dei due switch sta conducendo. L'aggiunta di due dispositivi comporta una maggiore area occupata dal circuito e quindi un maggiore costo, oltre a peggiorare la prestazione in termini di efficienza del convertitore. Un convertitore a capacità commutate, non servendosi di un induttore, non soffre di questi problemi. Per concludere, la densità di energia di un condensatore, sia esso SMD o integrato, è qualche ordine di grandezza maggiore della controparte induttiva [4].

Esistono diverse topologie di convertitori SC, tra le quali le più note sono: *Dickson*, *Ladder*, serie-parallelo, frazionale e ricorsiva. [6]. Tra queste, quella più interessante è sicuramente la topologia *Dickson*. Si tratta infatti di un convertitore dove è possibile aggiungere un numero arbitrario di stadi per aumentare o diminuire il rapporto di conversione, mantenendo però invariata la tensione massima a cui sono sottoposti gli switch di ciascuno stadio.

Convertitore di Dickson

Il convertitore di *Dickson* ha fatto la sua prima apparizione nel 1976, quando fu proposto come un miglioramento del già esistente *Cockroft-Walton voltage multiplier*. In figura 2.15 possiamo vedere un esempio di convertitore di questo tipo, in particolare di un convertitore a tre stadi in grado di produrre in uscita una tensione pari a quattro volte la tensione d'ingresso.

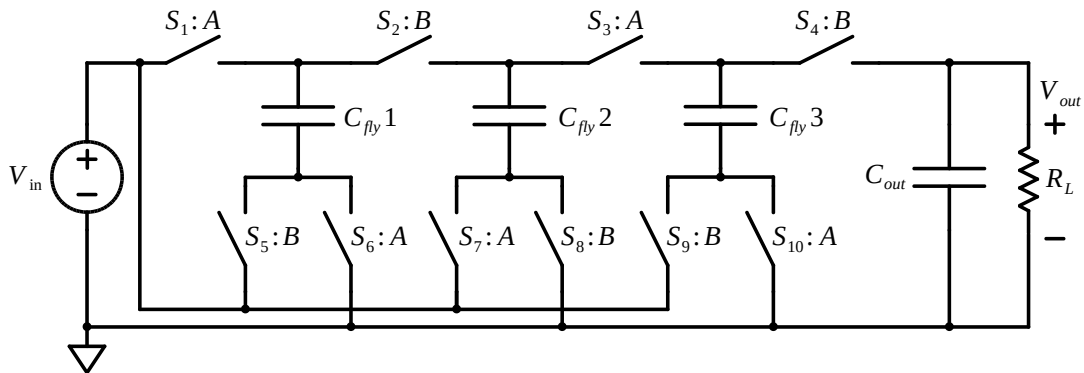


Figura 2.15: Esempio di un convertitore Dickson a tre stadi.

Gli switch sono nominati con un numero progressivo per identificarli e a seguire una lettera: A o B. Questa lettera identifica la fase in cui tale switch si chiude. Come prima le due fasi devono essere non sovrapposte e di durata pari a metà del periodo di commutazione.

Il funzionamento è il seguente: durante la fase A il condensatore C_{fly1} viene caricato a V_{in} tramite gli switch 1 e 6. Durante la fase B invece C_{fly1} si trova in serie a V_{in} , e va a caricare C_{fly2} ad una tensione pari a $2V_{in}$. Gli switch in gioco durante questa fase sono il 5, il 2 e l'8. Di nuovo nella fase A è C_{fly2} a trovarsi in serie al generatore d'ingresso, andando a caricare fino a $3V_{in}$ C_{fly3} . Per concludere, nella fase B la serie di V_{in} e C_{fly3} (tramite gli switch 4 e 9) va ad alimentare il carico ad una tensione di $4V_{in}$. Si è così realizzato uno step-up converter con $M=4$.

E' facile verificare che gli switch dal 5 al 10 siano sottoposti, quando aperti, ad una tensione massima pari a V_{in} , mentre gli switch dall'1 al 4 a $2V_{in}$. Aggiungendo ulteriori stadi in cascata, si riuscirebbe ad aumentare M quindi aumentare la tensione d'uscita senza aumentare lo stress dei dispositivi. Il *Dickson converter* è quindi molto interessante per un'applicazione integrata, dove spesso la massima tensione che possono reggere i dispositivi (Mosfet nello specifico) è limitata.

Esso, come gli altri convertitori a capacità commutate, soffre però di un difetto importante: non permette una regolazione fine e continua della tensione d'uscita. Il convertitore Boost invece permette di variare in modo continuo V_{out} agendo semplicemente sul valore di *Duty-cycle*. Per i convertitori SC l'unico modo di ottenere una regolazione di M è, seppure in modo inefficiente, quello di creare un partitore resistivo in uscita. Questo partitore è presente intrinsecamente in ogni convertitore, come descritto nella prossima sezione.

Modellizzazione di un generico convertitore SC

Trascurando le perdite dipendenti dalla frequenza, il modo più semplice di modellizzare un convertitore DC-DC è tramite un trasformatore ideale e una resistenza d'uscita. Questa resistenza d'uscita serve a tenere in considerazione tutte le perdite di conversione [4, 7].

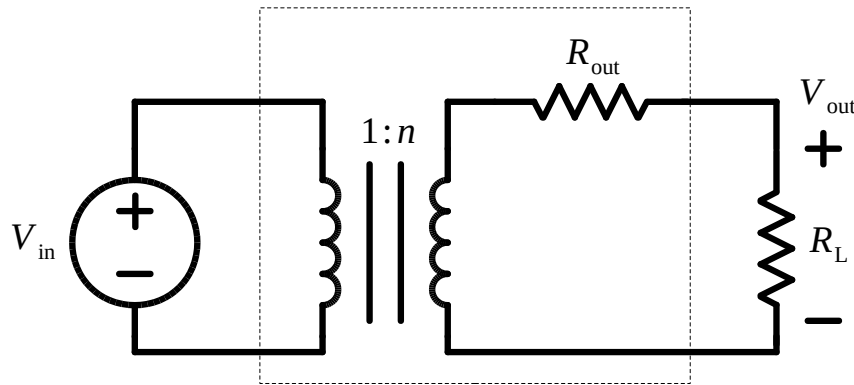


Figura 2.16: Modellizzazione di un convertitore DC/DC a capacità commutate.

Il modello in figura 2.16 rappresenta un convertitore ideale, con guadagno $M = n$, e una caduta di tensione in uscita dovuta ad una corrente sul carico non nulla. In R_{out} possono essere inglobate le perdite dovute alla carica e scarica dei condensatori, le perdite resistive, le perdite per il pilotaggio dei Mosfet ed eventualmente anche le perdite dovute alle capacità parassite. Esistono due limiti asintotici per R_{out} , il *fast-switching limit* e lo *slow-switching limit*, dipendenti entrambi dalla frequenza di commutazione.

Slow-Switching limit

La resistenza d'uscita in *slow-switching* è calcolata assumendo che le connessioni tra i vari elementi del circuito siano ideali, ovvero con $R = 0$. Ciò implica delle correnti di carica e scarica dei condensatori impulsive, in formula: $RC \ll T_{sw}$.

Per il calcolo di R_{out} in questa condizione ci si serve dei vettori di carica \mathbf{a}^1 e \mathbf{a}^2 , uno per ogni fase di funzionamento del circuito. Essi possono essere ricavati per ogni convertitore SC. I vettori di carica corrispondono al flusso di carica che avviene immediatamente dopo che gli switch si sono chiusi all'inizio di ciascuna fase di funzionamento del circuito. Ogni elemento di questi vettori corrisponde a un specifico condensatore C_{fly} o a una sorgente indipendente di tensione, e rappresenta la carica che fluisce in questo dato elemento normalizzata rispetto al flusso di carica in uscita:

$$\mathbf{a}^1 = [q_{out}^1 \quad q_1^1 \quad \dots \quad q_n^1 \quad q_{in}^1]^T / q_{out} \quad (2.29)$$

$$\mathbf{a}^2 = [q_{out}^2 \quad q_1^2 \quad \dots \quad q_n^2 \quad q_{in}^2]^T / q_{out} \quad (2.30)$$

Naturalmente, la somma della carica in uscita durante la prima e la seconda fase, normalizzata a q_{out} deve dare 1. Inoltre, a regime, la carica uscente da un C_{fly} durante una fase deve essere uguale alla carica entrante nello stesso condensatore nella fase successiva. Ciò si traduce nelle seguenti condizioni:

$$\frac{q_{out}^1 + q_{out}^2}{q_{out}} = 1 \quad (2.31)$$

$$q_n^1 = -q_n^2 \quad (2.32)$$

Il calcolo della R_{out} dati questi vettori è basato sul teorema di *Tellegen*, il quale applicato a un qualsiasi convertitore SC porta a scrivere:

$$\mathbf{a}^1 \cdot \mathbf{v}^1 = 0 \quad (2.33)$$

$$\mathbf{a}^2 \cdot \mathbf{v}^2 = 0 \quad (2.34)$$

dove \mathbf{v}^1 e \mathbf{v}^2 sono i vettori analoghi ai vettori di carica ma contenenti le tensioni a regime della rete.

Combinando le equazioni 2.33 e 2.34 e ponendo uguale a 0 il generatore d'ingresso (si calcolerà R_{out} come $v_{out}/(-i_{out})$ e in riferimento allo schema di figura 2.16 bisogna spegnere V_{in} per ottenere un risultato corretto) si trova:

$$v_{out}(a_{out}^1 + a_{out}^2) + \sum_{C_{fly}} (a_{c,i}^1 v_{c,i}^1 + a_{c,i}^2 v_{c,i}^2) = 0 \quad (2.35)$$

Dato che $a_{out}^1 + a_{out}^2 = 1$ e che $a_{c,i}^1 = -a_{c,i}^2$, si può definire $q_i = a_{c,i} q_{out}$ e moltiplicando 2.35 per q_{out} ottenere:

$$q_{out} v_{out} + \sum_{C_{fly}} q_i \Delta v_i \quad (2.36)$$

dove $\Delta v_i = v_{c,i}^1 - v_{c,i}^2$. Senza dover calcolare la tensione su ogni condensatore, essa può essere espressa come:

$$\Delta v_i = q_i / C_i \quad (2.37)$$

Introducendo ora 2.37 in 2.36 e dividendo il tutto per q_{out}^2 si trova:

$$\frac{v_{out}}{q_{out}} + \sum_{C_{fly}} \left(\frac{q_i}{q_{out}} \right)^2 \frac{1}{C_i} = 0 \quad (2.38)$$

Notando che q_i/q_{out} è esattamente l'elemento i -esimo dei vettori di carica e dividendo 2.38 per la frequenza di commutazione si può ottenere:

$$R_{out,SSL} = \frac{-v_{out}}{i_{out}} = \sum_{C_{fly}} \frac{(a_{c,i})^2}{C_i f_{sw}} \quad (2.39)$$

Fast-Switching limit

L'altro limite asintotico per R_{out} è il *fast-switching limit*. Questo regime di funzionamento è caratterizzato da correnti costanti che scorrono nei condensatori *floating*. Ciò significa che la costante RC di ogni condensatore è molto maggiore del periodo di commutazione. In questo caso i C_{fly} vengono considerati come generatori di tensione costante, e non contribuiscono quindi alle perdite di commutazione. Viceversa si considerano solo le perdite dovute alla resistenza non nulla degli switch. Per semplicità si considererà ora che ciascuna fase duri esattamente il 50% di T_{sw} , mentre una trattazione più completa è lasciata ai capitoli successivi.

Similmente a quanto fatto per lo SSL, ora si considera il vettore \mathbf{a}_r , gli elementi del quale rappresentano la carica che fluisce in ogni switch nella fase 1 se lo switch è chiuso nella fase 1, nelle fase 2 se invece lo switch è attivo nella fase 2. Gli elementi di questo nuovo vettore sono facilmente ricavabili dai vettori di carica usati precedentemente (\mathbf{a}^1 e \mathbf{a}^2).

Dato che in FSL la corrente attraverso i condensatori e quindi anche attraverso gli switch è ritenuta costante, essa è facilmente calcolabile come

$$i_{r,i} = 2q_{r,i}f_{sw} \quad (2.40)$$

dove $q_{r,i}$ è la carica attraverso lo switch i -esimo durante la fase in cui tale switch è chiuso, mentre il fattore 2 appare a causa di $D=50\%$. Sostituendo $q_{r,i} = a_{r,i}q_{out}$ e $q_{out} = i_{out}/f_{sw}$ in 2.40 si ottiene:

$$i_{r,i} = 2a_{r,i}i_{out} \quad (2.41)$$

La dissipazione di potenza di ciascuno switch è quindi calcolabile come la potenza dissipata istantaneamente moltiplicata per la frazione di tempo nel quale lo switch sta conducendo. Dato che le uniche perdite in FSL sono le perdite degli switch, le perdite totali di un convertitore SC operante in questo regime sono calcolabili come somma delle perdite dei singoli switch. Risulta:

$$P_{tot} = \sum_i \frac{1}{2} R_i (2a_{r,i}i_{out})^2 \quad (2.42)$$

dove R_i è la resistenza dello switch i -esimo. Nel modello di figura 2.16 le perdite sono direttamente proporzionali al quadrato della corrente di uscita (i_{out}^2), quindi la resistenza di uscita di un convertitore in FSL è data da:

$$R_{out,FSL} = 2 \sum_i R_i (a_{r,i})^2 \quad (2.43)$$

Resistenza di uscita e regolazione della tensione

Si sono quindi trovati i due limiti asintotici per la resistenza d'uscita di un convertitore DC/DC SC. Il primo, in SSL, inversamente proporzionale alla frequenza di commutazione, mentre il secondo, in FSL, costante. L'impedenza d'uscita ha quindi l'andamento mostrato in figura 2.17.

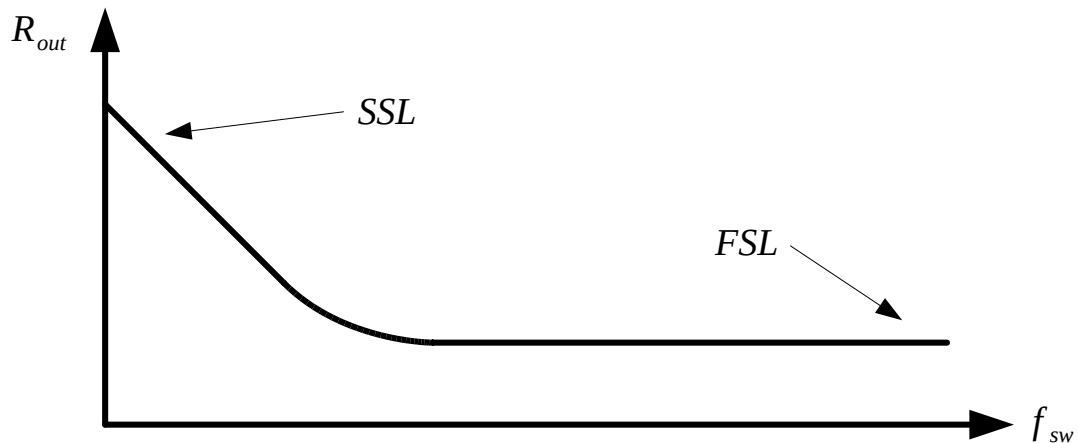


Figura 2.17: Resistenza d'uscita di un convertitore DC/DC SC.

Un modo quindi di ottenere una regolazione fine (ma inefficiente) della tensione di uscita per un convertitore di questo tipo è quello di abbassare la frequenza di commutazione f_{sw} fino ad operare in *slow-switching*. Lavorando in questo regime aumenta la resistenza d'uscita intrinseca del convertitore e quindi diminuisce V_{out} .

Convertitore DC/DC proposto

Il convertitore DC/DC oggetto di questo lavoro vuole essere un circuito ibrido tra i convertitori a capacità commutate e i convertitori ad induttore. In particolare si tratta di uno schema derivante dal convertitore Dickson, in cui tra il secondo e il terzo stadio è stato inserito un induttore, per mantenere il controllo della tensione di uscita tramite controllo del *Duty-cycle*.

Lo schema è riportato in figura 3.1.

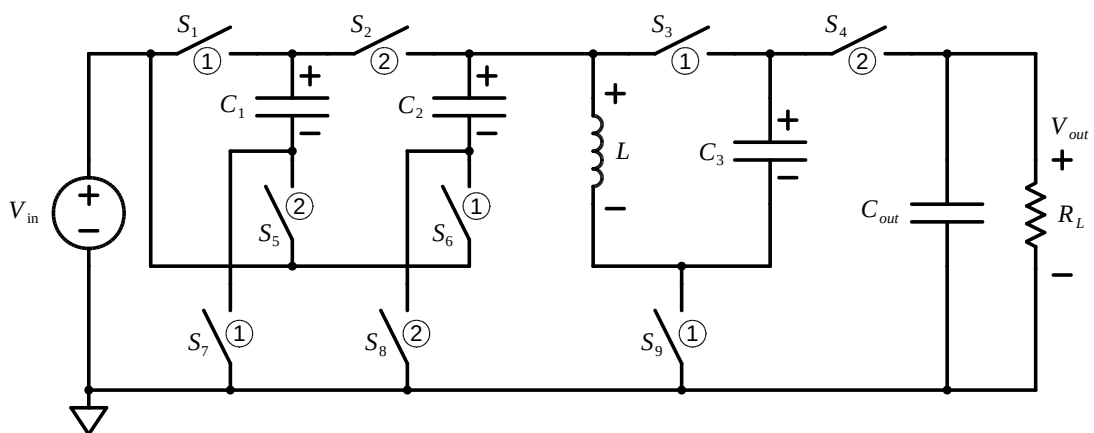


Figura 3.1: Convertitore DC/DC oggetto di questo lavoro.

A fianco di ogni switch, il numero ① o ② indica la fase in cui tale switch è chiuso. Come si nota i primi due stadi di questo convertitore sono analoghi a un convertitore Dickson, mentre il terzo è stato modificato per permettere l'inserimento dell'induttore. In questo caso i condensatori *floating*, ovvero i C_{fly} , sono i condensatori C_1 , C_2 e C_3 . Il condensatore C_{out} è il condensatore di carico che serve a garantire tensione costante in uscita e la resistenza R_L rappresenta il carico del convertitore. Le specifiche di progetto sono:

- $V_{out} = 3.3V$
- $0.3V \leq V_{in} \leq 0.6V$
- $P_{out} = 5mW$

Per capire meglio il funzionamento di tale convertitore ci si può servire delle figure 3.2a e 3.2b, che rappresentano i circuiti equivalenti al convertitore nella fase 1 e nella fase 2 rispettivamente, ipotizzando switch ideali.

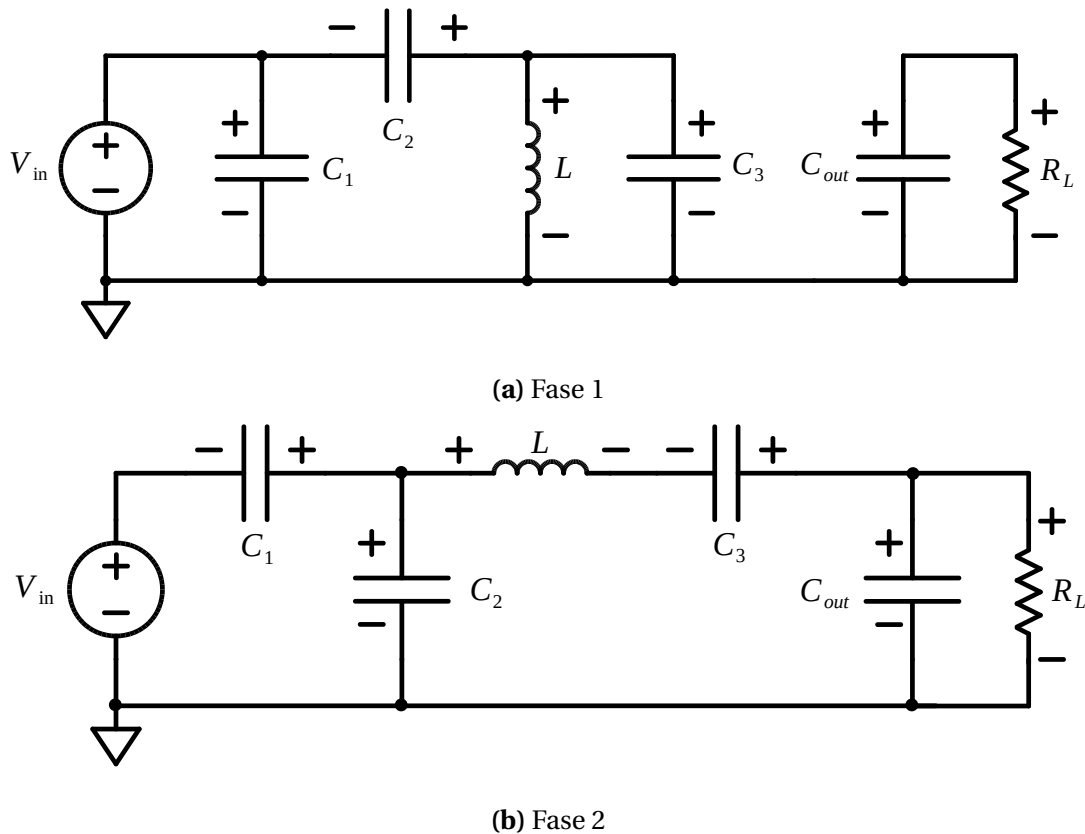


Figura 3.2: Circuiti equivalenti al convertitore nelle due fasi di funzionamento.

Durante la fase 1, il condensatore C_1 è collegato in parallelo al generatore d'ingresso: esso viene caricato alla tensione V_{in} . Lo stesso condensatore C_1 durante la seconda fase viene posto in serie al generatore d'ingresso, e il tutto è in parallelo al condensatore C_2 , che viene quindi caricato a tensione $2V_{in}$. Nuovamente nella fase 1, è il condensatore C_2 ad essere collegato in serie al generatore d'ingresso e questa serie carica il condensatore C_3 alla tensione di $3V_{in}$. Il condensatore C_{out} come detto prima serve a garantire tensione costante sul carico, in particolare esso dev'essere sufficientemente grande da riuscire ad alimentare autonomamente il carico per un tempo pari alla durata della fase 1, ovvero DT_{sw} .

3.1 Relazione V_{out}/V_{in}

Sotto l'ipotesi che la tensione sui condensatori C_{fly} sia costante e pari a V_{in} , $2V_{in}$ e $3V_{in}$ rispettivamente per C_1 , C_2 e C_3 la tensione sull'induttore varia a seconda della fase di funzionamento del circuito. Valutando tale tensione e applicando il principio del *Volt-Second balance* si può calcolare la relazione che esiste tra tensione d'uscita, tensione di ingresso e *Duty-cycle* per questo convertitore.

Durante la fase 1 l'induttore è collegato in parallelo al condensatore C_3 . Con i segni indicati in figura 3.2a esso è sottoposto ad una tensione pari a $3V_{in}$.

Durante la fase 2 la tensione V_L è calcolabile applicando la legge di Kirchhoff ad una maglia del circuito. Essa si trova essere uguale alla serie dei due condensatori

C_2 e C_3 a cui va sottratta la tensione di uscita del convertitore. Supponendo per il momento valida la *small-ripple approximation* per la tensione di uscita, quindi approssimando $v_{out}(t)$ con V_{out} si può scrivere:

$$V_L(t) = \begin{cases} 3V_{in} & 0 \leq t \leq DT_{sw} \\ 5V_{in} - V_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (3.1)$$

e applicando l'equazione 2.6 si trova:

$$V_{in}(5 - 2D) = V_{out}(1 - D) \quad (3.2)$$

da cui:

$$\frac{V_{out}}{V_{in}} = \frac{5 - 2D}{1 - D} \quad (3.3)$$

$$D = \frac{V_{out} - 5V_{in}}{V_{out} - 2V_{in}} \quad (3.4)$$

Per una migliore comprensione dei valori che entrano in gioco si possono osservare le seguenti figure.

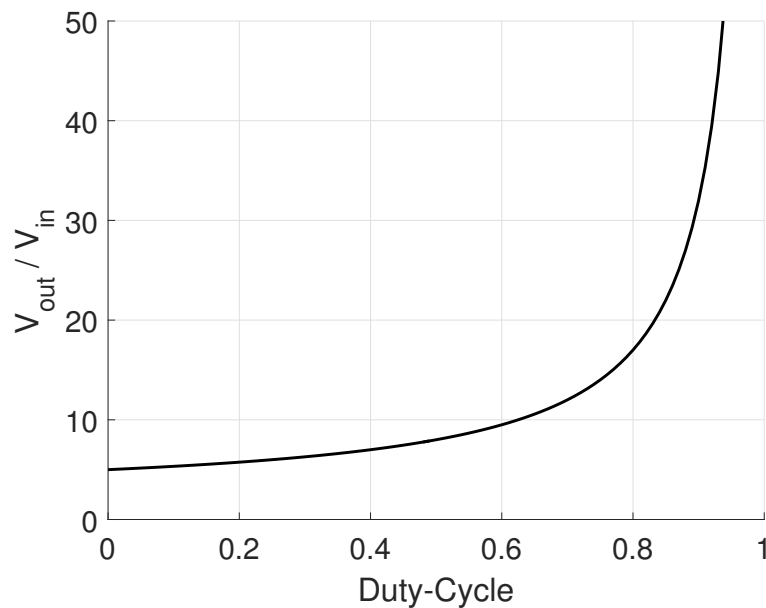


Figura 3.3: Rapporto V_{out}/V_{in} in funzione del *Duty-cycle*.

In figura 3.3 è riportato il rapporto V_{out}/V_{in} che tale convertitore può creare in funzione del *Duty-cycle*. Il termine $(1 - D)$ a denominatore fa sì che per D prossimo a 1 il guadagno di tensione tenda a infinito. Come per il convertitore Boost tale guadagno sarà soggetto a limitazioni a causa degli elementi parassiti del circuito. Nella pratica non si riuscirà quindi a ottenere un guadagno di tensione infinito ma (dato il contributo degli elementi parassiti) si avrà un valore di $D = D_{max}$ per cui il rapporto V_{out}/V_{in} assume il suo valore massimo mentre per $D > D_{max}$ la funzione rappresentata in figura 3.3 comincerà a calare.

Date le specifiche di questo progetto per quel che riguarda V_{out} e V_{in} , il valore di D (teorico) necessario a soddisfare la relazione 3.4 è riportato in figura 3.4.

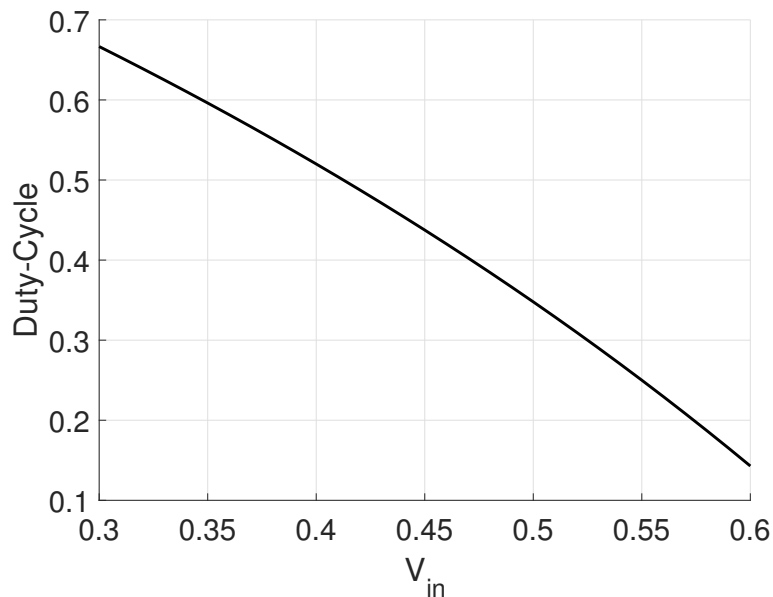


Figura 3.4: Valore di D necessario per le specifiche di questo progetto.

Come si può vedere esso assume il valore massimo quando V_{in} è minima e viceversa assume il valore minimo per tensione di ingresso massima. Esso vale:

- $V_{in} = 300mV \rightarrow D = 0.67$
- $V_{in} = 600mV \rightarrow D = 0.14$

Naturalmente questi sono valori teorici, l'introduzione di elementi non ideali del circuito richiederà valori di *Duty-Cycle* maggiori per mantenere la tensione di uscita a 3.3V.

3.2 Utilizzo del transistor Mosfet come Switch

La prima e più importante fonte di non idealità per il convertitore sono proprio i transistor Mosfet, utilizzati come switch.

Un Mosfet, a differenza di uno switch ideale, introduce una resistenza serie non nulla e delle capacità parassite ai nodi di *source*, *drain* e *gate*. Esso introduce una terza non idealità. Quando è spento (quindi $V_{gs} = 0V$) il transistor è bene approssimabile come un circuito aperto, mentre quando è acceso si comporta come una resistenza di valore costante. La transizione tra spento e acceso però non è istantanea e comporta una certa dissipazione di potenza.

Immaginando che il carico del transistor sia induttivo e che allo spegnimento del transistor (o relativamente all'accensione) un diodo si accenda (o si spenga) in modo che la corrente di induttore sia continua, le tensioni e correnti del circuito sono approssimabili con le curve mostrate in figura 3.5. [3]

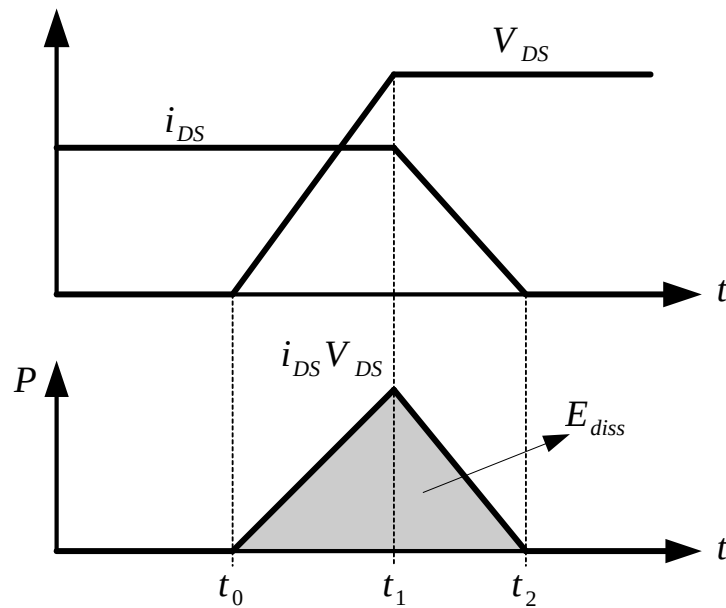


Figura 3.5: Tensione, corrente e potenza dissipata da un transistor Mosfet durante la commutazione.

Si ha un intervallo di tempo $t_0 - t_2$ in cui sia V_{DS} che i_{DS} sono maggiori di zero. Ciò si traduce in un'energia dissipata durante la commutazione, rappresentata dal triangolo colorato di grigio di figura 3.5. Essa vale:

$$E_{diss} = \frac{1}{2} V_{DS} i_{DS} (t_2 - t_0) \quad (3.5)$$

In un periodo di funzionamento del convertitore avviene un accensione e uno spegnimento del transistor, la dissipazione di potenza totale è quindi:

$$P_{diss} = \frac{2}{T_{sw}} \int_0^{T_{sw}} E_{diss} dt = 2E_{diss} F_{sw} \quad (3.6)$$

Si trova una potenza dissipata direttamente proporzionale alla frequenza di lavoro del convertitore.

3.2.1 Resistenza serie

Date le equazioni che descrivono il funzionamento di un transistor Mosfet:

$$I_{DS} = \begin{cases} \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 & V_{GS} > V_t, V_{DS} \geq V_{GS} - V_t \\ \mu C_{ox} \frac{W}{L} \left[(V_{GS} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right] & V_{GS} > V_t, V_{DS} \leq V_{GS} - V_t \end{cases} \quad (3.7)$$

la zona di funzionamento dove esso si comporta da resistenza controllata dalla tensione V_{GS} è la zona lineare, ovvero per $V_{GS} > V_t$ e $V_{DS} \leq V_{GS} - V_t$. Il funzionamento come una resistenza (piccola) presuppone $V_{DS} \rightarrow 0$, la conduttanza serie del Mosfet può essere stimata quindi come derivata di I_{DS} nella variabile V_{DS} , per $V_{DS} \rightarrow 0$. In formule:

$$G_{DS} = \left(\frac{\partial I_{DS}}{\partial V_{DS}} \right)_{V_{DS} \rightarrow 0} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_t) \quad (3.8)$$

quindi la resistenza serie è:

$$R_{DS} = (G_{DS})^{-1} = \frac{L}{W} \frac{1}{\mu C_{ox} (V_{GS} - V_t)} \quad (3.9)$$

Da tale equazione si deducono diversi aspetti dell'uso di un transistor Mosfet come switch:

- L : è bene mantenere la lunghezza di canale del transistor la più corta possibile, così da minimizzare la resistenza serie.
- W : la resistenza serie è inversamente proporzionale alla larghezza di canale, per resistenze serie piccole serve quindi un transistor molto largo.
- V_{GS} : affinché il transistor sia bene acceso è necessario fornire la massima tensione V_{GS} possibile¹.

L'equazione 3.9 evidenzia anche un importante problema: la non esatta conoscenza dei parametri μ e C_{ox} e la variabilità di V_t con la polarizzazione del transistor non permette l'esatta stima della resistenza serie di un transistor Mosfet.

Per avere una misura esatta della resistenza serie o per ricavare le dimensioni necessarie ad ottenere una resistenza voluta si sono sfruttati dei risultati di simulazione. In particolare si è approssimata formula 3.9 con l'equazione 3.10 di seguito riportata:

$$R_{DS} = \frac{K_R}{W} \quad (3.10)$$

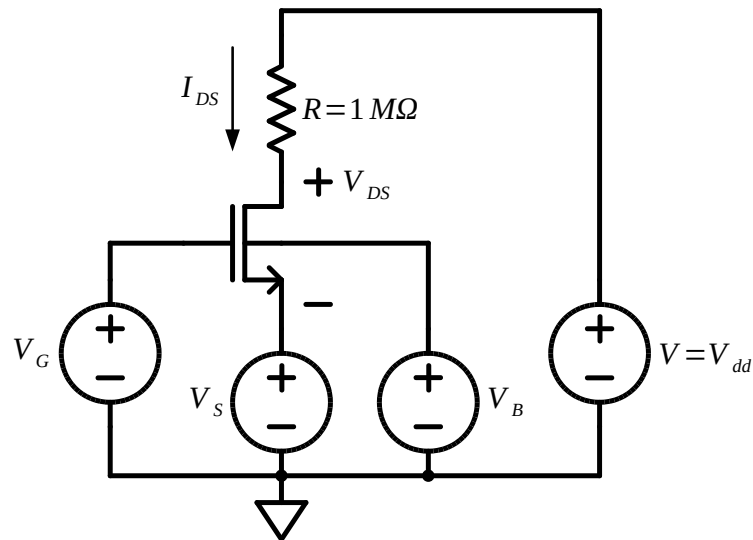
dove W rimane la larghezza di canale del transistor mentre K_R vale:

$$K_R = \frac{L}{\mu C_{ox} (V_{GS} - V_t)} \quad (3.11)$$

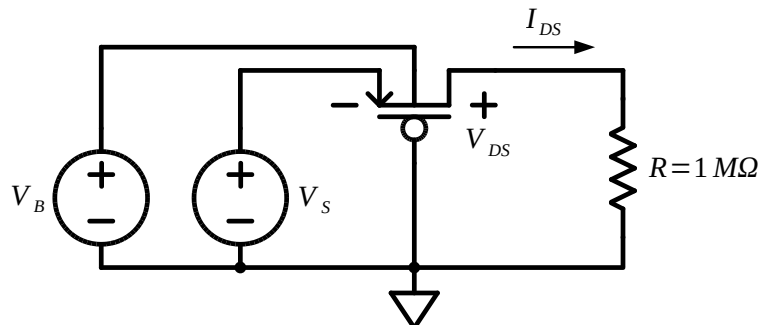
¹Le equazioni fin'ora considerate riguardano un Mosfet di tipo N. Per un Mosfet di tipo P valgono entrambe le considerazioni precedenti ma per quel che riguarda la tensione V_{GS} essa dev'essere la minore possibile affinché il transistor sia ben acceso.

K_R però non sarà calcolato analiticamente, ma sarà determinato da risultati di simulazione. Esso dipende da: tensione di soglia (quindi dalla tensione di bulk del mosfet), tensione V_{GS} , lunghezza di canale del transistor (la quale sarà sempre minima) e naturalmente dal tipo di transistor in uso.

I circuiti simulati, per i Mosfet di tipo N e di tipo P sono riportati rispettivamente in figura 3.6a e 3.6b.



(a) Mosfet di tipo N



(b) Mosfet di tipo P

Figura 3.6: Circuiti simulati per l'estrazione del parametro K_R .

Circuito 3.6a: è possibile impostare il valore di V_G , V_S e V_B a cui il Mosfet dovrà lavorare. La resistenza da $1 M\Omega$ serve ad assicurare il funzionamento in zona lineare. Affinché il Mosfet sia in lineare infatti si deve avere $V_{DS} \rightarrow 0$, quindi $R \gg R_{DS}$. Si è verificato che il valore di R , purché sufficientemente grande, non influenza il valore di R_{DS} ricavato. Per finire il generatore con $V = V_{dd}$ serve ad assicurare un valore di V_{DS} positivo per permettere il passaggio della corrente I_{DS} .

Circuito 3.6b: dato che per un Mosfet di tipo P la tensione V_{GS} dev'essere sempre minore possibile per garantire bassa resistenza serie, il *gate* di tale transistor è stato collegato a massa. E' ancora possibile impostare la tensione di *source* e di *bulk* per simulare le varie condizioni operative in cui il Mosfet si troverà a lavorare. Come prima la resistenza $R = 1M\Omega$ serve a garantire il funzionamento in zona lineare. Non è necessario un generatore per garantire una V_{DS} negativa in quanto è già presente il generatore V_S .

In entrambi i casi si è svolto un set di simulazioni di punto operativo al variare del parametro W del transistor, ricavando il valore di R_{DS} come:

$$R_{DS} = \frac{|V_{DS}|}{|I_{DS}|} \quad (3.12)$$

Si è poi svolta un'interpolazione dei dati ricavati, al fine di ottenere il valore del parametro K_R che meglio determina la resistenza R_{DS} in funzione della larghezza W del transistor.

Alcuni esempi sono riportati in figura 3.7.

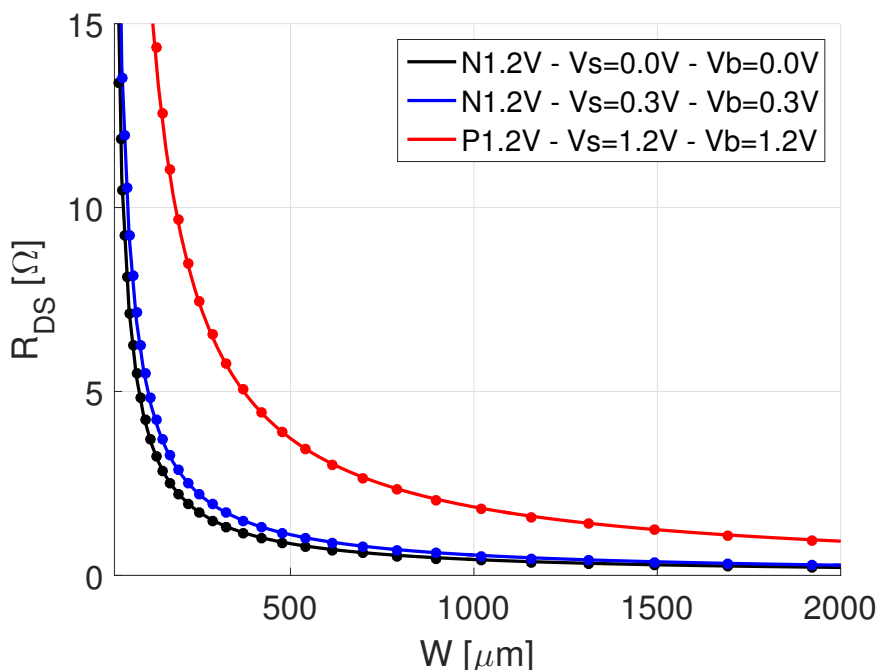


Figura 3.7: Fit dei risultati di simulazione per ricavare il parametro K_R .

Mentre i pallini riportano i risultati delle simulazioni DC, la curva continua ne è l'interpolazione. Come si può vedere la funzione $R_{DS} = K_R/W$ rappresenta molto bene l'andamento di R_{DS} in funzione di W .

Come ci si aspettava K_R è funzione del tipo di Mosfet e delle tensioni di *source* e *bulk*.

In tabella 3.1 sono riportati i valori di K_R ricavati per i Mosfet che verranno utilizzati nel convertitore o nei circuiti di controllo.

Tipo di Mosfet	V_S [V]	V_B [V]	K_R [Ωm]
n_12_hsl130e	0.0	0.0	$4.317 \cdot 10^{-4}$
	0.3	0.3	$5.539 \cdot 10^{-4}$
	0.6	0.0	$1.400 \cdot 10^{-3}$
p_12_hsl130e	0.3	0.3	$1.149 \cdot 10^{-1}$
	0.6	1.2	$8.200 \cdot 10^{-3}$
	1.2	1.2	$1.900 \cdot 10^{-3}$
p_hg_33_hsl130e	0.6	0.6	$7.820 \cdot 10^{-2}$
	0.9	0.9	$1.800 \cdot 10^{-2}$
	3.3	3.3	$4.000 \cdot 10^{-3}$
n_hg_33_hsl130e	0.0	0.0	$1.400 \cdot 10^{-3}$
n_bpw_12_hsl130e	0.6	0.6	$1.000 \cdot 10^{-3}$
n_hgbpw_33_hsl130e	1.2	1.2	$1.800 \cdot 10^{-3}$
	1.8	1.8	$2.500 \cdot 10^{-3}$

Tabella 3.1: Valori di K_R per i Mosfet utilizzati nel convertitore o nei circuiti di controllo.

3.2.2 Capacità

Le capacità del transistor Mosfet si dividono in intrinseche ed estrinseche. Mentre le prime sono legate al funzionamento del dispositivo, le seconde dipendono dalla tecnologia e dal layout. Ci limiteremo a valutare solamente la capacità di *gate* durante il funzionamento in zona lineare, in quanto indispensabile al dimensionamento dei Buffer per pilotare il Mosfet stesso.

Il primo contributo a C_g è la capacità che si crea tra *gate* e canale, intrinseca al funzionamento del dispositivo. Il canale che si forma, visibile in figura 3.8, è a tutti gli effetti uno strato conduttore tra *source* e *drain*. Si crea quindi una capacità tra quest'ultimo e il *gate*, altro elemento conduttore. Detta C_{ox} la capacità dell'ossido per unità d'area ($C_{ox} = \epsilon_{ox}/t_{ox}$) si ha:

$$C_{GC} = WLC_{ox} \quad (3.13)$$

Il canale in regione lineare è controllato sia dal *drain* che dal *source*, usualmente quindi C_{GC} è divisa in due capacità uguali, una tra *gate* e *source* e l'altra tra *gate* e *drain*.

$$C_{GS} = C_{GD} = \frac{1}{2}WLC_{ox} \quad (3.14)$$

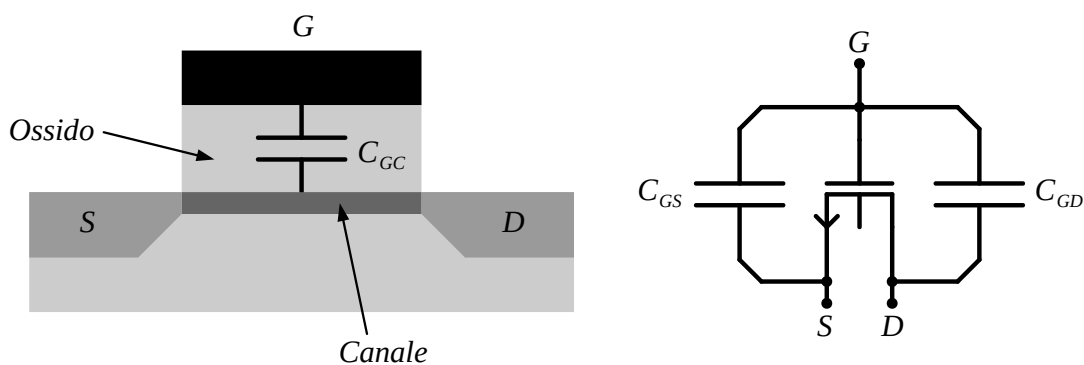


Figura 3.8: Sezione del transistor Mosfet.

Esiste un secondo contributo alla capacità di *gate* e si tratta di una capacità estrinseca dipendente dal layout. Idealmente le diffusioni di *source* e *drain* terminano al bordo dell'ossido di *gate*, ma nella realtà si estenderanno leggermente oltre, di una quantità x_d , detta diffusione laterale. Si osservi figura 3.9.

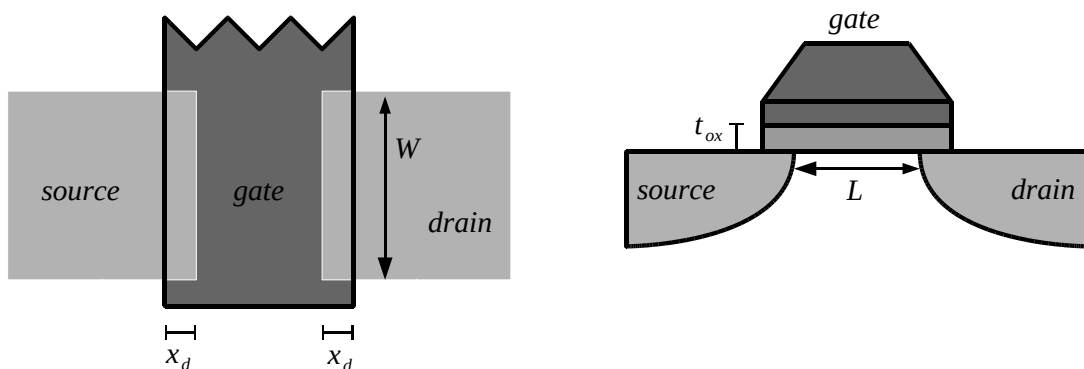


Figura 3.9: *Overlap* tra il *gate* e le diffusioni di *source* e *drain*.

La sovrapposizione di *gate* e diffusione di *source* e *drain* da origine a delle capacità di *overlap*, dette C_{GS0} e C_{GD0} . Esse sono calcolabili come:

$$C_{GS0} = C_{GD0} = C_{ox} x_d W \quad (3.15)$$

Per un Mosfet in regione lineare la capacità di *gate* totale vale quindi:

$$C_G = C_{ox} W L + 2 C_{ox} x_d W \quad (3.16)$$

Per l'utilizzo di un Mosfet come uno switch la lunghezza di canale è sempre costante e la minima possibile, mentre x_d è un parametro costante dipendente dalla tecnologia. La capacità di *gate* è quindi funzione lineare della larghezza W :

$$C_G = K_C \cdot W \quad (3.17)$$

Come visto prima, in spegnimento e accensione il Mosfet attraversa la regione di saturazione, e la capacità di *gate* varia al variare della regione di funzionamento del dispositivo. Per avere una stima della capacità che i buffer devono pilotare si è svolta quindi una simulazione e successivamente ricavata la capacità tramite le approssimazioni:

$$I_G = C_G \frac{dV_G}{dt} \rightarrow C_G = I_G \frac{\Delta t}{\Delta V_G} \rightarrow C_G = \frac{1}{\Delta V_G} \int I_G dt \quad (3.18)$$

Il circuito simulato è riportato in figura 3.10.

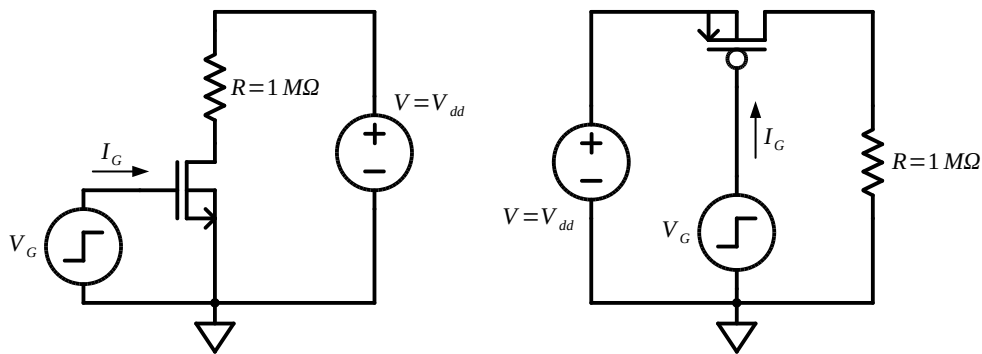


Figura 3.10: Circuito simulato per l'estrazione del parametro K_c .

Come è visibile in figura 3.11 la dipendenza di C_G dalla larghezza di canale W è bene approssimata da 3.17. I pallini infatti sono dati di simulazione, mentre la retta grigia ne è l'interpolazione.

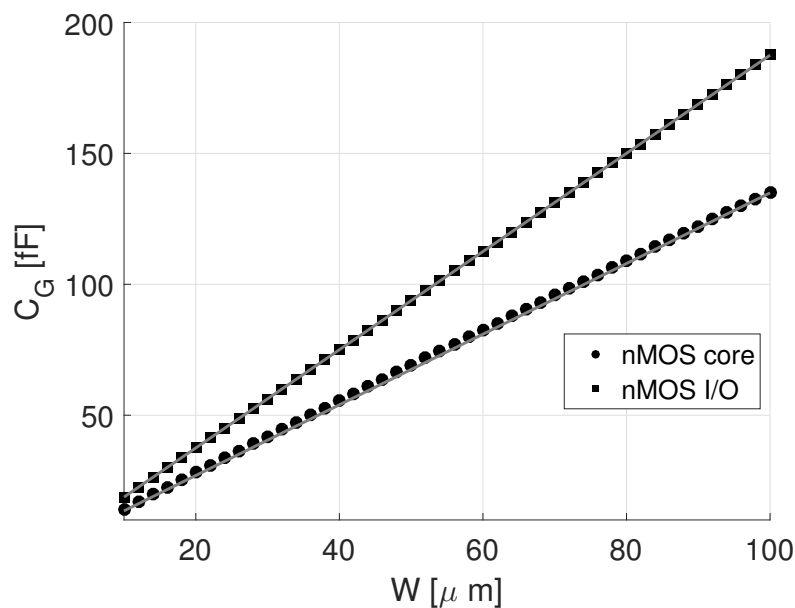


Figura 3.11: Risultati di simulazione per la capacità di *gate*.

Si sono ricavati i seguenti valori di K_c :

- Mosfet N *core* $\rightarrow K_{C,n12} = 1.35 fF/\mu m$
- Mosfet P *core* $\rightarrow K_{C,p12} = 1.20 fF/\mu m$
- Mosfet N I/O $\rightarrow K_{C,n33} = 1.88 fF/\mu m$
- Mosfet P I/O $\rightarrow K_{C,p33} = 1.84 fF/\mu m$

Con Mosfet *core* si intendono i dispositivi standard per questa tecnologia, in grado di reggere tensioni fino a 1.2V. I Mosfet I/O invece sono speciali dispositivi che possono reggere la tensione di 3.3V. Essi dovranno essere utilizzati nel convertitore.

3.3 Buffer

La necessità di avere resistenze serie per gli switch molto piccole comporta avere transistor molto larghi, anche diverse centinaia di micrometri. Per pilotare le capacità di *gate* di tali Mosfet è necessario l'utilizzo di Buffer. Un buffer è realizzato come una serie di invertitori, di dimensione sempre maggiore. Uno schema di esempio è riportato in figura 3.12.

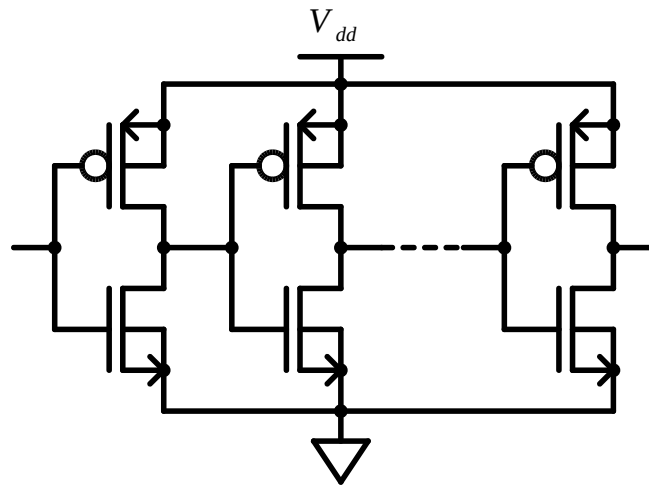


Figura 3.12: Schema di esempio di un buffer.

Un Buffer introduce un ritardo nella propagazione del segnale dall'ingresso all'uscita, dato dalla somma dei tempi di propagazione dei singoli invertitori. Si è scelto di dimensionare i buffer che pilotano i Mosfet del convertitore DC/DC minimizzando tale ritardo.

Il tempo che intercorre per la propagazione del segnale dall'ingresso all'uscita si può calcolare nel seguente modo. Detta C_{out} la capacità di carico intrinseca di un inverter e C_{in} la capacità di ingresso, vale la relazione:

$$C_{out} = \gamma C_{in} \quad (3.19)$$

Infatti entrambe le capacità sono direttamente proporzionali alla dimensione dei transistor di tale inverter. Il tempo di propagazione di un singolo stadio può essere allora calcolato come [8]:

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_{in}} \right) = t_{p0} \left(1 + \frac{f}{\gamma} \right) \quad (3.20)$$

dove

- t_{p0} il ritardo intrinseco dell'inverter, ovvero il ritardo senza carico.
- C_{ext} = capacità di carico dell'inverter
- f è il *fan-out*, ovvero il rapporto tra la capacità di carico C_{ext} e la capacità di ingresso C_{in}

detto $t_{p,j}$ il ritardo dello stadio j -esimo in una catena di invertitori, con:

$$t_{p,j} = t_{p0} \left(1 + \frac{f_j}{\gamma} \right) \quad (3.21)$$

Il ritardo totale di una catena con N stadi sarà:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{in,j+1}}{\gamma C_{in,j}} \right) \quad (3.22)$$

con $C_{in,j+1} = C_L$ ovvero il carico che il Buffer deve pilotare, nel nostro caso la capacità di *gate* del Mosfet usato come switch.

Il ritardo minimo si può trovare derivando parzialmente l'equazione 3.22 nelle $N-1$ incognite $C_{in,2}, C_{in,3} \dots C_{in,N}$ e ponendo tutte le derivate pari a zero. Si trova che il ritardo minimo è dato quando ogni stadio è grande f volte lo stadio precedente, ovvero quando ogni stadio ha lo stesso *fan-out* e quindi lo stesso ritardo. Con $C_{in,1}$ e C_L date, il valore di f può essere ricavato come:

$$f = \sqrt[N]{\frac{C_L}{C_{in,1}}} = \sqrt[N]{F} \quad (3.23)$$

dove F è il *FAN-OUT* complessivo del buffer ($F = C_L/C_{in,1}$) e N il numero di stadi.

Rimane da calcolare il numero di stadi più adatto. Esso può essere calcolato trovando il minimo del tempo di propagazione totale rispetto a N . Si trova:

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln(F)}{N} = 0 \quad (3.24)$$

o equivalentemente

$$f = e^{1+\gamma/f} \quad (3.25)$$

Come indicato da [8] la scelta comune è utilizzare $f = 4$, e quindi $N = \log(F)/\log(f)$.

3.3.1 Buffer per Mosfet standard

Per i Buffer che piloteranno Mosfet standard, ovvero quelli con $V_{dd} = 1.2V$, si sono usati i transistor *core* della tecnologia. Essi sono il Mosfet N n_12_hsl130e e il Mosfet P p_12_hsl130e. Per realizzare un inverter con soglia logica vicina a $V_{dd}/2 = 600mV$ con questi transistor il dimensionamento ottimale è avere il Mosfet P grande 4 volte il Mosfet N. Ciò si traduce, per la realizzazione a dimensioni minime, in:

- $L_n = L_{min} = 120nm$
- $W_n = W_{min} = 160nm$
- $L_p = L_{min} = 120nm$
- $W_p = 4W_{min} = 640nm$

La caratteristica statica dell'inverter con transistor di queste dimensioni è riportata in figura 3.13. Come si vede la soglia logica è a 583mV.

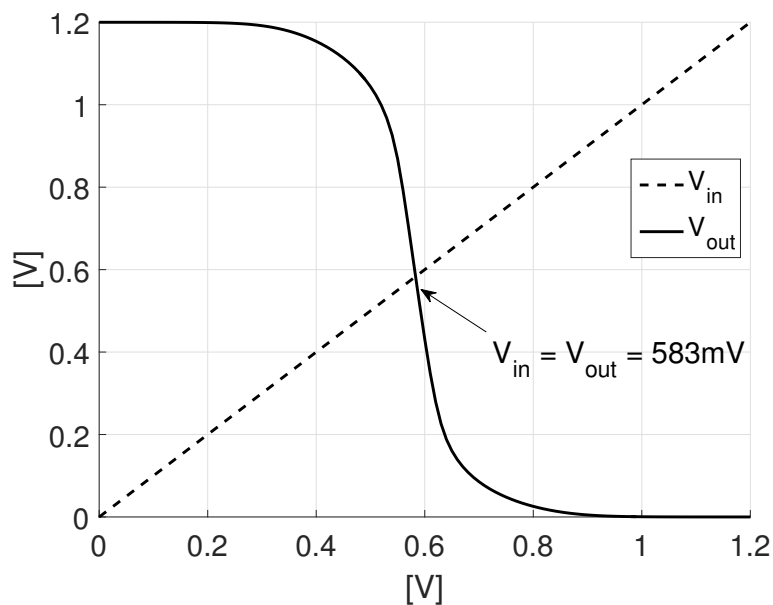


Figura 3.13: Caratteristica statica di un inverter di dimensioni minime con Mosfet *core* da 1.2V.

Dato il *fan-out* di 4 scelto per i Buffer le dimensioni dei transistor dei vari stadi sono riportati in tabella 3.2. Si è scelto di utilizzare un layout *multifinger* per minimizzare le capacità parassite, scegliendo una larghezza di canale per finger vicina ai $2\mu m$. Dato il limite tecnologico di 100 finger, qualora la larghezza di canale complessiva superi i $200\mu m$ si usano m transistor in parallelo, con $m = multiplier$.

	Mosfet P					Mosfet N			
	L [nm]	W [μ m]	Finger	m		L [nm]	W [μ m]	Finger	m
1° stadio	120	0.64	1	1		120	0.16	1	1
2° stadio	120	2.56	1	1		120	0.64	1	1
3° stadio	120	10.24	4	1		120	2.56	1	1
4° stadio	120	40.96	16	1		120	10.24	4	1
5° stadio	120	163.84	64	1		120	40.96	16	1
6° stadio	120	163.84	64	4		120	163.84	64	1
7° stadio	120	163.84	64	16		120	163.84	64	4

Tabella 3.2: Parametri dei transistor di un Buffer per transistor *core* da 1.2V.

Stima della potenza dissipata

La potenza dissipata da un buffer è essenzialmente la potenza dissipata per la carica e successiva scarica delle capacità ai vari nodi del circuito. Con riferimento a figura 3.14, ogni nodo del circuito presenta capacità diverse, ma correlate tra loro.

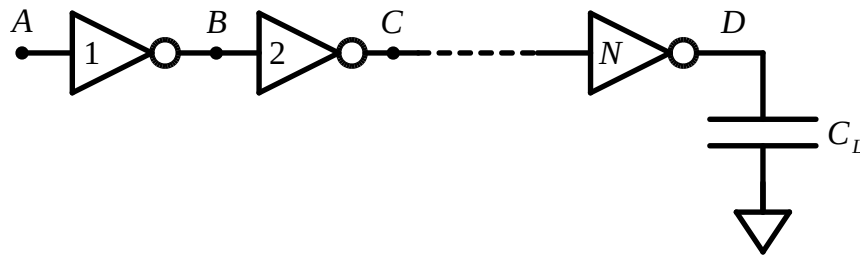


Figura 3.14: Buffer con N stadi.

Il nodo A presenta la capacità di ingresso del primo inverter, che definiamo $C_{in,1}$. Il nodo B presenta le capacità di uscita del primo stadio e le capacità di ingresso del secondo. La capacità di uscita del primo stadio vale $C_{out,1} = \gamma C_{in,1}$ per la relazione 3.19. La capacità di ingresso del secondo stadio vale $f \cdot C_{in,1}$, con $f = 4$. Infatti le capacità di *gate* dei Mosfet sono in prima approssimazione linearmente dipendenti dalla larghezza di canale, e si è scelto di dimensionare i Mosfet progressivamente aumentando di f volte la dimensione rispetto allo stadio precedente. Ricordando la relazione $C_L = F \cdot C_{in,1}$ la somma delle capacità di tutti i nodi di un buffer compresa la capacità di carico può essere scritta come:

$$\begin{aligned}
 C_{TOT} &= C_{in,1}(1 + \gamma) + C_{in,1}f(1 + \gamma) + \dots + C_{in,1}f^{N-1}(1 + \gamma) + F \\
 &= C_{in,1} \left[(1 + \gamma) \sum_{i=0}^{N-1} f^i + F \right]
 \end{aligned} \tag{3.26}$$

quindi

$$C_{TOT} = C_{in,1} \left[(1 + \gamma) \left(\frac{1 - f^N}{1 - f} \right) + F \right] \quad (3.27)$$

Non tutte le capacità vengono caricate (o scaricate) nello stesso momento, ma tutte le capacità subiscono un ciclo di carica e scarica in un periodo di funzionamento del convertitore. Per una generica capacità C l'energia assorbita dall'alimentazione per un ciclo di carica e scarica è facilmente dimostrabile essere pari a V^2C , con V la tensione a cui viene caricata la capacità C . Per un buffer a N stadi, alimentato alla tensione di V_{dd} e che lavora alla frequenza F_{sw} , l'energia dissipata ad ogni ciclo di clock è pari a:

$$E_{diss} = V_{dd}^2 C_{TOT} \quad (3.28)$$

e quindi la potenza dissipata in un periodo di commutazione del convertitore vale:

$$P_{diss} = V_{dd}^2 C_{TOT} F_{sw} \quad (3.29)$$

Per avere una stima della potenza dissipata rimane da valutare il valore di $C_{in,1}$ e γ . Ciò è stato svolto similmente a quanto fatto per i singoli Mosfet nella sezione precedente, con il circuito di test riportato in figura 3.15.

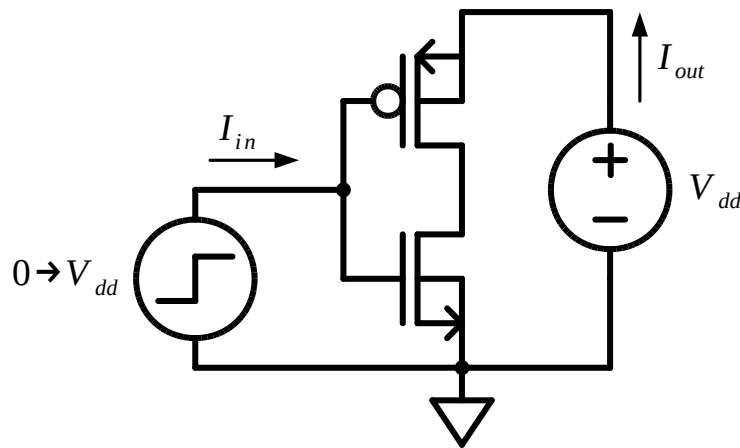


Figura 3.15: Circuito di test per le capacità di ingresso e di uscita di un inverter.

In una commutazione dell'ingresso da 0 a V_{dd} si avrà una I_{in} non nulla, per la carica della capacità di ingresso. Per una transizione opposta della tensione d'ingresso il nodo di uscita commuterà da 0 a V_{dd} , e il generatore di alimentazione fornirà una corrente I_{out} non nulla per la carica della capacità associata al nodo di uscita.

L'integrale nel tempo di queste correnti fornisce la carica totale assorbita dalla capacità di ingresso e dalla capacità di uscita. A partire da questa carica le due capacità sono stimabili come:

$$C_{in,1} = \frac{Q_{in}}{V_{dd}} = \frac{\int I_{in} dt}{V_{dd}} \quad (3.30)$$

$$C_{out,1} = \frac{Q_{out}}{V_{dd}} = \frac{\int I_{out} dt}{V_{dd}} \quad (3.31)$$

I risultati delle simulazioni sono visibili in figura 3.16

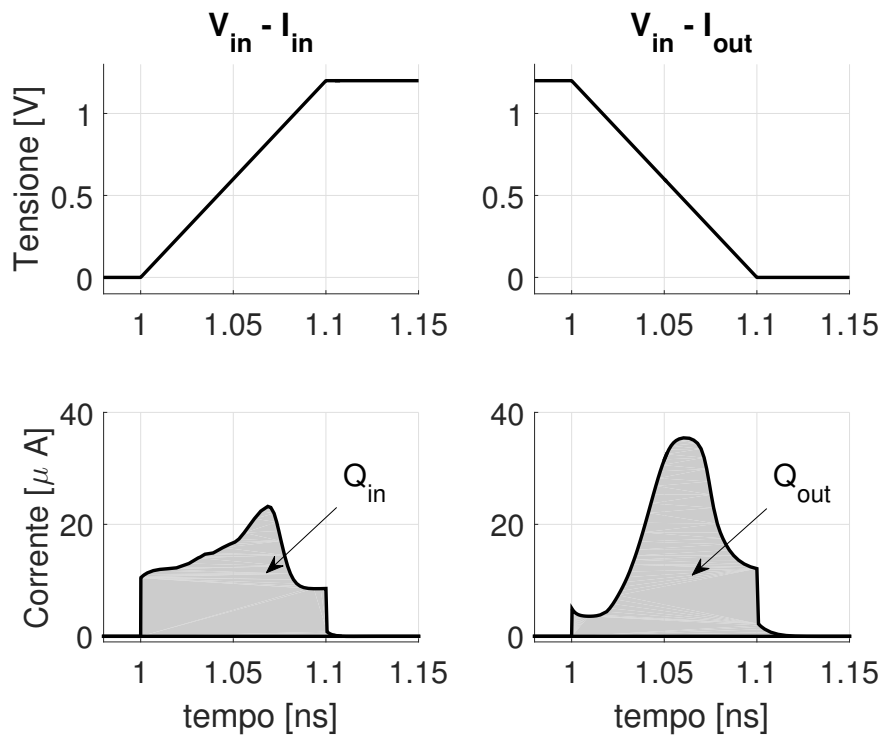


Figura 3.16: Risultati di simulazione del circuito di figura 3.15.

e i risultati sono:

- $Q_{in,12} = 1.44 fC \rightarrow C_{in,1,12} = 1.2 fF$
- $Q_{out,12} = 1.83 fC \rightarrow C_{out,1,12} = 1.53 fF$
- $\gamma_{12} = C_{out,1,12} / C_{in,1,12} = 1.275$

3.3.2 Buffer per Mosfet I/O

Come si vedrà nella sezione successiva, per il corretto funzionamento del convertitore sono necessari dei Mosfet in grado di reggere tensioni maggiori di 1.2V. La tecnologia in uso, UMC 130nm, mette a disposizione dei dispositivi speciali detti dispositivi di Input/Output, che reggono tensioni fino a 3.3V. Il nome completo di tali Mosfet è p_hg_33_1130E per il mosfet di tipo P, mentre per Mosfet di tipo N esiste un dispositivo creato su N-well apposita di nome n_hgbpw_33_1130e oppure l'analogo ma creato su substrato n_hg_33_1130e. L'utilità di avere un transistor di tipo N creato su N-well apposita è la possibilità di collegare il *bulk* di tale dispositivo a tensioni diverse da massa, mentre per l'analogo dispositivo creato su substrato il collegamento del *bulk* è necessariamente al substrato quindi a massa.

Per ragioni chiarificate in seguito, per il convertitore sarà utile usare Mosfet n_hgbpw_33_1130e. I buffer che piloteranno tali dispositivi però non hanno motivo di avere il *bulk* collegato a tensioni diverse da massa, si può usare quindi il transistor n_hg_33_1130e.

Questi transistor I/O hanno lunghezza minima maggiore rispetto ai Mosfet *core*, pari a 300nm per il dispositivo p_hg_33_1130e e 340nm per n_hg_33_1130e. Come per il Buffer da 1.2V, anche in questo caso il Mosfet P di ciascuno stadio va realizzato largo 4 volte il Mosfet N dello stesso stadio, per avere una tensione di soglia vicina a $V_{dd}/2 = 1.65V$. Le dimensioni dei transistor del primo stadio di un Buffer da 3.3V sono quindi:

- $L_n = L_{min} = 340nm$
- $W_n = W_{min} = 160nm$
- $L_p = L_{min} = 300nm$
- $W_p = 4W_{min} = 640nm$

La caratteristica statica dell'inverter con questi transistor di queste dimensioni è riportata in figura 3.17. Come si vede la soglia logica è a 1.69V.

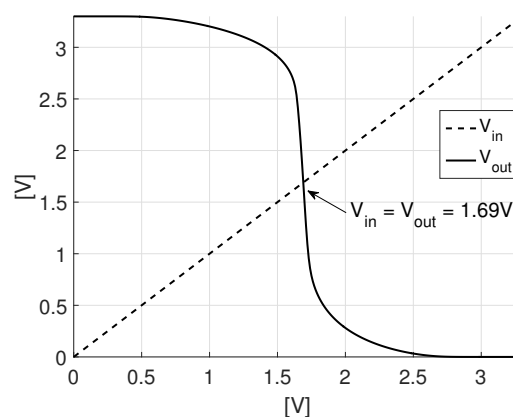


Figura 3.17: Caratteristica statica di un inverter di dimensioni minime con Mosfet I/O da 3.3V.

Nella realizzazione di un Buffer con numero di stadi maggiore di 1, ogni stadio avrà dimensioni f volte quelle dello stadio precedente. Anche in questo caso $f = 4$ per le stesse ragioni spiegate nella sezione precedente. Per chiarezza, in tabella 3.3 sono riportati i parametri dei transistor di ogni stadio.

	Mosfet P					Mosfet N			
	L [nm]	W [μm]	Finger	m		L [nm]	W [μm]	Finger	m
1° stadio	300	0.64	1	1		340	0.16	1	1
2° stadio	300	2.56	1	1		340	0.64	1	1
3° stadio	300	10.24	4	1		340	2.56	1	1
4° stadio	300	40.96	16	1		340	10.24	4	1
5° stadio	300	163.84	64	1		340	40.96	16	1
6° stadio	300	163.84	64	4		340	163.84	64	1
7° stadio	300	163.84	64	16		340	163.84	64	4

Tabella 3.3: Parametri dei transistor di un Buffer per Mosfet I/O da 3.3V.

Stima della potenza dissipata

Per quel che riguarda la stima della potenza dissipata da questi Buffer, l'analisi è analoga alla sezione precedente. Naturalmente, con riferimento a formula 3.29, il valore di V_{dd} non è più 1.2V bensì 3.3V. Un'ulteriore differenza è nelle capacità di ingresso e uscita del primo stadio, essendo questi transistor leggermente più grandi dei transistor *core*. La stima di tali capacità è stata svolta tramite simulazione come fatto in precedenza. In figura 3.18 sono riportati i risultati di simulazione, mentre le capacità ottenute sono le seguenti:

- $Q_{in,33} = 5.35 fC \rightarrow C_{in,1,33} = 1.62 fF$
- $Q_{out,33} = 5.72 fC \rightarrow C_{out,1,33} = 1.73 fF$
- $\gamma_{33} = C_{out,1,33}/C_{in,1,33} = 1.068$

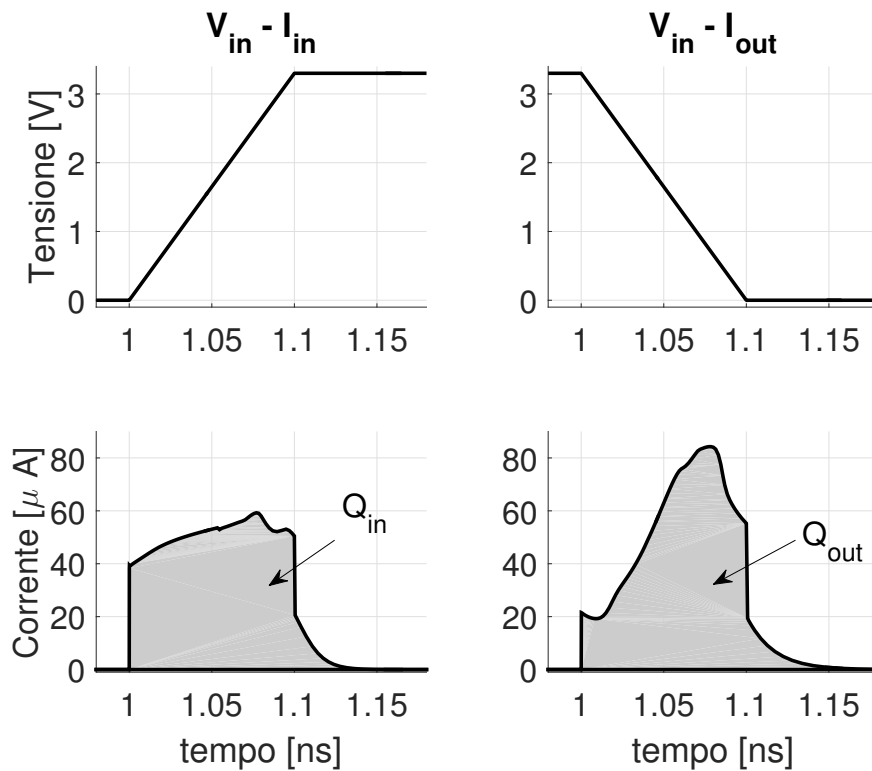


Figura 3.18: Risultati di simulazione del circuito di figura 3.15 per Mosfet I/O.

Traslatore di livello

Per pilotare tali Buffer da 3.3V è conveniente utilizzare lo stesso segnale dei Buffer da 1.2V, ciò riduce la circuiteria e quindi il consumo di potenza, oltre a evitare fastidiosi ritardi tra fasi teoricamente sincrone. Affinché ciò sia possibile, è necessario usare un traslatore di livello tra il segnale di comando a 1.2V e l'effettivo Buffer a 3.3V. Tale circuito molto semplice è rappresentato in figura 3.19.

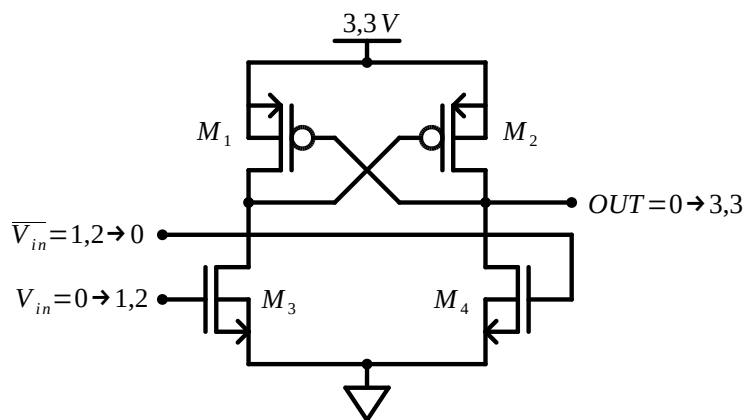


Figura 3.19: Traslatore di livello per pilotare Buffer da 3.3V con tensioni da 0 a 1.2V.

I Mosfet M_1 , M_2 , M_3 e M_4 sono tutti dispositivi da 3.3V. Se pilotati con la tensione disponibile di 1.2V non si accendono completamente, ma è sufficiente che si accendano quel che basta per innescare la reazione positiva dei Mosfet P M_1 e M_2 . Immaginando che il nodo di ingresso V_{in} faccia una transizione da 0 a 1.2V, ciò comporterà una lieve accensione di M_3 , il cui *drain* si porterà a una tensione leggermente minore di 3.3V. La tensione di *drain* di M_3 è anche la tensione di *gate* di M_2 , che quindi comincerà ad accendersi. A seguito dell'accensione di M_2 la tensione al nodo OUT comincerà a crescere, spegnendo M_1 e quindi favorendo il calo di tensione al *drain* di M_3 . La retroazione positiva fa sì che in un breve tempo il nodo OUT commuti da 0 a 3.3V, spegnendo completamente i Mosfet M_1 e M_4 e accendendo i Mosfet M_2 e M_3 .

Per quel che riguarda le dimensioni dei transistor P essi possono essere realizzati di dimensione minima, per favorire l'iniziale accensione dei Mosfet N debolmente pilotati. I Mosfet N a loro volta devono essere sufficientemente forti da riuscire a innescare la retroazione positiva [9] con segnale di *gate* limitati a 1.2V. Una larghezza pari a 10 volte la dimensione minima si è visto essere più che sufficiente al corretto funzionamento del circuito. Riassumendo:

- $L_p = L_{p,min} = 300nm$
- $W_p = W_{min} = 160nm$
- $L_n = L_{n,min} = 340nm$
- $W_n = 10 \cdot W_{min} = 1600nm$

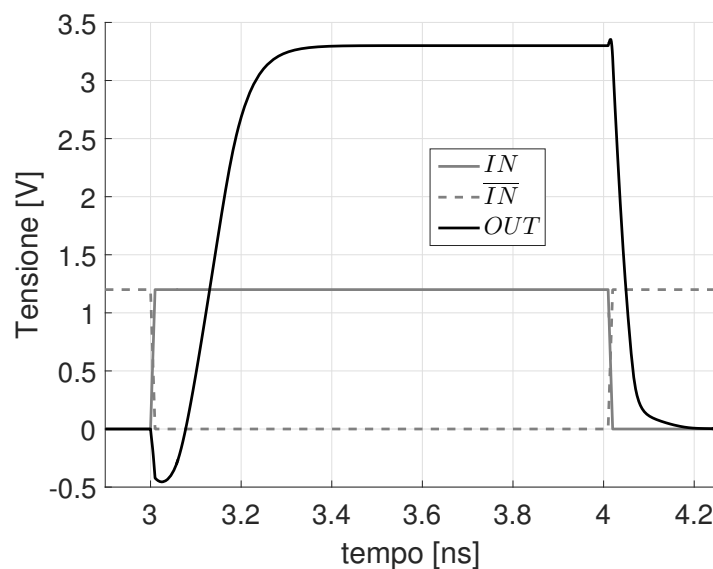
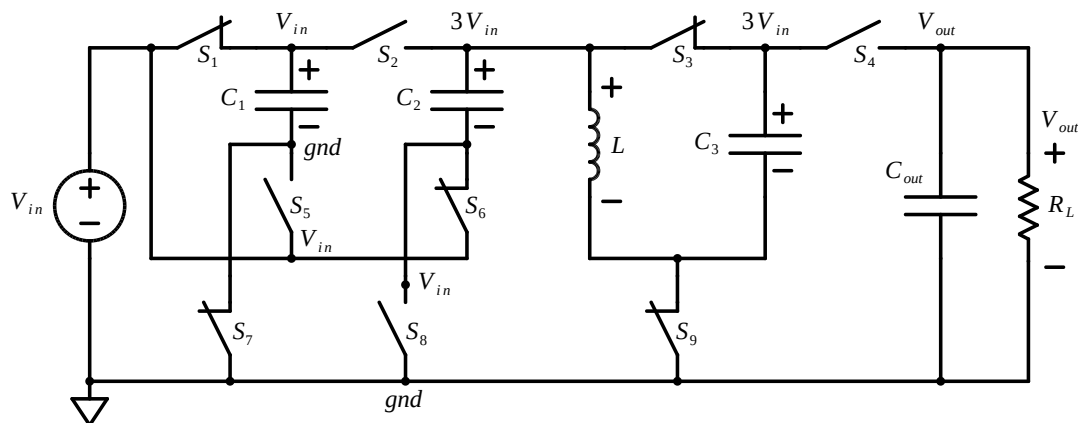


Figura 3.20: Simulazione temporale del traslatore di livello.

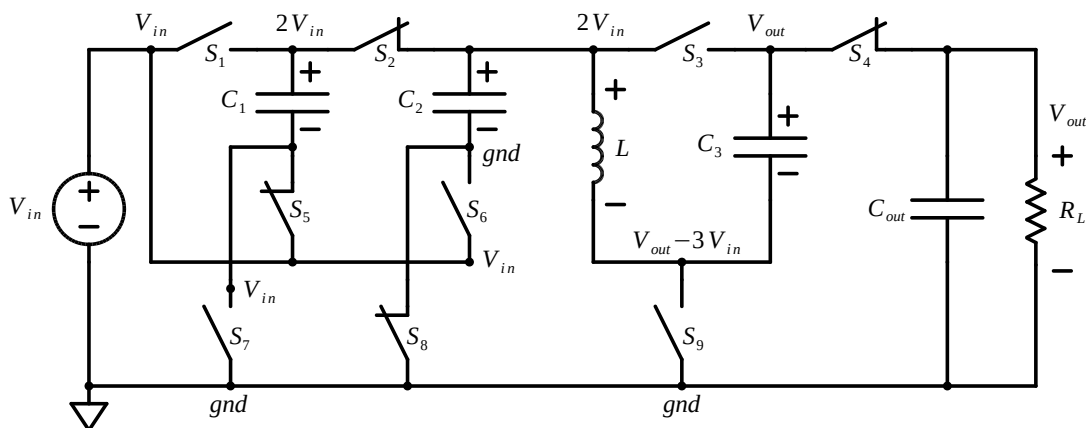
In figura 3.20 è riportata una simulazione temporale del circuito. Come si vede con un ingresso variabile da 0 a 1.2V la tensione di uscita è correttamente rigenerata da 0 a 3.3V. Ciò garantisce un corretto funzionamento del Buffer collegato all'uscita. Il tempo di ritardo è minimo, essendo sempre inferiore ai 300ps.

3.4 Dimensionamento dei Mosfet

Gli switch del convertitore sono sottoposti a tensioni diverse, alcune delle quali superano gli 1.2V. Tali switch andranno quindi implementati con speciali dispositivi I/O. Per la scelta dei Mosfet più adatti si possono osservare le figure 3.21a e 3.21b, che riportano le tensioni ai vari nodi del circuito durante le 2 fasi di funzionamento.



(a) Tensione ai nodi durante la fase 1



(b) Tensione ai nodi durante la fase 2

Figura 3.21: Tensione ai nodi durante le 2 fasi.

Ricordando che le specifiche indicano una tensione di ingresso compresa tra 0.3V e 0.6V:

- Switch S_1 : la massima tensione a cui i suoi terminali arrivano vale $2V_{in}$, cioè 1.2V nel caso peggiore. Può essere implementato con un dispositivo *core*.
- Switch S_2 : il terminale collegato al morsetto positivo di C_2 raggiunge una tensione di $3V_{in}$, superiore a 1.2V nel caso peggiore. Deve essere implementato con un dispositivo I/O.
- Switch S_3 : la tensione massima di un suo terminale vale $V_{out} = 3.3V$. Deve essere implementato con un dispositivo I/O.

- Switch S_4 : la tensione massima di un suo terminale vale $V_{out} = 3.3V$. Deve essere implementato con un dispositivo I/O.
- Switch S_5 : la massima tensione dei suoi terminali vale V_{in} , può essere quindi realizzato con un dispositivo *core*.
- Switch S_6 : la massima tensione dei suoi terminali vale V_{in} , può essere quindi realizzato con un dispositivo *core*.
- Switch S_7 : la massima tensione dei suoi terminali vale V_{in} , può essere quindi realizzato con un dispositivo *core*.
- Switch S_8 : la massima tensione dei suoi terminali vale V_{in} , può essere quindi realizzato con un dispositivo *core*.
- Switch S_9 : il caso peggiore è con $V_{in} = 0.3V$, in cui un suo terminale si porta alla tensione di $V_{out} - 3V_{in} = 2.4V$. Deve essere implementato con un dispositivo I/O.

Si può notare come tutti gli switch abbiano sempre un terminale ad una tensione maggiore o uguale rispetto all'altro terminale. Ciò consente di collegare il *bulk* di ogni Mosfet al relativo *source* senza compromettere il funzionamento del convertitore. Un collegamento di questo tipo comporta la creazione di un diodo parassita tra *bulk* e *drain* del dispositivo stesso. Se l'anodo di tale diodo viene collegato al nodo a potenziale sempre minore il diodo sarà sempre polarizzato inversamente e non si accenderà accidentalmente.

Il collegamento dei due nodi ha inoltre due effetti benefici. Innanzitutto crea i diodi indispensabili a garantire la continuità di I_L nel breve intervallo temporale tra le due fasi D e (1-D), intervallo in cui tutti gli switch sono aperti. In secondo luogo permette di evitare l'effetto *body* quindi l'innalzamento della tensione di soglia. Grazie a ciò a parità di resistenza serie si avrà un Mosfet più piccolo (si veda formula 3.9), con minori capacità parassite e minore area occupata.

Ricordando che per collegare il *bulk* di un Mosfet N a un potenziale diverso da massa è necessario un dispositivo creato su N-well apposita, i transistor da utilizzare nel convertitore sono riportati in tabella 3.4. Per alcuni switch la scelta è scontata. Ad esempio S_4 ha un terminale fisso a $V_{out} = 3.3V$, tale switch può essere realizzato solo con un Mosfet di tipo P in quanto un Mosfet N non si accenderebbe mai con una tensione di *gate* massima di 3.3V. Discorso analogo per gli switch S_7 , S_8 e S_9 . Essi hanno un nodo fisso a massa, possono essere realizzati solo con Mosfet di tipo N. Inoltre non sono nemmeno necessari dispositivi creati su N-well, in quanto il loro *bulk* è per forza di cose collegato a massa.

Per gli switch rimanenti la scelta è tra un Mosfet tipo P o tipo N. Una volta scelta la resistenza serie che tali switch dovranno avere si valuterà quale configurazione tra singolo switch N, singolo switch P o parallelo dei due ha area minore. Il minimizzare l'area occupata avrà benefici sia in termini di costo che di capacità parassite.

Switch	Dispositivi adatti
S_1	n_bpw_12_hsl130e e/o p_12_hsl_130e
S_2	n_hgbpw_33_hsl130e e/o p_hg_33_130e
S_3	n_hgbpw_33_hsl130e e/o p_hg_33_130e
S_4	p_hg_33_130e
S_5	n_bpw_12_hsl130e e/o p_12_hsl_130e
S_6	n_bpw_12_hsl130e e/o p_12_hsl_130e
S_7	n_12_hsl130e
S_8	n_12_hsl130e
S_9	n_hg_33_1130e

Tabella 3.4: Switch da utilizzare nel convertitore DC/DC.

Si procede ora con il dimensionamento del convertitore DC/DC vero e proprio. Come visto nel capitolo 2, un convertitore a capacità commutate ha resistenza di uscita equivalente minore se lavora in *fast-switching*, quindi efficienze migliori in questa regione di funzionamento.

Il dimensionamento svolto di seguito presuppone il funzionamento del dispositivo in questa regione.

L'analisi di tale convertitore comincia proprio dal ricavare i vettori di carica \mathbf{a}^1 e \mathbf{a}^2 . Si ricorda che tali vettori contengono i flussi di carica immediatamente dopo che gli switch si sono chiusi per iniziare la corrispondente fase di funzionamento, 1 o 2:

$$\mathbf{a}^1 = [q_{out}^1 \quad q_{C1}^1 \quad q_{C2}^1 \quad q_{C3}^1 \quad q_{Cout}^1 \quad q_{in}^1]^T / q_{out} \quad (3.32)$$

$$\mathbf{a}^2 = [q_{out}^2 \quad q_{C1}^2 \quad q_{C2}^2 \quad q_{C3}^2 \quad q_{Cout}^2 \quad q_{in}^2]^T / q_{out} \quad (3.33)$$

I 2 vettori sono ricavati per ispezione dei circuiti di figura 3.22a e 3.22b sotto riportati. Essi valgono:

$$\mathbf{a}^1 = \left[I_{out}DT_{sw} \quad I_{out}T_{sw}\frac{2-D}{1-D} \quad \frac{-I_{out}T_{sw}}{1-D} \quad I_{out}T_{sw} \quad -I_{out}DT_{sw} \quad I_{out}T_{sw}\frac{3-D}{1-D} \right]^T / (I_{out}T_{sw})$$

$$\mathbf{a}^2 = \left[I_{out}T_{sw}(1-D) \quad -I_{out}T_{sw}\frac{2-D}{1-D} \quad \frac{I_{out}T_{sw}}{1-D} \quad -I_{out}T_{sw} \quad I_{out}DT_{sw} \quad I_{out}T_{sw}\frac{2-D}{1-D} \right]^T / (I_{out}T_{sw})$$

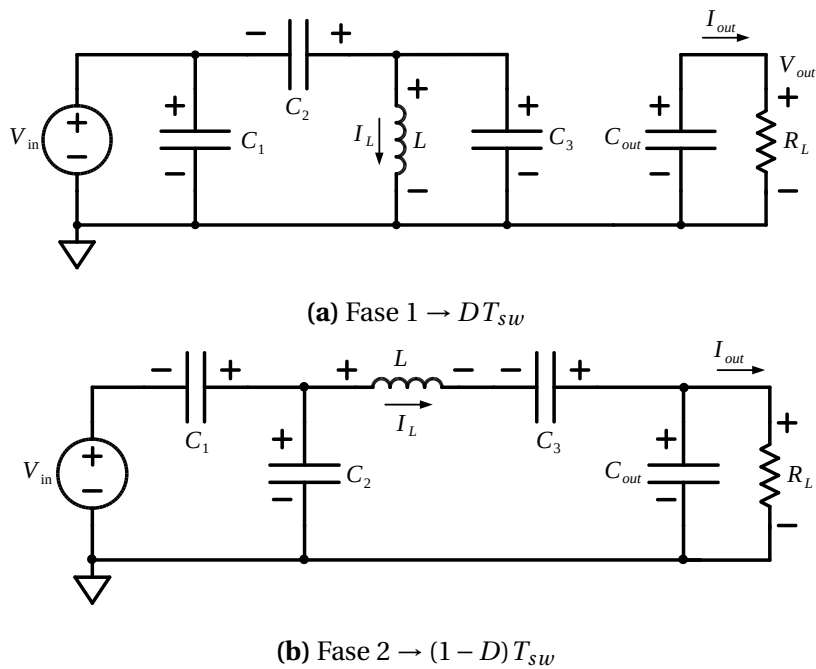


Figura 3.22: Circuiti equivalenti al convertitore nelle due fasi di funzionamento.

Ricordando che deve valere : $q_{out}^1 + q_{out}^2 = q_{out}$ e $q_{Ci}^1 = -q_{Ci}^2$, i due vettori sono stati ricavati secondo il seguente procedimento:

- $q_{Cout}^1 = \int_0^{DT_{sw}} (-I_{out}) dt = -I_{out}DT_{sw}$
- $q_{Cout}^2 = -q_{Cout}^1$
- $q_{out}^1 = \int_0^{DT_{sw}} I_{out} dt = I_{out}DT_{sw}$
- $q_{out}^2 = q_{out} - q_{out}^1$, infatti deve valere $q_{out}^1 + q_{out}^2 = q_{out}$
- $q_{C3}^2 = -(q_{out}^2 + q_{Cout}^2)$, il segno meno è perché C_3 si sta scaricando in questa fase
- $q_{C3}^1 = -q_{C3}^2$
- $q_{C2}^1 = -(\bar{I}_L DT_{sw} + q_{C3}^1)$, con $\bar{I}_L = I_{out}/(1-D)$ e con segno meno perché C_2 si scarica nella fase 1
- $q_{C2}^2 = -q_{C2}^1$
- $q_{C1}^2 = -(q_{C2}^2 + \bar{I}_L(1-D)T_{sw}) = -I_{out}T_{sw}(2-D)/(1-D)$
- $q_{C1}^1 = -q_{C1}^2$
- $q_{in}^2 = -q_{C1}^2$ perché V_{in} in serie a C_1 e la corrente dal generatore di ingresso è considerata positiva se uscente dal morsetto positivo
- $q_{in}^1 = (|q_{C1}^1| + |q_{C2}^1|)$

La corrente di ingresso è calcolabile come $(q_{in}^1 + q_{in}^2)/T_{sw}$ e risulta essere:

$$I_{in} = I_{out} \frac{5-2D}{1-D} \quad (3.34)$$

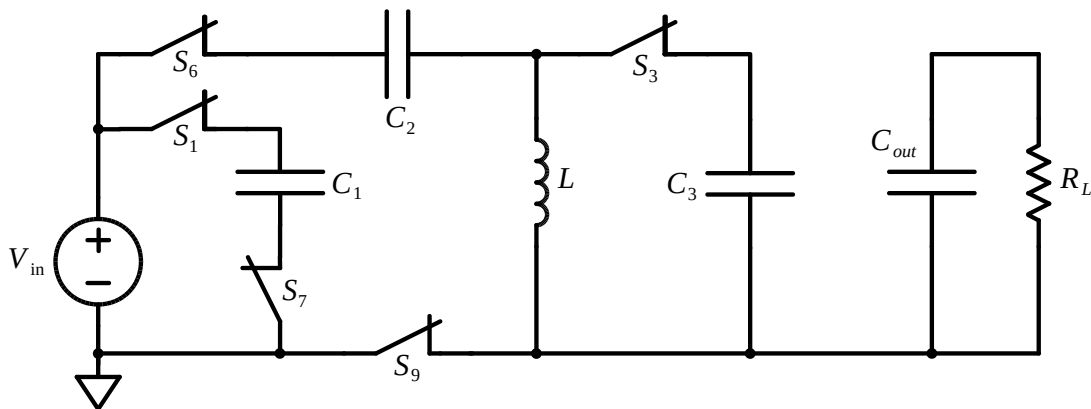
Ricordando che la relazione tra le tensioni di ingresso e di uscita è $V_{out} = V_{in}(5-2D)/(1-D)$ si trova essere soddisfatto il bilancio delle potenze: $V_{out}I_{out} = V_{in}I_{in}$, a conferma dell'esattezza dei vettori \mathbf{a}^1 e \mathbf{a}^2 ricavati.

Con le dovute semplificazioni si ha:

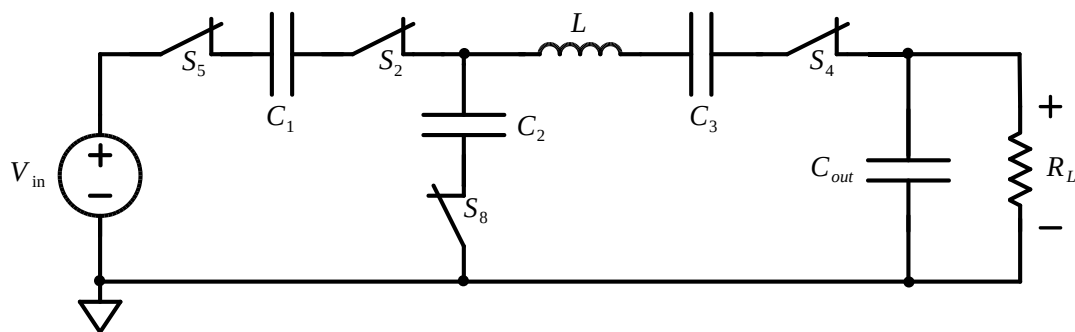
$$\mathbf{a}^1 = \left[D \quad \frac{2-D}{1-D} \quad \frac{-1}{1-D} \quad 1 \quad -D \quad \frac{3-D}{1-D} \right]^T$$

$$\mathbf{a}^2 = \left[1-D \quad \frac{D-2}{1-D} \quad \frac{1}{1-D} \quad -1 \quad D \quad \frac{2-D}{1-D} \right]^T$$

Per il dimensionamento in *fast-switching* rimane ora da calcolare il vettore \mathbf{a}_r , contenente i flussi di carica sugli switch. Tale vettore è immediatamente ricavabile per confronto con i circuiti di figura 3.23a e 3.23b in quanto il flusso di carica sugli switch è analogo al flusso di carica sui condensatori dei rispettivi rami.



(a) Circuito equivalente al convertitore DC/DC nella fase 1 con evidenziati gli switch



(b) Circuito equivalente al convertitore DC/DC nella fase 2 con evidenziati gli switch

Figura 3.23: Circuiti equivalenti del convertitore nelle due fasi di funzionamento

Definendo \mathbf{a}_r come:

$$\mathbf{a}_r = [|q_{S_1}| \quad |q_{S_2}| \quad |q_{S_3}| \quad |q_{S_4}| \quad |q_{S_5}| \quad |q_{S_6}| \quad |q_{S_7}| \quad |q_{S_8}| \quad |q_{S_9}|]^T \quad (3.35)$$

con gli elementi in valore assoluto in quanto ciò che conta per il calcolo della potenza dissipata è il modulo della carica (si veda 2.42). Si ha:

$$\begin{aligned} \mathbf{a}_r &= [|q_{C1}^1| \quad |q_{C1}^2| \quad |q_{C3}^1| \quad |q_{C3}^2| \quad |q_{C1}^2| \quad |q_{C2}^1| \quad |q_{C1}^1| \quad |q_{C2}^2| \quad |q_{C2}^1|]^T \\ &= \left[\frac{2-D}{1-D} \quad \frac{2-D}{1-D} \quad 1 \quad 1 \quad \frac{2-D}{1-D} \quad \frac{1}{1-D} \quad \frac{2-D}{1-D} \quad \frac{1}{1-D} \quad \frac{1}{1-D} \right]^T \end{aligned} \quad (3.36)$$

A differenza di un convertitore a capacità commutate classico dove D è solitamente pari a 0.5, in questo caso si trova un vettore di carica i cui elementi dipendono da D . Ciò è naturale, infatti durante il normale funzionamento del convertitore gli switch devono portare correnti e quindi cariche diverse a seconda della tensione di ingresso, e quindi di D . In figura 3.24 sono riportati gli elementi di \mathbf{a}_r in funzione di D .

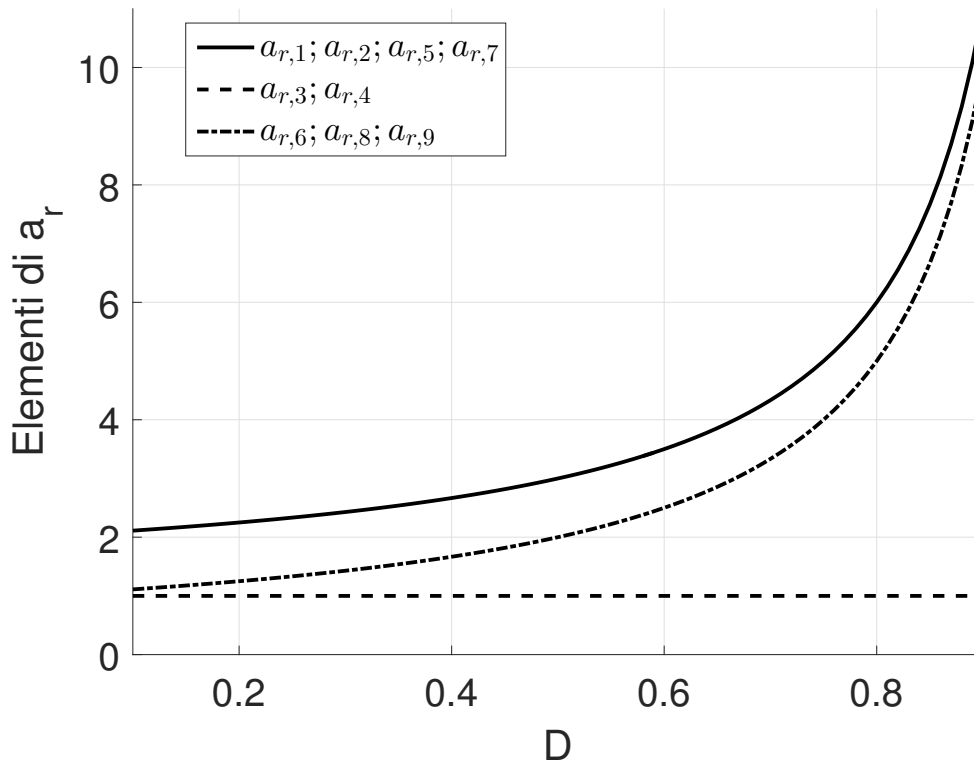


Figura 3.24: Elementi di \mathbf{a}_r in funzione di D .

Riprendendo il funzionamento in *fast-switching* di un convertitore DC/DC dal capitolo 2, la formula 2.41 può essere riscritta nel seguente modo per tenere conto di un *duty-cycle* diverso da 0.5:

$$i_{r,i} = \frac{q_{r,i} f_{sw}}{t} \quad (3.37)$$

dove t è la durata rispetto a T_{sw} della fase in cui lo switch è chiuso, quindi $t = D$ per gli switch della fase 1 e $t = (1-D)$ per gli switch della fase 2. Ricordando che $q_{r,i} = a_{r,i} \cdot q_{out}$ e $q_{out} = i_{out} / T_{sw}$:

$$i_{r,i} = \begin{cases} [a_{r,i}/D] \cdot i_{out} & \text{se } i = 1,3,6,7,9 \\ [a_{r,i}/(1-D)] \cdot i_{out} & \text{se } i = 2,4,5,8 \end{cases} \quad (3.38)$$

Rimangono ora da decidere le dimensioni effettive dei Mosfet del convertitore, non ha senso infatti farli tutti uguali. Come evidenziato in figura 3.24, alcuni devono portare molta più carica di altri. Oltre alla carica degli switch è utile tenere in considerazione anche la differenza tra Mosfet *core* e Mosfet I/O. Infatti i Buffer che piloteranno questi due dispositivi consumeranno potenze diverse.

Si può quindi procedere come in [7], dove fissata una conduttanza G_{tot} che gli switch devono avere in totale, si suddivide G_{tot} nei vari Mosfet del convertitore con pesi diversi.

Tale "peso", che definiamo K_i , dovrà essere direttamente proporzionale alla corrente che lo switch deve portare e inversamente proporzionale alla potenza dissipata per una sua commutazione. Così facendo i Mosfet che richiedono più potenza per essere pilotati risulteranno (a parità di corrente) meno conduttivi quindi più piccoli, così da avere una C_G minore e quindi un numero di stadi del Buffer minore.

Ricordando che la potenza dissipata da un Buffer è proporzionale a $V_{dd}^2 C_{in,1}$, i coefficienti di "peso" K_i sono così definiti:

$$K_i = \frac{i_{r,i}}{C_{in,1,i} \cdot V_{dd,i}^2} \quad (3.39)$$

I termini che compaiono in 3.39 sono:

- $i_{r,i}$ come definito in 3.38. ^{2 3}
- $C_{in,1,i}$ è la capacità di ingresso del buffer che pilota lo switch i . Essa vale 1.2fF se lo switch i è un Mosfet *core* e 1.62fF se invece il Mosfet è di tipo I/O.
- $V_{dd,i}$ è la tensione di alimentazione del buffer dello switch i , quindi 1.2V per gli switch *core* e 3.3V per gli switch I/O.

²Da formula 3.38 può essere omissso il termine i_{out} in quanto comparirebbe nel coefficiente di peso di ogni switch e non influenzerebbe pertanto il risultato finale.

³La potenza dissipata da uno switch è proporzionale al quadrato della corrente che scorre su quel dato switch. I coefficienti di peso potrebbero quindi essere proporzionali a $i_{r,i}^2$ anziché a $i_{r,i}$. Da simulazioni e calcoli si è visto che la differenza tra i due casi è minima. Inoltre tali coefficienti di peso hanno il solo compito di discriminare switch che devono portare più corrente da switch che ne devono portare meno, senza per forza tener conto della potenza che essi effettivamente dissiperanno.

Fissato il valore di G_{tot} la conduttanza e la resistenza di ogni switch sono ricavate come:

$$G_i = \frac{K_i}{\sum_{i=1}^9 K_i} \cdot G_{tot} \rightarrow R_i = G_i^{-1} \quad (3.40)$$

L'unità di misura di K_i non è importante, per il calcolo di G_i esso viene infatti normalizzato con K_{tot} , ovvero la somma di tutti i coefficienti di peso. La sua funzione è quella di discriminare gli switch che devono portare più corrente da quelli che ne devono portare meno, con l'ulteriore divisione tra switch *core* poco esosi energeticamente per il loro pilotaggio e switch I/O, che richiedono invece più potenza per essere commutati.

Rimane da fare un'ultima considerazione. I coefficienti di "peso" K_i sono ancora dipendenti da D e quindi da V_{in} . Essi sono rappresentati in figura 3.25

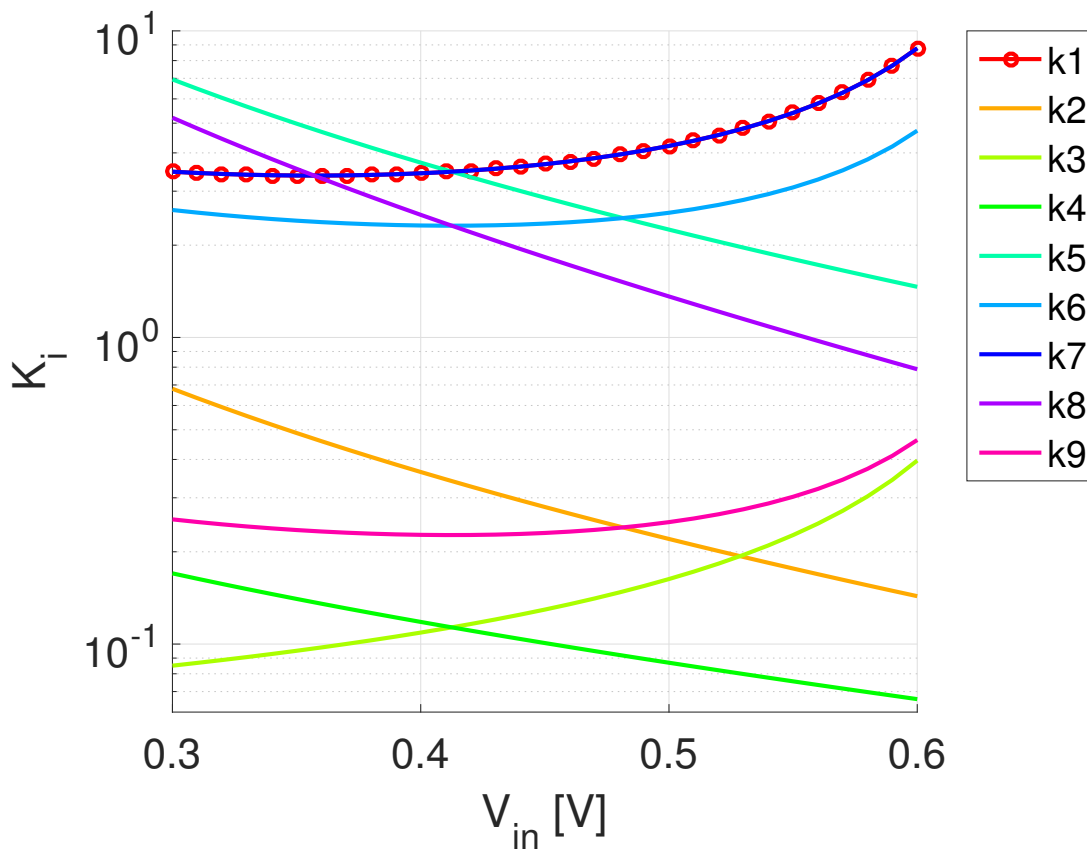


Figura 3.25: Coefficienti K_i in funzione di V_{in} .

Il valore maggiore di questi coefficienti K_i indica la situazione più critica, dove cioè devono portare la carica maggiore nel tempo più breve.

Per tale motivo di ogni coefficiente è stato scelto il massimo in funzione di V_{in} :

- $K_1 = 8.777$
- $K_2 = 0.680$
- $K_3 = 0.397$
- $K_4 = 0.170$
- $K_5 = 6.944$
- $K_6 = 4.726$
- $K_7 = 8.777$
- $K_8 = 5.208$
- $K_9 = 0.463$

La somma di tutti i K_i così scelti vale:

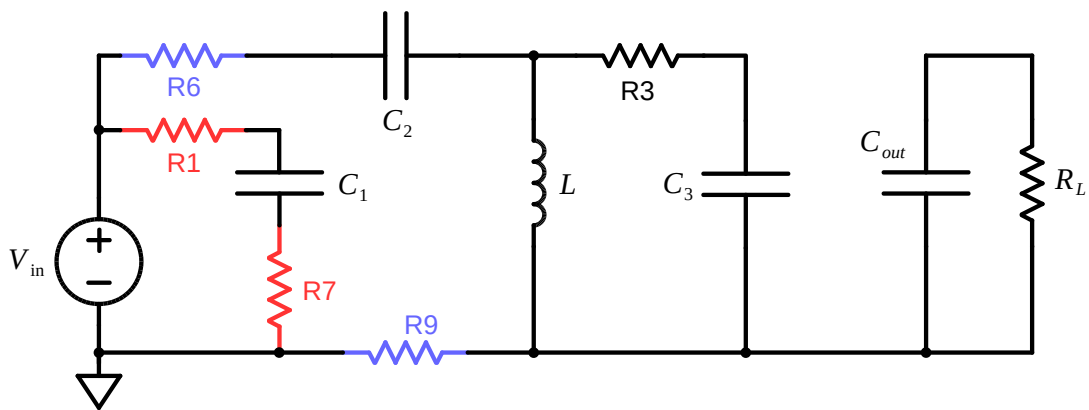
$$K_{tot} = \sum_{i=1}^9 K_i = 36.1428 \quad (3.41)$$

Fissato il valore di G_{tot} si ha a disposizione la resistenza serie che ogni switch deve presentare. Dalla resistenza serie si ricavano le dimensioni degli switch come spiegato precedentemente, tramite i coefficienti K_R .

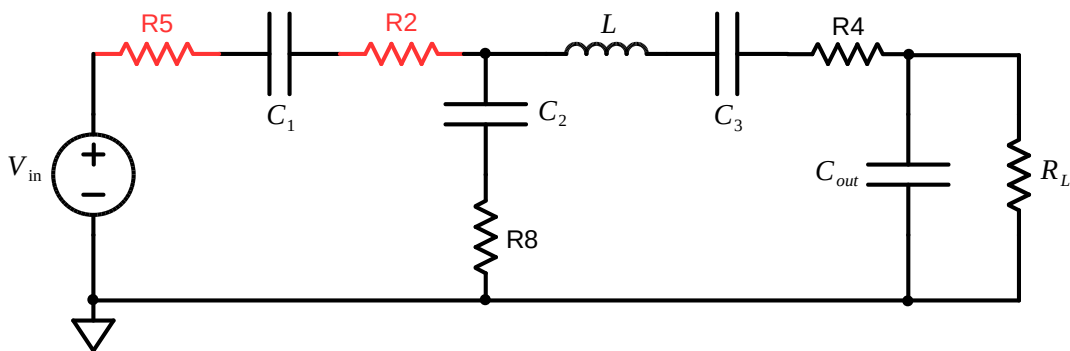
3.4.1 Ottimizzazione dell'area occupata

Per gli switch con source non a massa (o a V_{dd} nel caso di S_4), ovvero gli switch S_1 , S_2 , S_3 , S_5 e S_6 rimane da decidere se usare un singolo Mosfet N, un singolo Mosfet P o il parallelo di un Mosfet N e uno P. Scegliendo il K_R (3.11) relativo alla situazione peggiore per ogni configurazione si è valutato quale dei tre casi (N, P, parallelo) occupava area minore, al fine di ottimizzare sia l'area occupata che le capacità parassite. Con K_R relativo al caso peggiore si intende il K_R calcolato con tensione di source massima nel caso di un Mosfet N, o con V_S minima nel caso di un Mosfet P. In questi casi infatti è possibile fornire al transistor il valore $|V_{GS}|$ inferiore e si avrà quindi la resistenza serie più elevata. Se i Mosfet sono dimensionati secondo questa logica essi mostreranno sempre una resistenza serie minore o uguale a quella prevista, a tutto vantaggio dell'efficienza di conversione.

Esiste un'altra ottimizzazione possibile. Osservando i circuiti di figura 3.26 si vede che gli switch disegnati dello stesso colore si trovano a lavorare in serie quando chiusi.



(a) Switch in serie durante la fase 1



(b) Switch in serie durante la fase 2

Figura 3.26: Switch in serie durante le due fasi di funzionamento.

Prendiamo come esempio gli switch S_1 e S_7 . Se, mantenendo costante la resistenza serie totale, si facessero variare le resistenze serie dei due switch non cambierebbe nulla del funzionamento del convertitore. Il vantaggio sta nel fatto che a parità di dimensioni lo switch S_7 ha resistenza serie molto minore, avendo il *source* a massa. Secondo 3.40 i due Mosfet dovrebbero avere resistenza serie uguale, esiste tuttavia un minimo dell'area occupata dai due dispositivi ottenuta variando le singole resistenze serie e mantenendo al contempo invariata la resistenza serie totale. Scegliendo la configurazione ad area minore si ottiene ancora una volta un'ottimizzazione delle capacità parassite e del costo di produzione. Un discorso analogo vale per gli switch S_6 e S_9 ; S_2 e S_5 .

La configurazione ideale per ogni coppia e ogni possibile realizzazione si è ottenuta tramite uno script *Matlab*, riportato in appendice. Tale algoritmo indica come singolo switch N la realizzazione migliore per gli switch S_1 , S_2 , S_3 , S_5 e S_6 .

Lo schema definitivo del convertitore DC/DC dove sono indicati tutti i dispositivi utilizzati è visibile in figura 3.27. I diodi disegnati in grigio sono i diodi che si vengono a creare per il collegamento di *bulk* e *source* di ogni transistor. La linea rossa rappresenta i possibili percorsi di I_L quando tutti gli switch sono aperti.

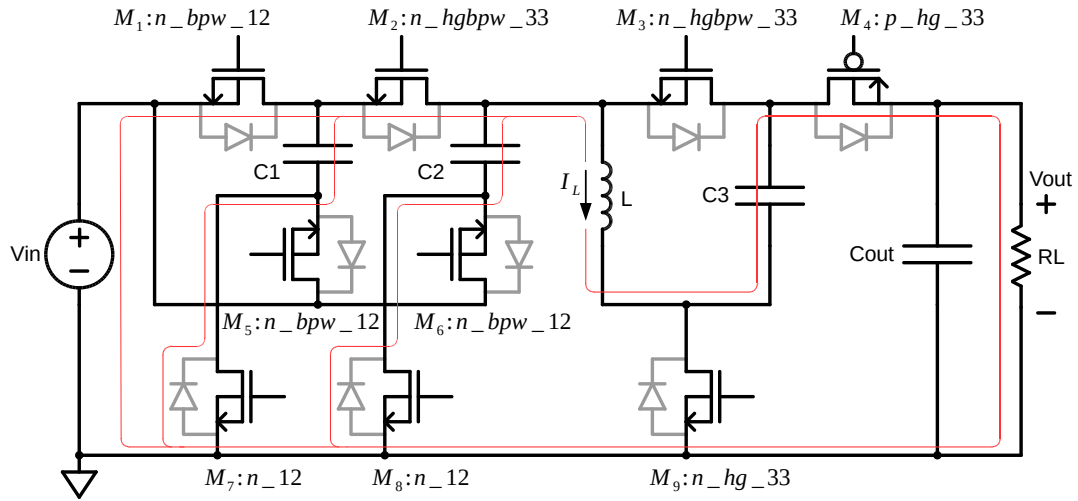


Figura 3.27: Schema definitivo del convertitore DC/DC.

3.4.2 Ottimizzazione dell'efficienza

Tramite il vettore di carica \mathbf{a}_r e una volta deciso il valore di G_{tot} si conoscono le resistenze serie di ogni switch (nel caso peggiore) e le correnti che essi devono portare. Dagli elementi di \mathbf{a}_r e con l'ipotesi di correnti costanti (ipotesi di *fast-switching*) infatti si ha:

$$i_{r,i} = \frac{q_{r,i}}{t} = \frac{a_{r,i} q_{out}}{t} \quad (3.42)$$

quindi:

$$\begin{aligned} i_{r,i} &= \frac{a_{r,i} q_{out}}{DT_{sw}} = \frac{a_{r,i} i_{out}}{D} & \text{se } i = 1, 3, 6, 7, 9 \\ i_{r,i} &= \frac{a_{r,i} q_{out}}{(1-D)T_{sw}} = \frac{a_{r,i} i_{out}}{1-D} & \text{se } i = 2, 4, 5, 8 \end{aligned} \quad (3.43)$$

Da questi dati si possono stimare le perdite di potenza per effetto *joule* in un periodo di commutazione di ogni switch. Esse valgono:

$$\begin{aligned} P_{r,i} &= \frac{1}{T_{sw}} \int_0^{DT_{sw}} R_i i_{r,i}^2 dt & \text{se } i = 1, 3, 6, 7, 9 \\ P_{r,i} &= \frac{1}{T_{sw}} \int_{DT_{sw}}^{T_{sw}} R_i i_{r,i}^2 dt & \text{se } i = 2, 4, 5, 8 \\ P_r &= \sum_{i=1}^9 P_{r,i} \end{aligned} \quad (3.44)$$

Inoltre fissata G_{tot} si conoscono le dimensioni di ogni Mosfet e quindi le capacità di *gate*. Da queste ultime è possibile ricavare il numero di stadi dei Buffer che pilotano gli switch e quindi le potenze dissipate da ognuno, per quanto analizzato nella sezione 3.3. Note le potenze dissipate dai circuiti di controllo (capitolo 4) è possibile fare una stima dell'efficienza del convertitore tramite:

$$\eta(V_{in}) = \frac{P_{LOAD}}{P_{LOAD} + P_r + P_{self_power}} \quad (3.45)$$

Nella formula 3.45 il termine P_{LOAD} è la potenza che il convertitore può fornire al carico, quindi $P_{LOAD} = 5mW$.

P_r è la potenza dissipata dagli switch in conduzione (formula 3.44).

P_{self_power} è invece la potenza che il convertitore spende per auto-alimentarsi, ovvero per alimentare i circuiti di controllo e i Buffer che pilotano i Mosfet:

$$P_{self_power} = P_{buffer,33} + \left[(P_{buffer,12} + P_{control}) \frac{3.3}{1.2} \right] \quad (3.46)$$

Mentre i Buffer per i transistor I/O da 3.3V possono essere alimentati direttamente con l'uscita del convertitore, i circuiti di controllo e i Buffer per transistor *core* devono avere un alimentazione apposita a 1.2V. Tale alimentazione è sempre ricavata dall'uscita del convertitore tramite un LDO (si veda capitolo 2 sezione 2.1 e la sezione 3.7 del capitolo corrente). Si è quindi inserita la correzione (3.3/1.2) alla potenza consumata da questi circuiti per tenere conto dell'efficienza del convertitore LDO ausiliario.

In 3.45 η è dipendente da V_{in} in quanto P_r lo è. La corrente che fluisce negli switch è infatti funzione di D, quindi di V_{in} . Si definisce efficienza media il valore:

$$\bar{\eta} = \frac{1}{(V_{in,max} - V_{in,min})} \cdot \int_{V_{in,min}}^{V_{in,max}} \eta(V_{in}) dV_{in} \quad (3.47)$$

Per il calcolo dei coefficienti K_i e quindi delle dimensioni degli switch è conveniente utilizzare la potenza totale che il convertitore dovrà fornire. Oltre a P_{LOAD} è quindi conveniente considerare anche P_{self_power} . Non tenendo conto di quest'ultima si dimensionerebbe il tutto per una potenza di uscita di 5mW, ma nella realtà il convertitore si troverebbe a fornire in uscita una potenza maggiore e le prestazioni non sarebbero quindi ottimizzate. Per considerare P_{self_power} si è costruito uno script *matlab* iterativo (anch'esso riportato in appendice), il quale stima la potenza di auto-alimentazione e quindi la potenza totale, dimensiona il convertitore per questa potenza e confronta la P_{self_power} ottenuta da tale dimensionamento con quella stimata, per un eventuale correzione.

L'efficienza media è funzione di G_{tot} (a causa della potenza dissipata dagli switch) e di F_{sw} (a causa della potenza dissipata dai Buffer). La rappresentazione grafica dell'efficienza calcolata secondo 3.45 per questo convertitore è riportata in figura 3.28.

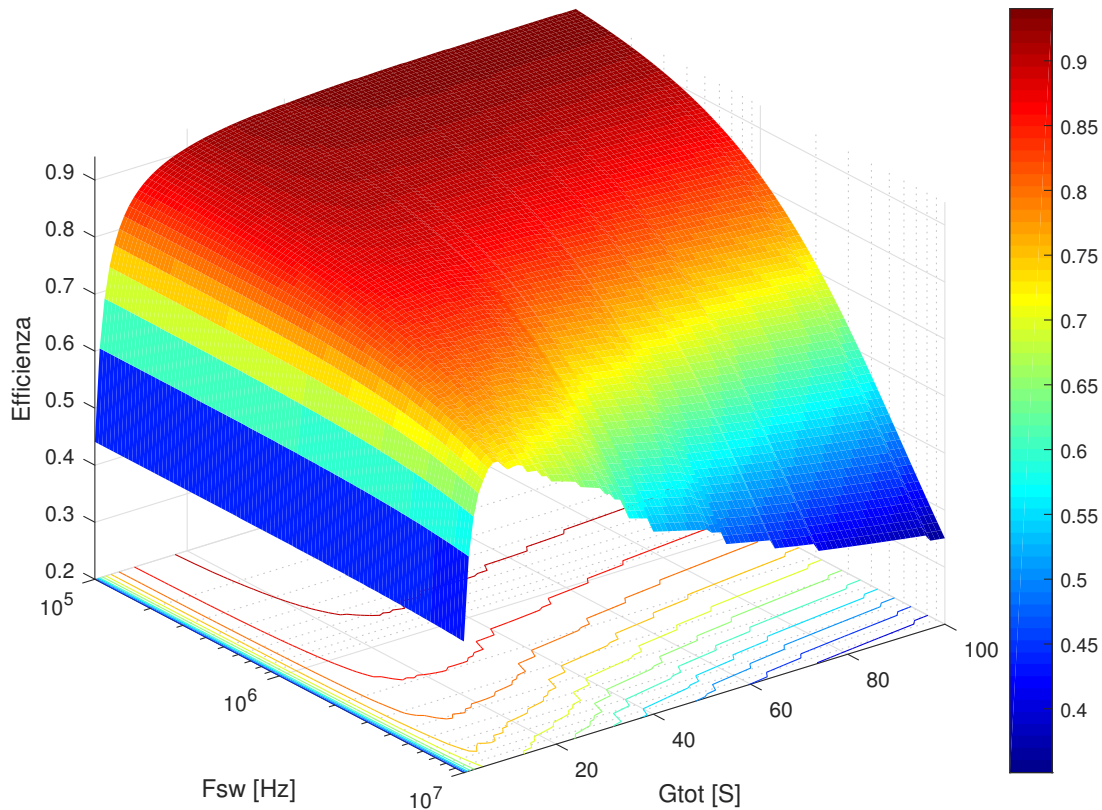


Figura 3.28: Efficienza media stimata del convertitore.

Come ci si poteva aspettare l'efficienza cala all'aumentare della frequenza. Infatti la potenza dissipata dai buffer è direttamente proporzionale a F_{sw} . L'andamento in funzione di G_{tot} invece presenta un massimo (meglio visibile ad alte frequenza o in figura 3.29). Tale massimo è il punto in cui i Mosfet sono sufficientemente grandi da offrire una resistenza serie non troppo elevata, ma neanche troppo grandi da richiedere dei Buffer con troppi stadi e quindi esosi dal punto di vista della potenza dissipata. Per non avere valori di L e C troppo elevati (si veda la sezione successiva) si è scelto di far lavorare il convertitore a $F_{sw} = 1MHz$.

L'efficienza media calcolata in funzione di G_{tot} per $F_{sw} = 1MHz$ è riportata in figura 3.29.

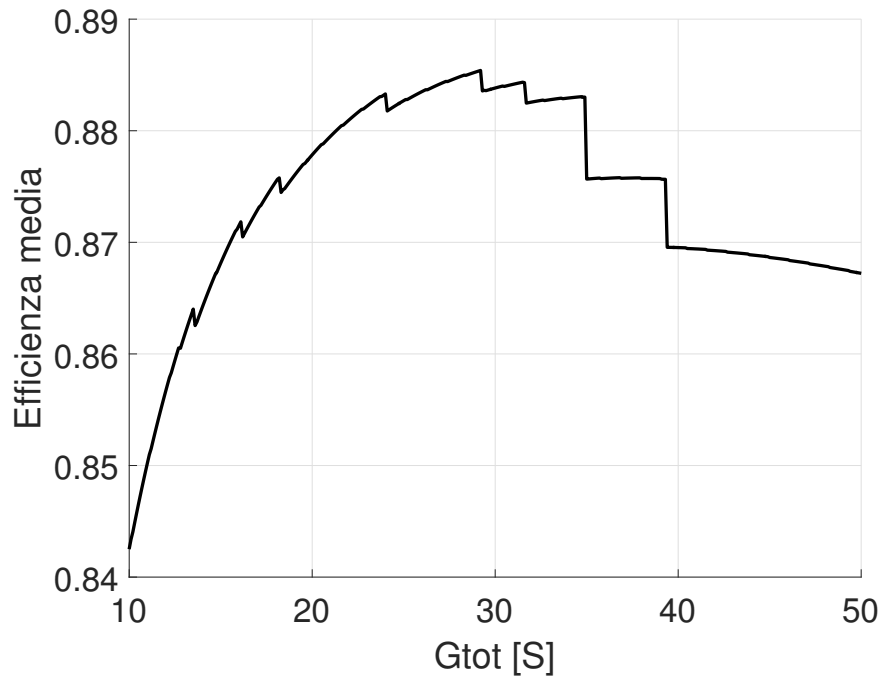


Figura 3.29: Efficienza media stimata del convertitore in funzione di G_{tot} .

Tale andamento irregolare è dovuto al progressivo aumentare della larghezza dei transistor con G_{tot} . Ad un dato valore di W la capacità di *gate* è tale da richiedere un ulteriore stadio per il proprio Buffer, aumentando quindi la potenza di *self-power* e diminuendo localmente l'efficienza. Aumentando ancora la conduttanza totale di qualche *Siemens* diminuisce la resistenza serie degli switch, mantenendo al contempo invariati il numero di stadi dei buffer, con conseguente aumento locale dell'efficienza media.

Il massimo di efficienza stimata si ha per $G_{tot} = 29.2S$. Con questo valore di conduttanza totale le dimensioni di Mosfet e Buffer del convertitore sono riportati nelle tabelle 3.5 e 3.6.

Con questo dimensionamento, le stime delle potenze sono:

- $P_{buffer,12} = 43\mu W$
- $P_{buffer,33} = 118\mu W$
- $P_r = 212\mu W$

	Dispositivo	$W_{tot}[\mu m]$	$W[\mu m]$	Finger	Multiplier
S_1	n_bpw_12_hsl130e	6100	100	50	61
S_2	n_hgbpw_33_hsl130e	1300	100	50	13
S_3	n_hgbpw_33_hsl130e	800	100	50	8
S_4	p_hg_33_130e	550	50	25	11
S_5	n_bpw_12_hsl130e	1700	100	50	17
S_6	n_bpw_12_hsl130e	1000	100	50	10
S_7	n_12_hsl130e	3900	100	50	39
S_8	n_12_hsl130e	1800	100	50	18
S_9	n_hg_33_l130e	700	100	50	7

Tabella 3.5: Parametri dei Mosfet utilizzati nel convertitore.

Buffer	FAN-OUT	Stadi	$P_{diss}[\mu W]$
1	$6.8 \cdot 10^3$	6	17.2
2	$1.5 \cdot 10^3$	5	39.2
3	$9.3 \cdot 10^2$	5	28.8
4	$6.2 \cdot 10^2$	5	23.4
5	$1.9 \cdot 10^3$	5	4.6
6	$1.2 \cdot 10^3$	5	3.4
7	$4.4 \cdot 10^3$	6	13.0
8	$2.0 \cdot 10^3$	5	4.9
9	$8.2 \cdot 10^2$	5	26.9

Tabella 3.6: Parametri dei Buffer utilizzati nel convertitore.

3.5 Dimensionamento dei Condensatori

3.5.1 Condensatori *floating*

I condensatori C_{fly} devono essere tali da garantire il funzionamento del convertitore in *fast-switching*, cosicché il dimensionamento svolto fin'ora sia verificato. In particolare deve essere rispettata la condizione di correnti costanti negli switch. Perché ciò avvenga la costante di tempo RC di carica e scarica di tali condensatori dev'essere molto maggiore del tempo che essi hanno a disposizione per la carica o scarica effettiva, sia esso pari a DT_{sw} o $(1 - D)T_{sw}$. Se ciò è garantito, durante il processo di carica o scarica la tensione di ogni C_{fly} varierà molto poco, e i condensatori saranno sostituibili con generatori di tensione costante. Con questa approssimazione le correnti negli switch saranno costanti nel tempo e date dal rapporto di tensione e resistenza di ogni Mosfet.

Per valutare la resistenza di carica e scarica di ogni C_{fly} si può utilizzare il teorema di *Thevenin*, valutando la resistenza equivalente vista dal condensatore in esame. Per farlo si devono fare le seguenti sostituzioni circuitali:

- Generatori di tensione (V_{in} e altri condensatori) diventano corto-circuiti.
- Generatori di corrente (L, ipotizzando I_L costante) diventano circuiti aperti.
- Mosfet: Resistenze di valore pari alla resistenza serie del dispositivo.

Con queste sostituzioni i circuiti ricavati sono rappresentati in figura 3.30, 3.31 e 3.32.

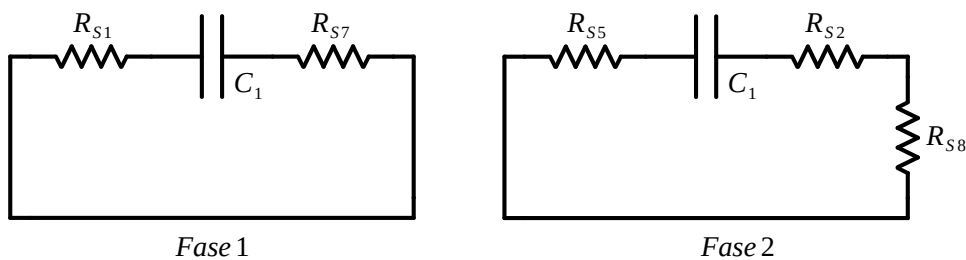


Figura 3.30: Resistenza equivalente vista da C_1 .

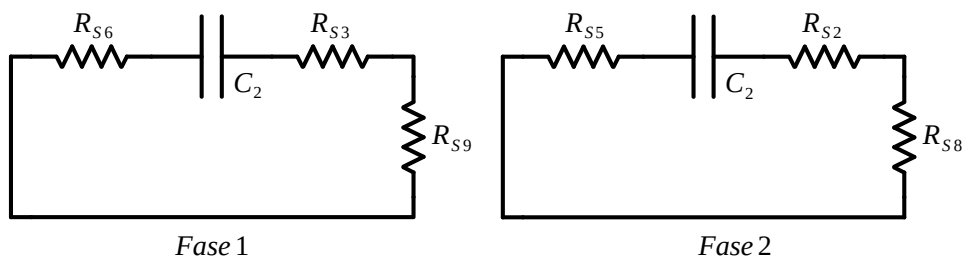


Figura 3.31: Resistenza equivalente vista da C_2 .

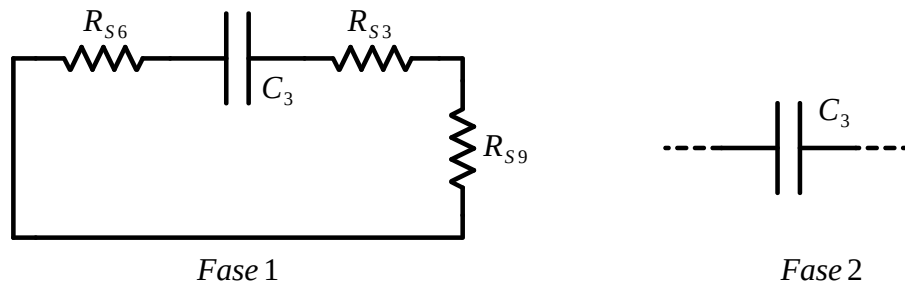


Figura 3.32: Resistenza equivalente vista da C_3 .

Il condensatore C_3 durante la fase 2 vede una resistenza equivalente infinita. Esso si trova in serie all'induttore in questa fase, e nell'ipotesi di I_L costante la corrente che scorre in questo condensatore e quindi negli switch in serie sarà di conseguenza costante, qualunque sia il valore di C_3 .

Si è scelta una costante di tempo maggiore o uguale a 100 volte il tempo di carica o scarica. Si ottiene quindi:

- $C_1 = 100 \cdot \min \left[\left(\frac{D_{max} T_{sw}}{R_{S1} + R_{S7}} \right) ; \left(\frac{(1-D_{min}) T_{sw}}{R_{S2} + R_{S5} + R_{S8}} \right) \right] = 38 \mu F$
- $C_2 = 100 \cdot \min \left[\left(\frac{D_{max} T_{sw}}{R_{S3} + R_{S6} + R_{S9}} \right) ; \left(\frac{(1-D_{min}) T_{sw}}{R_{S2} + R_{S5} + R_{S8}} \right) \right] = 11 \mu F$
- $C_3 = 100 \cdot \frac{D_{max} T_{sw}}{R_{S3} + R_{S6} + R_{S9}} = 11 \mu F$

3.5.2 Condensatore di uscita

Il condensatore C_{out} dev'essere tale da garantire una tensione costante all'uscita. Esso cioè dev'essere sufficientemente grande da poter alimentare autonomamente il carico e il convertitore stesso per un tempo pari a DT_{sw} , ovvero il tempo durante il quale esso è isolato dal resto del circuito. Sotto l'ipotesi della *small-ripple approximation* la corrente di questo condensatore è rappresentata in figura 3.33.

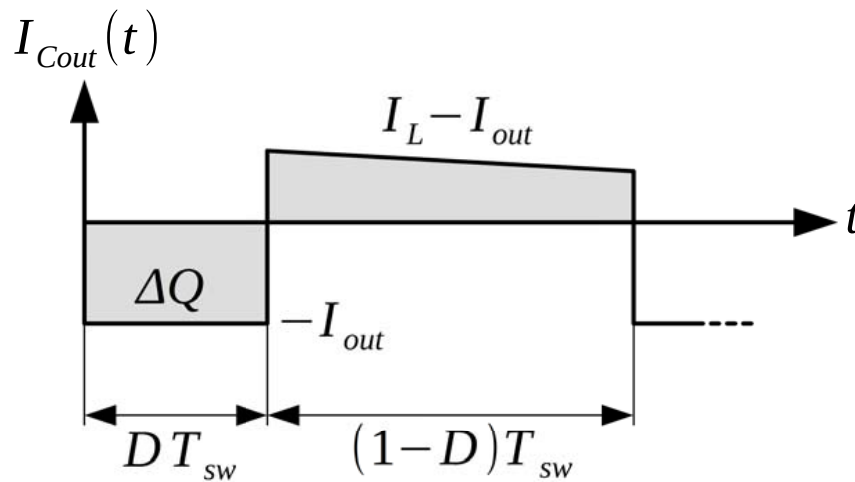


Figura 3.33: Corrente del condensatore di uscita.

Essa vale:

$$I_{Cout} = \begin{cases} -I_{out} & 0 \leq t \leq DT_{sw} \\ I_L - I_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (3.48)$$

Il ripple della tensione di uscita è calcolabile da ΔQ come:

$$\Delta V_{out} = \frac{\Delta Q}{C_{out}} \quad (3.49)$$

quindi:

$$C_{out} = \frac{\Delta Q}{\Delta V_{out}} = \frac{I_{out}DT_{sw}}{\Delta V_{out}} \quad (3.50)$$

Per questa formula si deve considerare D pari a D_{max} , ovvero il caso con V_{in} minima. Questo è infatti il caso peggiore per il ripple della tensione di uscita.

Si è scelto ΔV_{out} pari all'1% della tensione nominale di uscita. I_{out} è tale da avere una potenza di uscita totale di 5.4mW. 5mW sono per il carico, mentre i 400 μ W restanti sono la potenza di auto-alimentazione stimata.

Si trova $I_{out} = P_{out}/V_{out} = 1.6mA$ e $C_{out} = 33nF$.

Nella realtà il *duty-cycle* massimo sarà leggermente maggiore di quello calcolato analiticamente, a causa degli elementi parassiti e delle conseguenti perdite di potenza. Si preferisce quindi scegliere $C_{out} = 40nF$ per garantire il ripple di tensione dell'1% in uscita.

3.6 Dimensionamento dell'induttore

Il valore di induttanza per questo convertitore dev'essere tale da soddisfare l'ipotesi di I_L costante fatta in precedenza. Tensione V_L e corrente I_L sono rappresentate in figura 3.34.

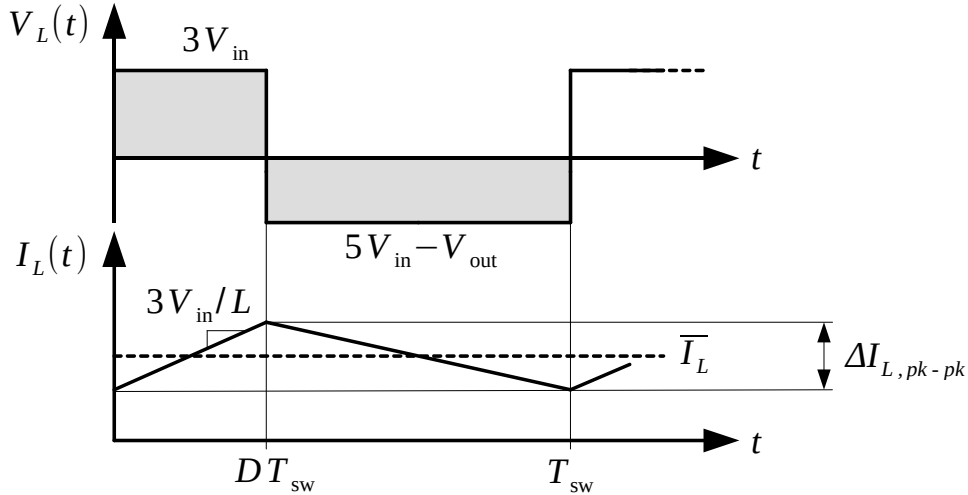


Figura 3.34: Corrente e tensione sull'induttore.

La corrente media dell'induttore è calcolabile dall'equazione 3.48 tramite la *capacitor charge balance*. Si trova:

$$-I_{out}D + (I_L - I_{out})(1 - D) = 0 \rightarrow I_L(1 - D) = I_{out} \quad (3.51)$$

quindi:

$$\overline{I_L} = \overline{I_{out}} / (1 - D) \quad (3.52)$$

Il *ripple* della corrente di induttore è facilmente calcolabile, avendo essa pendenza costante a tratti. Esso vale:

$$\Delta I_{L, pk-pk} = \frac{3V_{in}DT_{sw}}{L} \quad (3.53)$$

e imponendo un *ripple* minore dell'1% della corrente $\overline{I_L}$ si ha:

$$L \geq \frac{3V_{in}D(1 - D)T_{sw}}{(1/100)I_{out}} \quad (3.54)$$

quindi $L \geq 20.9mH$, con caso peggiore a $V_{in} = 490mV$ ($D = 0.37$). Si è scelto di implementare $L = 21mH$.

3.7 Alimentazione dei circuiti di controllo

Come accennato prima, il convertitore ha alcuni circuiti di controllo alimentati a 1.2V. Il motivo di questa scelta è che alcuni switch possono essere implementati sia con transistor *core* che con transistor I/O, ma vale la pena realizzarli con dispositivi *core* perché il rapporto resistenza serie rispetto alla potenza spesa per pilotarli risulta molto più vantaggioso, e l'efficienza globale è migliore. La tensione di 1.2V deve essere quindi disponibile per pilotare questi Mosfet, e data la sua disponibilità è conveniente usarla anche per implementare i circuiti di controllo. Infatti se realizzati con la tensione standard per questa tecnologia essi avranno prestazioni migliori a parità di area occupata e quindi costo.

Il modo più semplice per ottenere una tensione più bassa rispetto all'uscita del convertitore è utilizzare un convertitore LDO ausiliario. Esso offre una tensione regolata e stabile anche in caso di variazioni della tensione di uscita del convertitore.

Lo schema di tale convertitore ausiliario è visibile in figura 3.35.

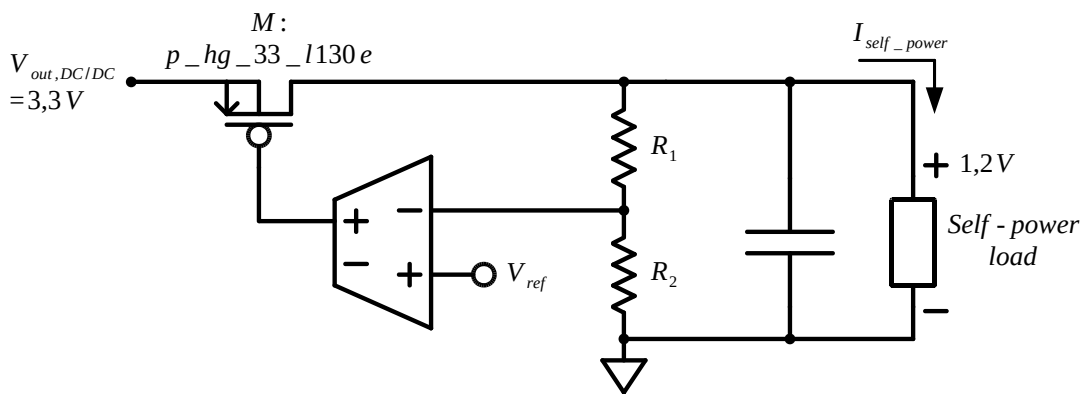


Figura 3.35: Convertitore LDO ausiliario per l'auto-alimentazione.

Esso riceverà in ingresso la tensione di uscita del convertitore DC/DC principale, a regime pari 3.3V, e tramite il partitore realizzato dal transistor M e il carico (che ricordiamo essere composto dai Buffer per i transistor *core* e dai circuiti di controllo) fornirà la tensione regolata a 1.2V necessaria all'auto-alimentazione del convertitore principale. Realizzando $R_1 = R_2$ si può utilizzare come riferimento di tensione lo stesso riferimento che si userà per altri circuiti di controllo (capitolo 4) pari a 0.6V. Il design di questo circuito è lasciato ad eventuali sviluppi futuri del progetto. Nella realizzazione del convertitore DC/DC oggetto di questo lavoro è stata comunque considerata la potenza destinata all'auto-alimentazione aumentata di un fattore (3.3/1.2) per tenere conto dell'efficienza di questo convertitore ausiliario.

Controllo in retroazione

Per il controllo del convertitore è stato scelto un controllore che confrontando la tensione d'uscita con un riferimento regola direttamente il valore di *Duty-cycle* necessario a mantenere i 3.3V di uscita. Il loop di retroazione è presentato in figura 4.1.

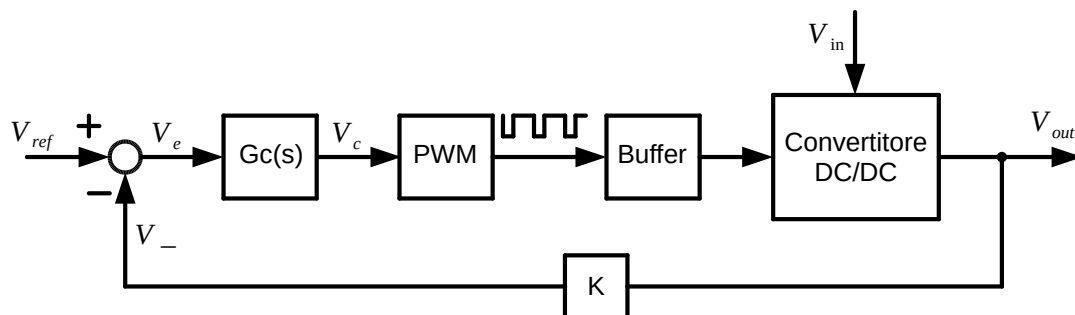


Figura 4.1: Loop di retroazione del convertitore.

Si rende necessario introdurre un guadagno $K < 1$ nel prelievo della tensione d'uscita. Questo perché essendo la massima tensione disponibile pari a 3.3V non si riuscirà a implementare un riferimento di tensione che generi una V_{ref} di 3.3V, ma solo ad una tensione minore. Si è scelto, come si vedrà in seguito una V_{ref} pari a 0.6V, perché questa è la tensione ideale anche per gli altri circuiti che necessitano di un riferimento. Il guadagno K dovrà essere quindi di $K = V_{ref}/V_{out} = 0.6/3.3 = 2/11$. Il controllo in retroazione, oltre a regolare automaticamente la tensione d'uscita, garantisce alta reiezione dei disturbi. Tali disturbi possono essere ad esempio rumore sulla tensione di ingresso e variazioni della corrente di carico.

4.1 Generazione del segnale PWM

Il blocco nominato PWM in figura 4.1 ha il compito di generare in uscita un onda quadra con *Duty-Cycle* modulato dalla tensione di controllo V_c . Ciò si può ottenere comparando questa tensione di controllo con una rampa di tensione periodica, di periodo pari al periodo di commutazione che si vuole utilizzare per il convertitore DC/DC. Il tutto è visualizzato in figura 4.2.

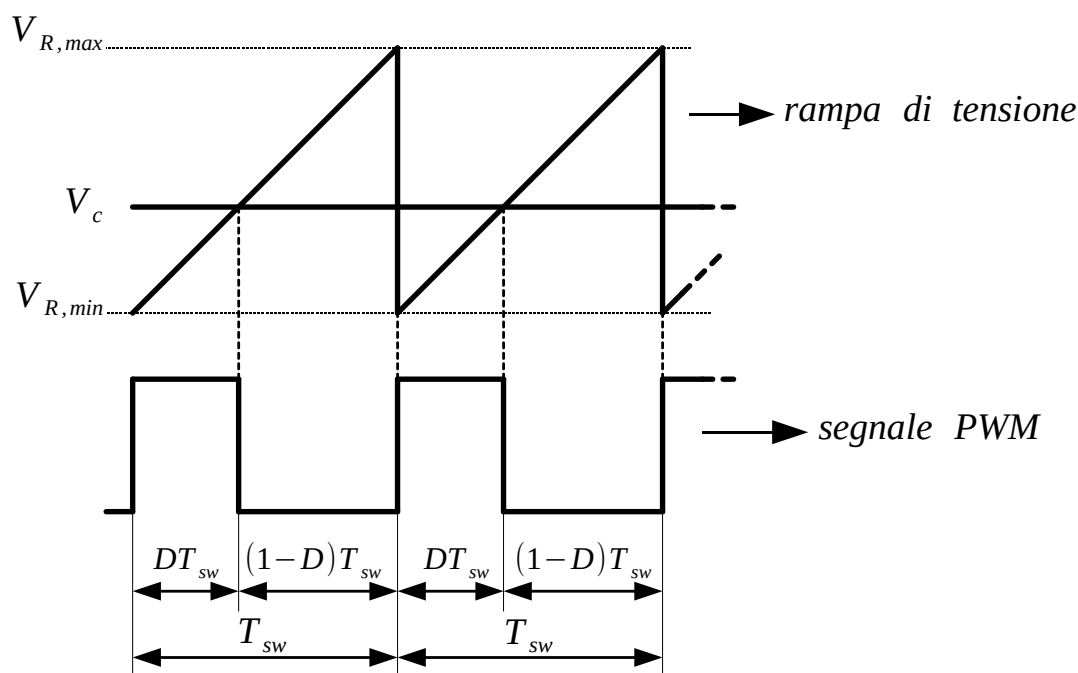


Figura 4.2: Generazione di un'onda quadra con *Duty-cycle* variabile.

Tramite un comparatore si compareranno i 2 segnali: V_c e la rampa di tensione. Fintanto che la rampa è inferiore alla tensione di controllo il comparatore ha uscita alta. Questa fase ha durata DT_{sw} , dopodiché la rampa supera il valore di V_c , il comparatore commuta e la sua uscita va al valore basso. Ciò persiste per la porzione di T_{sw} rimanente, di durata $(1-D)T_{sw}$. A $t = T_{sw}$ la rampa torna nuovamente a zero e il ciclo riprende.

La pendenza della rampa è la seguente:

$$m = \frac{V_{R,max} - V_{R,min}}{T_{sw}} \quad (4.1)$$

mentre il valore di D è calcolabile come:

$$D = \frac{V_c - V_{R,min}}{V_{R,max} - V_{R,min}} \quad (4.2)$$

Se $V_{R,min} \leq V_c \leq V_{R,max}$ si può ottenere $0 \leq D \leq 1$.

Si analizzano ora i due circuiti che realizzano quanto descritto fin'ora: il generatore di rampa e il comparatore.

4.1.1 Generatore di rampa

L'idea è quella di ottenere una rampa di tensione caricando un condensatore con una corrente costante. Riprendendo l'equazione di un condensatore:

$$i_C = C \frac{dV_C}{dt} \rightarrow V_C = \frac{1}{C} \int i_C dt \quad (4.3)$$

Si nota che se il condensatore è caricato con corrente costante la sua tensione varia linearmente.

Dopo un tempo pari a $T_{sw} = 1\mu s$ un transistor Mosfet cortocircuiterà il condensatore, azzerandone la sua tensione e facendo ripartire la rampa nuovamente.

Il circuito completo è visualizzato in figura 4.3.

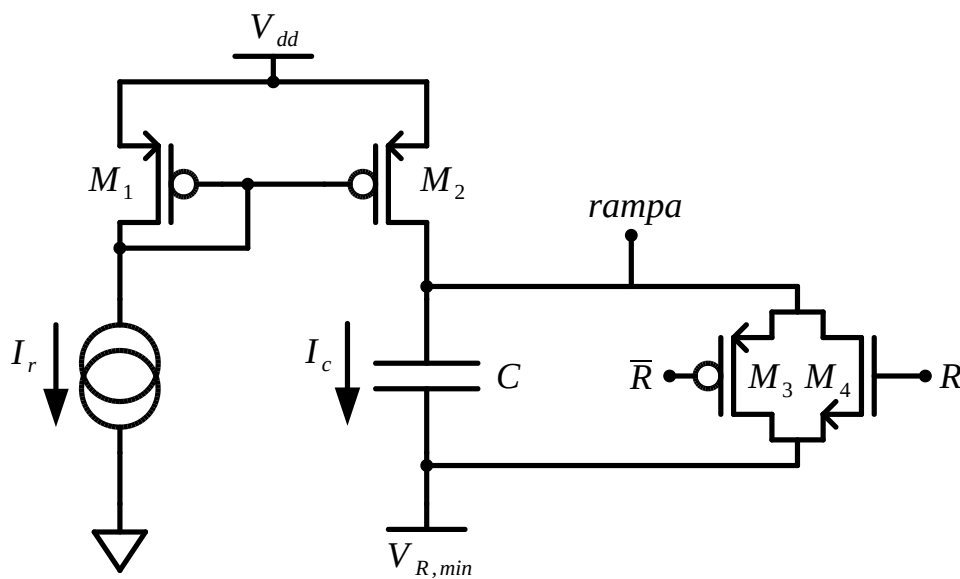


Figura 4.3: Circuito per generare la rampa di tensione periodica.

In tale circuito sono presenti: uno specchio di corrente formato dai Mosfet M_1 ed M_2 , un generatore di corrente, un condensatore e il parallelo di un Mosfet tipo N e di uno tipo P, M_3 e M_4 . Tale parallelo, pilotato rispettivamente dal segnale di reset R e il rispettivo negato \bar{R} , è il circuito che resetterà il condensatore C periodicamente ogni T_{sw} secondi.

Da sottolineare che la coppia formata dal generatore di corrente e il Mosfet M_1 non è da considerarsi come definitiva, ma in una realizzazione finale del convertitore andrà sostituita con un riferimento di corrente, il quale poi genererà la tensione di gate di M_2 affinché questo carichi C con una corrente pari a I_C .

Il valore di tensione minimo della rampa, $V_{R,min}$, è determinato dal circuito che genera la tensione di controllo V_C , ed è stato posto pari a 600mV. L'escursione in tensione della rampa è invece stata scelta per rispettare la tensione di modo comune che il comparatore che segue può accettare. Si è optato per avere un escursione di 150mV, quindi $V_{R,max} = 750mV$. L'intero circuito è alimentato con $V_{dd} = 1.2V$.

Il parametro fondamentale sul quale si è dimensionato l'intero circuito è la potenza da esso dissipata. Essendo questo un circuito ausiliario al funzionamento del convertitore, minore sarà la potenza che dissipa e migliore sarà l'efficienza di tutto il sistema. Si è optato quindi per avere una potenza dissipata irrisoria, pari allo 0.1% della potenza di uscita. Si ottiene:

$$P_d = \frac{0.1}{100} 5mW = 5\mu W \quad (4.4)$$

Trascurando la potenza necessaria per accendere i Mosfet di reset M_3 e M_4 , la potenza dissipata dal circuito è $P_d = V_{dd}(I_r + I_c)$, e con $I_r = I_c$ si ottiene:

$$I_r = I_c = \frac{1}{2} \frac{P_d}{V_{dd}} = 2.5\mu A \quad (4.5)$$

Determinato il valore di I_c si ricava C dall'escursione che deve avere la rampa di tensione.

Dimensionamento di C

L'escursione di tensione è data da:

$$\Delta V_R = \frac{1}{C} \int_0^{T_{sw}} I_c dt \quad (4.6)$$

quindi

$$C = \frac{I_c T_{sw}}{\Delta V_R} = \frac{2.5 \cdot 10^{-6} \cdot 1 \cdot 10^{-6}}{0.15} = 16.67 pF \quad (4.7)$$

Si è scelto di realizzare tale condensatore con tecnologia MIMCAP. Tale processo integrato è infatti quello che garantisce maggiore linearità e precisione nel valore di C, oltre a minori capacità parassite di *bottom-plate* e *top-plate*.

Un condensatore MIMCAP è realizzato come mostrato in figura 4.4. Normalmente è posizionato tra gli ultimi due livelli di metal, massimizzando così la distanza con il substrato. Ciò garantisce basse capacità parassite di *bottom-plate* e meno perdite sul substrato. E' costituito di 2 strati metallici con interposto un dielettrico, MIMCAP significa infatti *metal-insulator-metal capacitor*.

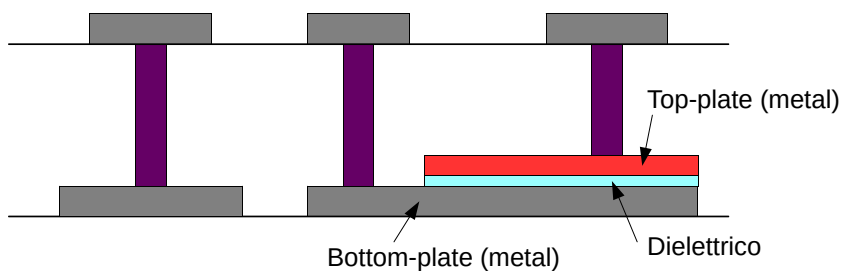


Figura 4.4: Struttura di un condensatore MIMCAP.

La relazione tra le dimensioni dei 2 strati metallici con la capacità è la seguente:

$$C = [C_a(WL) + 2C_p(W + L)] \quad (4.8)$$

dove i 2 parametri C_a e C_p sono propri alla tecnologia in uso. C_a è la capacità specifica, quella cioè che lega il valore di capacità finale all'area dello strato di metallo, mentre C_p è quella che tiene conto del perimetro dello strato di metallo, ovvero la *Fringing capacitance*. Essi valgono rispettivamente $1 fF/\mu m^2$ e $0.114 fF/\mu m$.

Per il valore di capacità desiderato si trova $W = L = 128.88 \mu m$. Tale misura è superiore alla massima consentita dalle regole di layout, si costruisce quindi il condensatore come parallelo di 4 condensatori di dimensioni $W = 64 \mu m$ e $L = 64 \mu m$. Il valore di capacità finale è 16.5pF.

Da notare che a questa capacità si sommano anche le capacità parassite dei Mosfet M_2 , M_3 e M_4 , ma data la loro piccola dimensione non è necessario tenere conto del loro contributo. Anche il circuito che segue, collegato al nodo *rampa*, contribuisce alla capacità. A questo nodo però viene collegato un morsetto della coppia differenziale del comparatore, che si vedrà avere dimensioni minime. Anche questo contributo è quindi trascurabile.

Dimensionamento di M_1 e M_2

I transistor M_1 e M_2 formano uno specchio di corrente. Assumendo che entrambi i Mosfet operino in saturazione, si ha che le loro equazioni sono:

$$I_{D1} = \frac{\mu C_{ox}}{2} \frac{W_1}{L_1} (V_{GS1} - V_t)^2 (1 + \lambda V_{DS1}) \quad (4.9)$$

$$I_{D2} = \frac{\mu C_{ox}}{2} \frac{W_2}{L_2} (V_{GS2} - V_t)^2 (1 + \lambda V_{DS2}) \quad (4.10)$$

Per come sono collegati i due transistor hanno $V_{GS1} = V_{GS2}$, trascurando quindi la modulazione di lunghezza di canale il rapporto tra le loro correnti dipende solo dal rapporto delle loro dimensioni.

E' stato scelto di avere $I_r = I_c$ in modo da poter dimensionare i due transistor identici. Ciò porta dei vantaggi nella realizzazione pratica. Infatti la lunghezza di canale effettiva di un transistor differisce da quella scelta in progettazione da dei termini costanti. Questi termini dipendono a loro volta dalla regione di svuotamento al *drain* e dalla diffusione laterale di *source* e *drain*. Dato che questi termini sono indipendenti dalla lunghezza di canale scelta, il rapporto tra le lunghezze di canale effettive di due transistor è uguale al rapporto scelto in fase di progettazione solo se le due lunghezze scelte sono effettivamente uguali [10].

Inoltre uno specchio di corrente copia la corrente di riferimento senza errori solo se la resistenza d'uscita dei transistor è infinita. Con resistenza d'uscita finita invece, una differenza tra V_{DS1} e V_{DS2} introduce un errore sulla corrente inversamente proporzionale a r_0 , a causa della modulazione della lunghezza di canale.

Per ridurre questo errore si è scelto di avere $L_1 = L_2 = 5L_{min} = 600 nm$, per avere una resistenza d'uscita dei Mosfet elevata.

Si è scelta per i due transistor M_1 e M_2 una V^* di 200mV. Con la rampa che varia tra i 600mV e i 750mV, V_{DS2} varia tra i 450mV e i 600mV, Si ha quindi che è sempre soddisfatta la relazione $V_{DS2} > V^*$ e M_2 lavora sempre in una regione ad alta r_0 , cosa indispensabile per il corretto funzionamento dello specchio. Si ricava:

$$\theta_1 = \theta_2 = \theta_{0p} + \frac{\theta_{1p}}{5L_{min}} = 0.57V^{-1} \quad (4.11)$$

dove θ_{0p} e θ_{1p} sono parametri di fitting della tecnologia, e valgono rispettivamente $0.54V^{-1}$ e $18 \cdot 10^{-9}V^{-1}m$.

Invertendo ora la relazione $V^* = V_{ov}(1 + \theta V_{ov})$ si ricava la tensione di *overdrive* per questi transistor, che vale:

$$V_{ov1} = V_{ov2} = \frac{\sqrt{1 + 4\theta V^*} - 1}{2\theta} = 0.1813V \quad (4.12)$$

e quindi

$$W_1 = W_2 = \frac{2I_r L_1}{\mu C_{ox}} \cdot \frac{1 + \theta V_{ov}}{V_{ov}^2} \simeq 1\mu m \quad (4.13)$$

NB: per il dimensionamento di questi Mosfet, come per altri nelle sezioni successive, si è usata la metodologia g_m/I_D , la quale tiene conto degli effetti di canale corto dei transistor Mosfet. Tale metodologia è dettagliatamente analizzata in [10].

Dimensionamento di M_3 e M_4

I transistor M_3 e M_4 hanno il compito di scaricare, in un lasso di tempo molto breve, il condensatore C, per far ripartire la rampa da $V_{R,min}$ ogni T_{sw} secondi. Si è scelto di usare il parallelo di un Mosfet tipo n e uno tipo p perché la tensione $V_{R,min}$ è esattamente a metà di V_{dd} . Ciò significa che ne il Mosfet n ne quello p hanno il source a una tensione particolarmente vantaggiosa, e il parallelo permette di ottenere la stessa resistenza equivalente ad un area minore rispetto all'utilizzo di un singolo mosfet n o p.

Nel piccolo istante in cui avviene il reset l'equazione che descrive la tensione sul condensatore è la seguente:

$$V_C(t) = V_{R,min} + V_{R,max} \cdot e^{-t/RC} \quad (4.14)$$

dove R è la resistenza equivalente del parallelo dei due Mosfet M_3 e M_4 . Ovviamente per una scarica completa del condensatore serve un tempo infinito o una resistenza nulla, ci si accontenterà quindi di portare la tensione molto vicina a $V_{R,min}$. Sono state imposte le seguenti condizioni:

- tempo di Reset: $t_R = 1\%$ di T_{sw}
- $e^{-t_R/RC} = 0.01$, per avere che la rampa viene riportata all' 1% della sua escursione massima ad ogni Reset.

Per ottenere $e^{-t_R/RC} = 0.01$, R deve valere:

$$R = \frac{-t_R}{C \cdot \ln(0.01)} = \frac{-0.01 T_{sw}}{C \cdot \ln(0.01)} \simeq 130\Omega \quad (4.15)$$

Ciò vuol dire che, essendo R data dal parallelo di R_{M3} e R_{M4} , tali resistenze possono valere:

- $R_{M3} = 2R = 260\Omega$
- $R_{M4} = 2R = 260\Omega$

Per quel che riguarda la dimensione che i Mosfet devono avere per mostrare questa resistenza si è agito come nel capitolo precedente, ovvero tramite la costante che lega con relazione inversamente proporzionale W e R.

I due Mosfet M_3 e M_4 hanno il bulk rispettivamente a $V_{dd}V$ e $0V$, per evitare accensioni involontarie dei diodi di bulk. Le due costanti in questo caso valgono

- $K_{p12, V_s=0.6, V_b=1.2} = 8.2 \cdot 10^{-3} \Omega m$
- $K_{n12, V_s=0.6, V_b=0} = 1.4 \cdot 10^{-3} \Omega m$

e per ottenere le due resistenze desiderate serve:

$$W_{M3} = \frac{K_{p12, V_s=0.6, V_b=1.2}}{R_{M3}} = 31.58\mu m \quad (4.16)$$

$$W_{M4} = \frac{K_{n12, V_s=0.6, V_b=0}}{R_{M3}} = 5.38\mu m \quad (4.17)$$

Usare, per il Mosfet p, la costante con $V_s = 0.6V$ sovrastima la sua dimensione, infatti per M_4 la tensione di *source* sarà maggiore o al limite uguale a $0.6V$. Ciò vuol dire che questo transistor mostrerà in realtà una resistenza minore di quella calcolata. Per essere sicuri di avere una buona scarica del condensatore C si è scelto $W_{M3} = W_{M4} = 30\mu m$.

Le forme d'onda ottenute in simulazione sono presentate nelle figure seguenti.

In figura 4.5 si può vedere la rampa di tensione. Essa va da una tensione minima di $V_{R,min} = 0.6V$ a una tensione massima di $V_{R,max} = 0.751V$, come desiderato.

In figura 4.6 si può invece visualizzare la forma d'onda della corrente I_c . Come si può vedere lo specchio introduce un errore su questa corrente, il quale dipende da V_{DS2} e quindi dalla tensione della rampa. Durante il reset si ha un picco di corrente di $2.67\mu A$, a causa del calo brusco della tensione su C. Trascurando questo picco, la corrente I_c va da un minimo di $I_{c,min} = 2.501\mu A$ quando la rampa è a $750mV$ fino ad un massimo di $I_{c,max} = 2.53\mu A$ un istante dopo che la rampa è stata azzerata, quindi quando V_{DS2} è massima. L'errore massimo introdotto, rispetto ai $2.5\mu A$ nominali, è di solo l'1.2%.

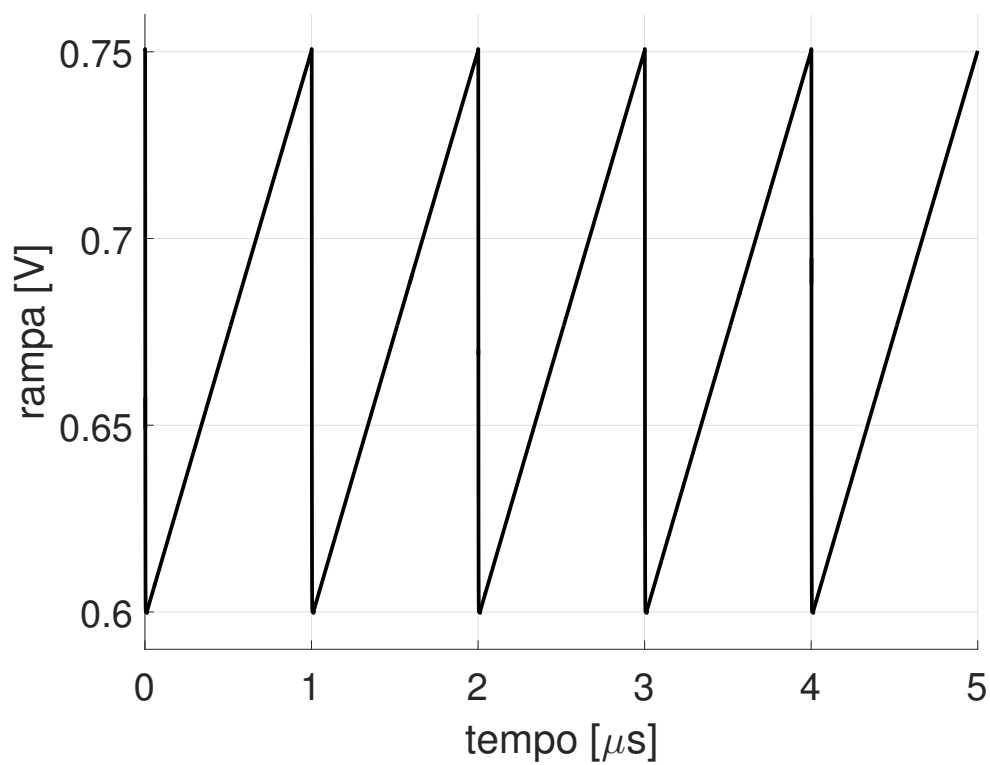


Figura 4.5: Rampa di tensione ottenuta in simulazione.

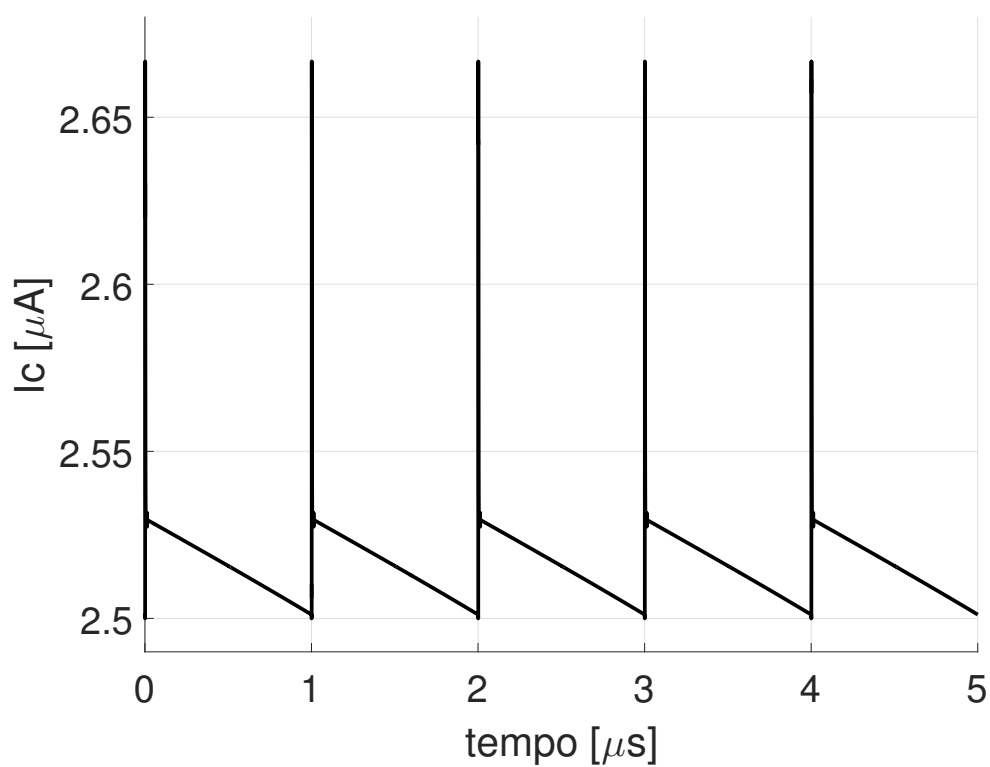


Figura 4.6: Corrente I_c ottenuta in simulazione.

In figura 4.7 si può invece vedere in dettaglio come, durante la fase di reset la tensione su C cali bruscamente fino a $V_{R,min}$. V_C poi rimane a zero finché il segnale di reset è attivo. Quando la fase di reset è terminata il condensatore torna a integrare la corrente I_C , iniziando la rampa successiva.

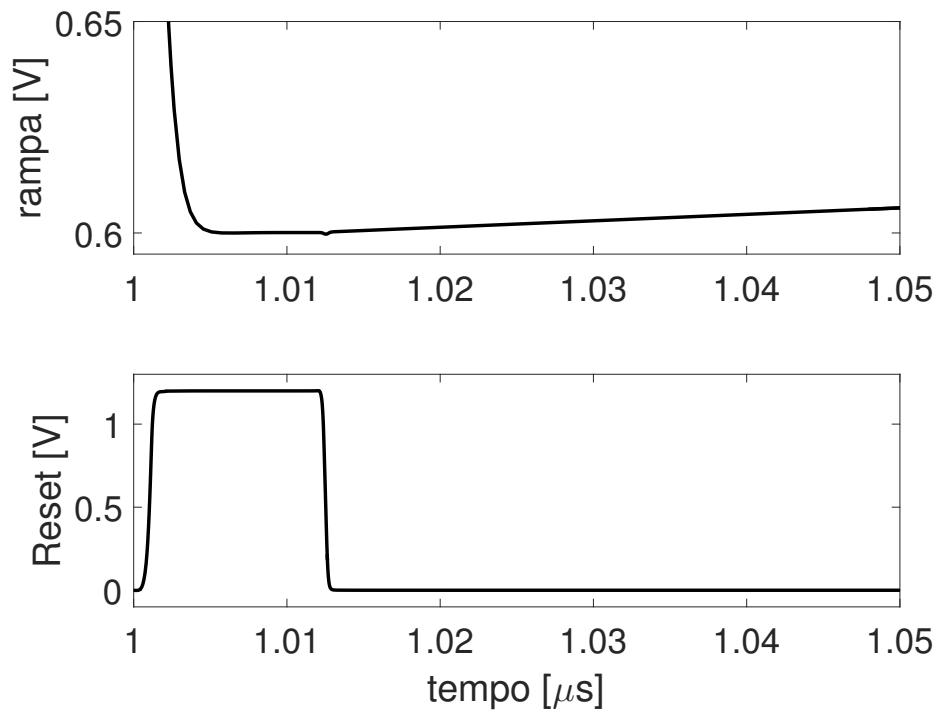


Figura 4.7: Zoom del reset del condensatore ottenuto in simulazione.

Generazione del segnale di RESET

Rimane ora da generare il segnale di reset, ovvero l'impulso che ogni T_{sw} secondi accende per un breve tempo i Mosfet M_3 e M_4 per azzerare V_C . Ciò si può realizzare con un *pulse-generator*, ovvero il circuito di figura 4.8.

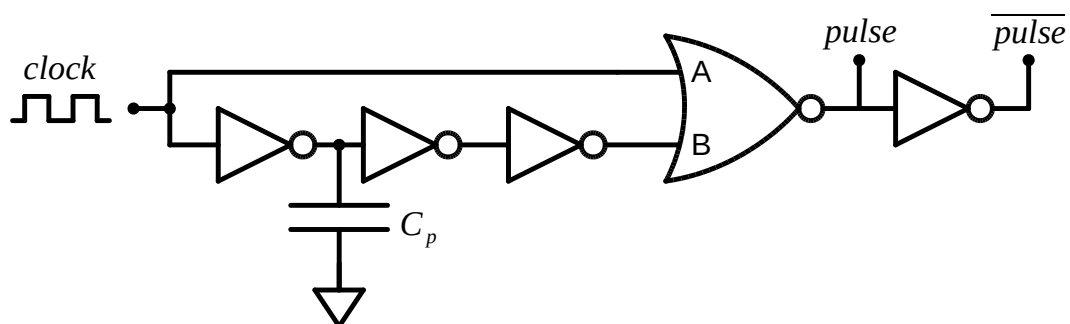


Figura 4.8: Realizzazione circuitale del *pulse-generator*.

Il funzionamento è piuttosto semplice: applicando in ingresso un'onda quadra, questa raggiunge l'ingresso A di una porta NOR direttamente. L'ingresso B della stessa porta NOR vede sempre il segnale di ingresso, ma negato e leggermente in ritardo per la presenza della catena di invertitori. Ci sarà quindi un breve periodo di tempo, ad ogni periodo del clock, in cui sia A che B sono al valore logico basso. Ciò significa che l'uscita della porta NOR si porta al valore logico alto. Per tutto il resto del periodo A, B o entrambi i segnali sono alti, perciò la porta NOR dà in uscita un valore logico basso. Il condensatore C_p serve a regolare il ritardo del ramo B, per avere durata dell'impulso regolabile. I segnali sono visibili in figura 4.9.

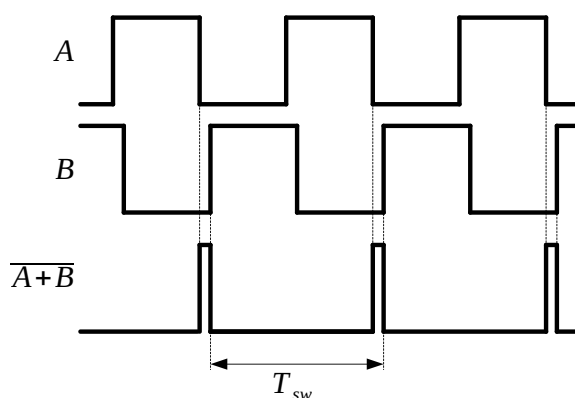


Figura 4.9: Segnali del *pulse-generator*.

Un invertitore in uscita genera poi il segnale opposto, per il transistor p M_3 . Le porte NOT sono state realizzate in tecnologia CMOS statica, con dimensioni minime e analoghe a quelle del primo stadio dei buffer da 1.2V descritti nel capitolo precedente. In particolare si ha $L_n = L_p = 120nm$, $W_n = 160nm$ e $W_p = 640nm$, con il Mosfet p più grande di quello n per avere una soglia logica vicino a $V_{dd}/2$. Lo schema è riportato in figura 4.10.

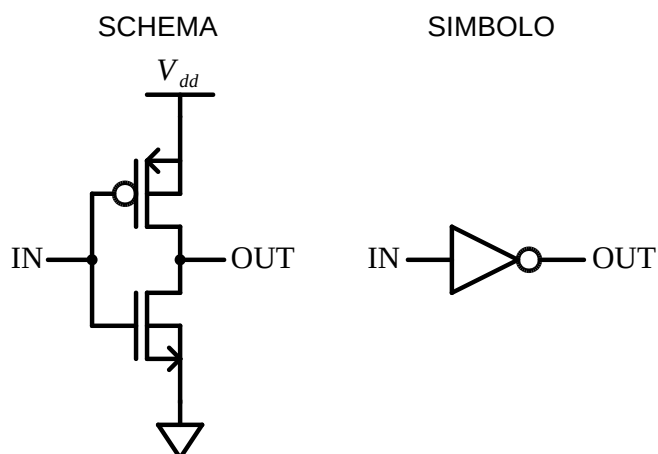


Figura 4.10: Realizzazione circuitale della porta NOT.

Anche la porta NOR è stata realizzata in tecnologia CMOS statica, secondo lo schema di figura 4.11.

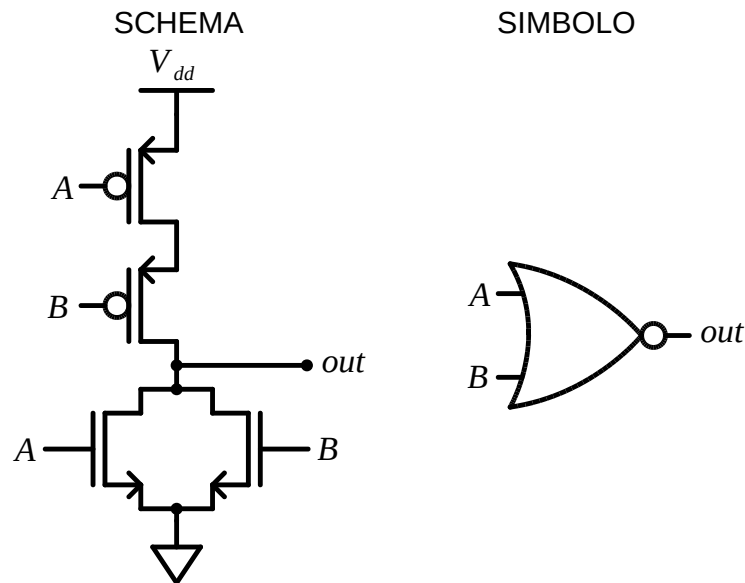


Figura 4.11: Realizzazione circuitale della porta NOR.

Per avere resistenze delle reti di PULL-UP e PULL-DOWN simili, e quindi tempi di transizioni da valore logico alto a basso e viceversa simili, i transistor sono stati dimensionati in analogia con la porta NOT. In particolare i 2 Mosfet n hanno dimensione minima: $L_n = 120nm$ e $W_n = 160nm$. Essendo 2 in parallelo, esso avranno forza doppia rispetto al singolo Mosfet n della porta NOT. Se la rete di PULL-UP fosse quindi realizzata con un solo Mosfet p questo dovrebbe avere dimensione doppia rispetto a quello della porta NOT.

La rete di PULL-UP della porta NOR è costituita però da due Mosfet p in serie. Essi dovranno avere quindi dimensione pari a 4 volte la dimensione del Mosfet p della porta NOT. Si ottiene $L_p = 120nm$ e $W_p = 2.56\mu m$.

Il valore di C_p è stato ricavato tramite simulazione. Per avere una durata dell'impulso maggiore dell' 1% di T_{sw} , come ipotizzato nella progettazione del generatore di rampa, è necessaria una capacità pari a $C_p = 2.5pF$. Essa è realizzabile tramite un condensatore MIMCAP di dimensioni $W \cdot L = 50\mu m \cdot 50\mu m$.

La durata dell'impulso è stata misurata da quando la tensione di RESET raggiunge il 90% di V_{dd} a quando scende sotto il 90% di V_{dd} terminato l'impulso.

Le forme d'onda ottenute in simulazione sono visibili nelle figure seguenti.

In figura 4.12 sono visibili il segnale A, il segnale B che è opposto ad A e leggermente in ritardo e l'uscita della porta NOR, cioè il segnale di RESET desiderato.

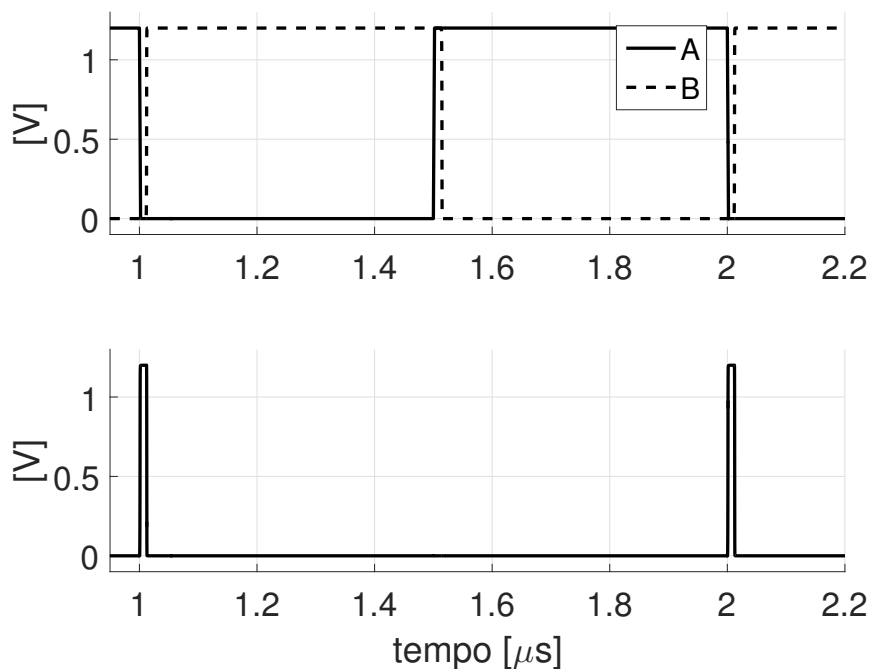


Figura 4.12: Segnali A, B, e pulse ottenuti in simulazione.

In figura 4.13 è visibile uno zoom dell'uscita della porta NOR, raffigurante un impulso. E' presente una linea tratteggiata a 1.08V, che è il 90% di V_{dd} . Come si può vedere la durata dell'impulso, pari a 11.05ns, è superiore alla durata minima richiesta dell'1% di T_{sw} , ovvero 10ns.

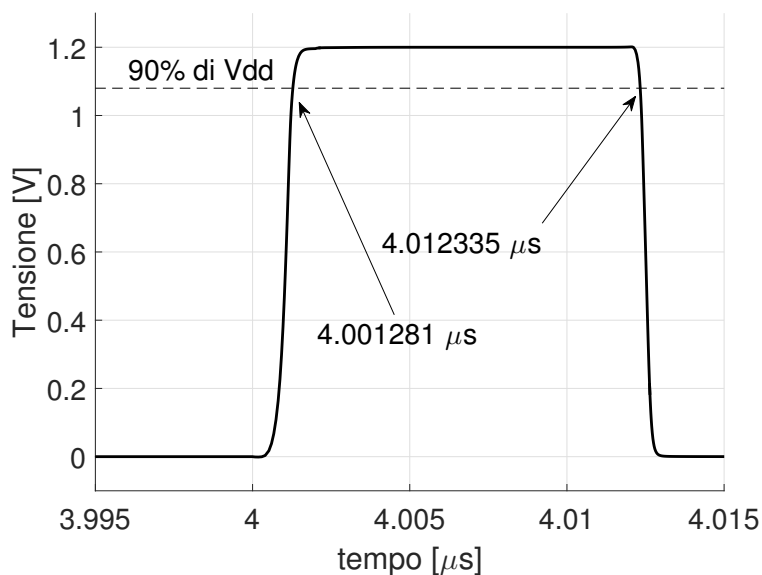


Figura 4.13: Zoom del segnale di reset.

Il consumo totale del generatore di rampa, comprensivo del generatore di impulsi, ottenuto in simulazione è di $10.25\mu W$. Esso è pari allo 0.205% della potenza di uscita del convertitore.

4.1.2 Comparatore

Il comparatore è stato realizzato secondo lo schema di figura 4.14.

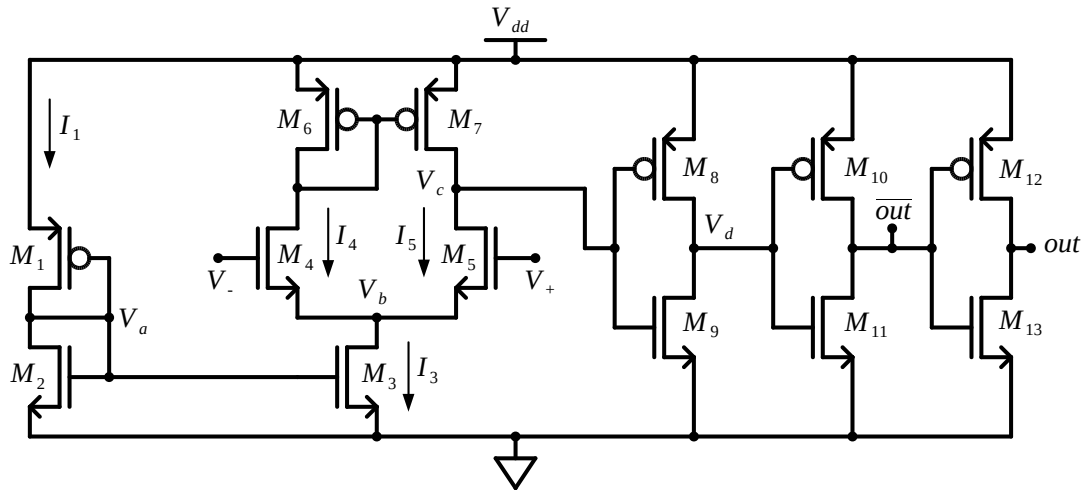


Figura 4.14: Schema del comparatore.

Si tratta di una coppia differenziale *single-ended* con carico attivo utilizzata in catena aperta, seguita da tre invertitori che conferiscono alto guadagno. L'idea è quella di utilizzare una coppia differenziale non particolarmente performante ma che consumi poco, la cui uscita di modo comune però sia esattamente alla soglia logica dell'inverter $M_8 - M_9$, che conferirà quindi alto guadagno. I due invertitori seguenti, $M_{10} - M_{11}$ e $M_{12} - M_{13}$, hanno lo scopo di rigenerare il segnale e creare un'uscita diretta e una negata.

Dato che in fase di costruzione del circuito la soglia logica dell'inverter $M_8 - M_9$ subirà delle variazioni processuali, la coppia differenziale riceve la polarizzazione da un analogo inverter $M_1 - M_2$ chiuso in soglia logica, in modo che l'uscita di modo comune segua queste variazioni processuali e sia sempre nell'intorno della soglia logica dell'inverter $M_8 - M_9$.

La tensione di ingresso di modo comune minima che la coppia differenziale può accettare è vincolata dalla minima tensione a cui il nodo V_b può scendere. I transistor M_2 e M_3 formano uno specchio di corrente, è necessario quindi che entrambi rimangano in saturazione per poter funzionare. Ipotizzando che il transistor M_3 abbia una tensione di overdrive di 150mV, allora $V_{b,min} = 150mV$. Anche i transistor M_4 e M_5 devono rimanere in saturazione per garantire un guadagno minimo alla coppia differenziale. Anche per questi Mosfet è stato ipotizzato un overdrive minimo di 150mV. Si ottiene quindi:

$$V_{inCM,min} = V_{b,min} + V_{GS,M4} = V_{b,min} + V_{ov,M4} + V_{th} = 150mV + 150mV + V_{th} \quad (4.18)$$

I transistor standard da 1.2V disponibili in questa tecnologia hanno tensione di soglia nominale a 300mV. La tensione di ingresso di modo comune minima è quindi $V_{in_{CM,min}} = 150mV + 150mV + 300mV = 600mV$.

Bisogna ora garantire un overdrive minimo di 150mV anche al transistor M_3 , come era stato ipotizzato prima. Ciò significa che la tensione V_a deve valere:

$$V_a = V_{ov,M3} + V_{th} = 450mV \quad (4.19)$$

Perché V_a si porti a 450mV bisogna fare in modo che l'inverter $M_1 - M_2$ abbia soglia logica a questa tensione. Ci sono diverse cose da tenere in considerazione:

- W_1/L_1 e W_2/L_2 non possono essere troppo grandi perché collegati così i due transistor formano un cammino diretto da V_{dd} a massa, e assorbono quindi una corrente proporzionale alle loro dimensioni, dissipando potenza.
- $L_2 > L_{min}$ perché i transistor M_2 e M_3 devono avere una resistenza d'uscita sufficientemente elevata per copiare con poco errore la corrente e formare uno specchio.
- $W_2/L_2 \geq 1$ sempre per garantire il buon funzionamento dello specchio di corrente.

Realizzare M_2 con W_2 strettamente maggiore di L_2 significa avere un Mosfet n piuttosto forte, e per portare V_a a 450mV serve poi M_1 molto grande. Ciò va contro il primo punto, in quanto così facendo il cammino diretto da V_{dd} a massa diventa poco resistivo.

Si è scelto di avere $W_2 = L_2$, con $L_2 = 3L_{min} = 360nm$. Ciò per rispettare il punto 2 e ottenere al contempo una buona resistenza d'uscita per il Mosfet M_2 .

Dimensionato questo transistor, M_1 lo si è realizzato con la stessa lunghezza di canale, $L_1 = 360nm$. Per quel che riguarda W_1 , affinché $V_a \approx 450mV$ serve $W_1 = 360nm$. Con queste dimensioni si ottiene $V_a = 453mV$.

La tensione di uscita di modo comune della coppia differenziale, quando questa è bilanciata, è uguale a $V_{dd} - |V_{GS,M6}|$. M_6 è collegato analogamente a M_1 .

Ciò significa che se i due transistor portano la stessa corrente, hanno dimensioni analoghe e sono entrambi in saturazione la loro tensione V_{GS} sarà simile.

Per fare in modo che $I_1 \approx I_4 = I_5$, la corrente I_3 deve valere $2I_4$ e quindi $2I_1$.

Per il transistor M_3 deve quindi valere $W_3/L_3 = 2(W_2/L_2)$.

Si ottiene $W_3 = 720nm$ e $L_3 = 360nm$.

M_6 e M_7 invece devono avere le stesse dimensioni di M_1 (per avere V_{GS} simili), quindi $W_6 = W_7 = W_1 = 360nm$ e $L_6 = L_7 = L_1 = 360nm$.

Rimangono da dimensionare i transistor attivi della coppia differenziale, M_4 e M_5 . Con il dimensionamento scelto per M_1 e M_2 , da simulazione si ottiene $I_1 = 8.5\mu A$. Anche I_4 e I_5 saranno quindi circa $8.5\mu A$. Per i transistor della coppia differenziale era stato previsto un overdrive di 150mV. Per essere sicuri che essi siano sempre saturi si impone $V_{M4,M5}^* = 150mV$ e $L_4 = L_5 = 360nm$, ricavando:

$$\theta_4 = \theta_{0,n} + \frac{\theta_{1n}}{L_4} = 0.8061V^{-1} \quad (4.20)$$

$$V_{ov,4} = \frac{\sqrt{1 + 4\theta_4 V_{M4,M5}^*} - 1}{2\theta_4} = 0.1353V \quad (4.21)$$

$$W_4 = W_5 = \frac{2I_4 L_4}{\mu C_{ox}} \cdot \frac{1 + \theta_4 V_{ov,4}}{V_{ov,4}^2} = 790nm \quad (4.22)$$

Per concludere rimangono da analizzare i tre inverter in cascata dopo l'OTA. Il primo inverter, $M_8 - M_9$ deve avere soglia logica analoga a quella dell'inverter $M_1 - M_2$ cosicché esso si sbilancerà alla minima variazione della tensione differenziale in ingresso all'OTA: $W_8 = W_9 = 360nm$ e $L_8 = L_9 = 360nm$.

Dopo questo inverter il segnale sarà rigenerato e avrà escursione da 0 a V_{dd} , gli inverter che seguono possono essere quindi dimensionati con soglia a $V_{dd}/2$. Affinché questi non introducano troppo ritardo sono stadi dimensionati con dimensione pari a 3 volte la dimensione minima, cioè $L_{10} = L_{11} = L_{12} = L_{13} = 120nm$, $W_{11} = W_{13} = 480nm$ e $W_{10} = W_{12} = 1920nm$.

Nella tabella seguente sono riassunte le dimensioni dei Mosfet utilizzati per realizzare il comparatore.

Mosfet	W [nm]	L [nm]
1	360	360
2	360	360
3	720	360
4	790	360
5	790	360
6	360	360
7	360	360
8	360	360
9	360	360
10	1920	120
11	480	120
12	1920	120
13	480	120

Tabella 4.1: Dimensioni dei Mosfet utilizzati per il comparatore.

Le figure seguenti riportano i risultati ottenuti in simulazione.

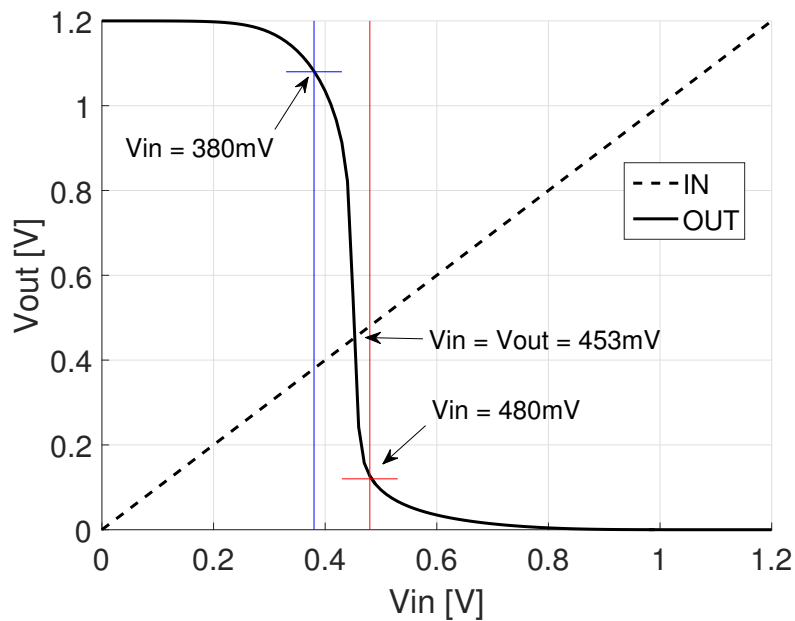


Figura 4.15: Caratteristica statica dell'inverter $M_8 - M_9$.

Figura 4.15 riporta la caratteristica statica dell'inverter $M_8 - M_9$. Come si vede esso ha soglia logica a 453mV. Per ottenere un'uscita dell'inverter superiore al 90% di V_{dd} , V_{in} dev'essere inferiore a 380mV. Viceversa, affinché l'uscita dell'inverter sia inferiore al 10% di V_{dd} serve V_{in} maggiore di 480mV.

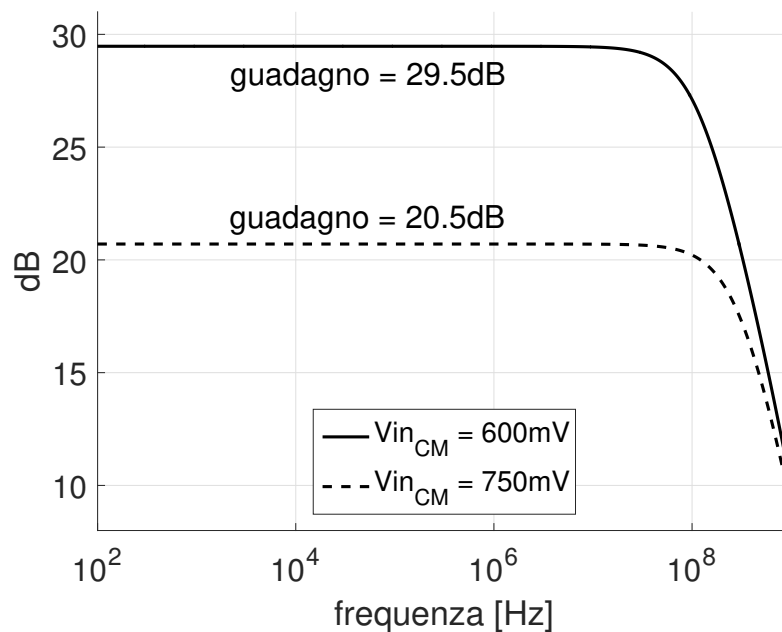


Figura 4.16: Guadagno dell'OTA a 5 transistor utilizzato nel comparatore.

Nel dimensionamento dell'OTA non si è tenuto conto ne della sua banda e del suo guadagno. Non si è considerata la banda in quanto la capacità di carico è minima, e non si è considerato il guadagno in quanto con il dimensionamento fatto è l'inverter $M_8 - M_9$ a fornire il vero guadagno al comparatore.

Banda e guadagno dell'OTA realizzato sono riportate in figura 4.16. Come si può vedere la banda supera abbondantemente il Mhz, frequenza a cui deve lavorare l'OTA. Il guadagno invece varia in funzione della tensione di ingresso di modo comune. Questo perché la tensione di ingresso di modo comune fa variare V_{DS} di M_3 , che quindi varia la corrente di polarizzazione dei Mosfet della coppia differenziale. In ogni caso, per $600mV \leq Vin_{CM} \leq 750mV$ tutti i transistor rimangono correttamente polarizzati in saturazione.

I_3 varia da $13.87\mu A$ quando $Vin_{CM} = 600mV$ a $14.82\mu A$ quando $Vin_{CM} = 750mV$. Per il dimensionamento fatto I_3 dovrebbe valere $2I_1 = 17\mu A$. La ridotta lunghezza di canale di M_2 e M_3 non permette allo specchio di lavorare perfettamente, e l'errore sulla corrente specchiata è del 18.4% nel caso peggiore.

Il fatto che i transistor rimangano comunque polarizzati in saturazione permette all'OTA di avere un discreto guadagno per tutte le tensioni di ingresso di modo comune. Esso varia infatti da 20.5dB a un massimo di 29.5dB.

Il fatto di non avere I_4 perfettamente uguale a I_1 comporta anche un errore sulla tensione di uscita di modo comune dell'OTA, la quale non è esattamente 453mV ma varia da 500mV a 485mV.

Analizziamo i due casi:

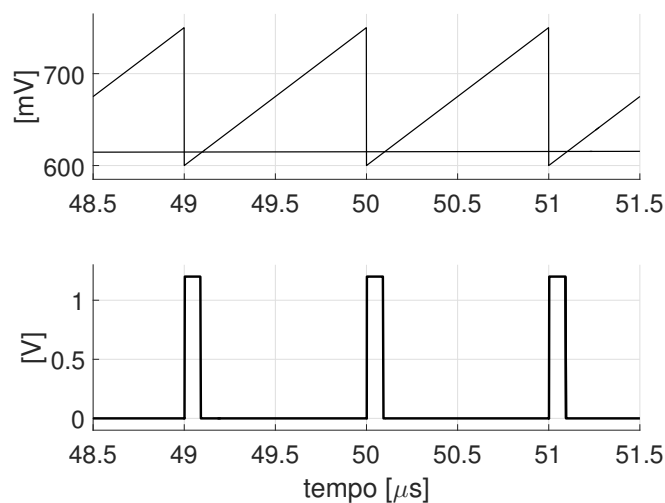
- $Vin_{CM} = 600mV$: la tensione di uscita di modo comune vale 500mV. Il caso peggiore è quando l'inverter $M_8 - M_9$ deve fare una commutazione $L \rightarrow H$, infatti l'uscita dell'OTA deve portarsi da 500mV a 380mV, con un escursione di 120mV. Con un guadagno di 29.5dB, la tensione di ingresso differenziale deve valere almeno 4mV. Con la pendenza scelta per la rampa di $150mV/\mu s$, una tensione differenziale di 4mV è disponibile dopo $4 \cdot 10^{-3} / 150 \cdot 10^3 = 26.67ns$, pari al 2.67% di T_{sw} .
- $Vin_{CM} = 750mV$: la tensione di uscita di modo comune vale 485mV. Anche qui il caso peggiore è quando l'inverter $M_8 - M_9$ deve fare una commutazione $L \rightarrow H$, infatti l'uscita dell'OTA deve portarsi da 485mV a 380mV, con un escursione di 105mV. Con un guadagno di 20.5dB, la tensione di ingresso differenziale deve valere almeno 10mV. Con la pendenza scelta per la rampa di $150mV/\mu s$, una tensione differenziale di 10mV è disponibile dopo $10 \cdot 10^{-3} / 150 \cdot 10^3 = 66.67ns$, pari al 6.67% di T_{sw} .

Nelle transizioni $H \rightarrow L$ il comparatore sarà invece molto veloce, in quanto la tensione di uscita di modo comune dell'OTA è sempre molto vicina alla soglia di transizione dell'inverter $M_8 - M_9$.

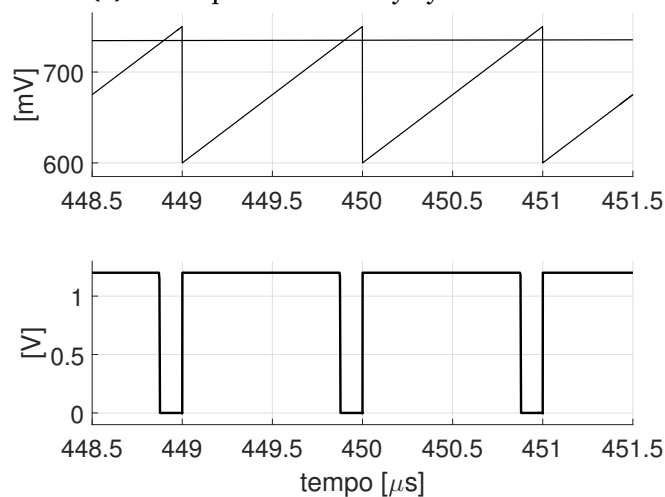
A queste considerazioni va aggiunto che il comparatore non si troverà mai a comparare due tensioni con modo comune a 600mV o 750mV, in quanto la tensione di controllo sarà sempre strettamente compresa tra questi due valori, per generare un *Duty-cycle* dal 14% all' 67% circa (a seconda della tensione di ingresso del convertitore DC-DC).

Con $V_{inCM} < 750mV$ il guadagno dell'OTA è sempre maggiore di 20.5dB, quindi l'invertitore avrà un ritardo sempre inferiore al 6.67% di T_{sw} . Inoltre un ritardo nella comparazione non disturba la tensione di uscita del convertitore che a regime sarà sempre 3.3V, ma degraderà solamente il margine di fase del sistema retroazionato. Basterà quindi tenere conto di questo ritardo nella progettazione del compensatore $G_c(s)$ per assicurare il margine di fase minimo desiderato.

In figura 4.17a e 4.17b è riportata una simulazione nel tempo del comparatore nelle condizioni in cui sarà portato a lavorare, cioè con un segnale costante in un ingresso e una rampa di tensione con $\Delta V = 150mV$ nell'altro. Le due figure riportano la generazione di due onde quadre, una con *Duty-cycle* del 10%, l'altra del 90%.



(a) Onda quadra con *Duty-cycle* del 10%.



(b) Onda quadra con *Duty-cycle* del 90%.

Figura 4.17: Simulazione nel tempo del comparatore.

Per quel che riguarda il consumo di potenza le simulazioni indicano un consumo medio, per la generazione di un onda quadra con *Duty-cycle* dal 10% al 90%, di $30\mu W$. Tale potenza è pari allo 0.6% della potenza di uscita del convertitore di tensione.

4.1.3 Generatore di due fasi non sovrapposte

Il comparatore appena dimensionato può fornire in uscita un'onda quadra con *Duty-cycle* variabile e la rispettiva onda negata. Per pilotare i buffer e quindi i gate dei Mosfet del convertitore servono tuttavia due onde quadre non sovrapposte, per generare i segnali di entrambe le fasi di funzionamento del circuito. Tali segnali possono essere generati a partire dalle due onde fornite dal comparatore, tramite il circuito di figura 4.18

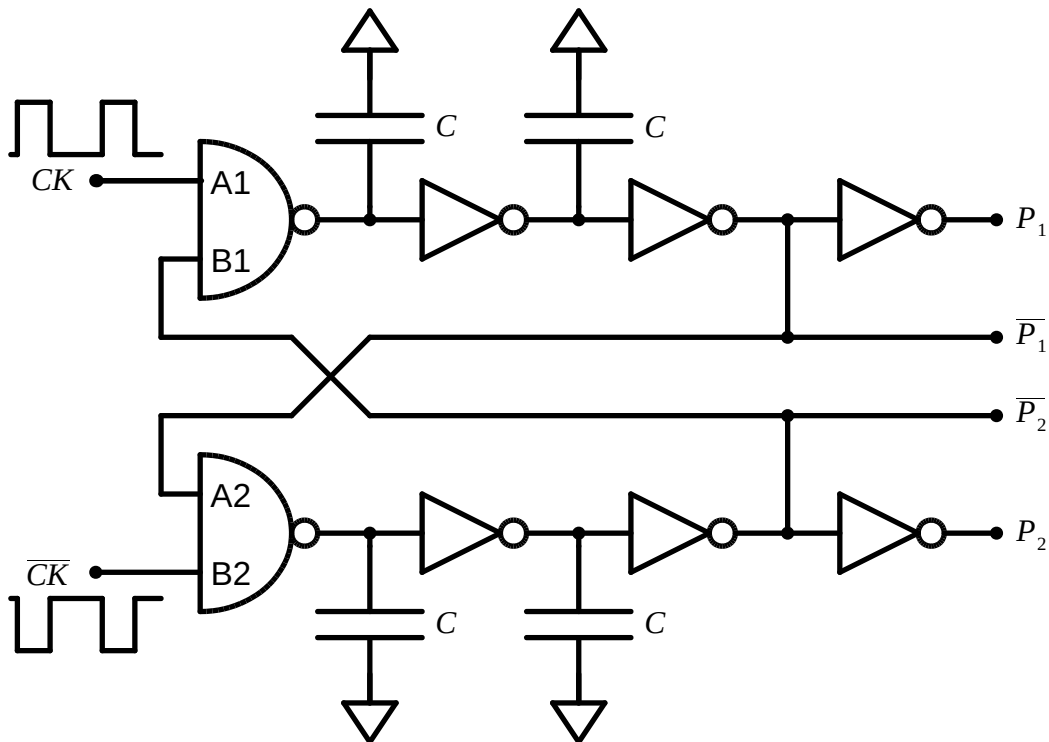


Figura 4.18: Circuito per la generazione di due clock non sovrapposti.

I due segnali generati dal comparatore, CK e \overline{CK} sono convertiti in due fasi non sovrapposte P_1 e P_2 . Per la costruzione del circuito sono disponibili anche i segnali negati di queste due fasi, $\overline{P_1}$ e $\overline{P_2}$.

Il circuito consiste di due porte NAND *cross-coupled*, utilizzate per ottenere la non sovrapposizione dei due segnali di uscita. Il ritardo della porta NAND e delle due NOT che seguono definisce il tempo morto tra le due fasi, ovvero il tempo in cui entrambi i segnali sono a valore logico basso [11]. I condensatori, tutti di valore C , sono stati introdotti per aumentare il tempo di propagazione delle porte logiche e garantire quindi un *dead-time* minimo tra le due fasi generate.

La porta NAND è stata realizzata secondo lo schema di figura 4.19.

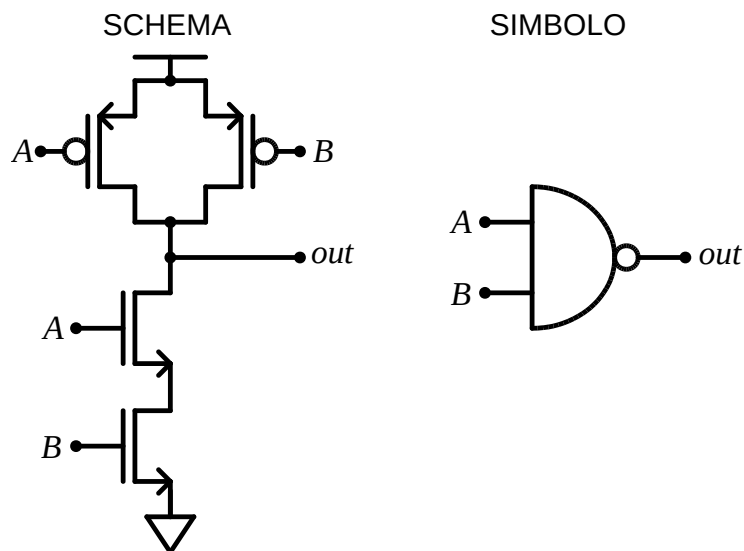


Figura 4.19: Realizzazione circuitale della porta NAND.

Come per la porta NOR realizzata precedentemente, le dimensioni dei Mosfet sono state scelte in analogia alla porta NOT. In particolare essendo la rete di PULL-DOWN di questa porta realizzata da due Mosfet n in serie, essi devono avere dimensione doppia rispetto al singolo Mosfet n della porta NOT per avere la stessa resistenza, quindi $L_n = 120nm$ e $W_n = 320nm$.

La rete di PULL-UP al contrario è realizzata da due Mosfet in parallelo, che per eguagliare in resistenza il singolo Mosfet p della porta NOT dovranno avere dimensione pari a metà di quest'ultimo: $L_p = 120nm$ e $W_p = 320nm$.

Tutte le porte NOT hanno realizzazione minima, in quanto hanno il solo scopo di introdurre ritardo nella propagazione del segnale. Volendo garantire un *dead-time* pari al 2% di T_{sw} (ovvero 20ns) si è ricavato tramite simulazione il valore di $C = 1.6pF$, realizzabile con un condensatore MIMCAP di dimensioni $40\mu m \cdot 40\mu m$.

Il valore di *dead-time* è stato misurato dove i segnali P_1 e P_2 (o $\overline{P_1}$ e $\overline{P_2}$) raggiungono $V_{dd}/2$, infatti a questo circuito seguono i buffer che pilotano gli switch del circuito, i quali aumentano la pendenza dei fronti del segnale. Non avrebbe avuto senso misurare il *dead-time* dove i segnali valevano l'1% o il 10% di V_{dd} , appunto perché la pendenza effettiva dei segnali di *gate* dei Mosfet sarà differente.

Il periodo in cui nessuna delle due fasi è attiva è necessario per evitare che switch di due fasi diverse siano conduttivi contemporaneamente. Se ciò avvenisse anche per un brevissimo lasso di tempo ci sarebbe qualche C_{fly} cortocircuitato, con conseguente malfunzionamento del circuito e un ingente perdita di efficienza. D'altra parte non è desiderabile nemmeno che il *dead-time* sia troppo grande, perché in questo tempo la conduzione della corrente dell'induttore è affidata ai diodi parassiti dei Mosfet, i quali con una caduta di tensione di 0.7V ciascuno causano a loro volta un ingente dissipazione di energia.

Le simulazioni del circuito di figura 4.18 sono visibili in figura 4.20 e 4.21.

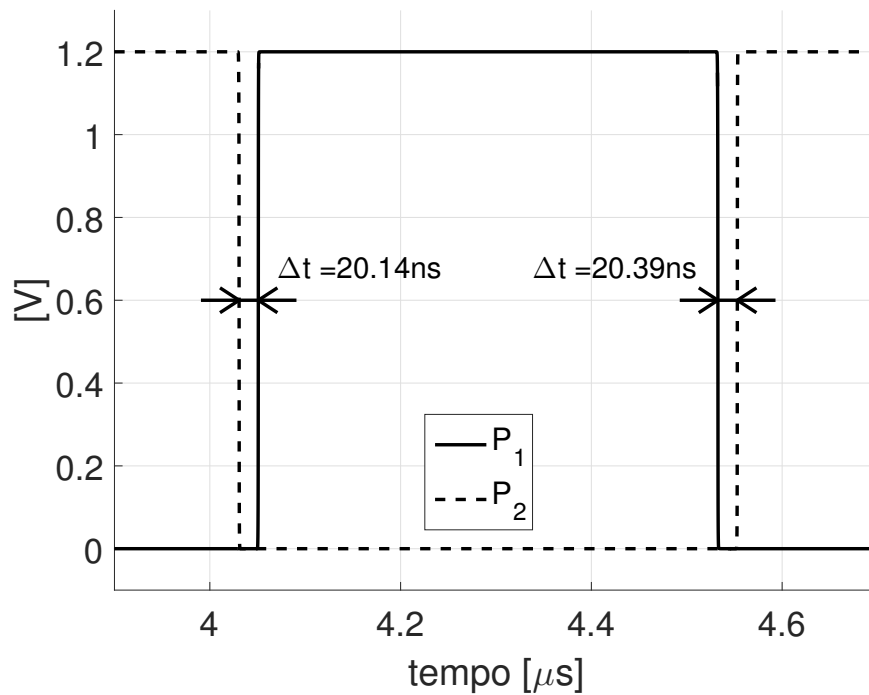


Figura 4.20: Segnali P_1 e P_2 da simulazione.

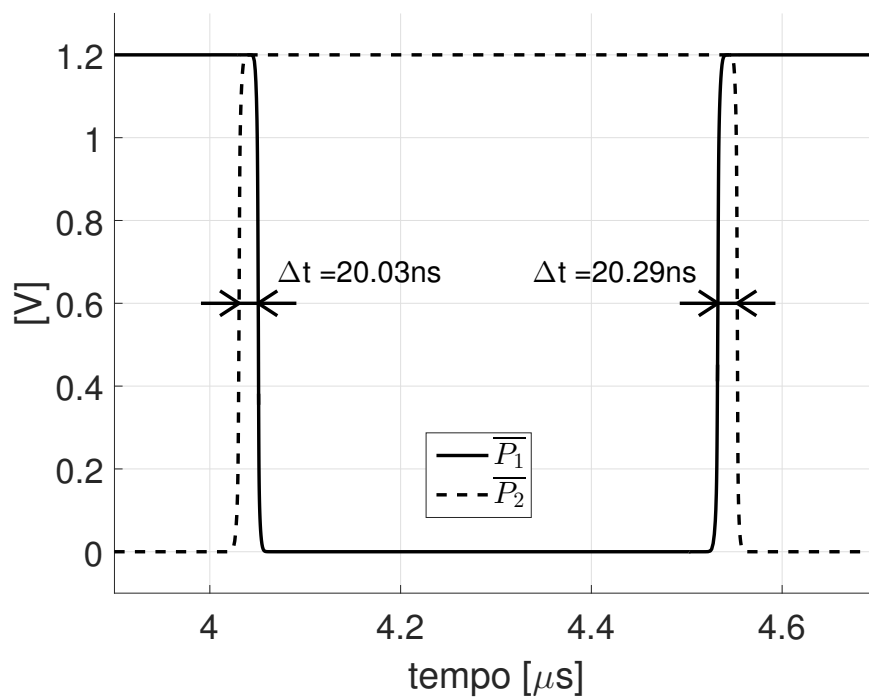


Figura 4.21: Segnali $\overline{P_1}$ e $\overline{P_2}$ da simulazione.

Il consumo di potenza di questo circuito ricavato in simulazione è di $10.33\mu W$, pari allo 0.2% della potenza di uscita del convertitore.

4.2 Compensazione del loop di retroazione

Si vuole ora analizzare e dimensionare un opportuno circuito per compensare il loop di retroazione, al fine di garantirne la stabilità. Con riferimento a figura 4.1 tale circuito è il blocco nominato $G_c(s)$. Per dimensionare tale circuito è necessario prima analizzare in frequenza i circuiti che compongono l'anello di retroazione, così da individuare la rete di compensazione più opportuna.

4.2.1 Analisi in frequenza

I circuiti che compongono il loop di retroazione per i quali è utile lo studio in frequenza sono quattro: il generatore PWM, il blocco contenente i Buffer, il convertitore DC-DC e il blocco di retroazione K.

Generatore PWM

Lo studio in frequenza del generatore PWM, per come è stato realizzato, si traduce nello studiare il guadagno che c'è tra la tensione di controllo V_c e il valore di *Duty-cycle* generato. Osservando figura 4.22 possiamo notare come una variazione di V_c provoca una variazione della durata della fase D dell'onda creata.

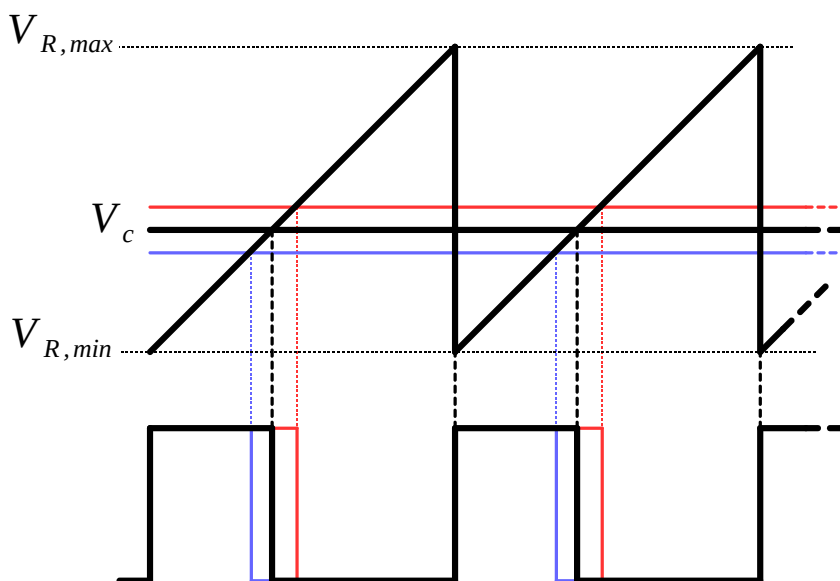


Figura 4.22: Variazione di V_c che provoca una variazione del *Duty-cycle*.

L'entità della variazione di D rispetto alla variazione della tensione di controllo è il guadagno di questo blocco circuitale.

Ricordando che:

$$D = \frac{V_c - V_{R,min}}{V_{R,max} - V_{R,min}} \quad (4.23)$$

tale guadagno è calcolabile come:

$$G_{PWM} = \frac{dD}{dV_c} = \frac{d}{dV_c} \left(\frac{V_c - V_{R,min}}{V_{R,max} - V_{R,min}} \right) = \frac{1}{V_{R,max} - V_{R,min}} \quad (4.24)$$

e per i valori di $V_{R,max}$ e $V_{R,min}$ scelti esso vale $G_{PWM} = 6.67$, ovvero 16.5dB. Tale blocco circuitale introduce anche uno sfasamento, dovuto al ritardo del comparatore. Come visto in precedenza tale ritardo non è facilmente quantificabile e varia a seconda della tensione di controllo V_c . Da un'analisi pessimistica era emerso un ritardo massimo di 66.67ns. Questi, rispetto a $T_{sw} = 1\mu s$ corrispondono a uno sfasamento di 24° . Per quantificare meglio il ritardo introdotto da questo circuito e da quelli successivi ci si baserà sui risultati di simulazione.

Buffer

Tale blocco circuitale non introduce guadagno, essendo solo funzionale alla corretta accensione dei Mosfet del convertitore. Esso introduce solamente un leggero ritardo, dovuto alla propagazione del segnale lungo la catena di invertitori. Si rende difficile quantificare questo ritardo in quanto non tutti i Buffer sono composti dallo stesso numero di invertitori e alcuni sono realizzati con transistor *core* mentre altri con transistor I/O. Come prima, ci si baserà sui risultati di simulazione per tenere conto di questo ritardo.

Convertitore DC-DC

Interessante è lo studio della dinamica del convertitore DC-DC, che ci permette di avere un'idea del tempo di risposta di questo circuito da una variazione del *Duty-cycle* con cui è pilotato alla variazione della tensione di uscita.

Per lo studio di questo circuito si sono fatte alcune ipotesi semplificative. Si è innanzitutto trascurata la resistenza degli switch, considerandoli circuiti aperti o cortocircuiti a seconda della fase di lavoro.

Il considerare i transistor Mosfet switch ideali porta a considerare i tre condensatori C_1 , C_2 e C_3 generatori di tensione ideali, con tensione ai loro capi costante e pari rispettivamente a $V_{C1} = V_{in}$, $V_{C2} = 2V_{in}$ e $V_{C3} = 3V_{in}$. Tale approssimazione non dovrebbe essere limitante nello studio in frequenza, infatti con il convertitore a regime una variazione di *Duty-cycle* non influenza la tensione dei condensatori C_{fly} , ma solo la corrente media di induttore e quindi la tensione di uscita. A differenza dei condensatori C_{fly} , C_{out} è coinvolto in questa dinamica, essendo collegato in parallelo al carico e quindi alla tensione V_{out} . Ci si baserà eventualmente sui risultati di simulazione per correggere il risultato trovato con tali approssimazioni.

Considerando i tre condensatori *floating* generatori ideali di tensione, il circuito equivalente è riportato in figura 4.23.

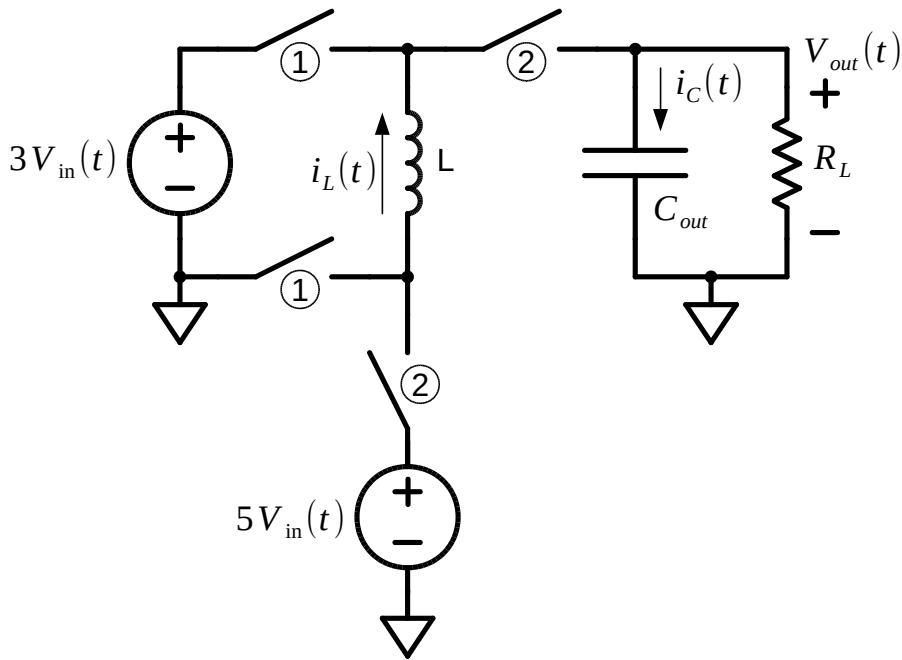


Figura 4.23: Circuito equivalente dopo l'approssimazione dei C_{fly} a generatori ideali di tensione.

I numeri a fianco degli switch indicano la fase durante la quale tale switch è chiuso. Si ricorda che la fase indicata con ① ha durata $D(t)T_{sw}$, mentre la fase indicata con ② ha durata $(1 - D(t))T_{sw}$, con $0 \leq D(t) \leq 1$.

Per ricavare un modello AC a piccolo segnale del convertitore, ripetiamo ancora una volta la *small-ripple approximation*, ma al posto di sostituire tensioni e correnti con le loro rispettive componenti DC, le sostituiamo con i loro valori medi, similmente a quanto indicato in [3]. A regime, la forma d'onda della corrente di induttore (e analogamente della tensione su C_{out}) è periodica di periodo T_{sw} , ciò significa che $i_L(t + T_{sw}) = i_L(t)$. Durante un transitorio, c'è una variazione netta di $i_L(t)$ durante un singolo periodo di commutazione. Questa variazione netta della corrente sull'induttore è correttamente predetta usando la media della tensione sull'induttore, indicata con $\overline{v_L(t)}$. Si può dimostrare infatti che vale:

$$\begin{aligned} L \frac{d\overline{i_L(t)}}{dt} &= \overline{v_L(t)} \\ C \frac{d\overline{v_C(t)}}{dt} &= \overline{i_C(t)} \end{aligned} \quad (4.25)$$

La dimostrazione è la seguente: partendo dalla nota equazione dell'induttore

$$L \frac{di_L(t)}{dt} = v_L(t) \quad (4.26)$$

si può ottenere, dividendo per L e integrando entrambi i membri da t a $t + T_{sw}$:

$$\int_t^{t+T_{sw}} di_L = \frac{1}{L} \int_t^{t+T_{sw}} v_L(\tau) d\tau \quad (4.27)$$

Mentre a sinistra dell'uguale troviamo $i_L(t + T_{sw}) - i_L(t)$, il termine a destra si può esprimere in termini di tensione media sull'induttore, ovvero:

$$i_L(t + T_{sw}) - i_L(t) = \frac{1}{L} T_{sw} \overline{v_L(t)} \quad (4.28)$$

e quindi:

$$L \frac{i_L(t + T_{sw}) - i_L(t)}{T_{sw}} = \overline{v_L(t)} \quad (4.29)$$

Volendo ora trovare la derivata della corrente media di induttore, essa vale:

$$\frac{d\overline{i_L(t)}}{dt} = \frac{d}{dt} \left(\frac{1}{T_{sw}} \int_t^{t+T_{sw}} i_L(\tau) d\tau \right) = \frac{i_L(t + T_{sw}) - i_L(t)}{T_{sw}} \quad (4.30)$$

E' ora sufficiente sostituire 4.30 in 4.33 per trovare:

$$L \frac{d\overline{i_L(t)}}{dt} = \overline{v_L(t)} \quad (4.31)$$

Per il condensatore i passaggi sono analoghi.

Ricaviamo dunque i valori di $\overline{v_L(t)}$ e $\overline{i_C(t)}$ per il circuito di figura 4.23. Essi valgono:

$$v_L(t) = \begin{cases} 3V_{in}(t) & (D(t)) \\ 5V_{in}(t) - V_{out}(t) & (1 - D(t)) \end{cases} \quad (4.32)$$

$$\rightarrow \overline{v_L(t)} = \overline{V_{in}(t)} \cdot [5 - 2D(t)] - \overline{V_{out}(t)} \cdot [1 - D(t)] \quad (4.33)$$

$$i_C(t) = \begin{cases} -V_{out}(t)/R_L & (D(t)) \\ \overline{i_L(t)} - V_{out}(t)/R_L & (1 - D(t)) \end{cases} \quad (4.34)$$

$$\rightarrow \overline{i_C(t)} = \overline{i_L(t)} \cdot [1 - D(t)] - \frac{\overline{V_{out}(t)}}{R_L} \quad (4.35)$$

Le equazioni 4.33 e 4.35 rappresentano il circuito di figura 4.24.

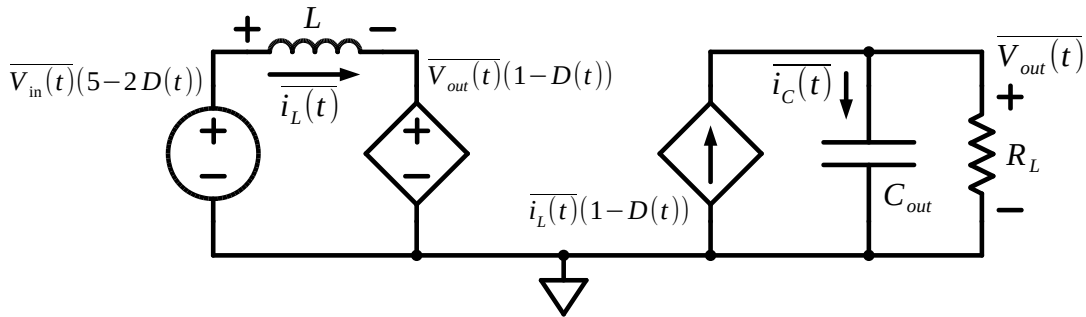


Figura 4.24: Circuito rappresentato dalle equazioni 4.33 e 4.35

Si è quindi trovato, a partire dal convertitore DC-DC, un circuito equivalente ma tempo invariante, tramite i valori medi di v_L e i_C . Tale circuito tempo-invariante è però ancora descritto da equazioni non lineari, in quanto queste equazioni coinvolgono moltiplicazioni tra segnali tempo-varianti. Moltiplicare segnali tempo-varianti genera delle armoniche, ed è quindi un processo non lineare [3].

La maggior parte delle analisi in frequenza, come la trasformata di *Laplace* a cui si è interessati, presuppone un sistema lineare. E' necessario quindi linearizzare le equazioni 4.33 e 4.35, al fine di ottenere un sistema lineare tempo-variante in cui sia possibile svolgere un'analisi AC.

Supponiamo quindi che il convertitore stia lavorando in un dato punto operativo. Dato questo punto operativo è possibile ricavare tutti i valori DC delle variabili D , V_{in} , V_{out} e quindi \bar{i}_L . Con il fine di ricavare un modello a piccolo segnale, immaginiamo di aggiungere al valore DC di V_{in} e D una piccola variazione AC imposta, e di avere quindi:

$$\begin{aligned}\overline{V_{in}(t)} &= V_{in} + v_{in}\hat{(t)} \\ D(t) &= D + d\hat{(t)}\end{aligned}\quad (4.36)$$

Con l'assunzione che le variazioni AC imposte siano molto minori delle variabili DC. In risposta a queste piccole variazioni in ingresso si otterranno delle variazioni delle altre variabili, ovvero si avrà:

$$\begin{aligned}\overline{i_L(t)} &= I_L + i_L\hat{(t)} \\ \overline{V_{out}(t)} &= V_{out} + v_{out}\hat{(t)}\end{aligned}\quad (4.37)$$

con:

$$\begin{aligned}v_{in}\hat{(t)} &\ll V_{in} \\ d\hat{(t)} &\ll D \\ i_L\hat{(t)} &\ll I_L \\ v_{out}\hat{(t)} &\ll V_{out}\end{aligned}\quad (4.38)$$

Date queste sostituzioni, i generatori dipendenti e indipendenti del circuito di figura 4.24 diventano:

$$\begin{aligned}\overline{V_{in}(t)} \cdot (5 - 2D(t)) &= (V_{in} + v_{in}^{\hat{}}) \cdot (5 - 2(D + \hat{d})) = \\ &= V_{in} \cdot (5 - 2D) + v_{in}^{\hat{}} \cdot (5 - 2D) - 2V_{in}\hat{d} - 2v_{in}^{\hat{}}\hat{d}\end{aligned}\quad (4.39)$$

$$\begin{aligned}\overline{V_{out}(t)} \cdot (1 - D(t)) &= (V_{out} + v_{out}^{\hat{}}) \cdot (1 - D - \hat{d}) = \\ &= V_{out} \cdot (1 - D) + v_{out}^{\hat{}} \cdot (1 - D) - V_{out}\hat{d} - v_{out}^{\hat{}}\hat{d}\end{aligned}\quad (4.40)$$

$$\begin{aligned}\overline{i_L(t)} \cdot (1 - D) &= (I_L + \hat{i}_L) \cdot (1 - D - \hat{d}) = \\ &= I_L \cdot (1 - D) - I_L\hat{d} + \hat{i}_L(1 - D) - \hat{i}_L\hat{d}\end{aligned}\quad (4.41)$$

Le tre equazioni 4.39, 4.40 e 4.41 contengono termini di 3 tipi. Contengono termini DC, termini AC del primo ordine (funzioni lineari delle variazioni AC imposte al circuito) e per finire termini AC del secondo ordine (prodotti tra le variazioni AC imposte).

I termini DC portano ai risultati già trovati con il *Volt-Second balance* e il *capacitor-Charge balance*, ovvero all'analisi a regime del convertitore DC-DC. Per l'analisi AC questi termini non sono utili e possono essere non considerati. Per quanto riguarda i termini AC del secondo ordine, con l'ipotesi dell'equazione 4.38 essi sono molto minori in modulo rispetto ai termini di primo ordine, e possono essere pertanto trascurati.

Si ricava:

$$\overline{V_{in}(t)} \cdot (5 - 2D(t)) \rightarrow v_{in}^{\hat{}} \cdot (5 - 2D) - 2V_{in}\hat{d}\quad (4.42)$$

$$\overline{V_{out}(t)} \cdot (1 - D(t)) \rightarrow v_{out}^{\hat{}} \cdot (1 - D) - V_{out}\hat{d}\quad (4.43)$$

$$\overline{i_L(t)} \cdot (1 - D) \rightarrow -I_L\hat{d} + \hat{i}_L(1 - D)\quad (4.44)$$

Tali equazioni rappresentano il circuito riportato in figura 4.25.

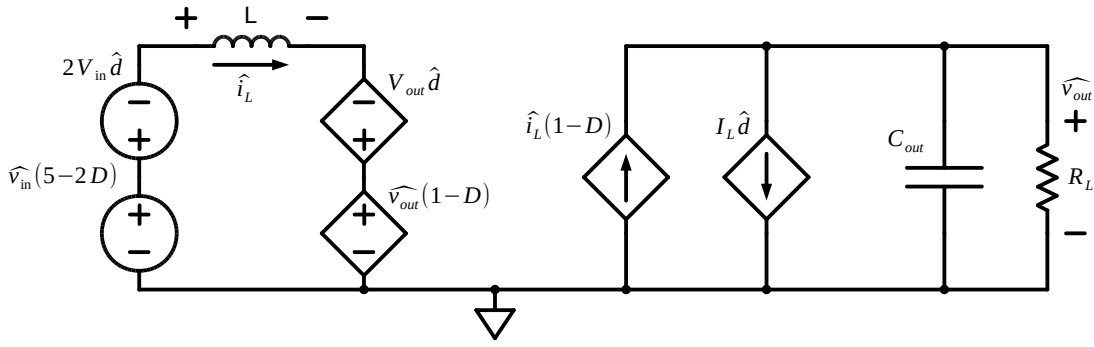


Figura 4.25: Circuito equivalente del convertitore DC/DC a piccolo segnale

Si può quindi, risolvendo tale circuito, trovare l'effetto che una variazione del *Duty-cycle*, indicata con \hat{d} , ha su tutte le altre variabili del circuito ed in particolare v_{out} . Non essendo interessati a studiare gli effetti di una perturbazione della tensione di ingresso si è posto $\hat{v}_{in} = 0$, trovando:

$$\begin{cases} 2V_{in}\hat{d} + sL\hat{i}_L - V_{out}\hat{d} + v_{out}D' = 0 \\ v_{out} = \frac{R_L}{1+sR_LC_{out}} \cdot [\hat{i}_LD' - I_L\hat{d}] \end{cases} \quad (4.45)$$

Dove si è indicato con D' il valore di $1 - D$.

Tale sistema se risolto porta alla seguente funzione di trasferimento, definita come rapporto tra le perturbazioni di v_{out} e \hat{d} :

$$G_{vd}(s) = \frac{v_{out}}{\hat{d}} = \frac{V_{out}R_LD' - 2V_{in}R_LD' - sLV_{out}D'}{s^2R_LC_{out}L + sL + R_LD'^2} \quad (4.46)$$

che riportata in forma canonica di Bode è:

$$G_{vd}(s) = \left(\frac{V_{out} - 2V_{in}}{D'} \right) \cdot \frac{\left(1 - s \frac{LV_{out}}{R_LD'^2(V_{out} - 2V_{in})} \right)}{\left(s^2 \frac{LC_{out}}{D'^2} + s \frac{L}{R_LD'^2} + 1 \right)} \quad (4.47)$$

$G_{vd}(s)$ presenta un guadagno DC, uno zero a parte reale positiva e due poli complessi coniugati. Tutti e tre questi elementi dipendono da V_{in} , da D' o da entrambi. Oltre ad avere quindi una funzione di trasferimento variabile con la tensione di ingresso del convertitore, essa dipenderà dal valore di D' , valore non stimabile in modo preciso. Infatti il valore di *Duty-cycle* a cui il convertitore si porterà a lavorare dipenderà da tutti gli elementi parassiti del circuito: resistenze degli switch, capacità parassite, elementi non ideali dei componenti passivi, resistenze dei collegamenti, periodo di tempo in cui conducono i diodi.

Il denominatore di $G_{vd}(s)$ è facilmente spiegabile per la presenza di L e C_{out} , che introducono una dinamica di secondo grado. La presenza dello zero a parte reale positiva ha invece una spiegazione fisica. Il convertitore DC/DC in esame eroga potenza al carico durante la fase (1-D). Una perturbazione positiva del *Duty-cycle*, quindi un aumento di D in un particolare ciclo di commutazione, provoca nello stesso ciclo di commutazione una riduzione del tempo in cui viene erogata potenza

al carico. Nel medesimo ciclo di commutazione si avrà quindi una leggera diminuzione della tensione di uscita, prima che il convertitore torni a regime con il nuovo valore di D e V_{out} torni a crescere. Un andamento nel tempo di questo tipo è descritto proprio dallo zero a parte reale positiva nella funzione di trasferimento.

La funzione di trasferimento della serie di generatore PWM, comparatore, generatore di fasi non sovrapposte, Buffer, convertitore DC/DC e guadagno K è definita come A_v . Essa vale:

$$A_v(s) = G_{PWM} \cdot K \cdot G_{vd}(s) \quad (4.48)$$

Si avrà quindi il guadagno d'anello riportato nella formula seguente:

$$T(s) = A_v(s) \cdot G_c(s) \quad (4.49)$$

Per correggere l'analisi svolta tenendo conto della dinamica dei condensatori C_{fly} nonché di tutti gli elementi parassiti del circuito si è svolta una simulazione PAC. Una simulazione PAC è l'equivalente di una simulazione in frequenza ma per sistemi tempo-varianti, quale è il convertitore in esame. Essa si basa sui risultati di una simulazione che deve essere eseguita precedentemente, la simulazione PSS (*periodic steady-state*). Tale simulazione analizza il circuito in esame nel tempo, fino a determinare una periodicità di tutti i segnali (naturalmente tutti gli ingressi del circuito devono essere periodici o costanti, per esempio clock e tensione di ingresso del convertitore). Una volta che il convertitore è a regime, tutti i segnali saranno periodici, e il simulatore può costruire un modello a piccolo segnale del circuito tempo-variante. Su questo modello a piccolo segnale è possibile fare un'analisi in frequenza, l'analisi PAC appunto.

Il circuito simulato è visibile in figura 4.26.

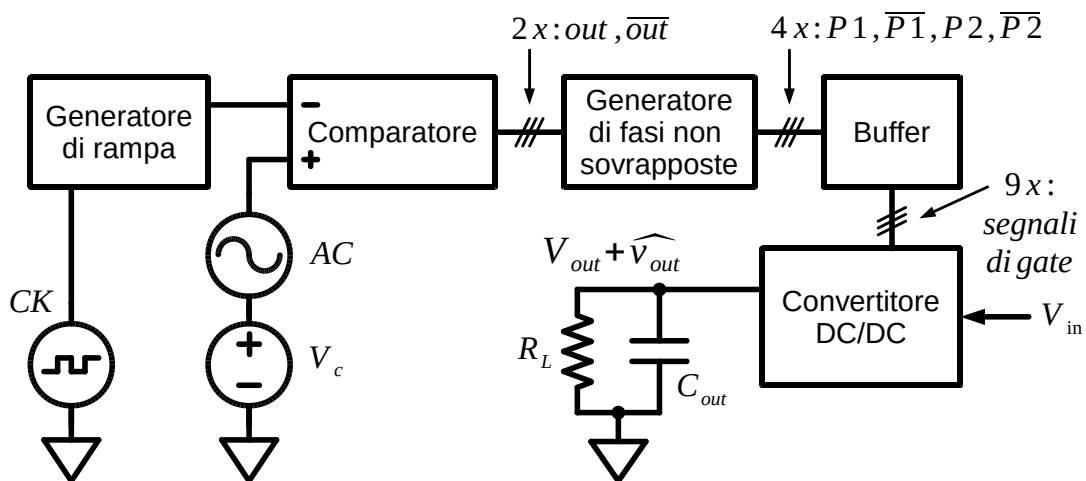


Figura 4.26: Circuito simulato per la determinazione di $A_v(s)$.

La tensione V_c è la tensione continua che serve a portare l'uscita del convertitore a 3.3V con la tensione V_{in} a cui si sta lavorando ($V_{in} = 300mV \rightarrow V_c = 712mV$, $V_{in} = 600mV \rightarrow V_c = 634mV$). Il generatore AC è il generatore di piccolo segnale che provoca la perturbazione \hat{V}_c sulla tensione di controllo e quindi una perturbazione del *Duty-cycle*. Di conseguenza si avrà una perturbazione sulla tensione di uscita del convertitore, nominata in precedenza v_{out} . La funzione di trasferimento $A_v(s)$ è ricavabile da:

$$A_v(s) = K \cdot \frac{v_{out}}{\hat{V}_c} \quad (4.50)$$

In figura 4.27 sono riportati i risultati di simulazioni e il grafico di $A_v(s)$ calcolata manualmente.

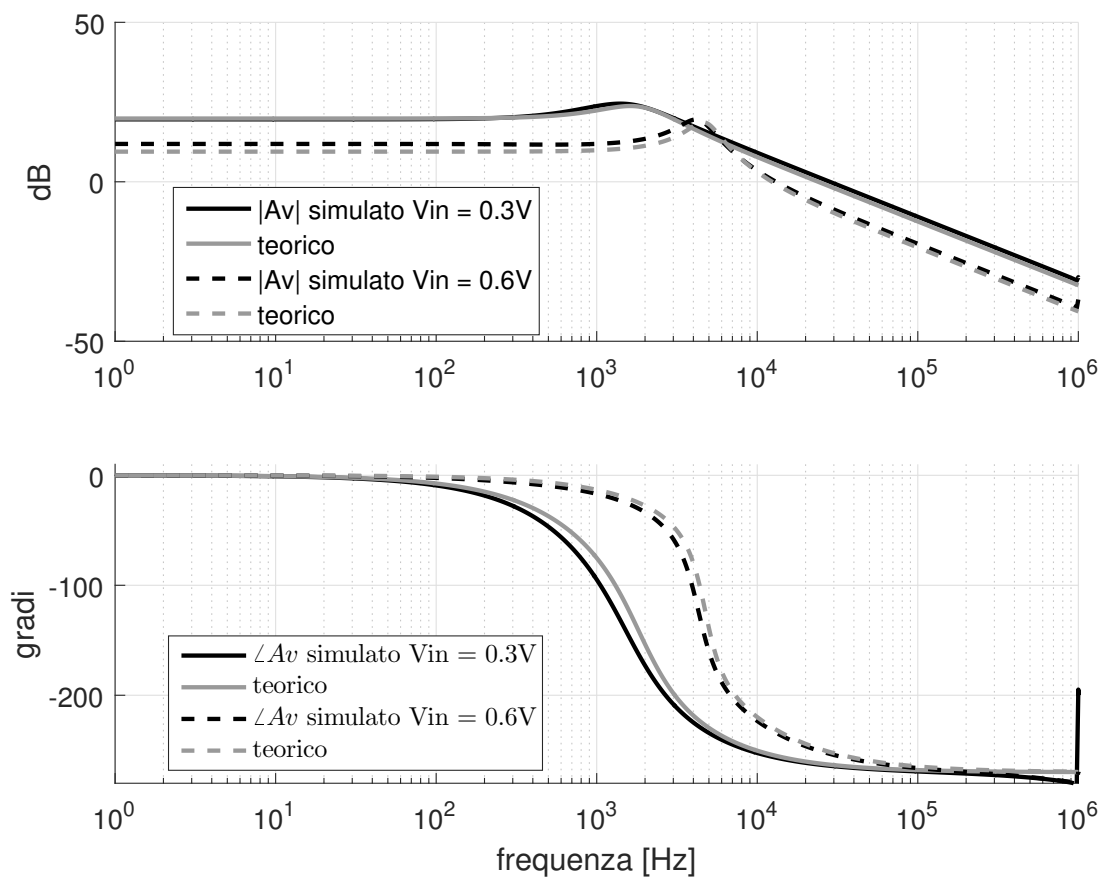


Figura 4.27: Funzione di trasferimento A_v teorica e simulata.

Come si può vedere le ipotesi iniziali sono poco o nulla limitanti nello studio in frequenza di tale convertitore, i risultati di simulazione combaciano infatti molto bene con lo studio teorico. Le piccole differenze tra simulazione e teoria che si notano nei guadagni DC e nella posizione di poli e zeri sono attribuibili agli elementi parassiti, che però non modificano sostanzialmente la funzione di trasferimento ricavata.

4.2.2 Circuito compensatore

Per un applicazione di *energy-harvesting* non sono in genere richieste prestazioni stringenti in termini di velocità di risposta del convertitore e di tempo di accensione. Per questo motivo non ci sono limiti inferiori alla banda che il sistema a catena chiusa deve avere. Data la risposta in frequenza trovata in figura 4.27, il modo più semplice di compensare il loop di retroazione per un applicazione integrata è quello di usare un integratore. Ponendoci infatti ad una frequenza sufficientemente bassa la serie di generatore PWM, Buffer e convertitore DC/DC non introduce sfasamento. Con lo sfasamento di 90° introdotto da un integratore si riesce quindi a garantire un margine di fase idealmente di 90° e un guadagno d'anello infinito a DC (teoricamente). Un integratore può essere costruito sfruttando il principio delle capacità commutate. Realizzarlo in questa forma porta due importanti vantaggi: esso realizza implicitamente anche il nodo sommatore e il guadagno costante K. Lo schema circuitale è riportato nella figura seguente.

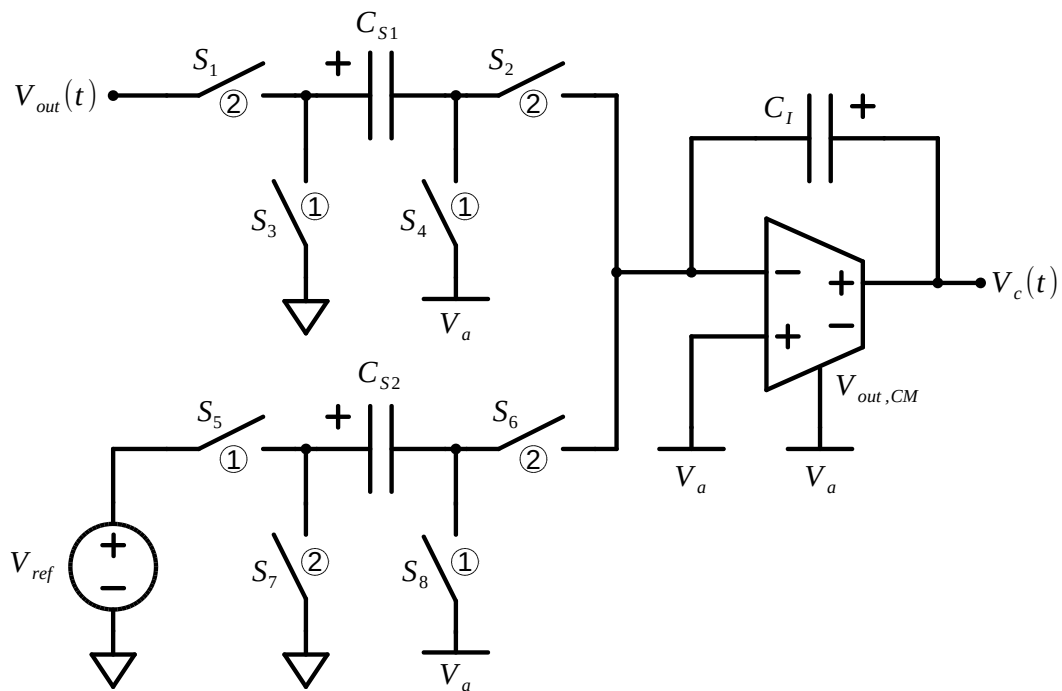


Figura 4.28: Circuito che realizza il nodo sommatore, il guadagno K e $G_c(s)$.

I nomi dati alle tensioni in figura 4.28 sono in riferimento a figura 4.1, in particolare V_{out} è la tensione di uscita del convertitore DC/DC, mentre V_c è la tensione di controllo che sarà l'ingresso del generatore PWM. La tensione V_a è una tensione ausiliaria che serve a mantenere polarizzata correttamente la coppia differenziale dell'OTA e a fissare il modo comune della tensione di uscita dello stesso OTA. Come prima il numero posto a lato degli switch identifica la fase in cui tale switch è chiuso. A differenza del convertitore DC/DC tale circuito presuppone una durata delle due fasi uguale, cioè leggermente minore di $T_{sw}/2$, per garantire la non sovrapposizione dei due segnali di clock.

I segnali per il funzionamento di tale circuito sono rappresentati in figura 4.29.

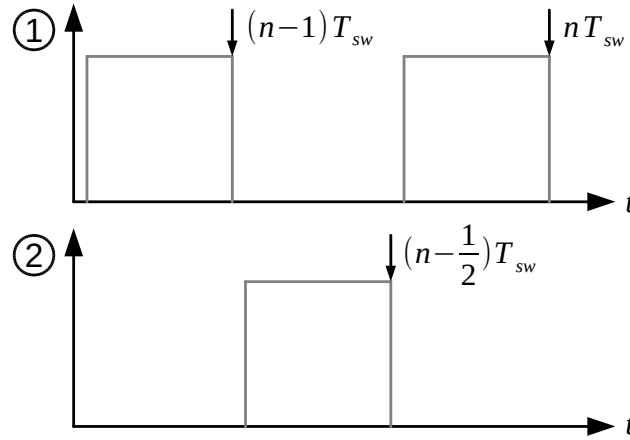


Figura 4.29: Segnali per il funzionamento del circuito di figura 4.28.

L'analisi per un circuito di questo tipo consiste nello studio nel dominio del tempo di un periodo di clock. Una volta che si hanno a disposizione le equazioni che legano la tensione di uscita a quella di ingresso in un singolo periodo, esse possono essere convertite nel dominio della trasformata Z tramite la seguente equazione [12]:

$$x(n-k) = z^{-k} \cdot X(z) \quad (4.51)$$

L'analisi in frequenza si può ottenere facilmente valutando la funzione di trasferimento nel dominio Z in $z = e^{j\omega T_{sw}}$.

Analizzando le cariche dei condensatori C_{s1} , C_{s2} e C_I nei vari istanti di tempo si trova^{1 2}:

$$Q_{Cs1} \left(n - \frac{1}{2} \right) = C_{s1} \cdot \left[v_{out} \left(n - \frac{1}{2} \right) - v_a \right]$$

$$Q_{Cs1} (n-1) = -C_{s1} v_a$$

quindi:

$$\Delta Q_{Cs1} = C_{s1} \cdot v_{out} \left(n - \frac{1}{2} \right)$$

¹Per determinare le cariche dei condensatori si è sfruttato il principio di massa virtuale, essendo l'OTA collegato in retroazione negativa tramite il condensatore C_I .

²Per le tensioni v_a e v_{ref} non si è specificato l'istante di campionamento in quanto tali tensioni sono costanti.

Dato che il campionamento di v_{out} avviene durante la fase 2, possiamo sostituire $v_{out}(n - 1/2)$ con $v_{out}(n)$, senza modificare la funzione di trasferimento. Si ha:

$$\boxed{\Delta Q_{Cs1} = C_{s1} \cdot v_{out}(n)} \quad (4.52)$$

Per quel che riguarda il condensatore C_{s2} :

$$Q_{Cs2} \left(n - \frac{1}{2} \right) = -C_{s2} v_a$$

$$Q_{Cs2}(n - 1) = C_{s2} \cdot (v_{ref} - v_a)$$

quindi:

$$\boxed{\Delta Q_{Cs2} = -C_{s2} \cdot v_{ref}} \quad (4.53)$$

e per finire il condensatore C_I :

$$Q_{CI} \left(n - \frac{1}{2} \right) = C_I \cdot \left[v_c \left(n - \frac{1}{2} \right) - v_a \right]$$

$$Q_{CI}(n - 1) = C_I \cdot [v_c(n - 1) - v_a]$$

quindi:

$$\Delta Q_{CI} = C_I \cdot \left[v_c \left(n - \frac{1}{2} \right) - v_c(n - 1) \right]$$

come prima la tensione v_{out} può cambiare solo durante la fase 2, mentre durante la fase 1 rimane costante. Sostituire quindi $v_{out}(n - 1/2)$ con $v_{out}(n)$ non modifica la funzione di trasferimento e si ottiene:

$$\boxed{\Delta Q_{CI} = C_I \cdot [v_c(n) - v_c(n - 1)]} \quad (4.54)$$

Per il principio di conservazione della carica e con i segni indicati in figura 4.28 si deve avere:

$$\boxed{\Delta Q_{CI} = \Delta Q_{Cs2} - \Delta Q_{Cs1}} \quad (4.55)$$

da cui:

$$C_I \cdot [v_c(n) - v_c(n - 1)] = C_{s2} \cdot v_{ref} - C_{s1} \cdot v_{out} \quad (4.56)$$

Con la sostituzione dell'equazione 4.51 e qualche passaggio algebrico si ottiene:

$$V_c(z) = \frac{C_{s2}}{C_I} \left[V_{ref} - \frac{C_{s1}}{C_{s2}} V_{out}(z) \right] \cdot \frac{1}{1 - z^{-1}} \quad (4.57)$$

E' possibile ora valutare la risposta in frequenza del circuito di figura 4.28 valutando tale funzione di trasferimento nel dominio Z in $z = e^{j\omega T_{sw}}$. Essa vale:

$$V_c(j\omega) = \frac{C_{s2}}{C_I} \left[V_{ref} - \frac{C_{s1}}{C_{s2}} V_{out}(j\omega) \right] \cdot \frac{1}{j\omega T_{sw}} \cdot \frac{\omega T_{sw}/2}{\sin(\omega T_{sw}/2)} \cdot e^{j\omega T_{sw}/2} \quad (4.58)$$

e se la relazione $\omega T_{sw} \ll 1$ è verificata la risposta in frequenza è analoga a quella di un integratore tempo continuo [13]:

$$V_c(j\omega) \simeq \frac{C_{s2}}{C_I} \left[V_{ref} - \frac{C_{s1}}{C_{s2}} V_{out}(j\omega) \right] \cdot \frac{1}{j\omega T_{sw}} \quad (4.59)$$

per frequenze vicine a quella di campionamento la relazione $\omega T_{sw} \ll 1$ non è più vera. Si introduce quindi un errore di guadagno a causa di $\omega T_{sw}/2 \sin(\omega T_{sw}/2)$ e un errore di fase per il termine $e^{j\omega T_{sw}/2}$ dell'equazione 4.58. Ciò non costituisce un problema nel loop di controllo. Si dimensionerà infatti questo integratore affinché il sistema in catena chiusa abbia una banda di circa 300Hz, molto minore di F_{sw} . Inoltre ciò che conta ai fini del funzionamento del sistema è il valore DC che questo integratore fornisce, e un eventuale errore nelle componenti vicine a F_{sw} non influenza minimamente la stabilità del sistema.

Come si vede dall'equazione 4.59 tale circuito scala il valore di V_{out} secondo il rapporto $K = C_{s1}/C_{s2}$, lo confronta con V_{ref} e integra la loro differenza con guadagno $K_{int} = C_{s2}/(C_I T_{sw})$. Esso realizza quindi il nodo sommatore, il blocco di retroazione K e la rete di compensazione $G_c(s)$.

Si è scelto di implementare $C_{s1} = 100fF$, per minimizzare la potenza assorbita dal convertitore DC/DC. Per utilizzare il medesimo riferimento di tensione a 0.6V già usato precedentemente, K deve essere pari a $0.6/3.3 = 2/11$. Si ha quindi:

$$C_{s2} = \frac{C_{s1}}{K} = 550fF \quad (4.60)$$

Per ricavare il guadagno dell'integratore al fine garantire il margine di fase desiderato ci si può basare sulla funzione di trasferimento trovata manualmente o sui risultati di simulazione. Nonostante tra i due cambi molto poco, si è preferito utilizzare i risultati di simulazione, che includono tutti gli elementi parassiti non considerati nell'analisi teorica.

Si è scelto di avere un PM (*phase-margin*) pari a 60° , in modo che l'overshoot della tensione di uscita sia minimo ($\simeq 10\%$) ma al contempo si possa garantire una banda discreta al sistema in catena chiusa.

Utilizzando i dati di simulazione graficati in figura 4.27, si vede che il caso peggiore è con tensione di ingresso minima. Qui si ha che la fase di $A_v(s)$ assume il valore di -30° alla frequenza di 323.6Hz.

Si deve quindi avere:

$$|T(s)|_{s=j2\pi 323.6} = 0dB \quad (4.61)$$

così da garantire il margine di fase di 60° scelto in precedenza. Infatti aggiungendo altri -90° di sfasamento dell'integratore alla fase di $A_v(s)$, la fase di T a questa frequenza vale -120° , ovvero $-180^\circ + 60^\circ$.

I risultati di simulazione riportano :

$$|A_v(s)|_{j2\pi 323.6} = 20.34 \text{ dB} \quad (4.62)$$

quindi il guadagno dell'integratore a 323.6 Hz deve valere:

$$|T(s)| - |A_v(s)| = -20.34 \text{ dB} \quad (4.63)$$

Per concludere si ottiene:

$$\left| \frac{C_{s2}}{C_I j\omega T_{sw}} \right|_{\omega=2\pi 323.6} = 10^{(-20.34/20)} \quad (4.64)$$

Quindi $C_I \approx 2.8 \text{ nF}$.

Per essere sicuri della stabilità del sistema si è scelto di implementare $C_I = 3 \text{ nF}$. Con questo valore di capacità il guadagno d'anello del sistema è riportato in figura 4.30.

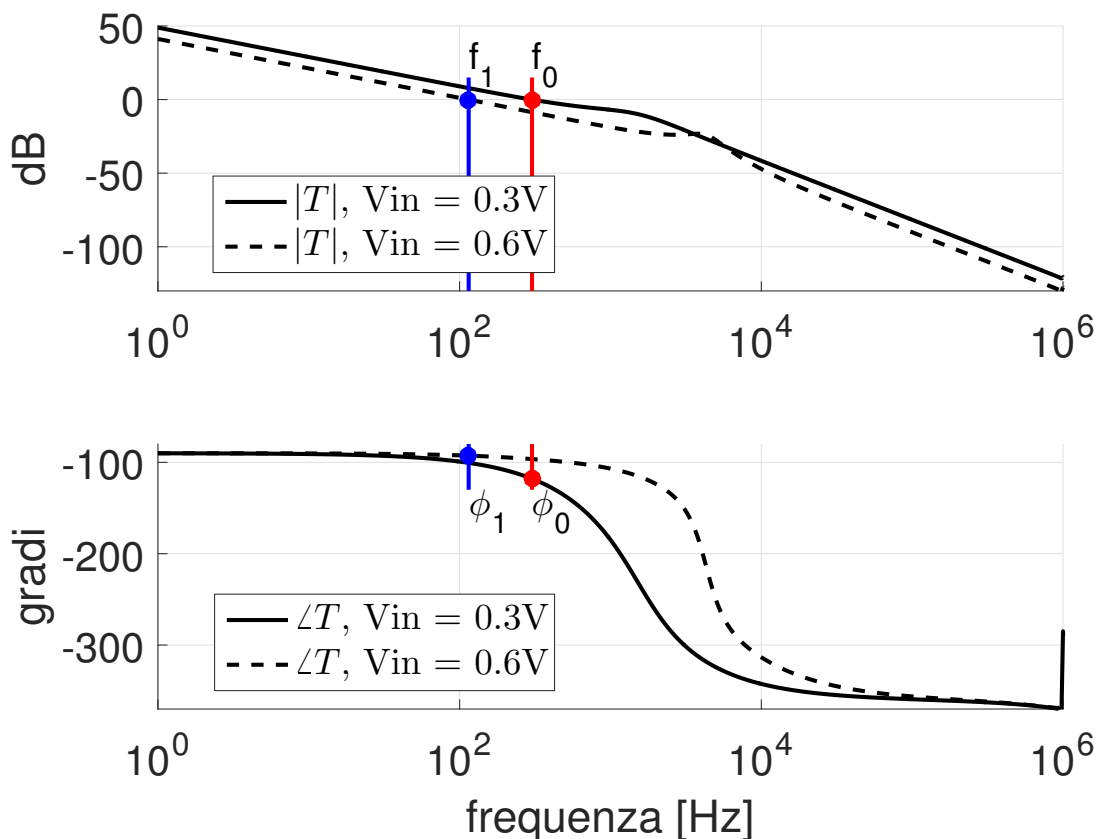


Figura 4.30: Guadagno d'anello del sistema.

Con $V_{in} = 600mV$ si ha $f_1 = 115Hz$ e $\phi_1 = -92.7^\circ$. In questo caso il margine di fase è di 87.28° .

Con $V_{in} = 300mV$ si ha $f_0 = 302Hz$ e $\phi_0 = -118^\circ$. In questo caso il margine di fase è di 62° .

Il design di questo circuito è lasciato a sviluppi futuri del progetto, per il momento si sono utilizzati in simulazione componenti ideali. (L'OTA ha comunque banda e guadagno limitati e gli switch hanno comunque una resistenza serie).

Per generare le due fasi non sovrapposte di figura 4.29 si può utilizzare il medesimo circuito già utilizzato precedentemente e visibile in figura 4.18. In questo caso, necessitando di fasi di durata uguale, il generatore di fasi non sovrapposte non riceverà in ingresso i segnali del comparatore, ma il clock del sistema a 1Mhz. Esso è lo stesso clock che serve a generare il segnale di RESET per la rampa di tensione (figura 4.8).

Simulazioni e risultati

Il sistema completo simulato è visibile in figura 5.2, riportata di seguito. Tutti i blocchi circuitali presenti in tale figura sono stati analizzati nei capitoli precedenti, fatta eccezione per i collegamenti dei Buffer, qui evidenziati:

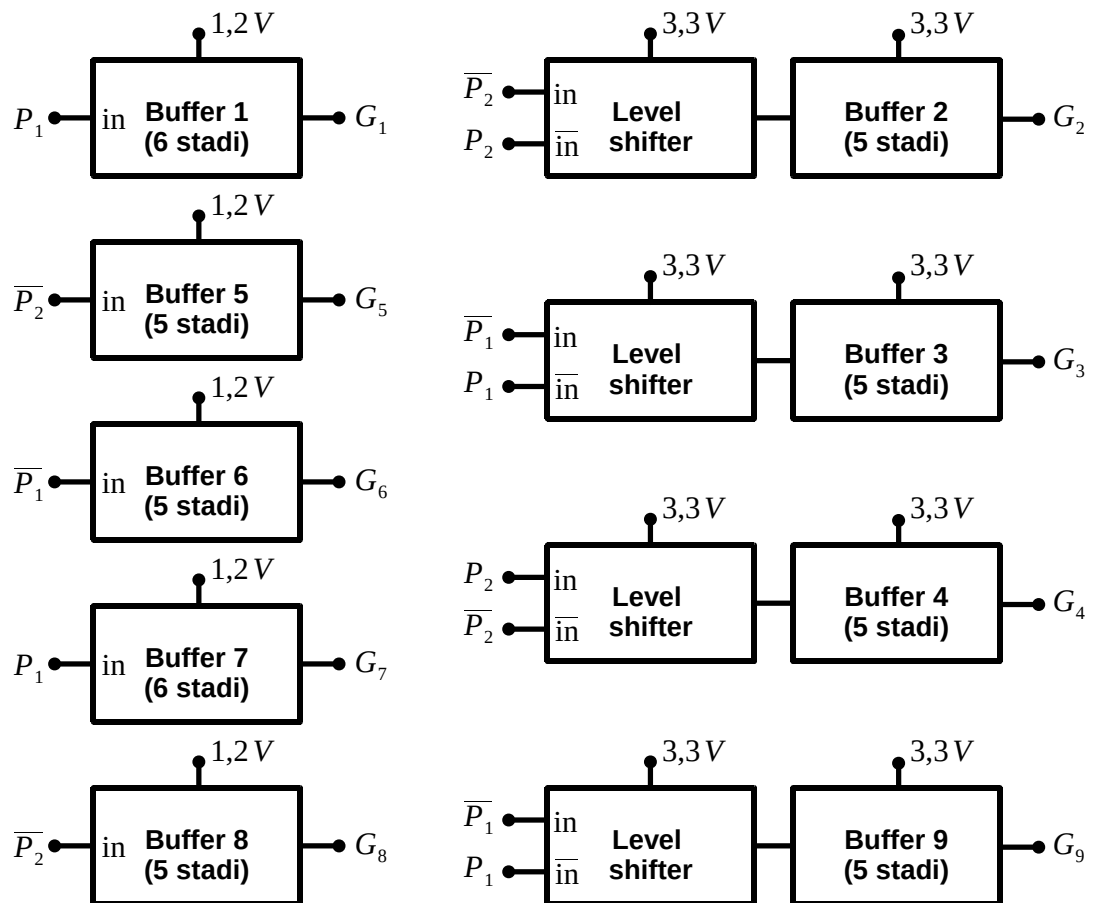


Figura 5.1: Collegamenti dei Buffer.

Tali collegamenti dei Buffer sono stati determinati nel modo seguente:

- Buffer 1: il Mosfet N M_1 deve essere chiuso nella fase 1, inoltre questo buffer ha un numero pari di stadi. L'ingresso è P_1 .

- Buffer 2: il Mosfet N M_2 deve essere chiuso nella fase 2, inoltre questo buffer ha un numero dispari di stadi. Gli ingressi del *level shifter* che lo pilotano devono essere quindi invertiti: $\overline{P_2} \rightarrow in$ e $P_2 \rightarrow \overline{in}$.
- Buffer 3: il Mosfet N M_3 deve essere chiuso nella fase 1, inoltre questo buffer ha un numero dispari di stadi. Gli ingressi del *level shifter* che lo pilotano devono essere quindi invertiti: $\overline{P_1} \rightarrow in$ e $P_1 \rightarrow \overline{in}$.
- Buffer 4: il Mosfet P M_4 deve essere chiuso nella fase 2, inoltre questo buffer ha un numero dispari di stadi. Trattandosi di un mosfet P esso sarà chiuso con $V_G = 0$, è quindi presente una doppia negazione che fa sì che i collegamenti siano: $P_2 \rightarrow in$ e $\overline{P_2} \rightarrow \overline{in}$.
- Buffer 5: il Mosfet N M_5 deve essere chiuso nella fase 2, inoltre questo buffer ha un numero dispari di stadi. L'ingresso deve essere invertito: $\overline{P_2}$.
- Buffer 6: il Mosfet N M_6 deve essere chiuso nella fase 1, inoltre questo buffer ha un numero dispari di stadi. L'ingresso deve essere invertito: $\overline{P_1}$.
- Buffer 7: il Mosfet N M_7 deve essere chiuso nella fase 1, inoltre questo buffer ha un numero pari di stadi. L'ingresso è P_1 .
- Buffer 8: il Mosfet N M_8 deve essere chiuso nella fase 2, inoltre questo buffer ha un numero dispari di stadi. L'ingresso deve essere invertito: $\overline{P_2}$.
- Buffer 9: il Mosfet N M_9 deve essere chiuso nella fase 1, inoltre questo buffer ha un numero dispari di stadi. Gli ingressi del *level shifter* che lo pilotano devono essere quindi invertiti: $\overline{P_1} \rightarrow in$ e $P_1 \rightarrow \overline{in}$.

Dato che non è ancora stato implementato il convertitore ausiliario per l'alimentazione dei circuiti di controllo e il circuito di *start-up*¹ le tensioni di 1.2V e 3.3V sono fornite momentaneamente da generatori DC ideali. Per tenere comunque in considerazione la potenza che il convertitore spende per auto-alimentarsi la resistenza di carico R_L è stata opportunamente dimensionata.

Il calcolo teorico di P_{self_power} illustrato nel capitolo 3 indica, per le dimensioni di Mosfet e Buffer scelte, una potenza di auto-alimentazione di circa $400\mu W$. Il convertitore dovrà quindi fornire in uscita una potenza totale di 5.4mW. Con una tensione di 3.3V, tale potenza viene erogata se il carico vale $R_L = 2017\Omega$.

¹In un applicazione di *energy harvesting* il convertitore di tensione dovrà essere in grado di accendersi con l'unica tensione disponibile a sistema spento, ovvero la tensione fornita dall'*harvester* stesso. In questo caso quindi deve essere in grado di accendersi con una tensione di soli 300mV. L'idea è quella di utilizzare un piccolo convertitore *switched-capacitor* con transistor *low-threshold voltage*, che dai 300mV disponibili fornisce una tensione anche non regolata finemente ma superiore a $V_{start-up}$. $V_{start-up}$ è quella tensione che permette al convertitore di accendersi quel tanto che basta a portare la sua uscita a tensione maggiore di quella con cui è alimentato, in modo che poi riesca ad auto-alimentarsi e a portarsi a regime. Esempi di circuiti di *start-up* si trovano in [14], [15], [16], [17].

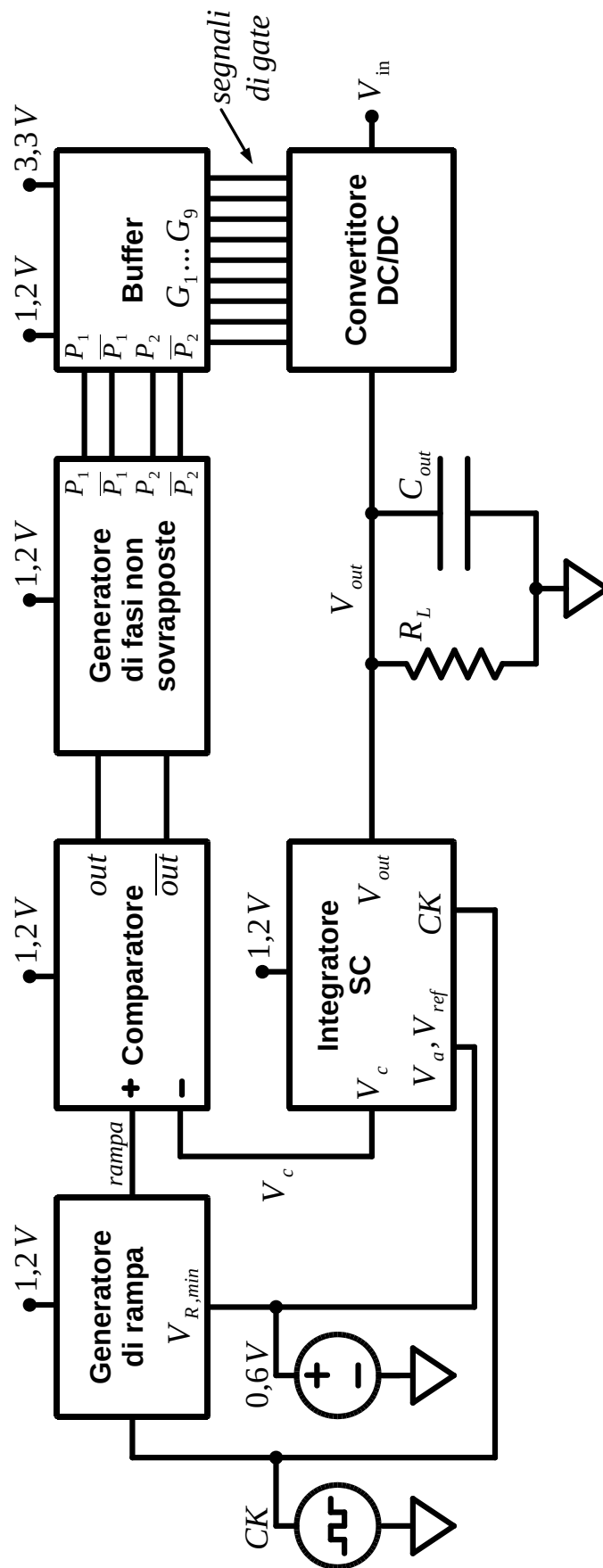


Figura 5.2: Sistema completo simulato.

5.1 Efficienza

La potenza di auto-alimentazione stimata è stata verificata in simulazione. In tabella 5.1 sono riportate le potenze assorbite dai generatori che forniscono momentaneamente le tensioni di 1.2V e 3.3V.

Tenendo conto dell'efficienza del convertitore lineare che fornirà la tensione di 1.2V si ha:

$$P_{self_power} = P_{V=3.3V} + \frac{3.3}{1.2} \cdot P_{V=1.2V} \quad (5.1)$$

Come si vede in tabella la stima teorica di P_{self_power} si avvicina molto alla realtà, e con $R_L = 2017\Omega$ il convertitore lavora nelle medesime condizioni in cui si troverà ad operare una volta che sarà auto-alimentato. Grazie a ciò è possibile ricavare l'efficienza del convertitore come:

$$\eta = \frac{5mW}{P_{in}} \quad (5.2)$$

V_{in} [mV]	$P_{V=1.2V}$ [μW]	$P_{V=3.3V}$ [μW]	P_{self_power} [μW]	P_{in} [mW]	η
300	103.52	115.70	400.37	6.19	0.808
325	103.52	113.44	398.12	6.03	0.829
350	102.99	114.51	397.74	5.92	0.844
375	102.72	113.31	395.79	5.84	0.856
400	102.48	113.66	395.47	5.79	0.864
425	102.48	114.60	396.42	5.75	0.87
450	102.01	114.09	394.63	5.71	0.875
475	102.08	113.39	394.10	5.69	0.879
500	102.33	111.364	392.78	5.68	0.881
525	101.50	112.60	391.73	5.68	0.881
550	101.88	110.96	391.12	5.69	0.879
575	101.96	110.76	391.16	5.71	0.876
600	101.99	110.17	390.65	5.97	0.838

Tabella 5.1: Potenza di auto-alimentazione, potenza assorbita in ingresso e efficienza del convertitore (dati di simulazione).

La stima di P_{self_power} è molto precisa, l'errore massimo lo si ha per $V_{in} = 600mV$ ed è del solo 2.34%. Ciò significa che il design svolto sulla stima della potenza di uscita totale è valido ed il convertitore è ottimizzato per la potenza che deve effettivamente fornire.

L'efficienza in funzione della tensione di ingresso è riportata nella seguente figura:

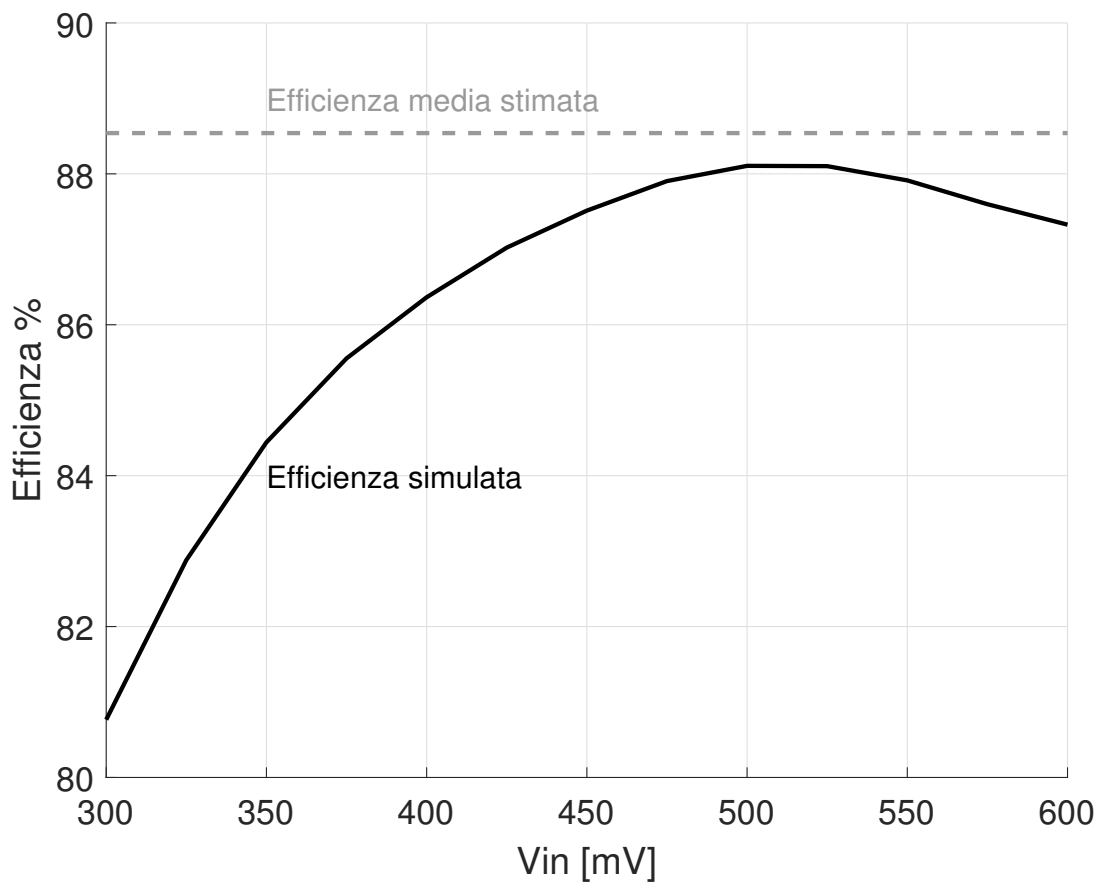


Figura 5.3: Efficienza ricavata in simulazione.

Essa varia da un minimo di 80.8% per $V_{in} = 300mV$ ad un massimo di 88.1% per $V_{in} = 500mV$ ed è sempre inferiore all'efficienza stimata nel capitolo 3. Ciò è naturale, infatti nella stima fatta si sono trascurate le perdite di commutazione, le perdite per le capacità parassite e la variabilità della resistenza serie dei Mosfet con la tensione di ingresso. Si era inoltre trascurato il piccolo intervallo di tempo dove la conduzione di I_L è affidata ai diodi.

Per quel che riguarda la resistenza serie è stato considerato il caso peggiore, ovvero quello con tensione di ingresso massima. Le perdite di commutazione però cominciano ad avere importanza alla frequenza di lavoro scelta di $F_{sw} = 1MHz$, e anche le capacità parassite assumono valori importanti date le dimensioni scelte per i transistor.

L'efficienza rimane in ogni caso molto buona essendo sempre superiore all'80% con un rapporto V_{out}/V_{in} che al massimo arriva a valere 11.

L'andamento in funzione di V_{in} è facilmente spiegabile. Per tensione di ingresso minima, la corrente di ingresso è molto elevata dovendo essere rispettato il bilancio delle potenze. Correnti elevate significano perdite sostanziose negli switch. Inoltre in questo caso il *Duty-cycle* è piuttosto elevato e ciò significa che gli switch della fase

2 devono portare la carica determinata precedentemente (capitolo 3) in un tempo molto breve, quindi ancora una volta correnti molto elevate ed elevate perdite. Per tensioni di ingresso elevate la corrente di ingresso è minore, ma ci si avvicina al caso peggiore per la resistenza serie degli switch. Il caso migliore è per tensioni di ingresso medie, dove gli switch presentano una resistenza serie minore a quella considerata, le correnti di ingresso non sono troppo elevate e anche il *Duty-cycle* è vicino al 50%, con equa distribuzione del tempo di conduzione tra gli switch attivi nella fase 1 e gli switch attivi nella fase 2.

5.2 Forme d'onda

In figura 5.4 e 5.5 sono visibili le tensioni all'accensione del sistema rispettivamente con $V_{in} = 0.3V$ e $V_{in} = 0.6V$.

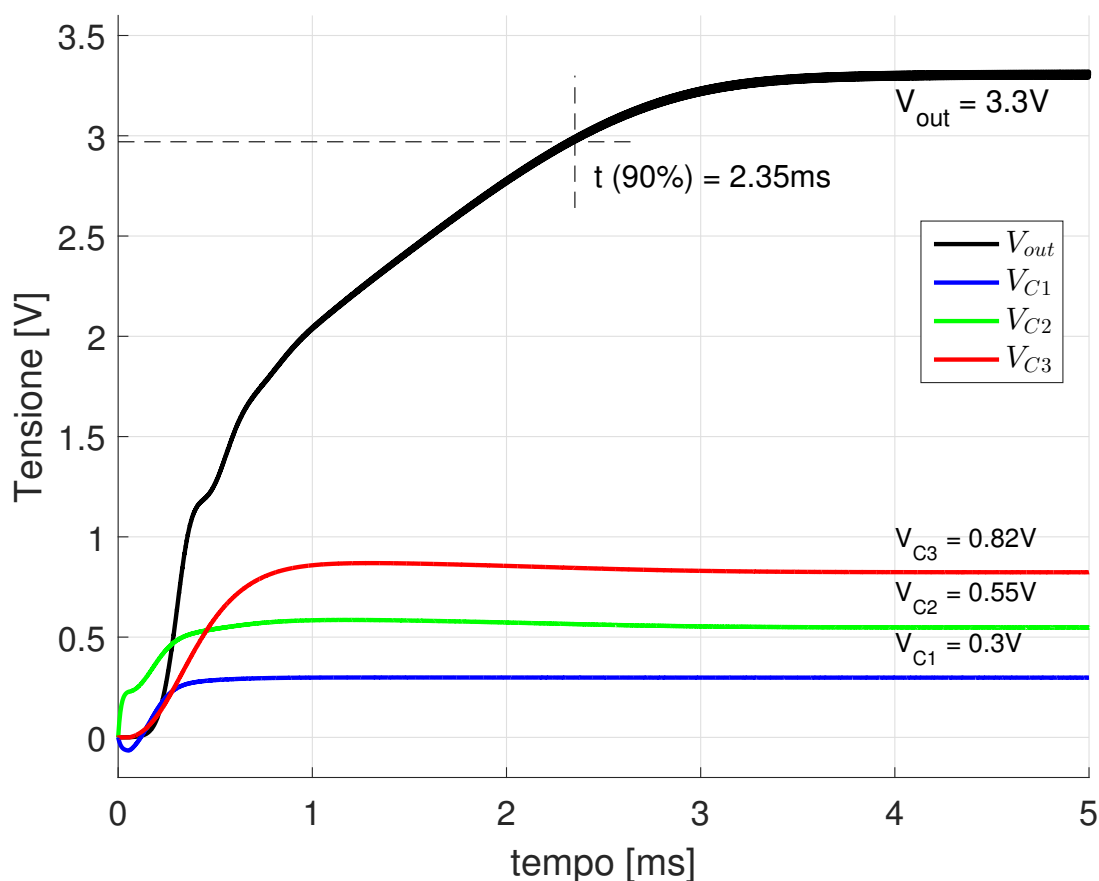


Figura 5.4: Accensione del sistema con $V_{in} = 0.3V$.

In entrambi i casi il convertitore è pienamente a regime in circa 5ms. Esso raggiunge il 90% della sua tensione di uscita nominale in 2.35ms per V_{in} minima e in 0.75ms per V_{in} massima. Le tensioni dei tre condensatori *floating* C_1 , C_2 e C_3 sono in entrambi i casi vicine a quelle ipotizzate.

Il condensatore C_1 essendo caricato direttamente dal generatore di ingresso e con switch molto larghi raggiunge esattamente il valore ipotizzato e pari a V_{in} .

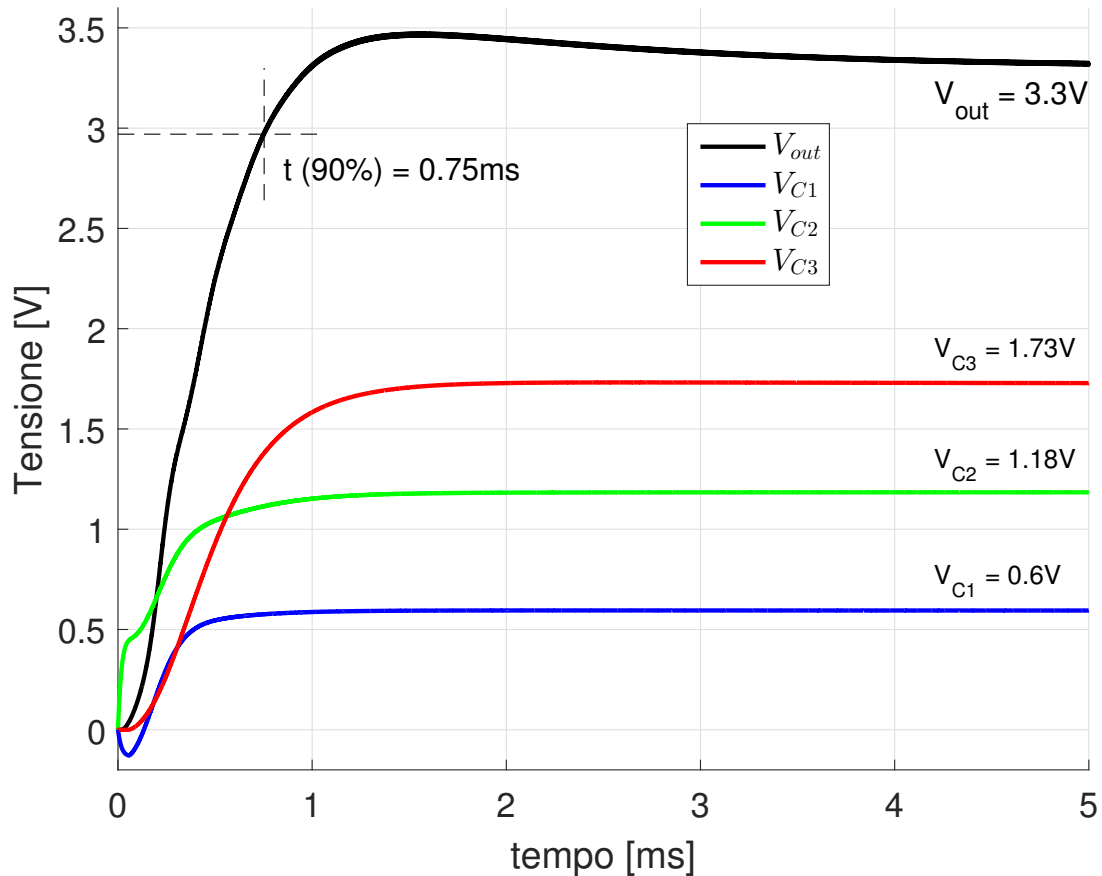


Figura 5.5: Accensione del sistema con $V_{in} = 0.6V$.

Il condensatore C_2 è caricato dal condensatore C_1 e dalla serie di più switch, quindi non raggiunge mai la tensione prevista di $2V_{in}$ a causa della caduta di tensione su questi ultimi. L'errore è comunque limitato all'8.33% nel caso peggiore. Il condensatore C_3 , essendo caricato da C_2 , risente dell'errore di quest'ultimo. Anch'esso ha quindi un errore rispetto alla tensione prevista di $3V_{in}$, errore pari all'8.88% nel caso peggiore.

Questo non rappresenta un problema per il funzionamento del convertitore, è infatti necessario solo un minimo aggiustamento del *Duty-cycle* affinché la tensione di uscita si porti a 3.3V. Con $V_{in} = 300mV$ le simulazioni riportano un *Duty-cycle* del 71% contro il 67% teorico, per $V_{in} = 600mV$ invece il *Duty-cycle* trovato in simulazione è del 20% contro il 14% teorico.

Come si vede nelle figure la rete di compensazione progettata garantisce la stabilità e la precisione della tensione di uscita a regime, la quale presenta però un andamento irregolare in accensione. Durante questa fase i condensatori *floating* si stanno caricando e la loro tensione non è né costante né uguale a quella prevista. Ciò significa che un aumento della tensione di controllo e quindi del *Duty-cycle* non provoca un aumento lineare della tensione di uscita, spiegando l'andamento irregolare. A conferma di quanto appena detto è sufficiente osservare figura 5.4. Dopo circa 1ms le tensioni dei C_{fly} sono praticamente a regime e l'andamento di V_{out} è molto più regolare.

A tal proposito si ricorda anche che la funzione di trasferimento calcolata nella sezione 4.2 del capitolo precedente è valida sotto l'ipotesi di tensione sui condensatori *floating* costante e pari a quella teorica, mentre in accensione la vera funzione di trasferimento del convertitore varia con il variare della carica dei condensatori.

La conseguenza della non esatta conoscenza e variabilità della funzione di trasferimento in accensione è un leggero *overshoot* non previsto della tensione di uscita (solo per $V_{in} = 600mV$). Tale *overshoot* è del 5.2%, ma è facilmente evitabile aumentando il valore della capacità C_I e quindi rallentando il sistema in catena chiusa. Con il sistema più lento la tensione di uscita raggiunge i 3.3V dopo che i condensatori C_{fly} sono a regime, la funzione di trasferimento è quindi quella calcolata e il margine di fase di circa 90% garantisce l'assenza di *overshoot*.

5.2.1 Tensione di controllo V_c

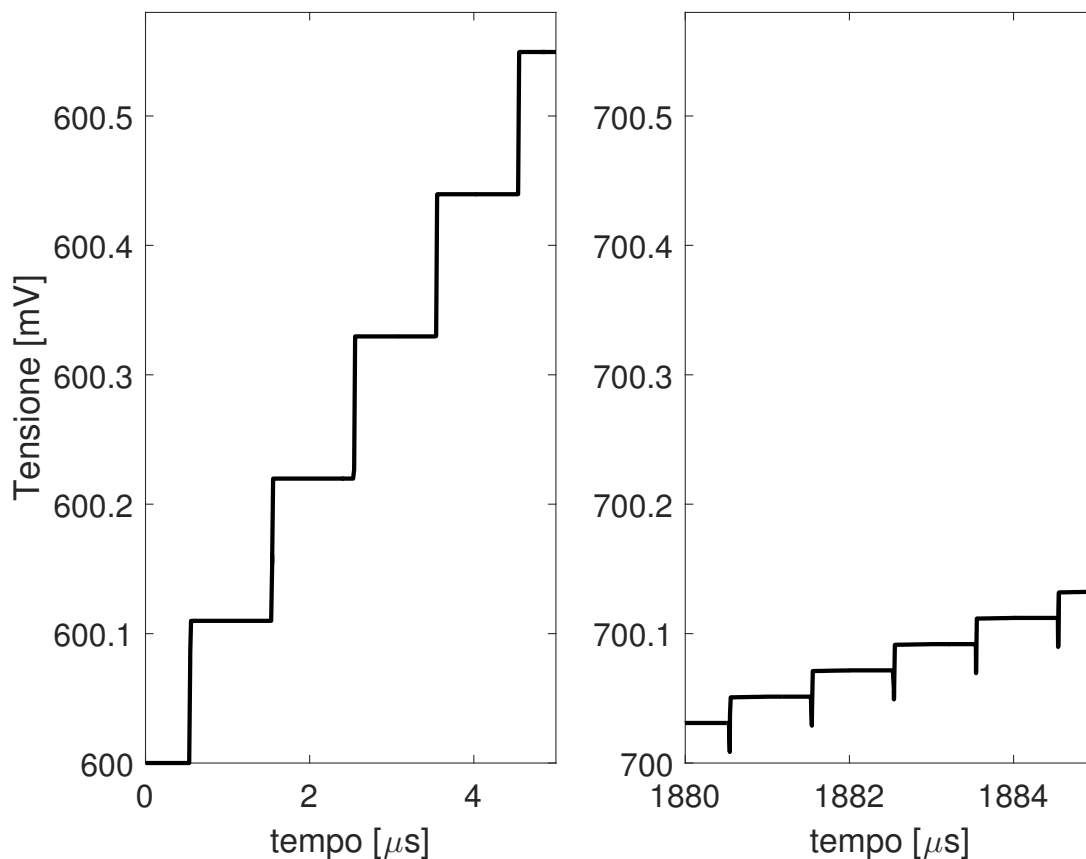


Figura 5.6: Dettaglio della tensione di controllo V_c .

In figura è riportata la tensione di uscita dell'integratore SC durante l'accensione con $V_{in} = 300mV$. Il grafico di sinistra riporta tale tensione da 0 a $5\mu s$. Qui la tensione di uscita del convertitore è ancora 0V e l'errore con il riferimento viene integrato, portando V_c da 600mV a 600.55mV circa. La figura di destra riporta V_c da $1880\mu s$ a $1885\mu s$. Nonostante l'intervallo temporale sia lo stesso, qui la tensione di uscita del

convertitore è più vicino ai 3.3V, l'errore integrato è quindi minore, e la tensione di controllo cresce di poco più di 0.1mV in $5\mu s$.

5.2.2 Tensione di uscita

La figura sottostante riporta il dettaglio della tensione di uscita per $V_{in} = 300mV$. Come si vede essa è esattamente quella ipotizzata, con un errore di soli 7mV rispetto ai 3.3V nominali, errore pari allo 0.21%.

Anche il ripple rispetta la condizione imposta dell'1% rispetto ai 3.3V, essendo dello 0.89% nel caso peggiore, quello con V_{in} minima appunto. Con questo errore V_{out} varia da un massimo di 3.32V ad un minimo di 3.29V nell'arco di un periodo di commutazione.

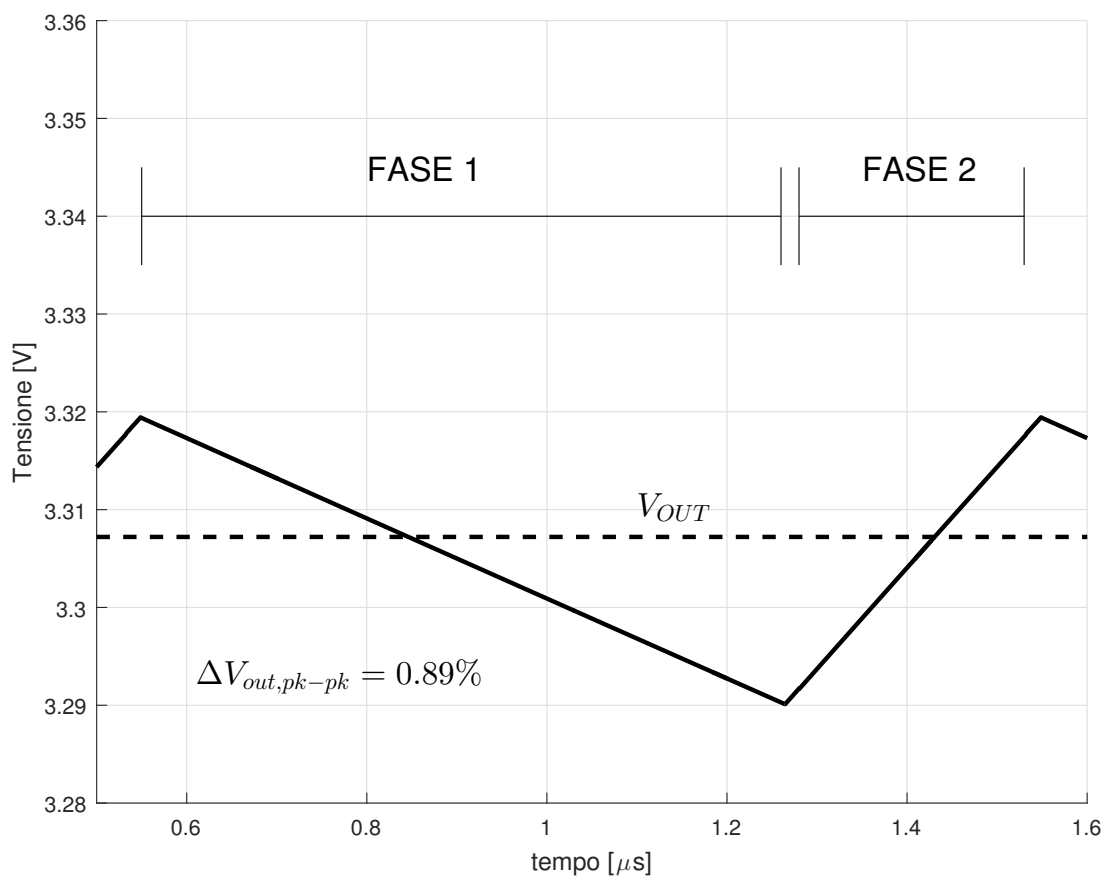


Figura 5.7: Dettaglio della tensione di uscita con $V_{in} = 300mV$.

5.2.3 Corrente di induttore

Nella seguente figura è riportato uno zoom della corrente di induttore. In colore più chiaro viene riportata anche la tensione V_L .

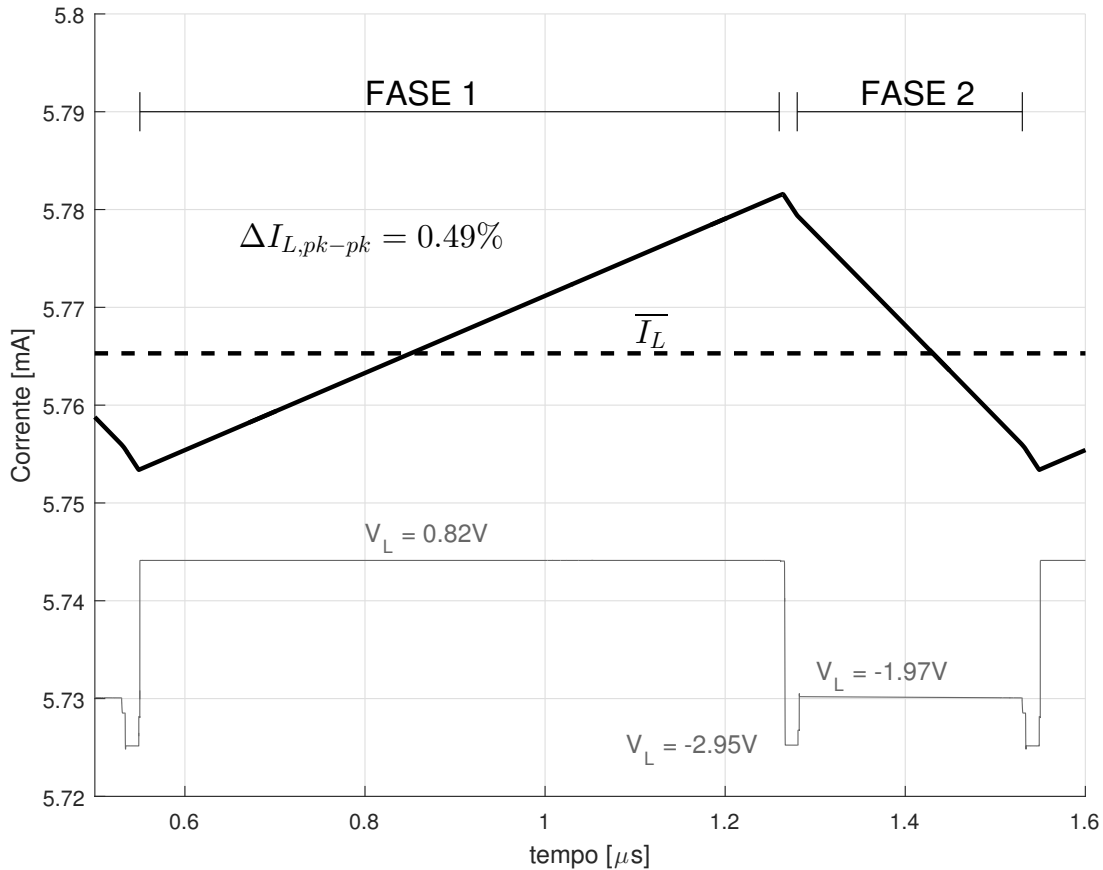


Figura 5.8: Dettaglio della corrente di induttore con $V_{in} = 300mV$.

Anche in questo caso la simulazione riporta risultati fedeli a quelli ipotizzati. Per $V_{in} = 300mV$ il ripple della corrente di induttore rispetto al suo valore medio è dello 0.49%. Questo non è il caso peggiore, ma ciò che conta al fine del corretto funzionamento del convertitore è una corrente di induttore il più costante possibile, affinché sia rispettata la condizione di *fast-switching*. Se anche nel caso peggiore il ripple fosse leggermente maggiore dell'1% imposto ciò non costituirebbe un problema, e sarebbe in ogni caso facilmente evitabile aumentando il valore di L. Si nota anche che la corrente di induttore è costante a tratti, ciò significa che la continuità della conduzione è garantita dai diodi nei brevi istanti in cui tutti gli switch sono aperti. In questi due brevi periodi temporali la tensione di induttore si porta a -2.95V, e ciò determina la pendenza più ripida di I_L tra la fase 1 e la fase 2.

5.2.4 Correnti sui condensatori *floating*

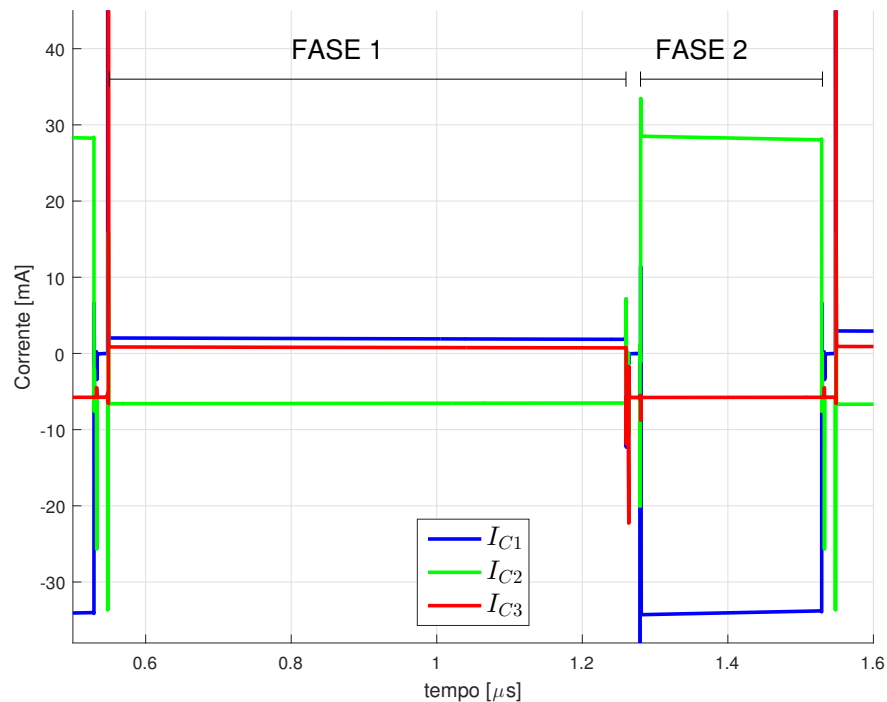


Figura 5.9: Correnti sui condensatori *floating* ($V_{in} = 300mV$).

In figura 5.9 sono riportate le correnti entranti nei condensatori C_{fly} durante le due fasi di funzionamento del circuito.

Si nota innanzitutto che sono rispettate le fasi di carica e scarica previste. In particolare il condensatore C_1 e C_3 hanno corrente entrante positiva durante la fase 1, si caricano quindi durante questa fase e si scaricano nella seconda, mentre per il condensatore C_2 vale il contrario.

Anche l'ipotesi di correnti circa costanti sui C_{fly} è verificata, infatti in figura è riportato il caso peggiore, cioè con V_{in} minima. In questo caso la resistenza degli switch è minore di quella ipotizzata, avendo essi il *source* a potenziale più basso rispetto al caso con V_{in} massima. Avere le resistenze serie degli switch più basse significa che le costanti di carica e scarica dei condensatori C_{fly} sono leggermente minori del valore imposto di 100 volte il tempo effettivo di carica o scarica.

Nonostante ciò le correnti sono bene approssimabili come costanti: la massima variazione percentuale si ha per I_{C2} durante la fase 2. Essa, variando da 28.51mA a 28.04mA ha un'escursione picco-picco pari all'1.66% rispetto al suo valor medio in questa fase.

L'ipotesi di *fast-switching* è pienamente soddisfatta.

I picchi visibili in figura sono dovuti all'apertura repentina degli switch per il cambio di fase. Essi non sono un problema avendo durata molto breve ed essendo in parte dovuti ad errori di simulazione (non sono comprese in simulazione le piccole resistenze serie e le capacità parassite dei collegamenti, oltre ad altri effetti secondari che influenzano minimamente il funzionamento del convertitore).

5.2.5 Corrente del condensatore di uscita

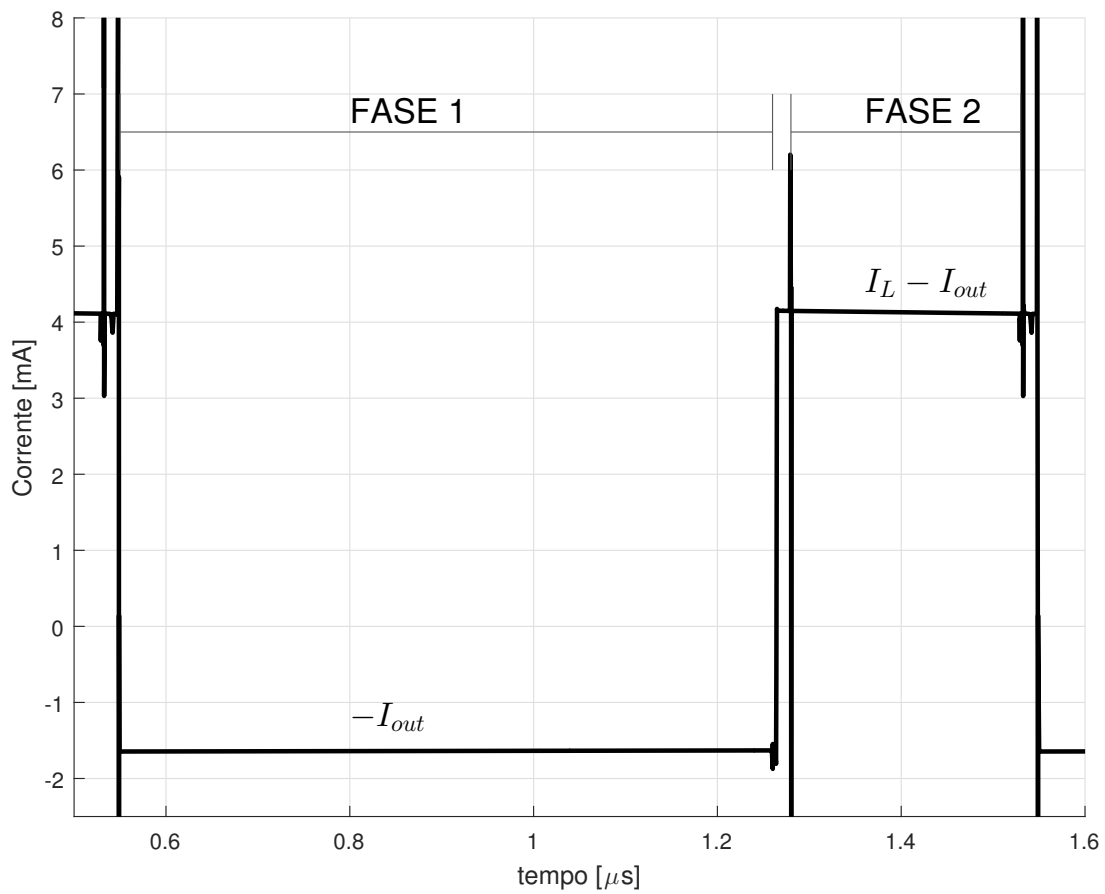


Figura 5.10: Correnti del condensatore C_{out} ($V_{in} = 300mV$).

La corrente I_{Cout} ricavata in simulazione è visibile in figura 5.10. Anche in questo caso essa corrisponde a quella ipotizzata:

$$I_{Cout} = \begin{cases} -I_{out} & 0 \leq t \leq DT_{sw} \\ I_L - I_{out} & DT_{sw} \leq t \leq T_{sw} \end{cases} \quad (5.3)$$

Come prima i picchi di corrente, dovuti all'apertura pressoché istantanea degli switch, non costituiscono un problema avendo essi durata molto breve.

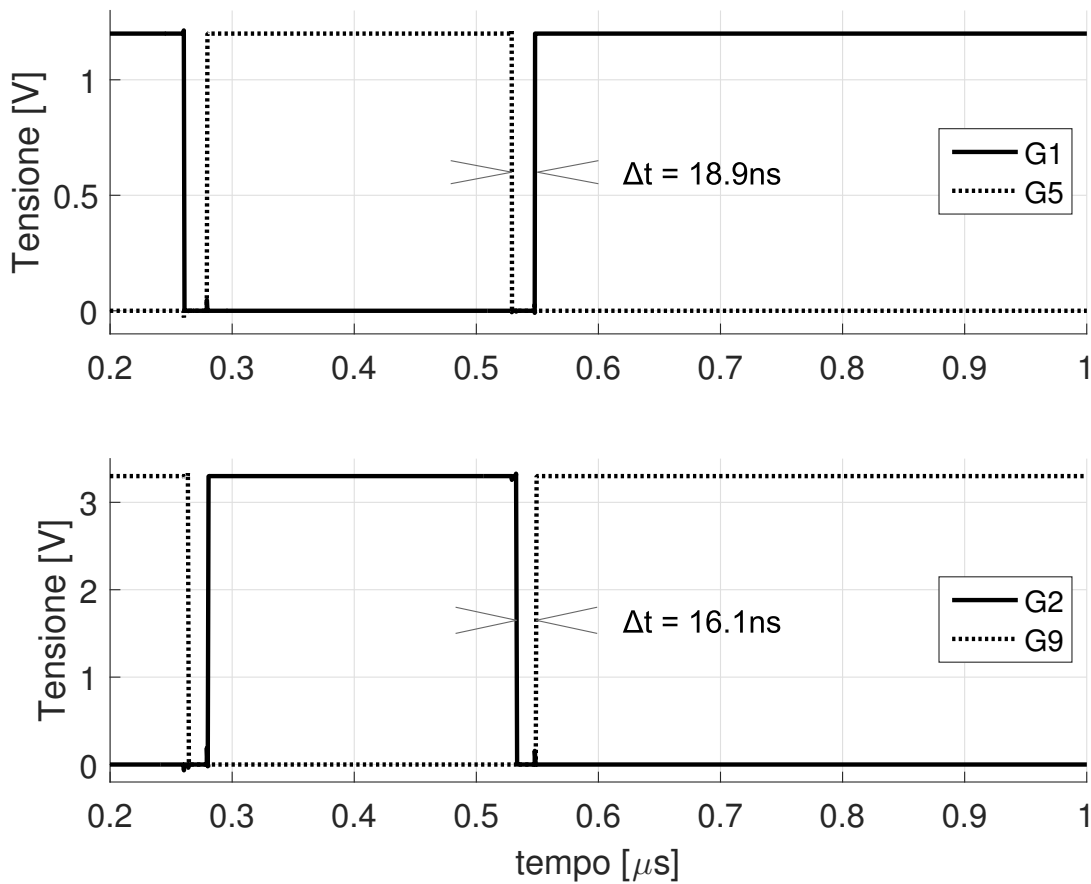
5.2.6 Segnali di *gate*

Figura 5.11: Segnali di gate.

In figura 5.11 sono riportati degli esempi di segnali di *gate* ricavati da simulazione. Sono stati scelti due switch *core* e due switch I/O, e per entrambi i casi uno switch attivo nella fase 1 e l'altro nella fase 2.

Come si vede il generatore di fasi non sovrapposte (sezione 4.1.3) garantisce un dead-time minimo tra le 2 fasi, e fa sì che switch di fasi diverse non siano mai accesi contemporaneamente.

L'intervallo tra le due fasi è leggermente minore dei 20 ns previsti, ma è comunque sufficiente al corretto funzionamento del convertitore.

Conclusioni

Il convertitore progettato vuole essere un compromesso tra il convertitore Dickson e il convertitore Boost. Esso è in grado di produrre incrementi di tensione maggiori di quanto è possibile (o conveniente) fare con un convertitore Boost. Allo stesso tempo mantiene la possibilità di essere controllato con modulazione PWM, cosa che per i convertitori *Switched-cap* puri non è possibile (o molto sconveniente in quanto riduce l'efficienza).

In questo lavoro si è adattato il funzionamento in *fast-switching* tipico dei convertitori *Switched-Cap* al caso con *Duty-cycle* variabile. Si è inoltre proposta una metrica di dimensionamento dei Mosfet che considera la carica che essi devono portare, il tempo a disposizione per farlo e le differenze tra dispositivi di natura diversa (*core* e I/O in questo caso). E' stata svolta una semplice ma accurata analisi della potenza dissipata dai Buffer per pilotare i Mosfet, della resistenza serie e della capacità di *gate* di questi ultimi. Grazie a ciò è stato possibile ottimizzare il convertitore per la potenza totale che deve fornire in uscita, compresa la potenza di auto-alimentazione, e trovare l'efficienza massima in funzione della conduttanza totale che mostrano gli switch.

Per quel che riguarda il valore di induttanza esso non presenta alcun vantaggio rispetto al convertitore Boost, necessitando di un induttanza quasi 4 volte superiore a parità di ripple sulla corrente.

Esso ha un leggero vantaggio sulla capacità di uscita, necessitando di un *Duty-cycle* minore a parità di rapporto V_{out}/V_{in} . Tale vantaggio è irrisorio dovendo per forza di cose questa capacità essere discreta e non integrata. Inoltre tale convertitore necessita dei tre condensatori *floating* e di ben 7 Mosfet in più rispetto al convertitore Boost.

La stima della potenza di auto-alimentazione si è rivelata molto precisa. Le simulazioni riportano infatti una P_{self_power} variabile tra $390\mu W$ e $400\mu W$ e l'errore rispetto ai $400\mu W$ stimati è del solo 2.5% nel caso peggiore.

L'efficienza di conversione ricavata in simulazione è buona, e varia tra l'80.8% e l'88.1%. Essa è leggermente inferiore alla stima manuale, la quale tuttavia non considera le perdite di commutazione dei transistor e l'intervallo di conduzione dei diodi, oltre alle capacità parassite e ad altri effetti secondari.

Le ipotesi fatte per il funzionamento in *fast-switching* sono state tutte confermate dai risultati di simulazione, il metodo seguito per il dimensionamento dei condensatori *floating* e per l'induttore è pertanto valido.

Per quel che riguarda i circuiti di controllo interessante è l'implementazione del comparatore, che si è rivelata valida per applicazioni di questo tipo dove le specifi-

che non sono troppo stringenti ma è necessario un consumo di potenza minimo. In particolare un comparatore così pensato e implementato in questa tecnologia può essere utilizzato per frequenze fino a 10MHz o poco più (si veda figura 4.16) con un consumo di potenza di soli $30\mu W$.

Anche l'integratore utilizzato per compensare il loop di retroazione è particolarmente adatto all'implementazione integrata. Esso realizza implicitamente anche il guadagno K e il nodo sommatore, permettendo di scalare a piacere la tensione di uscita del convertitore per confrontarla con un riferimento di tensione qualsiasi. Dalla teoria dei comparatori SC è noto che la topologia utilizzata è insensibile alle capacità parassite, viene quindi preservata la precisione con cui la tensione di uscita è regolata.

Lo studio in frequenza del convertitore si è rivelato in accordo con i risultati di simulazione, tuttavia non considera il caso in cui la tensione dei condensatori C_{fly} non sia a regime. Ciò provoca un piccolo *overshoot* della tensione di uscita durante l'accensione, peraltro facilmente evitabile se necessario rallentando il sistema. La stabilità e la precisione del convertitore non sono in ogni caso compromesse.

Per concludere un convertitore di questo tipo trova il principale vantaggio nel fatto che permette di superare il convertitore Boost in rapporto V_{out}/V_{in} , e per le specifiche di questo progetto realizza la conversione con *Duty-cycle* meno estremi e più facili da realizzare. In particolare in simulazione si è misurato un *Duty-cycle* massimo del 71% (il caso ideale prevedeva $D \approx 67\%$), mentre a parità di specifiche un convertitore Boost necessiterebbe di *Duty-cycle* maggiori del 90%. Eventualmente esiste la possibilità di aggiungere ulteriori stadi Dickson in ingresso per incrementare ancora la tensione di uscita prodotta. Questo potrebbe essere utile in un eventuale realizzazione discreta, dove diventa possibile realizzare conversioni di tensione in rapporti molto grandi mantenendo allo stesso tempo limitato lo stress in tensione degli switch dei primi stadi.

Riguardo la realizzazione integrata, un vantaggio è la possibilità di aggiungere qualche circuito logico tra il generatore di fasi non sovrapposte e i Buffer. Così facendo si possono modificare a piacere le fasi in cui sono accesi gli switch, modificando la tensione sull'induttore e quindi cambiando totalmente la relazione tra D e V_{out} . Questo, in un applicazione di *Energy Harvesting* è particolarmente interessante in quanto permette di ampliare il già vasto range della tensione di ingresso (da 300mV a 600mV è una variazione del 100%), mantenendo inalterata la tensione di uscita che è possibile fornire. Il tutto al solo prezzo di qualche circuito logico minimamente dispendioso in termini di potenza dissipata ed area occupata.

Ringraziamenti

Essendo questo il lavoro conclusivo della mia carriera universitaria, desidero non solo ringraziare chi mi ha aiutato nella sua realizzazione, ma chiunque nel corso di questi cinque anni ho incontrato e mi è stato vicino.

Il primo e sincero grazie va ai miei genitori e in generale alla mia famiglia, per avermi sempre sostenuto economicamente e moralmente. Grazie anche per le cose più materiali, ma non per questo meno importanti. Penso alle innumerevoli sveglie all'alba, alle attese in stazione, all'aiuto con i cibi pronti e le lavatrici. Grazie anche per avermi sopportato durante le sessioni d'esame più intense.

Grazie poi a Diamante, per avermi sempre sostenuto e per essere fiera di me. Grazie per i lunghi pomeriggi passati insieme a studiare. Grazie anche per aver saputo pazientare nei momenti di particolare impegno e per aver sempre rispettato il mio studio e la mia lontananza.

Grazie agli amici Michele e Giulio, per aver allietato i pomeriggi di studio e le sere di festa. Grazie per le avventure vissute insieme, rimarranno sempre un ricordo felice. Grazie a Davide, nei pochi corsi trascorsi insieme il divertimento non è mai mancato. Grazie a Elena D.L., Elena D.V., Pietro e Nicola per gli anni trascorsi insieme.

Grazie a Francesca, Tommaso e Paolina. Con voi mi sono sentito veramente a casa, nonostante per nessuno fosse veramente la propria casa. Grazie per l'ottima compagnia e per tutte le occasioni in cui ci siamo divertiti assieme.

Grazie a tutti i miei amici, che nonostante la mia lontananza ci sono sempre stati e hanno saputo aspettarmi pazientemente.

Grazie ai miei nonni, che sono sicuro sarebbero fieri di me, e grazie alle mie nonne, che mi hanno sempre dimostrato grande affetto.

Desidero inoltre ringraziare il prof. Gerosa, relatore di questa tesi, per il supporto datomi durante i mesi di laboratorio. Un grande grazie anche al prof. Bevilacqua per la grande disponibilità e l'aiuto sempre immediato.

Bibliografia

- [1] Canan Dagdevirena, Byung Duk Yanga, Yewang Sub, Phat L. Trand, Pauline Joesa, Eric Andersona, Jing Xiab, Vijay Doraiswamyd, Behrooz Dehdashtie, Xue Fengf, Bingwei Lub, Robert Postone, Zain Khalpeye, Roozbeh Ghaffarig, Yong-gang Huangc, Marvin J. Slepian and John A. Rogersa, "Conformal piezoelectric energy harvesting and storage from motions of the heart, lung, and diaphragm," *PNAS*, 2014.
- [2] Michael Day, "Understanding low drop out (ldo) regulators," *Texas Instruments*, 2006.
- [3] Robert W. Erickson, Dragan Maksimović, *Fundamental of Power Electronics*, K. A. PUBLISHERS, Ed., 2004.
- [4] Seth R. Sanders, Elad Alon, Hanh-Phuc Le, Michael D. Seeman, Mervin John, Vincent W. Ng, "The road to fully integrated dc-dc conversion via the switched-capacitor approach," *IEEE Transaction on power electronics*, 2013.
- [5] G. Villar Piquè, H.J. Bergveld, E. Alarcon, "Survey and benchmark of fully integrated switching power converters: Switched-capacitor versus inductive approach," *IEEE Transaction on Power Electronics*, 2013.
- [6] Ravi Karadi, Gerard Villar Piquè, Henk Jan Bergveld, "Switched-capacitor power-converter topology overview and performance comparison," *Wideband Continuous-time $\Sigma\Delta$ ADCs, Automotive Electronics, and Power Management*, 2016.
- [7] Michael D. Seeman, Seth R. Sanders, "Analysis and optimization of switched-capacitor dc-dc converters," *IEEE Transaction on power electronics*, 2008.
- [8] Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolić, *Digital Integrated Circuits - A Design Perspective*, Pearson, Ed., 2003.
- [9] Shweta Gupta, Manoj Kumar, "Cmos voltage level-up shifter - a review," *International Journal of Advances in Engineering Sciences*, 2013.
- [10] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, *Analysis and design of analog integrated circuits*, Wiley, Ed., 2015.
- [11] Błażej Nowacki, Nuno Paulino, João Goes, "A simple 1 ghz non-overlapping two-phase clock generators for sc circuits," *20th International Conference "Mixed Design of Integrated Circuits and Systems"*, 2013.
- [12] Philip E. Allen, Douglas R. Holberg, *CMOS Analog Circuit Design*, O. university press, Ed., 2002.
- [13] Rolf Schaumann, Mac E. Van Valkenburg, *Design of Analog Filters*, O. university press, Ed., 2001.

-
- [14] Yikai Wang, Dongsheng Ma, "A 450-mv single-fuel-cell power management unit with switch-mode quasi- v^2 hysteretic control and automatic startup on 0.35- m standard cmos process," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2012.
 - [15] Yan-Ming Li, Hao Zhang, Hong Chai, Kai-Kai Wu, Chang-Bao Wen, "A novel start-up circuit for boost dc-dc converter with synchronous power-switch current-limit," *IEEE*, 2015.
 - [16] J. W. Kimball, T. L. Flowers, P. L. Chapman, "Issues with low-input-voltage boost converter design," *IEEE Conference Publications*, 2004.
 - [17] Abhik Das, Yuan Gao, Tony Tae-Hyoung Kim, "A 76% efficiency boost converter with 220mv self-startup and 2nw quiescent power for high resistance thermo-electric energy harvesting," *IEEE*, 2015.

Codice *Matlab*

Si riporta in appendice il codice *Matlab* più significativo, come per esempio quello utilizzato per fittare i dati di simulazione, quello per la stima e ottimizzazione dell'efficienza e il codice per il design dei circuiti di controllo.

Fit dei dati di simulazione

Costanti K_c

Il seguente codice *Matlab* è stato utilizzato per ricavare le costanti K_c dai dati di simulazione. Esse sono le costanti che permettono di stimare la capacità di *gate* di un transistor data la sua larghezza.

```
%% STIMA DI  $K_c$  PER LE CAPACITA' DI GATE DEI MOSFET %%
clear all; close all; clc

% importo i dati di simulazione
ndata = importdata('nMOS.csv');
pdata = importdata('pMOS.csv');

Wn = ndata.data(:,1);
Cg_n12 = ndata.data(:,2);
Cg_n33 = ndata.data(:,4);

Wp = pdata.data(:,1);
Cg_p12 = pdata.data(:,4);
Cg_p33 = pdata.data(:,2);

%% Fit: ' $C_{g\_n12}$ '.
[xData, yData] = prepareCurveData( Wn, Cg_n12 );

% Set up fitype and options.
ft = fitype( 'poly1' );

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft );

Kc_n12 = fitresult.p1;

%% Fit: ' $C_{g\_n33}$ '.
[xData, yData] = prepareCurveData( Wn, Cg_n33 );

% Set up fitype and options.
ft = fitype( 'poly1' );

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft );

Kc_n33 = fitresult.p1;
```

```

%% Fit: 'Cg_p12'.
[xData, yData] = prepareCurveData( Wp, Cg_p12 );

% Set up fittype and options.
ft = fittype( 'poly1' );

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft );

Kc_p12 = fitresult.p1;

%% Fit: 'Cg_p33'.
[xData, yData] = prepareCurveData( Wp, Cg_p33 );

% Set up fittype and options.
ft = fittype( 'poly1' );

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft );

Kc_p33 = fitresult.p1;

%% salvo i risultati
save('Kc', 'Kc_n12', 'Kc_p12', 'Kc_n33', 'Kc_p33')

```

Costanti K_R

Il seguente codice *Matlab* è stato utilizzato per ricavare le costanti K_R dai dati di simulazione. Esse sono le costanti che permettono di stimare la resistenza serie di un transistor data la sua larghezza.

```

clear all;
close all;
clc;

data_n12_Vs00_Vb00 = importdata('R_n12_Vs00_Vb00.csv');
data_n12_Vs03_Vb03 = importdata('R_n12_Vs03_Vb03.csv');
data_n12_Vs06_Vb00 = importdata('R_n12_Vs06_Vb00.csv');
data_n33_Vs00_Vb00 = importdata('R_n33_Vs00_Vb00.csv');
data_nbpw12_Vs06_Vb06 = importdata('R_nbpw12_Vs06_Vb06.csv');
data_nbpw33_Vs12_Vb12 = importdata('R_nbpw33_Vs12_Vb12.csv');
data_nbpw33_Vs18_Vb18 = importdata('R_nbpw33_Vs18_Vb18.csv');
data_p12_Vs03_Vb03 = importdata('R_p12_Vs03_Vb03.csv');
data_p12_Vs06_Vb12 = importdata('R_p12_Vs06_Vb12.csv');
data_p12_Vs12_Vb12 = importdata('R_p12_Vs12_Vb12.csv');
data_p33_Vs06_Vb06 = importdata('R_p33_Vs06_Vb06.csv');
data_p33_Vs09_Vb09 = importdata('R_p33_Vs09_Vb09.csv');
data_p33_Vs33_Vb33 = importdata('R_p33_Vs33_Vb33.csv');

W_n12_Vs00_Vb00 = data_n12_Vs00_Vb00.data(:,1);
W_n12_Vs03_Vb03 = data_n12_Vs03_Vb03.data(:,1);

```

```

W_n12_Vs06_Vb00 = data_n12_Vs06_Vb00.data(:,1);
W_n33_Vs00_Vb00 = data_n33_Vs00_Vb00.data(:,1);
W_nbpw12_Vs06_Vb06 = data_nbpw12_Vs06_Vb06.data(:,1);
W_nbpw33_Vs12_Vb12 = data_nbpw33_Vs12_Vb12.data(:,1);
W_nbpw33_Vs18_Vb18 = data_nbpw33_Vs18_Vb18.data(:,1);
W_p12_Vs03_Vb03 = data_p12_Vs03_Vb03.data(:,1);
W_p12_Vs06_Vb12 = data_p12_Vs06_Vb12.data(:,1);
W_p12_Vs12_Vb12 = data_p12_Vs12_Vb12.data(:,1);
W_p33_Vs06_Vb06 = data_p33_Vs06_Vb06.data(:,1);
W_p33_Vs09_Vb09 = data_p33_Vs09_Vb09.data(:,1);
W_p33_Vs33_Vb33 = data_p33_Vs33_Vb33.data(:,1);

R_n12_Vs00_Vb00 = data_n12_Vs00_Vb00.data(:,2);
R_n12_Vs03_Vb03 = data_n12_Vs03_Vb03.data(:,2);
R_n12_Vs06_Vb00 = data_n12_Vs06_Vb00.data(:,2);
R_n33_Vs00_Vb00 = data_n33_Vs00_Vb00.data(:,2);
R_nbpw12_Vs06_Vb06 = data_nbpw12_Vs06_Vb06.data(:,2);
R_nbpw33_Vs12_Vb12 = data_nbpw33_Vs12_Vb12.data(:,2);
R_nbpw33_Vs18_Vb18 = data_nbpw33_Vs18_Vb18.data(:,2);
R_p12_Vs03_Vb03 = data_p12_Vs03_Vb03.data(:,2);
R_p12_Vs06_Vb12 = data_p12_Vs06_Vb12.data(:,2);
R_p12_Vs12_Vb12 = data_p12_Vs12_Vb12.data(:,2);
R_p33_Vs06_Vb06 = data_p33_Vs06_Vb06.data(:,2);
R_p33_Vs09_Vb09 = data_p33_Vs09_Vb09.data(:,2);
R_p33_Vs33_Vb33 = data_p33_Vs33_Vb33.data(:,2);

%check plot
figure
hold on
plot(W_n12_Vs00_Vb00,R_n12_Vs00_Vb00)
plot(W_n12_Vs03_Vb03,R_n12_Vs03_Vb03)
plot(W_n12_Vs06_Vb00,R_n12_Vs06_Vb00)
plot(W_n33_Vs00_Vb00,R_n33_Vs00_Vb00)
plot(W_nbpw12_Vs06_Vb06,R_nbpw12_Vs06_Vb06)
plot(W_nbpw33_Vs12_Vb12,R_nbpw33_Vs12_Vb12)
plot(W_nbpw33_Vs18_Vb18,R_nbpw33_Vs18_Vb18)
plot(W_p12_Vs03_Vb03,R_p12_Vs03_Vb03)
plot(W_p12_Vs06_Vb12,R_p12_Vs06_Vb12)
plot(W_p12_Vs12_Vb12,R_p12_Vs12_Vb12)
plot(W_p33_Vs06_Vb06,R_p33_Vs06_Vb06)
plot(W_p33_Vs09_Vb09,R_p33_Vs09_Vb09)
plot(W_p33_Vs33_Vb33,R_p33_Vs33_Vb33)
close

%% Fit: 'n12_Vs00_Vb00'.
[xData, yData] = prepareCurveData( W_n12_Vs00_Vb00, R_n12_Vs00_Vb00 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.913375856139019;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_n12_Vs00_Vb00 = fitresult.K;

```

```
%% Fit: 'n12_Vs03_Vb03'.
[xData, yData] = prepareCurveData( W_n12_Vs03_Vb03, R_n12_Vs03_Vb03 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.0975404049994095;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_n12_Vs03_Vb03 = fitresult.K;

%% Fit: 'n12_Vs06_Vb00'.
[xData, yData] = prepareCurveData( W_n12_Vs06_Vb00, R_n12_Vs06_Vb00 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.546881519204984;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_n12_Vs06_Vb00 = fitresult.K;

%% Fit: 'n33_Vs00_Vb00'.
[xData, yData] = prepareCurveData( W_n33_Vs00_Vb00, R_n33_Vs00_Vb00 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.964888535199277;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_n33_Vs00_Vb00 = fitresult.K;

%% Fit: 'nbpw12_Vs06_Vb06'.
[xData, yData] = prepareCurveData( W_nbpw12_Vs06_Vb06, R_nbpw12_Vs06_Vb06 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.957166948242946;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_nbpw12_Vs06_Vb06 = fitresult.K;

%% Fit: 'nbpw33_Vs12_Vb12'.
[xData, yData] = prepareCurveData( W_nbpw33_Vs12_Vb12, R_nbpw33_Vs12_Vb12 );
```



```
% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.8002804688888;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_nbpw33_Vs12_Vb12 = fitresult.K;

%% Fit: 'nbpw33_Vs18_Vb18'.
[xData, yData] = prepareCurveData( W_nbpw33_Vs18_Vb18, R_nbpw33_Vs18_Vb18 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.421761282626275;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_nbpw33_Vs18_Vb18 = fitresult.K;

%% Fit: 'p12_Vs03_Vb03'.
[xData, yData] = prepareCurveData( W_p12_Vs03_Vb03, R_p12_Vs03_Vb03 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.792207329559554;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p12_Vs03_Vb03 = fitresult.K;

%% Fit: 'p12_Vs06_Vb12'.
[xData, yData] = prepareCurveData( W_p12_Vs06_Vb12, R_p12_Vs06_Vb12 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.655740699156587;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p12_Vs06_Vb12 = fitresult.K;

%% Fit: 'p12_Vs12_Vb12'.
[xData, yData] = prepareCurveData( W_p12_Vs12_Vb12, R_p12_Vs12_Vb12 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
```

```

opts.StartPoint = 0.849129305868777;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p12_Vs12_Vb12 = fitresult.K;

%% Fit: 'p33_Vs06_Vb06'.
[xData, yData] = prepareCurveData( R_p33_Vs06_Vb06, W_p33_Vs06_Vb06 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.743132468124916;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p33_Vs06_Vb06 = fitresult.K;

%% Fit: 'p33_Vs09_Vb09'.
[xData, yData] = prepareCurveData( R_p33_Vs09_Vb09, W_p33_Vs09_Vb09 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.655477890177557;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p33_Vs09_Vb09 = fitresult.K;

%% Fit: 'p33_Vs33_Vb33'.
[xData, yData] = prepareCurveData( R_p33_Vs33_Vb33, W_p33_Vs33_Vb33 );

% Set up fitype and options.
ft = fitype( 'K/x', 'independent', 'x', 'dependent', 'y' );
opts = fitoptions( 'Method', 'NonlinearLeastSquares' );
opts.Display = 'Off';
opts.StartPoint = 0.706046088019609;

% Fit model to data.
[fitresult, gof] = fit( xData, yData, ft, opts );
K_p33_Vs33_Vb33 = fitresult.K;

save('Rmos.mat', 'K_n12_Vs00_Vb00', 'K_n12_Vs03_Vb03', 'K_n12_Vs06_Vb00',
      'K_n33_Vs00_Vb00', 'K_nbpw12_Vs06_Vb06', 'K_nbpw33_Vs12_Vb12',
      'K_nbpw33_Vs18_Vb18', 'K_p12_Vs03_Vb03', 'K_p12_Vs06_Vb12',
      'K_p12_Vs12_Vb12', 'K_p33_Vs06_Vb06', 'K_p33_Vs09_Vb09',
      'K_p33_Vs33_Vb33')

```

Convertitore DC/DC e stima dell'efficienza

Calcolo dei coefficienti per i Mosfet

Il seguente codice *Matlab* è stato utilizzato per ricavare i coefficienti K_i , ovvero i coefficienti usati per suddividere G_{tot} tra i vari switch.

```

%% COEFFICIENTI DI PESO PER LA DIVISIONE DI Gtot TRA GLI SWITCH %%
clc; clear all; close all;

% carico i valori delle capacita degli inverter
load('Cin_inverter.mat');

% dati
Vin_min = 0.3;
Vin_max = 0.6;
Vin = Vin_min:0.01:Vin_max;
Vout = 3.3;

for i=1:length(Vin);

    % calcolo D per il valore corrente di Vin
    D = (Vout-5*Vin(i))/(Vout-2*Vin(i));

    % coefficienti
    k1(i) = (((2-D)/(1-D))/(D))/(C_in_inverter_12*1.2*1.2);
    k2(i) = (((2-D)/(1-D))/(1-D))/(C_in_inverter_33*3.3*3.3);
    k3(i) = ((1)/(D))/(C_in_inverter_33*3.3*3.3);
    k4(i) = ((1)/(1-D))/(C_in_inverter_33*3.3*3.3);
    k5(i) = (((2-D)/(1-D))/(1-D))/(C_in_inverter_12*1.2*1.2);
    k6(i) = (((1)/(1-D))/(D))/(C_in_inverter_12*1.2*1.2);
    k7(i) = (((2-D)/(1-D))/(D))/(C_in_inverter_12*1.2*1.2);
    k8(i) = (((1)/(1-D))/(1-D))/(C_in_inverter_12*1.2*1.2);
    k9(i) = (((1)/(1-D))/(D))/(C_in_inverter_33*3.3*3.3);
end

% prendo il massimo in funzione di Vin di ogni coefficiente
k1 = max(k1)/1e15;
k2 = max(k2)/1e15;
k3 = max(k3)/1e15;
k4 = max(k4)/1e15;
k5 = max(k5)/1e15;
k6 = max(k6)/1e15;
k7 = max(k7)/1e15;
k8 = max(k8)/1e15;
k9 = max(k9)/1e15;

Ktot = (k1 + k2 + k3 + k4 + k5 + k6 + k7 + k8 + k9);

% salvo i risultati
save('coefficienti_peso','k1','k2','k3','k4','k5','k6','k7','k8','k9')

```

Stima dell'efficienza

La seguente funzione *Matlab* è quella utilizzata per la stima dell'efficienza media di conversione. Essa fornisce l'efficienza media in funzione di F_{sw} e G_{tot} , calcolando autonomamente la potenza di uscita totale per cui il convertitore deve essere ottimizzato. Tale potenza totale è la somma della potenza richiesta dal carico esplicito (5mW) e della potenza che servirà all'auto-alimentazione.

```
%% FUNZIONE PER LA VALUTAZIONE DELL'EFFICIENZA MEDIA %%
```

```
function [eff_mean] = efficienza(Fsw,Gtot)

% carico i dati
load('Rmos.mat')
load('Kc.mat')
load('coefficienti_peso.mat')
load('C_inverter_minimi.mat')

Pout = 5e-3;
Pload = 5e-3;
P_self_power = 0.1e-3; % stima di P_self_power

% itero finche la stima di Pout totale non e corretta
% (devo tenere conto di P_self_power)
while (P_self_power + Pload) > Pout

    Tsw = 1/Fsw;
    Vout = 3.3;
    % aumento la potenza di uscita ad ogni ciclo
    % per considerare P_self_power
    Pout = Pout*1.001;
    % potenza circuiti di controllo
    Pcontrol = 10.33e-6 + 10.33e-6 + 30e-6 + 10.25e-6;
    Iout = Pout/Vout;
    Rout = Vout/Iout;
    Vin_min = 0.3;
    Vin_max = 0.6;
    Vin = Vin_min:0.01:Vin_max;

    %conduttanze switch
    Ktot = k1+k2+k3+k4+k5+k6+k7+k8+k9;
    G1 = Gtot*k1/Ktot;
    G2 = Gtot*k2/Ktot;
    G3 = Gtot*k3/Ktot;
    G4 = Gtot*k4/Ktot;
    G5 = Gtot*k5/Ktot;
    G6 = Gtot*k6/Ktot;
    G7 = Gtot*k7/Ktot;
    G8 = Gtot*k8/Ktot;
    G9 = Gtot*k9/Ktot;

    % resistenza switch
    R1 = G1^(-1);
    R2 = G2^(-1);
```

```

R3 = G3^(-1);
R4 = G4^(-1);
R5 = G5^(-1);
R6 = G6^(-1);
R7 = G7^(-1);
R8 = G8^(-1);
R9 = G9^(-1);

% ottimizzazione switch
% ( si omette il confronto tra una realizzazione parallelo
% ( o singolo Mosfet per gli switch con Source non a massa
% ( in quanto si e visto che il caso migliore e' sempre
% ( un singolo switch N )

% serie 1 7
area_17 = 1e18;
%ciclo per variare la R1 e R7 in modo che la somma delle 2 sia costante
for R1_temp = 0.001:0.001:(R1+R7-0.001)
    R7_temp = (R1+R7)-R1_temp;

    % dimensione Sw 1
    W1_temp = K_nbpw12_Vs06_Vb06/R1_temp;
    area_1_temp = 120e-9*W1_temp;

    % dimensione switch 7
    W7_temp = K_n12_Vs00_Vb00/R7_temp;
    area_7_temp = 120e-9*W7_temp;

    % area totale
    area_17_temp = area_1_temp + area_7_temp;

    % controllo se questo caso e migliore del precedente
    if area_17_temp < area_17
        area_17 = area_17_temp;
        W1 = W1_temp;
        W7 = W7_temp;
    end
end
% cancello le variabili inutili
clear area_17 W1_temp W7_temp R1_temp R7_temp area_1_temp
clear W_7_temp area_7_temp area_17_temp area_17

% serie 2 5
area_25 = 1e18;
%ciclo per variare la R1 e R7 in modo che la somma delle 2 sia costante
for R2_temp = 0.001:0.001:(R2+R5-0.001)
    R5_temp = (R2+R5)-R2_temp;

    % dimensione Sw 2
    W2_temp = K_nbpw33_Vs12_Vb12/R2_temp;
    area_2_temp = 340e-9*W2_temp;

    %dimensione switch 5
    W5_temp = K_nbpw12_Vs06_Vb06/R5_temp;
    area_5_temp = 120e-9*W5_temp;

```

```

% area totale
area_25_temp = area_2_temp + area_5_temp;

% controllo se questo caso e migliore del precedente
if area_25_temp < area_25
    area_25 = area_25_temp;
    W2 = W2_temp;
    W5 = W5_temp;
end
end
% cancello le variabili inutili
clear area_25 W2_temp W5_temp R2_temp R5_temp area_2_temp
clear W_5_temp area_25_temp area_25_temp area_25

% serie 6 9
area_69 = 1e18;
%ciclo per variare la R1 e R7 in modo che la somma delle 2 sia costante
for R6_temp = 0.001:0.001:(R6+R9-0.001)
    R9_temp = (R6+R9)-R6_temp;

    % dimensione Sw 6
    W6_temp = K_nbpw12_Vs06_Vb06/R6_temp;
    area_6_temp = 120e-9*W6_temp;

    %dimensione switch 9
    W9_temp = K_n33_Vs00_Vb00/R9_temp;
    area_9_temp = 340e-9*W9_temp;

    area_69_temp = area_6_temp + area_9_temp;

    % controllo se questo caso e migliore del precedente
    if area_69_temp < area_69
        area_69 = area_69_temp;
        W6 = W6_temp;
        W9 = W9_temp;
    end
end
% cancello le variabili inutili
clear area_69 W6_temp W9_temp R6_temp R9_temp area_6_temp
clear W_9_temp area_69_temp area_69_temp area_69

% calcolo le dimensioni degli switch rimanenti
W3 = G3*K_nbpw33_Vs18_Vb18;
W4 = G4*K_p33_Vs33_Vb33;
W8 = G8*K_n12_Vs00_Vb00;

% calcolo le capacita di gate dei mosfet appena dimensionati
Cg1 = W1*Kc_n12;
Cg2 = W2*Kc_n33;
Cg3 = W3*Kc_n33;
Cg4 = W4*Kc_p33;
Cg5 = W5*Kc_n12;
Cg6 = W6*Kc_n12;
Cg7 = W7*Kc_n12;
Cg8 = W8*Kc_n12;

```

```

Cg9 = W9*Kc_n33;

%FAN OUT buffer
F1 = Cg1/C_in_inverter_12;
F2 = Cg2/C_in_inverter_33;
F3 = Cg3/C_in_inverter_33;
F4 = Cg4/C_in_inverter_33;
F5 = Cg5/C_in_inverter_12;
F6 = Cg6/C_in_inverter_12;
F7 = Cg7/C_in_inverter_12;
F8 = Cg8/C_in_inverter_12;
F9 = Cg9/C_in_inverter_33;

% Numero stadi dei buffer
N1 = round(log(F1)/log(4));
if N1<1
    N1 = 1; end
N2 = round(log(F2)/log(4));
if N2<1
    N2 = 1; end
N3 = round(log(F3)/log(4));
if N3<1
    N3 = 1; end
N4 = round(log(F4)/log(4));
if N4<1
    N4 = 1; end
N5 = round(log(F5)/log(4));
if N5<1
    N5 = 1; end
N6 = round(log(F6)/log(4));
if N6<1
    N6 = 1; end
N7 = round(log(F7)/log(4));
if N7<1
    N7 = 1; end
N8 = round(log(F8)/log(4));
if N8<1
    N8 = 1; end
N9 = round(log(F9)/log(4));
if N9<1
    N9 = 1; end

% Potenze dissipate dai buffer
gamma12 = C_out_inverter_12/C_in_inverter_12;
gamma33 = C_out_inverter_33/C_in_inverter_33;
Pb1 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F1 + (1+gamma12)*((1-4^N1)/(1-4)));
Pb2 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F2 + (1+gamma33)*((1-4^N2)/(1-4)));
Pb3 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F3 + (1+gamma33)*((1-4^N3)/(1-4)));
Pb4 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F4 + (1+gamma33)*((1-4^N4)/(1-4)));
Pb5 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F5 + (1+gamma12)*((1-4^N5)/(1-4)));
Pb6 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F6 + (1+gamma12)*((1-4^N6)/(1-4)));
Pb7 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F7 + (1+gamma12)*((1-4^N7)/(1-4)));
Pb8 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F8 + (1+gamma12)*((1-4^N8)/(1-4)));
Pb9 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F9 + (1+gamma33)*((1-4^N9)/(1-4)));

% potenze totali

```

```

Pbuffer_12 = Pb1 + Pb5 + Pb6 + Pb7 + Pb8;
Pbuffer_33 = Pb2 + Pb3 + Pb4 + Pb9;

% potenze dissipate dagli switch (dipendono da D quindi da Vin)
for h = 1:length(Vin)
    % calcolo D per questa Vin
    D = (Vout-5*Vin(h))/(Vout-2*Vin(h));

    %correnti medie sugli switch
    i1 = Iout*((2-D)/(1-D))/D;
    i2 = Iout*((2-D)/(1-D))/(1-D);
    i3 = Iout*(1)/D;
    i4 = Iout*(1)/(1-D);
    i5 = Iout*((2-D)/(1-D))/(1-D);
    i6 = Iout*((1)/(1-D))/D;
    i7 = Iout*((2-D)/(1-D))/D;
    i8 = Iout*((1)/(1-D))/(1-D);
    i9 = Iout*((1)/(1-D))/D;

    % potenze dissipate dagli switch
    Ps1 = (D)*(1/G1)*(i1^2);
    Ps2 = (1-D)*(1/G2)*(i2^2);
    Ps3 = (D)*(1/G3)*(i3^2);
    Ps4 = (1-D)*(1/G4)*(i4^2);
    Ps5 = (1-D)*(1/G5)*(i5^2);
    Ps6 = (D)*(1/G6)*(i6^2);
    Ps7 = (D)*(1/G7)*(i7^2);
    Ps8 = (1-D)*(1/G8)*(i8^2);
    Ps9 = (D)*(1/G9)*(i9^2);
    Pswitch = Ps1+Ps2+Ps3+Ps4+Ps5+Ps6+Ps7+Ps8+Ps9;

    % efficienza per questa Vin
    eff(h) = Pload/(Pload+Pbuffer_33+Pswitch+((Pbuffer_12+Pcontrol)*(3.3/1.2)));
end

% calcolo P_self_power per confrontarla con la stima fatta
P_self_power = Pbuffer_33+((Pbuffer_12+Pcontrol)*(3.3/1.2));

% calcolo l'efficienza media in funzione di Vin
eff_mean = mean(eff);

end

```


Dimensioni Mosfet e stadi dei Buffer

Il seguente codice è quello utilizzato per ricavare le dimensioni più opportune dei transistor Mosfet e il numero di stadi del relativo Buffer una volta scelto il valore di F_{sw} e G_{tot} . In esso è contenuta l'ottimizzazione degli switch che lavorano in serie e l'auto-aggiustamento iterativo della potenza di uscita totale, allo stesso modo dello script precedente.

```

%% SCRIPT CHE DATO IL VALORE DI Gtot CALCOLA %%
%     LE DIMENSIONI DI MOSFET E BUFFER     %

clc; clear all; close all;

% DATI
load('Rmos.mat')
load('Kc.mat')
load('coefficienti_peso.mat')
load('C_inverter_minimi.mat')
Pout = 5e-3;
Pload = 5e-3;
P_self_power = 0.1e-3;

% itero finche la stima di Pout totale non e corretta
% (devo tenere conto di P_self_power)
while (P_self_power + Pload) > Pout

Fsw = 1e6;
Tsw = 1/Fsw;
Vout = 3.3;
% aumento la potenza di uscita ad ogni ciclo
% per considerare P_self_power
Pout = Pout*1.0001;
% potenza circuiti di controllo
Pcontrol = 10.33e-6 + 10.33e-6 + 30e-6 + 10.25e-6;
Iout = Pout/Vout;
Rout = Vout/Iout;
Vin_min = 0.3;
Vin_max = 0.6;
Vin = Vin_min:0.01:Vin_max;

%imposto la conduttanza totale
Gtot = 29.2;

%conduttanze switch
Ktot = k1+k2+k3+k4+k5+k6+k7+k8+k9;
G1 = Gtot*k1/Ktot;
G2 = Gtot*k2/Ktot;
G3 = Gtot*k3/Ktot;
G4 = Gtot*k4/Ktot;
G5 = Gtot*k5/Ktot;
G6 = Gtot*k6/Ktot;
G7 = Gtot*k7/Ktot;
G8 = Gtot*k8/Ktot;
G9 = Gtot*k9/Ktot;

```

```

% resistenza switch
R1 = G1^(-1);
R2 = G2^(-1);
R3 = G3^(-1);
R4 = G4^(-1);
R5 = G5^(-1);
R6 = G6^(-1);
R7 = G7^(-1);
R8 = G8^(-1);
R9 = G9^(-1);

%% ottimizzazione switch

% serie 1 7
area_17 = 1e18;
for R1_temp = 0.001:0.001:(R1+R7-0.001)
    R7_temp = (R1+R7)-R1_temp;

    % dimensione Sw 1 solo N
    W1_N = K_nbpw12_Vs06_Vb06/R1_temp;
    areal_N_temp = 120e-9*W1_N;
    % dimensione Sw 1 solo P
    W1_P = K_p12_Vs03_Vb03/R1_temp;
    areal_P_temp = 120e-9*W1_P;

    % dimensione Sw 1 parallelo N e P
    areal_NP_temp = 1e18;
    % itero per cercare il rapporto migliore tra n e p
    for R1_NP_N = (1.01*R1_temp):0.01:(100*R1_temp)
        R1_NP_P = (R1_temp*R1_NP_N)/(R1_NP_N-R1_temp);
        % dimensioni con questo rapporto N/P
        W1_NP_N_new = K_nbpw12_Vs06_Vb06/R1_temp;
        W1_NP_P_new = K_p12_Vs03_Vb03/R1_temp;
        areal_NP_new = 120e-9*(W1_NP_P_new+W1_NP_N_new);

        % controllo se questo rapporto N/P e' migliore del precedente
        if areal_NP_new < areal_NP_temp
            areal_NP_temp = areal_NP_new;
            W1_NP_N = W1_NP_N_new;
            W1_NP_P = W1_NP_P_new;
        end
    end

    % cerco la configurazione migliore tra N, P e NP
    if (areal_N_temp < areal_P_temp) && (areal_N_temp < areal_NP_temp)
        best1_N = 1; best1_P = 0; best1_NP = 0;
        area_1_temp = areal_N_temp;
    end
    if (areal_P_temp < areal_N_temp) && (areal_P_temp < areal_NP_temp)
        best1_N = 0; best1_P = 1; best1_NP = 0;
        area_1_temp = areal_P_temp;
    end
    if (areal_NP_temp < areal_N_temp) && (areal_NP_temp < areal_P_temp)
        best1_N = 0; best1_P = 0; best1_NP = 1;
        area_1_temp = areal_NP_temp;
    end

```

```

end

%dimensione switch 7
W7_temp = K_n12_Vs00_Vb00/R7_temp;
area_7_temp = 120e-9*W7_temp;

% area totale
area_17_temp = area_1_temp + area_7_temp;
% controllo se questo caso e migliore del precedente
if area_17_temp < area_17
    area_17 = area_17_temp;
    if best1_N
        W1 = W1_N; clear W1_P; end
    if best1_P
        W1 = W1_P; clear W1_N; end
    if best1_NP
        W1n = W1_NP_N;
        W1p = W1_NP_P; end
    W7 = W7_temp;
end
end

% serie 2 5
area_25 = 1e18;
for R2_temp = 0.001:0.001:(R2+R5-0.001)
    R2_temp = (R2+R5)-R2_temp;

    % dimensione Sw 2 solo N
    W2_N = K_nbpw33_Vs12_Vb12/R2_temp;
    area2_N_temp = 340e-9*W2_N;
    % dimensione Sw 2 solo P
    W2_P = K_p33_Vs06_Vb06/R2_temp;
    area2_P_temp = 300e-9*W2_P;
    % dimensione Sw 2 parallelo N e P
    area2_NP_temp = 1e18;
    % itero per cercare il rapporto migliore tra n e p
    for R2_NP_N = (1.01*R2_temp):0.01:(100*R2_temp)
        R2_NP_P = (R2_temp*R2_NP_N)/(R2_NP_N-R2_temp);
        % dimensioni con questo rapporto N/P
        W2_NP_N_new = K_nbpw33_Vs12_Vb12/R2_temp;
        W2_NP_P_new = K_p33_Vs06_Vb06/R2_temp;
        area2_NP_new = 300e-9*W2_NP_P_new+340e-9*W2_NP_N_new;

        % controllo se questo rapporto N/P e' migliore del precedente
        if area2_NP_new < area2_NP_temp
            area2_NP_temp = area2_NP_new;
            W2_NP_N = W2_NP_N_new;
            W2_NP_P = W2_NP_P_new;
        end
    end
    % cerco la configurazione migliore tra N, P e NP
    if (area2_N_temp < area2_P_temp) && (area2_N_temp < area2_NP_temp)
        best2_N = 1; best2_P = 0; best2_NP = 0;
        area_2_temp = area2_N_temp;
    end

```

```

if (area2_P_temp < area2_N_temp) && (area2_P_temp < area2_NP_temp)
    best2_N = 0; best2_P = 1; best2_NP = 0;
    area_2_temp = area2_P_temp;
end
if (area2_NP_temp < area2_N_temp) && (area2_NP_temp < area2_P_temp)
    best2_N = 0; best2_P = 0; best2_NP = 1;
    area_2_temp = area2_NP_temp;
end

% dimensione Sw 5 solo N
W5_N = K_nbpw12_Vs06_Vb06/R5_temp;
area5_N_temp = 120e-9*W5_N;
% dimensione Sw 5 solo P
W5_P = K_p12_Vs03_Vb03/R5_temp;
area5_P_temp = 120e-9*W5_P;
% dimensione Sw 5 parallelo N e P
area5_NP_temp = 1e18;
% itero per cercare il rapporto migliore tra n e p
for R5_NP_N = (1.01*R5_temp):0.01:(100*R5_temp)
    R5_NP_P = (R5_temp*R5_NP_N)/(R5_NP_N-R5_temp);
    % dimensioni con questo rapporto N/P
    W5_NP_N_new = K_nbpw12_Vs06_Vb06/R5_temp;
    W5_NP_P_new = K_p12_Vs03_Vb03/R5_temp;
    area5_NP_new = 120e-9*W5_NP_P_new+120e-9*W5_NP_N_new;

    % controllo se questo rapporto N/P e' migliore del precedente
    if area5_NP_new < area5_NP_temp
        area5_NP_temp = area5_NP_new;
        W5_NP_N = W5_NP_N_new;
        W5_NP_P = W5_NP_P_new;
    end
end

% cerco la configurazione migliore tra N, P e NP
if (area5_N_temp < area5_P_temp) && (area5_N_temp < area5_NP_temp)
    best5_N = 1; best5_P = 0; best5_NP = 0;
    area_5_temp = area5_N_temp;
end
if (area5_P_temp < area5_N_temp) && (area5_P_temp < area5_NP_temp)
    best5_N = 0; best5_P = 1; best5_NP = 0;
    area_5_temp = area5_P_temp;
end
if (area5_NP_temp < area5_N_temp) && (area5_NP_temp < area5_P_temp)
    best5_N = 0; best5_P = 0; best5_NP = 1;
    area_5_temp = area5_NP_temp;
end

% area totale
area_25_temp = area_2_temp + area_5_temp;
% controllo se questo caso e migliore del precedente
if area_25_temp < area_25
    area_25 = area_25_temp;
    if best2_N
        W2 = W2_N; clear W2_P; end
    if best2_P
        W2 = W2_P; clear W2_N; end
    if best2_NP

```

```

        W2n = W2_NP_N;
        W2p = W2_NP_P; end
    if best5_N
        W5 = W5_N; clear W5_P; end
    if best5_P
        W5 = W5_P; clear W5_N; end
    if best5_NP
        W5n = W5_NP_N;
        W5p = W5_NP_P; end

    end
end

% serie 6 9
area_69 = 1e18;
for R6_temp = 0.001:0.001:(R6+R9-0.001)
    R6_temp = (R6+R9)-R6_temp;

    % dimensione Sw 6 solo N
    W6_N = K_nbpw12_Vs06_Vb06/R6_temp;
    area6_N_temp = 120e-9*W6_N;
    % dimensione Sw 6 solo P
    W6_P = K_p12_Vs03_Vb03/R6_temp;
    area6_P_temp = 120e-9*W6_P;
    % dimensione Sw 6 parallelo N e P
    area6_NP_temp = 1e18;
    % itero per cercare il rapporto migliore tra n e p
    for R6_NP_N = (1.01*R6_temp):0.01:(100*R6_temp)
        R6_NP_P = (R6_temp*R6_NP_N)/(R6_NP_N-R6_temp);
        % dimensioni con questo rapporto N/P
        W6_NP_N_new = K_nbpw12_Vs06_Vb06/R6_temp;
        W6_NP_P_new = K_p12_Vs03_Vb03/R6_temp;
        area6_NP_new = 120e-9*(W6_NP_P_new+W6_NP_N_new);

        % controllo se questo rapporto N/P e' migliore del precedente
        if area6_NP_new < area6_NP_temp
            area6_NP_temp = area6_NP_new;
            W6_NP_N = W6_NP_N_new;
            W6_NP_P = W6_NP_P_new;
        end
    end
end
% cerco la configurazione migliore tra N, P e NP
if (area6_N_temp < area6_P_temp) && (area6_N_temp < area6_NP_temp)
    best6_N = 1; best6_P = 0; best6_NP = 0;
    area_6_temp = area6_N_temp;
end
if (area6_P_temp < area6_N_temp) && (area6_P_temp < area6_NP_temp)
    best6_N = 0; best6_P = 1; best6_NP = 0;
    area_6_temp = area6_P_temp;
end
if (area6_NP_temp < area6_N_temp) && (area6_NP_temp < area6_P_temp)
    best6_N = 0; best6_P = 0; best6_NP = 1;
    area_6_temp = area6_NP_temp;
end
end

```

```

%dimensione switch 9
W9_temp = K_n33_Vs00_Vb00/R9_temp;
area_9_temp = 340e-9*W9_temp;

% area totale
area_69_temp = area_6_temp + area_9_temp;
% controllo se questo caso e migliore del precedente
if area_69_temp < area_69
    area_69 = area_69_temp;
    if best6_N
        W6 = W6_N; clear W6_P; end
    if best6_P
        W6 = W6_P; clear W6_N; end
    if best6_NP
        W6n = W6_NP_N;
        W6p = W6_NP_P; end
    W9 = W9_temp;
end
end

% dimensioni degli switch rimanenti
W3 = G3*K_nbpw33_Vs18_Vb18;
W4 = G4*K_p33_Vs33_Vb33;
W8 = G8*K_n12_Vs00_Vb00;

% resistenze effettive
% (ometto il caso P o parallelo perche non e mai il caso migliore)
R1_eff = K_nbpw12_Vs06_Vb06/W1;
R2_eff = K_nbpw33_Vs12_Vb12/W2;
R3_eff = K_nbpw33_Vs18_Vb18/W3;
R4_eff = K_p33_Vs33_Vb33/W4;
R5_eff = K_nbpw12_Vs06_Vb06/W5;
R6_eff = K_nbpw12_Vs06_Vb06/W6;
R7_eff = K_n12_Vs00_Vb00/W7;
R8_eff = K_n12_Vs00_Vb00/W8;
R9_eff = K_n33_Vs00_Vb00/W9;

% capacita di gate dei mosfet appena dimensionati
Cg1 = W1*Kc_n12;
Cg2 = W2*Kc_n33;
Cg3 = W3*Kc_n33;
Cg4 = W4*Kc_p33;
Cg5 = W5*Kc_n12;
Cg6 = W6*Kc_n12;
Cg7 = W7*Kc_n12;
Cg8 = W8*Kc_n12;
Cg9 = W9*Kc_n33;

%FAN OUT buffer
F1 = Cg1/C_in_inverter_12;
F2 = Cg2/C_in_inverter_33;
F3 = Cg3/C_in_inverter_33;
F4 = Cg4/C_in_inverter_33;
F5 = Cg5/C_in_inverter_12;
F6 = Cg6/C_in_inverter_12;
F7 = Cg7/C_in_inverter_12;

```

```

F8 = Cg8/C_in_inverter_12;
F9 = Cg9/C_in_inverter_33;

%stadi buffer
N1 = round(log(F1)/log(4));
if N1<1
    N1 = 1; end
N2 = round(log(F2)/log(4));
if N2<1
    N2 = 1; end
N3 = round(log(F3)/log(4));
if N3<1
    N3 = 1; end
N4 = round(log(F4)/log(4));
if N4<1
    N4 = 1; end
N5 = round(log(F5)/log(4));
if N5<1
    N5 = 1; end
N6 = round(log(F6)/log(4));
if N6<1
    N6 = 1; end
N7 = round(log(F7)/log(4));
if N7<1
    N7 = 1; end
N8 = round(log(F8)/log(4));
if N8<1
    N8 = 1; end
N9 = round(log(F9)/log(4));
if N9<1
    N9 = 1; end

%Potenze dissipate dai buffer
gamma12 = C_out_inverter_12/C_in_inverter_12;
gamma33 = C_out_inverter_33/C_in_inverter_33;
Pb1 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F1 + (1+gamma12)*((1-4^N1)/(1-4)));
Pb2 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F2 + (1+gamma33)*((1-4^N2)/(1-4)));
Pb3 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F3 + (1+gamma33)*((1-4^N3)/(1-4)));
Pb4 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F4 + (1+gamma33)*((1-4^N4)/(1-4)));
Pb5 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F5 + (1+gamma12)*((1-4^N5)/(1-4)));
Pb6 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F6 + (1+gamma12)*((1-4^N6)/(1-4)));
Pb7 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F7 + (1+gamma12)*((1-4^N7)/(1-4)));
Pb8 = (1/Tsw)*1.2*1.2*C_in_inverter_12*(F8 + (1+gamma12)*((1-4^N8)/(1-4)));
Pb9 = (1/Tsw)*3.3*3.3*C_in_inverter_33*(F9 + (1+gamma33)*((1-4^N9)/(1-4)));

Pbuffer_12 = Pb1 + Pb5 + Pb6 + Pb7 + Pb8;
Pbuffer_33 = Pb2 + Pb3 + Pb4 + Pb9;

% potenze dissipate dagli switch (dipendono da D quindi da Vin)
for h = 1:length(Vin)
    % calcolo D per questa Vin
    D = (Vout-5*Vin(h))/(Vout-2*Vin(h));

    % correnti medie
    i1 = Iout*((2-D)/(1-D))/D;

```

```

i2 = Iout*((2-D)/(1-D))/(1-D);
i3 = Iout*(1)/D;
i4 = Iout*(1)/(1-D);
i5 = Iout*((2-D)/(1-D))/(1-D);
i6 = Iout*((1)/(1-D))/D;
i7 = Iout*((2-D)/(1-D))/D;
i8 = Iout*((1)/(1-D))/(1-D);
i9 = Iout*((1)/(1-D))/D;

% potenze dissipate
Ps1 = (D)*(1/G1)*(i1^2);
Ps2 = (1-D)*(1/G2)*(i2^2);
Ps3 = (D)*(1/G3)*(i3^2);
Ps4 = (1-D)*(1/G4)*(i4^2);
Ps5 = (1-D)*(1/G5)*(i5^2);
Ps6 = (D)*(1/G6)*(i6^2);
Ps7 = (D)*(1/G7)*(i7^2);
Ps8 = (1-D)*(1/G8)*(i8^2);
Ps9 = (D)*(1/G9)*(i9^2);
Pswitch = Ps1+Ps2+Ps3+Ps4+Ps5+Ps6+Ps7+Ps8+Ps9;

% efficienza per questa Vin
eff(h) = Pload/(Pload+Pbuffer_33+Pswitch+((Pbuffer_12+Pcontrol)*(3.3/1.2)));
end

% calcolo P_self_power per confrontarla con la stima fatta
P_self_power = Pbuffer_33+((Pbuffer_12+Pcontrol)*(3.3/1.2));

% calcolo l'efficienza media in funzione di Vin
eff_mean = mean(eff);
end

% salvo le dimensioni calcolate
save('resistenze_switch','R1_eff','R2_eff','R3_eff','R4_eff','R5_eff',
     'R6_eff','R7_eff','R8_eff','R9_eff')

```

Scelta di L , C_{fly} e C_{out}

Il seguente codice permette di ricavare le dimensioni di C_1 , C_2 e C_3 affinché il convertitore lavori in *fast-switching*, come ipotizzato nella stima dell'efficienza fatta precedentemente. In esso è contenuto inoltre il calcolo di L e C_{out} affinché siano rispettate le condizioni sui ripple di corrente di induttore e tensione di uscita imposte.

```

%% DIMENSIONI Cout, Cfly, induttore
clear all; close all; clc

% calcolo le resistenze degli switch
load('resistenze_switch.mat')

%dati
Fsw = 1e6;
Tsw = 1/Fsw;

```

```

Vout = 3.3;
Vin_min = 0.3;
Vin_max = 0.6;

%% condensatori Cfly
Dmin = (Vout-5*Vin_max)/(Vout-2*Vin_max);
Dmax = (Vout-5*Vin_min)/(Vout-2*Vin_min);
C1 = 100*min((Dmax*Tsw/(R1_eff+R7_eff)),
             ((1-Dmin)*Tsw/(R2_eff+R5_eff+R8_eff)));
C2 = 100*min((Dmax*Tsw/(R3_eff+R6_eff+R9_eff)),
             ((1-Dmin)*Tsw/(R2_eff+R5_eff+R8_eff)));
C3 = 100*Dmax*Tsw/(R3_eff+R6_eff+R9_eff);

%% induttore condensatore Cout
Pout = 5.4e-3;
Iout = Pout/Vout;
Rout = Vout/Iout;
rip_Vout = 1/100; % ripple percentuale Vout
DILpp = 1/100; % ripple percentuale IL
Vin = Vin_min:0.01:Vin_max;

L = 0;
Cout = 0;
for h=1:length(Vin);
    % calcolo D per questa Vin
    D = (Vout-5*Vin(h))/(Vout-2*Vin(h));

    % induttore
    L_new = (3*Vin(h)*D*Tsw*(1-D))/(DILpp*Iout);
    % controllo se questo e il caso peggiore
    if L_new > L
        L = L_new;
    end

    % Cout
    Cout_new = Iout*D*Tsw/(Vout*rip_Vout);
    % controllo se questo e il caso peggiore
    if Cout_new > Cout
        Cout = Cout_new;
    end
end

% aumento Cout del 20% per tenere conto del duty-cycle reale maggiore
Cout = Cout*1.2;

save('L_Cout','L','Cout')

```

Design dei circuiti di controllo

Generatore di rampa di tensione

Il seguente codice è stato utilizzato per il design del generatore di rampa di tensione periodica.

```

%% GENERATORE DI RAMPA %%
clear all; close all; clc;

% parametri tecnologici
kn = 470e-6;
kp = 100e-6;
Teta0n = 0.57;
Teta0p = 0.54;
Teta1n = 85e-9;
Teta1p = 18e-9;
Lmin = 120e-9;
eta_n = 1.1e7;
eta_p = 1.5e7;

% valori imposti
P = 0.005*1e-3;
Vdd = 1.2;
Delta_V_rampa = 0.15;
I = 0.5*P/Vdd;
Fsw = 1e6;
Tsw = 1/Fsw;

% condensatore
C = (I*Tsw)/(Delta_V_rampa);

% Mosfet 1 e 2
Vstar_p = 0.2;
L_p = 5*Lmin;
Teta_p = Teta0p + Teta1p/L_p;
Vov_p = (((1+4*Teta_p*Vstar_p)^0.5)-1)/(2*Teta_p);
Wp = (2*I*L_p*(1+Vov_p*Teta_p))/(kp*Vov_p*Vov_p);

% scarica
load('Rmos.mat');
Rp = (-1*0.01*Tsw)/(C*log(0.01));
R_m3 = 2*Rp;
R_m4 = 2*Rp;
W_m3 = K_p12_Vs06_Vb12/R_m3;
W_m4 = K_n12_Vs06_Vb00/R_m4;

```

Comparatore

Il seguente codice è stato utilizzato per il design del comparatore.

```

%% DESIGN DEL COMPARATORE %%
clear all; close all; clc;

% parametri tecnologici
kn = 470e-6;
kp = 100e-6;
Teta0n = 0.57;
Teta0p = 0.54;
Tetaln = 85e-9;
Tetalp = 18e-9;
Lmin = 120e-9;
eta_n = 1.1e7;
eta_p = 1.5e7;

% W/L necessari
WoverL_1 = 1;
WoverL_2 = 1;
I1 = 8.5e-6; % da simulazione
I3 = 2*I1;
I4 = I1;
WoverL_6 = WoverL_1;
WoverL_7 = WoverL_1;
WoverL_3 = 2*WoverL_2;

% coppia differenziale
Vstar_4 = 0.15;
L_4 = 360e-9;
Teta_4 = Teta0n + Tetaln/L_4;
Vov_4 = ((1+4*Teta_4*Vstar_4)^0.5)-1)/(2*Teta_4);
WoverL_4 = (2*I4*(1+Teta_4*Vov_4))/(kn*Vov_4*Vov_4);
WoverL_5 = WoverL_4;

% risultati
L_1 = 360e-9;
L_2 = 360e-9;
L_3 = L_1;
L_5 = L_4;
L_6 = L_2;
L_7 = L_6;

W_1 = L_1*WoverL_1;
W_2 = L_2*WoverL_2;
W_3 = L_3*WoverL_3;
W_4 = L_4*WoverL_4;
W_5 = L_5*WoverL_5;
W_6 = L_6*WoverL_6;
W_7 = L_7*WoverL_7;

```

Integratore SC

Il seguente codice è stato utilizzato per il design dell'integratore SC che ha la funzione di compensare il loop di retroazione.

```

%% INTEGRATORE SC %%
clear all; close all; clc;

% DATI
Fsw = 1e6;
Tsw = 1/Fsw;
Vout = 3.3;
Vin_min = 0.3;
Vin_max = 0.6;
Pout = 5.4e-3;
Iout = Pout/Vout;
RL = Vout/Iout;
load('L_Cout.mat')
s = tf('s');

% carico i dati di simulazione
data_Av_PAC_Vin_03 = importdata('Av_PAC_Vin_03.csv');
data_Av_PAC_Vin_06 = importdata('Av_PAC_Vin_06.csv');
f_cadence_03 = data_Av_PAC_Vin_03.data(:,1);
mag_Av_03_cadence = data_Av_PAC_Vin_03.data(:,2)+20*log10(2/11);
phase_Av_03_cadence = data_Av_PAC_Vin_03.data(:,4);
f_cadence_06 = data_Av_PAC_Vin_06.data(:,1);
mag_Av_06_cadence = data_Av_PAC_Vin_06.data(:,2)+20*log10(2/11);
phase_Av_06_cadence = data_Av_PAC_Vin_06.data(:,4);

%% guadagno integratore
Kint = 1;
% inserire a num dell'esponente il modulo (cambiato di segno)
% di T quando la fase vale -120 (per avere PM 60 gradi)
Kint = 10^(45.82/20);
int = Kint/s;

% valuto la fdt dell'integratore sulle frequenza di cadence
[mag_int_03,phase_int_03] = bode(int,2*pi*f_cadence_03);
mag_int_03 = reshape(mag_int_03,length(f_cadence_03),1);
phase_int_03 = reshape(phase_int_03,length(f_cadence_03),1);
[mag_int_06,phase_int_06] = bode(int,2*pi*f_cadence_06);
mag_int_06 = reshape(mag_int_06,length(f_cadence_06),1);
phase_int_06 = reshape(phase_int_06,length(f_cadence_06),1);

%% GUADAGNO D'ANELLO
% loop gain Vin = 0.3 cadence
mag_T_03_cadence = mag_Av_03_cadence + 20*log10(mag_int_03);
% loop phase Vin = 0.3 cadence
phase_T_03_cadence = phase_Av_03_cadence + phase_int_03;
% loop gain Vin = 0.6 cadence
mag_T_06_cadence = mag_Av_06_cadence + 20*log10(mag_int_06);
% loop phase Vin = 0.6 cadence
phase_T_06_cadence = phase_Av_06_cadence + phase_int_06;

```

```
% Condensatori per l'integratore SC
Cs1 = 100e-15;
Cs2 = Cs1/K;
CI = Cs2/(Kint*Tsw);

% CI scelto (leggermente maggiore di quello calcolato)
CI = 3e-9;

% integratore definitivo
int_reale = (Cs2/(CI*Tsw))/s;

% valuto la fdt dell'integratore definitivo sulle frequenza di cadence
[mag_int_reale_03,phase_int_reale_03] = bode(int_reale,2*pi*f_cadence_03);
mag_int_reale_03 = reshape(mag_int_reale_03,length(f_cadence_03),1);
phase_int_reale_03 = reshape(phase_int_reale_03,length(f_cadence_03),1);
[mag_int_reale_06,phase_int_reale_06] = bode(int_reale,2*pi*f_cadence_06);
mag_int_reale_06 = reshape(mag_int_reale_06,length(f_cadence_06),1);
phase_int_reale_06 = reshape(phase_int_reale_06,length(f_cadence_06),1);

% loop gain definitivo Vin = 0.3 cadence
mag_T_reale_03_cadence = mag_Av_03_cadence + 20*log10(mag_int_reale_03);
% loop phase definitivo Vin = 0.3 cadence
phase_T_reale_03_cadence = phase_Av_03_cadence + phase_int_reale_03;
% loop gain definitivo Vin = 0.6 cadence
mag_T_reale_06_cadence = mag_Av_06_cadence + 20*log10(mag_int_reale_06);
% loop phase definitivo Vin = 0.6 cadence
phase_T_reale_06_cadence = phase_Av_06_cadence + phase_int_reale_06;

%% calcoli f0 e PM
i_03 = find((abs(mag_T_reale_03_cadence))<1e-1);
i_06 = find((abs(mag_T_reale_06_cadence))<1e-1);

f0_03 = f_cadence_03(i_03)
f0_06 = f_cadence_06(i_06)

phi_reale_03 = phase_T_reale_03_cadence(i_03)
phi_reale_06 = phase_T_reale_06_cadence(i_06)

PM_reale_03 = 180+phase_T_reale_03_cadence(i_03)
PM_reale_06 = 180+phase_T_reale_06_cadence(i_06)
```