



Università degli Studi di Padova

FACOLTÀ DI INGEGNERIA
Corso di Laurea Magistrale in Ingegneria Elettronica

TESI DI LAUREA MAGISTRALE

Affidabilità e stima del tempo di vita di transistor GaN HEMT per applicazioni spaziali

Candidato:
Marcello Vertuan
Matricola 1061189

Relatore:
Prof. Gaudenzio Meneghesso
Correlatore:
Dott. Antonio Stocco

Indice

Introduzione	5
1 Il Nitruro di Gallio	7
1.1 Semiconduttori composti III - V	7
1.2 Struttura reticolare del Nitruro di Gallio	9
1.3 Struttura a bande e proprietà elettroniche	12
1.4 Polarizzazione	16
1.5 Mobilità	18
1.6 Substrati	22
1.7 Metodi di crescita	25
1.7.1 MOCVD	26
1.7.2 MBE	27
2 HEMT	29
2.1 Struttura e principio di funzionamento	29
2.2 AlGa _N /Ga _N HEMT	32
2.3 Contatti	35
2.4 Trappole	36
2.5 Meccanismi di degrado	40
2.6 Affidabilità	45

3	Sistemi di misura	51
3.1	Misure DC	51
3.2	Misure double-pulse	56
3.3	Transienti della corrente di drain	60
3.4	Dispositivi	65
4	Caratterizzazione dei dispositivi	69
4.1	Misure DC su HEMT	69
4.2	Misure dinamiche su HEMT	79
4.3	Misure DC su dispositivi passivi	83
4.4	Transienti	88
5	Storage Test	93
5.1	Storage Test 10 h	94
5.2	Storage Test 100h	106
5.3	Storage Test 1000h	119
5.4	Storage Test 2000h	132
5.5	Transienti post storage	144
5.6	Riepilogo risultati	148
5.6.1	Tempo di vita	158
	Conclusioni	161
	Bibliografia	163

Introduzione

Il rapido sviluppo del mercato delle telecomunicazioni e dell'elettronica sta portando la ricerca verso lo studio di nuovi materiali capaci di offrire prestazioni superiori a quelli attualmente in commercio, come il silicio e l'arsenuro di gallio, migliorandone l'efficienza, la stabilità in radio frequenza e le prestazioni. La richiesta di dispositivi di dimensioni ridotte a prezzo contenuto per l'utilizzo in applicazioni ad alta frequenza e ad alta potenza, ha portato a considerare l'utilizzo di materiali semiconduttori con elevate tensioni di breakdown e alte velocità degli elettroni. Queste caratteristiche sono tipiche dei materiali ad ampio energy-gap, come il nitruro di gallio (GaN).

Questo materiale presenta delle eccellenti proprietà chimico-fisiche come l'elevato energy-gap, l'elevata velocità di saturazione degli elettroni e l'elevata mobilità, caratteristiche che permettono di raggiungere condizioni operative di alta densità di potenza, basso rumore e alta frequenza, sostenendo al contempo elevati campi elettrici di breakdown. Queste proprietà, unite alla possibilità di realizzare eterostrutture, rendono il GaN un materiale adatto alla realizzazione di dispositivi HEMT (High Electron Mobility Transistor). Questa tipologia di transistor presenta un canale conduttivo ad elevata concentrazione di portatori con alta mobilità, consentendo di raggiungere un'elevata densità di corrente mantenendo bassa la resistenza di canale.

Le tecnologie basate su GaN però non sono ancora del tutto mature e pre-

sentano tuttora problemi di stabilità nelle condizioni operative. Per questo la ricerca si sta focalizzando sullo studio dell'affidabilità di transistor HEMT realizzati con eterostruttura AlGa_N/Ga_N e sul miglioramento dei materiali. Un settore di grande interesse sono le applicazioni spaziali, dove le condizioni operative estreme richiedono dispositivi ad elevata robustezza per lungo tempo.

L'obiettivo di questa tesi è lo studio dell'affidabilità di una tecnologia di transistor HEMT AlGa_N/Ga_N destinati ad applicazioni spaziali. Dopo una prima descrizione delle proprietà del nitruro di gallio e del funzionamento dei transistor HEMT, si passerà all'analisi e alla ricerca dei principali meccanismi di degrado e di guasto attraverso test di vita accelerati in temperatura. Lo scopo finale è valutare il livello di maturità della tecnologia in termini di tempo di vita e determinare se i dispositivi in esame raggiungono gli obiettivi prefissati.

Capitolo 1

Il Nitruro di Gallio

1.1 Semiconduttori composti III - V

La nascita e lo sviluppo di semiconduttori composti, nel settore elettronico, si è resa necessaria dopo il raggiungimento dei limiti degli attuali dispositivi basati su silicio e dalla continua domanda del mercato verso componenti più performanti. I semiconduttori sono generalmente caratterizzati dalla loro resistività elettrica, variabile tra i $10^{-2} \div 10^{-9} \Omega \text{ cm}$, posta a metà tra i materiali isolanti e conduttori e classificati in base all'ampiezza del gap energetico, distanza in energia tra la banda di conduzione e la banda di valenza, che si attesta tra un valore maggiore di 0 e in $3/4 \text{ eV}$. L'unione di vari semiconduttori con caratteristiche diverse permette di ottenere dei composti con proprietà specifiche, che dipendono dalle percentuali di materiale utilizzate e che possono adattarsi alle specifiche applicazioni.

I semiconduttori composti si presentano con strutture cristalline, e di conseguenza proprietà, molto diverse rispetto al silicio, permettendone l'utilizzo in un maggior numero di applicazioni. I composti III-V derivano dalle combinazioni atomiche tra i materiali appartenenti al gruppo III della tavola

periodica (es. Al, Ga, In) con il gruppo V (es. N, P, As). I composti basati su Nitruro suscitano particolare interesse grazie all'ampio bandgap disponibile, con prospettive in termini di prestazioni, costi e integrazione notevoli. In questo capitolo verrà discusso in particolare il nitruro di gallio, semiconduttore composto appartenente alla categoria III-V, che sta focalizzando molto della ricerca nel settore dei nuovi semiconduttori, grazie alle proprietà fisiche interessanti e alle prestazioni notevoli dei dispositivi realizzabili. Come si può osservare dalla Figura 1.1, il nitruro di gallio permette di ottenere prestazioni di gran lunga superiori al silicio e all'arseniuro di gallio (GaAs), anch'esso semiconduttore composto III-V largamente utilizzato nel settore optoelettronico e delle telecomunicazioni. Il nitruro di gallio permette di realizzare sia dispositivi ad elevata frequenza operativa e basso rumore (applicazioni RF) che dispositivi di potenza con alte tensioni di breakdown ($\sim 3,5$ MV/cm), alta densità di potenza e alte temperature operative elevate.

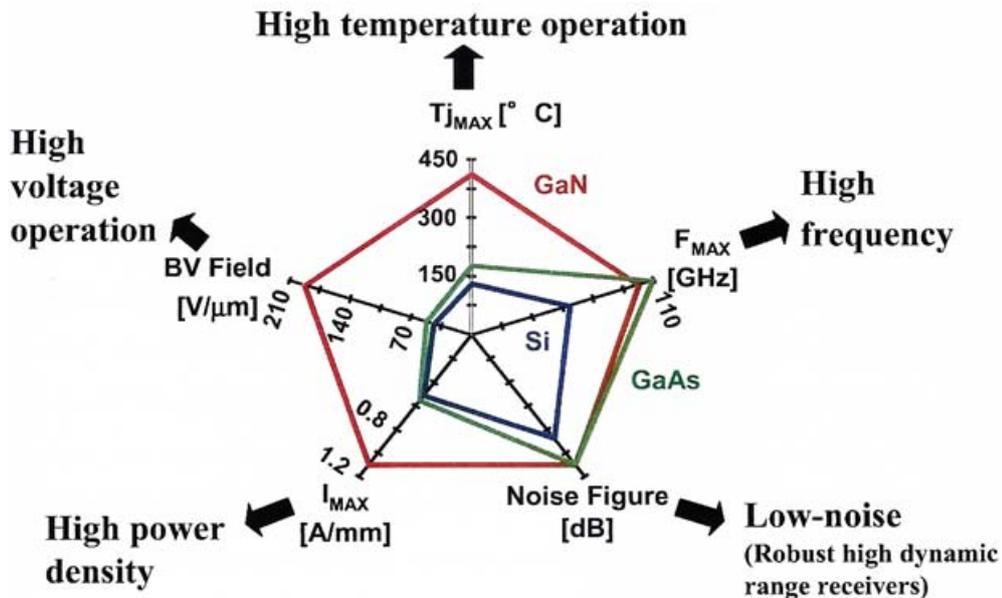


Figura 1.1: Confronto dei range applicativi di Si, GaAs e GaN.

Come vedremo in seguito, il GaN presenta una polarizzazione intrinseca che può essere sfruttata nella costruzione di dispositivi ad eterostruttura, ad esempio AlGaN/GaN, per creare all'interfaccia tra questi materiali uno strato bidimensionale di elettroni dotato di elevata mobilità. Questo viene sfruttato in alcune tipologie di dispositivi, ad esempio transistor HEMT, per raggiungere alte frequenze di lavoro grazie all'elevata velocità di saturazione degli elettroni e alle basse resistenze di canale. Ciò permette di ridurre le perdite statiche e dinamiche di diversi ordini di grandezza rispetto ai dispositivi MOS (Metal Oxide Semiconductor) tradizionali.

1.2 Struttura reticolare del Nitruro di Gallio

I materiali semiconduttori di più comune utilizzo in applicazioni micro e optoelettroniche sono solidi cristallini costituiti da elementi della colonna IV della tavola periodica o da elementi delle colonne III-V, come il nitruro di gallio. I materiali cristallini appartenenti alla IV colonna (es. Si, Ge), costituiti da atomi con quattro elettroni nella shell più esterna privilegiano un legame covalente puro. Questa proprietà rende la formazione di legami tra materiali diversi poco probabile, in quanto sia l'acquisizione quanto la cessione di quattro elettroni sono processi molto poco probabili per motivi energetici. Tipicamente gli elementi della IV colonna si legano attraverso la formazione di coppie (o unione di più di due atomi) di atomi identici con un legame covalente. In questo tipo di legame ogni atomo della coppia mette in comune uno dei suoi quattro elettroni con un altro atomo. Questa situazione risulta diversa nel caso di semiconduttori composti, in particolare in materiali come il GaN appartenente alla categoria III - V, costituiti da atomi di elementi diversi. La differenza di elettronegatività tra l'atomo di gallio (Ga) e l'atomo

di azoto (N) porta alla formazione di legami covalenti polari. L'elettrone in comune trascorrerà più tempo nell'orbitale dell'atomo più elettronegativo determinando la caratteristica di legame polare al composto. Nei semiconduttori III-V quindi il legame che si viene a creare è misto, parzialmente covalente e parzialmente ionico. Anche nei composti II-VI e I-VII si verificano processi analoghi, con un aumento della componente ionica (Tabella 1.1).

Tabella 1.1: Ionicità del legame chimico in Silicio e Germanio, in alcuni semiconduttori composti III-V e II-I e in alcuni alogenuri alcalini I-VII [1].

IV		III-V				II-VI				I-VII		
Si	Ge	GaN	GaAs	InP	InAs	ZnS	ZnSe	CdS	CdSe	NaCl	KCl	KBr
0.000	0.000	0.500	0.310	0.421	0.357	0.623	0.630	0.685	0.699	0.935	0.953	0.952

Una disposizione regolare e periodica di atomi, legati con le modalità descritte in precedenza nello spazio tridimensionale, viene chiamata cristallo, mentre la disposizione ripetitiva di atomi in un cristallo è chiamata reticolo (lattice). La cella elementare di un reticolo è il più piccolo volume che rappresenta una completa ripetizione della disposizione periodica degli atomi; per questo alcune caratteristiche dei materiali composti derivano direttamente dalla loro struttura reticolare. I semiconduttori composti sono maggiormente portati alla formazioni di coppie elettrone-lacuna, rispetto a silicio e germanio, in quanto costituiti da atomi di elementi con proprietà elettriche differenti. Ciò comporta mobilità degli elettroni più elevate e masse efficaci più ridotte, utili in molti dispositivi ad alta frequenza.

Come detto in precedenza la molecola di GaN è formata da un atomo di gallio (Ga gruppo III) e un atomo di azoto (N gruppo V). Il GaN, in natura, si presenta in fase solida con una struttura sia amorfa che cristallina. Quello

che a noi interessa è la struttura cristallina tipica dei semiconduttori, che si può presentare in due strutture reticolari fondamentali: wurtzite e zincoblenda (Figura 1.2). L'unica struttura stabile e di nostro interesse è la wurtzite, mentre la zincoblenda è metastabile, cioè tende naturalmente a trasformarsi in wurtzite [2].

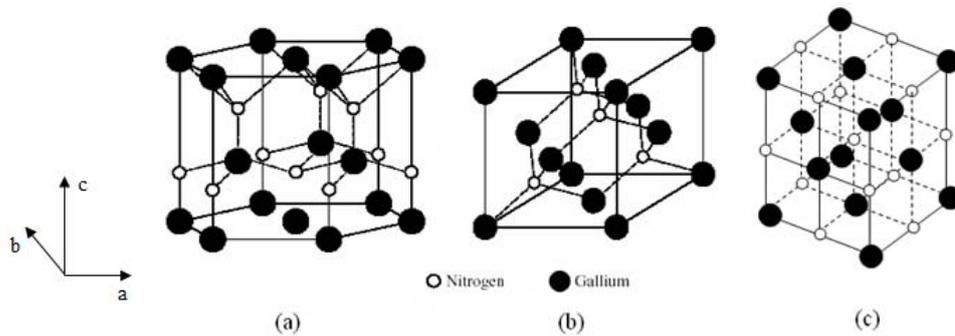


Figura 1.2: Struttura reticolare del GaN: a) wurtzite, b) zincoblenda, c) salgemma (rocksalt) [3].

Nella struttura zincoblenda (Figura 1.2 (a)) le celle elementari tetraedriche si uniscono per formare una struttura reticolare a cubo a facce centrate. I parametri reticolari sono: $a = b = c$, $\alpha = \beta = \gamma = 90^\circ$. La cella elementare della wurtzite (Figura 1.2 (b)) è anch'essa tetraedrica, in cui ogni atomo di Ga è legato a quattro atomi di N equispaziati nelle tre dimensioni, ma il reticolo risultante dall'unione delle celle elementari ha simmetria esagonale con piani formati dallo stesso elemento alternati fra loro. I parametri reticolari sono:

$a = b = c$, $\alpha = \beta = 90^\circ$ e $\gamma = 120^\circ$. Date le piccole distanze e l'elevata energia di legame, il GaN presenta un energy-gap di circa 3.39 eV, che permette di ottenere elevati valori di tensione di breakdown, una maggiore immunità agli attacchi chimici e una minore predisposizione alla formazione di difetti. Il

solido che si viene a creare dato dalla composizione di due elementi chimici appartenenti a gruppi diversi, esibisce una natura di tipo polare tra gli strati di gallio e gli strati di azoto. A livello macroscopico materiali con questa proprietà presentano un momento di dipolo elettrico al quale è associato una polarizzazione spontanea. Questa caratteristica, che verrà discussa in seguito, sta alla base del funzionamento dei transistor HEMT basati su GaN. Una nota negativa dal punto di vista realizzativo si ha nel processo di produzione, dove le elevate forze in gioco causano notevoli difficoltà durante la fase di crescita del materiale.

1.3 Struttura a bande e proprietà elettroniche

Dallo studio della struttura reticolare dei semiconduttori è possibile ottenere il diagramma a bande, strumento molto utile alla comprensione delle caratteristiche e del comportamento del semiconduttore riguardo la generazione/ricombinazione di portatori e il loro movimento nelle varie condizioni di polarizzazione. La rappresentazione maggiormente usata per la struttura a bande è illustrata in Figura 1.3. Il diagramma, ricavato direttamente dalla struttura reticolare, descrive l'energia E (asse ordinate) in funzione del vettore d'onda k (o momento di quantità di moto, asse ascisse).

Dall'analisi del diagramma a bande i semiconduttori possono essere suddivisi in due grandi categorie: semiconduttori a gap diretto e gap indiretto. Nella prima categoria (GaAs, GaN, InP) rientrano i materiali con massimo della banda di valenza e minimo della banda di conduzione coincidenti in k , cioè alla stessa quantità di moto o vettore d'onda; questa proprietà favorisce la ricombinazione radiativa tra elettrone e lacuna. La ricombinazione radiativa si verifica quando gli elettroni nel passaggio dalla banda di conduzione

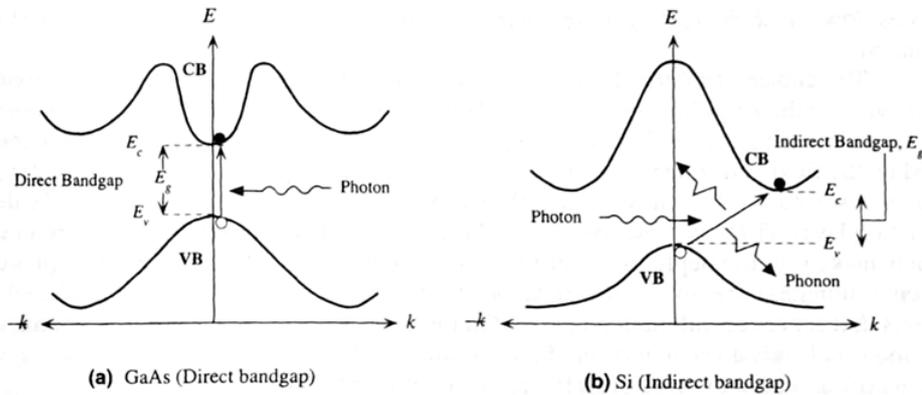


Figura 1.3: Struttura a bande: a) gap diretto, b) gap indiretto.

alla banda di valenza perdono una quantità di energia pari all'energy-gap del materiale, emessa prevalentemente sotto forma di fotoni vista la transizione diretta tra le bande. E' per questa ragione che i semiconduttori a gap diretto vengono utilizzati nell'optoelettronica per realizzare dispositivi ottici come LEDs o lasers. Nei semiconduttori a gap indiretto (silicio o germanio) il massimo della banda di valenza non è allineato con il minimo della banda di conduzione. Le transizioni, che devono avvenire verticalmente cioè conservando il momento di quantità di moto, sono ostacolate dal non allineamento delle bande abbassando notevolmente la probabilità di ricombinazione radiativa. Ciò non significa che le transizioni non possano avvenire, ma obbligano il coinvolgimento delle variazioni nel valore del momento di quantità di moto assieme alla transizione di energia, causa di vibrazioni reticolari che riscaldano il semiconduttore. Nei materiali a gap indiretto i processi di generazione/ricombinazione si verificano mediante l'interazione a tre corpi. Oltre alla possibile generazione di fotoni, di energia molto inferiore rispetto ai materiali a gap diretto, entrano in gioco i fononi che compensano la differenza di quantità di moto mediante un aumento dell'agitazione reticolare. Questo meccanismo riduce drasticamente la probabilità di emissione/assorbimento

radiativo, causando un forte dispendio energetico. Il GaN è un semiconduttore a gap diretto, quindi le transizioni elettrone-lacuna avvengono naturalmente attraverso l'emissione o l'assorbimento di fotoni, permettendone l'utilizzo nella realizzazione di dispositivi optoelettronici (LED in particolare).

Come detto in precedenza la struttura a bande si ottiene dall'analisi della struttura reticolare del materiale, quindi il GaN presenterà diagrammi diversi a seconda che si trovi in forma di wurtzite o zincoblenda (Figura 1.4). Come si può osservare, in entrambi i casi il GaN appartiene alla categoria di semiconduttori a gap diretto. I diagrammi a bande delle due strutture cristalline presentano inoltre una differenza nell'energy-gap e una variazione dell'intera struttura a bande, a causa delle diverse distanze reticolari nelle due forme. Questa struttura a bande del materiale offre innumerevoli vantaggi in termini di prestazioni ed affidabilità grazie all'elevato energy-gap, come l'alta mobilità, l'alta velocità di saturazione v_{sat} e l'elevato campo di breakdown E_{br} (Tabella 1.2).

Tabella 1.2: Proprietà elettroniche di alcuni dei principali semiconduttori [4].

	GaN	InP	GaAs	4H-SiC	Si
E_g (eV)	3.39	1.35	1.42	3.26	1.1
E_{br} (MV/cm)	3.3	0.5	0.4	3.0	0.3
μ_n (cm ² /Vs)	1200-2000	5400	8500	700	1350
V_{sat} (10 ⁷ cm/s)	2.5	1	1	2	1
K_{th} (W/cm K)	1.3	0.7	0.43	3.3-4.5	1.5
ϵ_r	9.0	12.5	13.1	10.0	11.8
JM	27.5	14.7	2.7	20	1

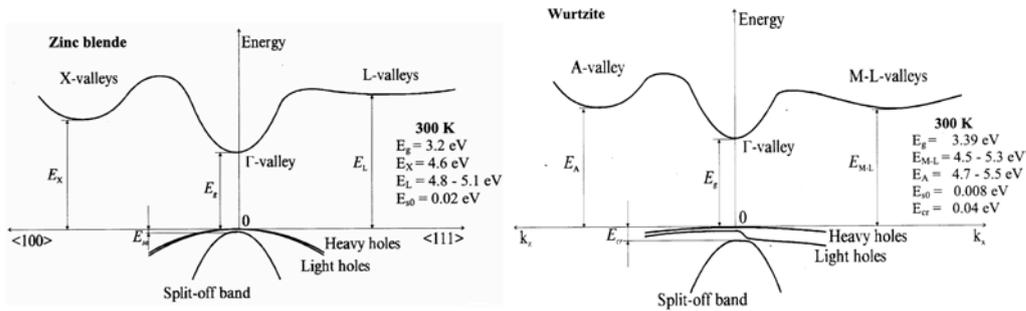


Figura 1.4: Diagramma a bande del GaN nella forma zincoblenda e wurtzite

Un dispositivo realizzato con GaN è in grado di raggiungere valori elevati di campi elettrici critici di breakdown, rendendo possibile la riduzione delle dimensioni del dispositivo a parità di tensioni applicate. In particolare, negli HEMT, è possibile ridurre le distanze tra gate e drain, regione dove si localizza tipicamente il picco del campo elettrico. Un altro vantaggio nell'utilizzare semiconduttori con energy-gap elevato sta nella possibilità di utilizzo dei dispositivi anche ad elevate temperature. Valori elevati di energy-gap comportano bassi valori di concentrazione intrinseca dei portatori e di conseguenza una bassa generazione termica di portatori; per questo l'aumento di temperatura non comporta un sostanziale aumento della concentrazione intrinseca dei portatori rendendo il dispositivo più stabile alle alte temperature. Queste caratteristiche rendono il GaN un materiale adatto alla realizzazione di dispositivi più performanti nel settore RF e power.

Nella Tabella 1.2 è riportata anche la figura di merito di Johnson, ottenibile dalla semplice relazione; parametro che fornisce un indice di prestazione in potenza e in frequenza basato sulle proprietà del materiale.

$$JM = \frac{E_{br} \cdot v_{sat}}{2\pi}$$

1.4 Polarizzazione

Come già anticipato nel capitolo precedente, il GaN è un semiconduttore composto con legami covalenti di natura polare che presenta una polarizzazione intrinseca, definita polarizzazione spontanea e indicata con P_{sp} , data dall'alternanza degli strati di gallio e azoto. Quando un materiale polare, come il GaN, viene cresciuto al di sopra di materiali con costanti reticolari diverse, si viene a creare un vettore di polarizzazione piezoelettrico P_{pz} che può sommarsi o sottrarsi alla polarizzazione spontanea. Tipicamente, nella realizzazione di dispositivi, questo avviene nelle eterostrutture e, come vedremo in seguito, negli HEMT viene sfruttato per creare il canale conduttivo senza bisogno di introdurre un drogaggio. La struttura termicamente stabile e più usata è la wurtzite. In genere la direzione di crescita cristallografica più adottata è lungo l'asse $[0001]$ (Figura 1.5).

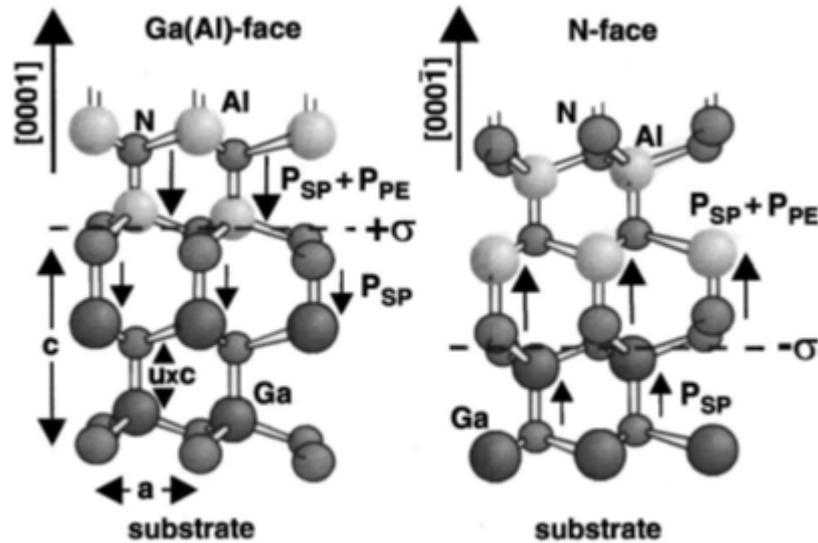


Figura 1.5: Struttura cristallina del GaN con Ga-face (Ga-polarità) e N-face (N-polarità) [5].

Come si può vedere il GaN, con struttura wurtzite, è composta da una sequenza alternata di layer atomici di gallio e layer di azoto lungo l'asse [0001]. Il GaN, a seconda delle condizioni di crescita, può presentare come termination-face il gallio o l'azoto. Questa particolarità fa sì che il nitrato di gallio presenti una polarizzazione spontanea con diverso orientamento a seconda della termination-face. I dispositivi elettronici vengono solitamente cresciuti con struttura Ga-face. La polarizzazione spontanea è dovuta alla differenza di elettronegatività che intercorre tra gli atomi di azoto, fortemente elettronegativi (3.04 nella scala di Pauling), e gli atomi di gallio, poco elettronegativi (1.81).

Un materiale interessante e particolarmente usato, in combinazione con il GaN nella realizzazione di dispositivi elettronici è il nitrato di alluminio (AlN). Materiale composto appartenente alla famiglia dei semiconduttori III-V, dotato anch'esso di struttura a wurtzite, presenta proprietà di polarizzazione spontanea ed elevato energy-gap 6.2 eV. Questi due materiali vengono utilizzati per formare una lega termicamente stabile, l'AlGaN, con energy-gap variabile a seconda delle concentrazioni di Al presenti nella lega, dai 6.2 eV con 100% di Al ai 3.4 eV con 0% di Al. La concentrazione di alluminio nella lega, oltre a modificarne l'energy-gap, provoca una variazione nelle costanti reticolari (Figura 1.6). Maggiore è la concentrazione di alluminio, minore è la costante reticolare.

Questa variabilità della costante reticolare è l'origine dell'effetto di polarizzazione piezoelettrica nello strato di AlGaN o GaN, quando questo viene cresciuto in modo epitassiale su uno strato di GaN. Il mismatch delle costanti reticolari tra GaN e AlGaN provoca delle tensioni nei primi strati atomici del substrato GaN e nelle leghe cresciute epitassialmente sul substrato e genera un vettore di polarizzazione opportunamente orientato. Queste forze di

trazione o compressione sono tre volte più elevate rispetto all'Arseniuro di Gallio (GaAs). Unendo questo effetto alla polarizzazione spontanea si viene a generare naturalmente tra i due materiali composti uno strato di elettroni detto 2DEG (two-dimensional electron gas o gas elettronico bidimensionale) ad alta mobilità che sta alla base del funzionamento dei dispositivi HEMT.

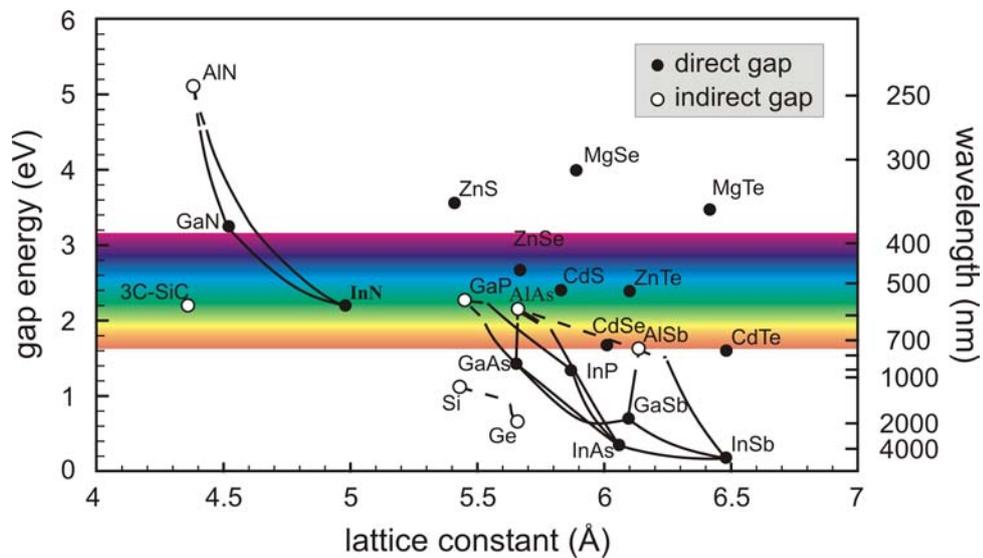


Figura 1.6: Energy-gap al variare della costante reticolare in varie leghe di semiconduttori composti.

1.5 Mobilità

La mobilità dei portatori è la capacità delle particelle cariche di muoversi attraverso un materiale sotto l'azione di un campo elettrico. Lo sviluppo di dispositivi più performanti spinge la ricerca verso materiali semiconduttori con elevate tensioni di breakdown, elevata mobilità e velocità di saturazione. Il GaN presenta un'elevata mobilità elettronica intrinseca, circa $1000 \text{ cm}^2/\text{Vs}$ a 300 °K , che comporta un'alta velocità di saturazione dei portatori di circa

$3 \cdot 10^7$ cm/s alla stessa temperatura. Ciò nonostante la mobilità è fortemente dipendente dalla temperatura.

Nella Figura 1.7 è riportato l'andamento della mobilità nel GaN al variare della temperatura. Inizialmente per basse temperature la mobilità cresce fino a raggiungere il massimo di circa $2000 \text{ cm}^2/\text{Vs}$ a $150 \text{ }^\circ\text{K}$, per poi scendere all'aumentare della temperatura. L'aumento della mobilità nella prima fase è dovuta al fenomeno di scattering da impurezze ionizzate, maggiormente probabile a basse temperature. All'aumentare della temperatura inizia a farsi sentire maggiormente lo scattering elettrone - fonone con il reticolo cristallino. A temperature più elevate si ha un aumento delle vibrazioni reticolari che comportano un aumento della probabilità di interazione tra elettrone e cristallo.

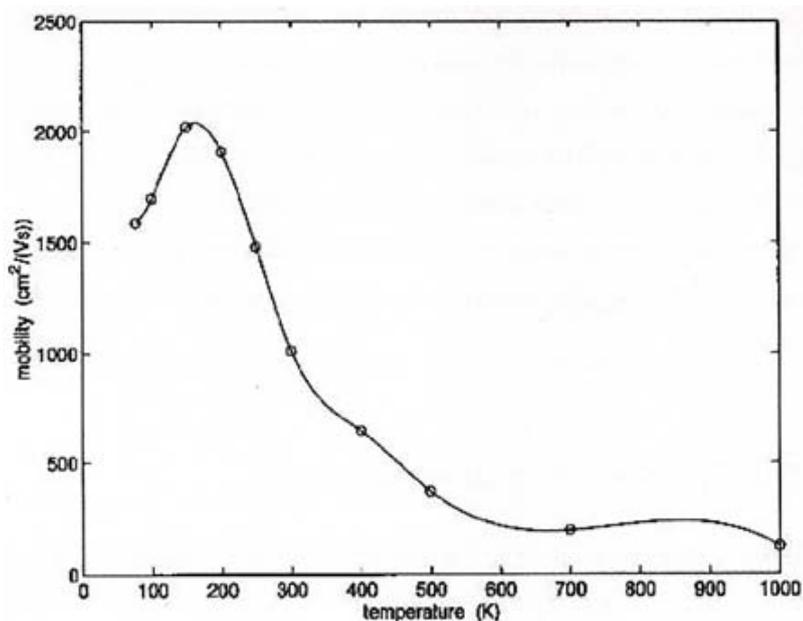


Figura 1.7: Mobilità nel GaN al variare della temperatura

La mobilità dei portatori, in particolare nei materiali semiconduttori, dipende fortemente dalla concentrazione di impurità, o drogaggi, presenti nel materiale. Questi fattori di disturbo provocano una ulteriore diminuzione della mobilità in particolare nelle regioni di canale. Nei transistor HEMT, si cerca di evitare questo problema inducendo un canale conduttivo 2DEG in un materiale non drogato che permette di eliminare i fenomeni di riduzione della mobilità a causa del drogante.

Come già anticipato, la realizzazione di dispositivi più performanti si ottiene adottando materiali con elevata mobilità e velocità di deriva. Quest'ultima dipende fortemente dalla mobilità secondo la formula $v = \mu \cdot E$, dove μ rappresenta la mobilità del materiale ed E l'intensità del campo elettrico applicato. Come per la mobilità, la velocità di drift (deriva) presenta un andamento crescente nella prima fase con bassi campi elettrici, per poi scendere una volta raggiunto il massimo attorno ai $3 \cdot 10^7$ cm/s con campo elettrico di circa 150 KV/cm (Figura 1.8 (a)).

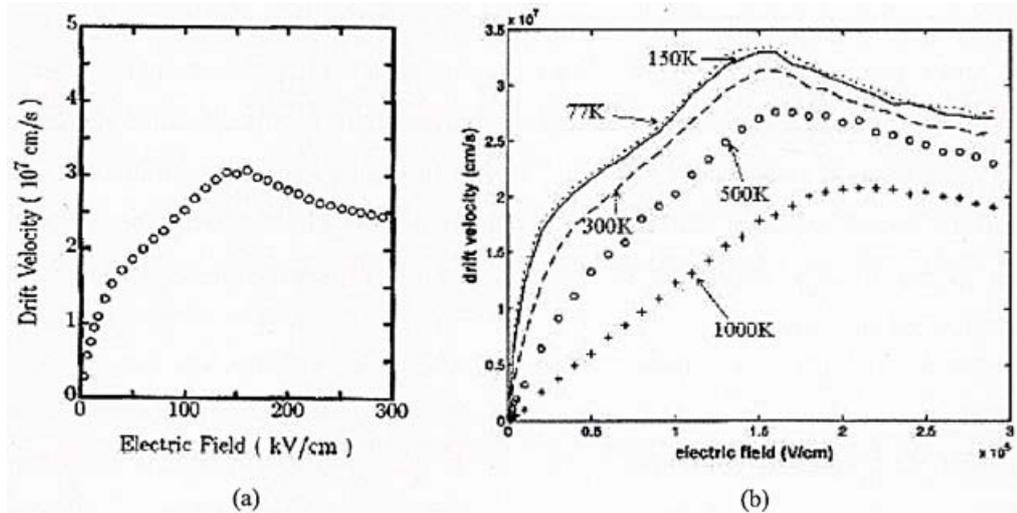


Figura 1.8: a) Velocità di drift degli elettroni nel GaN a 300 °K in funzione del campo elettrico, b) velocità di drift nel GaN al variare della temperatura.

Questo comportamento si deve all'azione del campo elettrico sui portatori. Osservando il diagramma a bande (Figura 1.4), a bassi campi elettrici gli elettroni restano confinati nella valle della banda di conduzione con il minimo valore di energia, detta Lower valley. All'aumentare del campo elettrico gli elettroni vengono eccitati finché, al superamento di una determinata soglia, riescono ad effettuare una transizione in una valle laterale a maggior energia, detta Upper valley. La differenza sostanziale in queste due posizioni sta nel valore di massa efficace degli elettroni. All'aumentare dell'energia si ha un aumento della massa efficace e di conseguenza un calo della mobilità con conseguente diminuzione della velocità di drift. Nella Figura 1.8 (b) è mostrato l'andamento della velocità di deriva al variare del campo elettrico e della temperatura. Per applicazioni a radio frequenza, RF, sono necessari dispositivi con elevate correnti di uscita ottenibili grazie ad alti valori di mobilità e velocità di saturazione.

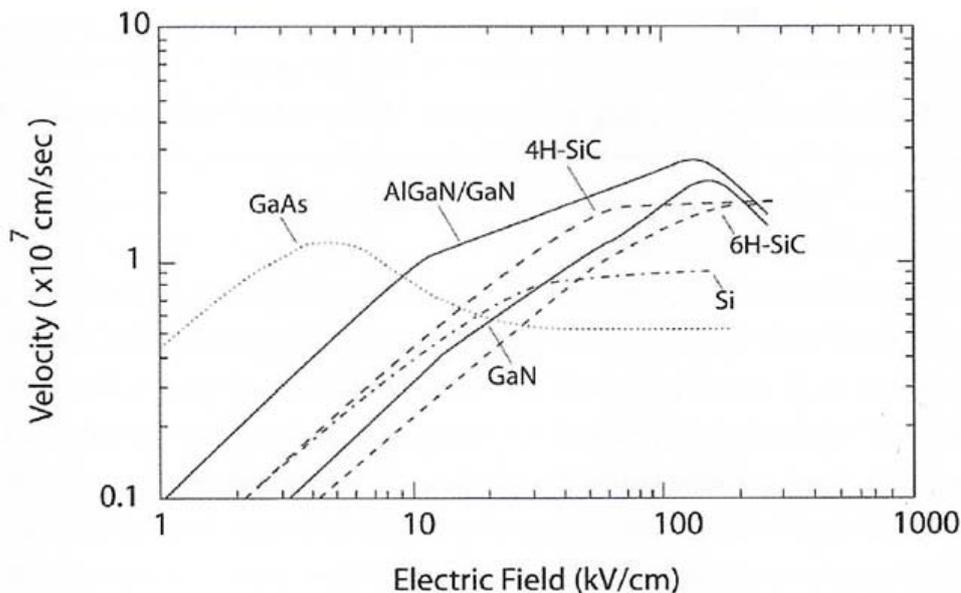


Figura 1.9: Velocità di deriva degli elettroni in funzione del campo elettrico per diversi materiali semiconduttori ($N_d = 10^{17} \text{ cm}^{-3}$) [6].

Il silicio (Si) e l'arseniuro di gallio (GaAs) sono limitati ad una v_{sat} di circa $1 \cdot 10^7$ cm/s, che limita le prestazioni dei dispositivi sotto l'aspetto della potenza erogabile e della frequenza. Al contrario l'eterostruttura AlGaN/GaN ed in particolari i semiconduttori ad ampio energy-gap permettono di raggiungere velocità di saturazione doppie rispetto a Si e GaAs, anche presentando una mobilità di molto inferiore al GaAs (Tabella 1.2), portando ad un netto miglioramento delle prestazioni dei dispositivi.

1.6 Substrati

I dispositivi a semiconduttore devono essere realizzati su un substrato adeguato in grado di fornire robustezza e rigidità all'intera struttura. I dispositivi basati su silicio vengono realizzati su substrati anch'essi di silicio, dato il basso costo, la semplicità di produzione e la disponibilità del materiale. Per dispositivi basati su GaN non è possibile utilizzare il GaN come substrato, per ragioni produttive e di costo. Si rende quindi necessario utilizzare altri materiali adeguati alla crescita epitassiale.

Il materiale scelto come substrato dovrà presentare determinate caratteristiche:

1. La costante reticolare deve essere il più vicino possibile a quella del GaN, così da minimizzare i difetti all'interfaccia dei materiali dovuti al mismatch reticolare.
2. Stessa cosa vale per le costanti di espansione termica, dato che il processo di deposizione avviene ad elevate temperature (circa 1000 °C); il substrato e lo strato epitassiale devono quindi deformarsi allo stesso modo durante i processi di crescita, così da minimizzare gli stress meccanici all'interfaccia causa della formazione di difetti reticolari.

Generalmente la crescita di strati epitassiali di GaN avviene su substrati diversi dal GaN, come lo zaffiro (Al_2O_3), carburo di silicio (SiC) o silicio (Si), realizzando una eteroepitassia. Come appena accennato, la crescita di substrati di materiale diverso è un processo complesso dovuto alle differenti caratteristiche dei materiali (Tabella 1.3), e perciò causa della formazione di difetti.

Tabella 1.3: Proprietà dei substrati utilizzati per la deposizione di GaN [7].

Proprietà	Al_2O_3	6H-SiC	Si
Simmetria	esagonale	esagonale	cubica
Costante a_0 (Å)	4.765	3.08	5.431
Costante c_0 (Å)	12.982	15.117	-
Conducibilità termica (W/cm K)	0.25	3.8	1.56
Mismatch reticolare col GaN (%)	15	3.1	17

Al giorno d'oggi, con le tecniche di realizzazione più performanti, si riescono a realizzare layer eteroepitassiali di GaN con densità di difetti ancora molto ampie, nell'ordine di $10^7 - 10^9 \text{ cm}^{-2}$. Il primo substrato utilizzato per crescere dispositivi basati su GaN fu lo zaffiro (Al_2O_3), grazie soprattutto al basso costo. Presenta una struttura cristallina di tipo esagonale simile al GaN (Figura 1.10 (a)), e dimostra un'elevata resistenza alle alte temperature ed alle alte pressioni, sviluppate durante il processo produttivo. Inoltre risulta trasparente alla radiazione luminosa dalle frequenze dell'ultravioletto alle microonde. La bassa conducibilità termica lo rende però inadatto all'uso su dispositivi di potenza, mentre trova largo impiego in applicazioni di tipo optoelettronico. Per applicazioni di potenza si potrebbe utilizzare il silicio (Si), che rispetto allo zaffiro presenta una conducibilità termica superiore, però l'elevato mismatch reticolare tra silicio e GaN rende la realizzazione di

substrati di qualità molto complessa. Questo problema può essere ridotto introducendo, durante il processo di crescita, uno strato buffer (buffer layer o nucleation layer) tra i materiali, tipicamente in AlN o AlGaN, dove tramite una graduale variazione delle dimensioni reticolari si limitano gli stress e la formazione di dislocazioni [5].

Tra tutti il materiale migliore per crescere dispositivi su GaN è il carburo di silicio (SiC). Il ridotto mismatch reticolare tra i materiali consente di ottenere film di GaN di ottima qualità, senza l'obbligo di introdurre strati buffer. Inoltre l'elevata conducibilità termica del SiC ne permette l'utilizzo in applicazioni di potenza ad alte prestazioni, offrendo un'adeguata dissipazione del calore prodotto dal dispositivo. Il carburo di silicio è un politipo, cioè le varie strutture cristalline hanno la stessa composizione chimica ma differiscono lungo la direzione assiale. Tra le varie forme, quella più utilizzata è la 6H, che insieme alla 4H sono per ora gli unici politipi che possono crescere in cristalli di dimensioni considerevoli. Il 6H-SiC (Figura 1.10 (b)) presenta un mismatch reticolare molto inferiore rispetto allo zaffiro e una minore differenza delle costanti termiche.

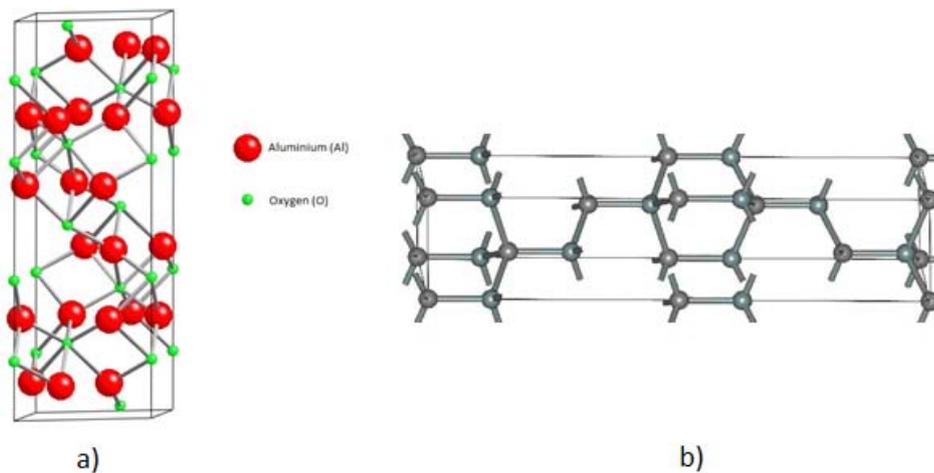


Figura 1.10: Strutture cristalline: a) zaffiro (Al₂O₃) [8], b) 6H-SiC [9].

Ciò permette di realizzare dispositivi con ridotti difetti reticolari e ottime prestazioni in potenza. Lo svantaggio principale sta negli elevati costi di produzione, data la complessità di realizzazione di substrati sufficientemente puri e privi di difetti. Tuttavia in applicazioni RF, dove la richiesta di substrati con bassa difettosità è la priorità, si preferisce il carburo di silicio, nonostante i costi elevati. Nei dispositivi di potenza, al contrario, si preferisce adottare substrati più economici dato che la presenza di difetti non è un problema limitante. Negli ultimi anni alcuni centri di ricerca stanno sviluppando la crescita di GaN su GaN, con risultati ancora lontani dai dispositivi attuali. L'utilizzo di un singolo layer di GaN sia come buffer che come substrato porterebbe ad una riduzione dei costi dei dispositivi e ad un miglioramento delle prestazioni, soprattutto riguardo la dissipazione del calore; tuttavia la realizzazione di lingotti di GaN è ancora piuttosto complessa e costosa.

1.7 Metodi di crescita

Le tecniche che andrò ad illustrare vengono utilizzate per produrre eterostrutture adottate su dispositivi ad alta mobilità. Tra le varie tecniche di crescita, quelle usate su eterostrutture basate su GaN sono principalmente due:

- MOCVD, Metal Organic Chemical Vapour Deposition,
- MBE, Molecular Beam Epitaxy.

Queste tecniche sono state sviluppate ulteriormente negli ultimi anni, permettendo di ottenere eterostrutture con buone caratteristiche all'interfaccia e bassa concentrazione di difetti nei materiali [10].

1.7.1 MOCVD

Introdotta nel 1990, appartiene ai metodi di deposizione a fase di vapore. La camera di crescita lavora ad alte temperature e alla pressione atmosferica, riducendo notevolmente i costi dovuti ad un eventuale impianto a vuoto, e permettendo di realizzare film sottili su substrati differenti, solitamente semiconduttori. La reazione chimica all'interno della camera si basa sull'interazione in fase di vapore di alcalini del III gruppo con idruri del V gruppo, ed avviene principalmente in prossimità del substrato in zone ad alta temperatura. I prodotti della reazione si depositano gradualmente sul substrato, realizzando film sottili di materiale.

Il reattore è costituito da una camera di crescita a pressione atmosferica (Figura 1.11), al cui interno il substrato viene posto sopra un supporto rotante di grafite riscaldato opportunamente. Per ridurre la concentrazione di droganti e aumentare l'uniformità del film che si andrà a crescere, si porta il substrato ad una temperatura di circa 1050 °C, riscaldando il supporto in grafite. Nello specifico della realizzazione di eterostrutture basate su AlGa_N/Ga_N, si utilizzano vari tipi di sorgenti: il gallio può essere ottenuto dal trimetilgallio (Ga(CH₃)₃ o TMGa) o dal trietilgallio (TEGa); l'alluminio viene ricavato dal trimetilalluminio (Al(CH₃)₃ o TMAI), mentre l'azoto dall'ammoniaca (NH₃). La crescita dello strato di Ga_N avviene ad una temperatura di circa 1000 °C, mentre questa viene abbassata a 550 °C durante la crescita dello strato buffer di nitruro di alluminio. Un ulteriore flusso secondario di molecole di azoto (N₂) e idrogeno (H₂) viene introdotto nella camera verticalmente al flusso principale permettendo di ottenere un film più continuo e di buona qualità. Uno svantaggio importante di questa tecnologia, dovuto alle alte temperature di crescita, è l'elevata densità superficiale di dislocazioni, circa $10^8 \div 10^9$ cm⁻². Questa tecnica permette però un elevato rate di crescita che, unito alla

non necessità di lavoro in bassa pressione, ne consente l'utilizzo in ambito industriale per la produzione su vasta scala [11].

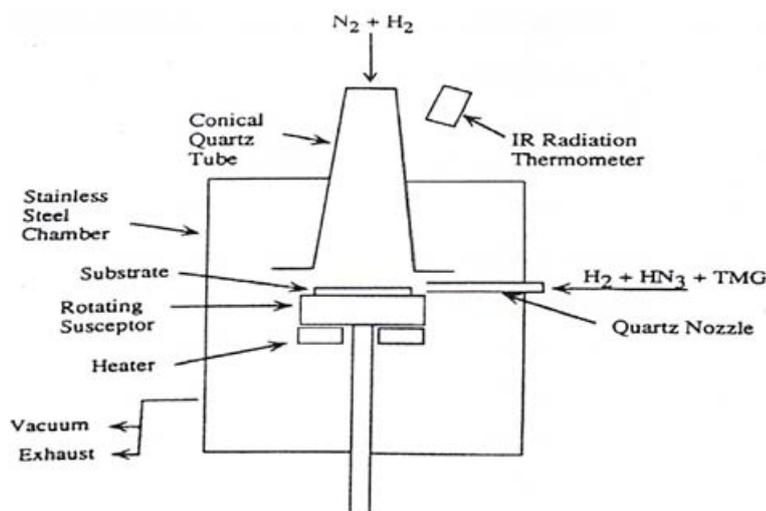


Figura 1.11: Schema MOCVD a doppio flusso per la crescita del GaN.

1.7.2 MBE

Introdotta negli anni '70, prima della MOCVD, si differenzia dalla tecnica precedente per la crescita in condizioni di alto vuoto. Non necessita di alte temperature operative, permettendo la realizzazione di film di ottima qualità.

Un aspetto molto importante di questa tecnica è la possibilità di monitorare passo-passo la struttura superficiale del materiale durante il processo di crescita. La reazione nella camera (Figura 1.12) avviene tra composti elementari sotto forma di ioni o atomi, introdotti nella camera attraverso degli iniettori che ne controllano il flusso. Il GaN viene depositato su un substrato il più possibile privo di imperfezioni. In un iniettore, ad una pressione di circa 10^{-6} torr, viene inserito l'azoto molecolare (N_2) al quale vengono spezzati

i legami. Il plasma così ottenuto viene indirizzato verso il substrato nella camera di crescita, posta ad una pressione di circa 10^{-12} bar (10^{-9} torr). Il plasma di azoto, riscaldato a $600 \div 800$ °C, entra in contatto con gli atomi di gallio, dispersi nell'ambiente per evaporazione termica, consentendo la crescita di un sottile strato GaN. Il processo di raffreddamento successivo viene controllato in modo da limitare la diffusione di impurità e la generazione di difetti nel semiconduttore, causati dai differenti valori di espansione termica tra substrato e GaN.

Questa tecnica consente la realizzazione di strutture epitassiali con interfacce nette tra i vari layer e bassa presenza di impurità grazie alle condizioni operative di alto vuoto. L'MBE non trova largo impiego in processi industriali in quanto, rispetto alla MOCVD, presenta una bassa velocità di crescita, circa $1-2 \mu\text{m/h}$ [12]. L'utilizzo viene riservato per scopi di ricerca o nei settori dove è necessaria un'elevata qualità di crescita.

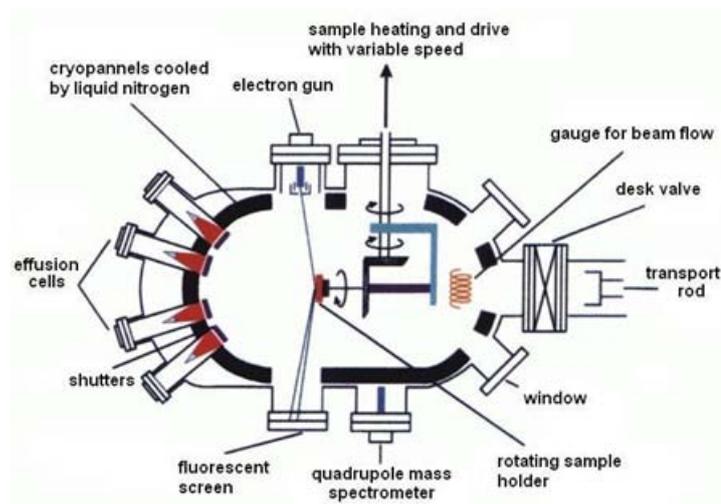


Figura 1.12: Schema MBE.

Capitolo 2

HEMT

2.1 Struttura e principio di funzionamento

Gli HEMT sono transistor ad elevata mobilità, ottenuti grazie ad un'eterostruttura tra materiali diversi, all'interfaccia della quale si viene a creare un canale conduttivo ad elevato numero di portatori. L'eterostruttura è realizzata a partire da materiali ad ampio energy-gap e permette di sfruttare l'alta mobilità di un semiconduttore intrinseco, nel quale si viene a formare il canale conduttivo, unita all'alto numero di portatori forniti da un semiconduttore drogato. Questa caratteristica permette di realizzare dispositivi in grado di sostenere livelli elevati di tensioni e correnti consentendone l'utilizzo in sistemi ad alte potenze ed elevate frequenze.

Un HEMT viene realizzato a partire da un'eterostruttura principalmente costituita da uno strato buffer di semiconduttore non drogato e uno strato barriera di semiconduttore drogato con energy-gap maggiore (Figura 2.1). L'intera struttura viene cresciuta epitassialmente su di un substrato adeguato, silicio (Si), zaffiro (Al_2O_3), GaAs o nel caso del GaN si deposita su carburo di silicio SiC. Nel caso di una struttura AlGaAs/GaAs, si inizia depositando

uno strato di GaAs non drogato al di sopra del substrato. Successivamente si crea l'eterostruttura attraverso la deposizione di un sottile strato di AlGaAs non drogato, detto spacer, completando infine con uno strato di n^+ AlGaAs fortemente drogato, detto strato barriera. La presenza di due semiconduttori con diverso energy-gap fa sì che all'interfaccia si venga a creare un canale conduttivo causato dal piegamento del diagramma a bande, in particolare della banda di conduzione dello strato buffer (Figura 2.2). In questo caso quello che succede è uno spostamento di carica dallo strato barriera fortemente drogato con alto energy-gap allo strato buffer non drogato con energy-gap minore. Il piegamento delle bande deve essere tale da far scendere la banda di conduzione al di sotto del livello di Fermi E_F , così da realizzare una buca di potenziale dove i portatori ne rimangono intrappolati. In questo canale gli elettroni possono muoversi solo nel piano orizzontale al dispositivo e per questo il canale viene detto Two Dimensional Electron Gas (2DEG). L'assenza di fenomeni di scattering da impurezze ionizzate, dovute alla formazione del canale nel semiconduttore non drogato, permette di ottenere, una volta applicata una tensione al dispositivo, il passaggio di un'elevata corrente con valori di mobilità nell'ordine del semiconduttore intrinseco.

In molti casi tra i vari strati dell'eterostruttura vengono inseriti dei sottili strati, detti nucleation layer, con lo scopo di ridurre il mismatch reticolare e limitare la formazione di difetti alle interfacce. Ciò permette di aumentare il confinamento dei portatori con un conseguente aumento della mobilità e calo della corrente di perdita.

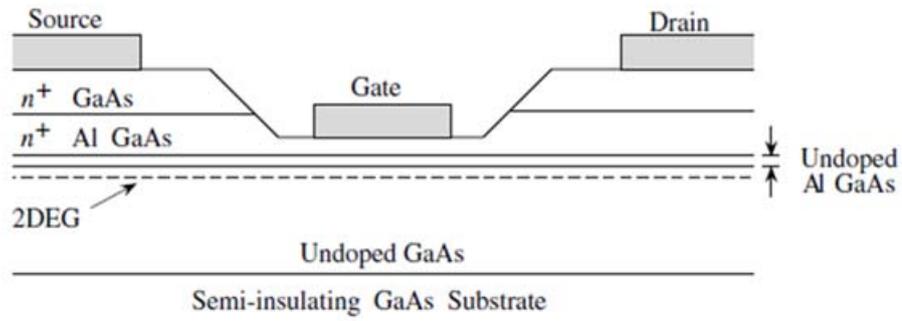


Figura 2.1: Struttura tipica di un HEMT AlGaAs/GaAs.

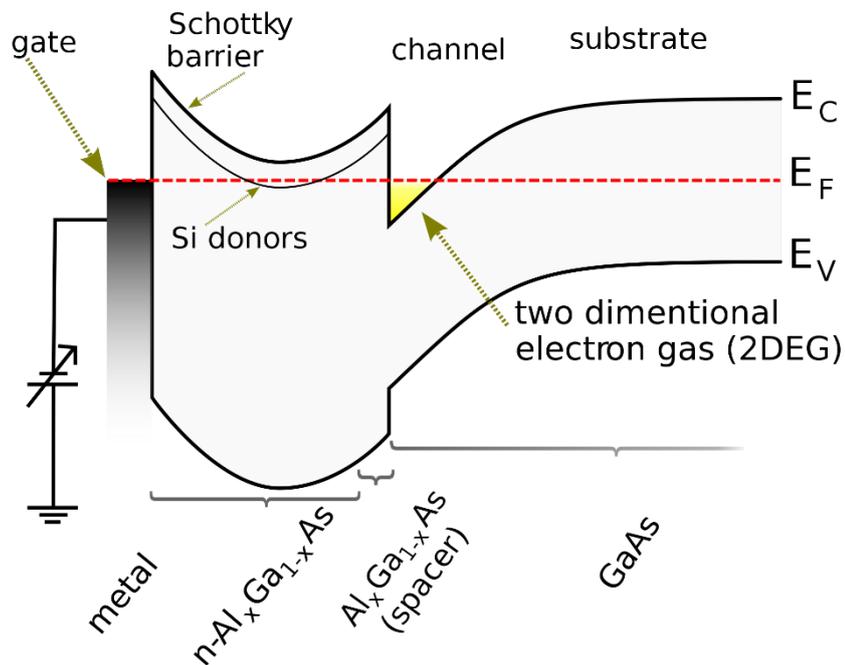


Figura 2.2: Diagramma a bande di un HEMT basato su AlGaAs/GaAs [13].

2.2 AlGaN/GaN HEMT

Il meccanismo di formazione del 2DEG in HEMT basati su GaN è sostanzialmente diverso dagli HEMT basati su GaAs. Il nitrato di gallio, come descritto nel capitolo precedente, presenta una polarizzazione spontanea, dovuta alla natura polare del materiale e una polarizzazione piezoelettrica, dovuta alle tensioni reticolari create nell'eterostruttura a causa delle diverse costanti reticolari dei semiconduttori coinvolti. La polarizzazione spontanea può essere orientata verso l'alto o il basso a seconda della superficie terminale del GaN, come mostrato in Figura 2.3. Nel caso Ga-face è negativa con il vettore di polarizzazione rivolto verso il substrato, mentre è positiva nel caso N-face. Come conseguenza anche il vettore di polarizzazione piezoelettrica varia in funzione della faccia esposta e della sequenza dei layer. I vettori risultano allineati in presenza di stress tensile e opposti con stress compressivi, aumentando e riducendo rispettivamente la polarizzazione complessiva. Se la polarizzazione globale induce una densità di carica positiva ($+\sigma$) all'interfaccia AlGaN/GaN, si verrà a formare un canale conduttivo di elettroni liberi 2DEG allo scopo di compensare la carica positiva indotta. La situazione ottimale si ha nel caso Ga-face, deposizione di AlGaN su GaN con vettori di polarizzazione allineati (Figura 2.3 (b)), dove in assenza di drogaggio si riescono a raggiungere elevate concentrazioni di portatori all'interfaccia dell'ordine di 10^{13} cm^{-2} . Nel caso N-face i vettori di polarizzazione risultano opposti rispetto al caso Ga-face, inducendo di conseguenza una densità di carica negativa all'interfaccia (Figura 2.3 (e)). In questo tipo di struttura gli elettroni possono essere confinati solo se viene depositato un'ulteriore strato di GaN sopra lo strato barriera di AlGaN, inducendo una densità di carica positiva all'interfaccia (Figura 2.3 (f)). A differenza del caso Ga-face, il 2DEG si viene a formare al di sopra dello strato barriera, realizzando quin-

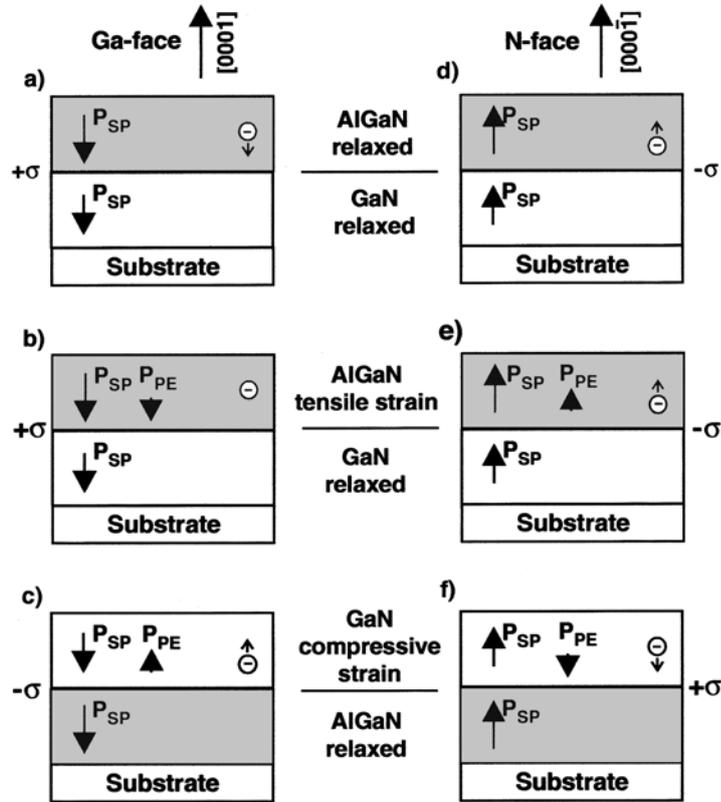


Figura 2.3: Possibili orientazioni dei vettori di polarizzazione e densità di carica indotta su eterostruttura AlGaIn/GaN [2].

di una doppia eterostruttura con un back-barrier intrinseco per gli elettroni nella buca di potenziale. Ciò consente di ridurre l'iniezione di corrente nel buffer e aumentare il confinamento di carica nel 2DEG. Ora quel che resta da chiarire è l'origine delle cariche all'interfaccia.

Secondo J. P. Ibbetson and U. K. Mishra [14], la carica proviene da stati donori superficiali presenti nello strato barriera e liberati quando lo strato stesso raggiunge un certo spessore (Figura 2.4 (c)). Risolvendo l'equazione di Poisson, si ottiene la seguente equazione per il calcolo dello spessore di barriera critico, al di sotto del quale non si ha formazione del 2DEG.

$$t_{CR} = (E_D - \Delta E_C)\epsilon/q\sigma_{PZ}$$

Come si vede dalla Figura 2.4 (a), in una struttura con barriera molto sottile e in assenza di polarizzazione esterna, gli stati donori nello strato barriera si trovano al di sotto del livello di Fermi, secondo la convenzione neutri perché occupati. Realizzando lo strato barriera con spessore superiore a t_{CR} , il piegamento delle bande aumenta per effetto della polarizzazione portando gli stati donori al di sopra del livello di Fermi, i quali cederanno gli elettroni caricandosi positivamente. Le cariche così liberate andranno a formare il 2DEG. La densità di carica nel 2DEG in funzione di t_{CR} , può essere espressa dalla seguente equazione:

$$qn_s = \sigma_{PZ}(1 - t_{CR}/t)$$

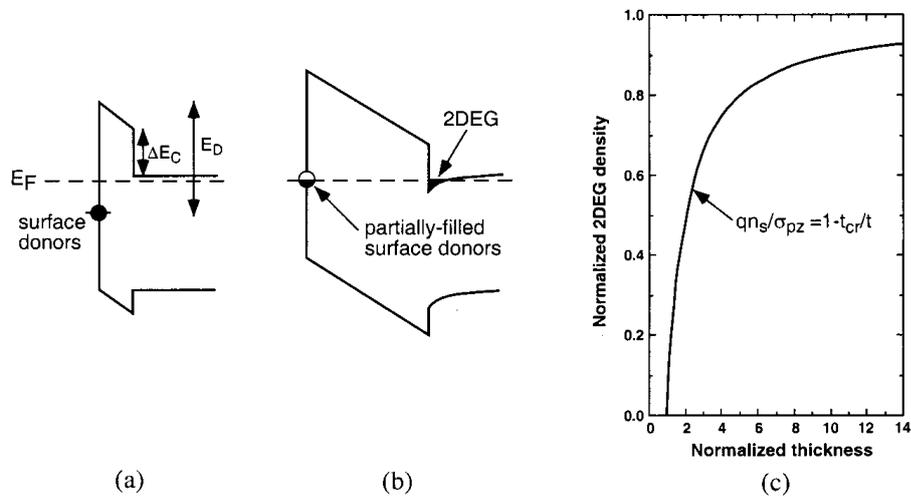


Figura 2.4: Diagramma a bande dell'eterostruttura AlGaN/GaN con barriera non drogata. Spessore barriera inferiore (a) e maggiore (b) dello spessore critico t_{CR} e densità di carica nel 2DEG in funzione di dello spessore t (c) [14].

2.3 Contatti

Un elemento che riveste molta importanza nei transistor HEMT e ne determina molte delle principali caratteristiche sono i contatti. Vengono realizzati al di sopra dello strato barriera di AlGa_N formando delle giunzioni metallo-semiconduttore di tipo ohmico, caratteristica I-V lineare, o schottky, caratteristica I-V rettificante. Le leghe utilizzate nei contatti sono attualmente in fase di ottimizzazione anche se le strutture base sono molto spesso mantenute uguali.

I contatti di Drain e Source sono di tipo ohmico, così da ridurre al minimo la resistenza. Si ottengono attraverso la deposizione di diversi strati di metallo, di solito con bassa funzione lavoro, come Ti/Al/Ti/Au, per garantire un buon contatto ohmico duraturo nel tempo.

Il contatto di Gate rappresenta un elemento critico del dispositivo, da cui dipendono prestazioni e affidabilità. E' infatti attraverso l'applicazione di una tensione al gate che si rende possibile lo svuotamento e in generale il controllo del canale di un HEMT. Il contatto di Gate è di tipo Schottky, così da limitare la corrente di leakage grazie all'effetto rettificante. Al contrario dei contatti di tipo ohmico, per il gate si utilizzano metalli con elevata funzione lavoro, come nichel (Ni), platino (Pt), iridio (Ir), così da aumentare l'altezza di barriera finale del contatto Schottky. L'ultimo strato metallico viene realizzato solitamente con uno strato d'oro (Au) o alluminio (Al) per migliorare la conduttività del contatto ed evitarne l'ossidazione. A basse frequenze e basse polarizzazioni, i contatti sembrano mantenersi termicamente stabili nel tempo, senza fenomeni di "gate-sinking" o interdiffusioni metalliche, anche se nel corso dello sviluppo della tecnologia HEMT su GaN sono stati evidenziati cambiamenti nell'altezza di barriera del contatto schottky di gate dopo trattamenti termici o test di vita. Ciò che comunemente accade è il degrado

dell'interfaccia Ni/Au con lo strato barriera AlGaN, che induce un aumento dell'altezza di barriera a cui corrisponde un calo delle prestazioni o una riduzione delle proprietà rettificanti del contatto a seguito dell'applicazione di alti campi elettrici, con aumento delle correnti di perdita [15-16].

2.4 Trappole

Lo studio del fenomeno di intrappolamento nei dispositivi a semiconduttore, come gli HEMT, è fondamentale per comprendere le dinamiche che portano al degrado dei dispositivi stessi. Le trappole si formano a causa della presenza intrinseca di difetti reticolari nei semiconduttori: vacanze di atomi, mismatch reticolare e presenza di elementi indesiderati. I difetti formano così degli stati trappola con energia compresa nell'energy-gap del semiconduttore utilizzato, causando l'instaurarsi di fenomeni parassiti transitori che portano al degrado delle caratteristiche dinamiche del dispositivo: massima corrente raggiungibile, ritardo nella risposta e aumento corrente di leakage di gate. Nel caso di GaN HEMT, le trappole si possono formare all'interfaccia superficiale, all'interfaccia AlGaN/GaN e nel substrato buffer (Figura 2.5).

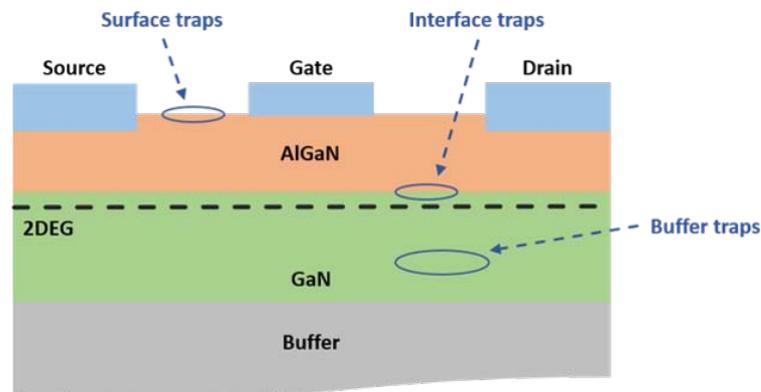


Figura 2.5: Posizionamento tipico delle trappole in AlGaN/GaN HEMT.

Le trappole possono avere effetti diversi sul dispositivo a seconda della loro collocazione, per questo si cerca di studiarle separatamente cercando di associare i fenomeni parassiti a trappole specifiche. Gli effetti più evidenti dovuti a fenomeno di intrappolamento sono il kink e il current collapse.

Il kink è un fenomeno che causa una modifica delle caratteristiche DC del dispositivo, provocando un abbassamento delle curve di corrente fino ad un determinato valore di V_{DS} (Figura 2.6 (a)). Questo fenomeno di degrado viene tipicamente associato alla presenza di trappole nello strato buffer attivate dal campo elettrico [17-18]. Queste riducono il numero di portatori nel canale abbassando il livello di corrente, fino al raggiungimento di una V_{DS} tale da svuotare le trappole e riportare la corrente ai livelli normali. Nella Figura 2.6 (b) si può osservare il confronto tra le caratteristiche di un dispositivo prima e dopo un trattamento superficiale atto a ridurre le trappole in superficie. Le curve mostrano un innalzamento della corrente mantenendo però il fenomeno del kink, si può quindi concludere che le trappole superficiali non contribuiscono al fenomeno.

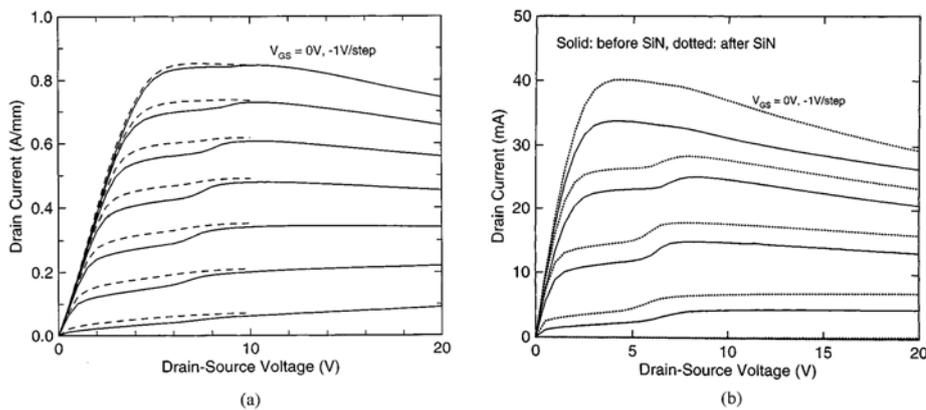


Figura 2.6: Caratteristiche DC di un HEMT AlGaIn/GaN affette da effetto kink. (a) confronto caratteristica con e senza kink, (b) confronto prima e dopo passivazione.

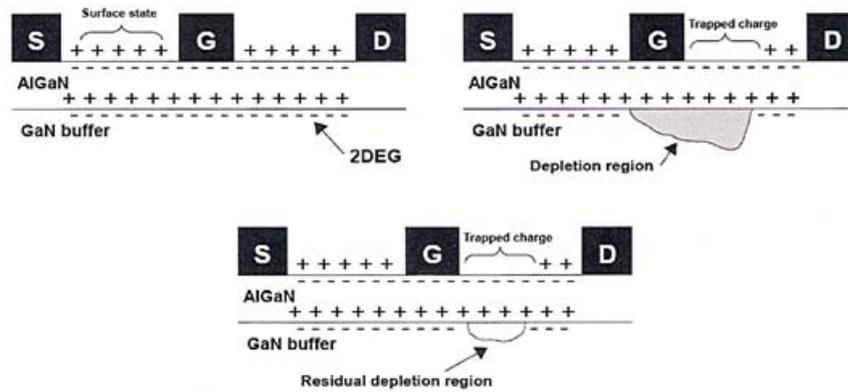


Figura 2.7: Fenomeno di trapping superficiale in AlGaIn/GaN HEMT.

Al contrario del kink, il current collapse provoca un progressivo abbassamento della caratteristica di uscita del dispositivo all'aumentare della frequenza di lavoro. Si ritiene che questo fenomeno sia dovuto principalmente alle trappole superficiali anche se nelle ultime tecnologie le trappole posizionate nel buffer causano lo stesso calo delle prestazioni. Nella Figura 2.7 si può vedere come si verifica questo effetto.

Nella condizione di canale formato, gli stati superficiali che hanno ceduto gli elettroni, risultano carichi positivamente per bilanciare la carica nel 2DEG. Passando invece nella condizione di canale strozzato, i forti campi elettrici presenti tra gate e drain fanno sì che gli stati superficiali catturino elettroni provenienti dal gate, svuotando una porzione di canale non controllata dal gate. Alla riaccensione del canale, il de-trapping superficiale è molto più lento della velocità di formazione del canale, provocando un accumulo di carica superficiale che mantiene spento parte del canale, come se fosse presente un gate virtuale in serie al gate reale. Ciò provoca una riduzione della corrente di drain rispetto al caso DC e con transitorio lento nella riaccensione del dispositivo. Esistono varie soluzioni per evitare il fenomeno, che sono state impiegate nelle diverse generazioni di GaN HEMT. La più comune è la pas-

sivazione superficiale, che permette di eliminare i difetti superficiali, causa principale del fenomeno. La tecnica consiste nel depositare sopra lo strato barriera di AlGaN un sottile strato di Nitrato di Silicio (SiN), che passiva gli stati trappola superficiali impedendo la cattura di elettroni dal gate e gli effetti parassiti dovuti alla brusca interruzione del reticolo (Figura 2.8). A seconda della qualità del processo di deposizione si riescono ad ottenere miglioramenti tra il 20% e il 100% sulle caratteristiche d'uscita.

Un altro metodo di uso comune è la realizzazione di uno o più field plate, ovvero di un gate a forma di T o Γ che copre parzialmente la zona gate-drain (Figura 2.9). Questa tecnica permette di limitare il picco di campo elettrico in corrispondenza del bordo di gate lato drain, principale causa della migrazione di elettroni verso gli stati superficiali, distribuendolo lungo tutta l'estensione del field plate. Un ultimo metodo per limitare il current collapse è la realizzazione di una struttura a gate recess. In pratica vengono aggiunti ulteriori strati di GaN o AlGaN al di sopra della barriera così da allontanare il canale dalla superficie, riducendone l'influenza anche in assenza di passivazione superficiale.

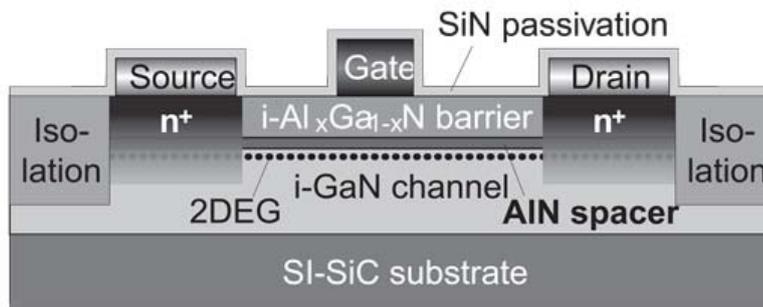


Figura 2.8: Passivazione superficiale in un AlGaN/GaN HEMT [19].

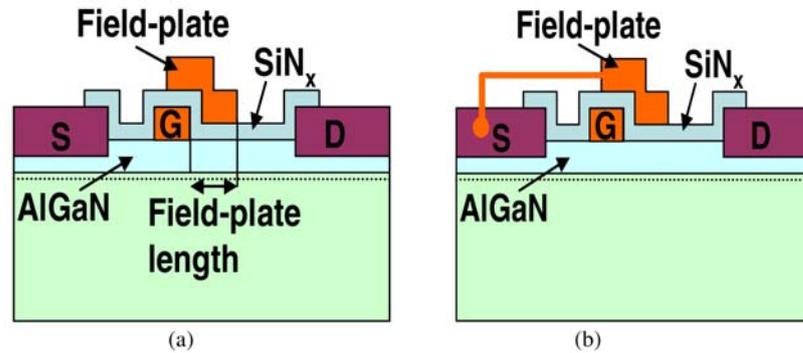


Figura 2.9: HEMT AlGaN/GaN con field plate connesso al gate (a) e connesso al source (b) [4].

2.5 Meccanismi di degrado

La comprensione dei vari meccanismi di guasto che stanno alla base del degrado di dispositivi GaN HEMT è di fondamentale importanza. Oltre ai meccanismi già osservati in altre tecnologie, i dispositivi basati su GaN introducono la possibilità di nuovi fenomeni di degrado dati dalla differente natura fisica del GaN: i dispositivi operano a tensioni di drain, polarizzazioni e temperature maggiori rispetto agli HEMT basati su GaAs; la crescita epitassiale di AlGaN/GaN su substrati come SiC, unita alla qualità del substrato stesso, crea dei difetti che vanno ad intaccare l'affidabilità del dispositivo. I vari meccanismi di degrado possono essere quindi suddivisi in tre categorie:

1. Meccanismi associati alla natura fisica del GaN, come il degrado ai lati del contatto di gate o la formazione di trappole nello strato buffer dovute alla temperatura e al campo elettrico;
2. Meccanismi attivati termicamente;
3. Degrado dovuto alla formazione di elettroni caldi.

Come detto precedentemente, gli HEMT basati su GaN lavorano a polarizzazioni tali da generare elevati campi elettrici fino ad alcuni MV/cm nella zona di gate-drain. L'applicazione di una polarizzazione inversa elevata tra gate e drain può provocare il degrado delle caratteristiche elettriche del dispositivo, date dall'elevato campo elettrico formatosi al bordo del gate. L'elevato campo elettrico può provocare un aumento della corrente di leakage di gate, del gate-lag e del current collapse, come un calo della corrente di drain di saturazione I_{DSS} [20-21], dovuto alla formazione di difetti ai lati del gate che favoriscono l'iniezione di elettroni dal gate nello strato barriera AlGaN, attraverso un meccanismo di tunnel assistito da trappole (Figura 2.10).

La presenza di questo meccanismo può essere studiato attraverso test in polarizzazione inversa sul gate. Durante questi test, il gate viene portato gradualmente a tensioni sempre più negative mantenendo il dispositivo in off-state. Una volta raggiunta la tensione critica, dipendente dalla tecnologia e differente tra wafer e wafer, la corrente di leakage di gate aumenta di

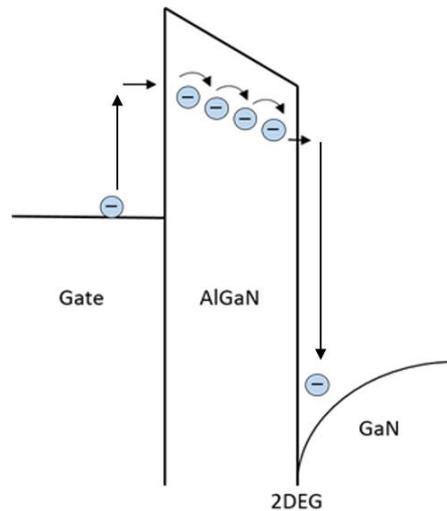


Figura 2.10: Diagramma a bande che descrive l'aumento del gate leakage dovuto a effetto tunnel assistito da trappole

diversi ordini di grandezza. In alcuni dispositivi è stato osservato anche un incremento del current collapse in concomitanza con questo fenomeno [21-22]. E' stato dimostrato che la tensione critica dipende dalla lunghezza di gate [23], infatti un aumento delle dimensioni del gate porta ad un aumento della tensione critica a parità di campo elettrico, permettendo di affermare che questo meccanismo di degrado è attivato dal campo elettrico.

Questo fenomeno è stato spesso attribuito all'effetto piezoelettrico inverso [22]. L'eterostruttura di un HEMT AlGa_N/Ga_N presenta, anche in condizioni di non polarizzazione, delle tensioni cristallografiche dovute al mismatch reticolare tra lo strato Ga_N buffer e lo strato barriera AlGa_N. L'applicazione di una polarizzazione negativa genera un aumento del campo elettrico e di conseguenza un aumento delle tensioni cristallografiche, in particolare al lato del gate verso il drain dove il campo elettrico raggiunge il valore massimo. Superato un certo livello critico, le tensioni formatosi nel cristallo possono causare la "rottura" del materiale con la conseguente creazione di difetti (o trappole) nello strato barriera nelle vicinanze del gate (Figura 2.11), provocano un degrado delle caratteristiche elettriche del transistor.

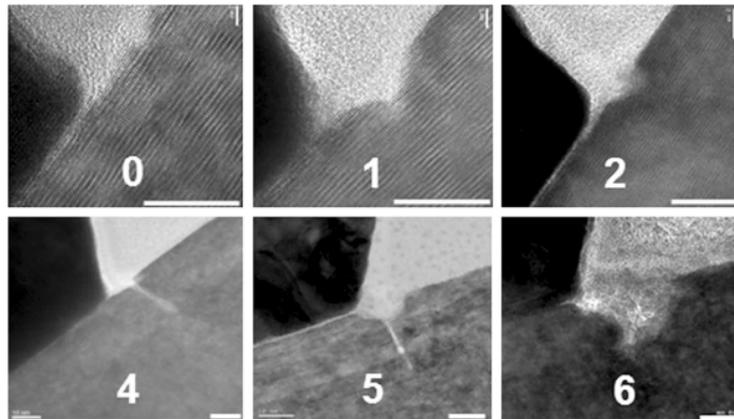


Figura 2.11: Immagine TEM dei difetti ai bordi del contatto di gate dopo 0h, 6h, 18h, 45h, 4 giorni e 12 giorni di test DC accelerato [24].

E' stato però verificato che sottoponendo i dispositivi a stress con polarizzazioni negative per tempi sufficientemente lunghi, l'aumento della corrente di leakage può avvenire anche per tensioni inferiori alla tensione critica. Ciò contraddice l'ipotesi che il maggiore responsabile di questo meccanismo di degrado sia l'effetto piezoelettrico inverso, in quanto influenzato solo dal campo elettrico e non dal tempo [25], sostenendo l'ipotesi di un meccanismo dipendente dal tempo, fortemente accelerato da tensione e campo elettrico. Tuttora sono in fase di studio nuove leghe con cui realizzare i contatti per limitare questo fenomeno o spingerlo a tempi o tensioni al di là delle normali condizioni operative. Una soluzione può essere l'utilizzo di InAlN come strato barriera, che in assenza di polarizzazione non dovrebbe risentire dell'effetto piezoelettrico inverso.

Oltre ai meccanismi di guasto appena descritti ne sono stati identificati altri accelerati dalla temperatura, come la diffusione di impurità [26], l'interazione tra metalli, l'interdiffusione tra metallo e semiconduttore [29] e la perdita di adesione della passivazione superficiale SiN [27] che limitano le prestazioni del dispositivo nel lungo termine.

La stabilità del contatto schottky di gate ad alte temperature ha portato a sottovalutare dei problemi di affidabilità dovuti alla interdiffusione tra metalli e metallo – semiconduttore. Recenti pubblicazioni hanno dimostrato la diffusione dell'oro (Au) attraverso lo strato di nichel (Ni) nelle metallizzazioni Ni/Au, generalmente utilizzate nel contatto schottky di gate. In condizioni di alta temperatura l'oro migra attraverso il lato del gate e una volta raggiunto lo strato barriera AlGaN provoca un aumento della corrente di leakage di gate e una riduzione della corrente di drain. Anche se l'oro presenta un'altezza di barriera comparabile con il nichel, il fenomeno di diffusione appena descritto provoca un aumento dell'altezza di barriera del contatto schottky

unito ad un calo del fattore di idealità [28]. Lo stesso fenomeno di degrado è stato riscontrato in altri dispositivi durante test di storage [29] suggerendo la forte dipendenza dalla temperatura del fenomeno. Nella Figura 2.12 possiamo vedere come l'oro raggiunga lo strato barriera di AlGaN dopo 7000h di storage, realizzando composti chimici dannosi per le caratteristiche del dispositivo. Sugli stessi dispositivi sono state effettuate delle cross-section longitudinali lungo il piede di gate per verificare se l'interdiffusione fosse localizzata in una specifica regione. Le immagini mostrano che il fenomeno è presente lungo tutta la lunghezza del gate (Figura 2.13).

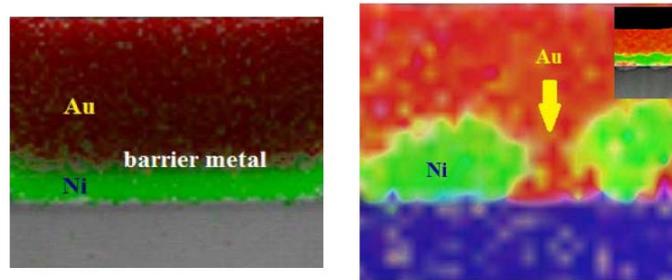


Figura 2.12: Cross section del gate in un dispositivo vergine (sinistra), e a destra di un dispositivo sottoposto a 7000h di storage a 330 °C. Nel riquadro 4000h a 330 °C [29].

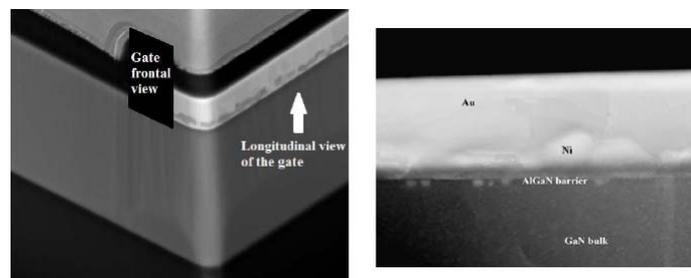


Figura 2.13: Cross section del gate su dispositivo sottoposto a storage per 7000h a 330 °C [29].

In generale, al contrario del contatto schottky di gate, i contatti ohmici presentano un'elevata stabilità sia alle alte temperature che agli alti campi. Test di storage effettuati su contatti ohmici Ti/Al/Ni/Au ne hanno dimostrato la notevole stabilità e le alte prestazioni termiche [28].

L'ultimo meccanismo di degrado di notevole importanza nello studio dell'affidabilità di transistor HEMT è il degrado da elettroni caldi. Nei dispositivi operanti in on-state con elevate tensioni drain-source, gli elettroni nel 2DEG, accelerati dall'alto campo elettrico, possono raggiungere energie superiori al livello di equilibrio, trasformandosi nei sopra citati elettroni caldi. Questi possono superare le barriere energetiche del canale, dissipando l'energia in eccesso attraverso collisioni con il reticolo cristallino e generando difetti o stati trappola. La generazione di elettroni caldi risulta inversamente proporzionale alla temperatura e viene valutata attraverso misure di elettroluminescenza al variare delle condizioni di polarizzazione. Il degrado da elettroni caldi induce la formazione di trappole nell'eterostruttura AlGa_N/Ga_N, un aumento del current collapse [30-31], oltre che un aumento della resistenza nelle zone attraversate dagli elettroni caldi (gate-drain), con un conseguente calo delle prestazioni.

2.6 Affidabilità

I dispositivi basati su Ga_N hanno da tempo raggiunto prestazioni superiori ai dispositivi su GaAs in termini di potenza e applicazioni alle alte frequenze. Raggiunti questi livelli il principale problema per la commercializzazione di questa tecnologia è l'affidabilità dei dispositivi. A causa della natura statistica dell'affidabilità, è necessario identificare la distribuzione di probabilità che più rappresenta il meccanismo di guasto da analizzare. In generale per

i componenti elettronici vengono utilizzate due funzioni: lognormale e Weibull. Se si ipotizza la distribuzione di guasto come un prodotto tra singole variabili aleatorie positive e indipendenti tra loro, è possibile utilizzare la funzione di distribuzione lognormale. La funzione di Weibull, riconoscibile nelle varie sezioni della bathtub curve (curva a vasca da bagno), deriva da una funzione esponenziale modificata e descrive il tasso di guasto tipico di un componente elettronico al variare del tempo. Osservando la Figura 2.14 si possono individuare tre zone con differenti andamenti: nella zona iniziale, detta di mortalità infantile, i dispositivi difettosi falliscono rapidamente provocando un calo nel tasso di guasto all'aumentare del tempo; nella seconda zona si osserva un andamento costante del tasso di guasto dovuto alle rotture casuali dei dispositivi; infine nell'ultima zona il tasso di rottura cresce nuovamente a causa dell'usura "normale" dei campioni.

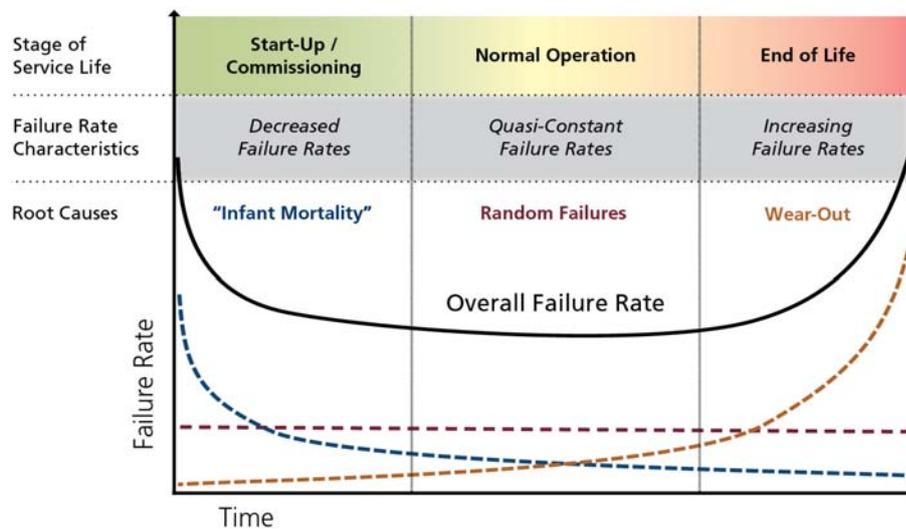


Figura 2.14: Bathtub curve, descrizione del tasso di guasto nel tempo tipico di un dispositivo elettronico [32].

La procedura tipica per stimare l'affidabilità, definita come la probabilità che il dispositivo non si guasti dopo un certo numero di ore, è effettuare un test di vita accelerato su vari tipi di dispositivi. Solitamente vengono effettuati test su tre temperature, da cui rilevare l'energia di attivazione del guasto ed ottenere il corrispondente tempo di vita medio dei campioni (MTTF o Mean Time To Failure) (Figura 2.15-16). Durante questi test viene utilizzato un criterio di fallimento, solitamente sul calo percentuale della corrente di drain o della transconduttanza g_m in base al dispositivo da esaminare. Per meccanismi accelerati dalla temperatura viene solitamente utilizzata la legge di Arrhenius, dove la figura MTTF ottenuta dai test viene convertita nell'omonimo diagramma attraverso la legge:

$$MTTF = A \exp\left(\frac{E_a}{KT}\right)$$

dove A è una costante dipendente dal meccanismo di guasto coinvolto, E_a è l'energia di attivazione del guasto espressa in eV, k è la costante di Boltzmann e T è la temperatura assoluta di test.

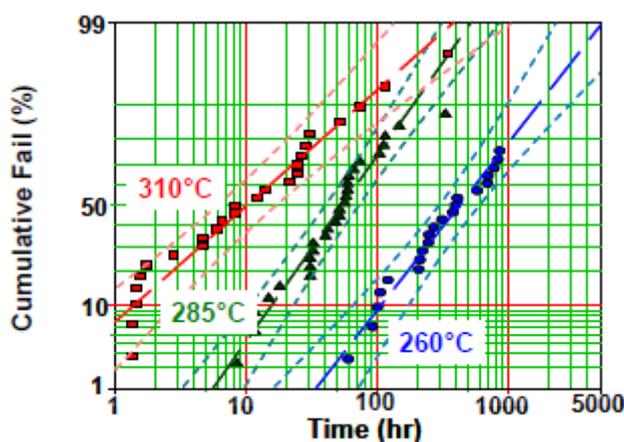


Figura 2.15: Distribuzione dei guasti di un test di vita accelerato a tre temperature [33-34].

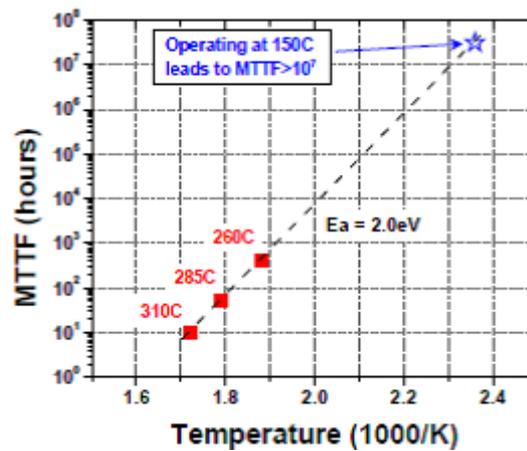


Figura 2.16: Diagramma di Arrhenius che dimostra una energia di attivazione di 2 eV e un MTTF maggiore di 10⁷ ore a 150 °C [33-34].

Nel diagramma di Arrhenius il MTTF viene espresso in forma logaritmica come funzione inversa della temperatura. Dal diagramma è possibile estrarre il tempo di vita dei dispositivi operanti a una determinata temperatura, o meglio alla temperatura di canale, solitamente maggiore. Nella Tabella 2.1 sono riportati alcuni degli ultimi risultati di stress test DC su varie tecnologie di GaN HEMT ottenuti da vari gruppi di ricerca. Il confronto tra i vari studi è ostacolato dalle diverse caratteristiche dei dispositivi e dalle diverse condizioni di polarizzazione. Le ipotesi dei meccanismi di guasto non sono le stesse e soprattutto i metodi per stimare le temperature di canale non sono sempre dichiarati, rendendo ulteriormente difficile il confronto tra i vari risultati dei test.

Oltre ai problemi pratici appena menzionati, esistono alcuni dubbi sui metodi di estrapolazione basati sui diagrammi di Arrhenius:

1. L'estrapolazione dei MTTF di vari ordini di grandezza richiede la conoscenza assoluta dell'energia di attivazione E_a dei meccanismi di guasto, i cui limiti di confidenza non sono tipicamente indicati;

2. Test ad elevate temperature comportano l'attivazione di meccanismi ad alte E_a , mentre meccanismi a basse E_a dominano a basse temperature. L'esecuzione di test solamente ad alte temperature porta a trascurare i meccanismi a basse energie di attivazione, con la possibile sovrastima del MTTF. Ciò suggerisce l'importanza di effettuare più test a varie temperature e condizioni di polarizzazione;
3. L'interazione di differenti fattori acceleranti, come la corrente, temperatura e campo elettrico, non è ancora del tutto conosciuta;
4. Alcuni meccanismi di guasto non sono attivati termicamente [31,36] o possono essere rallentati dalla temperatura rendendo non utilizzabile la tecnica del test su tre temperature. Ad esempio il degrado dovuto ad elettroni caldi rallenta all'aumentare della temperatura a causa della diminuzione dell'energia degli elettroni, dovuta all'aumento dello scattering tra fononi. Per questo in alcuni casi si stimano energie di attivazione negative [30].

Tabella 2.1: Stress DC su GaN HEMT di alcuni gruppi di ricerca [35].

Affiliation	Year	L_g (μm)	E_a (eV)	MTTF (hour)	T_j ($^{\circ}\text{C}$)	V_{DS} (V)
Eudyna	2006	0.8	-	1×10^6	200	50
Nitronex	2007	0.5	2.0	$> 10^7$	150	28
Fujitsu	2007	-	1.81	$> 10^6$	300-350	50
RFMD	2008	0.5	2.47	$> 10^6$	200	48
TriQuint	2008	0.25	-	1×10^7	150	40
Mitsubishi	2010	0.4	1.62	1×10^7	250-260	47

In molti esperimenti si è osservata una riduzione del MTTF con la temperatura ma con energie di attivazione differenti, suggerendo che l'origine del degrado dei dispositivi sia dovuto a differenti fattori o non sia del tutto noto. I risultati dei test di vita accelerati riportati in letteratura mostrano quindi l'assenza di un criterio di guasto specifico per le varie tecnologie, vista la mancanza di informazioni sui metodi di guasto e i meccanismi fisici che stanno alla base dei fenomeni di degrado. Si rende quindi necessaria una maggior ricerca nello studio di tali meccanismi fisici per determinarne le dipendenze dal tempo e dalla temperatura così da ottenere una stima più accurata del tempo di vita dei dispositivi.

Capitolo 3

Sistemi di misura

3.1 Misure DC

La strumentazione utilizzata per questo tipo di misura consiste in una probe station Karl Suss PM 5 per contattare i dispositivi (Figura 3.1) e il parameter analyzer Agilent E5263A per effettuare le misurazioni (Figura 3.2). Il wafer con i dispositivi da testare viene posizionato su un chuck mobile e tenuto in posizione mediante l'applicazione del vuoto. I transistor HEMT vengono contattati con due micropunte RF da $150 \mu\text{m}$ di pitch, mentre i FATFET (diodi schottky) e i TLM vengono contattati con micropunte DC, connesse al parameter attraverso cavi triassiali.

Gli HEMT presentano un layout dei contatti adatto all'uso delle punte RF, così da limitare i problemi di interferenza e oscillazione. Le punte RF hanno la forma di un tridente in configurazione ground-signal-ground, con cui è possibile contattare tre pad contemporaneamente; per convenzione il pad centrale è connesso al gate mediante la punta di sinistra e al drain mediante la punta di destra, mentre i restanti contatti connettono i source.

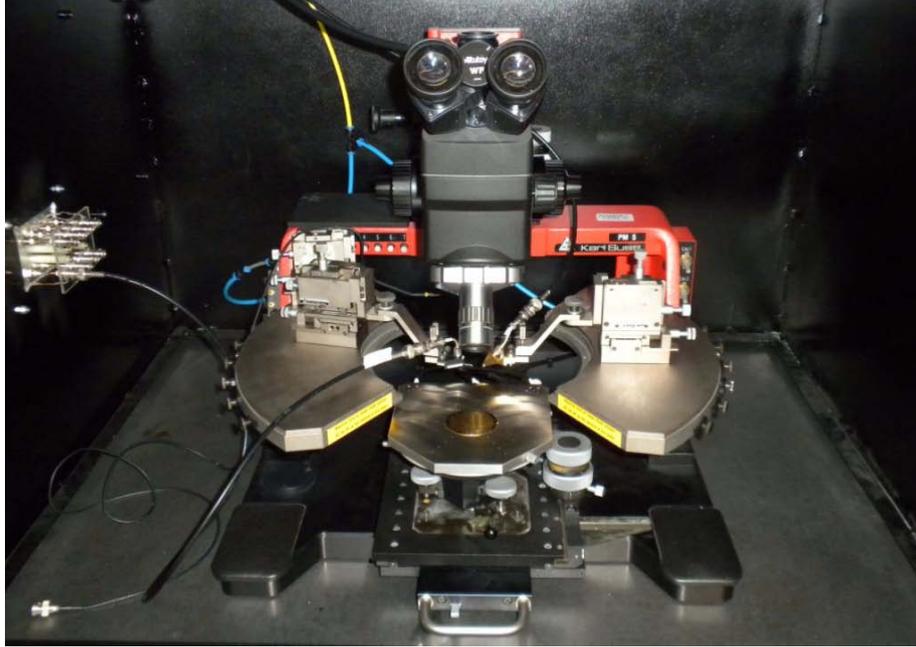


Figura 3.1: Probe Station Karl Suss PM 5.

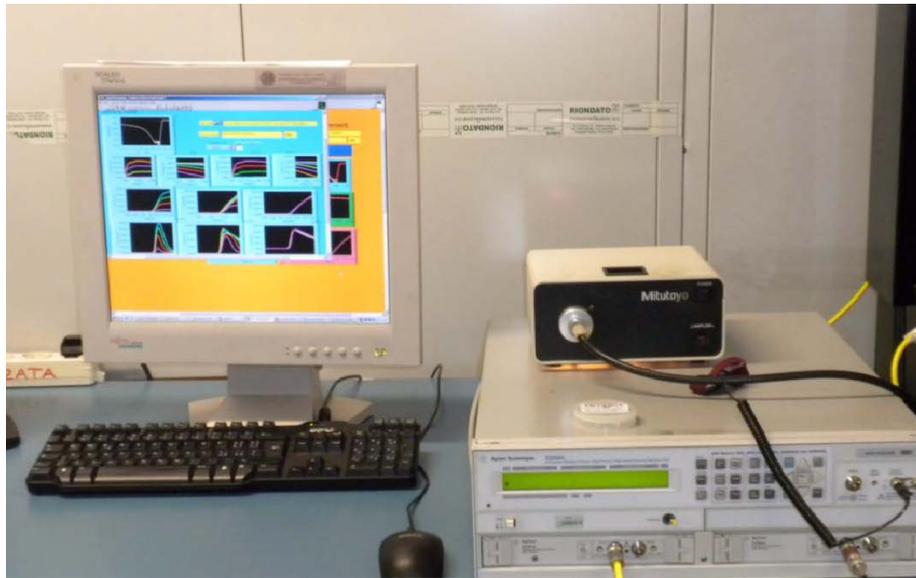


Figura 3.2: Parameter Analyzer Agilent E5263A.

Sia le punte RF che le punte DC sono montate su dei micromanipolatori che consentono lo spostamento lungo le tre direzioni spaziali con una adeguata precisione. La probe station è posta all'interno di un box metallico con sospensioni pneumatiche così da eliminare gli eventuali disturbi elettromagnetici, meccanici e luminosi provenienti dall'ambiente esterno. Il parameter analyzer E5263A è uno strumento in grado di fornire e leggere tensioni o correnti, continue o impulsive, tipicamente utilizzato per analizzare i dispositivi a semiconduttore. Lo strumento è costituito da due SMU (Source Monitor Unit), la SMU E5290A di tipo High Speed High Power è utilizzata per misurare le correnti e tensioni di drain, mentre per il gate si utilizza la SMU E5291A High Speed Medium Power, visto la necessità di minori potenze. Infine il parameter è connesso al PC attraverso un cavo GP-IB con cui viene controllato mediante un apposito software virtual instrument (VI) sviluppato in ambiente Labview. I dati ottenuti vengono poi elaborati mediante foglio di calcolo per ricavare i relativi grafici.

Per quanto riguarda gli HEMT verranno riportati i seguenti grafici:

- ***Diodo gate-source***: caratteristica I-V del diodo schottky;
- ***OUT***: caratteristica di uscita valutata con V_{DS} tra 0 V e 20 V (0 - 15 V negli HEMT 4x400 μm) al variare di V_{GS} crescente da -4 V a 1 V con passo di 1 V; nello stesso grafico è riportata anche la corrente di leakage di gate;
- ***$I_D - V_G$ in regione lineare***: transcaratteristica valutata con V_{GS} tra -7 V e 1 V al variare della V_{DS} da 0.1 a 0.9 V con passo 0.4 V;
- ***g_m in regione lineare***: transconduttanza valutata sulla $I_D - V_G$ in regione lineare con gli stessi parametri dell' $I_D - V_G$;

- **$I_D - V_G$ in regione di saturazione:** transcaratteristica valutata con V_{GS} tra -7 V e 1 V al variare della V_{DS} da 10 a 20 V (10 - 15 V negli HEMT 4x400 μm) con passo 5 V;
- **g_m in regione di saturazione:** transconduttanza valutata sulla $I_D - V_G$ in regione di saturazione con gli stessi parametri dell' $I_D - V_G$.

Le misure DC sono state effettuate oltre che su HEMT anche su strutture di test passive come FATFET (diodi schottky) e TLM, dei quali verranno riportate le seguenti curve caratteristiche:

- **FATFET:** diodo schottky, caratteristica I-V del diodo schottky valutata con V_{GS} tra -8 V e 2 V;
- **TLM:** caratteristica della schiera (serie) di TLM, con riportata l'intercetta e la pendenza corrispondenti a la resistenza di contatto e la resistività del 2DEG.

Le correnti e le transconduttanze nei grafici sono riportate rispettivamente in A/mm e S/mm, attraverso la normalizzazione con la lunghezza di gate W_G , per facilitare il confronto tra le diverse geometrie dei campioni. Alle curve appena descritte seguiranno alcuni confronti tra parametri statici di rilievo per tutti i dispositivi analizzati.

Dalle caratteristiche sono stati estratti i seguenti parametri.

HEMT

- **I_{DS_sat-15} ,** corrente di drain in saturazione misurata a $V_{GS} = 0$ V e $V_{DS} = 15$ V;
- **g_{m_MAX-15} ,** picco della transconduttanza in saturazione misurato a $V_{DS} = 15$ V;

- $|I_{G_leakOFF-15}|$, corrente di perdita in attraverso il gate in off-state misurata a $V_{DS} = 15$ V e $V_{GS} = -7$ V;
- $I_{DSOFF-15}$, corrente di perdita attraverso il drain in off-state misurata a $V_{DS} = 15$ V e $V_{GS} = -7$ V;
- $|I_{GS}|$, corrente di leakage del diodo gate-source valutata a $V_{GS} = -7$ V;
- V_{th-15} , tensione di soglia in saturazione valutata a $V_{DS} = 15$ V;
- R_{ON} , resistenza in on-state misurata a $V_{DS} = 0.5$ V e $V_{GS} = 0$ V;
- **Subthreshold Slope**, pendenza di sottosoglia valutata a $V_{DS} = 15$ V;
- $|I_{G_hv50}|$, corrente di perdita attraverso il gate misurata in alta tensione in off-state a $V_{DS} = 50$ V e $V_{GS} = -7$ V;
- I_{D_hv50} , corrente di perdita attraverso il drain misurata in alta tensione in off-state a $V_{DS} = 50$ V e $V_{GS} = -7$ V;
- $|I_{G_hv100}|$, corrente di perdita attraverso il gate misurata in alta tensione in off-state a $V_{DS} = 100$ V e $V_{GS} = -7$ V;
- I_{D_hv100} , corrente di perdita attraverso il drain misurata in alta tensione in off-state a $V_{DS} = 100$ V e $V_{GS} = -7$ V;

FATFET

- $|I_{GS}|$, corrente di leakage del diodo valutata a $V_{GS} = -7$ V;
- R_S , resistenza serie valutata a $I_{GS} \approx 1$ mA;

TLM

- R_{SHEET} , resistenza del canale;
- R_{CONT} , resistenza del contatto;

3.2 Misure double-pulse

Il sistema utilizzato è stato messo a punto nel laboratorio di microelettronica dell'Università di Padova e permette di rilevare la presenza di trappole e stimarne la posizione all'interno del dispositivo. Il sistema permette di misurare la caratteristica di uscita di un dispositivo in modo impulsato, andando così ad eliminare il problema dell'autoriscaldamento, emulando il funzionamento dei sistemi commerciali DIVA (Dynamic I-V Analyzer). In pratica la caratteristica di uscita si costruisce fornendo due impulsi sincronizzati al gate e al drain partendo da un punto di riposo arbitrario detto baseline.

Il sistema utilizza due pulser (HP8110A e HP8114A) come generatori di impulsi, un oscilloscopio TDS680B per monitorare i segnali forniti e misurati, e una probe station simile a quella utilizzata per le misure DC descritta nel paragrafo precedente. Il setup degli strumenti è rappresentato nella Figura 3.3.

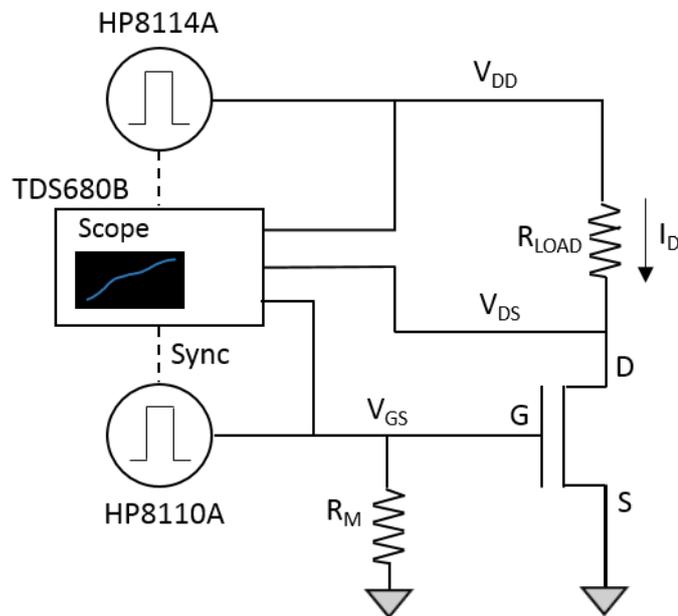


Figura 3.3: Setup del sistema di misura Double-Pulse.

I pulser forniscono gli impulsi al drain e al gate permettendo di impostare i livelli di tensione V_{HIGH} (alto) e V_{LOW} (basso), il periodo e il duty-cycle. L'HP8114A utilizzato per il drain, consente un periodo massimo di 999 ms con un impulso di durata massima di 949 ms, mentre non consente la modifica dei tempi di salita e discesa, mantenendoli fissi a circa 5 ns. Gli impulsi devono avere ampiezza compresa tra ± 100 V con una differenza minima di 2 V tra V_{HIGH} e V_{LOW} , mentre le baseline devono stare tra ± 50 V. Il pulser consente principalmente tre modalità di funzionamento: continuous, lo strumento genera un treno continuo di impulsi; triggered, genera un treno di n impulsi dopo un segnale di trigger; gated, lo strumento genera un treno di impulsi continuo finché il segnale di gate risulta attivo. L'HP8110A utilizzato per il gate, presenta alcune specifiche diverse rispetto all'HP8114A. Il periodo massimo sale a 1500 ms con impulso massimo di 999 ms, con tempi di salita e discesa regolabili fino a 2 ns, e intervalli di tensione compresi tra ± 10 V. L'oscilloscopio TDS680B a 2 canali viene utilizzato per misurare l'andamento delle tensioni V_{DD} e V_{DS} . I pulser e l'oscilloscopio sono sincronizzati con lo stesso segnale di trigger. Infine gli strumenti sono collegati al pc tramite cavi GP-IB e controllati attraverso un software sviluppato in ambiente labview. Nel setup double-pulse il dispositivo viene connesso in configurazione classe A; il source è collegato a massa mentre il drain è connesso a V_{DD} attraverso una resistenza di carico R_{LOAD} . Sul gate viene inserita una ulteriore resistenza di adattamento da 50Ω verso massa per ridurre i problemi di disadattamento. La resistenza di carico varia a seconda della tipologia di dispositivo misurato: 100Ω per i transistor HEMT 4000-1500 da $80 \mu\text{m}$ di W_g e 10Ω per gli HEMT con W_g $4 \times 400 \mu\text{m}$; le notazioni saranno più chiare più avanti nel paragrafo di descrizione dei dispositivi.

Il setup permette di misurare la corrente di drain attraverso la misura della

tensione sulla resistenza di carico, da cui si ricava successivamente la corrente di drain attraverso le semplici equazioni:

$$V_R = V_{DD} - V_{DS}, \quad I_D = \frac{V_R}{R_{LOAD}}$$

Per eseguire la misura impulsata il sistema effettua delle misure I-V sul dispositivo andando a polarizzarlo contemporaneamente con impulsi sincroni ai terminali di gate e drain. Il dispositivo viene mantenuto polarizzato a un livello iniziale, detto baseline, per un determinato tempo e successivamente portato al valore impostato per un breve intervallo. Tipicamente nel sistema vengono utilizzati impulsi con periodi di $100 \mu s$ e ampiezza di $1 \mu s$, l'andamento temporale degli impulsi è rappresentato in Figura 3.4. La caratteristica $I_D - V_D$ si ottiene inviando al gate un treno di impulsi con ampiezza e durata fissati, mentre al drain viene inviato un treno di impulsi con ampiezza crescente da un valore minimo a un massimo con passo fisso. In questo modo è possibile ricavare le correnti di drain con le equazioni descritte in precedenza e ricostruire la caratteristica punto per punto, ripetendo le misure utilizzando impulsi di gate di ampiezze diverse. Allo stesso modo è

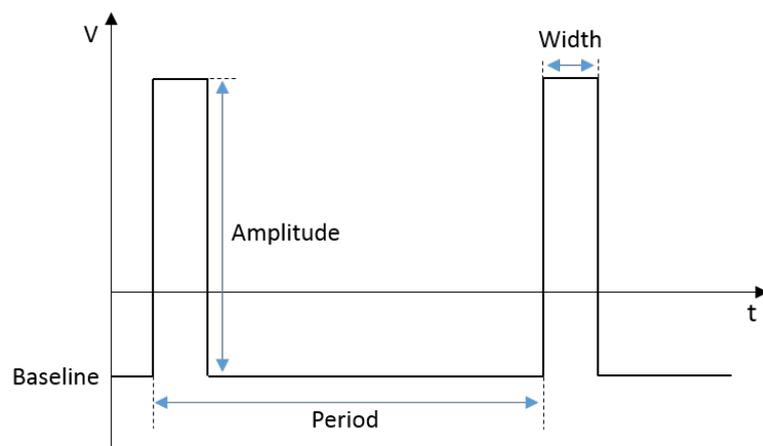


Figura 3.4: Andamento temporale degli impulsi di gate e drain.

possibile costruire la transcaratteristica $I_D - V_G$ del dispositivo, tenendo fissa l'ampiezza degli impulsi sul drain, adattandoli alla caduta di potenziale sulla resistenza di carico, e andando a variare l'ampiezza degli impulsi di gate. Per evitare che si inneschino picchi di campo elettrico dannosi per il dispositivo si fa in modo che il terminale di drain non venga polarizzato prima del gate. Quello che si fa è generare impulsi di gate con ampiezza leggermente maggiore degli impulsi di drain, così da poter incapsulare l'impulso di drain in quello di gate.

Le misure sono state effettuate partendo da quattro diversi livelli di baseline, uguali per entrambe le tipologie di dispositivi:

1. Baseline (0,0): $V_{GS} = 0 \text{ V}$, $V_{DS} = 0 \text{ V}$;
2. Baseline (-7,0): $V_{GS} = -7 \text{ V}$, $V_{DS} = 0 \text{ V}$;
3. Baseline (-7,30): $V_{GS} = -7 \text{ V}$, $V_{DS} = 30 \text{ V}$;
4. Baseline (-7,50): $V_{GS} = -7 \text{ V}$, $V_{DS} = 50 \text{ V}$;

Dai dati ottenuti da queste misure dinamiche vengono ricostruiti i seguenti grafici:

- ***OUT***: caratteristica di uscita valutata con V_{DS} tra 0 V e 20 V (0 - 15 V negli HEMT 4x400 μm) al variare di V_{GS} decrescente da 1 V a -2 V, con passo di 1 V, per ciascuna delle quattro baseline;
- ***g_m***: transconduttanza valutata sulla caratteristica $I_D - V_G$ a $V_{DS} = 4 \text{ V}$ e V_{GS} da -4 V a 1 V, con gli stessi parametri per tutte le quattro baseline;

Dai grafici ottenuti, quello che a noi interessa maggiormente è un parametro definito Slump Ratio o S.R., che descrive mediante un numero il calo

della corrente di drain dovuto alla presenza di trappole superficiali o in profondità. Il valore di S.R. viene estratto dal rapporto tra il valore di corrente ottenuto con una baseline a una specifica V_{DS} e il valore di corrente ottenuto con baseline (0,0). Nel nostro caso verranno riportati quattro valori di S.R. ottenuti con baseline (-7,30) e (-7,50) a V_{DS} di 4 V (regione di ginocchio, caso peggiore per lo S.R.) e 10 V (in saturazione). Uno slump ratio vicino all'unità indica una ridotta presenza di current collapse, mentre al contrario, un S.R. basso è indice di una elevata presenza di trappole che provocano la parziale chiusura del canale in condizioni dinamiche. Una prima stima sulle regioni del dispositivo con presenza di trappole può essere ottenuta osservando il grafico della transconduttanza. Una possibile variazione della tensione di soglia è da attribuire alla presenza di trappole sotto al gate mentre il calo della g_m è dovuto principalmente alla presenza di trappole nella regione di accesso.

3.3 Transienti della corrente di drain

Abbiamo visto precedentemente come la misura al double pulse permette di stimare la posizione delle trappole all'interno del dispositivo. L'analisi dei transienti della corrente di drain consente uno studio più approfondito delle trappole, andando a valutarne alcuni parametri come l'energia di attivazione e la sezione di cattura oltre che ad un'analisi più dettagliata sulla posizione. La misura consiste nel polarizzare il dispositivo in condizione di off-state per un determinato tempo, così da intrappolare le cariche nel campione, per poi portarlo in condizione di on-state e osservarne il transiente di corrente di drain durante la fase di detrappolamento. Questa procedura viene effettuata su diverse condizioni in on-state, off-state e a diverse temperature, così da

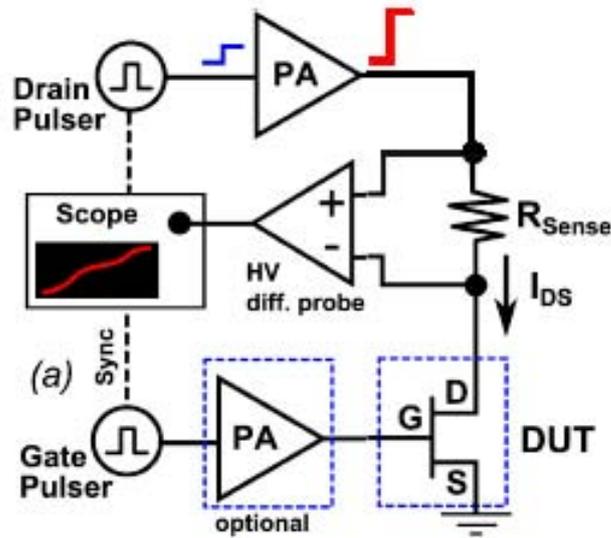


Figura 3.5: Setup di misura dei transienti di corrente di drain [37].

poter ricavare l'energia di attivazione dei vari processi di cattura ed emissione delle trappole.

Il sistema utilizza una probe semiautomatica simile alle precedenti, due generatori di forme d'onda 33250A, due amplificatori di tensione, e un oscilloscopio TDS654C. Il setup di misura è rappresentato nella Figura 3.5. I generatori di forme d'onda forniscono i segnali di drain e gate opportunamente amplificati mediante gli amplificatori di tensione in modo da fornire al campione le tensioni di gate e drain volute. L'oscilloscopio permette di misurare la corrente di drain mediante una sonda differenziale collegata alla resistenza R_{SENSE} di 100Ω . I generatori di forme d'onda e l'oscilloscopio sono sincronizzati con lo stesso segnale di trigger. Prima di ogni misura vengono effettuate delle prove per stimare le corrette tensioni da impostare sui generatori di forme d'onda per polarizzare il dispositivo nelle condizioni volute. Gli strumenti sono infine collegati ad un pc tramite cavo GP-IB e gestiti tramite software sviluppato in ambiente Labview.

Il dispositivo è connesso in classe A come per il sistema DP, cioè con il source posto a massa e il drain connesso a V_{DD} attraverso una resistenza di carico R_{SENSE} . Mediante la misura della caduta di tensione sulla resistenza ottenuta tramite la sonda differenziale, è possibile ricavare la corrente di drain osservandone l'andamento temporale attraverso l'oscilloscopio. Le equazioni risultano le stesse del double pulse:

$$V_{SENSE} = V_{DD} - V_{DS}, \quad I_D = \frac{V_{SENSE}}{R_{SENSE}}$$

Prima di procedere con le misurazioni sono stati eseguiti dei test preliminari a varie temperature così da poter scegliere la temperatura migliore per confrontare velocemente i dati dei diversi dispositivi. Il wafer viene inizialmente portato alla temperatura scelta di 110 °C tramite il thermal chuck. Il dispositivo viene polarizzato in un punto di lavoro di off-state per $t_{off} = 10$ s così da riempire le trappole e in seguito viene portato in condizioni di on-state per $t_{on} = 100$ s durante il quale viene analizzato il transiente della corrente I_D . Questo viene misurato dall'oscilloscopio su una scala temporale di 8 decadi da 1 μ s a 100 s in modo da valutare sia i transienti veloci che quelli lenti. I transienti sono stati effettuati sulle quattro combinazioni tra le due condizioni di intrappolamento e detrappolamento (Figura 3.6):

Condizioni di intrappolamento:

1. SemiOn-state (-1.9,30): $V_{GS} = -1.9$ V, $V_{DS} = 30$ V;
2. Off-state (-7,30): $V_{GS} = -7$ V, $V_{DS} = 30$ V;

Condizioni di detrappolamento:

1. SemiOn-state (-1,2): $V_{GS} = -1$ V, $V_{DS} = 2$ V;
2. On-state (0,3): $V_{GS} = 0$ V, $V_{DS} = 3$ V;

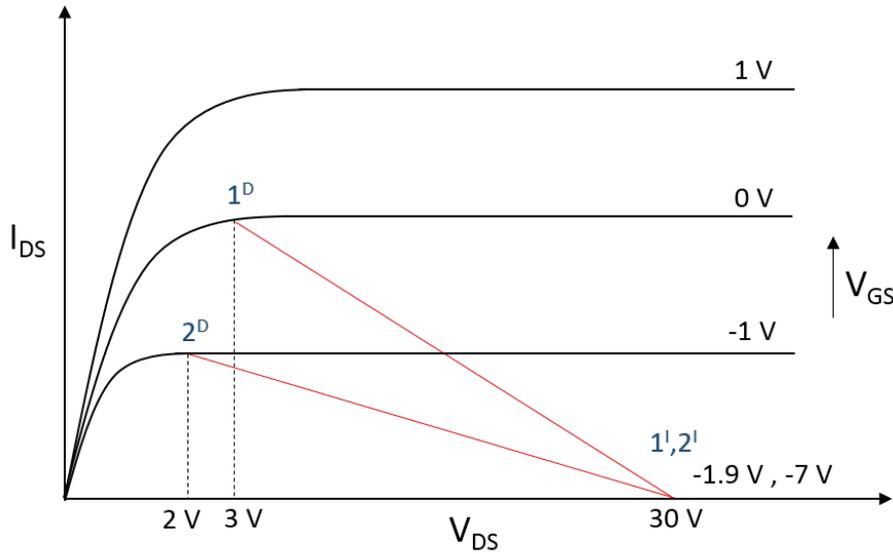


Figura 3.6: Caratteristica d'uscita con relative rette di carico.

Queste condizioni di misura di trap/detrap sono state scelte opportunamente per analizzare i processi di intrappolamento dipendenti dal gate o dal drain. La baseline (-1.9 V, 30 V) pone il dispositivo in condizione semi-on e permette di analizzare i livelli trappola accessibili in condizione di canale formato, posizionati nel buffer o all'interfaccia, sia sotto al gate che in regione di accesso, mentre il punto (-7,30) in off-state serve a valutare le trappole riempite dal leakage di gate, e perciò posizionate nella barriera, o in tutta la regione dove il canale è svuotato. L'analisi dei transienti si basa sull'estrapolazione dei tempi caratteristici di emissione delle trappole, indicati con τ , e grazie alla loro dipendenza dalla temperatura, è possibile costruire il grafico di Arrhenius ($\ln(\tau T^2)$ vs q/kT). Dal grafico si riesce a ricavare i parametri caratteristici delle trappole, in particolare l'energia di attivazione E_a e la sezione di cattura σ_α . La valutazione delle costanti di tempo e l'estrapolazione dei suddetti parametri dai dati sperimentali può essere effettuata in tre modi [38]:

- **Derivata:** Il grafico di I_D in funzione del tempo in scala logaritmica viene fittato con una funzione polinomiale sulla quale viene eseguita la derivata dI_D/dt ; i picchi corrisponderanno a tempi τ di cattura mentre gli eventuali minimi a tempi di emissione [39].
- **Multiesponenziale:** il transiente di I_D viene confrontato con un numero arbitrario di esponenziali a differenti costanti di tempo τ . Gli esponenziali che fittano nel miglior modo la curva $I_D(t)$ presentano costanti di tempo vicine alle costanti delle trappole [40].
- **Multiesponenziale stretched:** la curva I_D viene fittata con la seguente funzione multiesponenziale:

$$I_{DS}(t) = I_{DS,final} - \sum_{i=1}^N A_i \exp\left(-\left(\frac{t}{\tau_i}\right)^{\beta_i}\right)$$

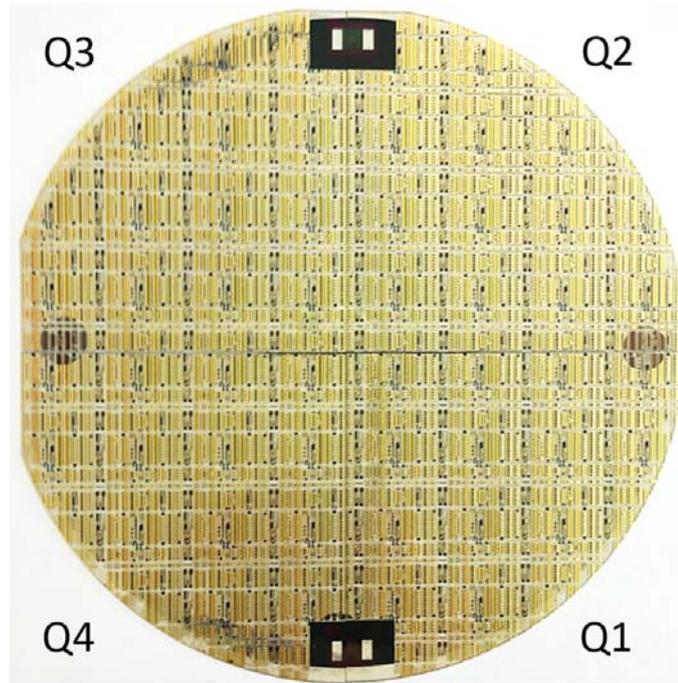
dove A_i rappresenta l'ampiezza, τ_i la costante di tempo e β_i il fattore di stretching non esponenziale degli N processi di emissione con $A_i > 0$ o dei processi di cattura con $A_i < 0$ visivamente presenti. Il parametro N tipicamente varia da 2 a 4 a seconda dei campioni analizzati.

Nel caso ideale i tre metodi dovrebbero fornire stime molto simili e realizzare lo stesso grafico di Arrhenius, mentre nella realtà i risultati sono lievemente diversi, e richiedono un'analisi attenta del miglior metodo da utilizzare. Nel caso in esame verrà usato il metodo del multiesponenziale stretched.

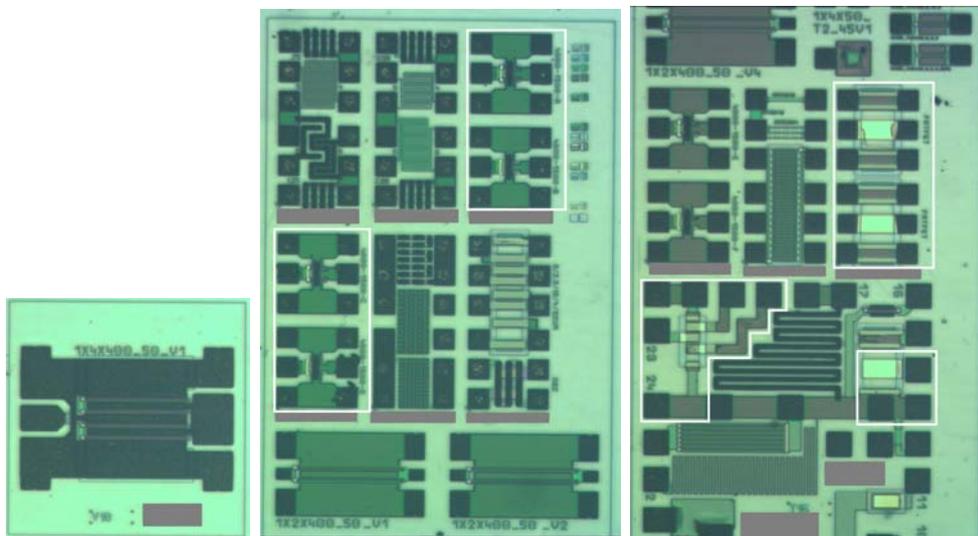
3.4 Dispositivi

I dispositivi analizzati fanno parte di un wafer da 4", diviso in quattro quarti utili per i test che andremo ad effettuare (Figura 3.7). I dispositivi sono basati su un'eterostruttura AlGaN/GaN cresciuta su uno substrato in carburo di silicio; la struttura presenta inoltre un buffer layer per ridurre il mismatch reticolare tra SiC e GaN, e un sottile cap layer in GaN, cresciuto prima dei contatti superficiali, schottky per il gate e ohmici per source e drain. Infine l'intera struttura è ricoperta da una passivazione superficiale da $0.5 \mu\text{m}$ di SiN. Per motivi di segreto industriale non è possibile fornire maggiori dettagli sulla struttura verticale dei dispositivi. Il wafer è suddiviso in celle contenenti diversi moduli identificati con una sigla alfanumerica, lettere per le righe e numeri per le colonne, per agevolarne l'individuazione all'interno del wafer. I dispositivi analizzati per ciascun quarto sono n°12 HEMT 4000-1500 con $W_g = 2 \times 40 \mu\text{m}$, n°12 HEMT 4x400 con $W_g = 4 \times 400 \mu\text{m}$, che si differenziano dai primi in particolare per la lunghezza del gate, e due dispositivi passivi come i n°9 FATFET e n°3 strutture TLM.

In particolare gli HEMT 4000-1500 sono suddivisi in 4 tipologie, A-B-C-D, con struttura leggermente differente. Oltre ad avere dei field plate di diverse forme e dimensioni, i dispositivi nominati come A e C hanno subito un ulteriore trattamento superficiale atto a ridurre il leakage di gate. Nella Figura 3.7 sottostante sono rappresentati i moduli contenenti i dispositivi analizzati, mentre nella Tabella 3.1 sono riportati i nomi completi dei dispositivi e alcuni dettagli del layout superficiale.



(a) Wafer testato.



(b) Dispositivo 4x400. (c) Dispositivi 4000-1500. (d) Passivi e struttura TLM.

Figura 3.7: Foto del wafer e dei dispositivi analizzati.

Tabella 3.1: Parametri dispositivi analizzati.

(a) Dispositivi HEMT 4000-1500 e 4x400.						
Nome	L_G (nm)	W_G (μm)	L_{GD} (μm)	L_{GS} (μm)	Gate Type	STFP (μm)
4000-1500-A	500	80	4	1.5	Γ -Gate	2.3
4000-1500-B	500	80	4	1.5	T-Gate	0
4000-1500-C	500	80	4	1.5	T-Gate	1.3
4000-1500-D	500	80	4	1.5	T-Gate	2.3
1x4x400	500	1600	4	1.5	Γ -Gate	2.3

(b) Dispositivi FATFET.		(c) Dispositivi TLM.					
Nome	Area (μm^2)	Nome	W_G (μm)	L1 (μm)	L2 (μm)	L3 (μm)	L4 (μm)
TCV-V10	76 x 131	TLM	50	2.5	4	8	30
V11M48-FATFET1	76 x 131						
V11M48-FATFET2	76 x 131						

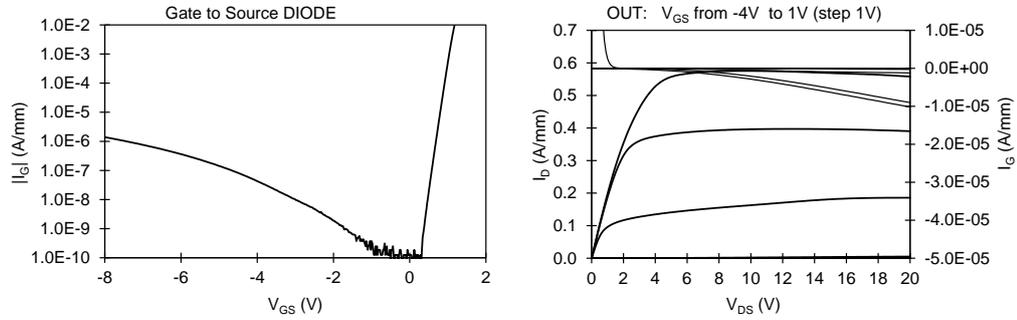
Capitolo 4

Caratterizzazione dei dispositivi

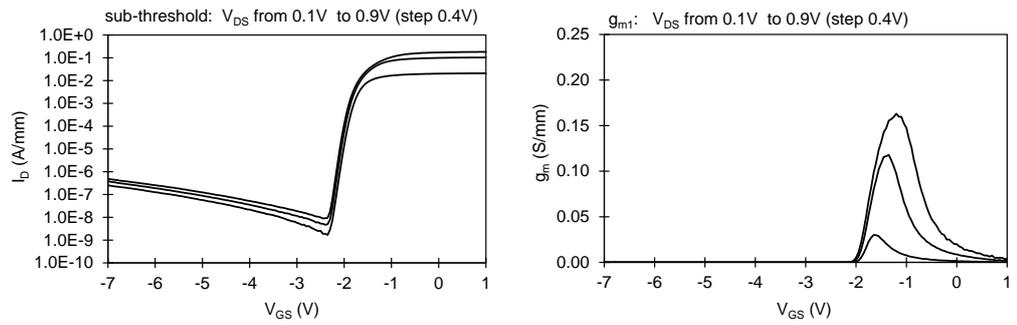
4.1 Misure DC su HEMT

Il passo iniziale prima di procedere con i test di storage è la caratterizzazione completa del wafer mediante misure DC, così da verificare l'omogeneità dei parametri elettrici all'interno del wafer. Le misurazioni sono state effettuate su tutti i dispositivi HEMT e su tutte le strutture di test, FATFET e TLM. Data la mole di dati verranno riportate solo le caratterizzazioni dei dispositivi più significativi del quarto Q1, sottoposto successivamente al test di storage con temperatura maggiore.

Si è scelto di riportare le caratterizzazioni dell'intera cella **Y27** di HEMT 4000-1500, con i quattro dispositivi A-B-C-D, e di due dispositivi tipici 4x400 μm , **AD43** e **V31**. Le caratterizzazioni dei dispositivi passivi verranno riportate nel paragrafo successivo. In coda alle caratterizzazioni vengono riportati i grafici con i confronti di alcuni parametri significativi di tutti i dispositivi testati all'interno del wafer.

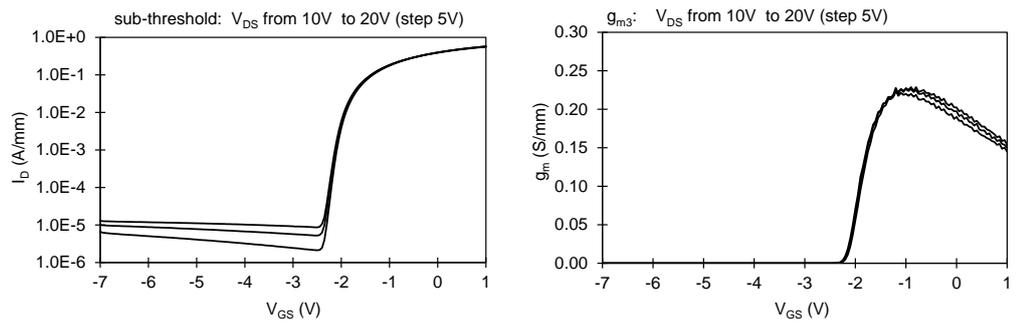


(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.

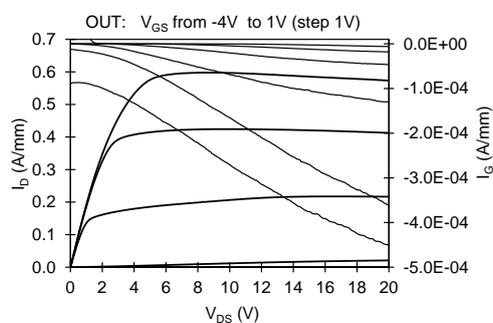
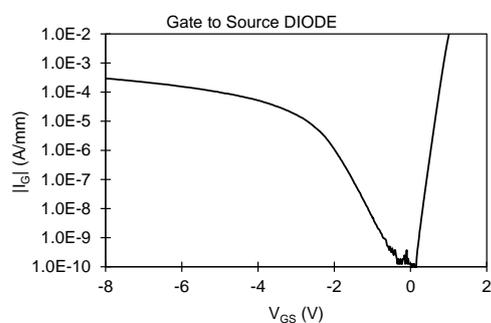
(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



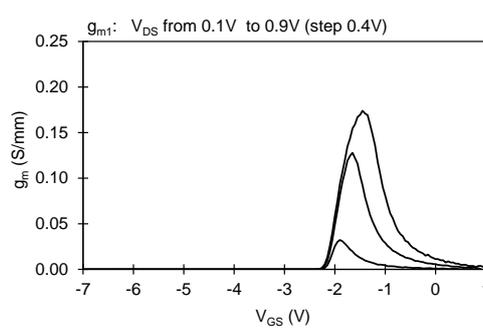
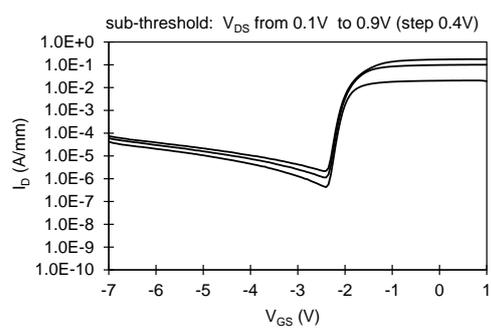
(e) I_D - V_G con V_{DS} da 10 V a 20 V.

(f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

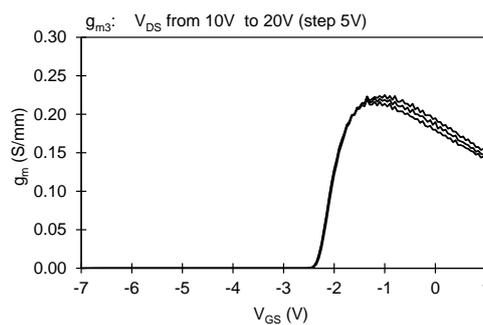
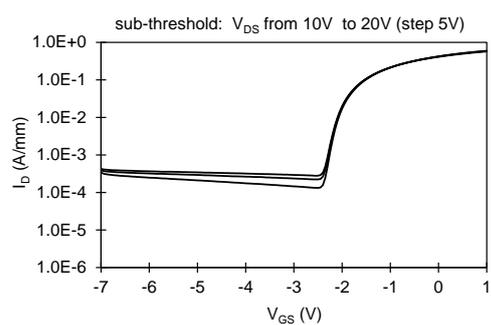
Figura 4.1: Caratteristica DC di un dispositivo tipico 4000-1500 Å (Q1-Y27).



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

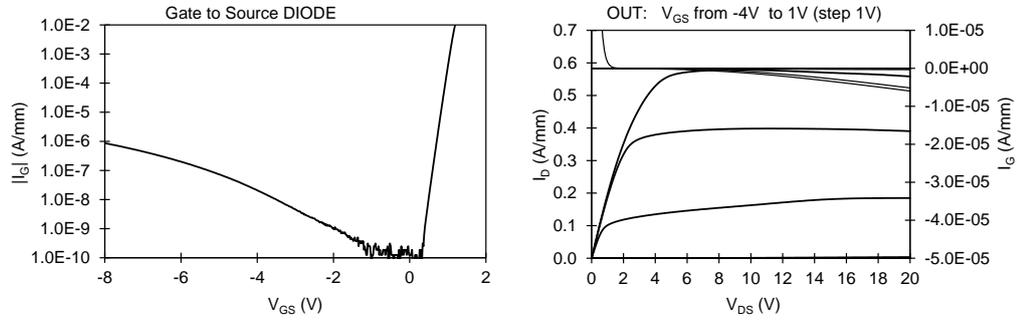


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

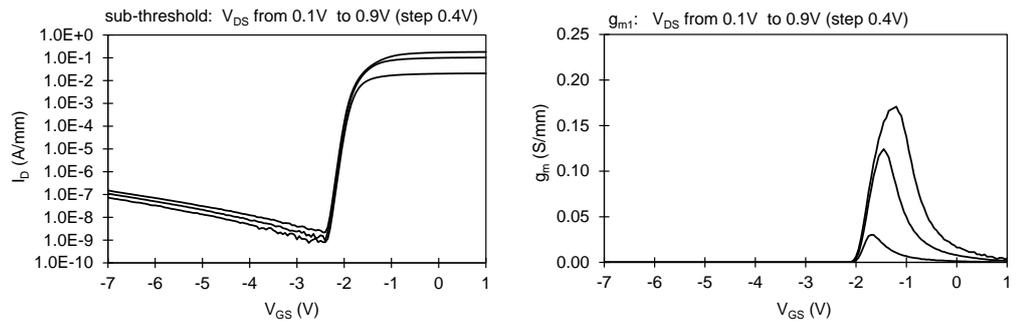


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 20 V.

Figura 4.2: Caratteristica DC di un dispositivo tipico 4000-1500 B (Q1-Y27).

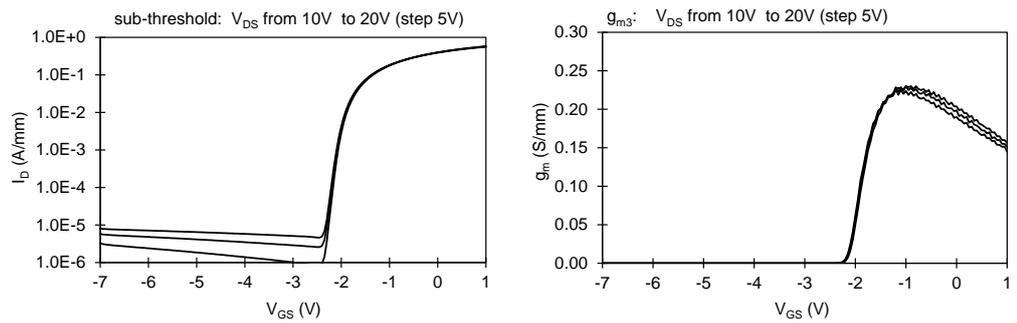


(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.

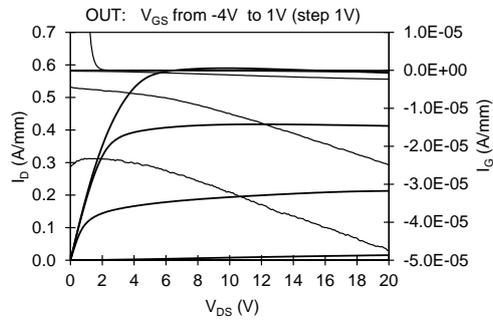
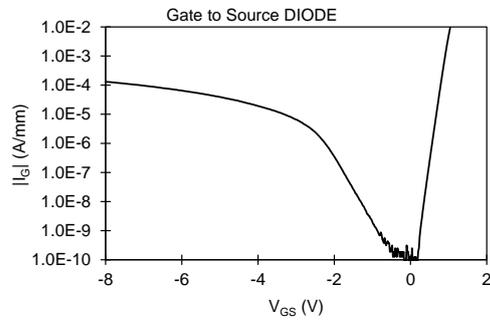
(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



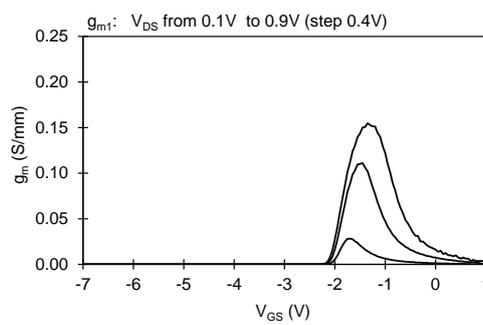
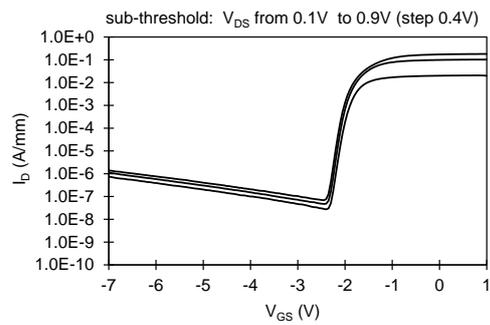
(e) I_D - V_G con V_{DS} da 10 V a 20 V.

(f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

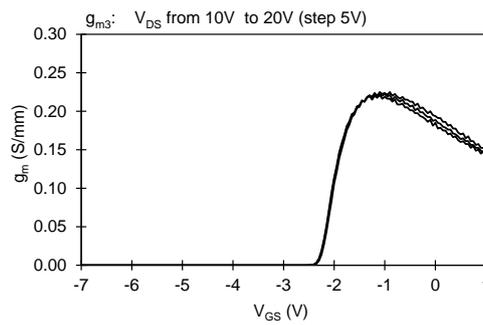
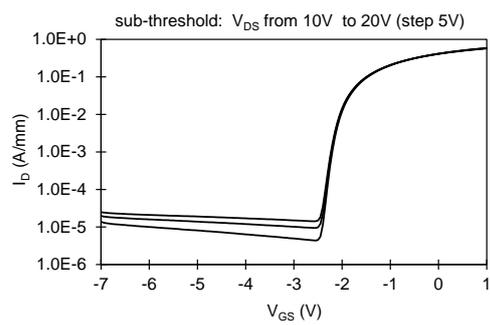
Figura 4.3: Caratteristica DC di un dispositivo tipico 4000-1500 C (Q1-Y27).



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

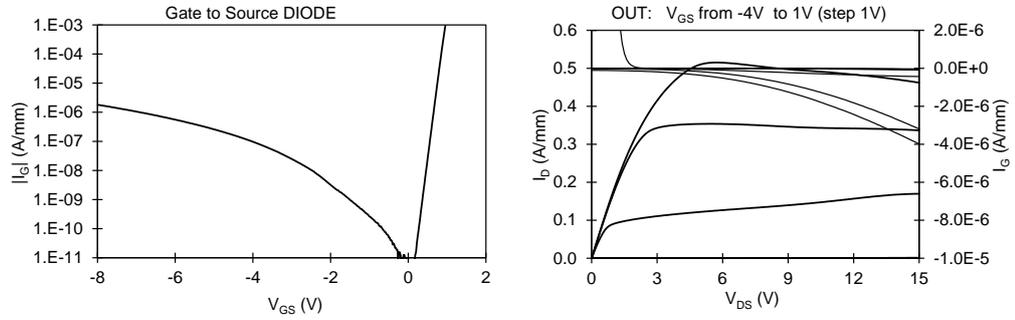


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

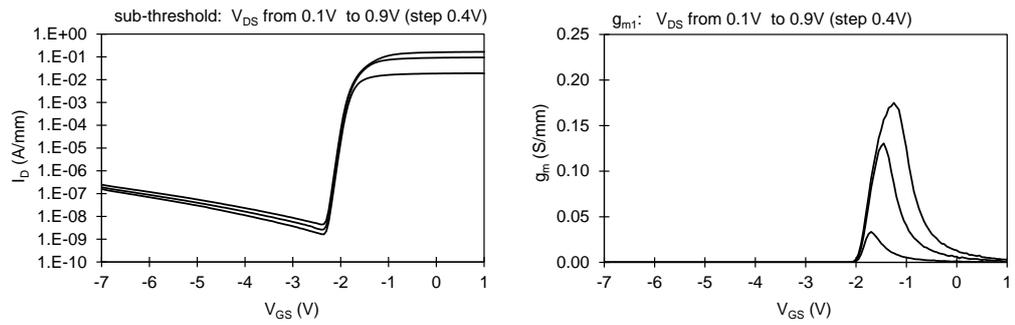


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

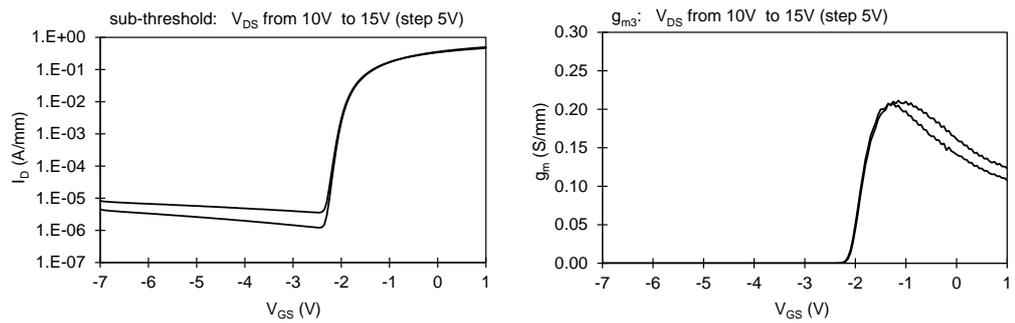
Figura 4.4: Caratteristica DC di un dispositivo tipico 4000-1500 D (Q1-Y27).



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

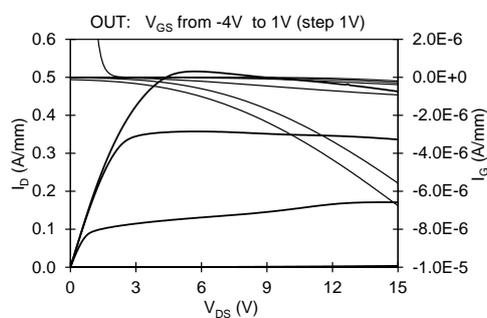
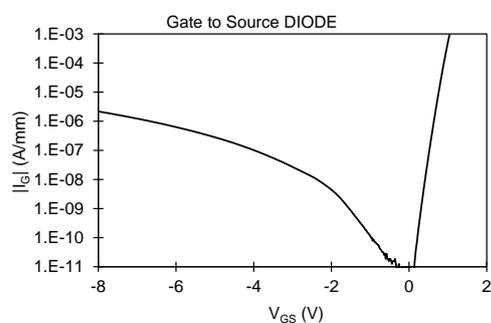


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

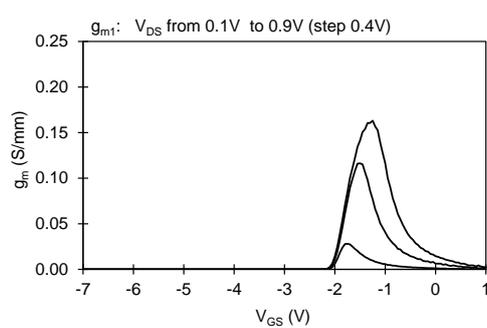
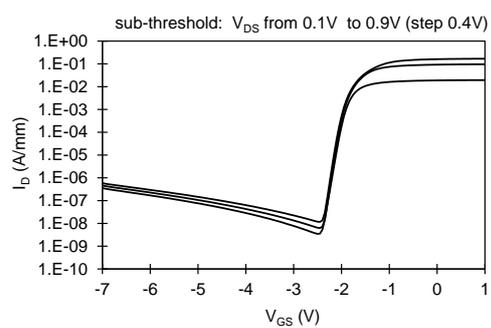


(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 15 V.

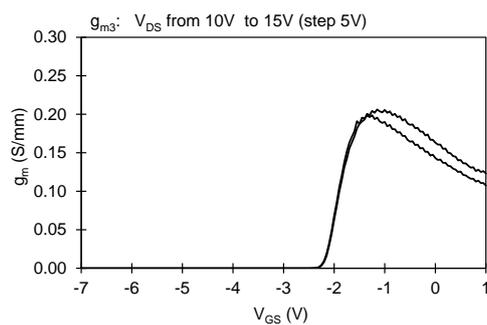
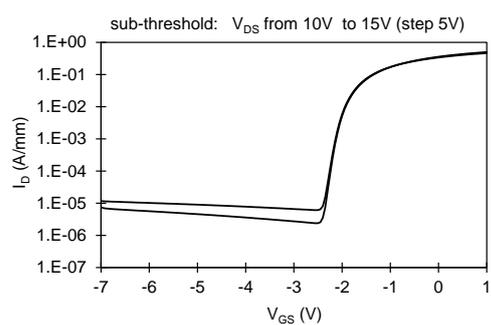
Figura 4.5: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-AD43).



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 15 V.

Figura 4.6: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-V31).

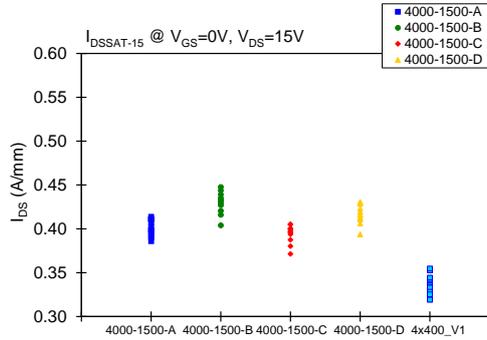
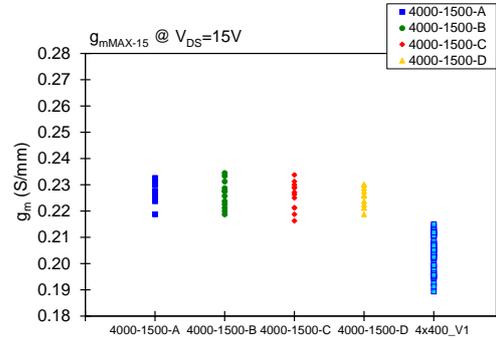
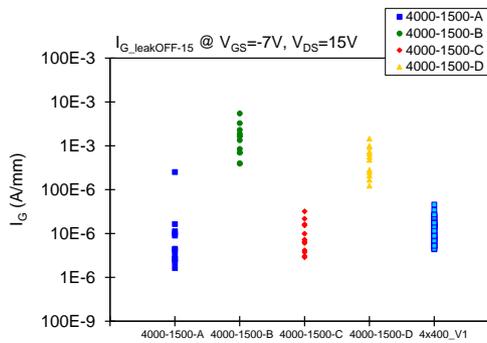
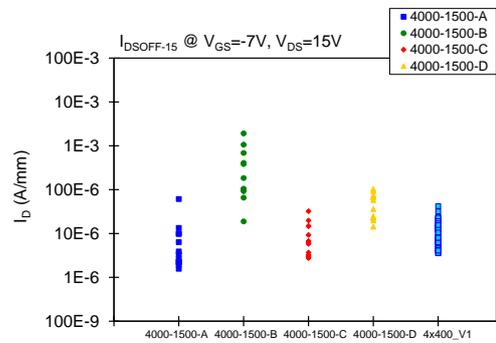
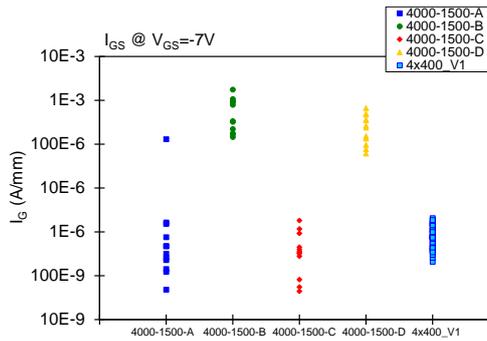
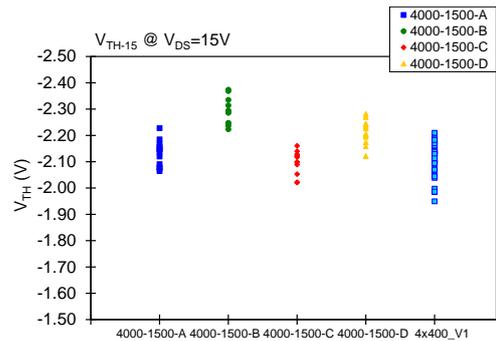
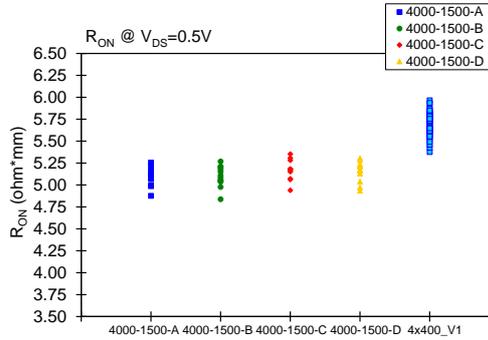
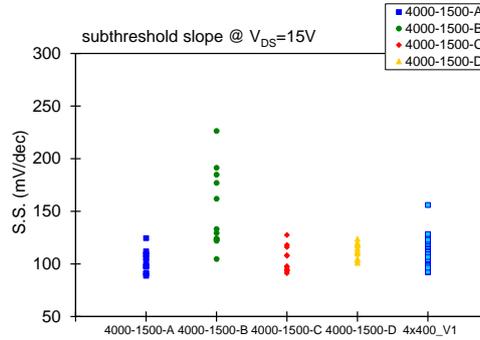
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.(b) Picco di g_m a $V_{DS} = 15$ V.(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(e) Corrente diodo gate-source a $V_{GS} = -7$ V.(f) Tensione di soglia a $V_{DS} = 15$ V.

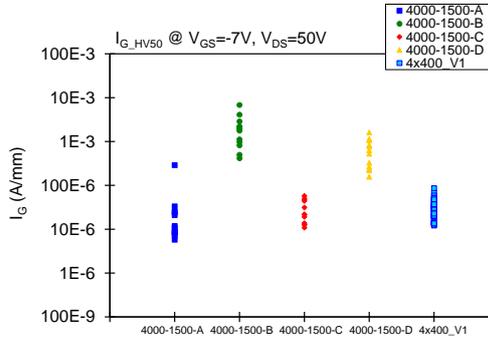
Figura 4.7: Riepilogo dei parametri caratteristici DC su HEMT 4000-1500 e $4 \times 400 \mu\text{m}$.



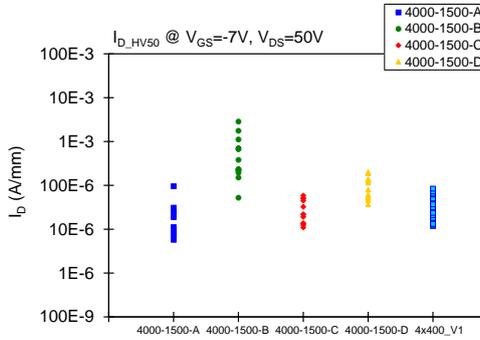
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



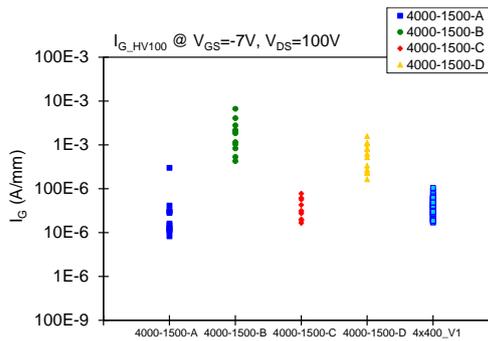
(h) Subthreshold Slope a $V_{DS} = 15$ V.



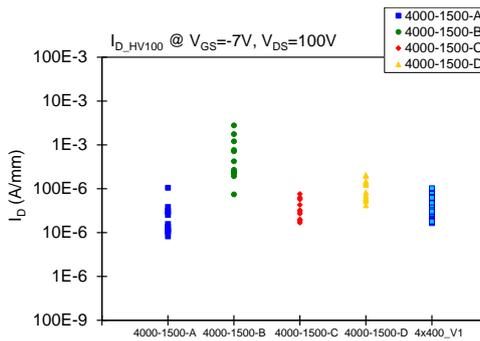
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 4.7: Riepilogo dei parametri caratteristici DC su HEMT 4000-1500 e 4x400 μm .

Osservando i risultati ottenuti si nota, escludendo un limitato numero di campioni, l'omogeneità dei parametri tra le varie tipologie di dispositivi all'interno dell'intero wafer. La differenza maggiore nella distribuzione dei valori caratteristici si può osservare tra i dispositivi 4000-1500 A e C, sottoposti a trattamento superficiale, e le controparti B e D. Questo ulteriore processo di lavorazione sembra vada ad incidere maggiormente sul leakage di gate e drain, abbassandola di due ordini di grandezza (Figura 4.7 (c-d)), e sulla corrente del diodo gate-source, ottenendo in questo caso una riduzione di tre ordini di grandezza. Ciò si verifica anche nelle misure di leakage ad alta tensione, dove il fenomeno è meno marcato. In ogni caso i leakage presentano valori molto buoni in ogni tipologia di dispositivo, anche in alta tensione. Nei restanti grafici si nota una buona uniformità tra i dispositivi con valori entro il 10 % di variazione, a parte alcune eccezioni dove i dispositivi B e D presentano ancora una volta valori maggiori in modulo, come la tensione di soglia V_{TH} (Figura 4.7 (f)) e di conseguenza la corrente I_{DS} (Figura 4.7 (a)), probabilmente collegati al maggiore contributo di leakage. I dispositivi da $4 \times 400 \mu\text{m}$ sembrano seguire la statistica dei campioni 4000-1500 A-C, con l'eccezione di una resistenza in on-state maggiore e un valore minore sia nella corrente di saturazione I_{DSSAT} che nel picco di transconduttanza, causato da un maggiore autoriscaldamento del dispositivo durante le misure DC. Nelle pagine seguenti verranno riportate le curve ottenute mediante caratterizzazioni double pulse e il confronto tra i valori di slump ratio ottenuti.

4.2 Misure dinamiche su HEMT

Come per le misure DC, anche i dati ottenuti dal double pulse mostrano un comportamento pressoché omogeneo tra i vari dispositivi. Il calo della caratteristica d'uscita risulta maggiore nei dispositivi non sottoposti a trattamento superficiale come B e D, restando comunque entro livelli accettabili di S.R. superiore al 50 % . Il caso peggiore si verifica nei dispositivi 4000-1500 B dove nella zona di ginocchio si raggiunge un calo di quasi il 50 % della caratteristica d'uscita con baseline ($V_{GS} = -7$ V, $V_{DS} = 50$ V) (Figura 4.10 (c)). Le transcaratteristiche mostrano tutte uno shift verso destra della tensione di soglia segno della presenza di trappole principalmente posizionate al di sotto del gate. Nei dispositivi 4000-1500 B si osserva inoltre un calo nella coda della g_m ad alte V_G indice questa volta della presenza di trappole nella regione di accesso (Figura 4.8 (d)). I dispositivi $4 \times 400 \mu\text{m}$ seguono, come in precedenza nelle misure DC, la statistica dei dispositivi A e C, con valori di S.R. tra il 60-75 %.

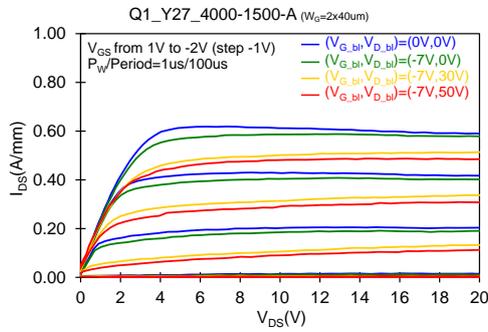
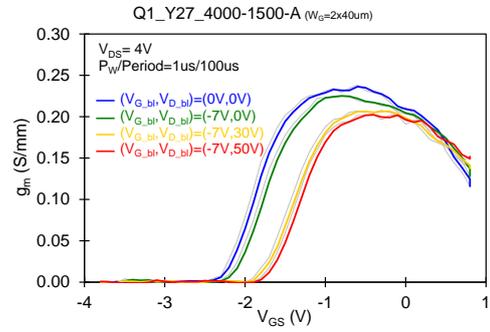
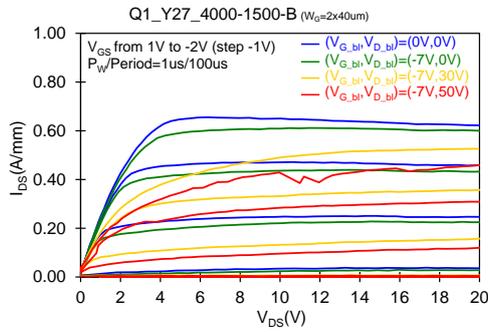
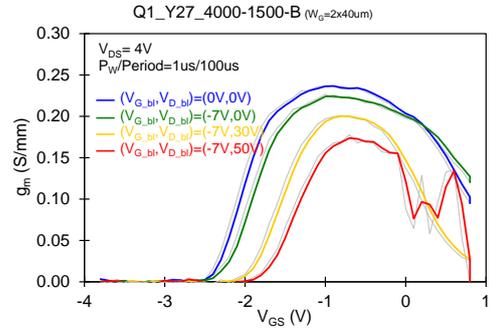
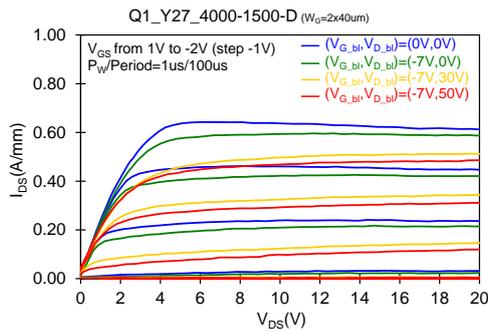
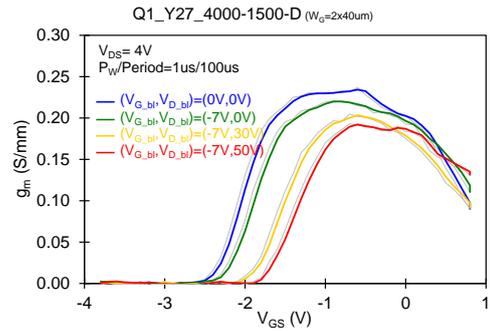
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4$ V.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4$ V.(e) Caratteristica d'uscita I_D - V_D impulsata.(f) g_m impulsata a $V_{DS} = 4$ V.

Figura 4.8: Misure di double pulse su alcuni campioni tipici 4000-1500 A-B-C-D (Y27).

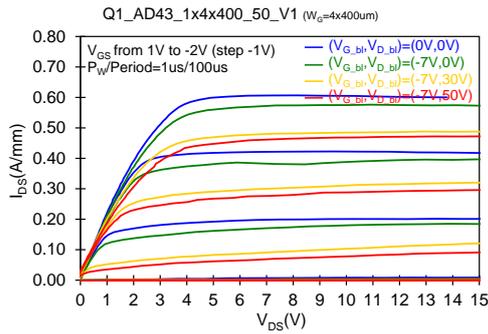
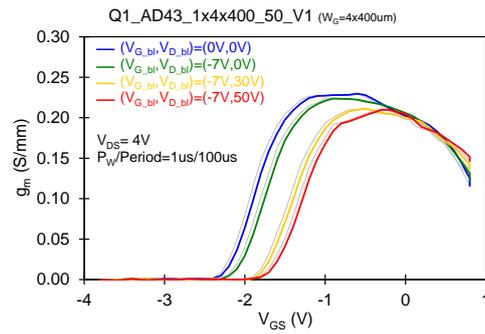
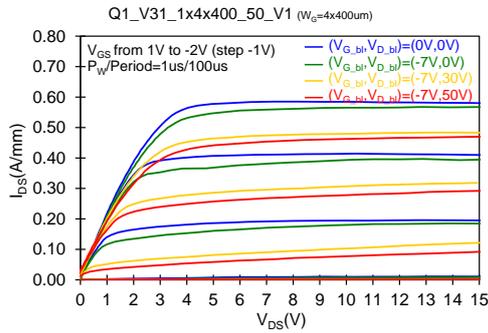
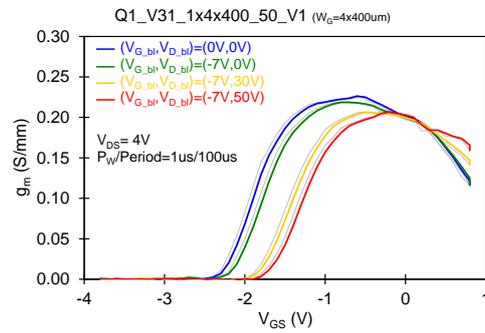
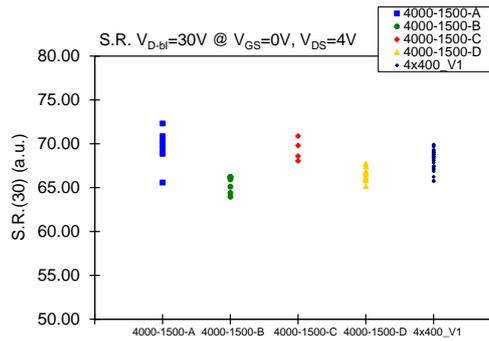
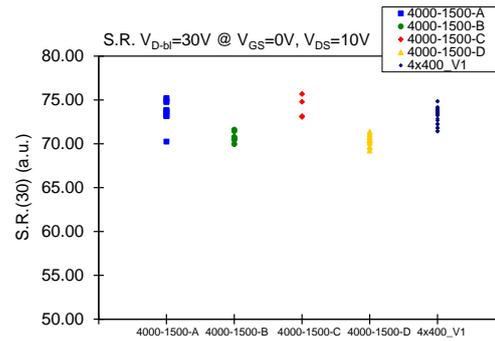
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4 V$.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4 V$.

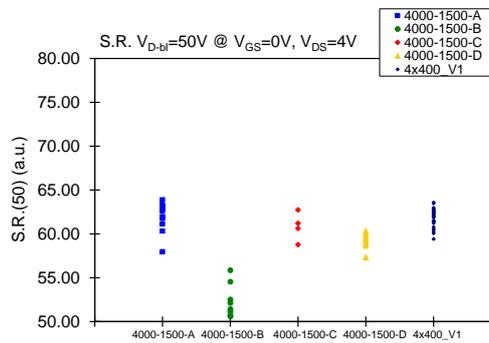
Figura 4.9: Misure di double pulse su alcuni campioni tipici $4x400 \mu m$ (AD43-V31).



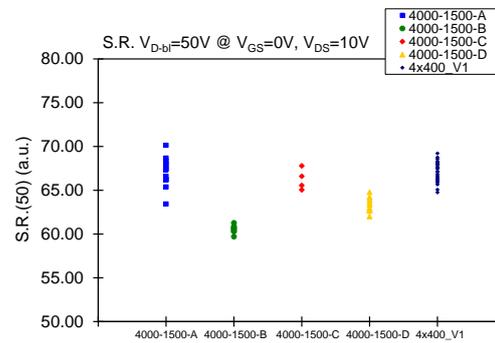
(a) Valori di slump ratio rispetto alla baseline (-7V, 30V) e $V_{DS} = 4$ V.



(b) Valori di slump ratio rispetto alla baseline (-7V, 30V) e $V_{DS} = 10$ V.



(c) Valori di slump ratio rispetto alla baseline (-7V, 50V) e $V_{DS} = 4$ V.

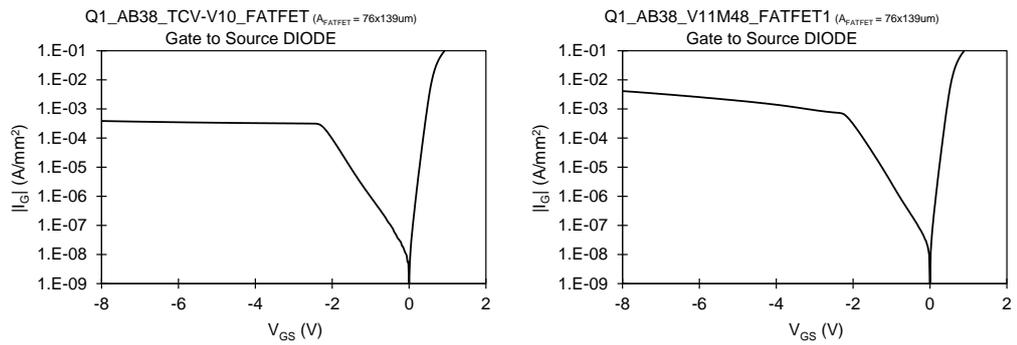


(d) Valori di slump ratio rispetto alla baseline (-7V, 50V) e $V_{DS} = 10$ V.

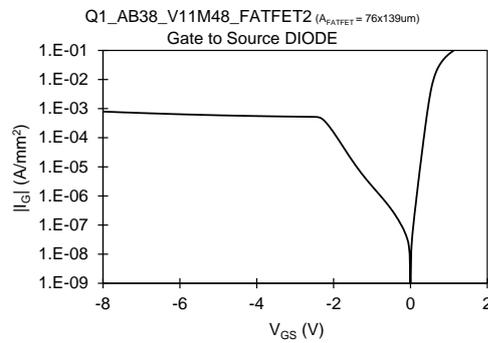
Figura 4.10: Riepilogo dei valori di Slump Ratio estratto dalle misure DP su HEMT 4000-1500 e 4x400.

4.3 Misure DC su dispositivi passivi

Oltre ai dispositivi HEMT si è scelto di caratterizzare due strutture di test tipiche all'interno dei wafer, FATFET e TLM, per analizzarne il comportamento in maniera più specifica senza la presenza di altri fenomeni presenti nei dispositivi HEMT completi. L'analisi sui FATFET è utilizzata per studio approfondito del solo diodo schottky di gate-source, con una valutazione della corrente di leakage e della resistenza serie, mentre i TLM vengono studiati per valutare i contributi della resistenza del contatto e del canale sulla resistenza in on-state R_{ON} del transistor. Di seguito sono riportate le caratterizzazioni di alcuni dispositivi caratteristici: tre FATFET della cella **AB38** e tre strutture TLM del Q1, **AB27**, **AB38**, **X38**, seguite dai grafici di riepilogo dei parametri significativi.

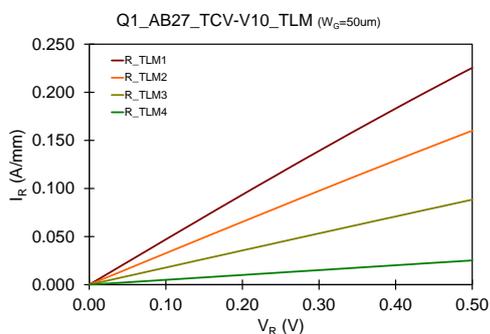


(a) Caratteristica I - V del diodo schottky. (b) Caratteristica I - V del diodo schottky.

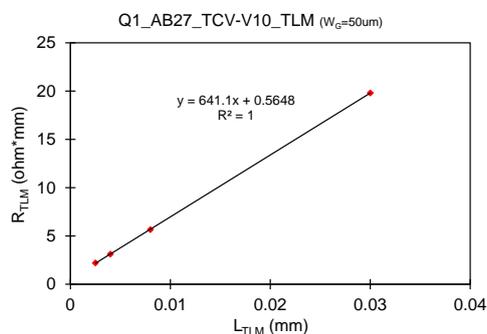


(c) Caratteristica I - V del diodo schottky.

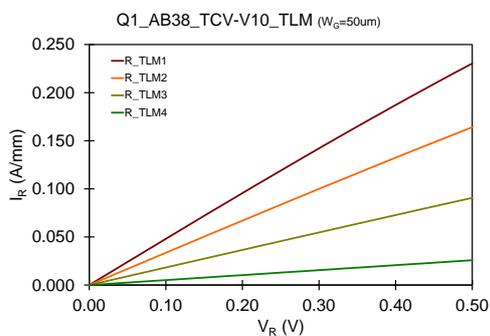
Figura 4.11: Misure DC di alcuni dispositivi tipici FATFET della cella AB38.



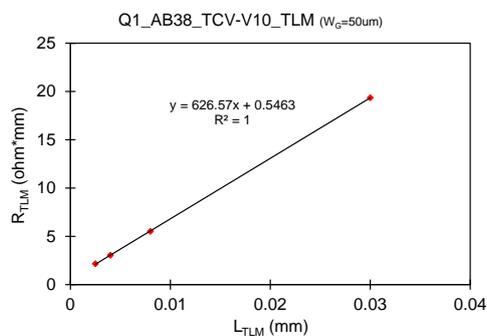
(a) Caratteristica I-V delle resistenze.



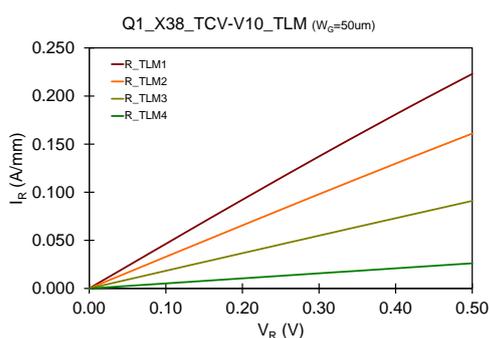
(b) Caratteristica resistiva della schiera di TLM.



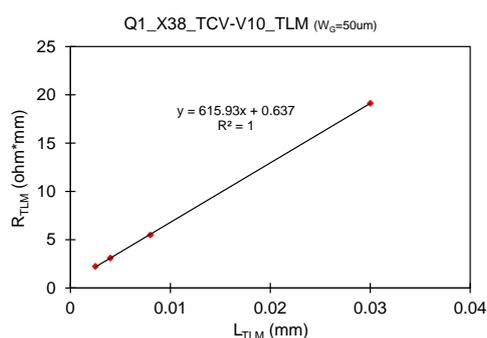
(c) Caratteristica I-V delle resistenze.



(d) Caratteristica resistiva della schiera di TLM.

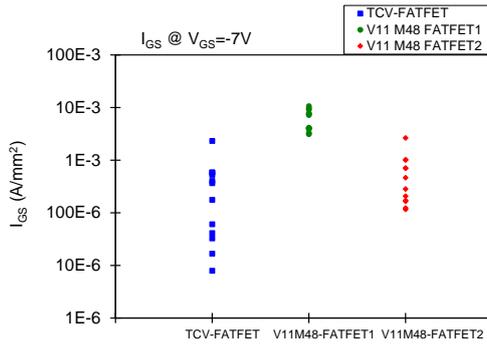


(e) Caratteristica I-V delle resistenze.

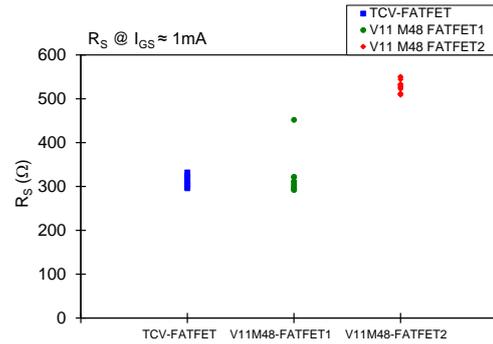


(f) Caratteristica resistiva della schiera di TLM.

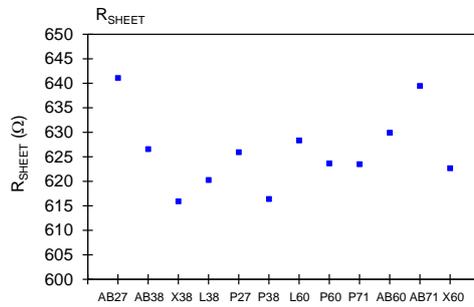
Figura 4.12: Misure DC delle tre strutture TLM del Q1.



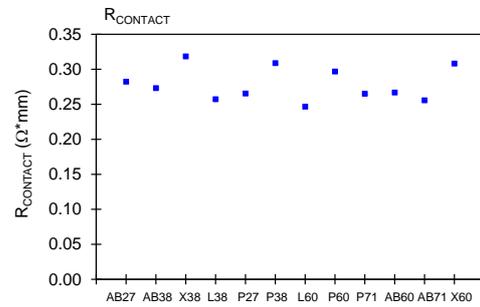
(a) Leakage del diodo schottky a $V_{GS} = -7V$ nei FATFET.



(b) Resistenza serie a $I_{GS} \approx 1mA$ nei FATFET.



(c) Resistenza del canale dei TLM.



(d) Resistenza del contatto dei TLM.

Figura 4.13: Riassunto dei parametri caratteristici DC FATFET e TLM.

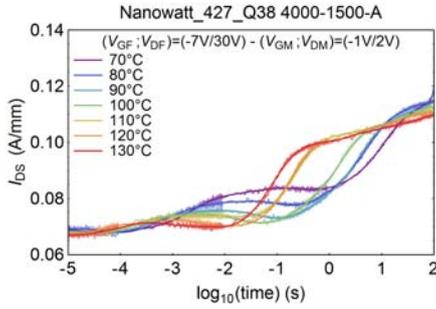
I grafici di riepilogo mostrano in generale una buona omogeneità dei risultati, ad eccezione dei diodi TCV dove il leakage risulta distribuito su due ordini di grandezza partendo da valori molto bassi fino ai circa 1 mA. I diodi FET1 presentano il leakage maggiore, attorno ai 10 mA/mm², mentre per quanto riguarda la resistenza serie in diretta sono i FET2 a presentare un valore circa doppio, tra 500 e 600 Ω , rispetto ai restanti dispositivi segno di una differenza nel contatto.

Per quanto riguarda le strutture TLM il range di variazione della resistenza del canale risulta molto stretto, attorno al 4 %. Ciò non si può dire per la resistenza del contatto, dove i bassi valori attorno ai 0.3 $\Omega \cdot \text{mm}$ non permettono di ottenere dei risultati precisi a causa dell'incertezza e degli errori introdotti dal setup di misura. Ad ogni modo la resistenza del contatto presenta una buona omogeneità all'interno del wafer, con differenze attorno al 15 %.

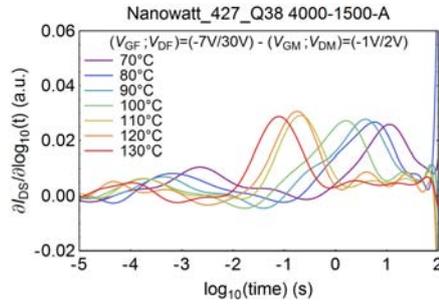
4.4 Transienti

L'analisi dei transienti della corrente di drain è stata eseguita su 8 dispositivi 4000-1500 per quarto, suddivisi tra tre dispositivi A, tre D, un B e un C. I transienti sono stati effettuati a diverse temperature, da 70 a 130 °C, così da poter costruire il diagramma di Arrhenius utile a determinare l'energia di attivazione delle trappole, mentre i punti di polarizzazione di intrappolamento e detrappolamento utilizzati sono stati indicati precedentemente nel paragrafo 3.3. Il punto a canale chiuso ($V_G = -7$ V, $V_D = 30$ V) viene utilizzato per simulare la condizione di intrappolamento osservata nelle misure di double pulse, e permette di valutare gli effetti dovuti sia alla tensione di gate che alla tensione di drain. Il secondo punto di intrappolamento ($V_G \sim -2$ V, $V_D = 30$ V) a canale appena aperto, serve a valutare gli effetti indotti dalla sola tensione di drain o dalla presenza di elettroni caldi all'interno del 2DEG.

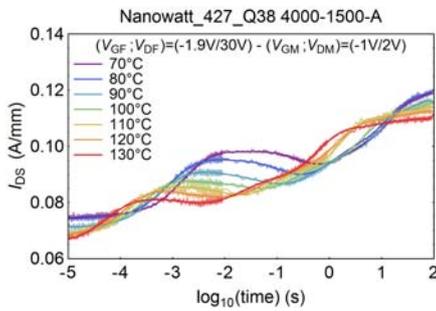
Di seguito si riportano i grafici relativi alle misure dei transienti effettuati sui campioni 4000-1500 Q38-A e Q27-D del quarto di riferimento Q2. Per semplicità e utilità nell'analisi, verranno riportati solo i grafici con punto di detrappolamento a (-1 V, 2 V).



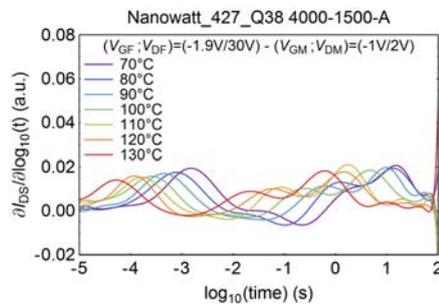
(a) Transiente di I_D a (-7V, 30V).



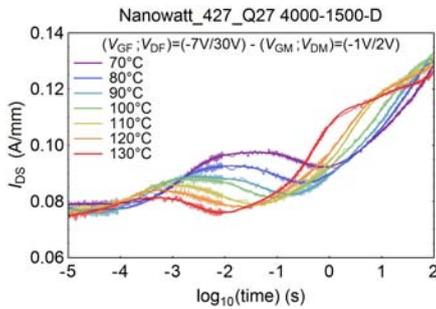
(b) Derivata del fitting exp. di I_D .



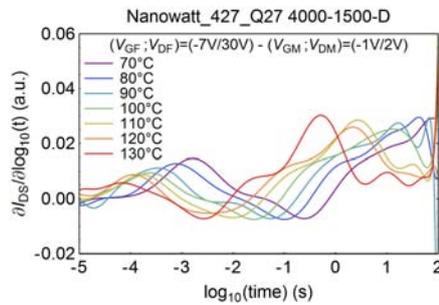
(c) Transiente di I_D a (-1.9V, 30V).



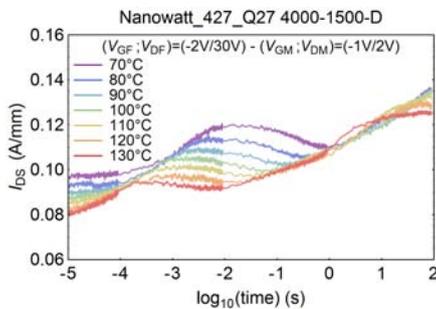
(d) Derivata del fitting exp. di I_D .



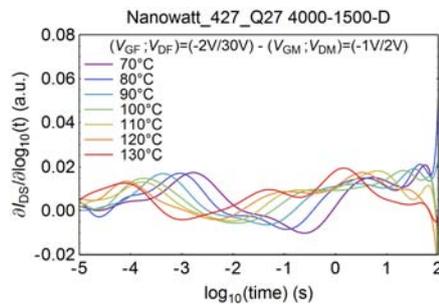
(e) Transiente di I_D a (-7V, 30V).



(f) Derivata del fitting exp. di I_D .



(g) Transiente di I_D a (-1.9V, 30V).



(h) Derivata del fitting exp. di I_D .

Figura 4.14: Transienti di I_D per i dispositivi Q38-A e Q27-D.

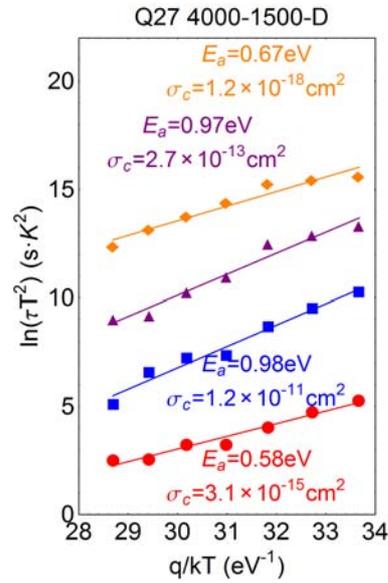


Figura 4.15: Grafico di Arrhenius relativo alle misure di transienti di corrente nel dispositivo Q27-D.

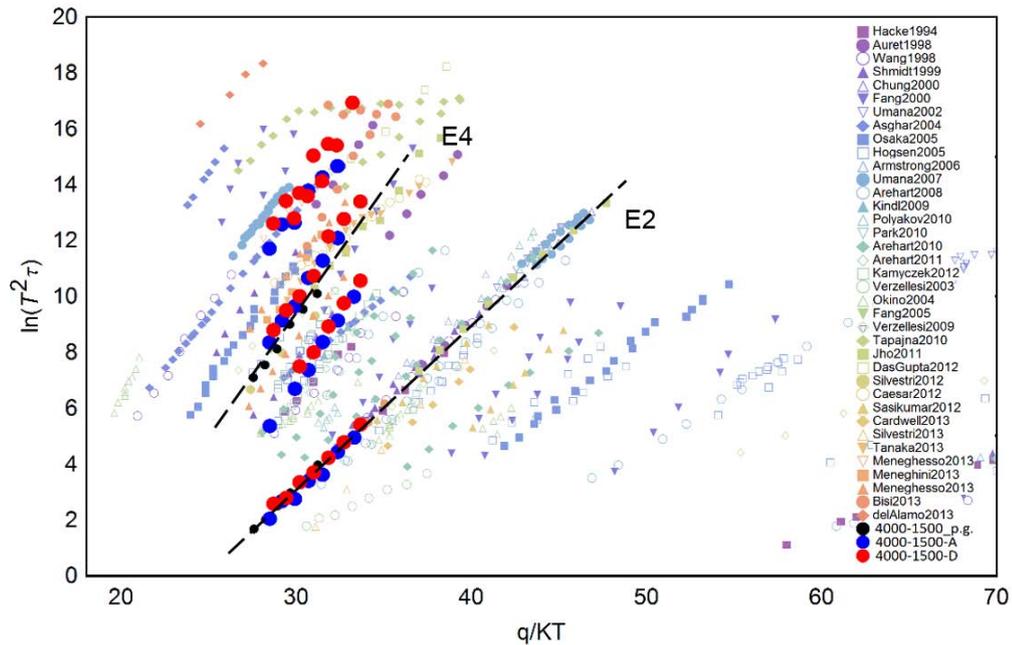


Figura 4.16: Diagramma di Arrhenius di confronto dei risultati sopra riportati con i risultati di altri gruppi di ricerca provenienti dalla letteratura [39].

I transienti realizzati sui dispositivi in esame permettono di osservare quattro fenomeni di emissione o cattura (Figura 4.14). Una prima emissione, indicata con E2 nel diagramma di Arrhenius $E_a = 0.58$ eV e $\sigma_C = 3.1 \cdot 10^{-15}$ cm², avviene con tempi molto rapidi e si osserva in tutti i dispositivi per qualsiasi punto di polarizzazione. In particolare si può vedere come risulti meno evidente nel dispositivo Q38-A nel punto (-7 V, 30 V) rispetto al punto a canale semi-on, indicando che l'emissione sarà dovuta prevalentemente a trappole nel buffer riempite dagli elettroni caldi presenti nel canale. Questo è vero a maggior ragione se si confrontano i risultati ottenuti con le misure di double pulse, in cui il collasso dovuto principalmente allo shift della soglia indica la presenza di trappole posizionate al di sotto del gate e con l'informazione aggiuntiva data dai transienti nello strato buffer. Successivamente si osserva un ridotto fenomeno di cattura degli elettroni con energia di attivazione $E_a \approx 1$ eV e sezione di cattura σ_c nell'ordine di 10^{11} cm². Infine per tempi di detrappolamento più lunghi si osservano due emissioni successive, maggiormente identificabili in polarizzazione semi-on (-1.9 V, 30 V), in cui la prima con $E_a = 0.97$ eV e $\sigma_C = 2.7 \cdot 10^{-13}$ cm² rispecchia delle misurazioni precedenti mentre la seconda è più difficilmente identificabile.

Osservando le differenze tra i transienti in semi-on e off-state, possiamo notare come in off-state, oltre ad attenuarsi la trappola E2 come descritto poco fa, le emissioni per tempi lunghi risultano meno ideali e poco identificabili con un esponenziale e portano alla mancata chiusura del transitorio di corrente.

Ora inserendo i dati ottenuti dall'Arrhenius del dispositivo Q27-D nel diagramma di Arrhenius realizzato con i dati ottenuti dalla letteratura [39] (Figura 4.16), notiamo una buona sovrapposizione tra i fenomeni di cattura/emissione trovati e alcuni livelli già osservati in passato. L'emissione

E2, $E_a = 0.6$ eV e $\sigma_c = 3 \times 10^{-15}$, risulta particolarmente in linea con altri risultati e si ipotizza sia incentivata principalmente dalla presenza di ferro nello strato buffer, utilizzato per compensare la natura di tipo n del GaN. Le emissioni per tempi lunghi risultano ancora di difficile comprensione per la trappola più veloce con $E_a = 0.67$ eV e $\sigma_C = 1.2 \cdot 10^{-18}$ cm². Si ipotizza siano dovute principalmente alle vacanze di gallio, responsabili del degrado del dispositivo attraverso la riduzione della densità di elettroni nel 2DEG e al calo della mobilità.

Capitolo 5

Storage Test

Ora che è stata eseguita la caratterizzazione dell'intero wafer, si può procedere con lo studio dell'affidabilità dei dispositivi in esame. Il metodo richiesto è l'esecuzione di un test di storage di 2000 ore a tre temperature per verificare la stabilità e i fenomeni di degrado dipendenti dalla temperatura. Durante il test i quarti sono stati sottoposti a caratterizzazioni DC complete ad intervalli di tempo fissati, 1-2-5-10-20-50 ore..., per una buona visualizzazione dei risultati con scala temporale logaritmica. Ad ogni decade sono state effettuate ulteriori misure più approfondite, come le misure DP, sui dispositivi scelti nella caratterizzazione iniziale. Infine raggiunte le 2000 ore di test si sono eseguiti nuovamente i transienti dei campioni 4000-1500 scelti in precedenza. Il target del tempo di vita fissato per la tecnologia in esame è di 10^6 h alla temperatura operativa di 230 °C, quindi i test di storage devono essere effettuati a temperature più elevate per accelerare il degrado dei dispositivi (sapendo che il degrado è accelerato dalla temperatura).

Le temperature scelte per i vari quarti sono: Q1 350 °C, Q3 325 °C e Q4 300 °C, mentre il Q2 è stato scelto come quarto di riferimento.

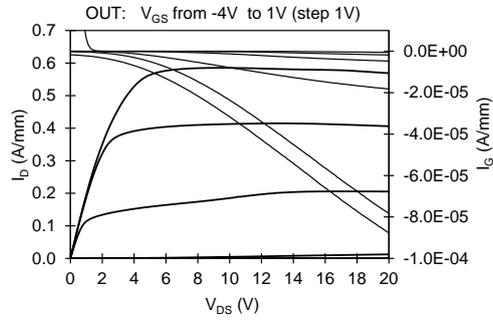
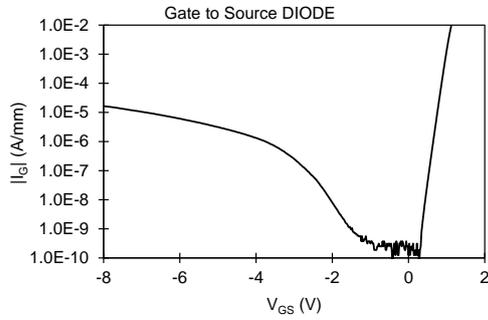
Data la grande quantità di dati estratti, di seguito verranno riportate le

misure effettuate alle decadi temporali sugli stessi dispositivi analizzati nel capitolo precedente, al di fuori dei 4000-1500 B e C della cella Y27.

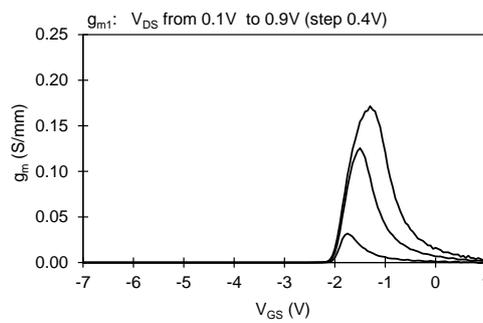
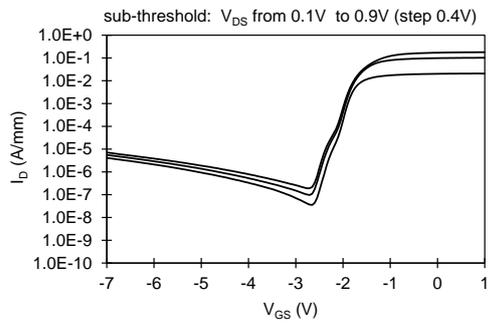
5.1 Storage Test 10 h

Di seguito si riportano i dati ottenuti dopo lo stress di 10 ore alle tre temperature. Dettaglio dei grafici riportati:

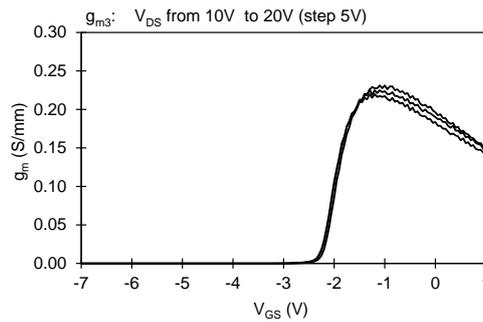
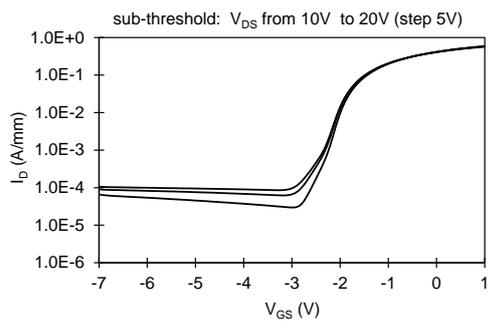
- Figura 5.1: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-A Y27 del Q1;
- Figura 5.2: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-D Y27 del Q1;
- Figura 5.3: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm AD43 del Q1;
- Figura 5.4: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm V31 del Q1;
- Figura 5.5: confronto parametri caratteristici mediati su tutti gli HEMT;
- Figura 5.6: grafici double pulse dei campioni 4000-1500-A e D Y27, 4x400 μm AD43 e V31;
- Figura 5.7: confronto slump ratio mediati su tutti gli HEMT;
- Figura 5.8: grafici DC dei FATFET della cella AB38 e delle strutture TLM del Q1;
- Figura 5.9: confronto parametri caratteristici mediati su FATFET e TLM.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

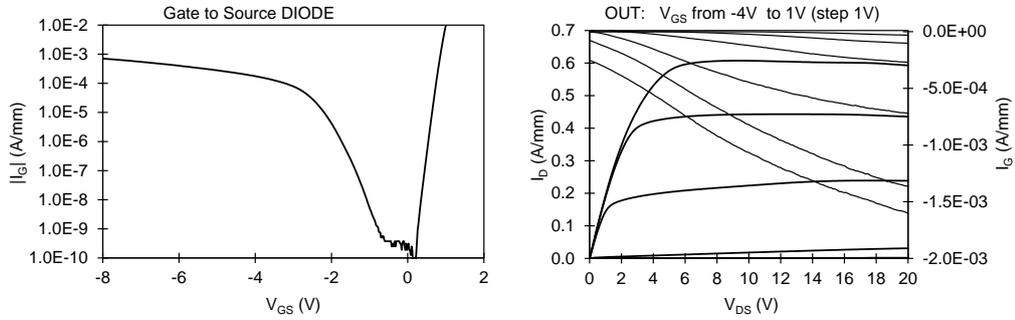


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

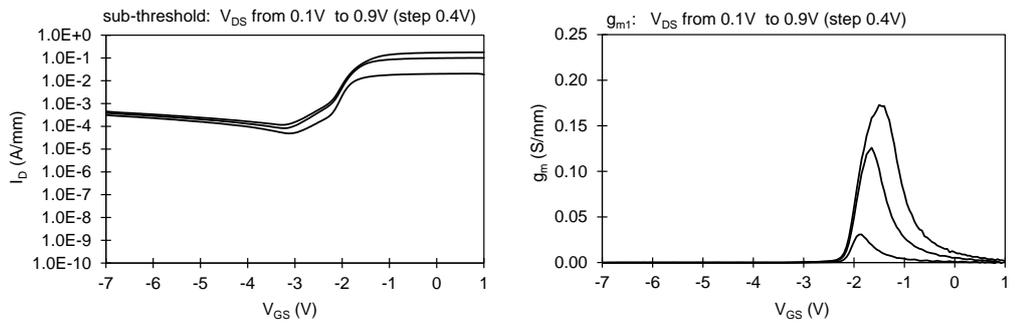


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 20 V.

Figura 5.1: Caratteristica DC di un dispositivo tipico 4000-1500 A (Q1-Y27) dopo 10 ore di stress a 350 °C.

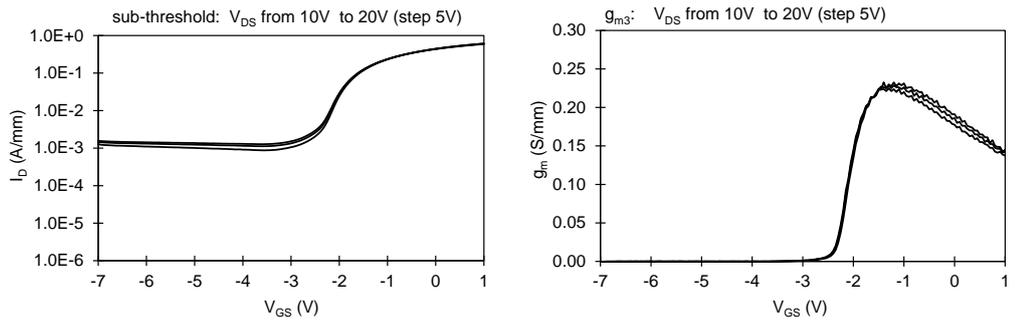


(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.

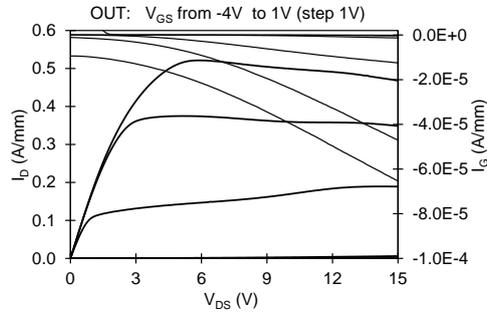
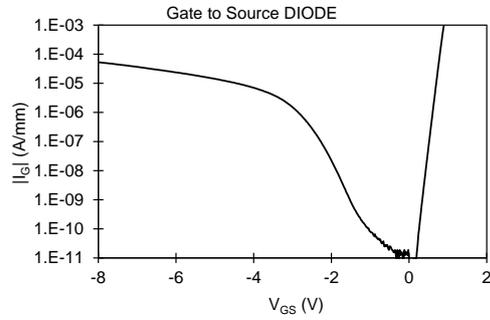
(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



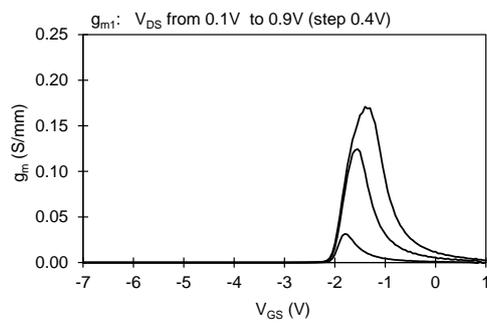
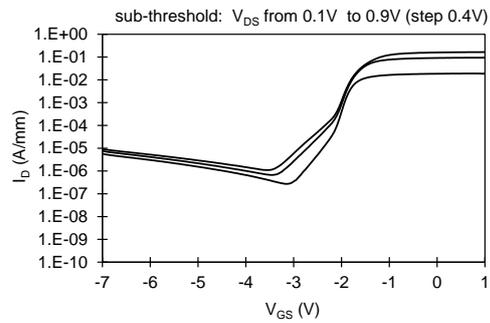
(e) I_D - V_G con V_{DS} da 10 V a 20 V.

(f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

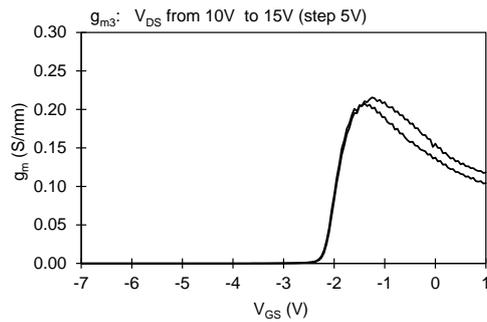
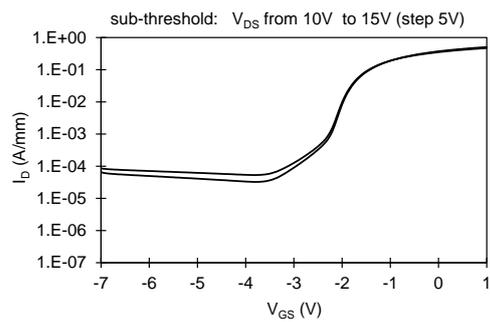
Figura 5.2: Caratteristica DC di un dispositivo tipico 4000-1500 D (Q1-Y27) dopo 10 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

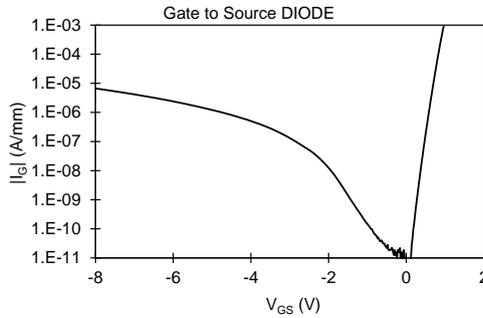


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 15 V.

Figura 5.3: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-AD43) dopo 10 ore di stress a $350 \text{ }^\circ\text{C}$.



(a) Caratteristica I-V del diodo gate-source.

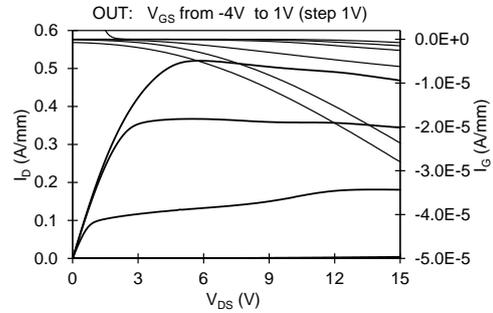
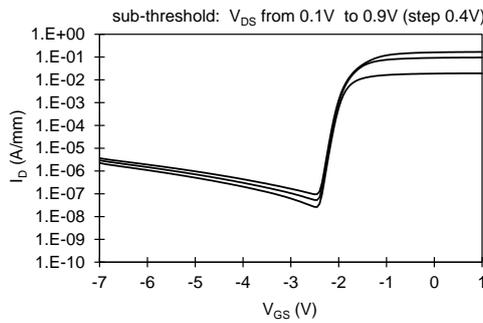
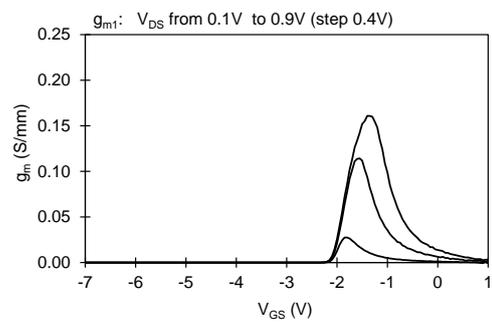
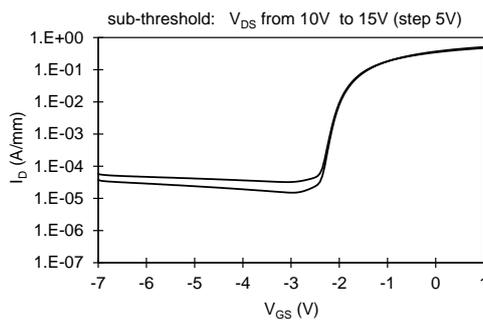
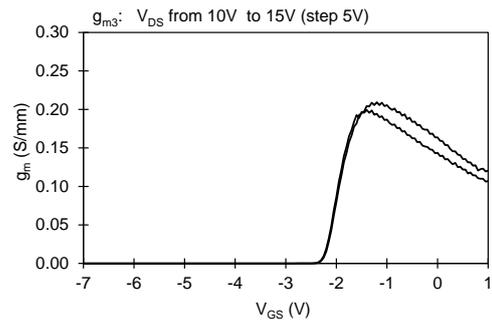
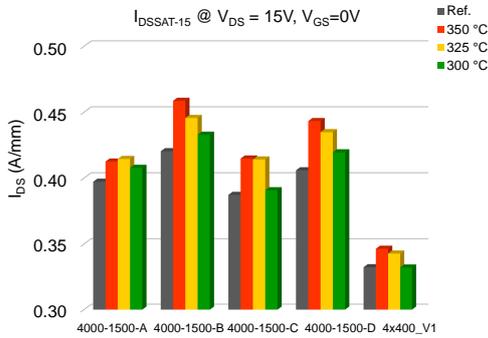
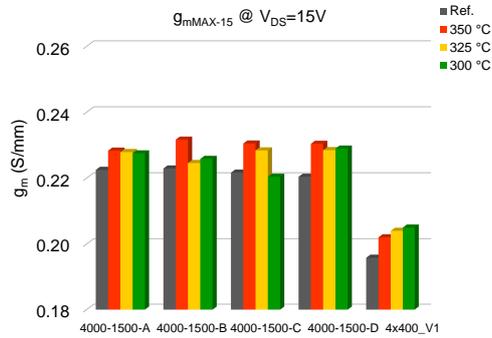
(b) Carat. d'uscita con V_{GS} da -4 V a 1 V.(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.(e) I_D - V_G con V_{DS} da 10 V a 15 V.(f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

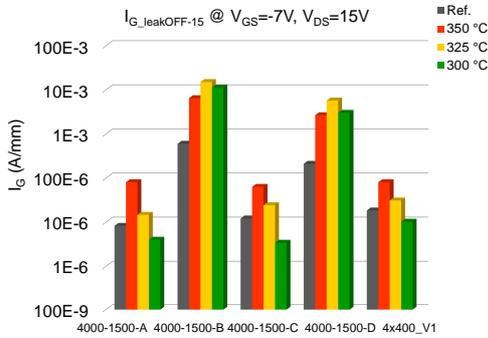
Figura 5.4: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-V31) dopo 10 ore di stress a 350°C .



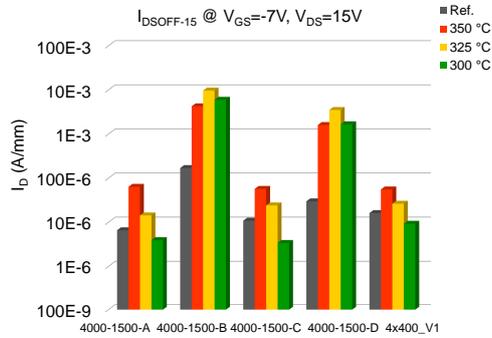
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.



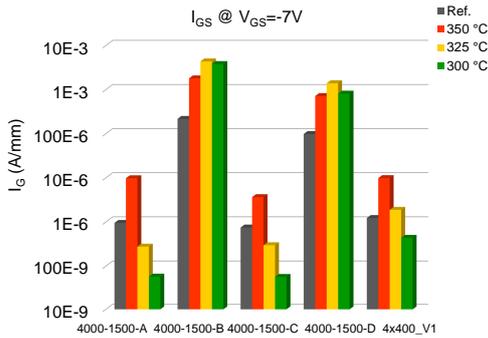
(b) Picco di g_m a $V_{DS} = 15$ V.



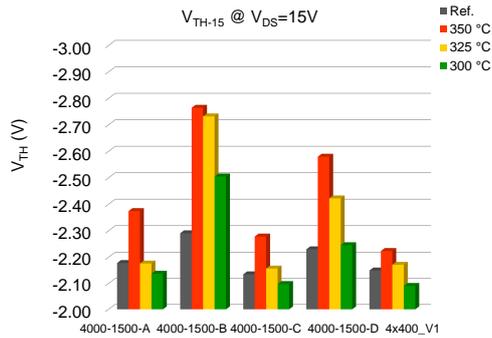
(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.



(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.

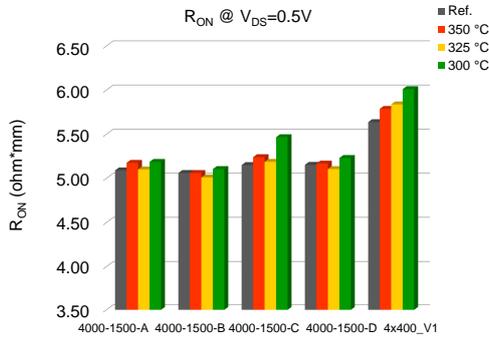


(e) Corrente diodo gate-source a $V_{GS} = -7$ V.

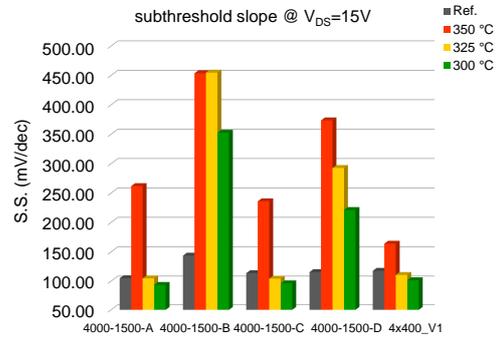


(f) Tensione di soglia a $V_{DS} = 15$ V.

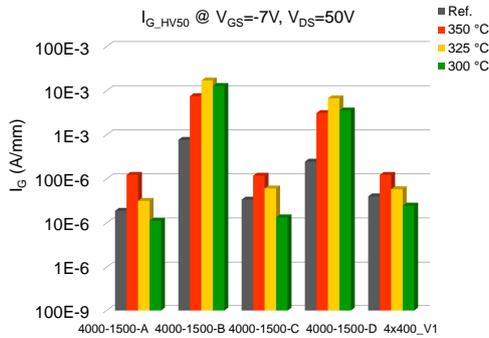
Figura 5.5: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .



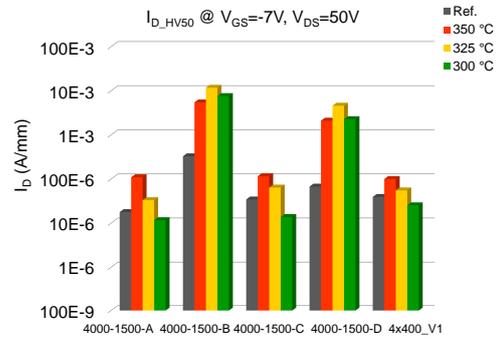
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



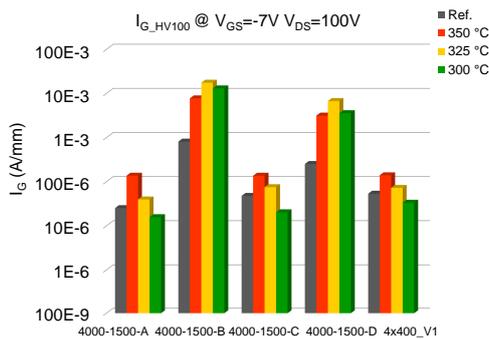
(h) Subthreshold Slope a $V_{DS} = 15$ V.



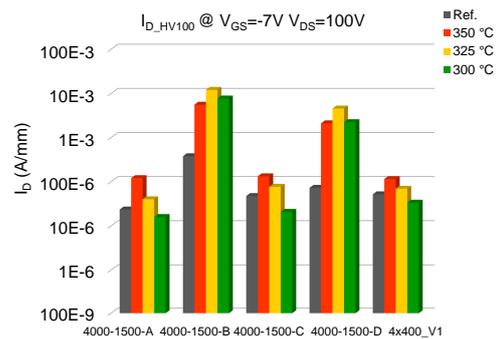
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 5.5: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .

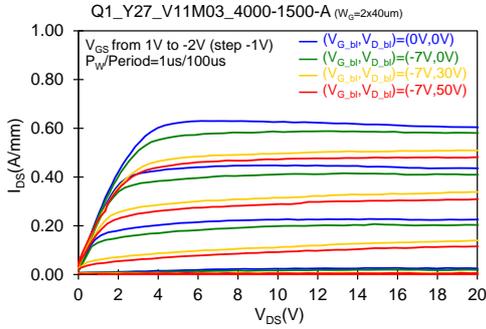
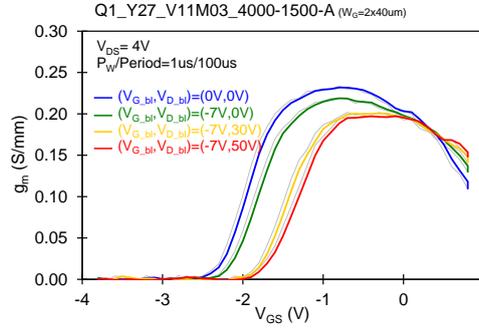
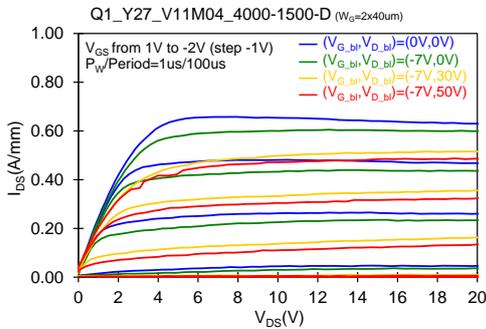
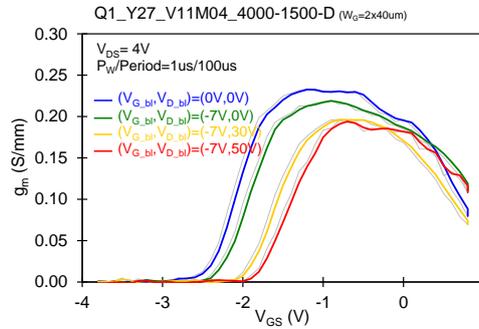
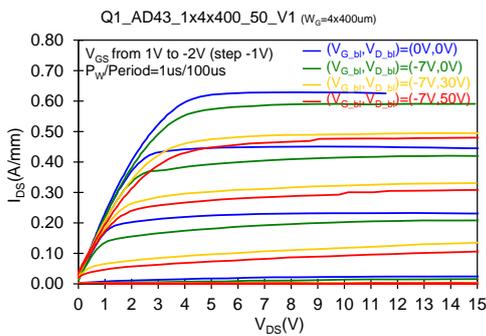
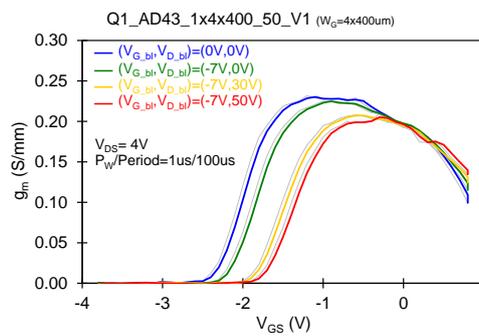
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4$ V.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4$ V.(e) Caratteristica d'uscita I_D - V_D impulsata.(f) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.6: Misure di double pulse su alcuni campioni tipici 4000-1500 A (a-b) e D (c-d) (Y27) e 4x400 μm AD43 (e-f) V31 dopo 10 ore di stress a 350 $^{\circ}\text{C}$.

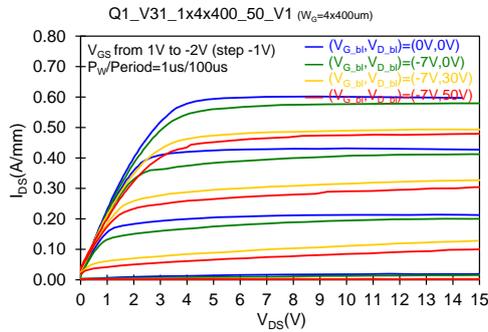
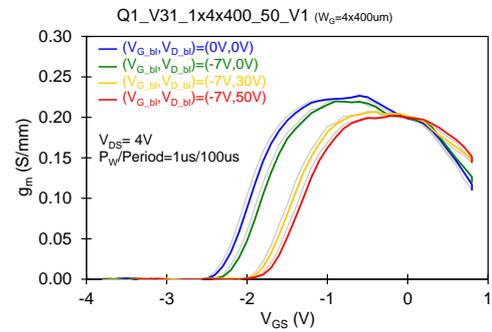
(g) Caratteristica d'uscita I_D - V_D impulsata.(h) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.6: Misure di double pulse su alcuni campioni tipici 4000-1500 A-D (Y27) e 4x400 μm AD43, V31 (g-h) dopo 10 ore di stress a 350 $^{\circ}\text{C}$.

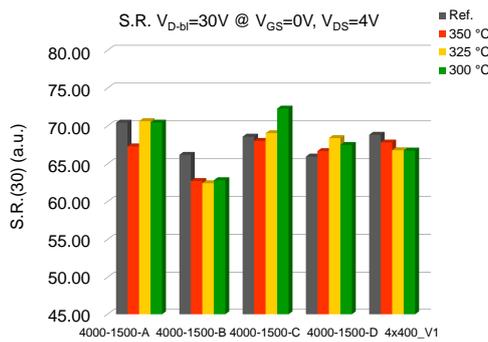
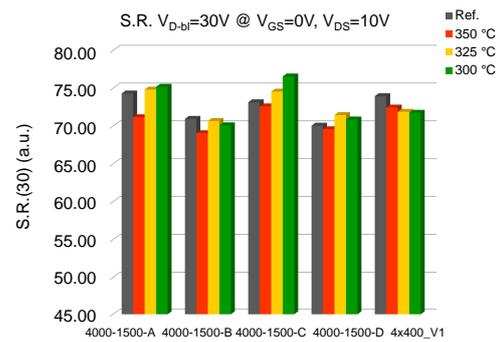
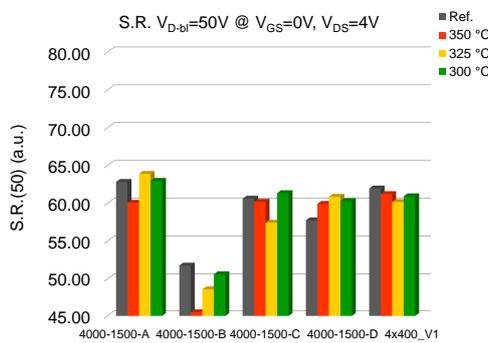
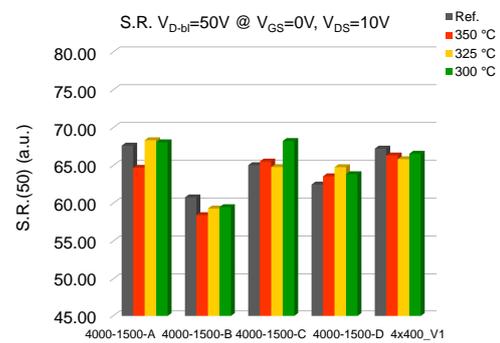
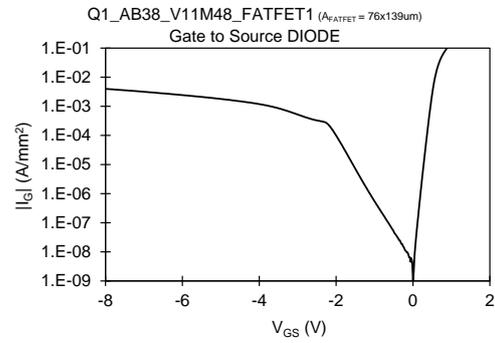
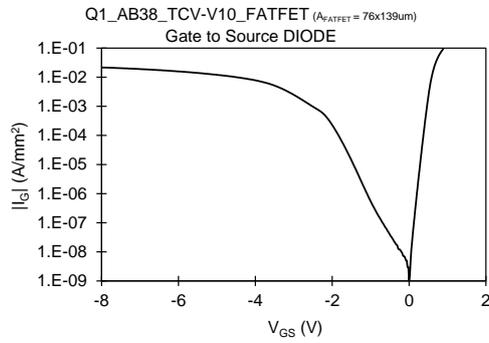
(a) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 4$ V.(b) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 10$ V.(c) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 4$ V.(d) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 10$ V.

Figura 5.7: Riepilogo dei valori di Slump Ratio estratto dalle misure DP su HEMT 4000-1500 e 4x400 mediati per le tre temperature.

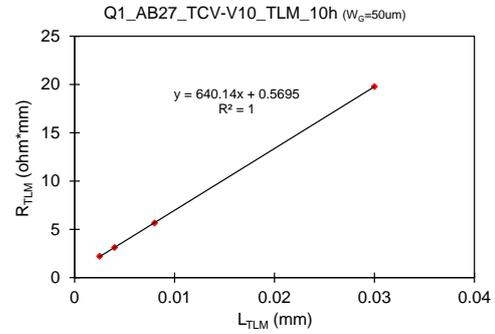
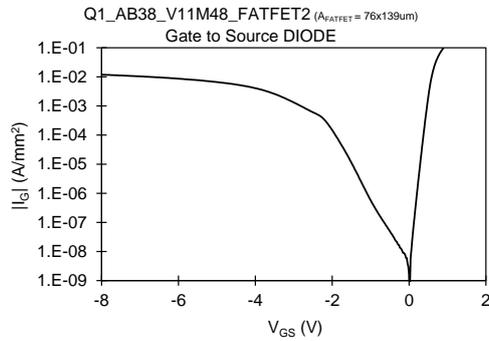
Dai grafici possiamo osservare chiaramente l'aumento più o meno sostenuto della corrente di leakage nei dispositivi 4000-1500 B e D, che non sono stati sottoposti al trattamento superficiale, per tutte le temperature testate. Per questi dispositivi la corrente di leakage di drain (Figura 5.5 (d)) è salita di quasi due ordini di grandezza, mentre al contrario per i dispositivi 4000-1500 A, C e 4x400, sottoposti al trattamento superficiale, non si è osservata una variazione rilevante se non per il caso a 350 °C, dove la variazione risulta contenuta al massimo in una decade. Da questo si può concludere che il trattamento superficiale permette non solo di realizzare dispositivi con leakage iniziale ridotto, ma di ridurre l'aumento durante lo stress in temperatura. Lo stesso discorso può essere esteso al leakage in alta tensione, dove i fenomeni e gli ordini di crescita risultano simili.

Per quanto riguarda la corrente I_{DS} , la transconduttanza g_m e la R_{ON} le variazioni risultano contenute in un 5 %, margine per cui è possibile considerarle poco rilevanti. L'aumento della tensione di soglia in modulo, osservabile nella Figura 5.5 (f) in particolare nei dispositivi B e D e nei dispositivi sottoposti allo stress a temperatura maggiore, è dovuto principalmente alla formazione di una spalla nella caratteristica I_D-V_G , indice di un rallentamento nella chiusura del canale dei dispositivi. Ciò risulta collegato all'aumento della S.S. dove nei casi più significativi si evidenzia un aumento di oltre quattro volte.

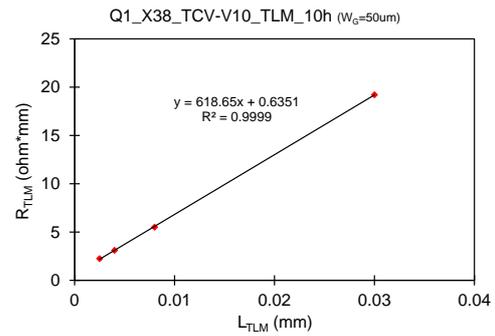
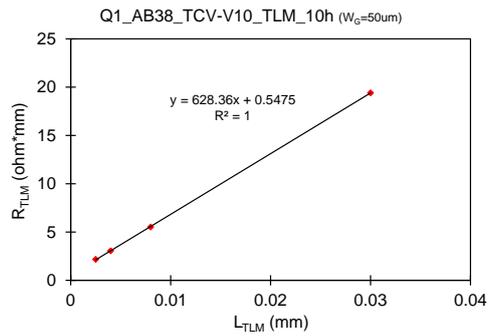
Infine dai dati ottenuti dalle misure di double pulse non si evidenziano variazioni significative nei valori di Slump Ratio, ma solo le variazioni di alcuni punti che rientrano nella tolleranza della misura.



(a) Caratteristica I - V del diodo schottky. (b) Caratteristica I - V del diodo schottky.

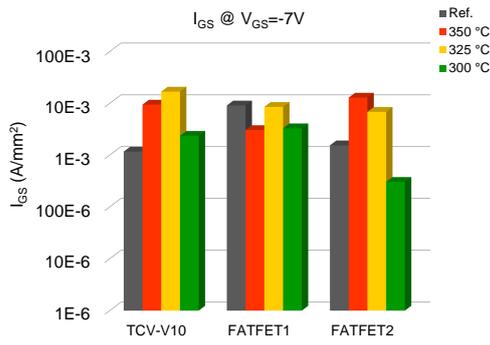


(c) Caratteristica I - V del diodo schottky. (d) Caratteristica della schiera di TLM.

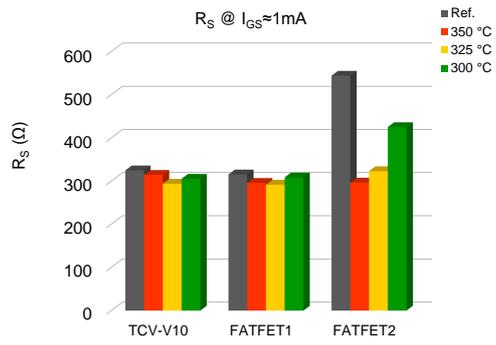


(e) Caratteristica della schiera di TLM. (f) Caratteristica della schiera di TLM.

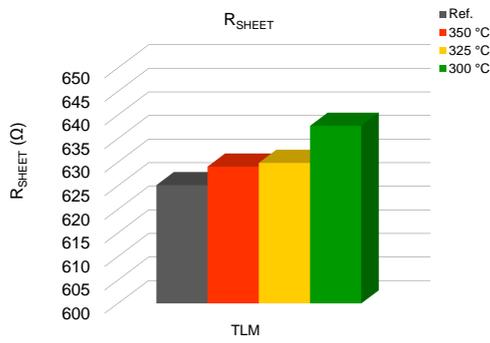
Figura 5.8: Misure DC di alcuni dispositivi tipici FATFET (AB38) e delle tre strutture TLM del Q1 dopo 10 ore di stress a 350 °C.



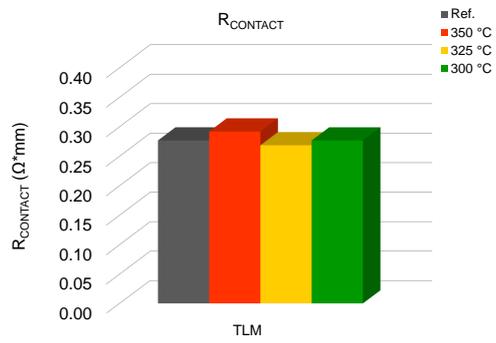
(a) Leakage del diodo a $V_{GS} = -7 V$.



(b) Resistenza serie a $I_{GS} \approx 1 mA$.



(c) Resistenza del canale.



(d) Resistenza del contatto.

Figura 5.9: Riassunto dei parametri caratteristici DC mediati dei FATFET e TLM per le tre temperature.

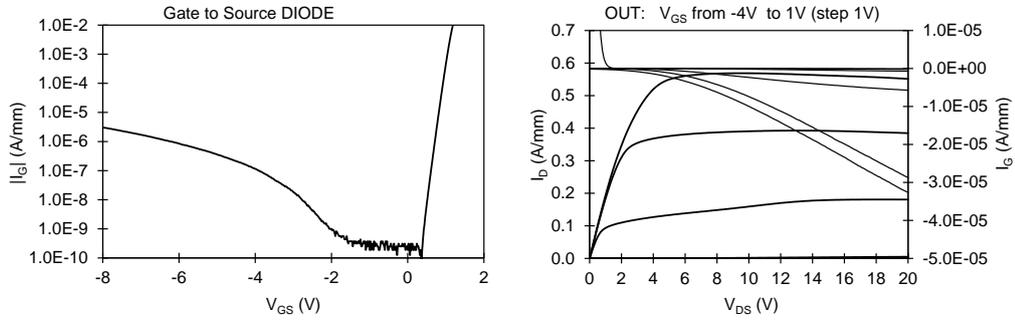
Lo stress di 10 h ha portato ad un aumento della corrente del diodo I_{GS} nei FATFET2 e TCV, passando da un livello inferiore al riferimento ad un incremento massimo di una decade, mentre i diodi FATFET1 non hanno dimostrato variazioni di rilievo restando vicini ai valori ricavati nelle caratterizzazioni iniziali. La resistenza serie nei TCV e FATFET1 non ha subito variazioni, come si può osservare dalla Figura 5.11 (b), mentre nei FATFET2 si è riscontrata una riduzione di circa il 50 % nei dispositivi stressati a 350 e 325 °C. Questo calo avviene anche nei dispositivi a 300 °C con tempi maggiori. Questo fenomeno è dipendente dalla temperatura ed è attribuibile a un processo di annealing dei contatti. Perciò si prevede che a tempi maggiori anche la resistenza serie dei dispositivi stressati a 300 °C si porti ai livelli dei restanti campioni. Nulla da dire riguardo alle strutture TLM, dove si sono riscontrate variazioni inferiori al 2 % delle resistenze di canale e del contatto.

5.2 Storage Test 100h

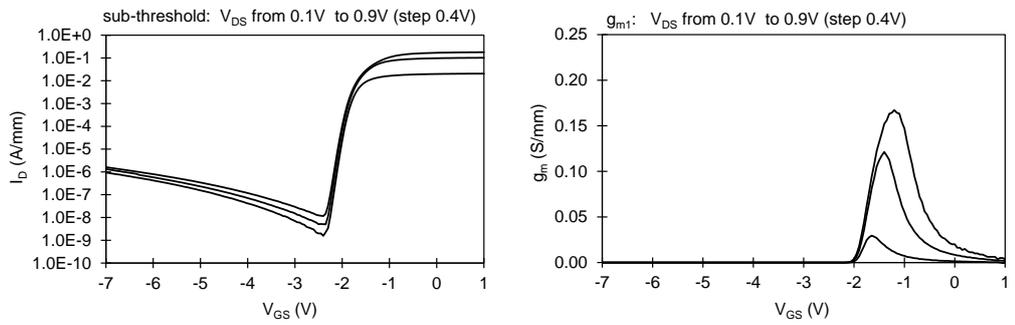
Di seguito si riportano i dati ottenuti dopo lo stress di 100 ore alle tre temperature. Dettaglio dei grafici riportati:

- Figura 5.10: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-A Y27 del Q1;
- Figura 5.11: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-D Y27 del Q1;
- Figura 5.12: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm AD43 del Q1;
- Figura 5.13: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm V31 del Q1;

- Figura 5.14: confronto parametri caratteristici mediati su tutti gli HEMT;
- Figura 5.15: grafici double pulse dei campioni 4000-1500-A e D Y27, 4x400 μm AD43 e V31;
- Figura 5.16: confronto slump ratio mediati su tutti gli HEMT;
- Figura 5.17: grafici DC dei FATFET della cella AB38 e delle strutture TLM del Q1;
- Figura 5.18: confronto parametri caratteristici mediati su FATFET e TLM.

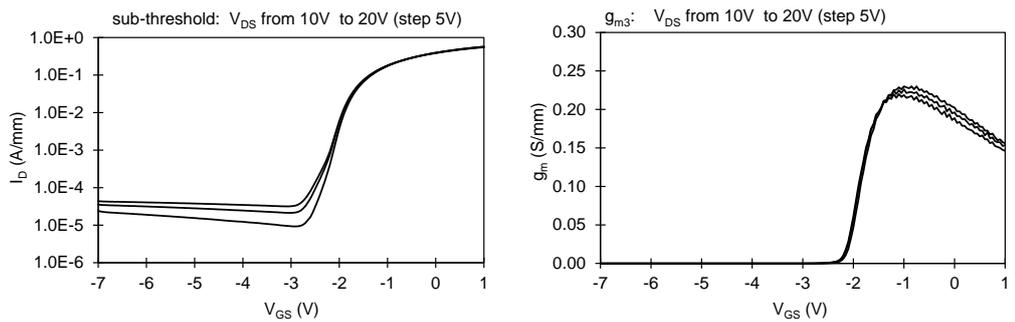


(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.

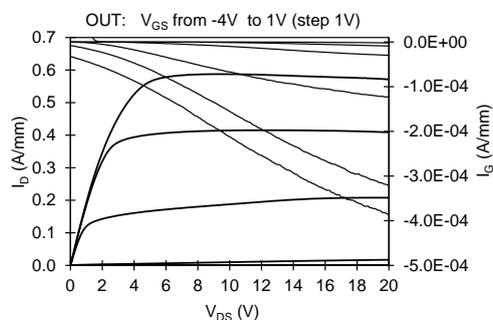
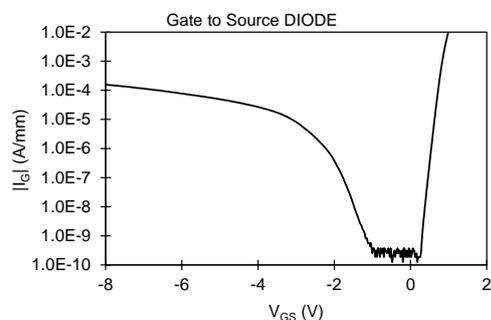
(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



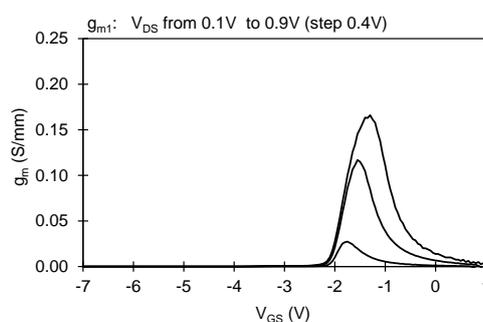
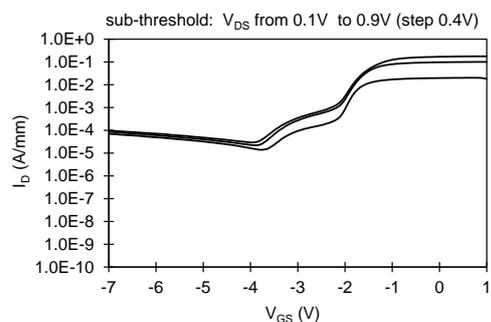
(e) I_D - V_G con V_{DS} da 10 V a 20 V.

(f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

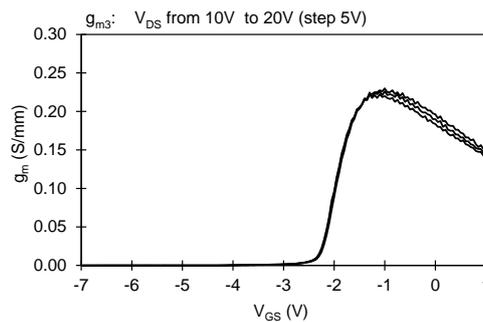
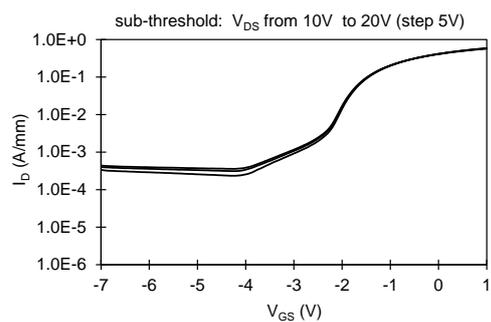
Figura 5.10: Caratteristica DC di un dispositivo tipico 4000-1500 A (Q1-Y27) dopo 100 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

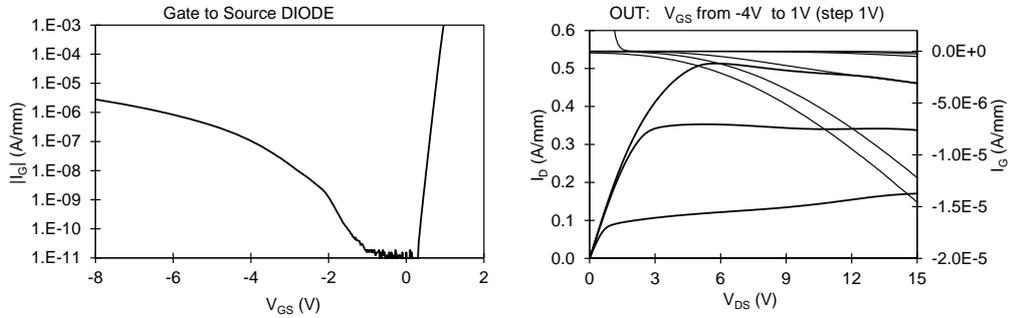


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

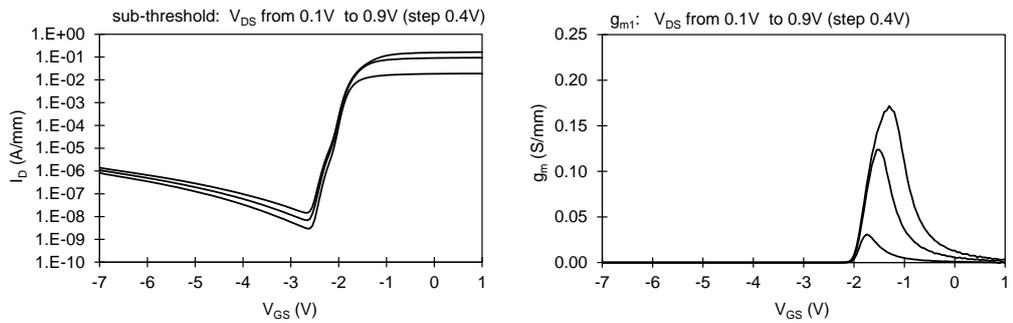


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

Figura 5.11: Caratteristica DC di un dispositivo tipico 4000-1500 D (Q1-Y27) dopo 100 ore di stress a 350 °C.

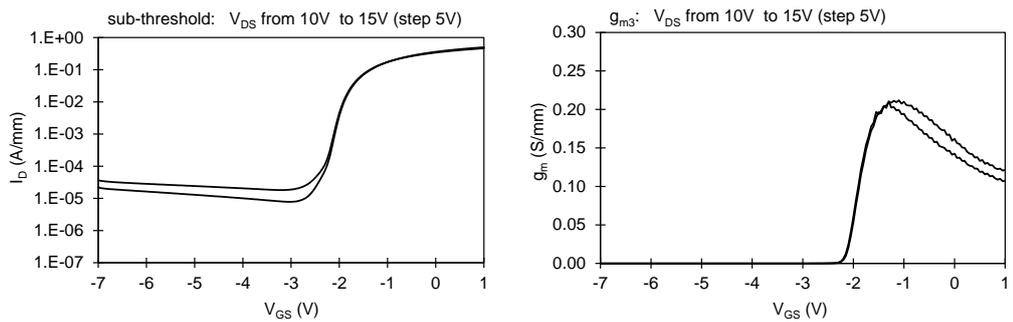


(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.

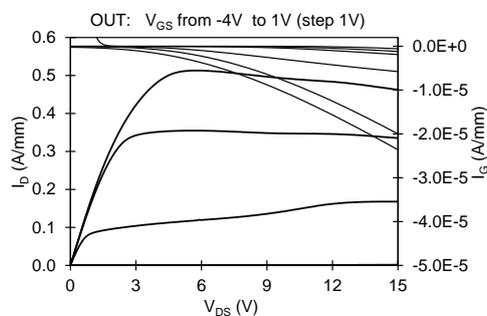
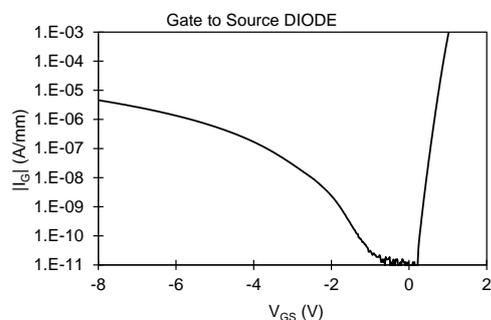
(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



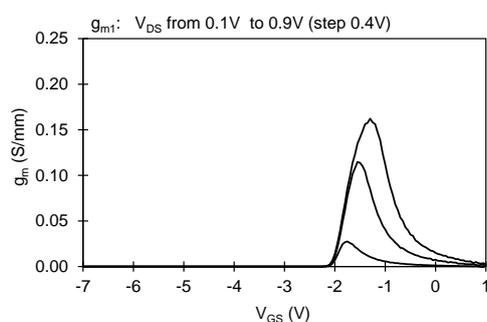
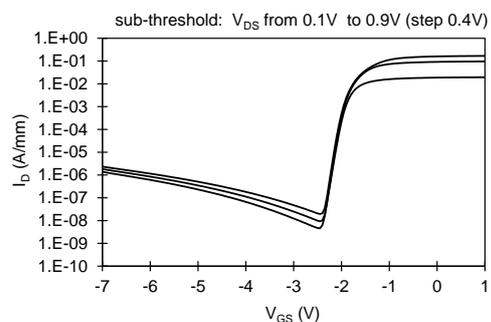
(e) I_D - V_G con V_{DS} da 10 V a 15 V.

(f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

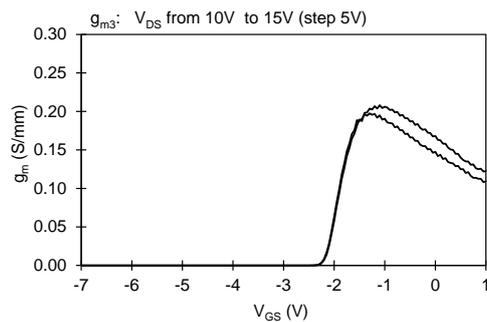
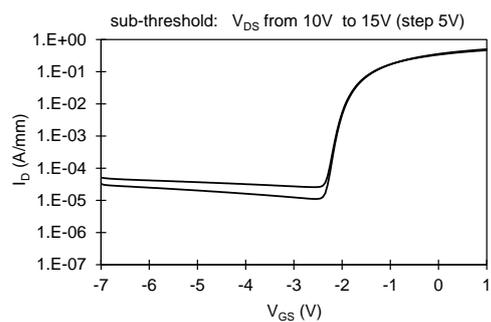
Figura 5.12: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-AD43) dopo 100 ore di stress a 350°C .



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

Figura 5.13: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-V31) dopo 100 ore di stress a 350°C .

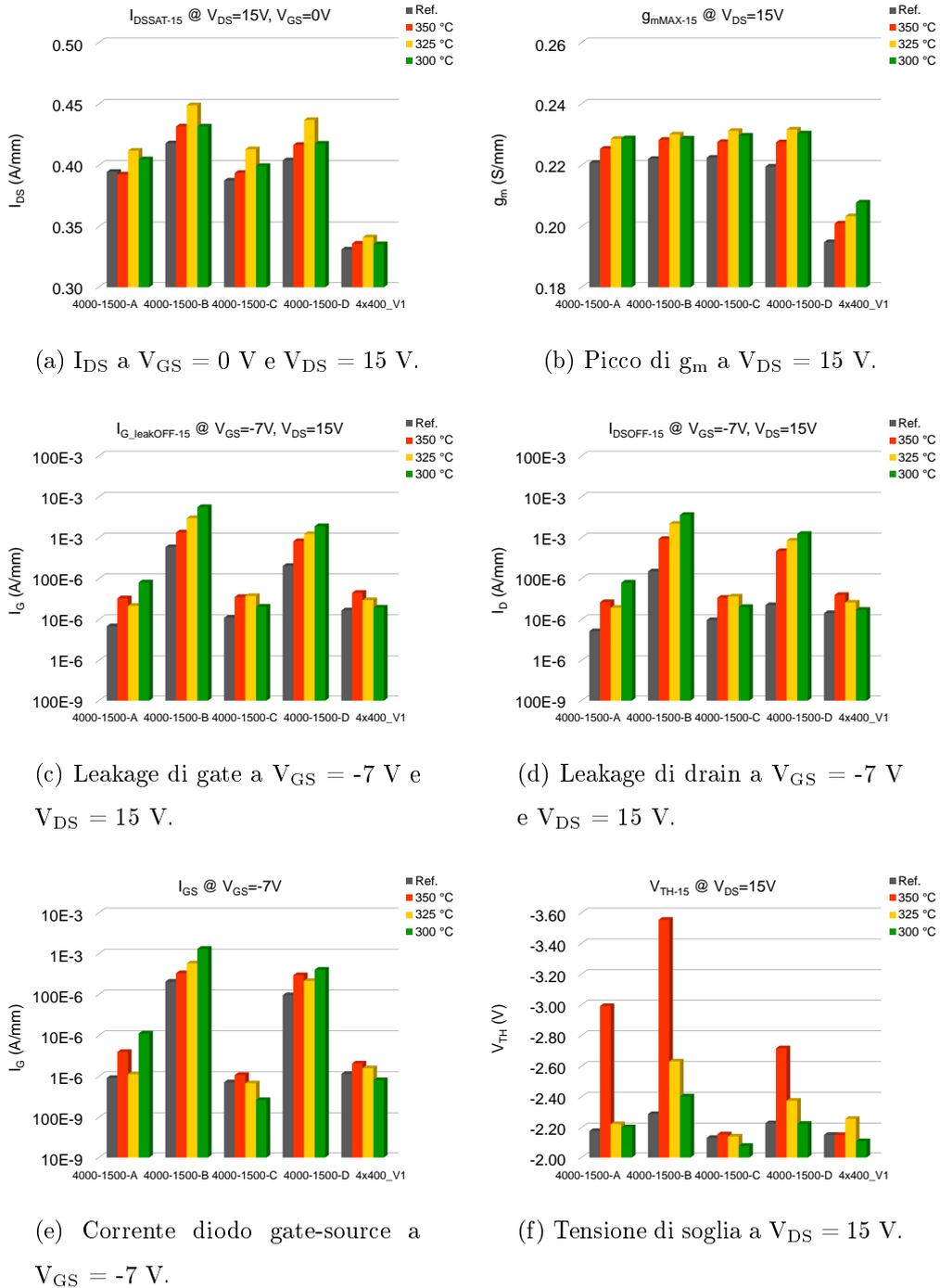
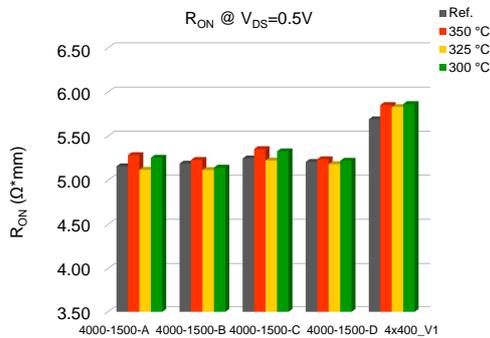
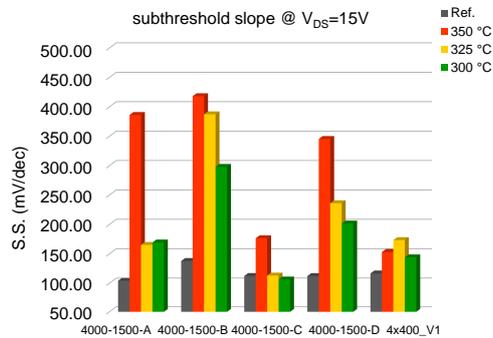


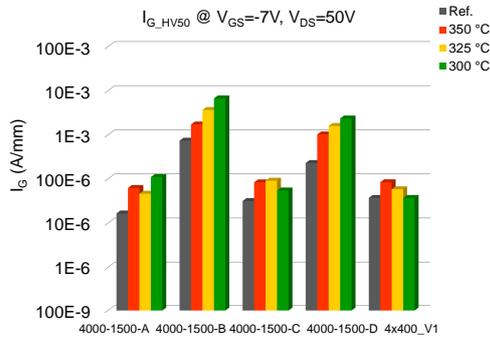
Figura 5.14: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .



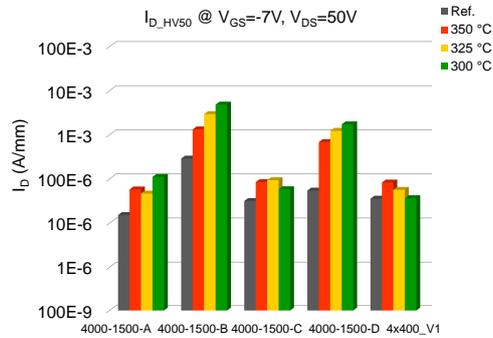
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



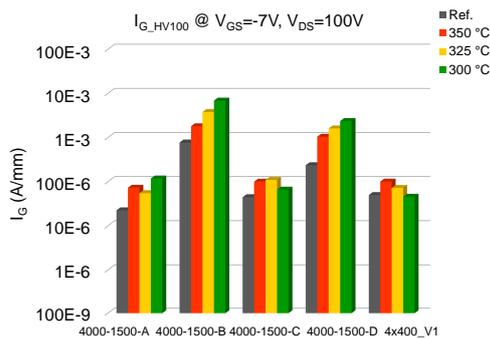
(h) Subthreshold Slope a $V_{DS} = 15$ V.



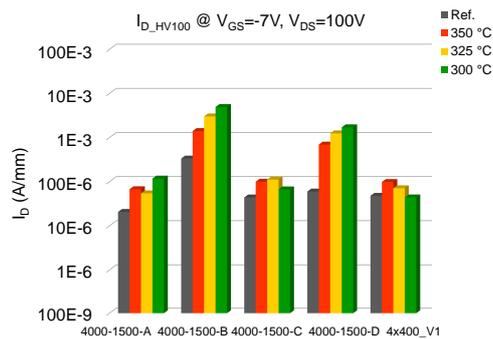
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 5.14: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .

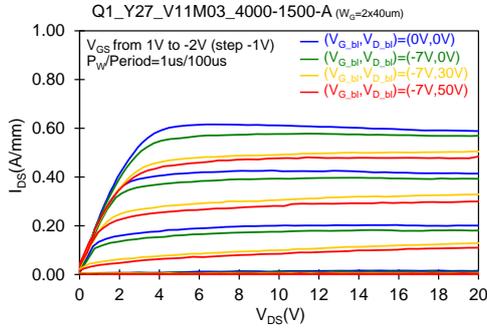
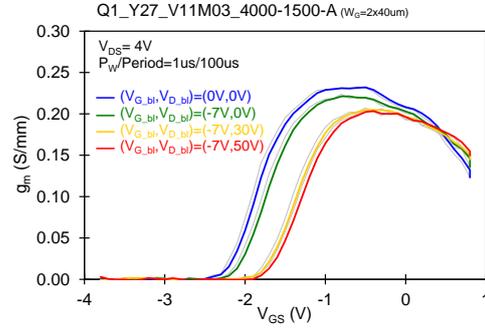
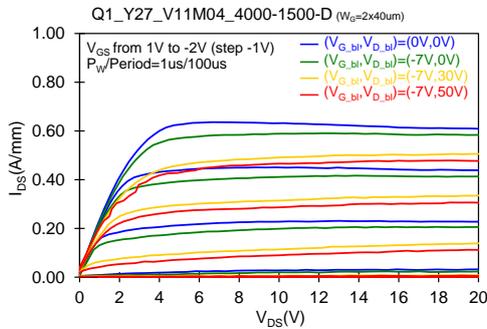
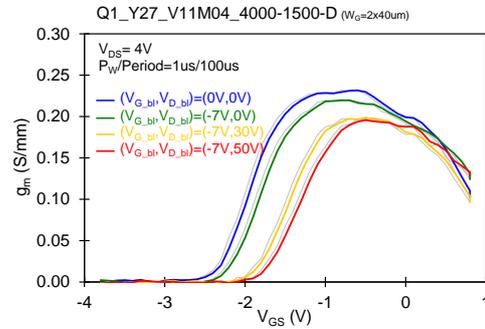
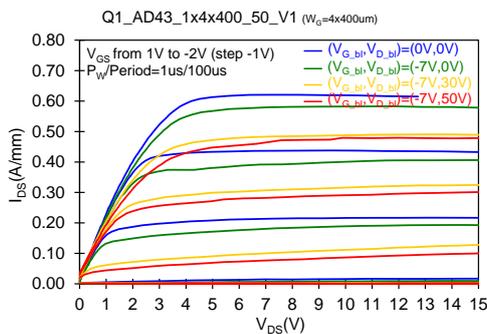
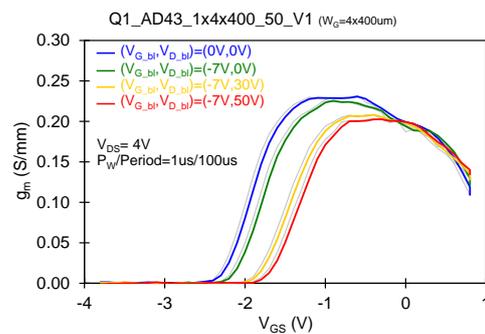
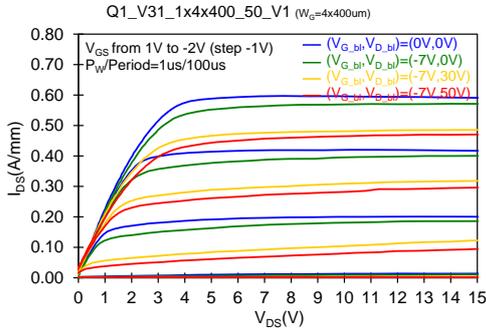
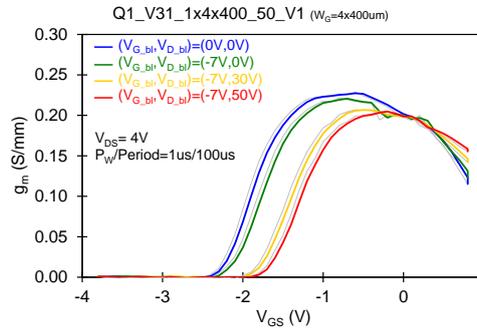
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4$ V.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4$ V.(e) Caratteristica d'uscita I_D - V_D impulsata.(f) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.15: Misure di double pulse su alcuni campioni tipici 4000-1500 A (a-b) e D (c-d) (Y27) e 4x400 μm AD43 (e-f) V31 dopo 100 ore di stress a 350 $^{\circ}\text{C}$.

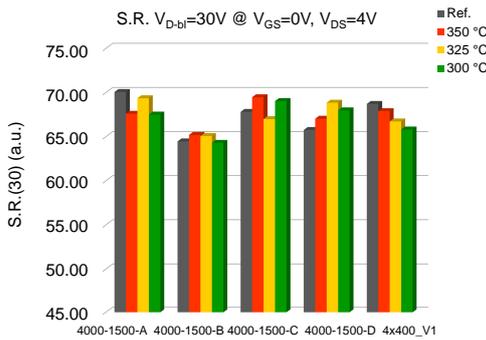


(g) Caratteristica d'uscita I_D - V_D impulsata.

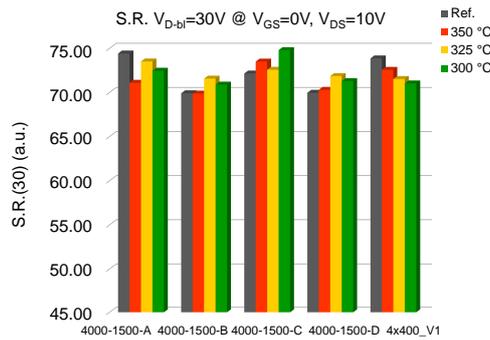


(h) g_m impulsata a $V_{DS} = 4$ V.

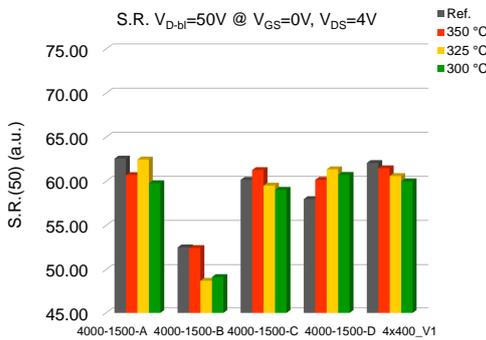
Figura 5.15: Misure di double pulse su alcuni campioni tipici 4000-1500 A-D (Y27) e 4x400 μm AD43, V31 (g-h) dopo 100 ore di stress a 350 °C.



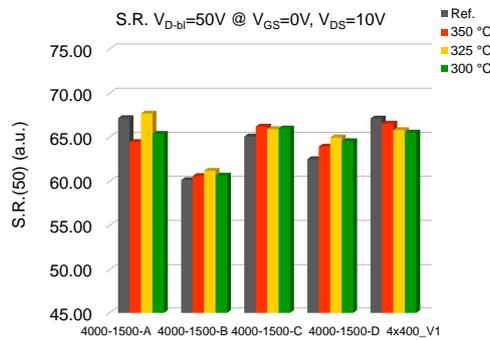
(a) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 4$ V.



(b) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 10$ V.



(c) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 4$ V.



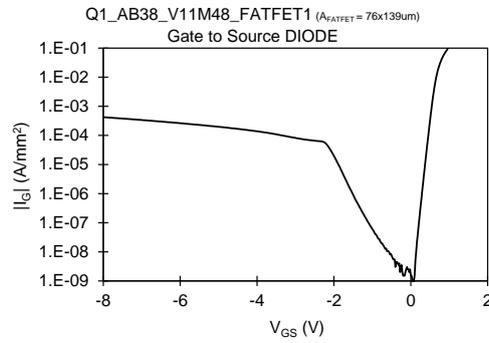
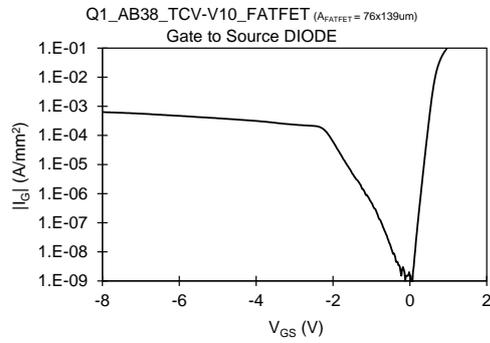
(d) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 10$ V.

Figura 5.16: Slump Ratio 4000-1500 e 4x400 mediati per le tre temperature.

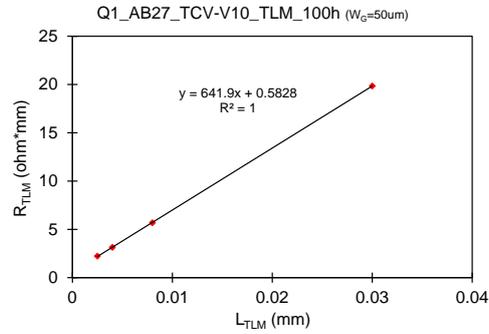
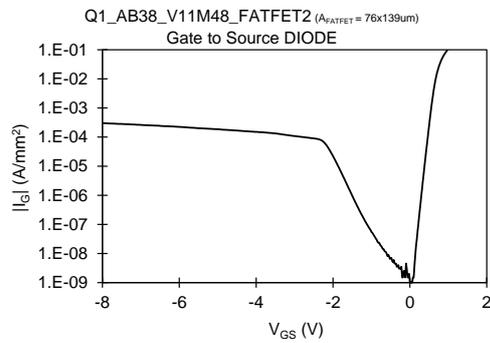
Dai grafici ottenuti si osserva un lieve calo della corrente I_{DS} nei dispositivi 4000-1500 a 350 °C, mentre nelle restanti temperature i parametri rimangono invariati.

Le correnti di leakage presentano comportamenti differenti a seconda delle temperature e dei dispositivi. In generale nei campioni 4000-1500 B e D il leakage di gate e drain è sceso, mentre aumenta nei dispositivi A e C, ad eccezione dei 350 °C che presentavano fin dall'inizio bassi livelli di leakage. In particolare nei dispositivi A e C del Q4 sottoposti a stress 300 °C, si verifica un aumento del leakage di circa una decade rispetto ai risultati ottenuti dopo le 10 ore di stress, mentre i dispositivi 4x400 sono rimasti pressoché invariati. Il comportamento della corrente I_{GS} è simile al caso appena analizzato. I campioni sottoposti a temperatura maggiore presentano una riduzione della corrente, come in generale tutti i campioni B e D per le varie temperature. Al contrario nei dispositivi A e C si osserva un aumento della corrente, che raggiunge le due decadi per i 300 °C. Osservando i grafici, quello che si nota è il notevole abbassamento della tensione di soglia a valori più negativi rispetto alle 10 ore, nei dispositivi A e B a 350 °C. La spalla osservata nelle caratteristiche I_D-V_G risulta di entità maggiore rispetto alle 10 ore, e comporta un elevato errore di valutazione della tensione di soglia a seguito dall'aumento della pendenza di sottosoglia (Figura 5.17 (b)). Il leakage in alta tensione si comporta allo stesso modo del leakage di gate e drain analizzato in precedenza.

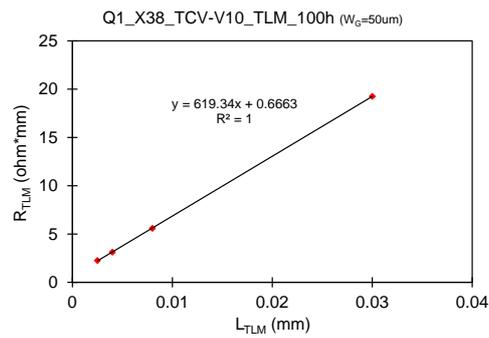
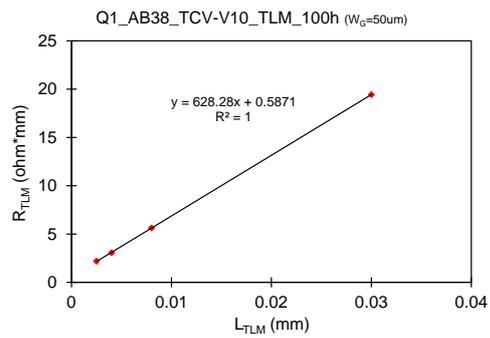
Le 100 ore di stress non hanno portato a variazioni significative della corrente I_{DS} , del picco della transconduttanza g_m e della resistenza R_{ON} . Nessuna considerazione possibile riguardo i dati ottenuti dalle misure di double pulse, dove non si osservano variazioni significative nei valori di slump ratio ricavati.



(a) Caratteristica I - V del diodo schottky. (b) Caratteristica I - V del diodo schottky.

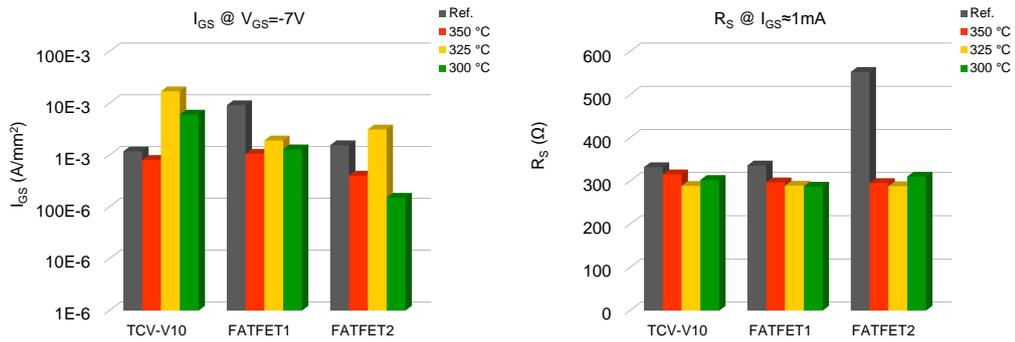
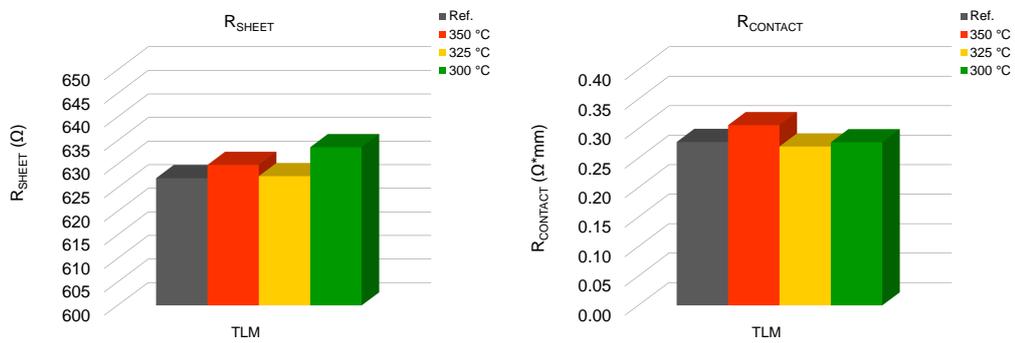


(c) Caratteristica I - V del diodo schottky. (d) Caratteristica della schiera di TLM.



(e) Caratteristica della schiera di TLM. (f) Caratteristica della schiera di TLM.

Figura 5.17: Misure DC di alcuni dispositivi tipici FATFET (AB38) e delle tre strutture TLM del Q1 dopo 100 ore di stress a 350 °C.

(a) Leakage del diodo a $V_{GS} = -7 V$.(b) Resistenza serie a $I_{GS} \approx 1 mA$.

(c) Resistenza del canale.

(d) Resistenza del contatto.

Figura 5.18: Riassunto dei parametri caratteristici DC mediati dei FATFET e TLM per le tre temperature.

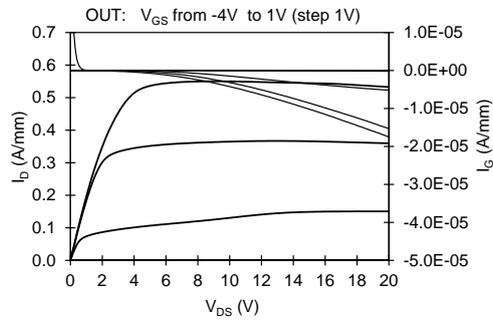
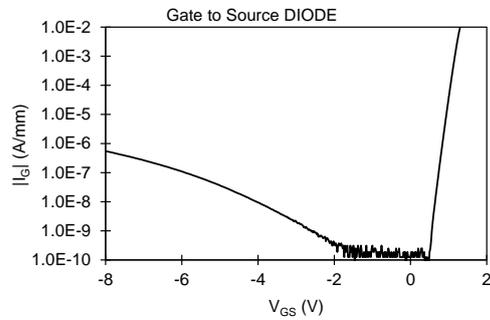
Rispetto alle 10 ore, la corrente di leakage dei FATFET sottoposti a stress di 350 °C si è ridotta notevolmente, abbassandosi di oltre una decade nei dispositivi TCV e FET2. I dispositivi FET1-2 alla temperatura intermedia hanno evidenziato una minore riduzione del leakage, mentre ne è osservabile un leggero aumento nei dispositivi stressati a 300 °C. La resistenza serie sembra essersi stabilizzata attorno ai 300 Ω a tutte le temperature. I FET2 a 300 °C, unici dispositivi a presentare un valore di resistenza serie maggiore dopo 10 ore di stress, hanno raggiunto un livello in linea con gli altri dispositivi. Ciò permette di concludere che il processo di annealing dei contatti termina nel caso peggiore dopo 100 ore di stress alla temperatura minima di 300 °C. Dai confronti delle strutture TLM non si osservano sostanziali cambiamenti rispetto ai dati pre storage, a parte un lieve aumento di alcuni punti percentuali della resistenza del contatto.

5.3 Storage Test 1000h

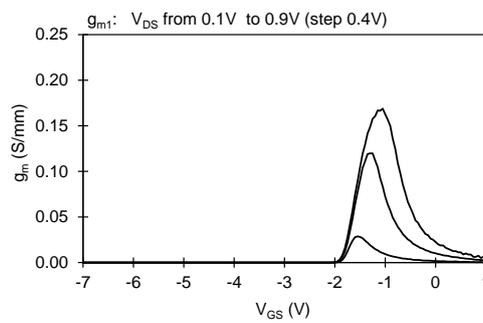
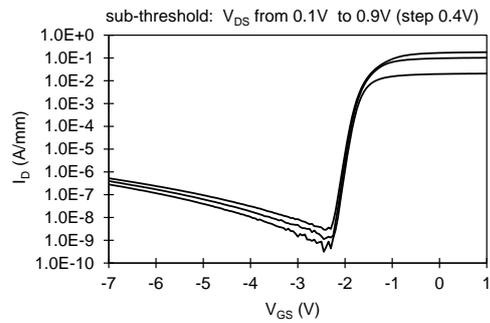
Di seguito si riportano i dati ottenuti dopo lo stress di 1000 ore alle tre temperature. Dettaglio dei grafici riportati:

- Figura 5.19: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-A Y27 del Q1;
- Figura 5.20: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-D Y27 del Q1;
- Figura 5.21: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm AD43 del Q1;
- Figura 5.22: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm V31 del Q1;

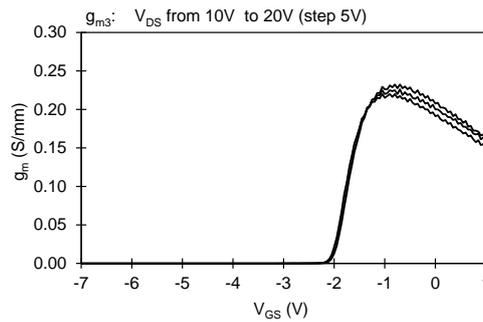
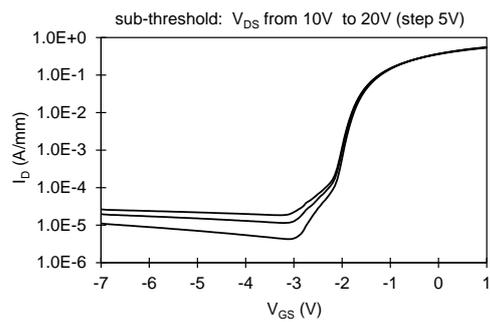
- Figura 5.23: confronto parametri caratteristici mediati su tutti gli HEMT;
- Figura 5.24: grafici double pulse dei campioni 4000-1500-A e D Y27, 4x400 μm AD43 e V31;
- Figura 5.25: confronto slump ratio mediati su tutti gli HEMT;
- Figura 5.26: grafici DC dei FATFET della cella AB38 e delle strutture TLM del Q1;
- Figura 5.27: confronto parametri caratteristici mediati su FATFET e TLM.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

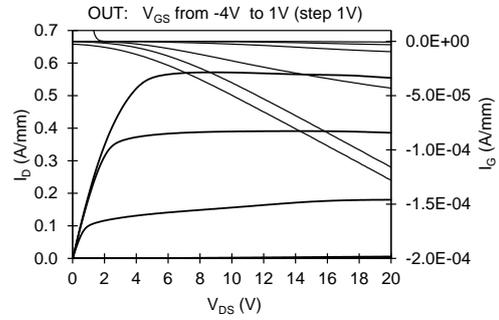
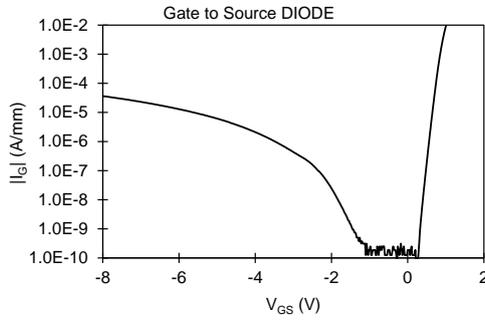


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

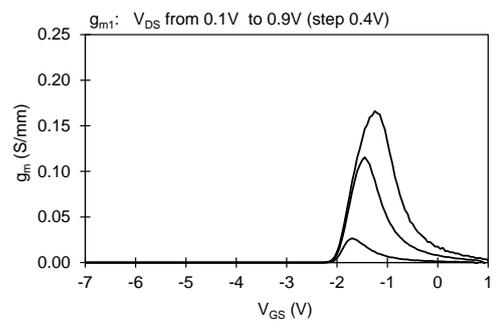
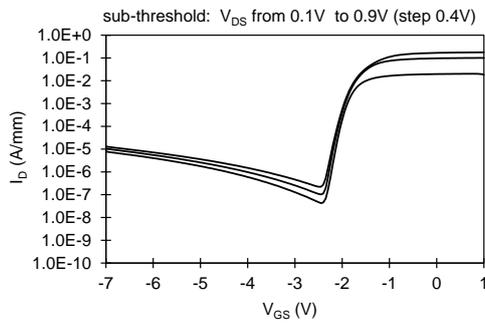


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 20 V.

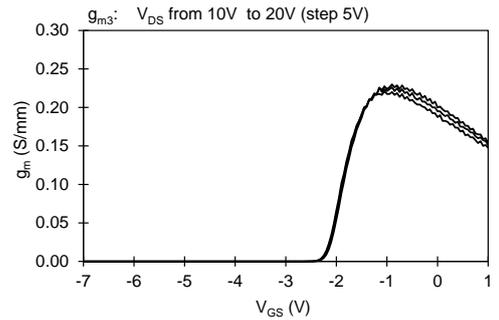
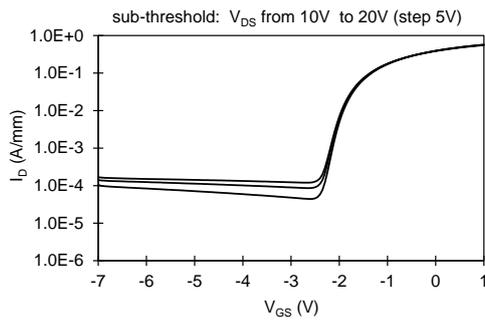
Figura 5.19: Caratteristica DC di un dispositivo tipico 4000-1500 A (Q1-Y27) dopo 1000 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

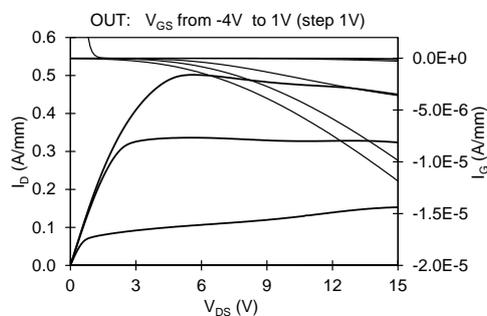
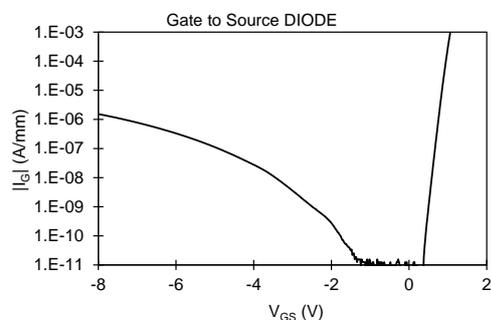


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

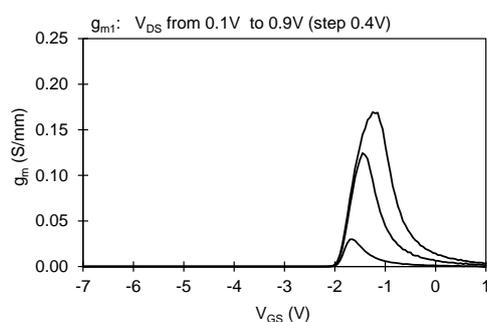
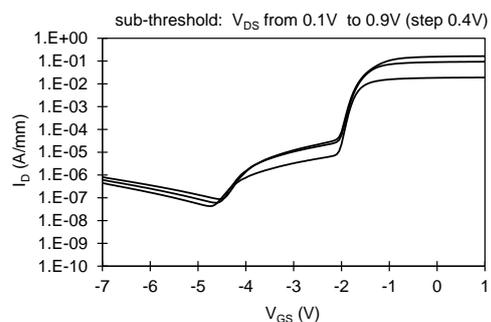


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

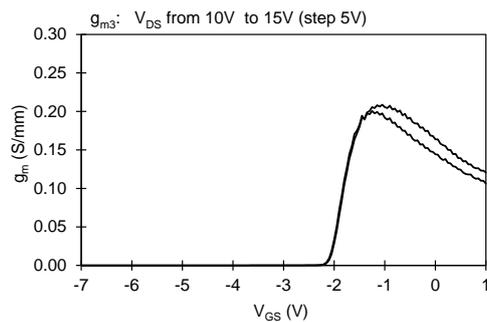
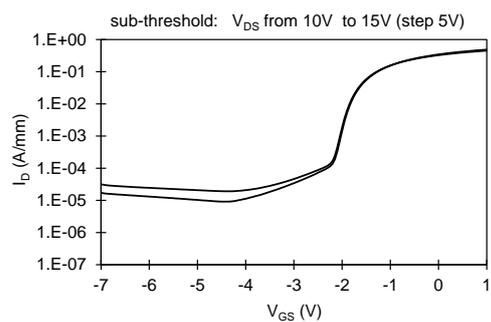
Figura 5.20: Caratteristica DC di un dispositivo tipico 4000-1500 D (Q1-Y27) dopo 1000 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

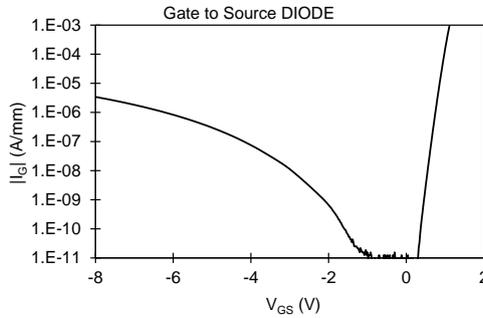


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

Figura 5.21: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-AD43) dopo 1000 ore di stress a 350°C .



(a) Caratteristica I-V del diodo gate-source.

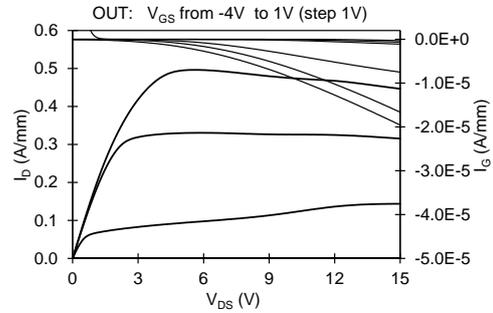
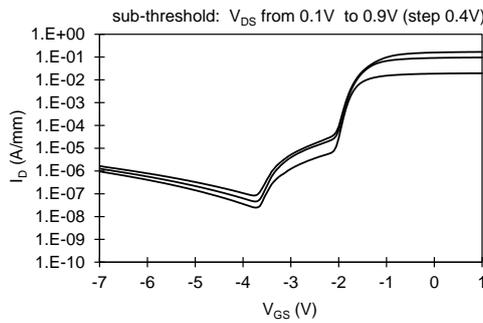
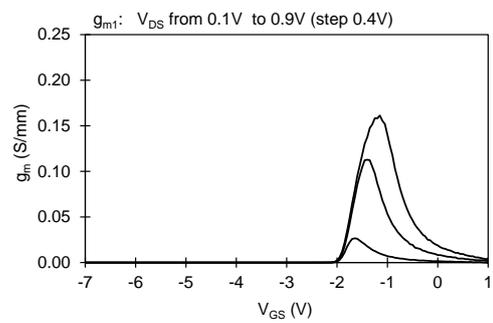
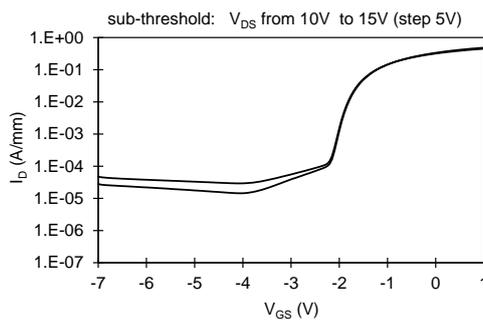
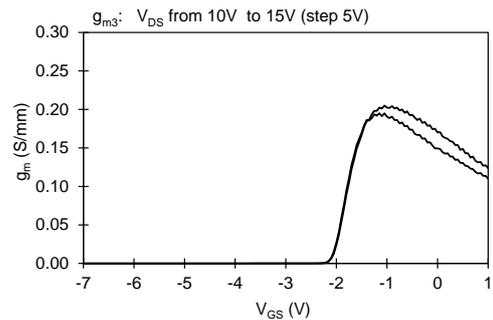
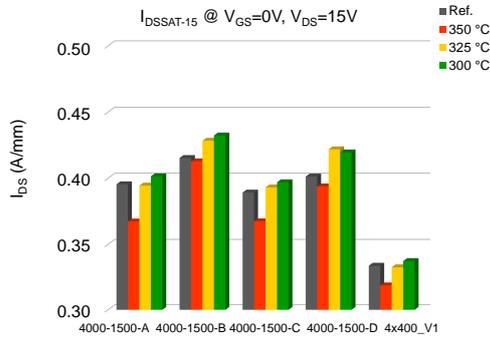
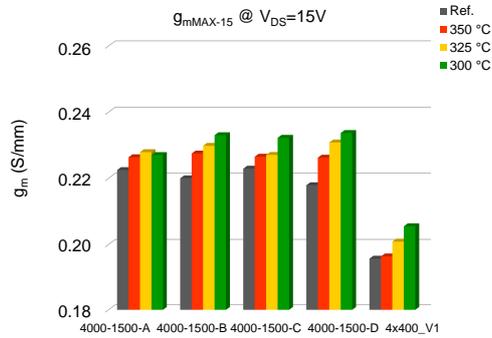
(b) Carat. d'uscita con V_{GS} da -4 V a 1 V.(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.(e) I_D - V_G con V_{DS} da 10 V a 15 V.(f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

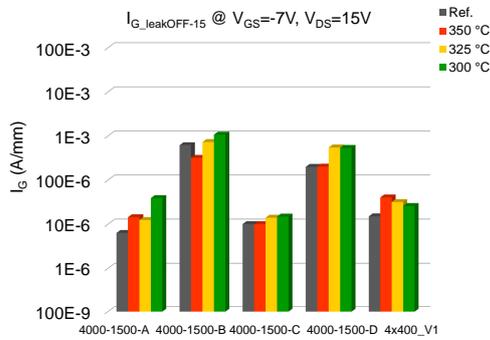
Figura 5.22: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-V31) dopo 1000 ore di stress a 350°C .



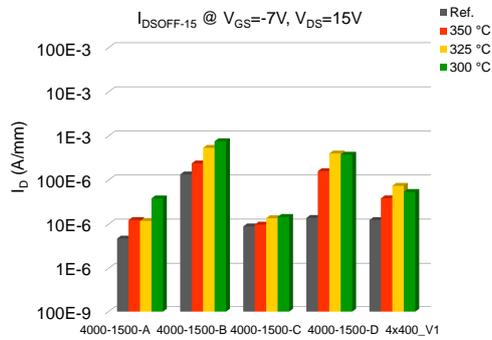
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.



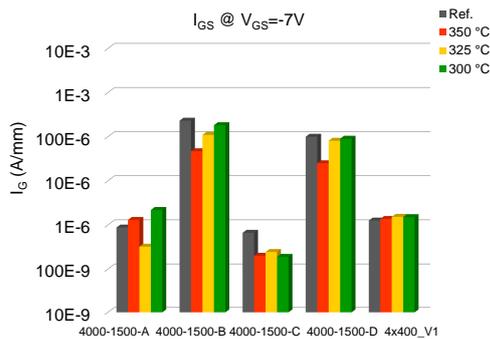
(b) Picco di g_m a $V_{DS} = 15$ V.



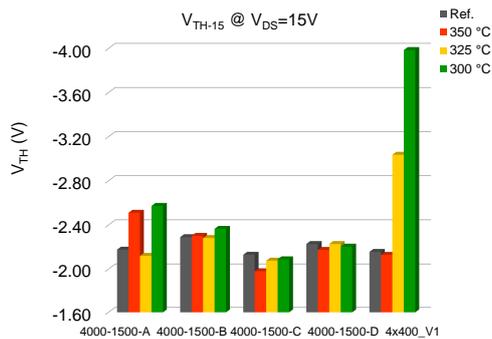
(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.



(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.

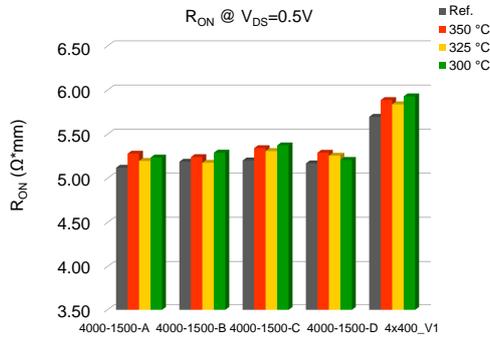


(e) Corrente diodo gate-source a $V_{GS} = -7$ V.

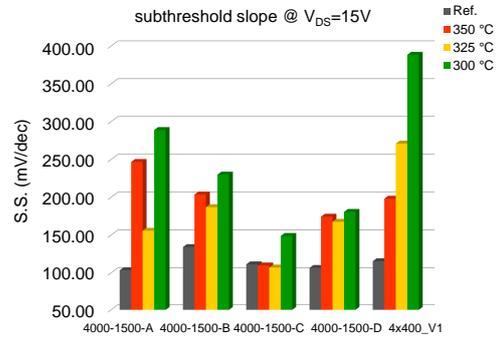


(f) Tensione di soglia a $V_{DS} = 15$ V.

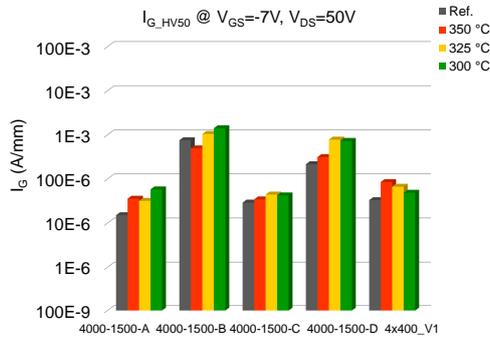
Figura 5.23: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .



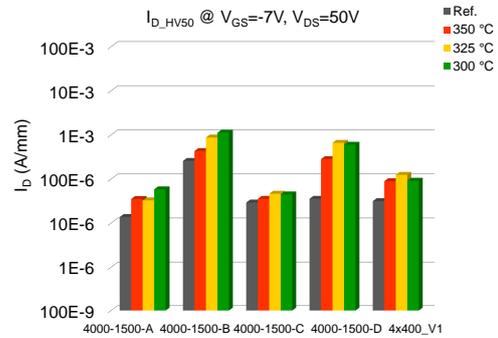
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



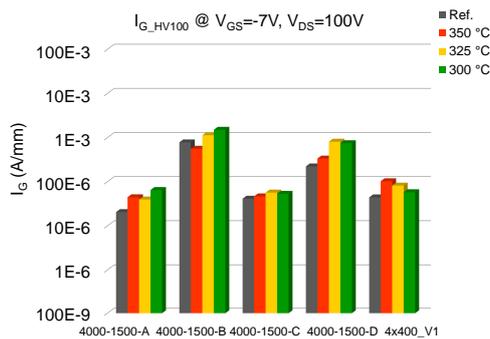
(h) Subthreshold Slope a $V_{DS} = 15$ V.



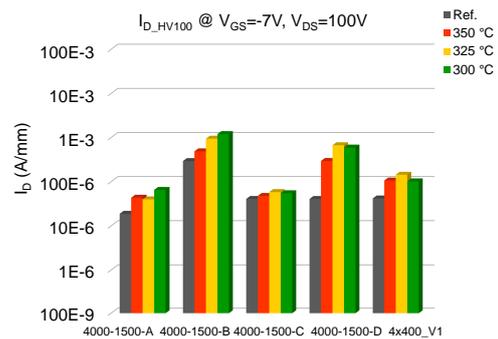
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 5.23: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .

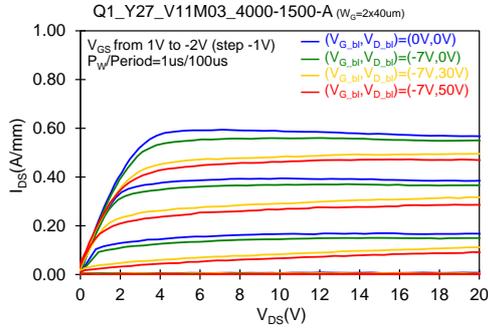
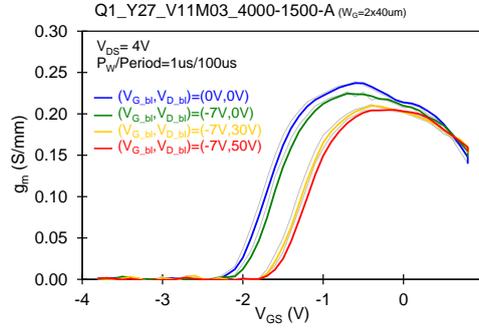
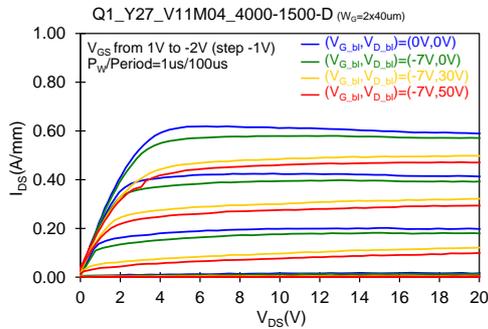
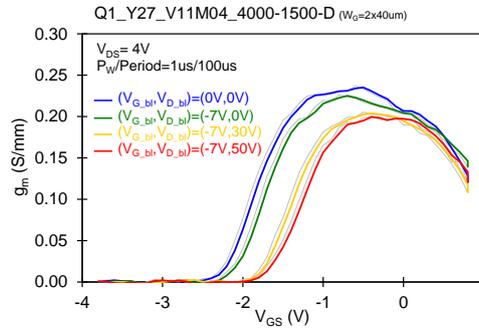
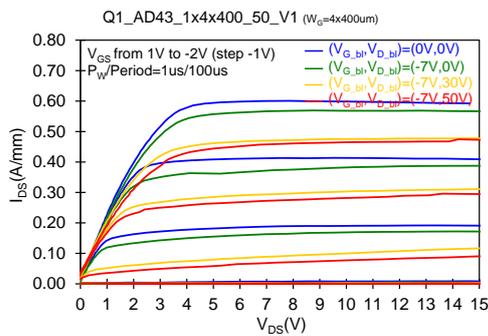
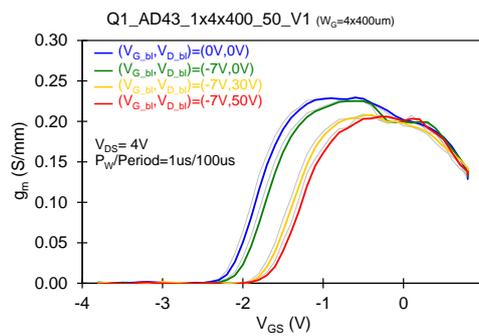
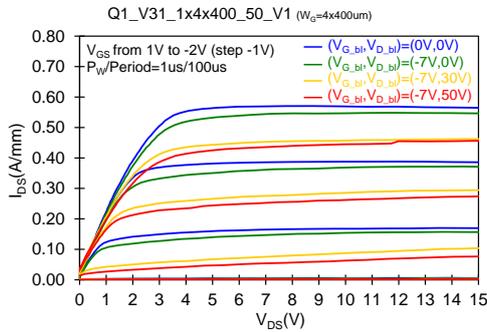
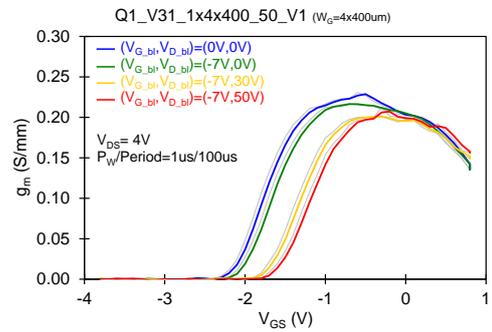
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4$ V.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4$ V.(e) Caratteristica d'uscita I_D - V_D impulsata.(f) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.24: Misure di double pulse su alcuni campioni tipici 4000-1500 A (a-b) e D (c-d) (Y27) e 4x400 μm AD43 (e-f) V31 dopo 1000 ore di stress a 350 $^{\circ}\text{C}$.

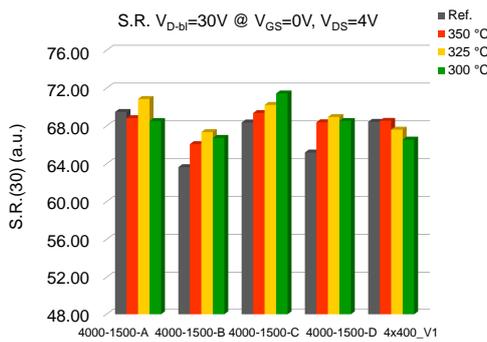


(g) Caratteristica d'uscita I_D - V_D impulsata.

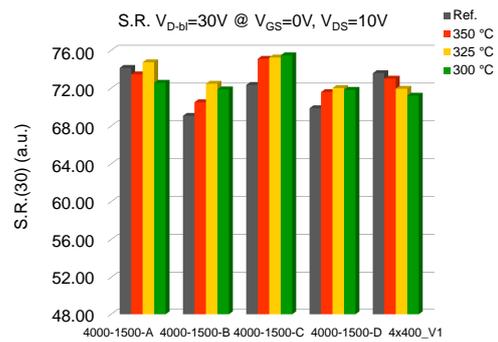


(h) g_m impulsata a $V_{DS} = 4$ V.

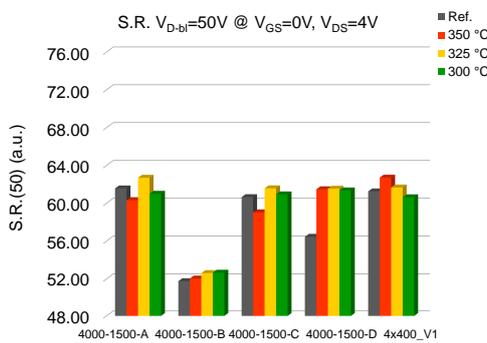
Figura 5.24: Misure di double pulse su alcuni campioni tipici 4000-1500 A-D (Y27) e 4x400 μm AD43, V31 (g-h) dopo 1000 ore di stress a 350 °C.



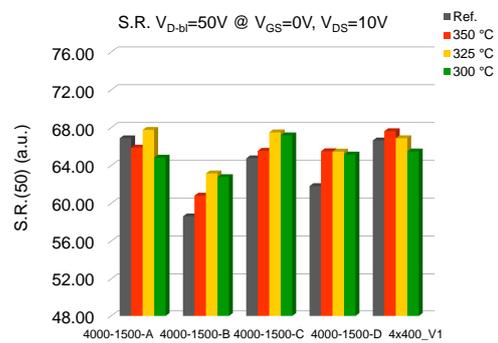
(a) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 4$ V.



(b) Valori slump ratio con baseline (-7V, 30V) e $V_{DS} = 10$ V.



(c) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 4$ V.



(d) Valori slump ratio con baseline (-7V, 50V) e $V_{DS} = 10$ V.

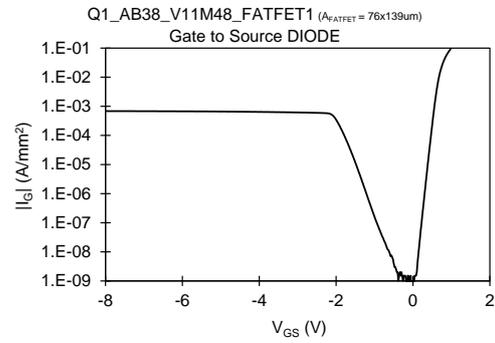
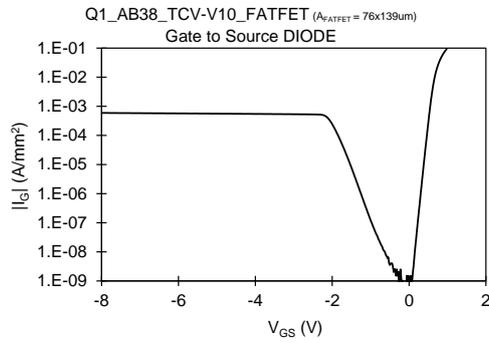
Figura 5.25: Slump Ratio 4000-1500 e 4x400 mediati per le tre temperature.

Raggiunte le 1000 ore di stress si osserva un calo generale della corrente I_{DS} e di leakage per tutte le temperature. In particolare i dispositivi B e D hanno subito una diminuzione maggiore rispetto ai dati ottenuti in precedenza dopo 100 ore di stress.

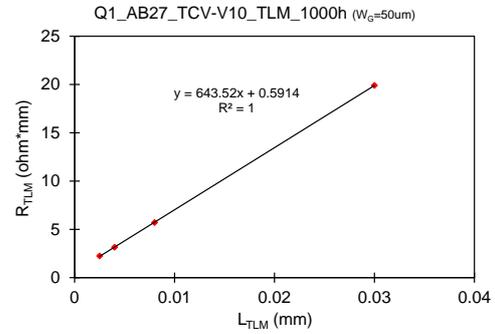
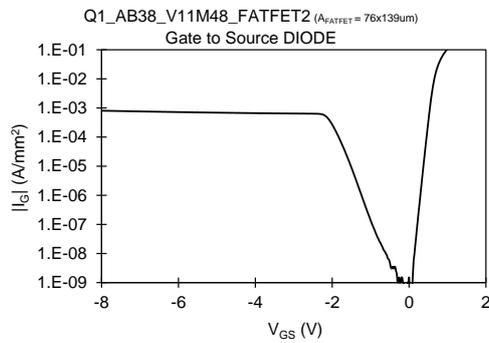
Dai confronti si nota una forte diminuzione della corrente I_{DS} nei dispositivi A e C a 350 °C rispetto al riferimento, potendo indicare che i fenomeni transistori che portavano all'aumento e al successivo calo della corrente di leakage siano terminati e sia iniziato il lento processo di degrado dei dispositivi. La corrente del diodo gate-source e i leakage in alta tensione dimostrano una riduzione per tutte le temperature, in linea con le precedenti osservazioni. Le 1000 ore di stress non sembrano influire sulla resistenza in on-state e sulla g_m , che continuano a mantenersi a livelli costanti.

Un fenomeno di rilievo, osservabile dalla Figura 5.27 (f), è lo shift improvviso della tensione di soglia sui dispositivi 4000-1500 A-B a 350 °C rispetto alle 100 ore, e lo shift di circa -2 V nei dispositivi 4x400 sottoposti a stress di 325 e 300 °C. La causa è attribuibile ancora una volta alla spalla che si viene a creare nella caratteristica I_D-V_G dei dispositivi. Rispetto alle precedenti analisi, nei dispositivi 4000-1500 si osserva una riduzione del fenomeno, mentre nei 4x400 risulta di maggior rilevanza. La S.S. dimostra lo stesso andamento della tensione di soglia (Figura 5.28 (b)), attenuandosi nei 4000-1500 e triplicandosi nei 4x400, in particolare nei dispositivi sottoposti a stress da 300 °C.

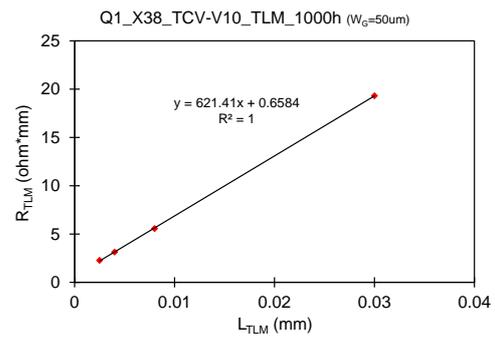
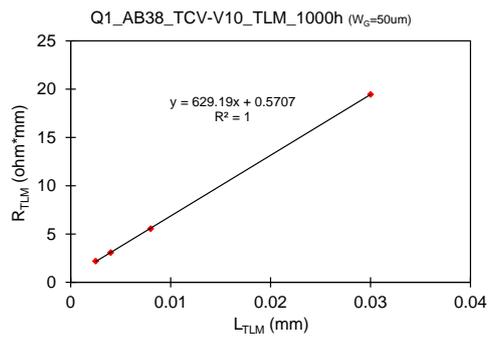
Riguardo le misure di double pulse i valori degli slump ratio risultano ancora all'interno della soglia del 5 %, variazioni di scarsa rilevanza statistica.



(a) Caratteristica I - V del diodo schottky. (b) Caratteristica I - V del diodo schottky.

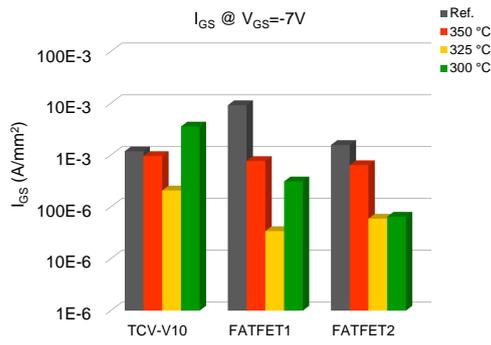


(c) Caratteristica I - V del diodo schottky. (d) Caratteristica della schiera di TLM.

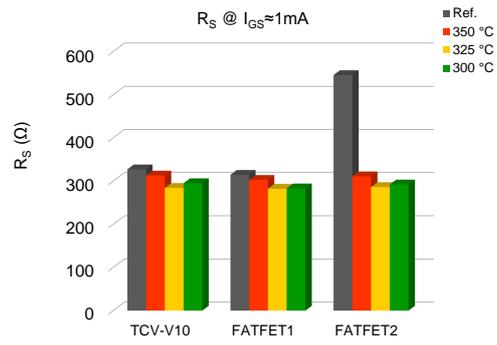


(e) Caratteristica della schiera di TLM. (f) Caratteristica della schiera di TLM.

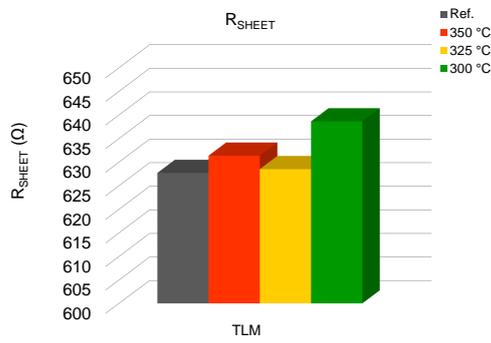
Figura 5.26: Misure DC di alcuni dispositivi tipici FATFET (AB38) e delle tre strutture TLM del Q1 dopo 1000 ore di stress a 350 °C.



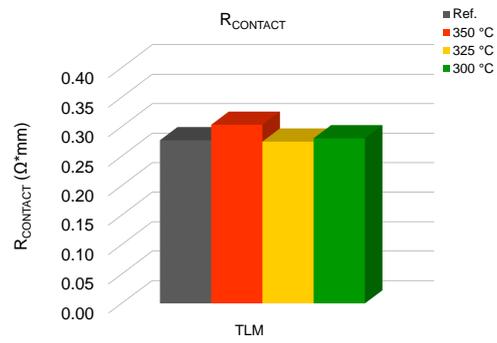
(a) Leakage del diodo a $V_{GS} = -7 V$.



(b) Resistenza serie a $I_{GS} \approx 1 mA$.



(c) Resistenza del canale.



(d) Resistenza del contatto.

Figura 5.27: Riassunto dei parametri caratteristici DC mediati dei FATFET e TLM per le tre temperature.

Osservando il grafico di Figura 5.33 (a) si nota, rispetto all'analisi effettuata alle 100 ore, una riduzione di oltre una decade nella corrente di leakage dei FATFET sottoposti a stress a temperatura intermedia, mentre le altre temperature non sembrano evidenziare variazioni significative. La resistenza serie continua a mantenersi attorno ai 300Ω denotando una certa stabilità dei contatti, confermata dai dati ottenuti sulle strutture TLM. La resistenza di canale continua a mantenersi a livelli stabili, mentre la resistenza dei contatti presenta un andamento crescente dipendente dalla temperatura, osservabile più chiaramente in seguito nei grafici riepilogativi percentuali. L'aumento risulta ancora inferiore al 5 %, rendendo difficile chiarire se è dovuto al degrado del contatto ohmico o alla misura, dati i valori molto bassi della resistenza di contatto.

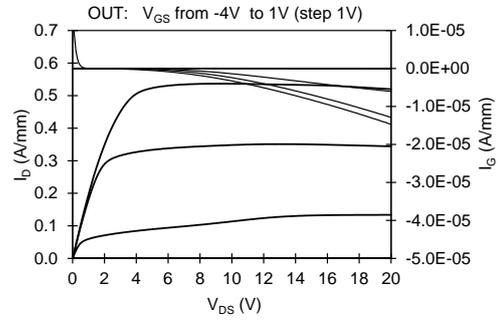
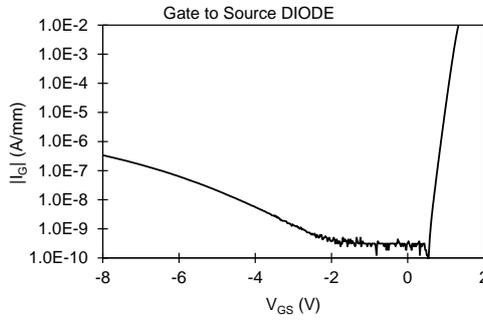
5.4 Storage Test 2000h

Dati i lunghi tempi richiesti dagli stress, solo lo storage sul Q1 sottoposto a $350 \text{ }^\circ\text{C}$ è stato terminato. Lo stress sui quarti Q3 e Q4 ha attualmente raggiunto le 1500 ore e stanno procedendo verso la conclusione. Le misure di double pulse sono state effettuate solo su alcuni dispositivi per constatare che le 2000 h di stress non portano ad una variazione significativa dei valori di slump ratio. Per questo motivo i grafici dei confronti sugli slump ratio non verranno riportati.

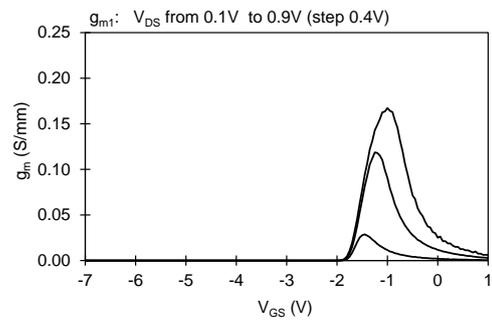
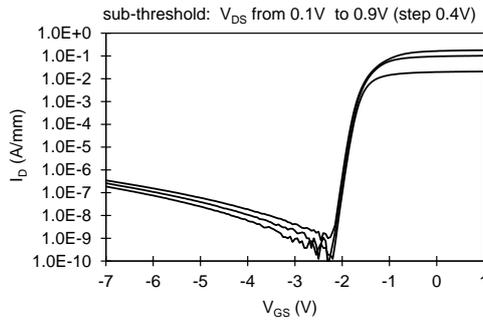
Di seguito si riportano i dati ottenuti dopo lo stress di 2000 ore alla temperatura maggiore. Dettaglio dei grafici riportati:

- Figura 5.28: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-A Y27 del Q1;

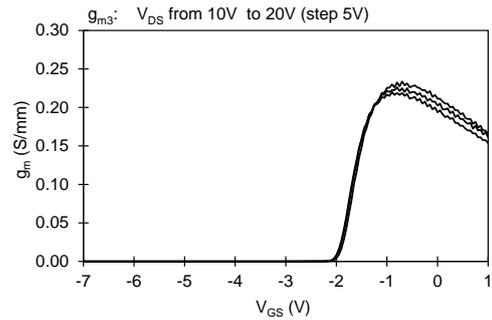
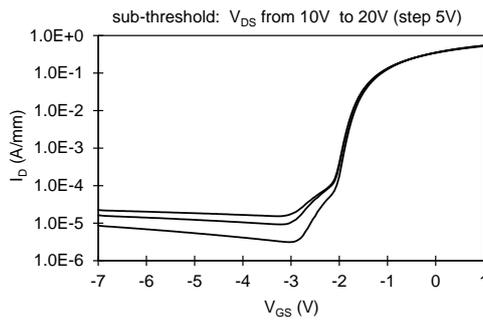
- Figura 5.29: grafici relativi alla caratterizzazione DC del dispositivo 4000-1500-D Y27 del Q1;
- Figura 5.30: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm AD43 del Q1;
- Figura 5.31: grafici relativi alla caratterizzazione DC del dispositivo 4x400 μm V31 del Q1;
- Figura 5.32: confronto parametri caratteristici mediati su tutti gli HEMT;
- Figura 5.33: grafici double pulse dei campioni 4000-1500-A AC38 e Y38, 4x400 μm AD43 e V21;
- Figura 5.34: grafici DC dei FATFET della cella AB38 e delle strutture TLM del Q1;
- Figura 5.35: confronto parametri caratteristici mediati su FATFET e TLM.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

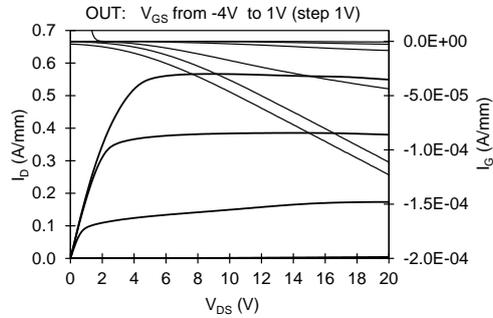
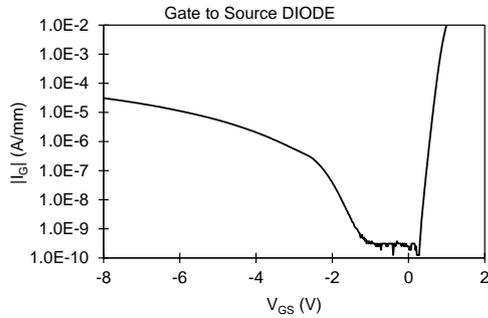


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.

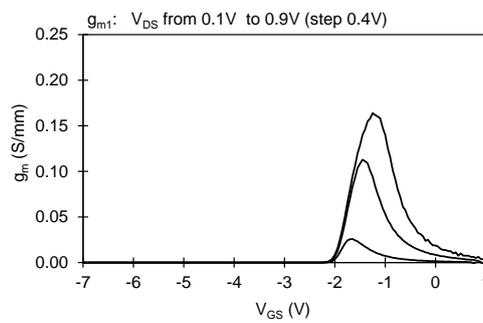
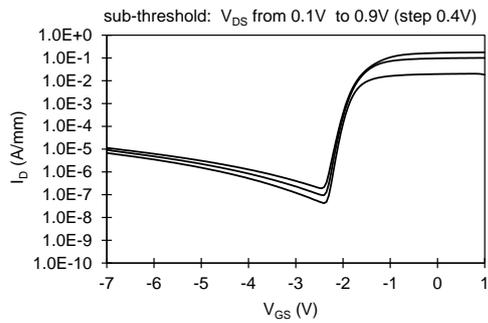


(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_m - V_{GS} con V_{DS} da 10 V a 20 V.

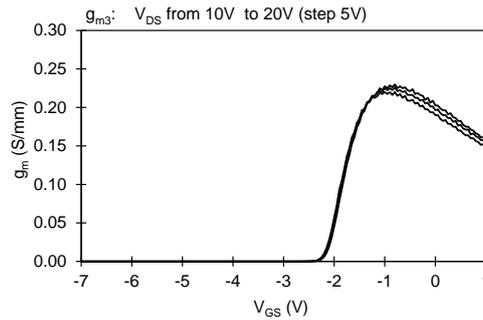
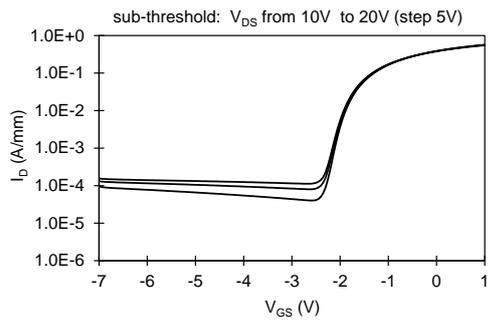
Figura 5.28: Caratteristica DC di un dispositivo tipico 4000-1500 A (Q1-Y27) dopo 2000 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.

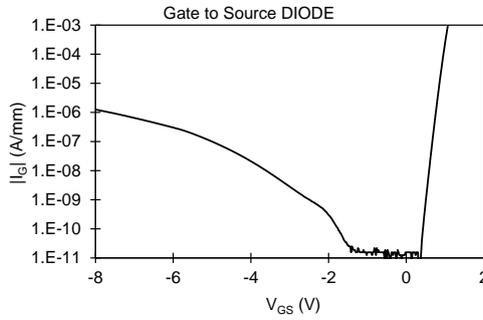


(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 20 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 20 V.

Figura 5.29: Caratteristica DC di un dispositivo tipico 4000-1500 D (Q1-Y27) dopo 2000 ore di stress a 350 °C.



(a) Caratteristica I-V del diodo gate-source.

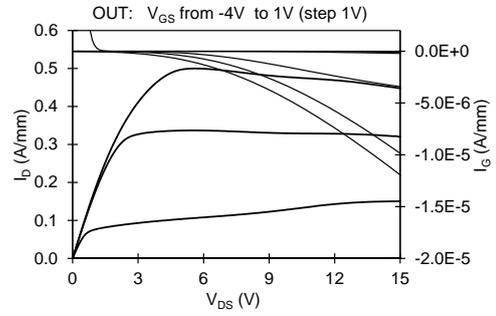
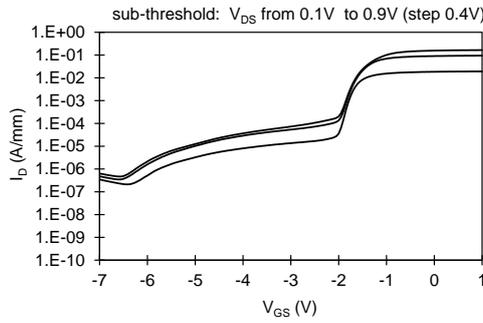
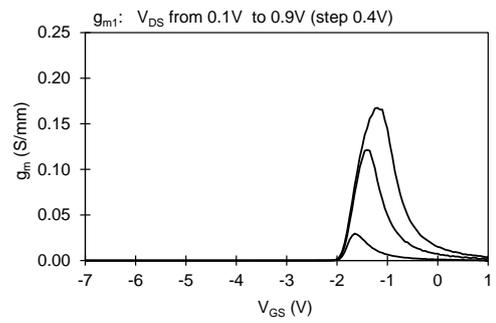
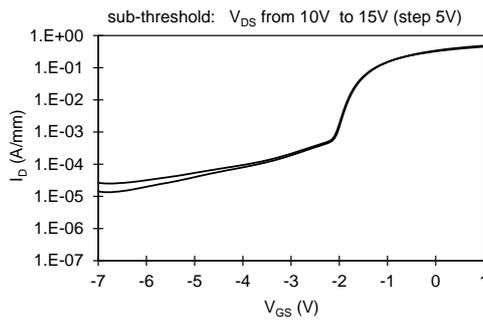
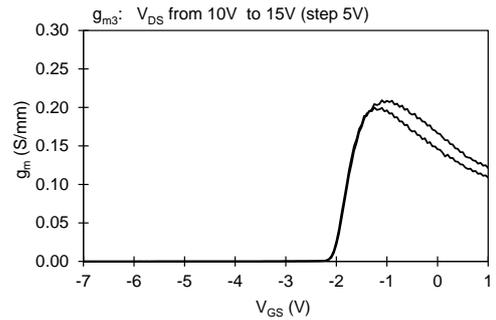
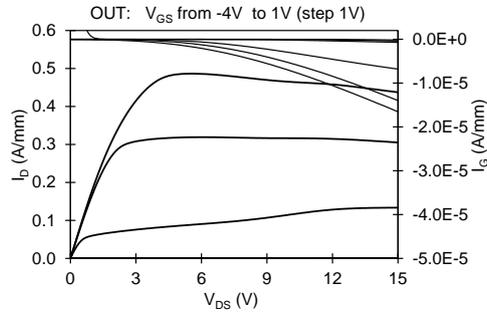
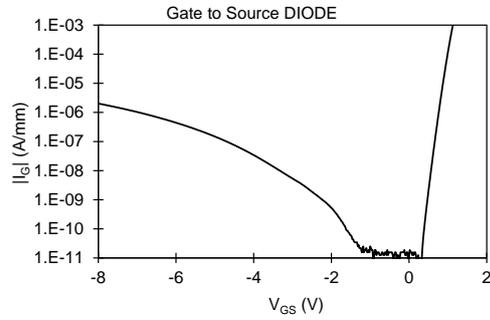
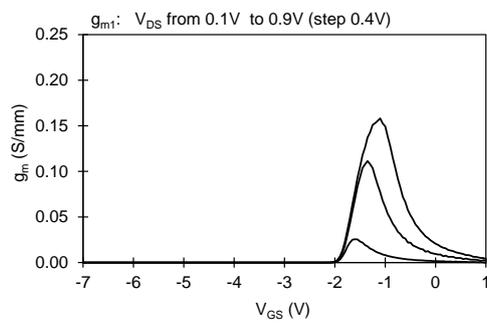
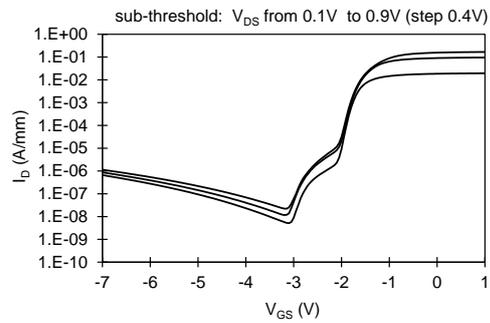
(b) Carat. d'uscita con V_{GS} da -4 V a 1 V.(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V.(d) g_m - V_{GS} con V_{DS} da 0.1 V a 0.9 V.(e) I_D - V_G con V_{DS} da 10 V a 15 V.(f) g_m - V_{GS} con V_{DS} da 10 V a 15 V.

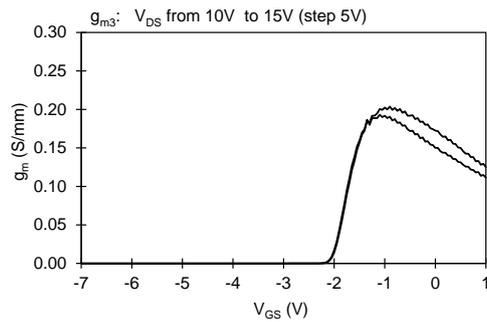
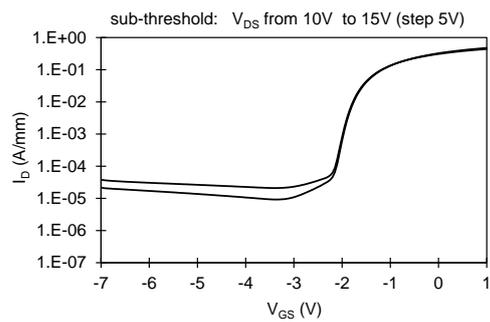
Figura 5.30: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-AD43) dopo 2000 ore di stress a 350°C .



(a) Caratteristica I-V del diodo gate-source. (b) Carat. d'uscita con V_{GS} da -4 V a 1 V.



(c) I_D - V_G con V_{DS} da 0.1 V a 0.9 V. (d) g_{m1} - V_{GS} con V_{DS} da 0.1 V a 0.9 V.



(e) I_D - V_G con V_{DS} da 10 V a 15 V. (f) g_{m3} - V_{GS} con V_{DS} da 10 V a 15 V.

Figura 5.31: Caratteristica DC di un dispositivo tipico $4 \times 400 \mu\text{m}$ (Q1-V31) dopo 2000 ore di stress a 350°C .

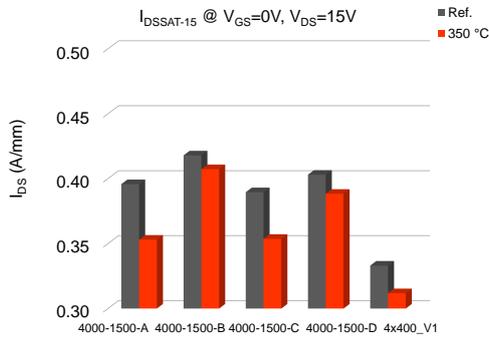
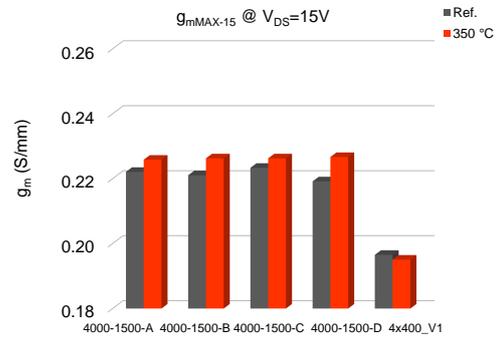
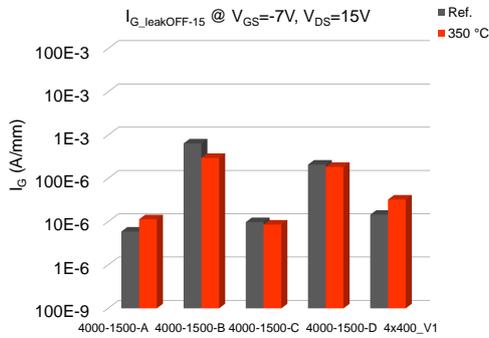
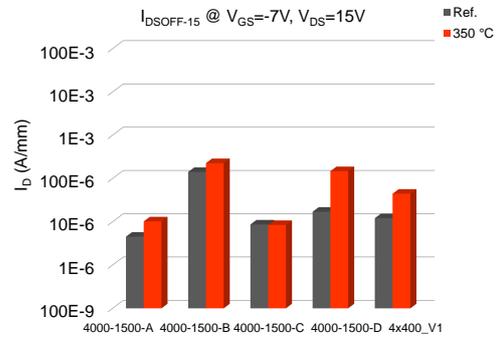
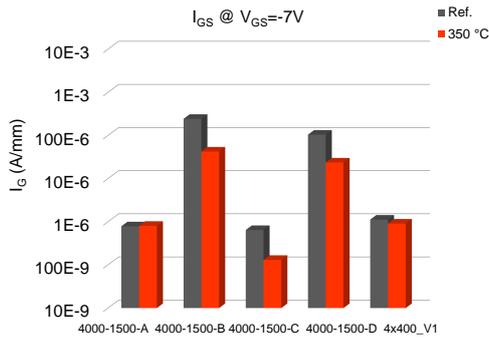
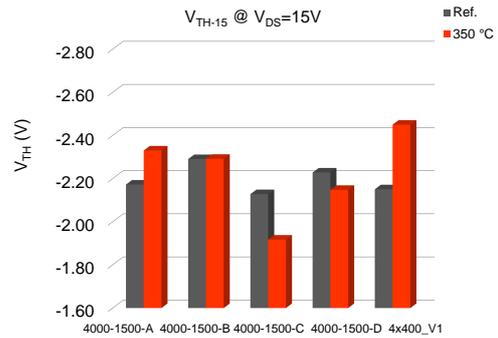
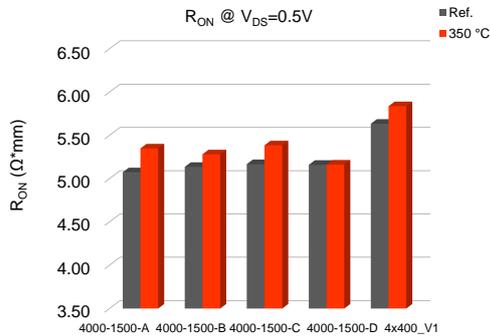
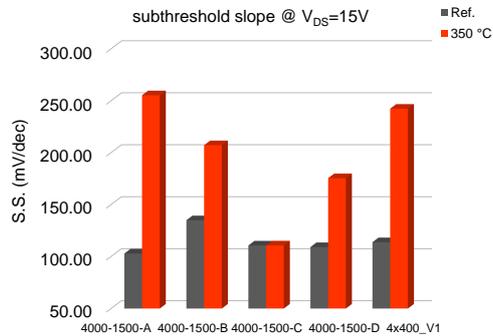
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.(b) Picco di g_m a $V_{DS} = 15$ V.(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(e) Corrente diodo gate-source a $V_{GS} = -7$ V.(f) Tensione di soglia a $V_{DS} = 15$ V.

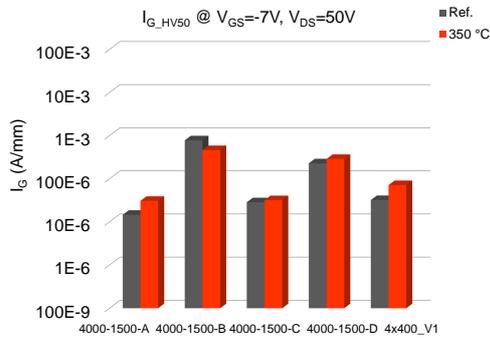
Figura 5.32: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .



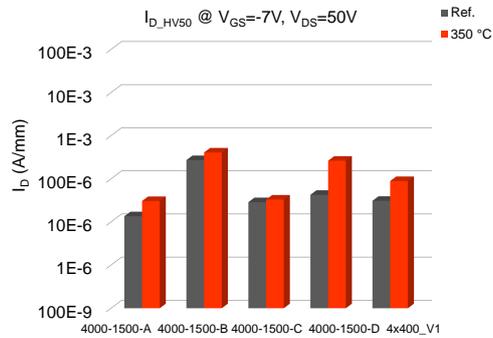
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



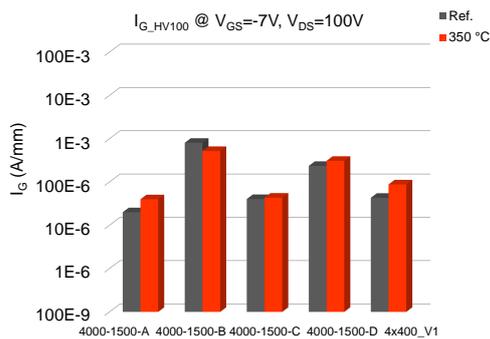
(h) Subthreshold Slope a $V_{DS} = 15$ V.



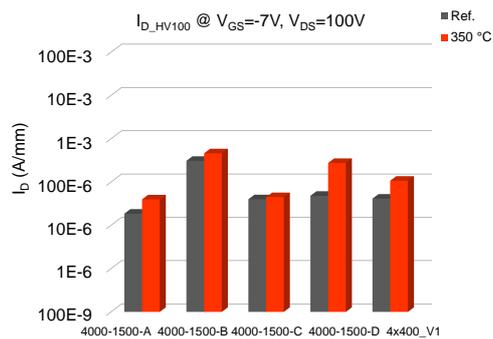
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 5.32: Riepilogo dei parametri caratteristici DC mediati su HEMT 4000-1500 e 4x400 μm .

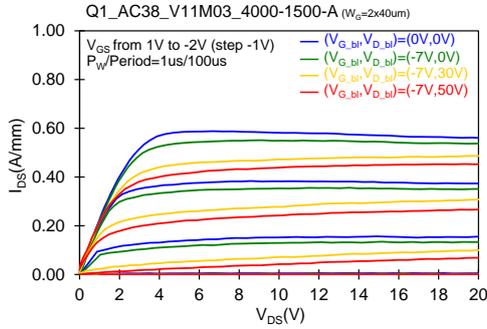
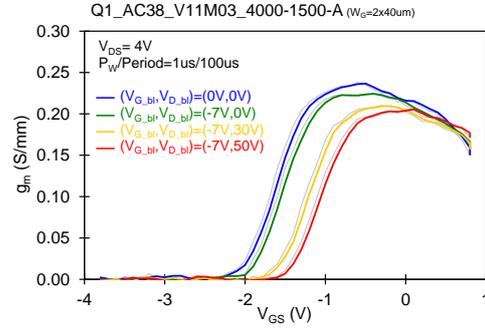
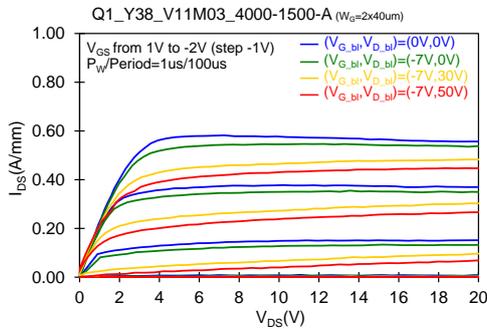
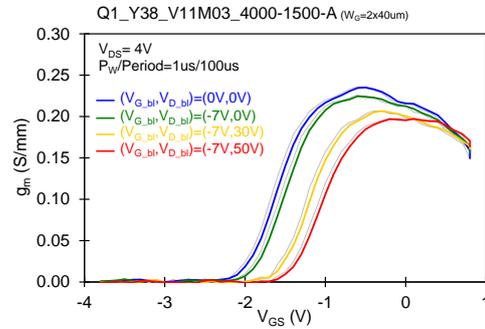
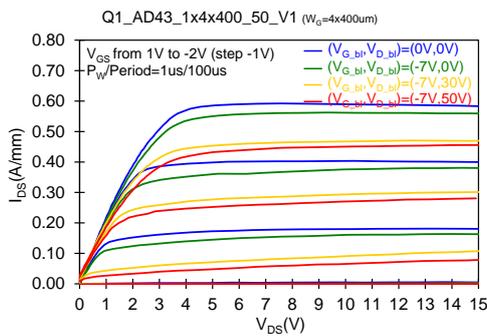
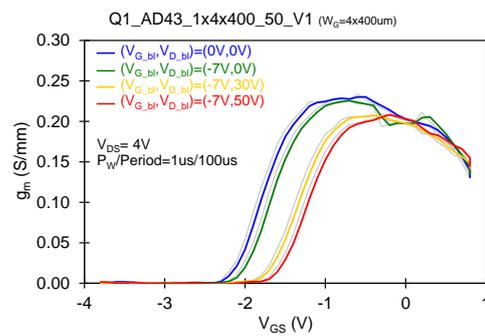
(a) Caratteristica d'uscita I_D - V_D impulsata.(b) g_m impulsata a $V_{DS} = 4$ V.(c) Caratteristica d'uscita I_D - V_D impulsata.(d) g_m impulsata a $V_{DS} = 4$ V.(e) Caratteristica d'uscita I_D - V_D impulsata.(f) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.33: Misure di double pulse su alcuni campioni tipici 4000-1500 A (AC38) (a-b) e (Y38) (c-d), 4x400 μm AD43 (e-f) V21 dopo 2000 ore di stress a 350 $^{\circ}\text{C}$.

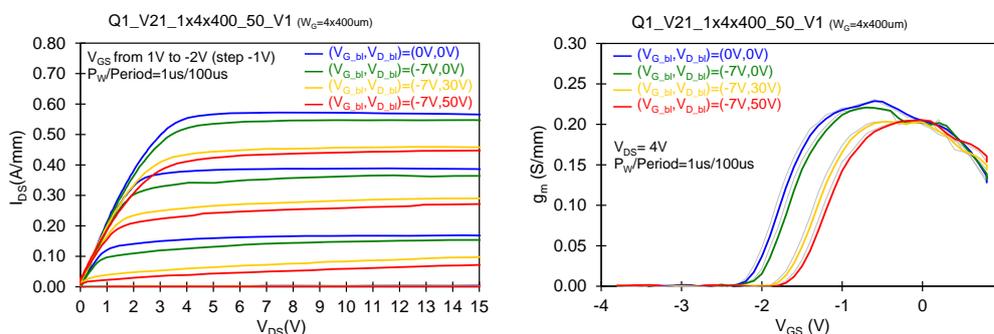
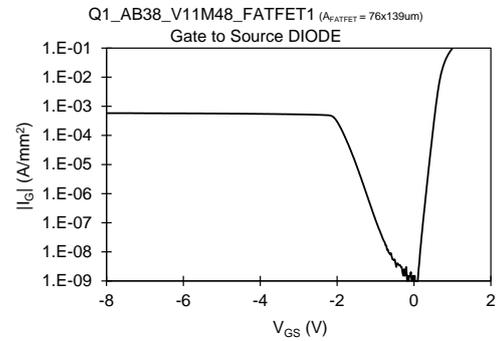
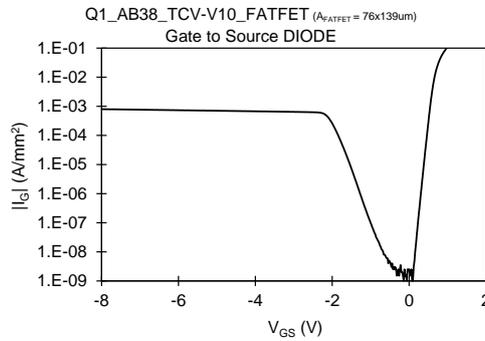
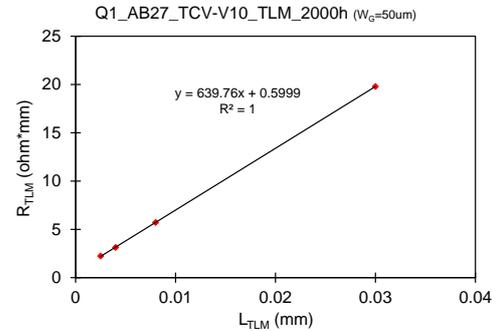
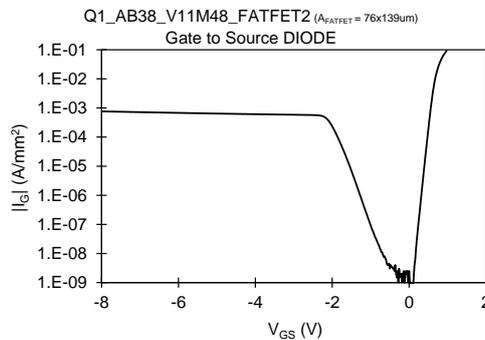
(g) Caratteristica d'uscita I_D - V_D impulsata.(h) g_m impulsata a $V_{DS} = 4$ V.

Figura 5.33: Misure di double pulse su alcuni campioni tipici 4000-1500 A (AC38-Y38) e 4x400 μm AD43 V21 (g-h) dopo 2000 h di stress a 350 °C.

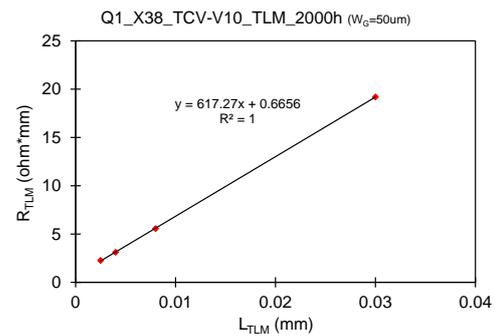
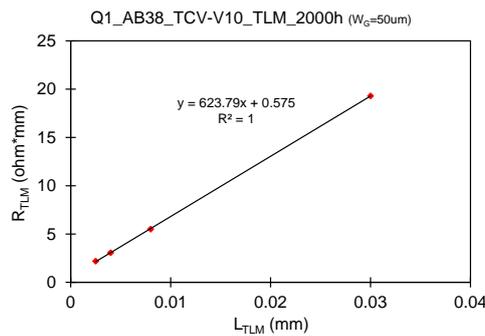
Rispetto alle 1000 ore non si notano particolari variazioni nelle caratteristiche dei dispositivi. La corrente I_{DS} presenta una leggera diminuzione in particolare nei dispositivi sottoposti all'ulteriore trattamento superficiale, 4000-1500 A-C e 4x400, mentre i restanti parametri rimangono pressoché invariati. Dalla Figura 5.32 (f) possiamo osservare un aumento in modulo della tensione di soglia nei dispositivi 4x400 e un conseguente aumento della pendenza di sottosoglia (Figura 5.32 (h)), come osservato nell'analisi fatta dopo le 1000 ore negli stessi dispositivi alle altre temperature, dovuto ancora una volta all'allargarsi della spalla nella caratteristica I_D - V_G . Questo fenomeno non risulta ancora di chiara comprensione e richiederà degli studi più approfonditi.



(a) Caratteristica I - V del diodo schottky. (b) Caratteristica I - V del diodo schottky.

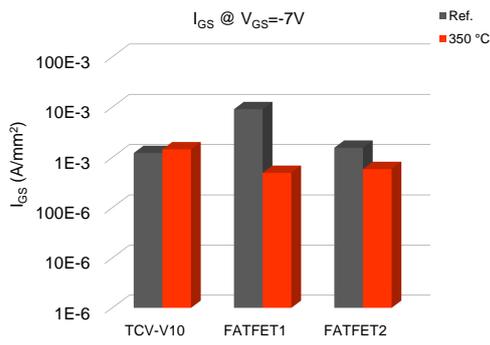


(c) Caratteristica I - V del diodo schottky. (d) Caratteristica della schiera di TLM.

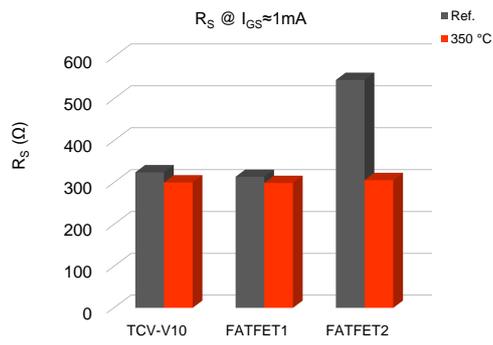


(e) Caratteristica della schiera di TLM. (f) Caratteristica della schiera di TLM.

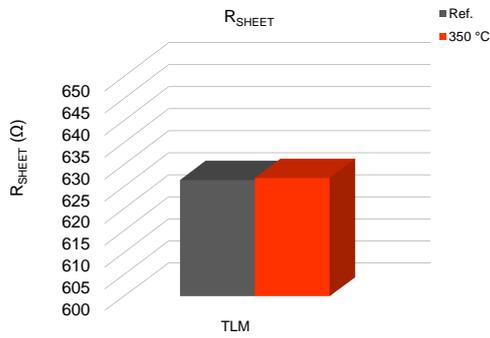
Figura 5.34: Misure DC di alcuni dispositivi tipici FATFET (AB38) e delle tre strutture TLM del Q1 dopo 2000 ore di stress a 350 °C.



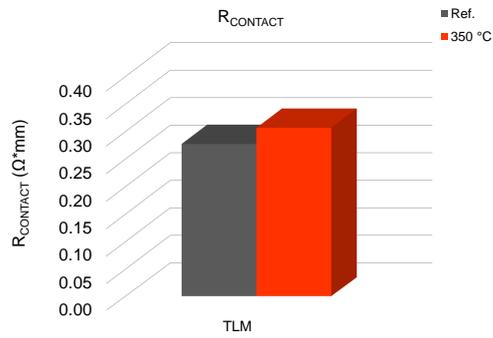
(a) Leakage del diodo a $V_{GS} = -7 V$.



(b) Resistenza serie valutata a $I_{GS} \approx 1 mA$.



(c) Resistenza del canale.



(d) Resistenza del contatto.

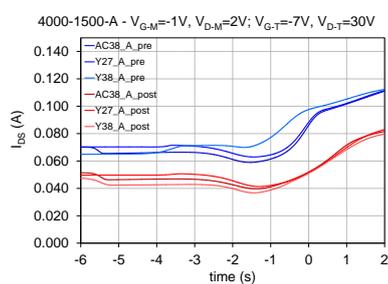
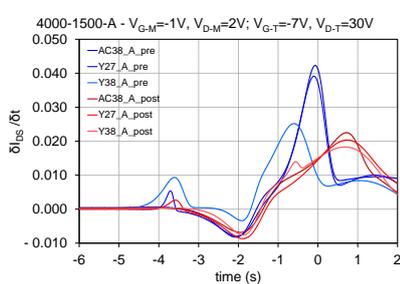
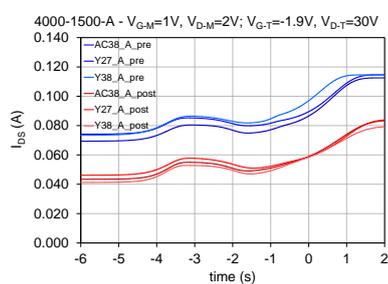
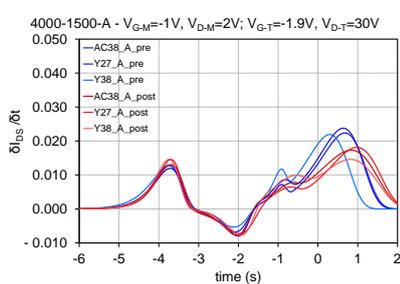
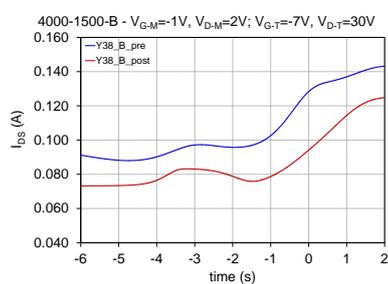
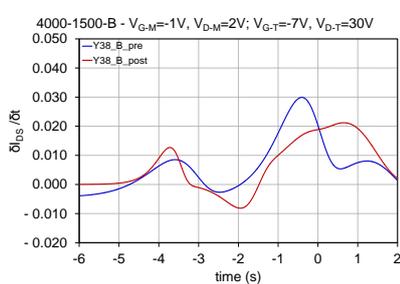
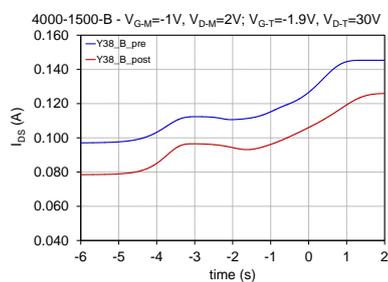
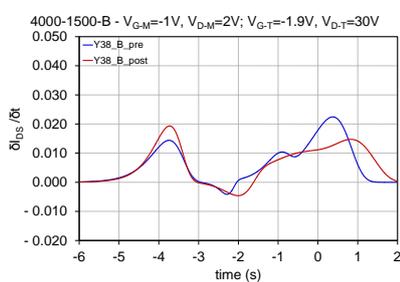
Figura 5.35: Riassunto dei parametri caratteristici DC mediati dei FATFET e TLM.

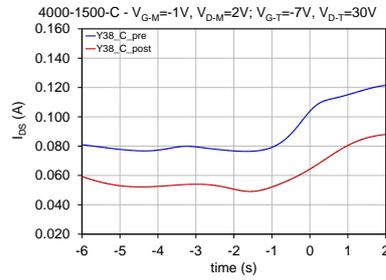
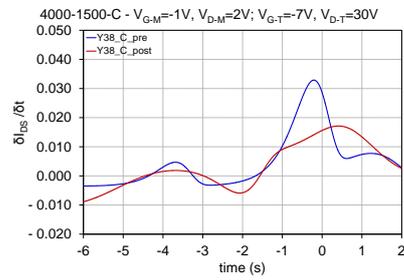
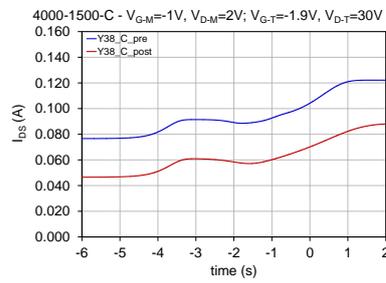
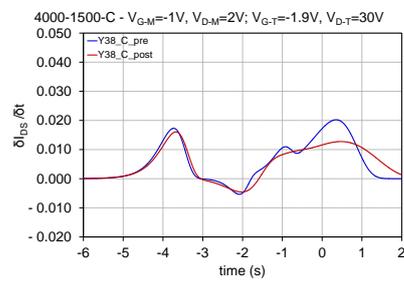
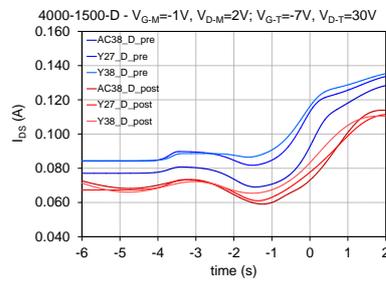
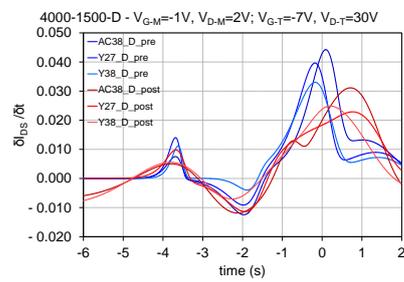
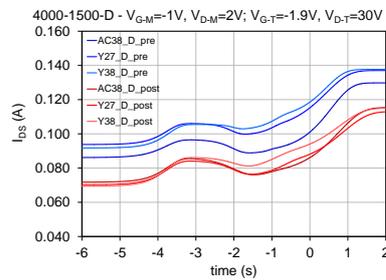
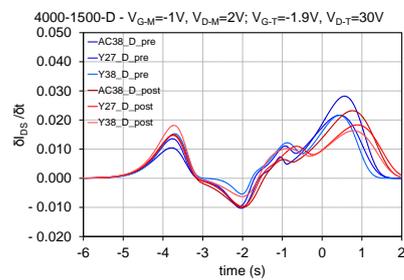
I dispositivi del Q1, sottoposti a temperatura maggiore, non presentano variazioni rispetto all'analisi effettuata precedentemente. La corrente di leakage dopo le 1000 ore sembra essersi stabilizzata su 1 mA/mm^2 e la resistenza serie rimane stabile attorno ai 300Ω . Le strutture TLM denotano un'ottima stabilità della resistenza di canale, mentre la resistenza del contatto continua a mantenere un lieve andamento crescente come osservato in precedenza, osservazione che risulterà maggiormente chiara in seguito.

5.5 Transienti post storage

Ora che lo stress è giunto a conclusione delle 2000 ore sul quarto uno a 350°C , si può passare ad effettuare nuovamente i transienti sugli otto dispositivi 4000-1500, per confrontarli con i risultati ottenuti nella caratterizzazione iniziale. Come nel precedente capitolo verranno riportati i grafici dei transienti più significativi, ottenuti nei punti di polarizzazione in off-state (-7V , 30V) e in semi-on state (-1.9V , 30V), confrontati con i dati ottenuti nella caratterizzazione iniziale. Di seguito sono descritti in dettaglio i grafici riportati:

- Figura 5.36: grafici relativi ai transienti dei dispositivi 4000-1500-A AC38, Y27, Y38 e 4000-1500-B Y38 del Q1 confrontati con i risultati pre storage nei punti di polarizzazione off (-7V , 30V) - on (-1V , 2V) e off (1.9V , 30V) - on (-1V , 2V);
- Figura 5.37: grafici relativi ai transienti dei dispositivi 4000-1500-C Y38 e 4000-1500-D AC38, Y27, Y38 del Q1 confrontati con i risultati pre storage nei punti di polarizzazione off (-7V , 30V) - on (-1V , 2V) e off (1.9V , 30V) - on (-1V , 2V);

(a) Transiente di I_D .(b) Derivata del fitting exp. di I_D .(c) Transiente di I_D .(d) Derivata del fitting exp. di I_D .(e) Transiente di I_D .(f) Derivata del fitting exp. di I_D .(g) Transiente di I_D .(h) Derivata del fitting exp. di I_D .Figura 5.36: Transienti di I_D per i dispositivi 4000-1500 A e B analizzati.

(a) Transiente di I_D .(b) Derivata del fitting exp. di I_D .(c) Transiente di I_D .(d) Derivata del fitting exp. di I_D .(e) Transiente di I_D .(f) Derivata del fitting exp. di I_D .(g) Transiente di I_D .(h) Derivata del fitting exp. di I_D .Figura 5.37: Transienti di I_D per i dispositivi 4000-1500 C e D analizzati.

Il test di storage eseguito sui campioni nel Q1 non ha portato ad una variazione significativa dei transienti, conclusione già prevedibile dall'osservazione dei risultati delle misure di double pulse. Dai grafici si può notare come lo stress abbia provocato uno spostamento rigido verso il basso del transitorio della corrente di drain a causa del calo DC della corrente, in particolare per tempi brevi fino a 10-100 ms, e una variazione più o meno marcata dei fenomeni di emissione per tempi lunghi. L'abbassamento del transiente della corrente è dovuto al degrado DC del dispositivo e, come vedremo in seguito, allo spostamento della soglia verso destra che ne riduce la corrente erogabile a parità di V_{GS} . Osservando i grafici delle derivate si vede chiaramente che il primo fenomeno di emissione e di cattura non hanno subito variazioni temporali, in particolare nel punto di polarizzazione in semi-on (-1.9 V, 30 V) (Figura 5.36 (d), Figura 5.37 (h)). Questo indica che, se come osservato nella caratterizzazione iniziale il primo fenomeno di emissione è dovuto principalmente alla presenza di ferro nello strato buffer, lo stress in temperatura non ha provocato nessuna migrazione delle trappole o del drogante nello strato buffer di GaN. La variazione maggiore si osserva per tempi lunghi, dove i due fenomeni di emissione risultano difficilmente distinguibili e di non facile comprensione. In particolare nella condizione di off-state si osserva uno spostamento verso destra del picco della derivata, attribuibile alla formazione di ulteriori difetti superficiali, o ad un rallentamento dei processi di svuotamento esistenti.

5.6 Riepilogo risultati

In questa sezione verranno presentati i risultati ottenuti dallo stress alle tre temperature dell'intero wafer, riportando i grafici dei parametri caratteristici normalizzati descritti in precedenza al variare del tempo. Al momento il test di storage ha raggiunto le 2000 ore previste solo per il Q1 a 350 °C, mentre per motivi di tempo i quarti sottoposti a 325 °C e 300 °C hanno raggiunto le 1500 ore e sono attualmente in fase conclusiva. Dato il grande numero di dispositivi, per semplificare la visione dei grafici si è scelto di riportare i risultati mediati per tipologia di dispositivo. In tutte le figure le curve rosse riportano i risultati del quarto a 350 °C, le gialle a 325 °C, le verdi a 300 °C e le nere rappresentano il quarto di riferimento. Dettaglio dei grafici riportati:

- Figura 5.38: grafici relativi alla caratterizzazione dei dispositivi 4000-1500;
- Figura 5.39: grafici relativi alla caratterizzazione dei dispositivi 4x400;
- Figura 5.40: variazione delle caratteristiche di sottosoglia di un tipico dispositivo a piccola e grande area;
- Figura 5.41: grafici relativi alla caratterizzazione dei diodi schottky FATFET;
- Figura 5.42: variazione delle caratteristiche elettriche di un tipico FATFET;
- Figura 5.43: grafici relativi alla caratterizzazione delle strutture TLM;
- Figura 5.44: grafici relativi alla caratterizzazione dinamica dei dispositivi 4000-1500 e 4x400;

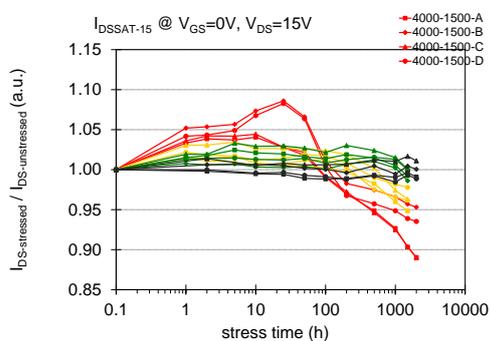
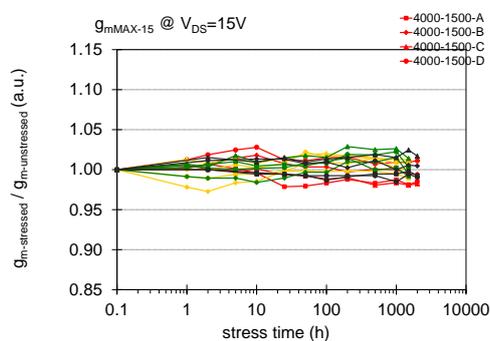
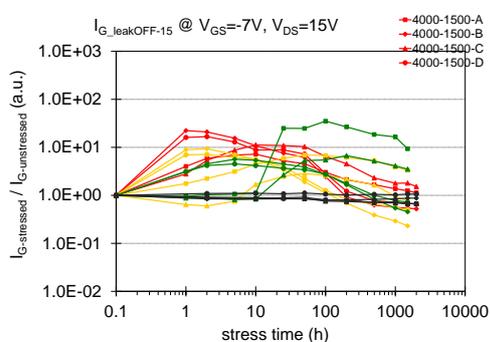
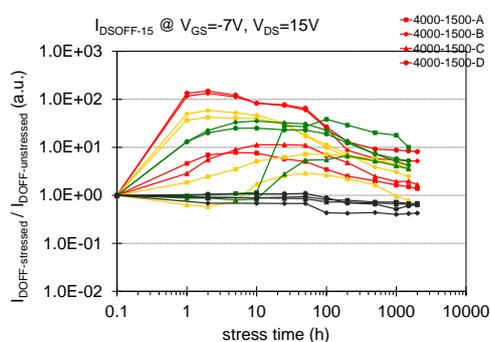
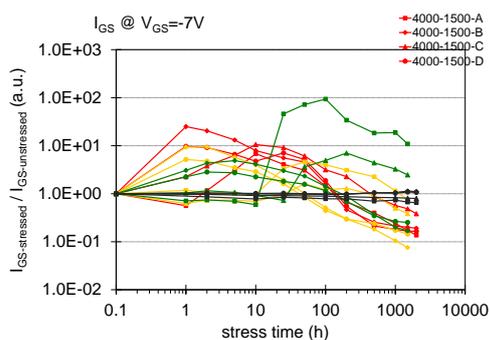
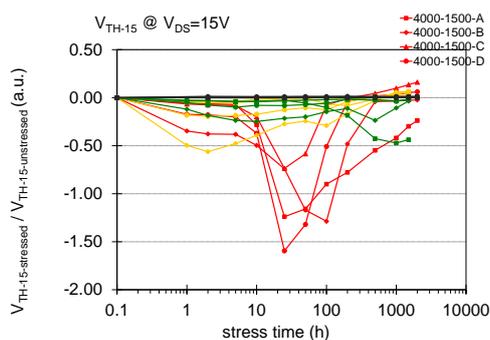
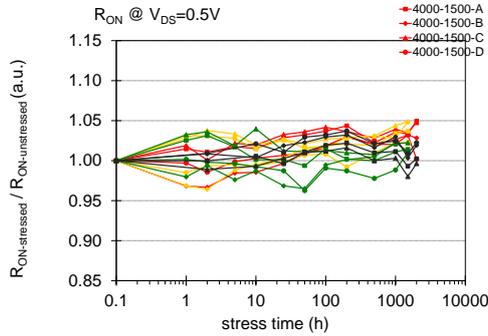
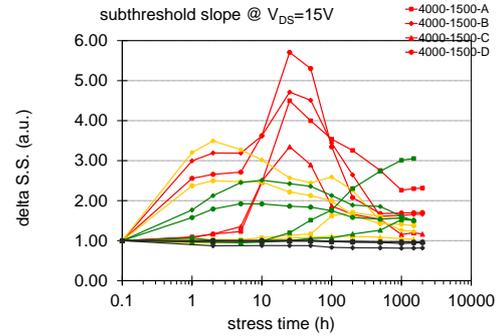
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.(b) Picco di g_m a $V_{DS} = 15$ V.(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.(e) Corrente diodo gate-source a $V_{GS} = -7$ V.(f) Tensione di soglia a $V_{DS} = 15$ V.

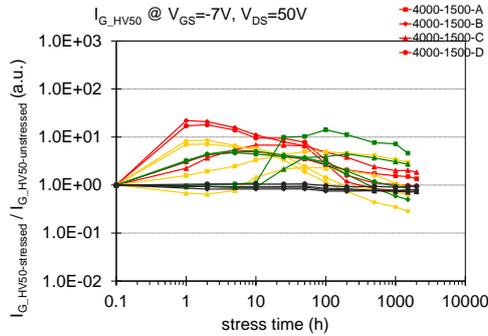
Figura 5.38: Variazione dei parametri caratteristici DC mediati negli HEMT 4000-1500.



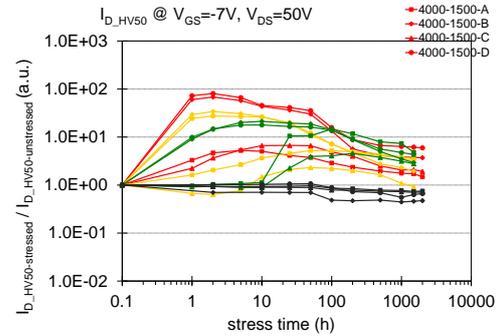
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



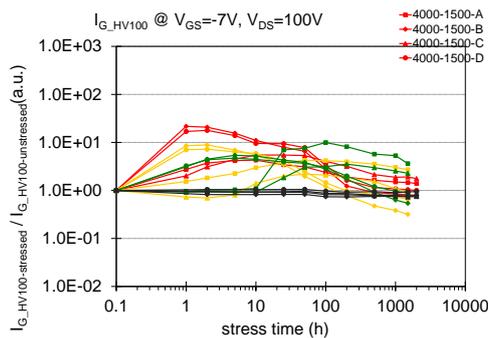
(h) Subthreshold Slope a $V_{DS} = 15$ V.



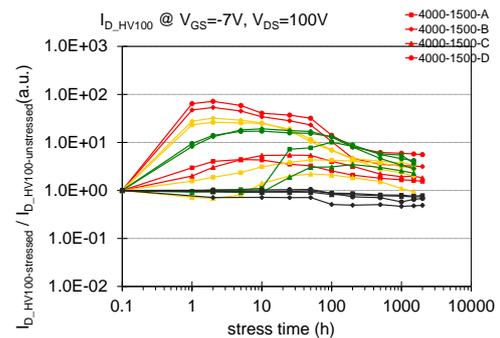
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.

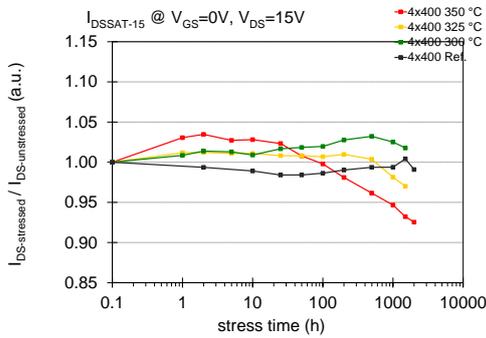


(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

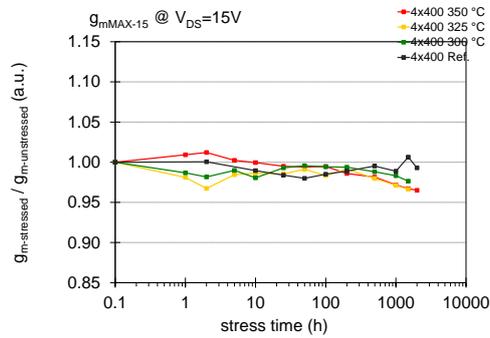


(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

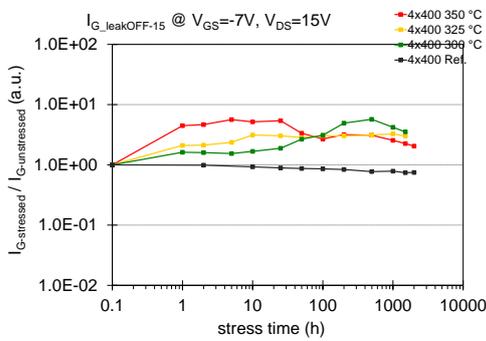
Figura 5.38: Variazione dei parametri caratteristici DC mediati negli HEMT 4000-1500.



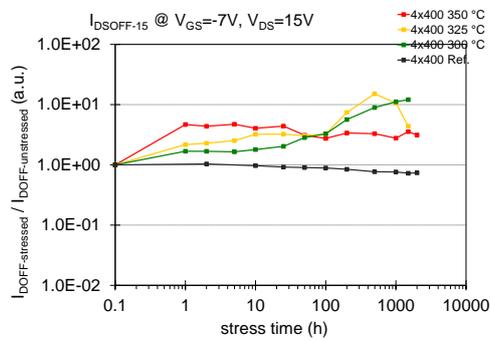
(a) I_{DS} a $V_{GS} = 0$ V e $V_{DS} = 15$ V.



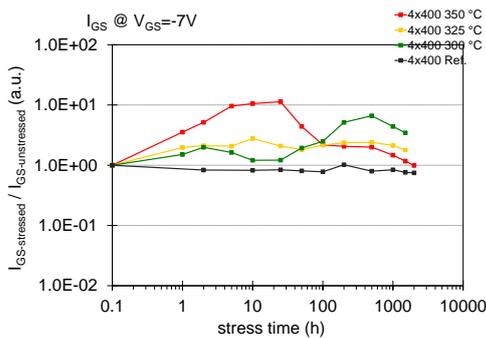
(b) Picco di g_m a $V_{DS} = 15$ V.



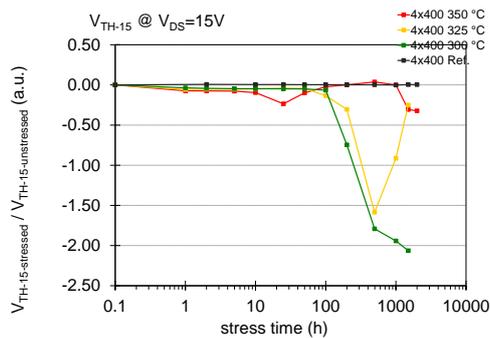
(c) Leakage di gate a $V_{GS} = -7$ V e $V_{DS} = 15$ V.



(d) Leakage di drain a $V_{GS} = -7$ V e $V_{DS} = 15$ V.

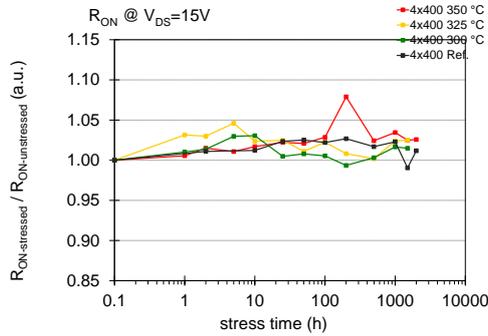


(e) Corrente diodo gate-source a $V_{GS} = -7$ V.

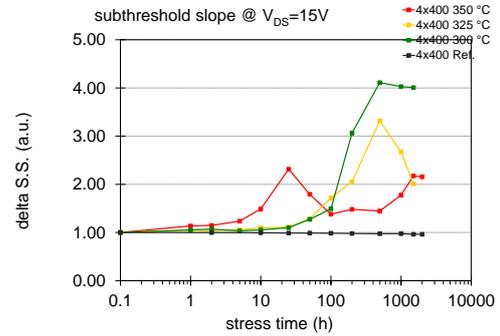


(f) Tensione di soglia a $V_{DS} = 15$ V.

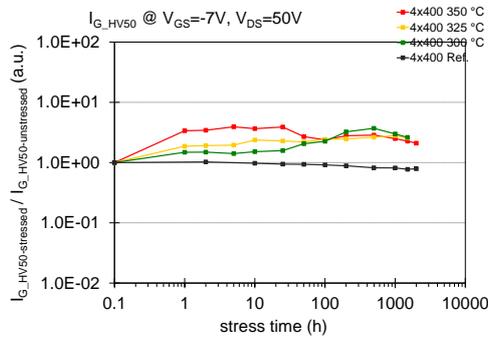
Figura 5.39: Variazione dei parametri caratteristici DC mediati negli HEMT 4x400 μm .



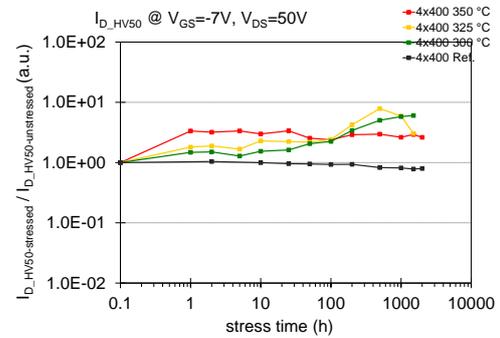
(g) Resistenza in on-state a $V_{GS} = 0$ V e $V_{DS} = 0.5$ V.



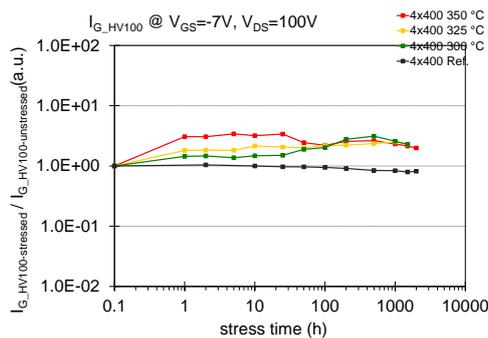
(h) Subthreshold Slope a $V_{DS} = 15$ V.



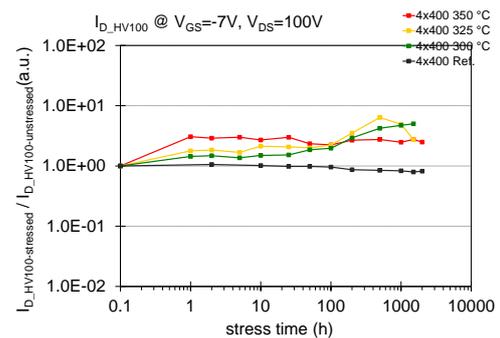
(i) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(j) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 50$ V.



(k) Leakage di gate in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.



(l) Leakage di drain in alta tensione a $V_{GS} = -7$ V e $V_{DS} = 100$ V.

Figura 5.39: Variazione dei parametri caratteristici DC mediati negli HEMT $4 \times 400 \mu\text{m}$.

Dall'osservazione dei grafici possiamo notare come entrambi i dispositivi, di area piccola e grande, presentano lo stesso andamento della corrente I_{DSSAT} e della transconduttanza. La corrente dopo una iniziale parabola collegata al movimento della corrente di leakage, maggiormente evidente nel caso a 350 °C, presenta una graduale riduzione a partire dalle 100 ore nei 350 °C e 500 ore nei 325 °C. Il picco della transconduttanza e la resistenza R_{ON} sono rimasti piuttosto stabili all'interno del 5 % di variazione, mentre nei dispositivi 4x400 sembra esserci un principio di calo graduale della transconduttanza a partire dalle 500 ore nelle due temperature maggiori.

Di particolare interesse è il comportamento della corrente di leakage in off-state e della corrente del diodo I_{GS} . Il leakage presenta inizialmente un aumento di circa una decade, oltre due decadi nel leakage di drain, nelle prime 1-10 ore di stress per tutte le temperature. L'aumento si è dimostrato maggiore nei dispositivi con leakage iniziale più alto, come i 4000-1500 B e D, e in particolare nei dispositivi stressati a 350 °C. Di contro i dispositivi ad alto leakage dimostrano una durata dell'effetto ridotta: il tutto termina dalle 200 ore dei 350 °C alle 1000 ore dei 300 °C, rispetto agli altri dispositivi a basso leakage dove alle 2000 ore solo i campioni a 350 °C hanno terminato la discesa. L'effetto sembra essere termicamente attivato e dipendente dalle geometrie dei dispositivi.

Un problema riscontrato durante le misurazioni è lo spostamento significativo verso sinistra della tensione di soglia nella maggior parte dei dispositivi testati (Figura 5.38-f e 5.39-f) a partire dalle 10-20 h di storage, con un conseguente aumento significativo della pendenza di sottosoglia. Ciò non permette di osservare il piccolo spostamento della soglia verso destra solitamente causato dallo stress in temperatura. Questo effetto, che si ripresenta in forma più evidente nei dispositivi a 4x400 μm alle 200 ore, è dovuto ad un grave peg-

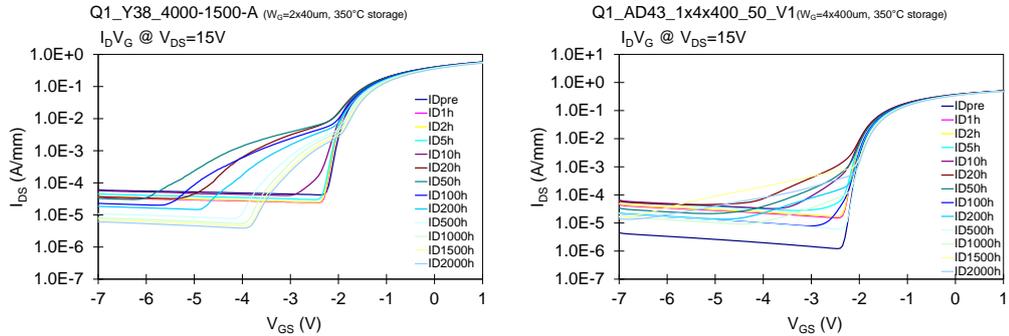
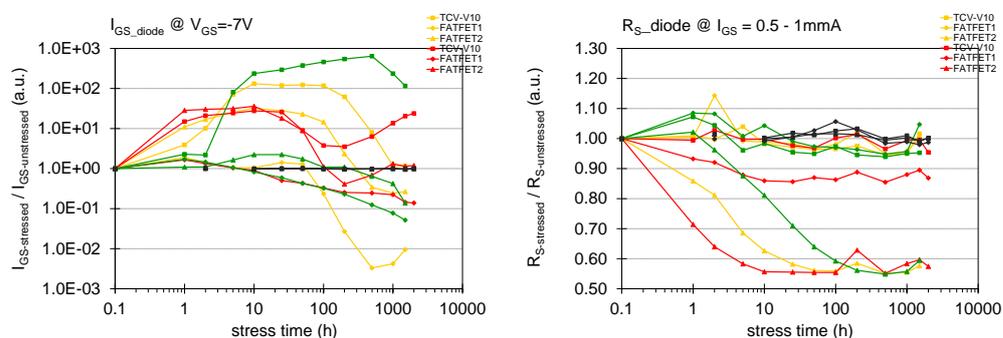
(a) Transcaratteristica a $V_{DS} = 15$ V.(b) Transcaratteristica a $V_{DS} = 15$ V.

Figura 5.40: Variazione della caratteristica di sottosoglia di un tipico dispositivo a) 4000-1500, b) 4x400 sottoposto a stress a 350 °C.

gioramento del comportamento dei dispositivi in sottosoglia (Figura 5.40), come osservato nelle sezioni precedenti, che rende difficile l'estrazione del valore di V_{TH} a 1mA/mm, ottenendo risultati falsati. Questo effetto crediamo sia dovuto alla formazione di un canale parassita che mantiene il dispositivo parzialmente aperto nella condizione di canale chiuso. Questo fenomeno sembra essere di tipo transitorio, in particolare nei dispositivi 4000-1500 a 350 °C dove si è concluso alle 200 ore, mentre alle altre temperature il fenomeno è comparso di nuovo per tempi maggiori, 200-500 ore, rendendo impossibile comprenderne il comportamento futuro allo stato attuale del test. Questo meccanismo è in fase di studio e ancora non si comprendono i motivi della variazione della caratteristica in sottosoglia. Infatti questa regione è particolarmente influenzata dai livelli di drogante nello strato buffer, suggerendo che tale modifica dei parametri DC potrebbe essere causato da una lenta variazione delle proprietà di compensazione del drogante.

Nei FATFET, come negli HEMT, si osserva un aumento della corrente di leakage nelle prime ore di test dipendente dalla temperatura. L'aumento ces-

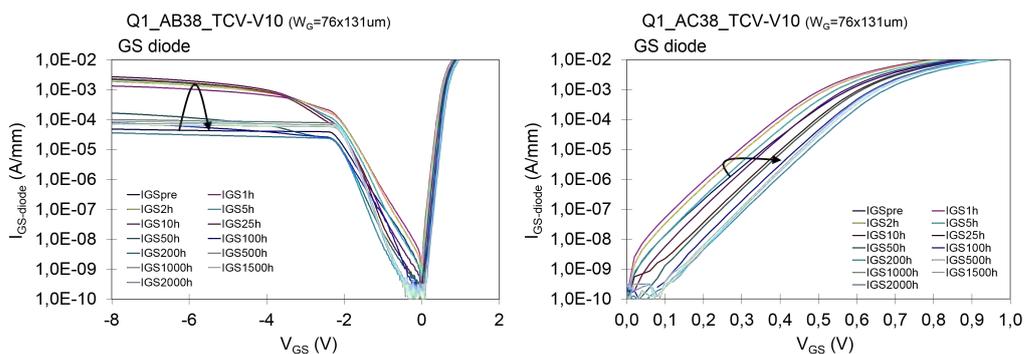
sa poco oltre le 10 ore alla temperatura maggiore e ritorna ai livelli iniziali dopo 100 ore di stress. Anche in questo caso il fenomeno sembra dipendente dalla temperatura dato che l'aumento e la successiva discesa dei leakage alle altre temperature avviene per tempi maggiori (Figura 5.41 (a)). Inoltre dalla Figura 5.42 il fenomeno sembra connesso allo spostamento della barriera prima a sinistra e poi a destra rispetto alla caratterizzazione iniziale.



(a) Leakage del diodo misurato a $V_{GS} = -7$ V.

(b) Resistenza serie valutata a $I_{GS} \approx 1$ mA.

Figura 5.41: Variazione dei parametri caratteristici DC mediati nei FATFET.



(a) Caratteristica del diodo Schottky.

(b) Caratteristica forward del diodo Schottky.

Figura 5.42: Variazione delle caratteristiche elettriche di un tipico FATFET sottoposto a stress a 350 °C.

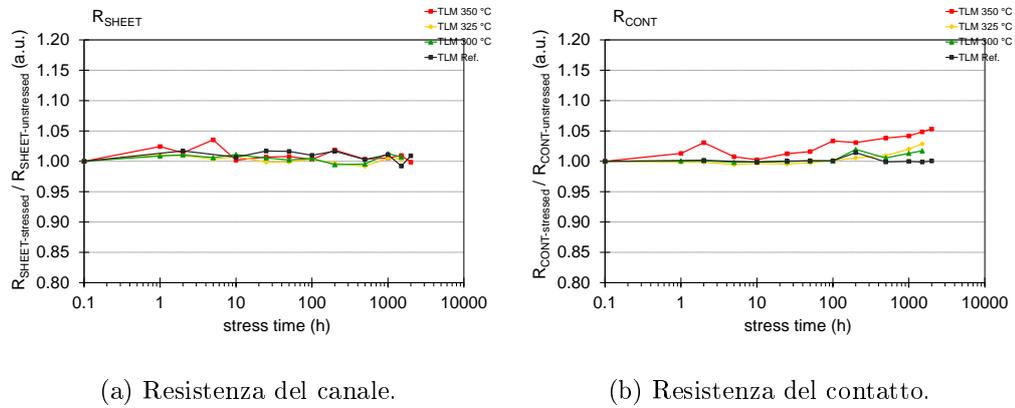
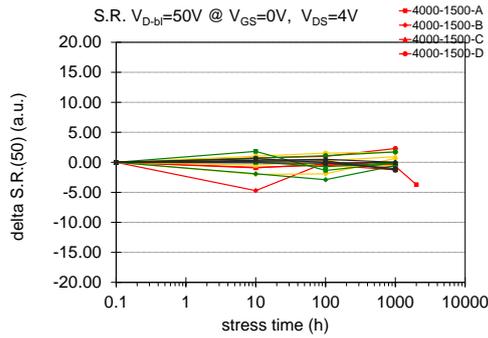


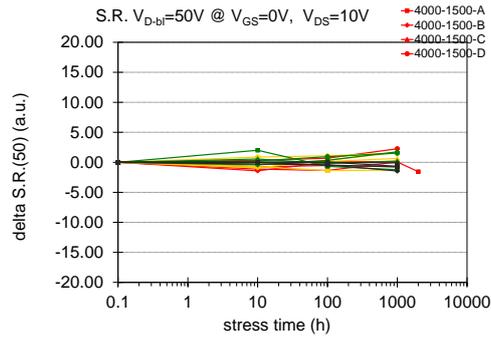
Figura 5.43: Variazione dei parametri caratteristici DC mediati delle strutture TLM.

La resistenza serie del diodo dimostra un valore piuttosto stabile per i dispositivi TCV e FATFET1, all'interno del 10 %. I FATFET2 che inizialmente presentavano una resistenza serie circa doppia, $R_S = 550 \Omega$, si sono riportati allo stesso livello degli altri dispositivi in tempi diversi dipendenti dalla temperatura. Questo fenomeno è attribuibile ad un processo di annealing dei contatti realizzato dallo stress in temperatura.

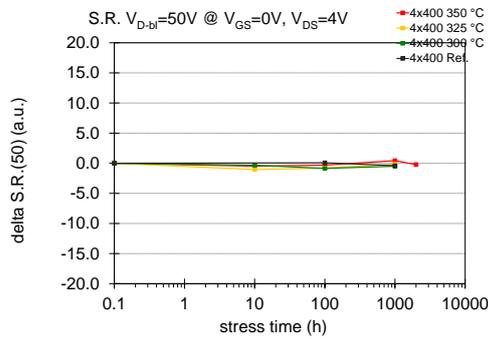
Nelle strutture TLM non si sono osservate particolari variazioni durante tutto il periodo di test, segno di una buona stabilità dei contatti. L'unica osservazione riguarda la resistenza di contatto che, come si può vedere nella Figura 5.43-b, dalle 50 ore per i 350 °C e nelle ore successive per le altre temperature, sembra crescere linearmente raggiungendo alle 2000 ore una variazione del 5 % per i 350 °C. Ciò fa pensare sia in atto un degrado del contatto, ma i bassi valori della resistenza e del degrado, tipicamente $R_{\text{CONTACT}} = 0.3 \Omega \cdot \text{m}$ e $> 5 \%$, non permettono di confermarlo.



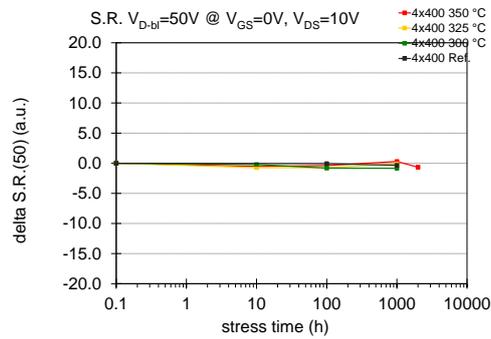
(a) Slump ratio dei 4000-1500
a $V_{DS} = 4 V$.



(b) Slump ratio dei 4000-1500
a $V_{DS} = 10 V$.



(c) Slump ratio dei 4x400 a
 $V_{DS} = 4 V$.



(d) Slump ratio dei 4x400 a
 $V_{DS} = 10 V$.

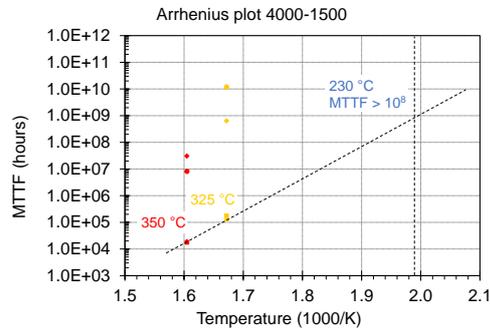
Figura 5.44: Variazione delle caratteristiche dinamiche nei dispositivi 4000-1500 e 4x400 attraverso la media degli slump ratio.

Le misure dinamiche sui dispositivi testati non hanno fornito risultati di interesse. Lo slump ratio è risultato piuttosto stabile in tutti i dispositivi, con variazioni all'interno del 5 %, dimostrando una indipendenza dalla variazione degli altri parametri esaminati, come per esempio il forte aumento del leakage. La riduzione massima degli slump ratio è stata raggiunta dai soli dispositivi 4000-1500 B, con cali del 5-7 %, che correlata con i valori raggiunti dalla corrente di leakage in off-state, indipendentemente dalla temperatura, suggerisce una interazione tra i fenomeni di intrappolamento e di leakage.

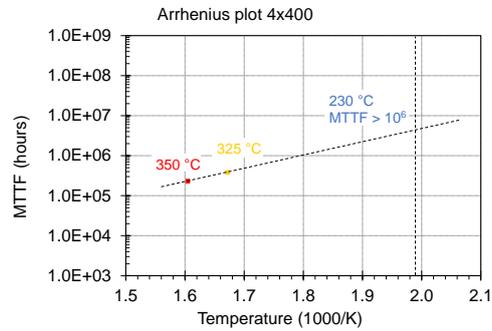
5.6.1 Tempo di vita

I dati ottenuti dal test di storage ci permettono infine di stimare il tempo di vita medio dei dispositivi attraverso la realizzazione di un diagramma di Arrhenius. Come abbiamo potuto osservare, i dispositivi presentano una notevole robustezza e tuttora risultano tutti integri anche dopo 2000 ore a 350 °C. Per la stima del tempo di vita ci siamo basati sui criteri di guasto indicati dal costruttore, come il calo della corrente I_{DSSAT} o della transconduttanza g_m del 20 %. Data la stabilità della g_m , la stima è stata effettuata sul calo della corrente di drain a 15 V per tutte le tipologie di dispositivi HEMT.

Nelle Figure 5.45 (a-b) sono riportate le stime del tempo di vita dei dispositivi, realizzate utilizzando solo i dati ottenuti dai test a 350 °C e 325 °C visto che dopo 1500 ore i dispositivi a 300 °C non presentano un chiaro andamento decrescente della corrente di drain. Il target della tecnologia è fissato a 10^6 ore alla temperatura operativa di 230 °C. Dai dati dei dispositivi 4000-1500, nel caso peggiore, si ottiene una sovrastima del tempo di vita medio pari a $8.75 \cdot 10^8$ ore a 230 °C, mentre dai dispositivi target della tecnologia in esame, 4x400, si ottiene una stima più vicina al target, di $4 \cdot 10^6$ ore sempre a 230 °C. Possiamo quindi concludere che i dispositivi analizzati superano pienamente



(a) MTTF dei dispositivi 4000-1500.



(b) MTTF dei dispositivi 4x400.

Figura 5.45: Diagrammi di Arrhenius e stima del tempo di vita medio dei dispositivi a) 4000-1500 e b) 4x400.

il target stabilito, dimostrando di possedere un'elevata robustezza alle alte temperature, e un'elevata affidabilità nei confronti di tutti i meccanismi di guasto attivati termicamente.

Conclusioni

In questo periodo di tesi è stato analizzato un wafer contenente diversi dispositivi HEMT basati su eterostruttura AlGa_N/Ga_N e strutture di test passive, utilizzate per studiare singolarmente il comportamento dei contatti e del diodo gate-source. Gli HEMT studiati sono i 4000-1500 e i 4x400, tutti con larghezza di gate di $W_G = 0.5 \mu\text{m}$, che si differenziano in particolare per la lunghezza di gate L_G , rispettivamente di $80 \mu\text{m}$ e $1600 \mu\text{m}$. Inoltre dei 4000-1500 sono state analizzate le quattro tipologie di dispositivi A-B-C-D, rappresentanti le varie combinazioni tra field plate di diverse lunghezze e trattamento superficiale. L'uso di questi dispositivi è destinato ad applicazioni RF per sistemi di comunicazione di tipo satellitare. Date le difficili condizioni operative, i dispositivi devono presentare un'elevata robustezza ai tipici fenomeni di guasto della tecnologia e raggiungere elevati tempi di vita dell'ordine di milioni di ore alla temperatura operativa di $230 \text{ }^\circ\text{C}$.

Il lavoro di tesi si è basato sullo studio dell'affidabilità a lungo termine dei dispositivi sopra citati attraverso un test a tre temperature della durata di 2000 h, definito test di storage. Durante lo storage sono state effettuate misure statiche e dinamiche a intervalli regolari così da seguire le variazioni di alcuni parametri caratteristici dei dispositivi. In aggiunta, prima e dopo lo storage, sono state realizzate delle misure dei transienti della corrente di drain, su alcuni dispositivi tipici 4000-1500, per analizzare con maggior det-

taglio i fenomeni di intrappolamento presenti nei dispositivi.

Dalle misure effettuate possiamo trarre le seguenti conclusioni:

- Le misure DC hanno rivelato una buona omogeneità dei parametri caratteristici tra i dispositivi all'interno del wafer. La principale differenza si è osservata nei valori di leakage, dove gli HEMT 4000-1500 B e D presentano inizialmente valori più elevati, da una a due decadi, rispetto alle altre tipologie di dispositivi studiati.
- Le misure dinamiche denotano un collasso significativo della corrente nella caratteristica I_D - V_D di circa il 40 %. In particolare il collasso maggiore si è osservato nei dispositivi 4000-1500 B, raggiungendo il 50 % nella misura con baseline (-7 V, 50 V) nella zona di ginocchio $V_{DS} = 4$ V. Dalle misure di I_D - V_G impulsive si è osservato che il collasso è causato da uno spostamento rigido verso destra della transconduttanza in assenza di un calo del picco. Da questo si può concludere che le trappole sono situate al di sotto del gate e non nella regione di accesso.
- I transienti della corrente di drain hanno chiarito ulteriormente la posizione delle trappole individuate nelle misure dinamiche. La presenza del fenomeno di emissione denominato E2 in condizioni di polarizzazione semi-on, e la sua scomparsa in off-state, ci ha permesso di definire la posizione delle trappole, situate nel buffer di GaN al di sotto del gate.
- Lo storage ha rivelato un comportamento anomalo del leakage e della tensione di soglia dei dispositivi HEMT. Il leakage presenta un rapido aumento nelle prime ore di test e un successivo calo graduale nelle centinaia di ore successive, riportandosi ai livelli iniziali. Questo fenomeno sembra essere dipendente dalla temperatura e dal campione analizzato, se a basso o alto leakage iniziale. La soglia ha mostrato

un comportamento anomalo in molti dei dispositivi testati dovuto alla mancata chiusura del canale in condizioni di pinch-off. Questo fatto è attribuibile alla formazione di un canale conduttivo parassita che non permette la chiusura completa del canale del dispositivo. Il fenomeno sembra essere permanente a tutte le temperature.

- Durante lo storage non abbiamo osservato variazioni nelle misure dinamiche, segno che le alte temperature non influiscono sulle trappole nella regione di buffer o nella barriera di AlGaIn.
- Le misure DC sulle strutture passive hanno rivelato un'ottima stabilità dei contatti e un comportamento del diodo schottky del tutto simile ai leakage individuati sui dispositivi HEMT.
- Le stime sul tempo di vita, ottenute dall'andamento della corrente I_{DS} , superano il target imposto per la tecnologia in entrambe le tipologie di dispositivi.

A conclusione del lavoro svolto possiamo dire che la tecnologia di dispositivi HEMT studiati si è rivelata molto robusta e stabile. Le stime del tempo di vita hanno dato ottimi risultati, superando il target imposto dal costruttore, mentre il comportamento del leakage e della tensione di soglia necessitano di studi più approfonditi per comprendere la causa del fenomeno di guasto, e le conseguenze per il corretto funzionamento della tecnologia.

Bibliografia

- [1] N. E. Christensen, S. Satpathy, and Z. Pawlowska, "Bonding and ionicity in semiconductors," *Physical Review B*, vol. 36, no. 2, July 1987.
- [2] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, L. F. Eastman, R. Dimitrov, L. Wittmer, M. Stutzmann, W. Rieger, and J. Hilsenbeck, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures," *Journal of Applied Physics*, vol. 85, no. 6, pp. 3222-3233, March 1999.
- [3] Feng Shi, "GaN Nanowires Fabricated by Magnetron Sputtering Deposition," *College of Physics & Electronics, Shandong Normal University*, P.R.China.
- [4] U. K. Mishra, L. Shen, T. E. Kazior, and Y. Wu, "GaN-Based RF Power Devices and Amplifiers," *Proceedings of the IEEE*, vol. 96, no. 2, pp. 287-305, February 2008.
- [5] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, L. F. Eastman, R. Dimitrov, A. Mitchell, and M. Stutzmann, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped

- and doped AlGa_N/Ga_N heterostructures,” *Journal of Applied Physics*, vol. 87, no. 1, pp. 334-344, January 2000.
- [6] R. J. Trew, “High-Frequency Solid-State Electronic Devices,” *IEEE Transactions on Electron Devices*, vol. 52, no. 5, pp. 638-649, May 2005.
- [7] L. Liu, and J.H. Edgar, “Substrates for gallium nitride epitaxy,” *Electronics Letters*, April 2002.
- [8] <http://som.web.cmu.edu/structures/S058-Al2O3.html>.
- [9] http://en.wikipedia.org/wiki/Silicon_carbide.
- [10] D. Ehentraut, E. Maissner, and M. Bockowski, “Technology of Gallium Nitride Crystal Growth,” *Springer*, 2010.
- [11] F. Ren, and J.C. Zolper, “Wide Energy Bandgap Electronics Devices,” *World Scientific Publishing Co. Pte. Ltd.*, 2003.
- [12] R. Quay, “Gallium Nitride Electronics,” *Springer*, 2008.
- [13] http://en.wikipedia.org/wiki/High-electron-mobility_transistor.
- [14] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, “Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors,” *Applied Physics Letters*, vol. 77, no. 2, pp. 250-252, July 2000.
- [15] G. Meneghesso, R. Pierobon, F. Rampazzo, G. Tamiazzo, E. Zanoni, J. Bernat, P. Kordos, A.F. Basile, A. Chini, and G. Verzellesi, “Hot-Electron-Stress degradation in unpassivated Ga_N/AlGa_N/Ga_N HEMTs on SiC,” *IEEE 43rd Annual International Reliability Physics Symposium*, San Jose, 2005.

- [16] G. Meneghesso, F. Rampazzo, P. Kordos, G. Verzellesi, and E. Zanoni, "Current Collapse and High-Electric-Field Reliability of Unpassivated GaN/AlGa_N/Ga_N HEMTs," *IEEE Transactions on Electron Devices*, vol. 53, no. 12, pp. 2932-2941, December 2006.
- [17] S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, D. Park, H. B. Dietrich, D. D. Koleske, A. E. Wickenden, and R. L. Henry, "Trapping Effects and Microwave Power Performance in AlGa_N/Ga_N HEMTs," *IEEE Transactions on Electron Devices*, vol. 48, no. 3, pp. 465-471, March 2001.
- [18] S. C. Binari, P. B. Klein, and T. E. Kazior, "Trapping Effects in Ga_N and SiC Microwave FETs," *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1048-1058, June 2002.
- [19] [http : //www.semiconductor – today.com/news _items/2011/JULY/MITSUBISHI _020711.html](http://www.semiconductor-today.com/news_items/2011/JULY/MITSUBISHI_020711.html).
- [20] J. Joh, and J. A. del Alamo, "Mechanisms for Electrical Degradation of Ga_N High-Electron Mobility Transistors," *Massachusetts Institute of Technology Cambridge*.
- [21] E. Zanoni, F. Danesin, M. Meneghini, A. Cetronio, C. Lanzieri, M. Peroni, and G. Meneghesso, "Localized Damage in AlGa_N/Ga_N HEMTs Induced by Reverse-Bias Testing," *IEEE Electron Device Letters*, vol. 30, no. 5, pp. 427-429, May 2009.
- [22] J. A. del Alamo, and J. Joh, "Ga_N HEMT reliability," *Microelectronics Reliability*, vol. 49, pp. 1200-1206, 2009.
- [23] E.A. Douglas, C.Y. Chang, D.J. Cheney, B.P. Gila, C.F. Lo, L. Lu, R. Holzworth, P. Whiting, K. Jones, G.D. Via, J. Kim, S. Jang, F.

- Ren, and S.J. Pearton, "AlGa_N/Ga_N High Electron Mobility Transistor degradation under on- and off-state stress," *Microelectronics Reliability*, vol. 51, pp. 207-2011, 2010.
- [24] S.Y. Park, C. Floresca, U. Chowdhury, J. L. Jimenez, C. Lee, E. Beam, P. Saunier, T. Balistreri, and M. J. Kim, "Physical degradation of Ga_N HEMT devices under high drain bias reliability testing," *Microelectronics Reliability*, vol. 49, pp. 478-483, 2009.
- [25] D. Marcon, T. Kauerauf, F. Medjdoub, J. Das, M. Van Hove, P. Srivastava, K. Cheng, M. Leys, R. Mertens, S. Decoutere, G. Meneghesso, E. Zanoni, and G. Borghs, "A Comprehensive Reliability Investigation of the Voltage-, Temperature- and Device Geometry-Dependence of the Gate Degradation on state-of-the-art Ga_N-on-Si HEMTs," *IEEE Electron Devices Meeting*, pp. 20.3.1-20.3.4, December 2010.
- [26] M. Tapajna, U. K. Mishra, and M. Kuball, "Importance of impurity diffusion for early stage degradation in AlGa_N/Ga_N high electron mobility transistors upon electrical stress," *Applied Physics Letters*, vol. 97, July 2000.
- [27] F. Danesin, A. Tazzoli, F. Zanon, G. Meneghesso, E. Zanoni, A. Ceronio, C. Lanzieri, S. Lavanga, M. Peroni, and P. Romanini, "Thermal storage effects on AlGa_N/Ga_N HEMT," *Microelectronics Reliability*, vol. 48, pp. 1361-1365, 2008
- [28] M. Zhao, X. Wang, X. Liu, J. Huang, Y. Zheng, and Ke Wei, "Thermal Storage of AlGa_N/Ga_N High-Electron-Mobility Transistors," *IEEE Transactions on Device and Materials Reliability*, vol. 10, no. 3, pp. 360-365, September 2010.

- [29] F. Vitobello, and A. R. Barnes, "Long Duration High Temperature Storage Test on GaN HEMTs," *Reliability Physics Symposium (IRPS), 2012 IEEE International*, pp. 2C.4.1 - 2C.4.6, April 2012.
- [30] R. Coffe, Y. Chen, I. P. Smorchkova, B. Heying, V. Gambin, W. Sutton, Y.-C. Chou, W.-B. Luo, M. Wojtowicz, and A. Oki, "Temperature and voltage dependent RF degradation study in AlGa_N/Ga_N HEMTs," *Reliability physics symposium, proceedings of the IEEE*, pp. 568-569, April 2007.
- [31] M. Meneghini, A. Stocco, R. Silvestri, N. Ronchi, G. Meneghesso, and E. Zanoni, "Impact of Hot Electrons on the Reliability of AlGa_N/Ga_N High Electron Mobility Transistors," *Reliability Physics Symposium (IRPS), 2012 IEEE International*, pp. 2C.2.1 - 2C.2.5, April 2012.
- [32] [http : //www.cleantechnotes.org/2013/02/22/fraunhofers – photovoltaic – durability – initiative – reducing – investment – risks/](http://www.cleantechnotes.org/2013/02/22/fraunhofers-photovoltaic-durability-initiative-reducing-investment-risks/).
- [33] J. H. Leach, and H. Morkoc, "Status of Reliability of Ga_N-Based Heterojunction Field Effect Transistors," *Proceedings of the IEEE*, vol. 98, no. 7, pp. 1127-1139, July 2010.
- [34] S. Singhal, A.W. Hanson, A. Chaudhari, P. Rajagopal, T. Li, J.W. Johnson, W. Nagy, R. Therrien, C. Park, A.P. Edwards, E.L. Piner, K.J. Linthicum, and I.C. Kizilyalli, "Qualification and Reliability of a Ga_N Process Platform," *CS MANTECH Conference*, pp. 83-86, May 2007.
- [35] E. Zanoni, M. Meneghini, A. Chini, D. Marcon, and G. Meneghesso, "AlGa_N/Ga_N-Based HEMTs Failure Physics and Reliability: Mechan-

- sms Affecting Gate Edge and Schottky Junction,” *IEEE Transactions on Electron Devices*, vol. 60, pp. 3119-3131, September 2013.
- [36] M. Meneghini, A. Stocco, R. Silvestri, G. Meneghesso, and E. Zanoni, “Degradation of AlGaN/GaN high electron mobility transistors related to hot electrons,” *Applied Physics Letters*, vol. 100, 2012.
- [37] D. Bisi, A. Stocco, M. Meneghini, F. Rampazzo, A. Cester, G. Meneghesso, and E. Zanoni, “High-Voltage Double-Pulsed Measurement System for GaN-based Power HEMTs,” *Reliability Physics Symposium, 2014 IEEE International*, pp. CD.11.1 - CD.11.4, June 2014.
- [38] D. Bisi, M. Meneghini, C. de Santi, A. Chini, M. Dammann, P. Brückner, M. Mikulla, G. Meneghesso, and E. Zanoni, “Deep-Level Characterization in GaN HEMTs-Part I: Advantages and Limitations of Drain Current Transient Measurements,” *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 3166-3175, October 2013.
- [39] M. Tapajna, R. J. T. Simms, Y. Pei, U. K. Mishra, and M. Kuball, “Integrated Optical and Electrical Analysis: Identifying Location and Properties of Traps in AlGaN/GaN HEMTs During Electrical Stress,” *IEEE Electron Device Letters*, vol. 31, no. 7, pp. 662-664, July 2010.
- [40] J. Joh, and J. A. del Alamo, “A Current-Transient Methodology for Trap Analysis for GaN High Electron Mobility Transistors,” *IEEE Transactions on Electron Devices*, vol. 58, no. 1, pp. 132-140, January 2011.