

Università degli studi di PADOVA
Laurea Magistrale in Ingegneria Elettronica

**Realizzazione con LabVIEW FPGA di un modulatore PWM
per inverter a tensione impressa**

Relatore: Prof. Simone Buso

Studente: Biagio Grassi
Matricola: 1076366

A.A. 2016/2017

May you always do for others
and let others do for you
[...]
May you grow up to be righteous,
may you grow up to be true,
may you always know the truth
and see the lights surrounding you.
May you always be courageous,
stand upright and be strong.
[...]
May your hands always be busy,
may your feet always be swift,
may you have a strong foundation
when the winds of changes shift.
May your heart always be joyful,
may your song always be sung,
may you stay forever young.

Bob Dylan

Indice

1	Inverter a tensione impressa	3
1.1	Inverter a ponte intero	3
1.2	Pulse Width Modulation	4
1.2.1	PWM bipolare	4
1.2.2	PWM unipolare	6
1.3	Filtro d'uscita	8
1.4	Guadagno d'anello	9
1.5	Sistema considerato	9
2	PWM Digitale	11
2.1	DPWM a contatore	11
2.2	DPWM a linea di ritardo	13
2.3	Modello a tempo continuo del modulatore DPWM	14
2.3.1	DPWM con update doppio	14
2.4	Confronto tra PWM analogica e PWM digitale	15
3	Controllo Digitale	17
3.1	Acquisizione del segnale	17
3.2	Sincronismo tra campionamento e PWM	19
3.3	Quantizzazione	20
3.3.1	Oscillazioni di ciclo limite	21
4	Sistema utilizzato	23
4.1	Emulatore di inverter	23
4.1.1	Circuito TC426CPA	24
4.2	Dispositivi di acquisizione e controllo	25
5	Progettazione del controllore	27
5.1	Controllore PI	27
5.2	Metodo Anti-wind-up	30
5.3	Discretizzazione del controllore	31
6	Software implementato in LabVIEW	33
6.1	Modulatore	33
6.2	Generazione del riferimento	35
6.3	Acquisizione e generazione del controllo	36
6.3.1	Controllore PI	37
6.4	Controllore Real Time	37
7	Risultati	39
7.1	Sincronizzazione	39
7.1.1	Regolazione dell'anticipo/ritardo	40
7.2	Risposta al gradino	42
7.2.1	Risposta al gradino con saturazione	42

7.3	Test sinusoidale	46
7.4	Commenti finali e sviluppi futuri	48
	Ringraziamenti	51

Introduzione

Negli ultimi anni è diventato sempre più importante il concetto di Rete Intelligente (Smart Grid).

La direttiva europea "20-20-20" ha dato inizio ad una ricerca che ha prodotto non pochi risultati negli ambiti più disparati, dall'elettrotecnica all'elettronica di potenza, dalle telecomunicazioni alla controllistica; il tutto mirato ad ottenere scambi e gestione di potenze più efficienti, più sostenibili a livello ambientale, più intelligenti.

In questo senso, quello che si sta verificando è il passaggio dalla rete elettrica tradizionale, in cui poche grandi centrali di produzione forniscono la potenza necessaria all'alimentazione di tutte le utenze, ad una rete nella quale anche molte sorgenti di energia, distribuite nel territorio, contribuiscono alla generazione. Si presenta, dunque, la necessità di interfacciare queste sorgenti alla rete, tramite convertitori elettronici di potenza, i quali consentono un controllo locale delle grandezze elettriche.

La presenza di queste interfacce tra la rete e le singole sorgenti permette una flessibilità mai raggiunta nella rete elettrica tradizionale e, di conseguenza, un flusso bidirezionale di potenza tra rete e *prosumers*, la nuova tipologia di utente che diventa, in quest'ottica sempre più "smart", anche un produttore di energia. Tra i più importanti benefici potenziali delle Smart Grid si possono elencare:

- diffusione capillare delle sorgenti rinnovabili;
- riduzione delle perdite di distribuzione;
- utilizzazione più efficace delle sorgenti convenzionali;
- stabilizzazione delle tensioni e miglioramento della "power quality".

Per questi motivi, tutti i processi che riescono a migliorare la diffusione e l'efficacia delle Smart Grid sono oggetto di studi, i quali recentemente si stanno diffondendo e cominciano a dare i loro frutti, almeno a livello teorico.

Obiettivo di questa tesi è quello di analizzare il funzionamento (o almeno parte di esso) di uno dei convertitori più comuni che si possono trovare in una Smart Grid, utilizzato per convertire potenza elettrica da continua ad alternata, ovvero l'inverter, e di indagare alcuni aspetti riguardanti la sincronizzazione del suo controllo digitale.

La topologia scelta è quella dell'inverter a ponte intero la quale si adatta più facilmente ad un uso generico e presenta una maggiore flessibilità in termini di tensioni e correnti in uscita.

Per tutti i test effettuati nello svolgimento di questa attività, tale inverter è stato emulato da due circuiti Driver MOS TC426CPA, che ben si prestano ad un utilizzo di questo genere. Tali driver servono a comandare l'accensione o lo spegnimento degli interruttori MOS di potenza utilizzati negli inverter, quindi, presentano le giuste caratteristiche in termini di velocità e, opportunamente scalata, anche in termini di potenza.

Capitolo 1

Inverter a tensione impressa

Gli inverter a tensione impressa, o Voltage Source Inverter (VSI), sono dei sistemi che consentono di convertire potenza elettrica, ricevendo in input una tensione continua V_{DC} e offrendo in output una tensione alternata.

I VSI possono essere suddivisi principalmente in tre macrocategorie:

- *Pulse-width-modulated inverters*: in questa tipologia di inverter, la tensione V_{DC} in ingresso è essenzialmente costante. Tramite la tecnica di *pulse width modulation* (PWM) si riescono a controllare ampiezza e frequenza della tensione di uscita.
- *Square-wave inverters*: in questo caso la tensione di ingresso V_{DC} è controllata in modo da sagomare l'ampiezza della tensione di uscita desiderata, mentre l'inverter deve controllare solo la sua frequenza.
- *Single-phase inverters with voltage cancellation*: in caso di inverter monofase è possibile controllare ampiezza e frequenza della tensione di uscita nonostante la tensione di ingresso sia costante e gli interruttori non siano comandati tramite PWM.

Il VSI analizzato ed utilizzato per questa attività di tesi è l'inverter a ponte intero e fa parte dei *Pulse-width-modulated inverters*.

1.1 Inverter a ponte intero

Il circuito di un inverter a ponte intero è mostrato in Figura 1.1.

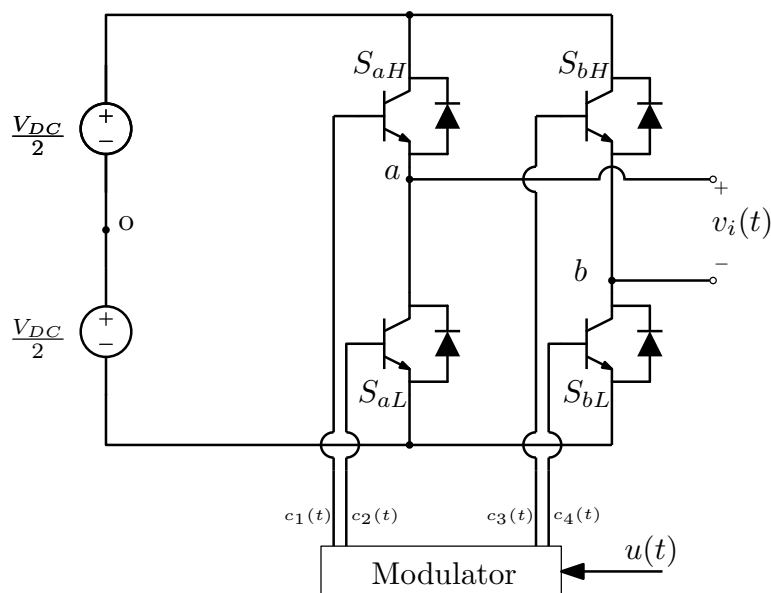


Figura 1.1: Inverter a ponte intero monofase

Esso è formato da quattro interruttori divisi in due gambe, i quali, in base a come le combinazioni di apertura e chiusura sono comandate, riescono ad offrire in uscita un'ampia gamma di tensioni.

Le combinazioni utili sono:

- $S_{aH} = S_{bH} = \text{on}, S_{aL} = S_{bL} = \text{off} \rightarrow v_i = 0$
- $S_{aH} = S_{bL} = \text{on}, S_{aL} = S_{bH} = \text{off} \rightarrow v_i = V_{DC}$
- $S_{aL} = S_{bL} = \text{on}, S_{aH} = S_{bH} = \text{off} \rightarrow v_i = 0$
- $S_{aL} = S_{bH} = \text{on}, S_{aH} = S_{bL} = \text{off} \rightarrow v_i = -V_{DC}$
- $S_{aH} = S_{bH} = S_{aL} = S_{bL} = \text{off} \rightarrow v_i$ determinata dal carico

Le combinazioni in cui entrambi gli interruttori di una gamba sono in on-state non sono permesse in quanto creerebbero un cortocircuito sulla tensione di ingresso.

1.2 Pulse Width Modulation

Il controllo di un VSI è generalmente organizzato gerarchicamente, in un'architettura a più livelli. Al livello più basso si controlla lo stato dei singoli switch e, dunque, la tensione media sul carico: questo è il *modulator layer*. Il segnale di input del modulatore è costituito dal riferimento che si intende far seguire alla tensione media di uscita, normalmente fornito da un anello di controllo di livello superiore. Anche il controllo diretto della tensione di uscita è possibile, e questo è il caso in cui si lavora ad anello aperto. Tuttavia, quest'ultimo non è un metodo molto utilizzato, dato che non comprende un controllo sulla corrente media circolante nel carico.

Proprio per questo, nella maggioranza dei casi, un controllo di corrente è implementato a livello immediatamente superiore al modulatore.

Le tecniche di Pulse Width Modulation in un inverter sono del tutto simili a quelle utilizzate nei convertitori DC-DC. A differenza di questi ultimi, nei quali il duty-cycle è costante in steady-state, negli inverter, il duty-cycle è modulato intenzionalmente per ottenere la tensione di uscita $\bar{v}_i(t)$ desiderata, intesa come *media su un periodo* T_s , ovvero:

$$\bar{x}(t) = \frac{1}{T_s} \int_{t-T_s}^{t} x(\tau) d\tau \quad (1.1)$$

Per comandare un inverter a ponte intero si utilizzano generalmente due tecniche:

- PWM bipolare;
- PWM unipolare.

1.2.1 PWM bipolare

Il modo più semplice per generare il segnale di controllo dei MOSFET è quello di utilizzare una PWM con una portante triangolare alla frequenza di switching f_s , con valore massimo V_r ed una modulante sinusoidale del tipo:

$$u(t) = U_m \sin(\omega_0 t) \quad (1.2)$$

I MOSFET vengono accesi in modo diagonale, ovvero, una gamba è modulata con dut-cycle d , mentre l'altra con il suo complementare $1-d$: gli switch S_{aH} e S_{bL} sono comandati dallo stesso segnale e rimangono in on-state per un tempo dT_s , mentre gli switch S_{aL} e S_{bH} rimangono in on-state per un tempo $(1-d)T_s$. Uno schema di principio capace di assumere un tale comportamento è presentato in Figura 1.2.

Si consideri la sola gamba dell'inverter formata dagli switch S_{aH} e S_{aL} ; sia d il duty-cycle del segnale di controllo dello switch S_{aH} e $1-d$ quello di S_{aL} .

Mediando la tensione $v_{ao}(t)$ su un periodo di switching si trova:

$$\bar{v}_{ao}(t) = [d - (1-d)] \frac{V_{DC}}{2} = (2d-1) \frac{V_{DC}}{2} \quad (1.3)$$

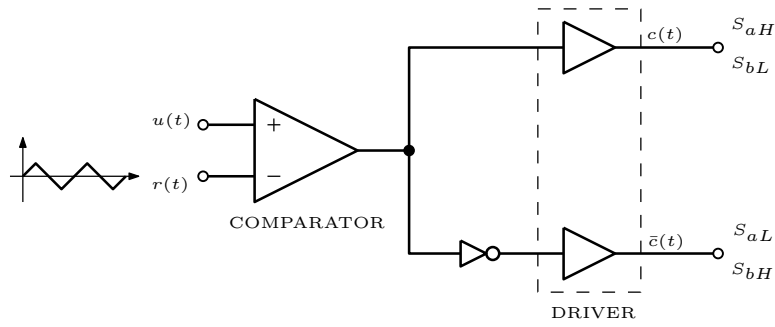


Figura 1.2: PWM bipolare: Schema di principio

Allo stesso modo, considerando la gamba formata dagli switch S_{bH} e S_{bL} , la tensione $v_{bo}(t)$, mediata su un periodo di switching è:

$$\bar{v}_{bo}(t) = [(1-d) - d] \frac{V_{DC}}{2} = -(2d-1) \frac{V_{DC}}{2} \quad (1.4)$$

La tensione di uscita, mediata su un periodo di switching $\bar{v}_i(t)$, sarà:

$$\bar{v}_i(t) = \bar{v}_{ao}(t) - \bar{v}_{bo}(t) = [(1-d) - d] \frac{V_{DC}}{2} = (2d-1) V_{DC} \quad (1.5)$$

Il funzionamento di questa tecnica di modulazione è mostrato in Figura 1.3.

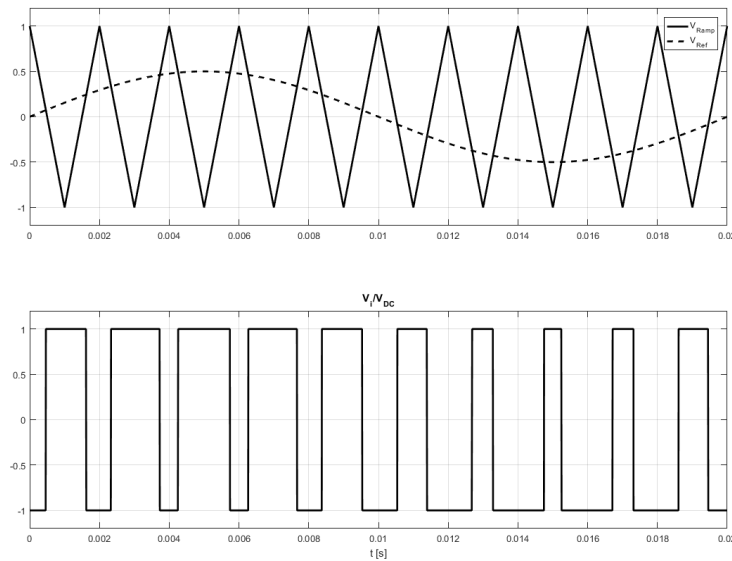


Figura 1.3: PWM bipolare: forme d'onda ($m_a = 0.5$, $m_f = 10$)

Si dimostra che il duty-cycle del segnale di controllo generato risulta essere:

$$d(t) = \frac{u(t)}{2V_r} + \frac{1}{2} = \frac{1}{2} m_a \sin(\omega_0 t) + \frac{1}{2} \quad (1.6)$$

dove viene definito l'*amplitude modulation index*

$$m_a \triangleq \frac{U_m}{V_r} \quad (1.7)$$

Allo stesso modo è definito il *frequency modulation index*

$$m_f \triangleq \frac{f_s}{f_o} \quad (1.8)$$

Si assume generalmente che la frequenza di modulazione e quella di switching siano ben separate, ovvero:

$$f_o \ll f_s \Rightarrow m_f \gg 1 \quad (1.9)$$

Questa ipotesi, se verificata, permette di considerare il segnale modulante costante durante il periodo di switching, per cui, sostituendo la (1.6) in (1.5), si ottiene:

$$\bar{v}_i(t) = \frac{u(t)}{V_r} V_{DC} = \frac{U_m}{V_r} V_{DC} \sin(\omega_o t) = m_a V_{DC} \sin(\omega_o t) \quad (1.10)$$

Lo spettro della tensione di uscita ottenuto con questa tecnica di modulazione è mostrato in Figura 1.4

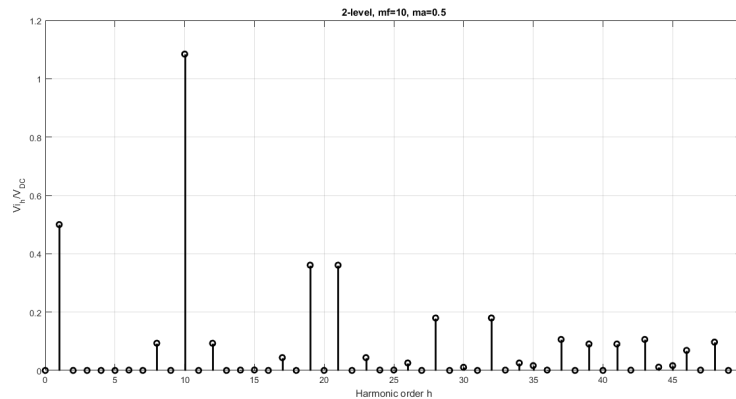


Figura 1.4: PWM bipolare: spettro normalizzato della tensione di uscita $m_f = 10$, $m_a = 0.5$

1.2.2 PWM unipolare

In questa strategia di modulazione le gambe dell'inverter sono comandate separatamente utilizzando due segnali modulanti $u_a(t)$ e $u_b(t)$, entrambi derivati da un unico segnale sinusoidale $u(t)$:

$$\begin{aligned} u_a(t) &\triangleq u(t) \\ u_b(t) &\triangleq -u(t) \end{aligned}$$

Tali segnali modulanti vengono confrontati con la stessa portante triangolare. Uno schema capace di assumere tale comportamento è mostrato in Figura 1.5.

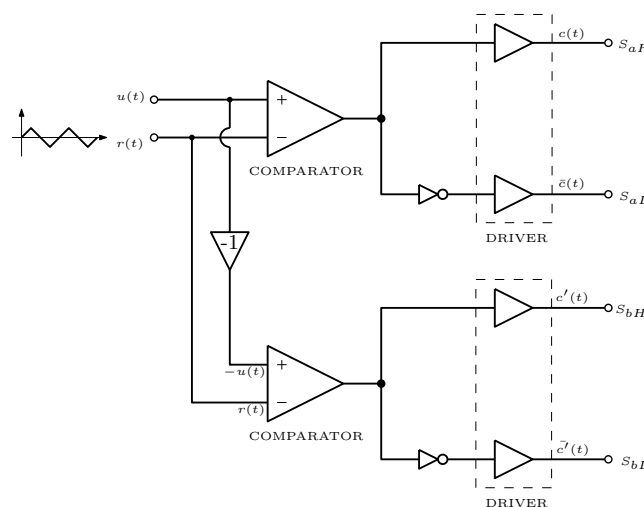


Figura 1.5: PWM unipolare: Schema di principio

Il funzionamento di questa tecnica è mostrato nelle Figure 1.6 e 1.7.

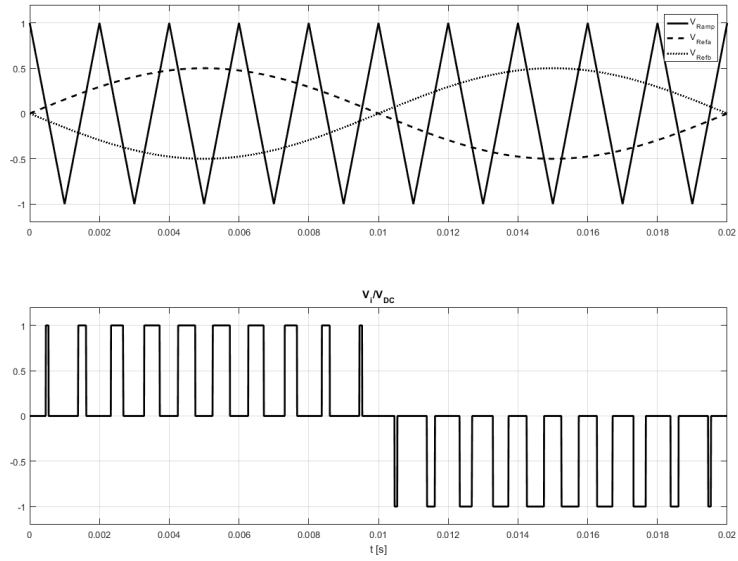


Figura 1.6: PWM unipolare: forme d'onda ($m_a = 0.5$, $m_f = 10$)

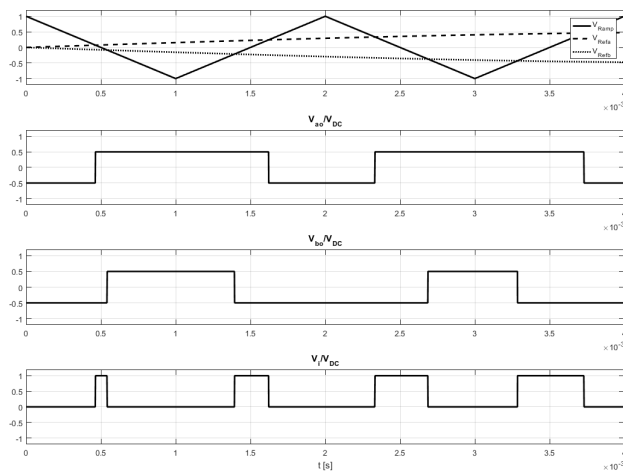


Figura 1.7: PWM unipolare: forme d'onda (dettaglio)

Le tensioni $\bar{v}_{ao}(t)$ e $\bar{v}_{bo}(t)$, mediate su un periodo di switching, varranno:

$$\bar{v}_{ao}(t) = \frac{u(t) V_{DC}}{V_r} \frac{1}{2} = m_a \frac{V_{DC}}{2} \sin(\omega_o t)$$

$$\bar{v}_{bo}(t) = -\frac{u(t) V_{DC}}{V_r} \frac{1}{2} = -m_a \frac{V_{DC}}{2} \sin(\omega_o t)$$

per cui, la tensione media di uscita:

$$\bar{v}_i(t) = \bar{v}_{ao}(t) - \bar{v}_{bo}(t) = m_a V_{DC} \sin(\omega_o t) \quad (1.11)$$

che risulta essere uguale al caso della PWM bipolare espresso nella (1.10).

Sostanzialmente diverso è lo spettro della tensione di uscita, che è mostrato in Figura 1.8.

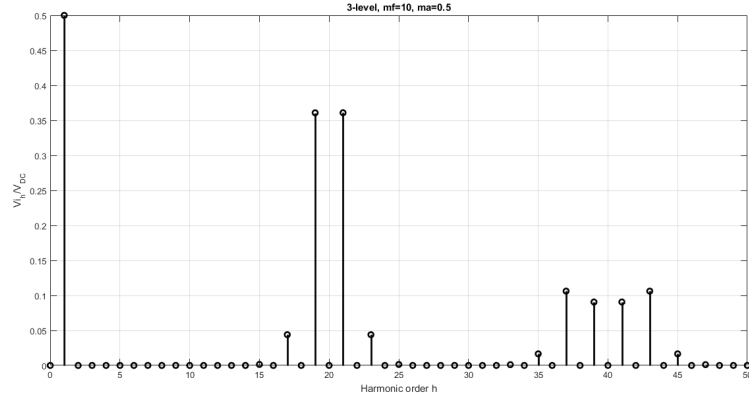


Figura 1.8: PWM unipolare: spettro normalizzato della tensione di uscita $m_f = 10$, $m_a = 0.5$

1.3 Filtro d'uscita

Svariate tipologie di filtri vengono utilizzate per eliminare le componenti a frequenza elevata prodotte dalla PWM, tra cui filtri L, LC, LCL. Essi vengono posti tra l'uscita dell'inverter e il punto in cui esso si collega alla rete (PCC, Point of Common Coupling) o al carico.

Prendere in considerazione un filtro composto da un solo induttore rappresenta un buon compromesso per le analisi da fare in questa tesi.

Il circuito di un inverter connesso alla rete tramite un filtro L è mostrato in Figura 1.9. Il resistore R_L rappresenta la resistenza degli avvolgimenti dell'induttore che, per quanto piccola, non è mai pari a zero. La funzione di trasferimento tra la tensione v_i e la corrente i_L è pari a:

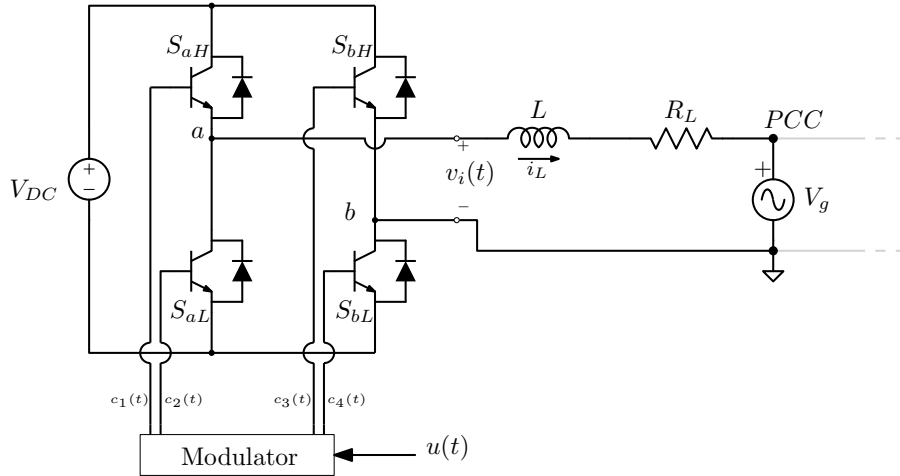


Figura 1.9: Inverter connesso alla rete

$$G_f(s) \triangleq \frac{i_L(s)}{v_i(s)} \Big|_{V_g=0} = \frac{1}{R_L + sL} = \frac{1}{R_L} \frac{1}{1 + s \frac{L}{R_L}} \quad (1.12)$$

ed è mostrata in Figura 1.10. Si nota chiaramente che si tratta di un sistema del primo ordine con un polo alla frequenza $f_c = \frac{1}{2\pi} \frac{R_L}{L}$.

La condizione che si impone perché il filtro possa attenuare efficacemente le armoniche alla frequenza di switching è:

$$f_c \ll f_s \iff \tau_L = 2\pi \frac{L}{R_L} \gg T_s \quad (1.13)$$

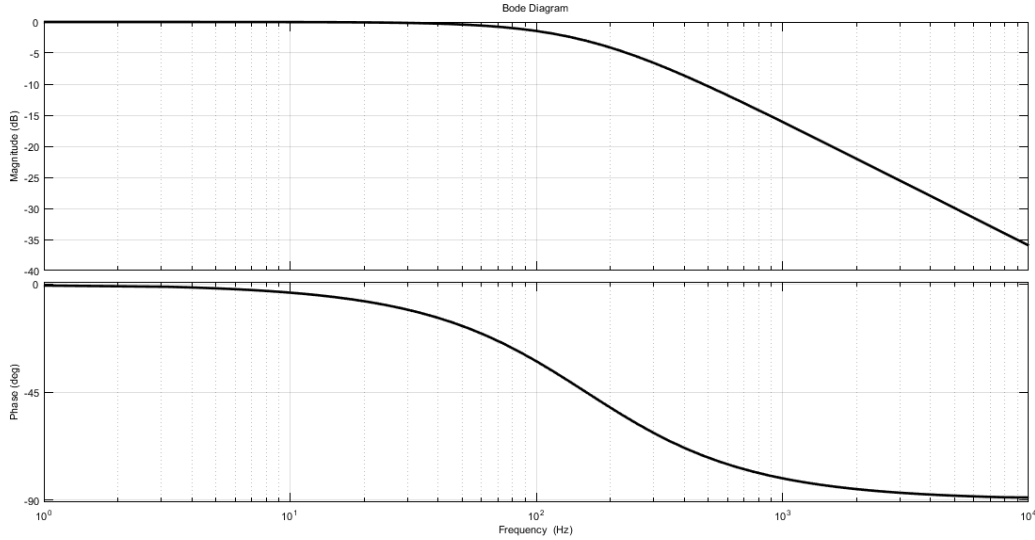


Figura 1.10: F.d.t. filtro L ($L = 1 \text{ mH}$, $R_L = 1\Omega$, $f_c \cong 160 \text{ Hz}$)

1.4 Guadagno d'anello

La F.d.t. tra la tensione di riferimento $u(t)$ e la tensione di uscita del ponte intero $v_i(t)$ che si ottiene dalle precedenti analisi è la stessa per entrambi i tipi di modulazione, e cioè:

$$G_i(s) = \frac{\bar{v}_i(s)}{u(s)} = \frac{V_{DC}}{V_r} \quad (1.14)$$

relazione che, essendo di tipo puramente proporzionale, implica una risposta istantanea del modulatore PWM alle variazioni del segnale di controllo $u(t)$. Sotto le condizioni espresse dalla (1.9), riguardanti la limitazione in banda di $u(t)$, è possibile dimostrare che tale implicazione è verificata e che ad ogni sua variazione del segnale di controllo $u(t)$ corrisponde una variazione in fase del duty-cycle.

La F.d.t. totale del sistema è pari a:

$$G(s) \triangleq \frac{\bar{i}_L(s)}{u(s)} = \frac{\bar{i}_L(s)}{\bar{v}_i(s)} \frac{\bar{v}_i(s)}{u(s)} = G_f(s)G_i(s) = \frac{V_{DC}}{V_r R_L} \frac{1}{1 + s \frac{L}{R_L}} \quad (1.15)$$

Questa F.d.t. rappresenta la relazione dinamica tra le perturbazioni (piccole) del segnale modulante, attorno al suo valore di steady-state, e le corrispondenti variazioni della corrente media che scorre nell'induttore.

1.5 Sistema considerato

Le caratteristiche principali dell'inverter che si è considerato per questo lavoro di tesi sono mostrate nella Tabella 1.1.

In base a questi dati, le funzioni di interesse saranno:

$$G_f(s) = \frac{1}{1 + \frac{s}{1000}} \quad (1.16)$$

$$G_i(s) = \frac{250}{10} = 25 \quad (1.17)$$

Da cui:

$$G(s) = G_i(s)G_f(s) = \frac{25}{1 + \frac{s}{1000}} \quad (1.18)$$

I diagrammi di Bode della funzione in questione sono mostrati in Figura 1.11.

Parametro	Valore	
P_o	3	kW
L	1	mH
R_L	1	Ω
f_s	20	kHz
V_r	10	V
V_{DC}	250	V
v_g	120	V_{RMS}
f_g	60	Hz

Tabella 1.1: Parametri dell'inverter considerato

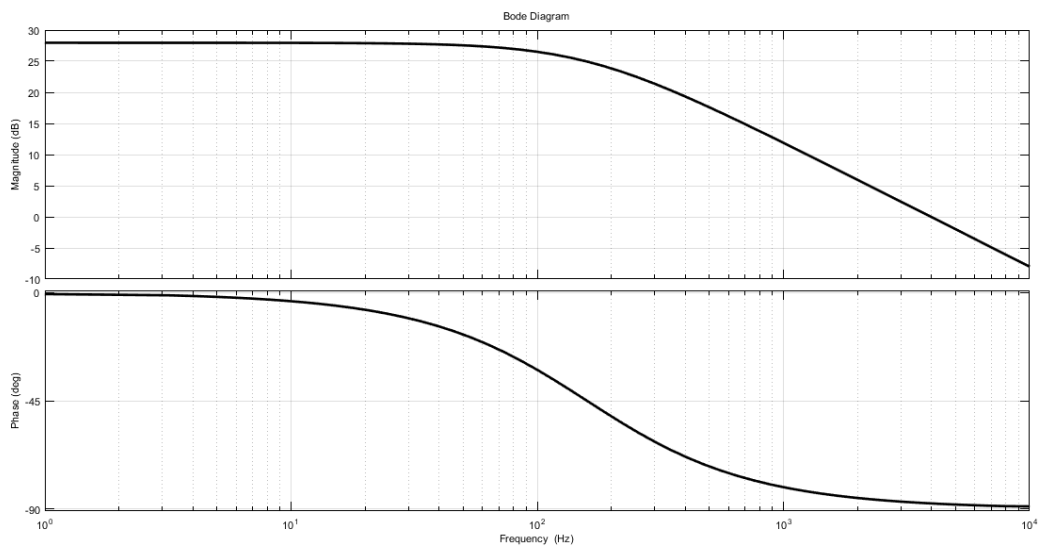


Figura 1.11: F.d.t. $G(s)$

Capitolo 2

PWM Digitale

Nel capitolo precedente sono state velocemente descritte due metodologie di PWM analogiche. Questi due schemi di modulazione sono la base dalla quale si è partiti per l'implementazione vera e propria del modulatore digitale.

Qualche cenno alla PWM digitale è, tuttavia, dovuto, al fine di comprendere il differente approccio dello schema di modulazione implementato.

Grazie alle analisi sviluppate nel capitolo precedente è possibile affermare che il ritardo introdotto da un *naturally sampled modulator*, ovvero un modulatore PWM analogico, è nullo e $u(t)$ e $c(t)$ risultano in fase. Tale proprietà non è valida per i modulatori digitali, i quali introducono un ritardo dovuto alla loro natura a tempo discreto.

In Figura 2.1 è mostrato uno schema concettuale di un modulatore PWM digitale.

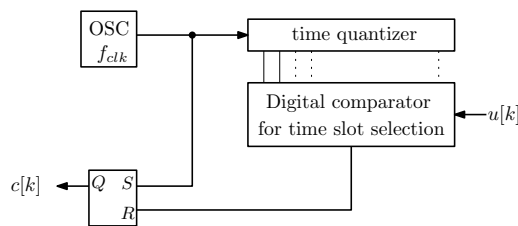


Figura 2.1: PWM Digitale: schema concettuale [4]

$u[k]$ e $c[k]$ indicano le versioni digitali dei corrispondenti segnali analogici $u(t)$ e $c(t)$:

$$u[k] \triangleq u(t_k)$$
$$c[k] \triangleq c(t_k)$$

dove t_k è l'istante di campionamento.

Invece di utilizzare una portante triangolare, che nel caso analogico funge da "temporizzatore", nel caso digitale il tempo viene quantizzato in intervalli di durata t_{clk} . Il codice digitale $u[k]$ che rappresenta il segnale di comando seleziona uno di questi slot temporali tramite il comparatore digitale e resetta il segnale $c[k]$ in uscita dal flip-flop. In questo caso il comparatore temporale assume il compito del comparatore analogico che, diversamente, opera sui livelli di tensione.

Ci sono più soluzioni circuitali per poter implementare questo comportamento con caratteristiche differenti in termini di complessità, area, consumo di potenza, capacità di operare ad alta frequenza, ecc.

Le configurazioni più conosciute e diffuse sono:

- counter-based (a contatore);
- delay-line (a linea di ritardo).

2.1 DPWM a contatore

Nella tipologia *Counter-based* il segnale di comando del duty-cycle viene confrontato con una portante a rampa, come nel caso analogico. In questo caso il tutto avviene "virtualmente", nel senso che la rampa

viene generata da un contatore e il segnale di comando $u[k]$ viene confrontato ad essa, come mostrato in Figura 2.2.

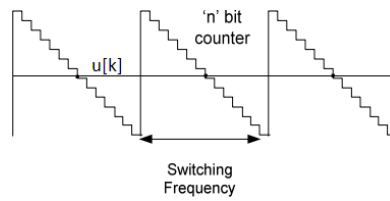


Figura 2.2: Implementazione del contatore digitale [4]

In base a come il contatore funziona si possono implementare schemi di modulazione *trailing edge* (up counter), *leading edge* (down counter) e anche *dual edge*.

La frequenza di clock che comanda il conteggio è direttamente proporzionale alla frequenza di switching f_s del convertitore e al numero di bit n con i quali si vuole rappresentare il segnale di comando. Tale relazione può essere espressa con:

$$f_{clk} = f_s \cdot 2^n \quad (2.1)$$

Si comprende facilmente che questo legame costituisce lo svantaggio maggiore di questa implementazione: per ottenere una buona risoluzione e un'elevata frequenza di switching si rende necessario l'utilizzo di segnali di clock a frequenze molto elevate.

In Figura 2.3 sono mostrati schemi concettuali e di funzionamento dei modulatori trailing, leading e dual edge.

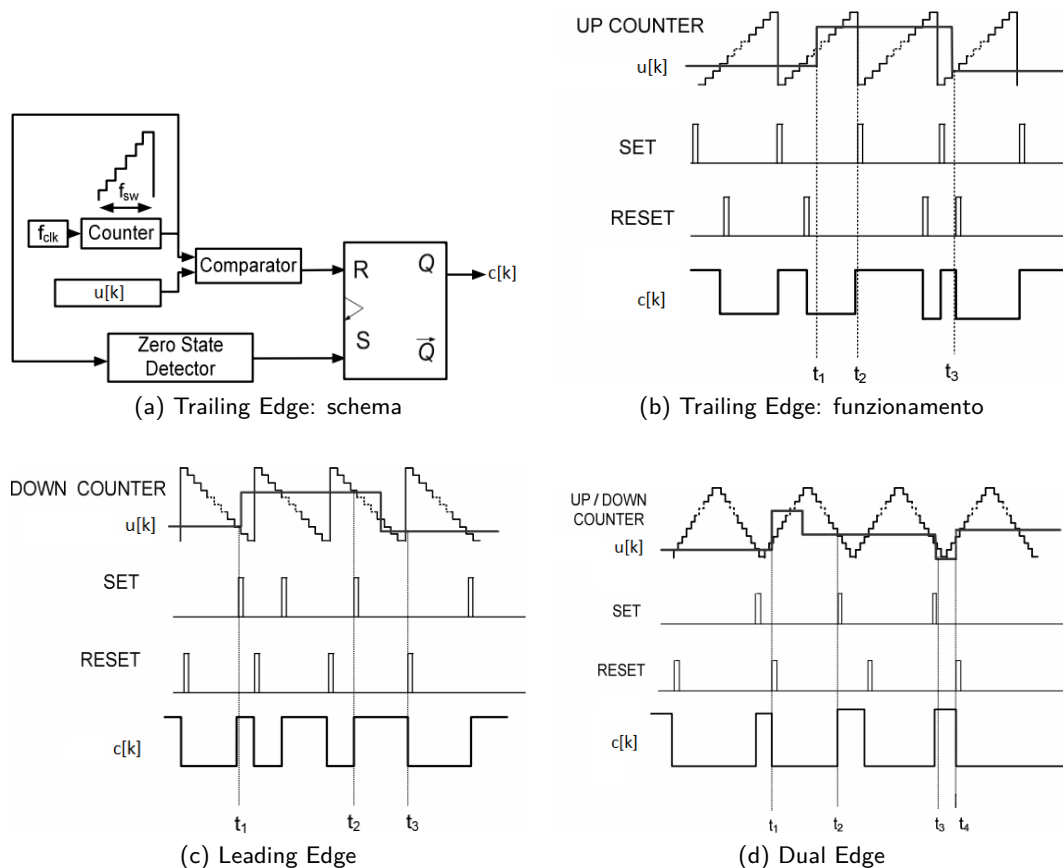


Figura 2.3: DPWM Counter-Based [4]

Si consideri il caso trailing edge delle Figure 2.3 (a) e (b): il segnale $c[k]$ è settato ad ogni fronte di salita del clock e resettato dal comparatore. Dunque, il momento in cui si ha il "set" del segnale è fissato all'inizio del ciclo di switching; il momento di "reset", invece, dipende dai valori istantanei del counter e del comando. Bisogna notare che, una volta resettato, il segnale tornerà alto solo al ciclo successivo: se la modulante

dovesse variare in quell'intervallo di tempo, il modulatore non risponderà fino al successivo ciclo, come succede al tempo t_1 . Ecco che si spiega il ritardo introdotto dai modulatori digitali, il quale può essere modellato come effetto di un'operazione di *sample and hold*. Infatti, si può osservare che, a parte gli effetti di quantizzazione, un modulatore digitale funziona esattamente come uno analogico nel quale $u(t)$ è campionato all'inizio del periodo di switching e mantenuto costante per tutto l'intervallo.

Lo stesso discorso vale per il modulatore con schema leading-edge. La differenza tra i due sta nel contatore, che adesso è un down counter, e nella gestione dei comandi di set e reset del flip-flop: ad essere fissato è il momento del reset, che avviene alla fine del ciclo di switching, mentre ad essere modulato è il momento nel quale avviene il set del segnale DPWM.

Il modulatore dual-edge mette insieme le caratteristiche dei due modulatori precedenti, utilizzando una configurazione trailing-edge nel primo semiperiodo di switching e una leading-edge nel secondo, in modo da ottenere un segnale portante con sagoma "triangolare". In questo modo ad essere modulati saranno sia il momento temporale di set che quello di reset. Si riesce, così, a ridurre il ritardo introdotto nei casi precedenti.

2.2 DPWM a linea di ritardo

Uno schema funzionale del modulatore PWM (caso trailing-edge) a linea di ritardo è mostrato in Figura 2.4.

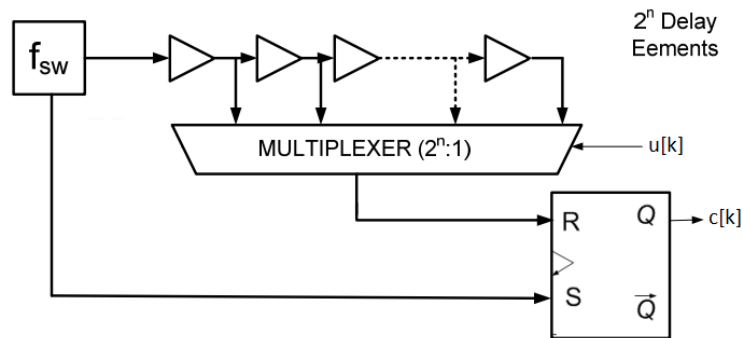


Figura 2.4: DPWM Delay-Line: Schema funzionale [4]

La larghezza dell'impulso è quantizzata in funzione delle singole celle di ritardo. Per un segnale di comando $u[k]$ espresso con n bit, il numero di celle necessarie sarà 2^n .

All'inizio del ciclo di switching, il segnale $c[k]$ è settato; il segnale di "inizio ciclo" di switching si propaga di cella in cella lungo tutta la linea di ritardo. In base al segnale $u[k]$, il multiplexer seleziona la cella per la quale si ottiene il ritardo desiderato e, di conseguenza, il reset di $c[k]$ al momento opportuno. Anche per questo schema di modulazione, una volta che il segnale $c[k]$ è stato resettato, non si avrà più una risposta immediata fino al successivo ciclo di switching, introducendo un ritardo.

Il funzionamento dello schema leading-edge prevede l'inversione dei comandi di set e reset, ma nulla cambia riguardo al ritardo introdotto.

Tuttavia, per quanto possa sembrare efficace, questo sistema presenta due principali problemi:

- area occupata elevata;
- elevata sensibilità al processo produttivo ed alla temperatura, che incide sul tempo di ritardo di ogni cella e costituisce un disturbo per il duty-cycle di $c[k]$.

La sensibilità del duty-cycle può essere ridotta utilizzando la linea come *ring oscillator*. La configurazione vista finora è quella ad anello aperto, dove il segnale di clock viene applicato dall'esterno. Chiudendo l'anello di ritardo ed escludendo il clock esterno è possibile utilizzare la stessa linea di ritardo come generatore del clock. Questa configurazione è mostrata in Figura 2.5.

In questo modo, le variazioni introdotte da una singola cella avranno effetto su tutto il periodo di switching, che, variando, si adatterà in funzione di esse, riducendo il disturbo.

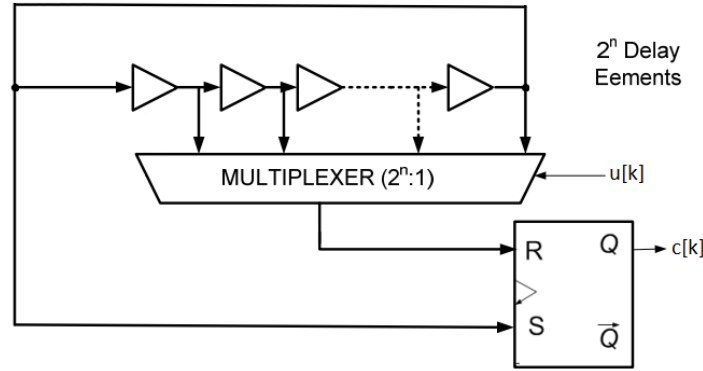


Figura 2.5: DPWM Delay-Line (Ring-Oscillator): Schema funzionale [4]

2.3 Modello a tempo continuo del modulatore DPWM

Come già osservato in precedenza, il funzionamento di un modulatore PWM digitale può essere considerato del tutto uguale a quello della sua controparte analogica, nella quale il segnale modulante $u(t)$ viene campionato con periodo $T_s = \frac{1}{f_s}$.

Trascurando gli effetti dovuti alla quantizzazione del segnale, un modello equivalente di un generico modulatore PWM digitale potrebbe essere quello mostrato nella Figura 2.6.

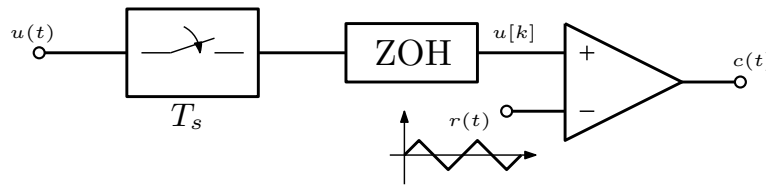


Figura 2.6: DPWM: modello a tempo continuo

I componenti aggiuntivi di questo schema sono costituiti da un campionatore ideale e un *zero-order-hold*, che eseguono esattamente l'operazione di sample-and-hold. Sotto l'ipotesi di *small-signal approximation* è possibile dimostrare che le F.d.T. tra il segnale modulante $u(t)$ e $c(t)$ valgono:

$$PWM_t(s) \triangleq \frac{c(s)}{u(s)} = \frac{e^{-sDT_s}}{V_r} \quad (2.2)$$

$$PWM_l(s) = \frac{e^{-s(1-D)T_s}}{V_r} \quad (2.3)$$

$$PWM_d(s) = \frac{1}{2V_r} (e^{-s(1-D)\frac{T_s}{2}} + e^{-s(1+D)\frac{T_s}{2}}) \quad (2.4)$$

dove $u(s)$ e $c(s)$ rappresentano la trasformata di Laplace di $u(t)$ e $c(t)$ e D è il duty-cycle di $c(t)$ in steady-state. Il ritardo introdotto da un modulatore PWM digitale può essere visto come la distanza temporale tra l'istante di campionamento del segnale $u(t)$ e l'istante in cui $u[k]$ interseca $r(t)$.

Confrontando le nuove F.d.t. con quella definita in (1.14), si può notare la presenza del termine di ritardo e^{-st_d} , dove t_d dipende dalla tipologia di modulatore e dal duty-cycle in steady-state.

2.3.1 DPWM con update doppio

Per ridurre gli effetti del ritardo t_d , si può utilizzare uno schema di modulazione che prevede due aggiornamenti per ogni ciclo di switching. In questo modo il segnale $c(t)$ viene aggiornato all'inizio del ciclo e a metà di esso: facendo riferimento ad uno schema counter-based dual-edge, questa operazione ha luogo negli istanti in cui il segnale a rampa $r(t)$ assume il suo valore massimo e il suo valore minimo.

Si dimostra che, aggiornando il valore di $u(t)$ due volte nell'intervallo T_s , la risposta del modulatore diventa:

$$PWM_{d-u}(s) = \frac{1}{2V_r} (e^{-sD\frac{T_s}{2}} + e^{-s(1-D)\frac{T_s}{2}}) \quad (2.5)$$

dove il ritardo risultante è minore rispetto al caso a singolo update.

Sulla base di questo è possibile implementare, su sistemi più performanti, anche schemi di modulazione con update multipli, in modo da ridurre ulteriormente il ritardo. Per poter utilizzare questo metodo, però, bisogna rendere più complesso tutto il sistema, che avrà bisogno di prestazioni molto più elevate e, soprattutto, di filtri che vadano ad eliminare il ripple residuo dalle grandezze da controllare. L'utilizzo di tali filtri potrebbe introdurre, a sua volta, un ritardo che andrebbe ad annullare i miglioramenti dovuti agli update più fitti.

2.4 Confronto tra PWM analogica e PWM digitale

Dopo questa veloce trattazione, pregi e difetti delle tecniche di PWM analogica e digitale sono più chiari, e un confronto tra le due modalità è necessario.

La modulazione analogica ha il vantaggio della semplicità di realizzazione sia a livello concettuale che circuitale. Come tutte le tecniche analogiche, però, risulta molto sensibile a variazioni termiche e temporali dei componenti e al rumore.

La modulazione digitale ha dalla sua parte il fattore costo, dovuto anche al minor tempo di realizzazione. Inoltre, a livello digitale è possibile una flessibilità che a livello analogico è, per ovvi motivi, impossibile. Con l'incremento delle prestazioni diventa possibile anche migliorare l'efficienza del sistema, eseguire funzioni di controllo più intelligenti e sofisticate, senza impattare sull'affidabilità.

Tuttavia, rispetto al caso analogico, la modulazione digitale presenta il principale svantaggio dovuto al ritardo introdotto. Per soddisfare esigenze in termini di efficienza, ingombri e costi, sono sempre più richiesti sistemi operanti ad elevate frequenze, e, un ritardo come quello dovuto ad un modulatore digitale, potrebbe rendere vano il lavoro di ottimizzazione eseguito su tutti gli altri componenti. Ecco che la soluzione più ovvia è uno studio volto a mitigare o eliminare gli effetti di questo ritardo, in modo da avvicinarsi il più possibile al "comportamento analogico", con gli ovvi vantaggi che la modulazione digitale può portare.

Capitolo 3

Controllo Digitale

Il sistema analogico che si implementa per ottenere il controllo della corrente di uscita di un inverter connesso alla rete è mostrato in Figura 3.1.

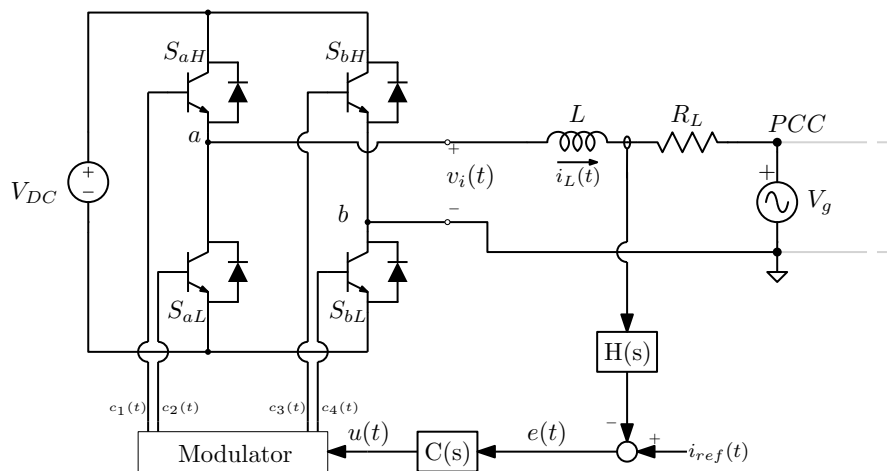


Figura 3.1: Inverter con controllo di corrente

La corrente dell'induttore viene misurata tramite un resistore di shunt o un sensore di corrente specifico, il quale ha una certa funzione di trasferimento $H(s)$. Il segnale ottenuto viene confrontato con quello di riferimento $i_{ref}(t)$, generando il segnale di errore $e(t)$. L'errore sarà l'input del controllore $C(s)$ che costruirà il segnale di comando del modulatore $u(t)$. Grazie alle analisi fatte nei capitoli precedenti è possibile affermare che il guadagno ad anello aperto del sistema sarà:

$$G_{ol}(s) = H(s)C(s)G(s) = H(s)C(s) \frac{V_{DC}}{V_{ramp}R_L} \frac{1}{1 + s \frac{L}{R_L}} \quad (3.1)$$

Tutto questo, però, vale nel caso analogico. Per progettare efficacemente un controllore digitale molti sono gli accorgimenti di cui tener conto.

Nel caso puramente analogico, infatti, il sistema ed il controllore lavorano a tempo continuo; nel caso digitale il sistema continua a lavorare a tempo continuo, ma il controllore opera a tempo discreto: ecco che si rende necessario interfacciare i due mondi tramite una corretta acquisizione. Bisogna, dunque, curare l'aspetto di condizionamento e conversione del segnale da analogico a digitale.

3.1 Acquisizione del segnale

L'organizzazione tipica di un sistema controllato digitalmente è mostrata in Figura 3.2.

Il controllore digitale può essere sviluppato utilizzando vari dispositivi, tra i quali microcontrollori, digital signal processor (DSP), e, in casi più rari, anche circuiti dedicati o field programmable gate array (FPGA). Microcontrollori e DSP sono quelli più utilizzati per via della loro economicità.

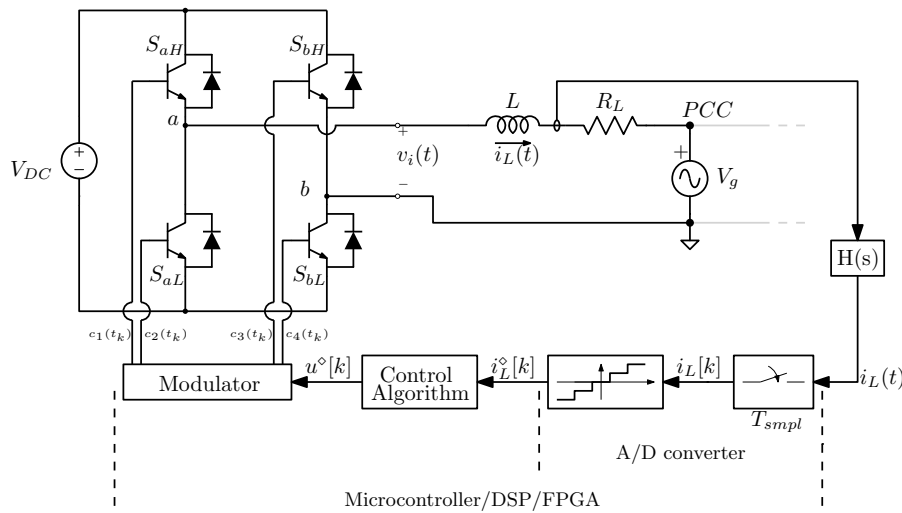


Figura 3.2: Inverter con controllo di corrente digitale

Facendo riferimento alla Figura 3.2 si osserva che il percorso di acquisizione è, almeno a livello concettuale, semplice: è costituito dalla cascata di un sensore di corrente, un circuito di condizionamento del segnale e un convertitore analogico/digitale (ADC, nel seguito).

Il circuito di condizionamento deve eseguire sul segnale proveniente dal sensore di corrente principalmente due operazioni:

1. amplificare il segnale, in modo da adattarlo al valore di fondo scala dell'ADC;
2. filtrare il segnale, in modo da limitare la sua banda ed evitare fenomeni di *aliasing*.

L'amplificazione del segnale, eseguita in modo da utilizzare tutto il range dell'ADC, è un fattore chiave per la qualità della quantizzazione. La ragione di ciò si trova nel *numero effettivo* di bit che vengono utilizzati e che corrispondono a:

$$N_e = n - \text{floor} \left[\log_2 \frac{V_{FS}}{S_{pp}} \right] \quad (3.2)$$

dove n è il numero di bit dell'ADC, V_{FS} è il suo valore di fondo scala, S_{pp} è l'ampiezza picco-picco del segnale da convertire. Tuttavia, bisogna prendere in considerazione anche altri aspetti. Generalmente il limite inferiore della tensione accettata in ingresso da un ADC è pari a zero, mentre i segnali acquisiti da un VSI saranno quasi sempre bipolari. Il circuito di condizionamento dovrà, dunque, aggiungere un offset al segnale da convertire, in modo che la parte inferiore del range corrisponda alla parte negativa e quella superiore a quella positiva. Inoltre, bisogna considerare un certo margine di sicurezza che permetta all'ADC di convertire correttamente il segnale anche in presenza di transitori o errori che potrebbero, in caso contrario, portarlo fuori dal range di acquisizione.

Una volta considerati tutti questi aspetti, è possibile ottenere il valore del guadagno e dell'offset caratteristici del circuito di condizionamento.

Il fenomeno di *aliasing* è la conseguenza diretta della violazione del teorema di Shannon. Quest'ultimo mostra che esiste un limite superiore della banda del segnale da campionare oltre il quale la ricostruzione tramite interpolazione diventa impossibile. Tale frequenza massima è detta frequenza di Nyquist ed è pari alla metà della frequenza di campionamento f_{smpl} . Per soddisfare questa condizione diventa necessario filtrare il segnale e ridurre le componenti a frequenza maggiore di $\frac{f_{smpl}}{2}$.

Tuttavia si vedrà, che sotto determinate condizioni di sincronismo, l'*aliasing* porterà un beneficio per il controllo del sistema, facendo in modo che il filtraggio del segnale risulti inutile e talvolta dannoso rispetto ai risultati che si otterrebbero con un corretto sincronismo.

3.2 Sincronismo tra campionamento e PWM

La natura di un VSI comandato tramite PWM determina la presenza, su ogni grandezza elettrica del sistema, del tipico rumore ad alta frequenza noto come *ripple*. Per non violare il teorema di Shannon e permettere la corretta acquisizione del segnale $i_L(t)$, compreso il suo ripple, la frequenza di campionamento dell'ADC dovrebbe essere molto elevata, almeno un ordine di grandezza superiore rispetto alla frequenza di switching. Tuttavia, le componenti hardware utilizzate in questi casi non assicurano un'acquisizione così veloce, in quanto si parla di sistemi DSP o microcontrollori.

Generalmente la frequenza di campionamento viene posta pari alla frequenza di switching o, al massimo, pari a due volte il suo valore, in modo da avere un doppio update del duty-cycle in un periodo di switching: in ognuno di questi casi il teorema di Shannon è ampiamente violato.

Tuttavia, se i processi di campionamento e di modulazione sono opportunamente sincronizzati, l'aliasing permetterà la ricostruzione automatica del valore medio del segnale, che risulta essere proprio la grandezza da controllare. Il risultato di ciò è che non solo la violazione del teorema di Shannon non implica un peggioramento delle prestazioni del sistema, ma ne riduce anche la complessità: ricostruendo automaticamente il valore medio del segnale $i_L(t)$, si rende inutile la presenza di ulteriori filtri passa-basso. Una rappresentazione del caso in cui si utilizza una modulazione bipolare e $f_{smp} = 2f_s$ è mostrata in Figura 3.3.

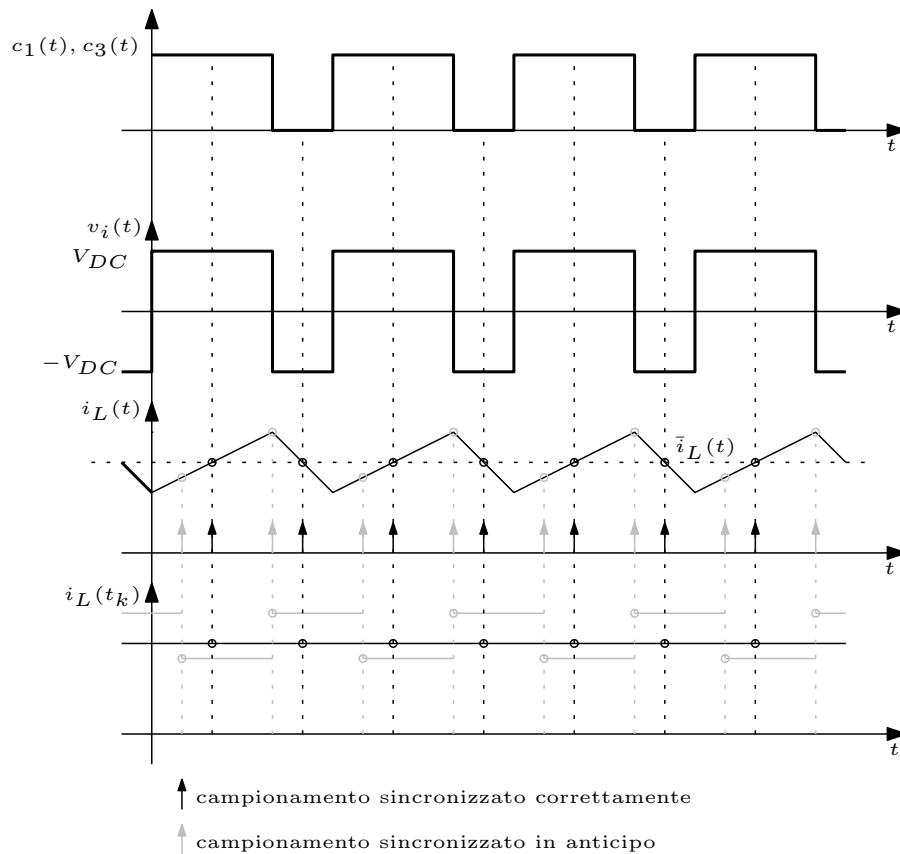


Figura 3.3: Effetto della sincronizzazione tra acquisizione e modulazione

Si nota chiaramente che la chiave della sincronizzazione risiede nel far in modo che il segnale $i_L(t)$ venga acquisito a metà del periodo di on e a metà del periodo di off del segnale di comando del gate. Questi istanti temporali corrispondono esattamente al momento in cui la portante triangolare raggiunge, rispettivamente, i suoi valori massimo e minimo.

Di più sottile interpretazione, invece, è l'errore che potrebbe presentarsi nel caso in cui le frequenze di switching e di campionamento siano uguali: le oscillazioni del segnale non sincronizzato in Figura 3.3 sparirebbero, perché l'acquisizione avverrebbe comunque nello stesso punto in ogni periodo. In tal caso, il segnale acquisito risulterebbe costante, ma sarebbe affetto da un certo offset rispetto a quello corretto.

Questo è quanto succede nel caso, che si vedrà più avanti, in cui $f_{smp} = 2f_s$ e si utilizza una modulazione unipolare.

3.3 Quantizzazione

Il quantizzatore interno all'ADC opera su un range analogico $[0, V_{FS}]$ V con una risoluzione di n_{ADC} bit. Il passo di quantizzazione corrispondente è pari a:

$$q = \frac{V_{FS}}{2^{n_{ADC}}} \quad (3.3)$$

Il range $[0, V_{FS}]$ è, quindi, diviso in $2^{n_{ADC}}$ intervalli B_i , $i = 0 \dots 2^{n_{ADC}} - 1$, chiamati *bin*, ciascuno dei quali si estende per q volt. La trans-caratteristica del quantizzatore di un ADC è mostrata in Figura 3.4. e corrisponde, matematicamente a:

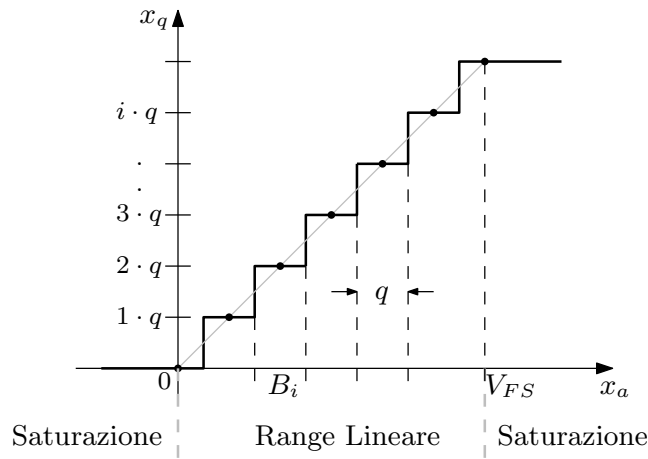


Figura 3.4: Trans-caratteristica del quantizzatore

$$\left(i - \frac{1}{2}\right) \cdot q < x_a < \left(i + \frac{1}{2}\right) \cdot q \Rightarrow x_q = i \quad (3.4)$$

Fuori dal range lineare, ovvero quando $x_a < 0$ o $x_a > V_{FS}$, l'uscita dell'ADC satura e rimane costante, bloccata sul valore minimo o massimo.

q rappresenta la minima variazione del segnale in ingresso x_a che sicuramente produce la variazione di almeno un bit del codice binario associato a x_q : se x_a varia meno di tale valore, non è detto che si abbia un cambiamento in x_q . Per questo il processo di quantizzazione implica sempre una certa perdita di informazione che, per quanto ridotta, non potrà mai essere nulla. Matematicamente essa viene trattata come un rumore additivo sovrapposto al segnale utile. È possibile anche derivare una relazione tra il numero n dei bit dell'ADC ed il massimo rapporto segnale rumore (SNR) ottenibile in uscita. Tale relazione è:

$$SNR = 6.02 \cdot n + 1.76 \text{ [dB]} \quad (3.5)$$

Dunque, stabilito un certo SNR desiderato, è possibile stabilire il numero minimo di bit necessari alla conversione. Da notare che questa relazione prende in considerazione solo il rumore prodotto dalla quantizzazione e trascura tutti gli altri disturbi che possono essere associati al segnale utile; quindi l'SNR reale sarà sempre minore di tale valore.

Tuttavia la quantizzazione dovuta all'ADC non è l'unica presente in un sistema controllato digitalmente. Nel sistema in questione se ne possono considerare altri due tipi:

- aritmetica;
- di output.

La quantizzazione aritmetica è dovuta alla precisione finita dei calcoli eseguiti per la generazione del segnale di controllo. La logica utilizzata in microcontrollori, DSP e anche FPGA si basa principalmente su architettura in virgola fissa (*fixed-point precision*), che implica la presenza di errori di arrotondamento e troncamenti. Più raramente si trovano dispositivi operanti in virgola mobile (*floating-point precision*), esenti da questo tipo di problema. Fortunatamente sul mercato sono disponibili architetture economiche che lavorano con 16 o 32 bit. In questi casi, l'effetto di arrotondamenti e troncamenti diventa davvero trascurabile.

La quantizzazione di output è legata al processo che avviene per ritornare nel dominio a tempo continuo, dopo tutte le elaborazioni digitali eseguite sul segnale acquisito. Nel caso in esame tale operazione ha luogo nel modulatore DPWM e la quantizzazione dipende dal fatto che il duty-cycle del segnale $c(t)$ non può essere espresso con precisione infinita, ma dipenderà da come il modulatore è stato implementato. L'effetto che questa quantizzazione può produrre in uscita è una oscillazione tra livelli vicini, tipica dei sistemi ad anello chiuso controllati digitalmente conosciuta come *oscillazione di ciclo limite* (Limit Cycle Oscillation).

3.3.1 Oscillazioni di ciclo limite

Le oscillazioni di ciclo limite sono innescate dalla quantizzazione della grandezza che si sta controllando, generata, a sua volta, dalla quantizzazione del duty-cycle del segnale di comando $c(t)$ che non potrà assumere con continuità tutti i valori tra 0 e 1. L'oscillazione si crea quando il valore di riferimento non riesce ad essere raggiunto con nessuno dei livelli disponibili per il duty-cycle. In questa condizione il controllore forza la grandezza ad avvicinarsi al riferimento, senza mai raggiungerlo del tutto, cominciando ad oscillare intorno ad esso con una frequenza ed un'ampiezza che dipenderanno principalmente da parametri come ampiezza di banda e guadagno DC ad anello aperto.

È possibile enunciare alcune condizioni necessarie per l'assenza delle oscillazioni di ciclo limite.

- La prima condizione è quella di assicurare che la minima variazione di livello del modulatore q_{DPWM} non inneschi una variazione, nella grandezza controllata, maggiore del passo di quantizzazione q_{ADC} del ADC. Definita $D(s)$ la F.d.t. tra il duty-cycle e la variabile controllata, questa condizione può essere espressa matematicamente come:

$$q_{DPWM} \cdot D_{dc} < q_{ADC} \quad (3.6)$$

Praticamente quello che viene richiesto è che la risoluzione ottenuta dal modulatore sia maggiore della risoluzione del ADC: in corrispondenza del *zero-error bin* (il bin nel quale risiede il valore di riferimento), il modulatore deve avere più livelli tra i quali far stabilire la grandezza controllata.

- La seconda condizione necessaria è che nel controllore utilizzato sia presente una azione integrale. Se fosse presente la sola azione proporzionale, la quantizzazione dovuta al ADC implicherebbe un passo di quantizzazione dell'output del controllore pari a $K_P \cdot q_{ADC}$. Il sistema sarà in grado di mantenere un punto di lavoro stabile solo se:

$$K_P \cdot q_{ADC} < q_{DPWM} \quad (3.7)$$

ovvero, solo se l'output del controllore riesce a variare con step minori rispetto a quelli del duty-cycle. Generalmente tale condizione non è verificata perché il guadagno K_P è quasi sempre maggiore di 1. E' molto più semplice rientrare in tale limite con la presenza di una azione integrale, grazie alla quale la (3.7) diventa:

$$K_I \cdot q_{ADC} < q_{DPWM} \quad (3.8)$$

e, generalmente, $K_I < K_P$.

Le due condizioni necessarie (3.6) e (3.8) possono essere espresse in una sola in tal modo:

$$K_I \cdot D_{dc} < 1 \quad (3.9)$$

Tuttavia, soddisfare tale condizione è necessario, ma non è detto che sia anche sufficiente, perché molti sono i fattori che prendono parte nei processi che danno vita alle oscillazioni di ciclo limite e controllarli tutti rende il problema molto complesso. La via più ragionevole da percorrere è l'utilizzo di simulazioni con le quali affinare il comportamento del sistema fino ad ottenere l'assenza o la riduzione fino a livelli accettabili di queste oscillazioni.

Capitolo 4

Sistema utilizzato

Prima di spiegare come è stato progettato il controllore digitale e tutto il software relativo ad esso, è necessario specificare alcune delle caratteristiche del sistema che è stato utilizzato.

Nel Capitolo 1 è stato analizzato il comportamento di un inverter connesso alla rete.

Tuttavia, per questo lavoro di tesi, non è stato utilizzato un vero e proprio inverter, ma il suo comportamento è stato emulato da un circuito le cui funzioni di trasferimento corrispondono a quelle di interesse.

4.1 Emulatore di inverter

Con lo scopo di semplificare al massimo tutta la strumentazione utilizzata, l'inverter è stato emulato da un driver MOS del tipo TC426CPA e il suo filtro di uscita da una rete RC del primo ordine.

Il sistema oggetto dei test è mostrato in Figura 4.1.

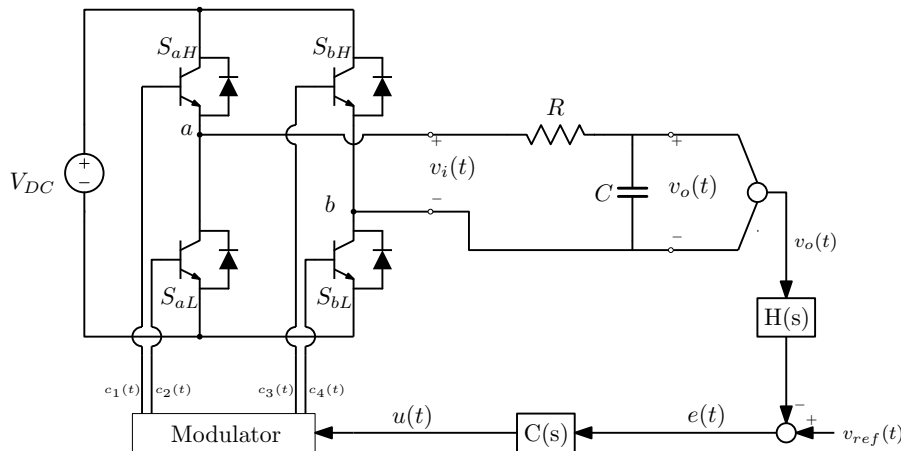


Figura 4.1: Sistema utilizzato

Si nota chiaramente che la grandezza acquisita e controllata non è neanche una corrente, ma la tensione $v_o(t)$ ai capi del condensatore C. In tal modo si riesce ad emulare il comportamento della corrente circolante nell'induttore, in quanto la F.d.t. $G_e(s) \triangleq \frac{v_o(s)}{u(s)}$ è del tutto simile alla F.d.t. $G(s) \triangleq \frac{i_L(s)}{u(s)}$, infatti:

$$G_e(s) \triangleq \frac{v_o(s)}{u(s)} = \frac{V_{DC}}{V_r} \frac{1}{1 + sRC} \quad (4.1)$$

I parametri principali sono stati scelti in modo che le costanti di tempo del circuito fossero uguali a quelle dell'inverter reale e sono elencati nella Tabella 4.1.

Così facendo si può definire un fattore k_c di conversione tra le grandezze controllate $i_L(t)$ e $v_o(t)$, che tenga conto delle differenze dei due sistemi. Si considerino le caratteristiche del sistema reale descritte nella Tabella 1.1. La corrente nominale di uscita dell'inverter (la stessa circolante nell'induttore) vale:

$$i_o = \frac{P_o}{v_g} = \frac{3 \text{ kW}}{120 V_{RMS}} = 25 A_{RMS} \quad (4.2)$$

Parametro	Valore	
C	100	nF
R	10	$k\Omega$
V_{DC}	15.5	V
f_s	20	kHz
V_r	10	V
f_o	60	Hz
f_{simpl}	40	kHz

Tabella 4.1: Parametri dell'emulatore di inverter testato

Tra la tensione V_{DC_i} e la corrente nominale i_o c'è un rapporto:

$$\frac{V_{DC_i}}{i_o} = \frac{250 V}{25 A_{RMS}} = 10 \quad (4.3)$$

Per ricreare le stesse condizioni nell'emulatore, il rapporto tra la tensione V_{DC} e la tensione nominale $v_o(t)$ deve essere il medesimo:

$$\frac{V_{DC}}{v_o} = 10 \Rightarrow v_o = 1.55 V_{RMS} \quad (4.4)$$

A questo punto il fattore di conversione tra la tensione $v_o(t)$ del condensatore C dell'emulatore e la corrente dell'induttore $i_L(t)$ è pari a:

$$k_c = \frac{i_o}{v_o} = \frac{25 A_{RMS}}{1.55 V_{RMS}} \cong 16.13 \frac{A}{V} \quad (4.5)$$

4.1.1 Circuito TC426CPA

Lo schema funzionale del driver MOS TC426CPA è riportato in Figura 4.2.

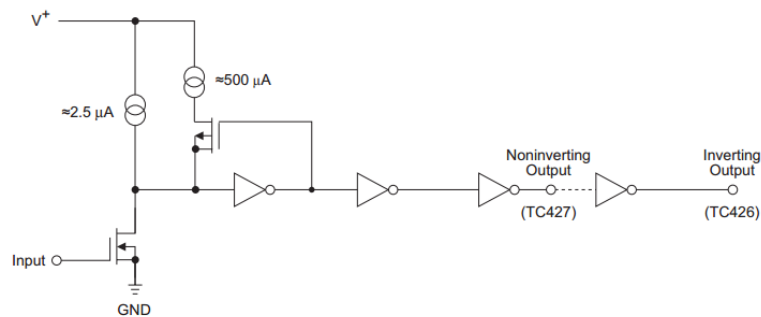


Figura 4.2: Schema TC426CPA [7]

Si possono notare alcune caratteristiche che serviranno nell'implementazione del software:

- il segnale di input è uno per ogni gamba, di conseguenza non sarà possibile gestire i tempi morti che, generalmente, si introducono per evitare corto-circuiti tra V_{DC} e GND;
- la tensione presente in output è quella che va a simulare la tensione presente in uscita da una gamba dell'inverter e potrà assumere i valori di $0 V$ o $V^+ = V_{DC}$;
- la tensione $v_o(t)$ del condensatore C non avrà riferimento a GND;
- l'uscita del circuito è invertente, di conseguenza, il segnale di input, corrispondente a quello PWM, deve essere negato, dato che si tratterà di un segnale logico.

4.2 Dispositivi di acquisizione e controllo

Tutta la parte relativa all'acquisizione del segnale di tensione, del controllo e della generazione dei segnali di comando PWM è stata affidata ad una piattaforma CompactRIO della National InstrumentsTM, programmata in LabVIEW FPGA. L'architettura del NI cRIO è presentata in Figura 4.3.

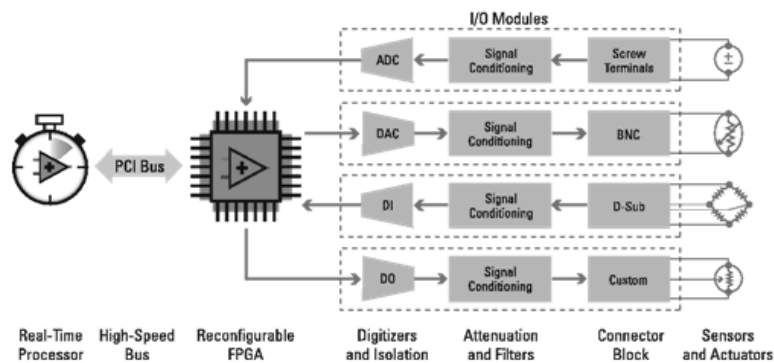


Figura 4.3: Architettura del sistema NI cRIO [8]

Si nota come l'architettura che contraddistingue la piattaforma sia estremamente flessibile, grazie alla presenza della logica FPGA che permette gestione e riconfigurazione di svariate tipologie di moduli I/O. Il tutto è supervisionato da un processore Real-Time che si occupa di interfacciarsi tra la logica FPGA e il PC dal quale si programma.

I moduli I/O utilizzati per lo sviluppo di questa attività di tesi sono:

- NI 9401
Si tratta di un modulo fornito di 8 canali digitali bidirezionali. È stato utilizzato per la generazione dei segnali di comando PWM da trasferire all'emulatore.
- NI 9215
Modulo di acquisizione con 4 canali analogici a 16 bit, utilizzato per acquisire il segnale di tensione $v_o(t)$. Il suo funzionamento e il suo ritardo di acquisizione sono stati oggetto di studio nella seconda parte di questa tesi.
- NI 9264
Modulo provvisto di 16 canali di output analogici con DAC a 16 bit, utilizzato per la generazione del riferimento di tensione e presentare sull'oscilloscopio la tensione $v_o(t)$ acquisita.

Grazie alle caratteristiche del modulo NI 9215, il segnale $v_o(t)$ è stato acquisito direttamente senza essere manipolato da nessun circuito di condizionamento; dunque la F.d.t. $H(s)$ definita in precedenza risulta unitaria.

Data la generosità delle prestazioni del sistema, è stato deciso di acquisire il segnale di tensione due volte in ogni periodo di switching, in modo da ritrovare le condizioni descritte in Figura 3.3. Pertanto la frequenza di acquisizione è pari a:

$$f_{smp} = 2f_s = 40 \text{ kHz} \quad \Rightarrow \quad T_{smp} = \frac{1}{f_{smp}} = 25 \mu s$$

Uno schema a blocchi che riassume come è stata utilizzata la strumentazione disponibile è mostrato in Figura 4.4.

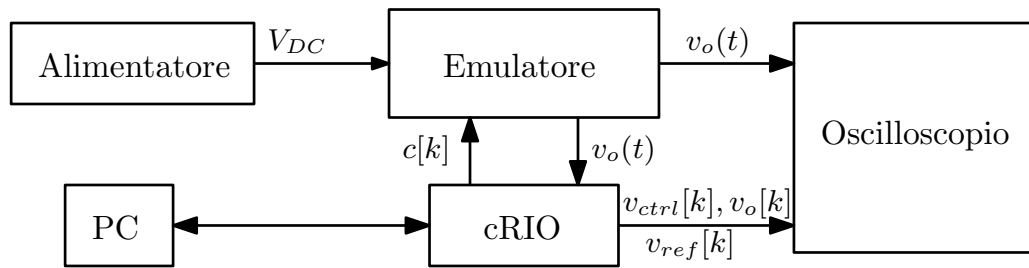
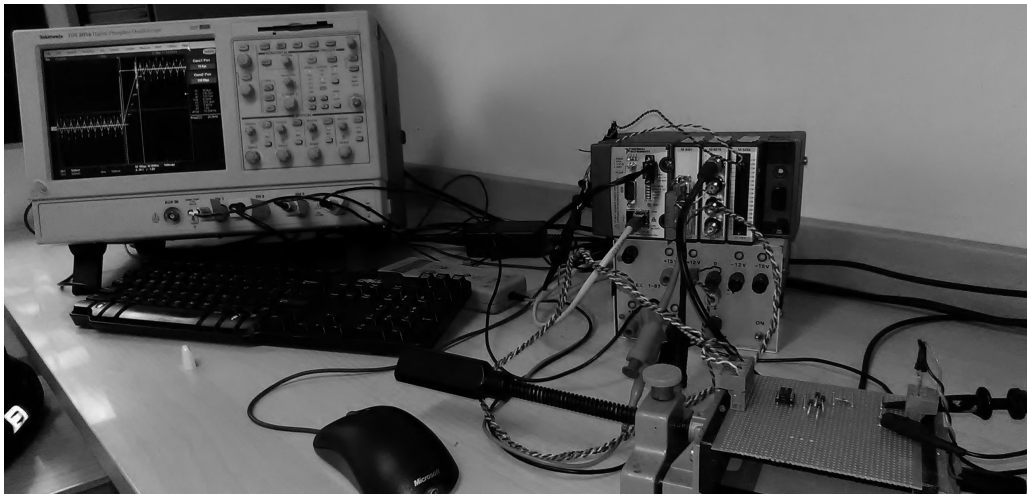
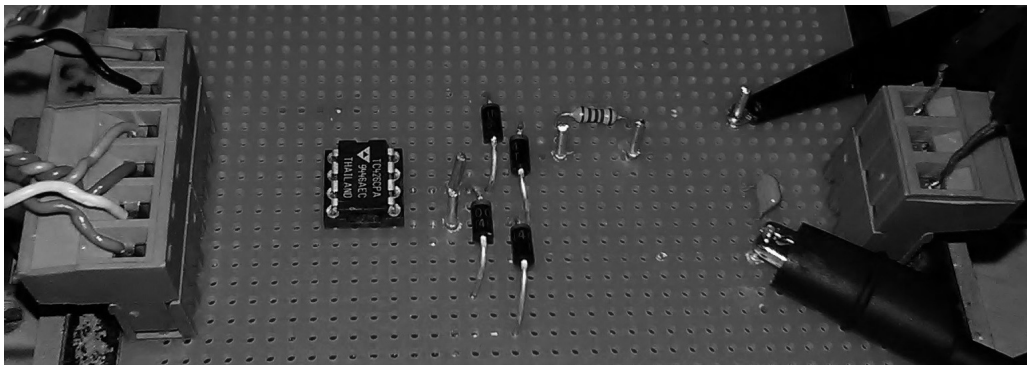


Figura 4.4: Schema del setup utilizzato

In Figura 4.5, due foto della strumentazione.



(a) Setup di misura completo



(b) Circuito emulatore inverter

Figura 4.5:

Capitolo 5

Progettazione del controllore

Dalle analisi condotte nel Capitolo 1 e dalle caratteristiche del sistema specificate nel Capitolo 4 si può concludere che il guadagno d'anello non compensato del sistema mostrato in Figura 5.1 risulta pari a:

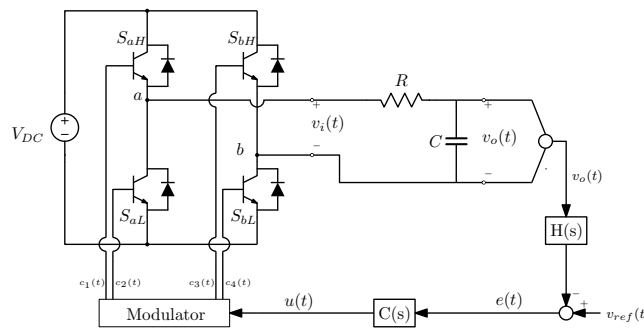


Figura 5.1: Inverter con controllo di corrente analogico

$$T_u(s) \triangleq \frac{v_o(s)}{u(s)} = \frac{V_{DC}}{V_r} \frac{1}{1 + sRC} \quad (5.1)$$

Tuttavia, questa F.d.t. considera la presenza di un modulatore PWM analogico. Per quanto analizzato nel paragrafo 2.3, è possibile considerare un modulatore PWM digitale tramite il modello del suo ritardo a tempo continuo. Considerando l'approssimazione di Padé del modello, il guadagno ad anello aperto sarà modificato e risulterà:

$$T_u(s) = \frac{1 - s \frac{T_{smp}}{4}}{1 + s \frac{T_{smp}}{4}} \frac{V_{DC}}{V_r} \frac{1}{1 + sRC} \quad (5.2)$$

$$= \frac{1 - 6.25 \cdot 10^{-6}}{1 + 6.25 \cdot 10^{-6}} \cdot 1.55 \cdot \frac{1}{1 + \frac{s}{1000}} \quad (5.3)$$

i cui diagrammi di Bode, per il sistema in questione, sono mostrati in Figura 5.2.

5.1 Controllore PI

Il modo più semplice ed efficace per controllare il sistema descritto dall'equazione (5.3) è quello di utilizzare un controllore PI, la cui F.d.t. è:

$$C(s) = K_P + \frac{K_I}{s} = K_I \frac{1 + \frac{s}{\omega_{PI}}}{s} \quad (5.4)$$

Le specifiche da soddisfare ad anello chiuso, scelte per la progettazione del controllore sono:

- frequenza di cross-over $f_c = 4 \text{ kHz} \Rightarrow \omega_c \cong 25.1 \text{ krad/s}$;

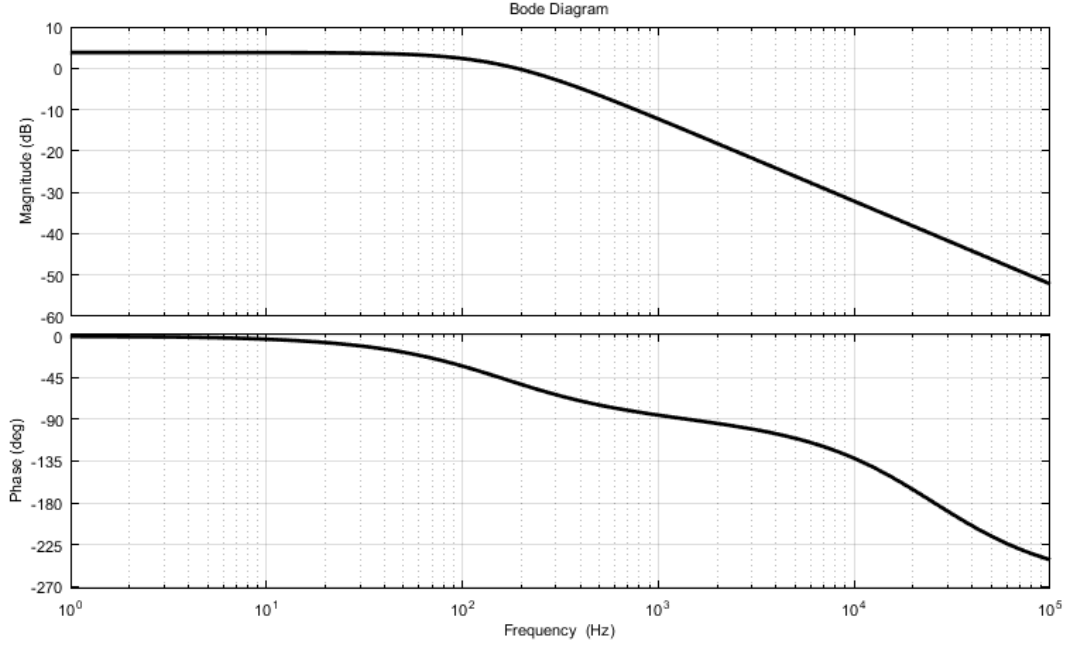


Figura 5.2: Diagrammi di Bode del guadagno d'anello non compensato T_u

- margine di fase $\varphi_m = 70^\circ$.

Modulo e fase del guadagno d'anello valutato alla frequenza di cross-over sono pari a:

$$\begin{aligned} |T_u(j\omega_c)|_{dB} &\cong -24.2 \text{ dB} \Rightarrow |T_u(j\omega_c)| \cong 0.0616 \\ \angle T_u(j\omega_c) &\cong -105.6^\circ \end{aligned}$$

La fase del controllore PI si può esprimere come:

$$\angle C(j\omega) = \arctan\left(\frac{\omega}{\omega_{PI}}\right) - 90^\circ = -\arctan\left(\frac{\omega_{PI}}{\omega}\right) \quad (5.5)$$

In base al margine di fase richiesto si calcola la fase di $C(j\omega_c)$ e, da questa, la pulsazione dello zero:

$$\varphi_m = 180^\circ + \angle T_u(j\omega_c) + \angle C(j\omega_c) \quad (5.6)$$

da cui:

$$\angle C(j\omega_c) = \varphi_m - \angle T_u(j\omega_c) - 180^\circ \quad (5.7)$$

$$\arctan\left(\frac{\omega_{PI}}{\omega_c}\right) = 180^\circ - \varphi_m + \angle T_u(j\omega_c) \quad (5.8)$$

La pulsazione dello zero del PI varrà, dunque:

$$\omega_{PI} = \omega_c \tan[180^\circ - \varphi_m + \angle T_u(j\omega_c)] \cong 1945 \text{ rad/s} \quad (5.9)$$

In base alla pulsazione di cross-over si calcola il guadagno in alta frequenza del PI:

$$|T_u(j\omega_c)| \cdot |C(j\omega_c)| = 1 \quad (5.10)$$

$$|T_u(j\omega_c)| \cdot C_\infty \sqrt{1 + \left(\frac{\omega_{PI}}{\omega_c}\right)^2} = 1 \quad (5.11)$$

Per cui:

$$C_{\infty} = \frac{1}{|T_u(j\omega_c)| \cdot \sqrt{1 + \left(\frac{\omega_{PI}}{\omega_c}\right)^2}} \cong 16.2 \quad (5.12)$$

É possibile adesso calcolare i parametri K_I e K_P del controllore:

$$K_P = C_{\infty} \cong 16.2 \quad (5.13)$$

$$K_I = \omega_{PI} C_{\infty} \cong 31462 \quad (5.14)$$

I diagrammi di Bode del controllore PI ottenuto sono mostrati in Figura 5.3.

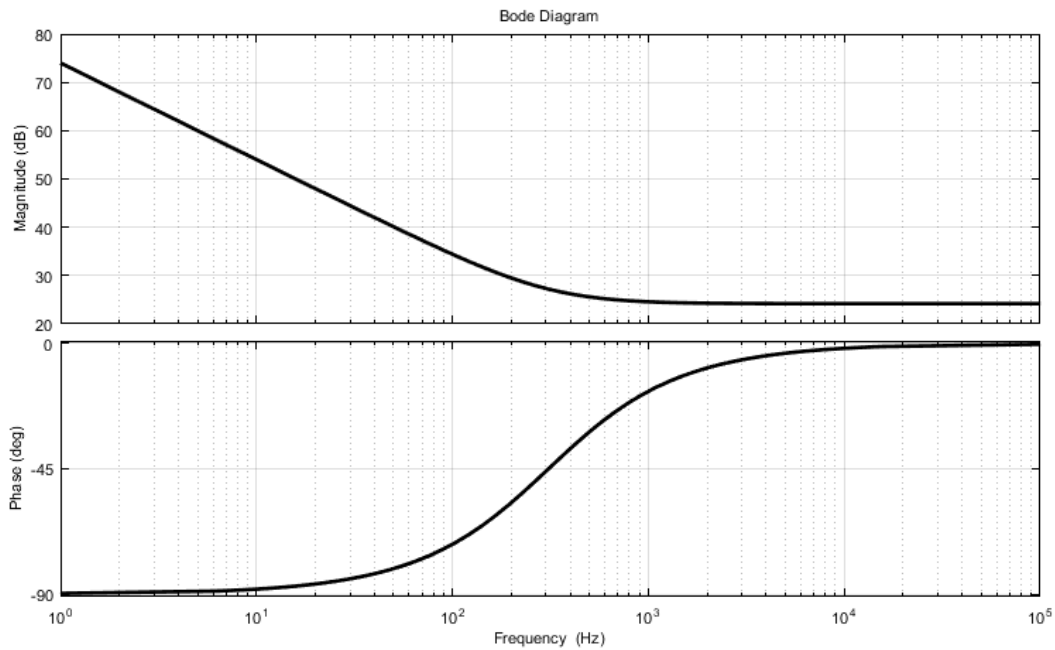


Figura 5.3: Diagrammi di Bode del controllore PI

Il guadagno d'anello compensato varrà:

$$T(s) = H(s)C(s)T_u(s) = K_I \frac{1 + \frac{s}{\omega_{PI}}}{s} \frac{1 - s \frac{T_{smpl}}{4}}{1 + s \frac{T_{smpl}}{4}} \frac{V_{DC}}{V_r} \frac{1}{1 + sRC} \quad (5.15)$$

e i suoi diagrammi di Bode sono mostrati in Figura 5.4.

Si può notare che il progetto ha avuto un buon esito, in quanto, osservando i grafici, il margine di fase vale $\varphi_m = 70^\circ$.

La F.d.t. del sistema ad anello chiuso è mostrata in Figura 5.5, dove si nota che la banda totale ottenuta è di circa 6.4 kHz .

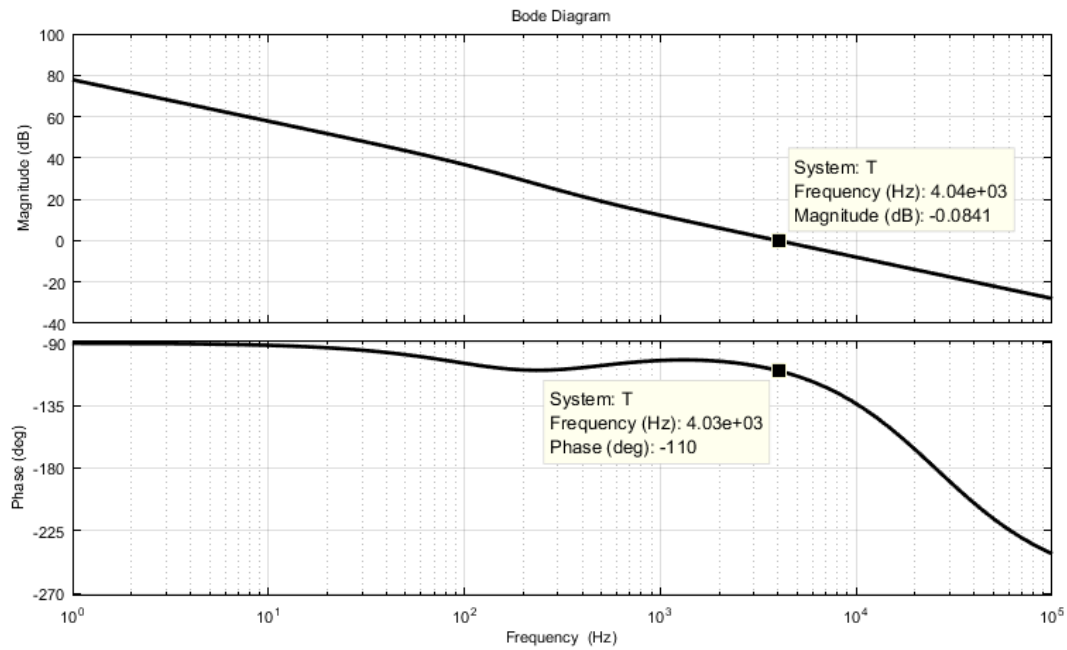


Figura 5.4: Diagrammi di Bode del guadagno d'anello compensato $T(s)$

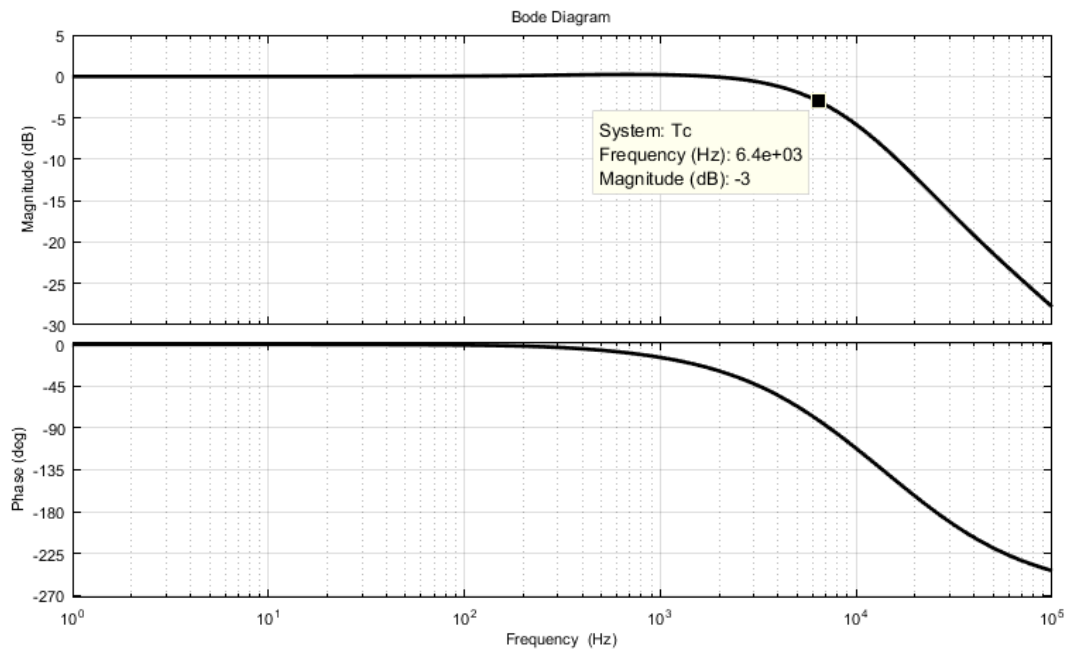


Figura 5.5: Diagrammi di Bode della F.d.t. del sistema ad anello chiuso

5.2 Metodo Anti-wind-up

In ogni sistema reale il segnale di controllo può assumere valori solo in un certo range ben limitato. Quando esso satura, indipendentemente dal segnale di errore $e(t)$ che si trova al suo ingresso, rimane costante e il sistema funziona ad anello aperto.

L'azione integrale I del controllore fa in modo che il segnale di errore $e(t)$ venga integrato per generare parte del comando che, sommato alla parte proporzionale P, costituirà il segnale $u(t)$. Così facendo, quando

$e(t)$ assume un certo valore per un determinato intervallo di tempo, l'integrazione può portare fuori scala il comando $u(t)$. Questo è il fenomeno chiamato *wind-up* e si verifica principalmente in corrispondenza di variazioni brusche delle condizioni di steady-state del sistema. Lo schema di una possibile soluzione a tale problema è mostrata in Figura 5.6.

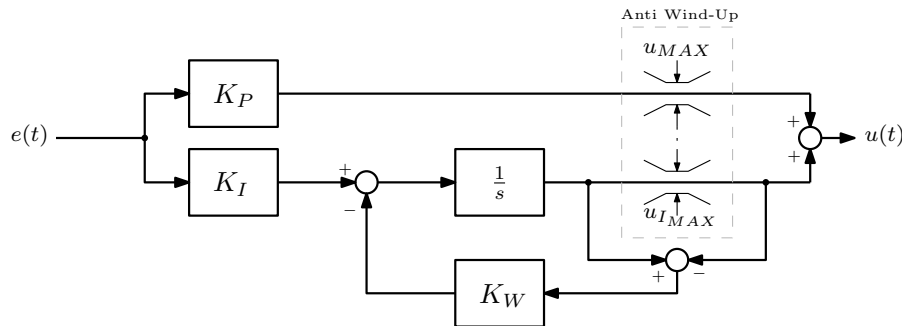


Figura 5.6: Schema a blocchi del controllore PI con Anti-Wind-Up

Si considera:

$$u_{MAX} = V_r \quad (5.16)$$

$$u_{I_{MAX}} = u_{MAX} - K_P \cdot e(t) \quad (5.17)$$

V_r viene scelto come valore di saturazione del comando $u(t)$ perché corrisponde al valore massimo che il modulatore può accettare in input senza saturare.

Il valore del guadagno K_W viene considerato, nella maggioranza dei casi, molto vicino a K_I , per fare in modo che l'integratore riesca ad uscire dalla saturazione nel più breve tempo possibile. Durante i test sarà settato al valore, ottenuto per tentativi analizzando la risposta a gradino, pari a:

$$K_W = 0.1 \cdot K_I = 3146.2$$

5.3 Discretizzazione del controllore

Tutto il processo di progettazione del controllore PI analizzato finora vale solo nel caso in cui si utilizzi un controllore analogico.

Per ottenere la sua controparte digitale di interesse in questa tesi bisogna discretizzarlo. Ci sono varie strategie di discretizzazione, basate principalmente su metodi di integrazione numerica. Il concetto è quello di sostituire il calcolo dell'integrale a tempo continuo con una sua approssimazione numerica a tempo discreto. I metodi più conosciuti sono quelli di Eulero e di Tustin, illustrati in Figura 5.7 per un generico segnale.

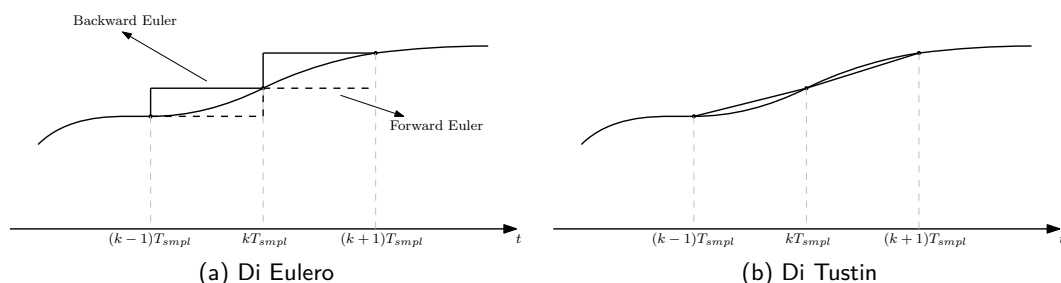


Figura 5.7: Metodi di discretizzazione

Come si può notare, l'area sottesa alla curva può essere calcolata approssimativamente considerando la somma delle aree dei rettangoli (nel caso della discretizzazione di Eulero) o dei trapezi (nel caso della discretizzazione di Tustin o trapezoidale). L'integrazione di Eulero può essere anche suddivisa in due sotto-casi detti *backward* o *forward*.

Le funzioni che permettono di mappare il sistema dal dominio s al dominio z ottenute in questo modo,

Metodo	Mappa
Backward Euler	$s = \frac{z-1}{zT_{smpl}}$
Forward Euler	$s = \frac{z-1}{T_{smpl}}$
Tustin	$s = \frac{2}{T_{smpl}} \frac{z-1}{z+1}$

Tabella 5.1: Metodi di discretizzazione

sono presentate nella Tabella 5.1

Per ottenere la F.d.t. discreta equivalente del controllore PI basta scegliere uno di questi metodi e sostituire, alla variabile s della F.d.t. originale, il valore di questa mappa.

Il metodo scelto in questo caso è il backward Euler e la F.d.t. discreta è ottenuta partendo dalla (5.4) e sostituendo $s = \frac{z-1}{zT_{smpl}} = \frac{1-z^{-1}}{T_{smpl}}$:

$$C(s) = K_I \frac{1 + s \frac{K_P}{K_I}}{s} \Rightarrow C(z) = K_I \frac{1 + \frac{1-z^{-1}}{T_{smpl}} \frac{K_P}{K_I}}{\frac{1-z^{-1}}{T_{smpl}}}$$

$$= K_I \frac{T_{smpl} + (1-z^{-1}) \frac{K_P}{K_I}}{(1-z^{-1})}$$

$$C(z) = K_P + K_I \frac{T_{smpl}}{1-z^{-1}} \quad (5.18)$$

Per questo, i parametri del controllore digitale saranno:

$$K_{P_d} = K_P = 16.2$$

$$K_{I_d} = K_I \cdot T_{smpl} \cong 0.787$$

$$K_{W_d}^1 = K_W \cdot T_{smpl} \cong 0.078$$

Sono questi i valori utilizzati nell'implementazione del controllore discreto mostrato in Figura 5.8 e utilizzati nei test.

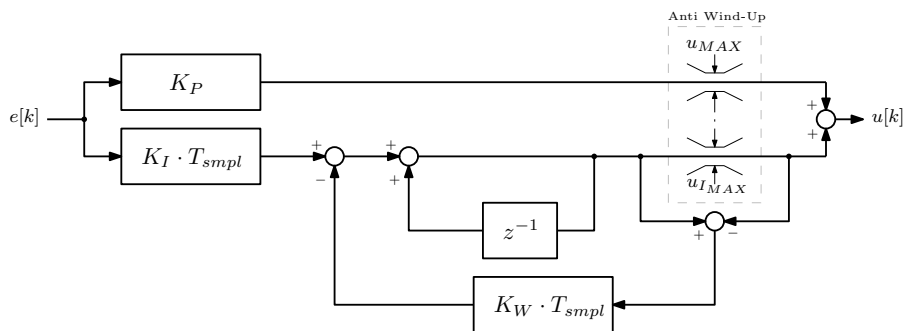


Figura 5.8: Schema a blocchi del controllore PI discretizzato con Anti-Wind-Up

¹ K_W riprende la stessa formula di trasformazione di K_I dato che si trova sullo stesso "ramo integrativo" del controllore.

Capitolo 6

Software implementato in LabVIEW

Il software di gestione del controllo è stato sviluppato in LabVIEW FPGA: è un linguaggio di programmazione di alto livello, che permette di programmare il chip FPGA presente nel cRIO tramite la creazione di alcuni *Virtual Instruments* (VI), senza scrivere alcuna riga di codice VHDL.

Si tratta di uno speciale linguaggio di programmazione proprietario di tipo grafico che, a prima vista, risulta molto intuitivo.

I moduli di input/output del cRIO ed i relativi canali di acquisizione sono stati mappati in questo modo:

- Modulo digitale NI 9401
 - DIO0: comando gate gamba A
 - DIO1: comando gate gamba B
 - DIO2: comando di sampling
 - DIO3: segnale ramp-up
- Modulo input analogico NI 9215
 - AI0: tensione $v_o(t)$
- Modulo output analogico NI 9264
 - AO1: riferimento di tensione generato internamente $v_{ref}(t)$
 - AO2: tensione di controllo $V_{ctrl}(t)$
 - AO3: tensione acquisita $v_o[k]$

6.1 Modulatore

Per lo sviluppo del modulatore digitale non si è seguito lo schema classico descritto nel Capitolo 2, ma si è fatto riferimento ad un tradizionale modulatore PWM analogico.

Il classico schema digitale prevede la presenza di un flip-flop il quale si occupa di settare e resettare il segnale di comando, in base ad un confronto tra portante e modulante, eseguito una sola volta per ciclo. Nello schema sviluppato, invece, il confronto tra la portante $r[k]$ e la modulante $u[k]$ avviene continuamente.

Nella Figura 6.1 è mostrato il block diagram del VI del modulatore DPWM bipolare.

Il codice grafico si trova all'interno di un ciclo temporizzato che viene eseguito alla frequenza di clock $f_{clk} = 40 \text{ MHz}$ e la dinamica del sistema viene gestita tramite due registri:

- il primo contiene una variabile di tipo *integer*, che sarà chiamata *ramp*, inizializzata al valore 0; terrà traccia del conteggio.
- il secondo contiene una variabile di tipo *boolean*, che sarà chiamata *ramp-up*, inizializzata su *FALSE*; terrà traccia della pendenza del conteggio, ovvero, se nell'ultimo ciclo la rampa è risultata crescente o decrescente.

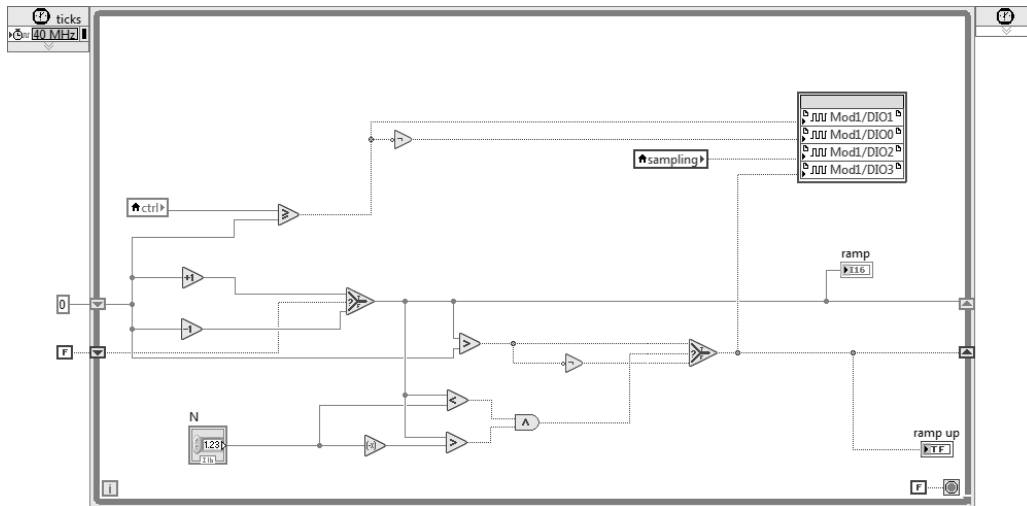


Figura 6.1: Modulatore bipolare

Il valore attuale della variabile *ramp* viene confrontato con la variabile *ctrl* proveniente dal controllore, che funge da segnale $u[k]$. Come in un modulatore analogico, il risultato di tale confronto è passato direttamente in uscita per costruire il segnale di comando delle due gambe: data l'implementazione bipolare, una gamba è comandata con tale segnale e l'altra con il suo negativo.

Il confronto viene eseguito prima di fare tutte le altre operazioni in modo da non attendere il calcolo del nuovo valore e l'aggiornamento della variabile *ramp*: le operazioni sono eseguite in parallelo e, con questa implementazione, la scrittura del dato digitale sull'uscita del modulo può avvenire mentre vengono eseguite tutte le altre operazioni del ciclo. In questo modo si assicura un tempo di esecuzione minore di $T_{clk} = \frac{1}{f_{clk}} = 25 \text{ ns}$. In base al valore di *ramp-up* la variabile *ramp* viene decrementata o incrementata di una unità e viene eseguito un controllo:

- se il nuovo valore di *ramp* è compreso nell'intervallo $(+N, -N)$, il ciclo viene eseguito senza nessuna modifica;
- se il nuovo valore di *ramp* risulta fuori dall'intervallo $(+N, -N)$, il valore di *ramp-up* viene invertito.

Il valore N è scelto in base alla frequenza di clock f_{clk} e alla frequenza di switching f_s .

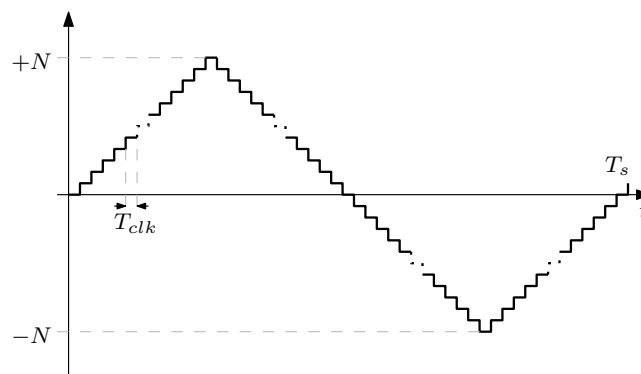


Figura 6.2: Portante costruita

Facendo riferimento alla Figura 6.2, si può scrivere:

$$N \cdot T_{clk} = \frac{T_s}{4} \Rightarrow N = \frac{f_{clk}}{4f_s} = \frac{40 \text{ MHz}}{4 \cdot 20 \text{ kHz}} = 500 \quad (6.1)$$

Il modulatore PWM unipolare adotta lo stesso funzionamento di base: a partire dalla modulante ricevuta tramite *ctrl*, crea la sua inversa ed effettua un doppio confronto con la portante. I due segnali generati

vengono portati direttamente in uscita per andare a comandare le gambe dell'inverter. In Figura 6.3 è mostrato il block diagram del modulatore unipolare.

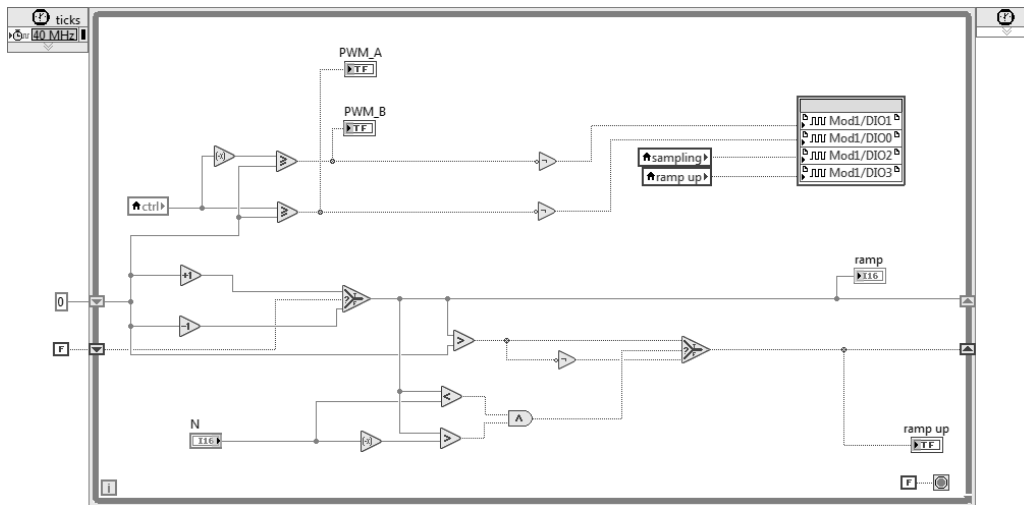


Figura 6.3: Modulatore unipolare

I segnali *ramp-up* e *sampling* sono portati in uscita per verificare il corretto funzionamento del VI. In particolare, il segnale *sampling* viene generato in un ciclo *while* differente da quello del modulatore e viene riportato qui per permettere la sincronizzazione della scrittura su tutti i canali digitali, riducendo i tempi di esecuzione totali.

6.2 Generazione del riferimento

Il riferimento che si intende far seguire alla tensione di uscita $v_o(t)$ è generato internamente al chip FPGA. Lo scopo è quello di creare un segnale sinusoidale che varii nel tempo secondo la legge:

$$v_{ref}(t) = V_m \sin(2\pi f_o t) \quad (6.2)$$

Per fare questo si ricorre ad un ciclo *while*, al quale si impone un tempo di esecuzione ben preciso $dt = 10 \mu s$ e a un blocco, disponibile in LabVIEW FPGA, che riceve in ingresso un valore, in unità di π , e ne calcola il seno.

Basterà creare un "integratore discreto" che per ogni ciclo aggiunga il valore $2f_o dt$ all'ingresso del blocco *sin* e si otterrà un riferimento sinusoidale alla frequenza f_o . Inoltre è possibile generare un riferimento costante e selezionare quale dei due considerare. Il block diagram implementato a questo scopo è mostrato in Figura 6.4.

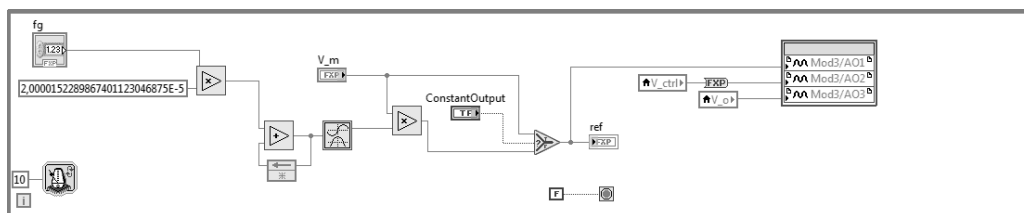


Figura 6.4: Generazione del riferimento

Anche in questo ciclo si nota la presenza di un blocco di scrittura sul modulo in uscita: si tratta del riferimento generato, della tensione di uscita del controllore PI e del segnale V_o , ovvero la tensione acquisita dal modulo NI 9215.

6.3 Acquisizione e generazione del controllo

L'acquisizione è stata gestita nel modo basilare descritto nel Capitolo 3, anche se non è stato possibile soddisfare la condizione (3.9) che permette l'esclusione delle oscillazioni di ciclo limite. La frequenza di acquisizione scelta è di $f_{smp} = 2f_s = 40 \text{ kHz}$ in modo da ottenere due aggiornamenti del valore di duty-cycle per ogni ciclo di switching.

Il codice sviluppato è presentato in Figura 6.5.

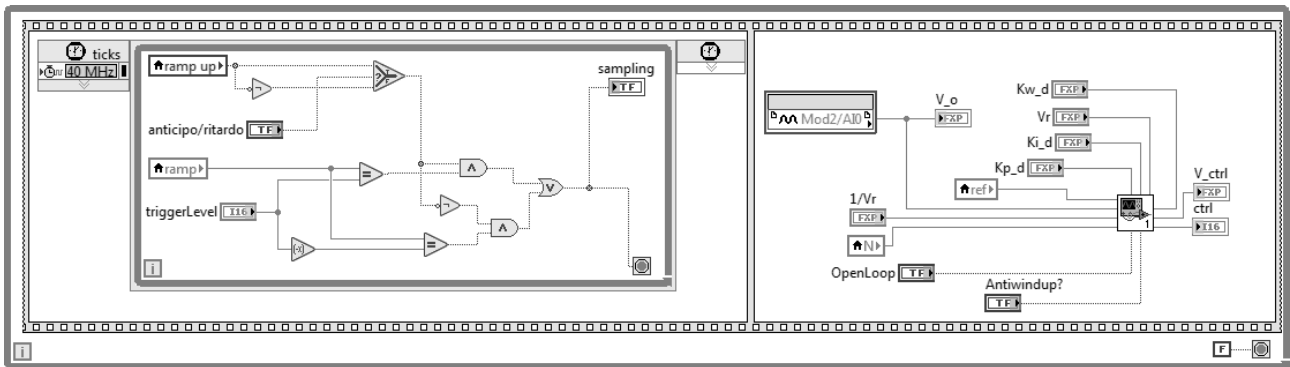


Figura 6.5: Acquisizione

Come analizzato nel paragrafo 3.2, l'acquisizione deve essere sincronizzata con la portante del segnale PWM: per ottenere la ricostruzione automatica del valore medio della tensione $v_o(t)$, bisogna acquisire il valore che essa assume nel momento in cui la portante è al suo massimo o al suo minimo.

Per comandare l'acquisizione in questo modo è stata utilizzata la struttura *Flat Sequence*, che permette di eseguire le operazioni in sequenza: in una prima fase si cerca il momento opportuno nel quale comandare l'acquisizione e nella seconda si acquisisce il segnale e si genera il controllo *ctrl*.

Analizzando il primo frame della *Flat Sequence* si nota che la variabile booleana *sampling* è quella che comanda l'uscita dal ciclo temporizzato: essa viene gestita da una logica progettata per compensare i ritardi introdotti dal convertitore analogico/digitale. L'unica informazione che si ha a proposito di esso è la sua tipologia: è un convertitore ad approssimazioni successive (SAR).

Data la dinamica di funzionamento del ADC non molto chiara, per la progettazione della logica di acquisizione si è partiti dal concetto di flessibilità.

Per capire come il software va a modificare il momento dell'acquisizione si faccia riferimento alla Figura 6.6.

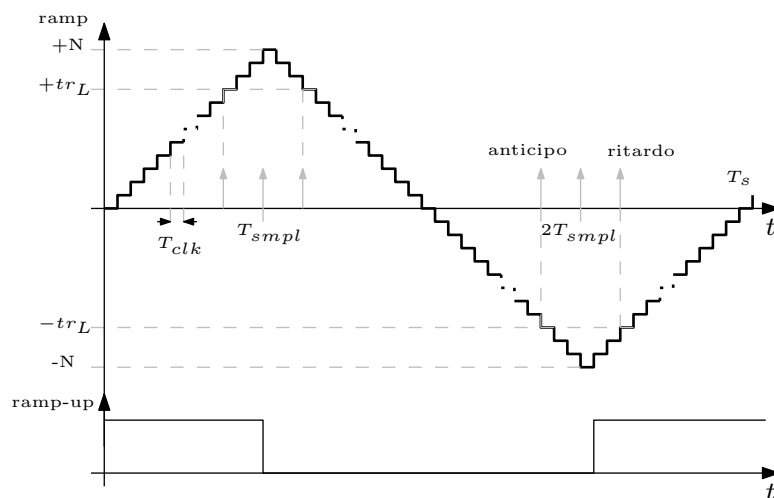


Figura 6.6: Funzionamento della logica di comando acquisizione

Il momento ideale per acquisire correttamente il segnale sarebbe T_{smp} per il primo aggiornamento, e $2T_{smp}$ per il secondo. Il convertitore analogico/digitale non è ideale, perciò impiegherà un certo tempo per resti-

tuire il dato dopo aver ricevuto il comando di acquisizione: bisogna compensare tale ritardo, in modo che il dato restituito dall'ADC sia esattamente quello relativo all'istante T_{smp} .

Questo può essere fatto ritardando o anticipando il comando di acquisizione: tramite la variabile booleana *anticipo/ritardo* si modificano le condizioni riguardanti il segnale *ramp-up* e si decide se comandare l'acquisizione in ritardo o in anticipo. Impostando un *trigger level* tr_L si stabilisce lo scostamento temporale rispetto all'istante nominale. Nel momento in cui si verificano tutte le condizioni stabilite, la variabile *sampling* diventa *TRUE* e si verifica l'uscita dal ciclo; si passa al frame successivo, nel quale viene richiesto il dato in uscita dal ADC ed elaborato dal controllore PI, realizzato in un subVI aggiuntivo.

6.3.1 Controllore PI

Il controllore PI sviluppato riceve in ingresso molti parametri allo scopo di generare il segnale di comando *ctrl* che costituisce la modulante. I segnali che esso elabora sono:

- ref , proveniente dal generatore di riferimento, che potrà essere sinusoidale o costante;
- K_{Pd} , K_{Id} , K_{Wd} , parametri effettivi del controllore provenienti dal codice eseguito sul processore Real Time del cRIO;
- v_o , rappresentazione digitale della tensione $v_o(t)$ acquisita;
- V_r , valore di picco (in V) della rampa virtuale che si crea con il modulatore, e $\frac{1}{V_r}$, suo inverso;
- N , valore massimo del conteggio.

Il codice sviluppato è mostrato in Figura 6.7.

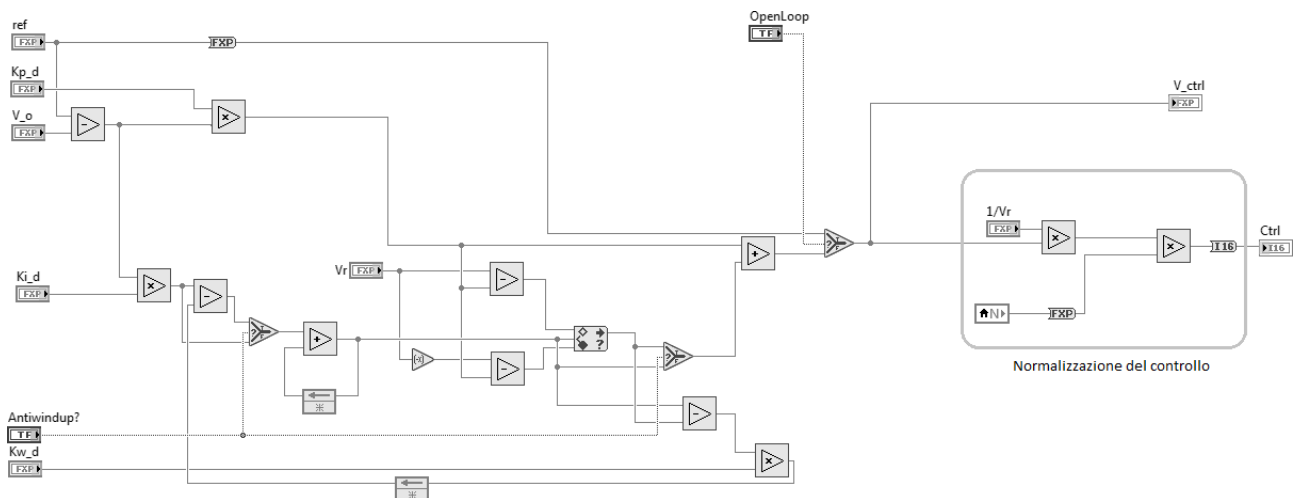


Figura 6.7: Controllore PI

Da notare che, dopo aver fatto tutti i calcoli relativi al controllo, il segnale V_{ctrl} ottenuto viene adattato alle specifiche di ingresso del modulatore: è manipolato per tener conto dell'ampiezza della rampa V_r che si troverebbe in un modulatore analogico e dell'ampiezza reale N che assume in questo caso digitale. Il segnale di uscita che andrà a comandare il modulatore è *ctrl*.

Tramite la variabile *OpenLoop* si può disattivare il controllore lavorando ad anello aperto e, tramite la variabile *Antiwindup?*, si può disattivare il sistema anti-windup.

6.4 Controllore Real Time

Il software che interagisce tra LabVIEW FPGA e il sistema Windows viene eseguito sul controller real time presente sul cRIO. In questo caso esso si occupa del calcolo dei parametri costanti, che possono essere calcolati all'inizio dell'esecuzione e utilizzati senza ulteriori modifiche.

Il block diagram del VI è presentato in Figura 6.8, mentre l'interfaccia che si presenta sul sistema Windows

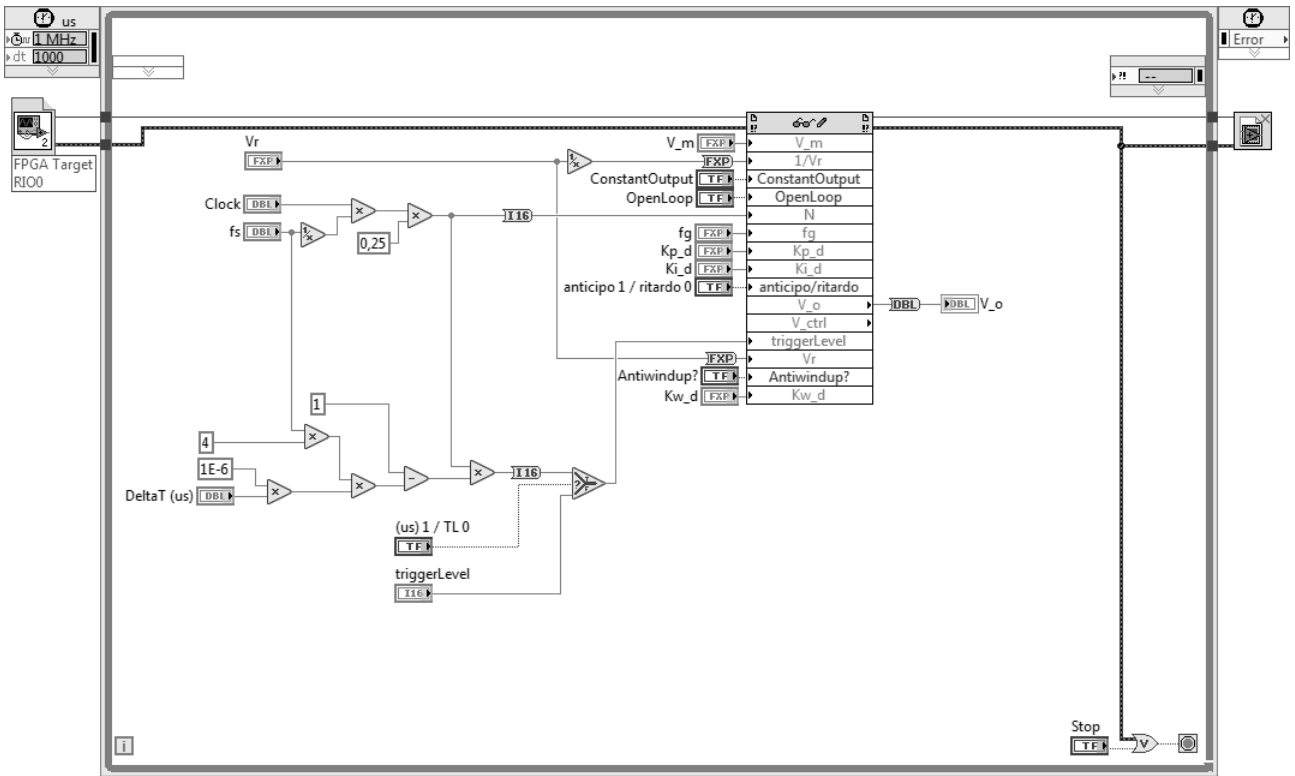


Figura 6.8: Real Time VI: block diagram

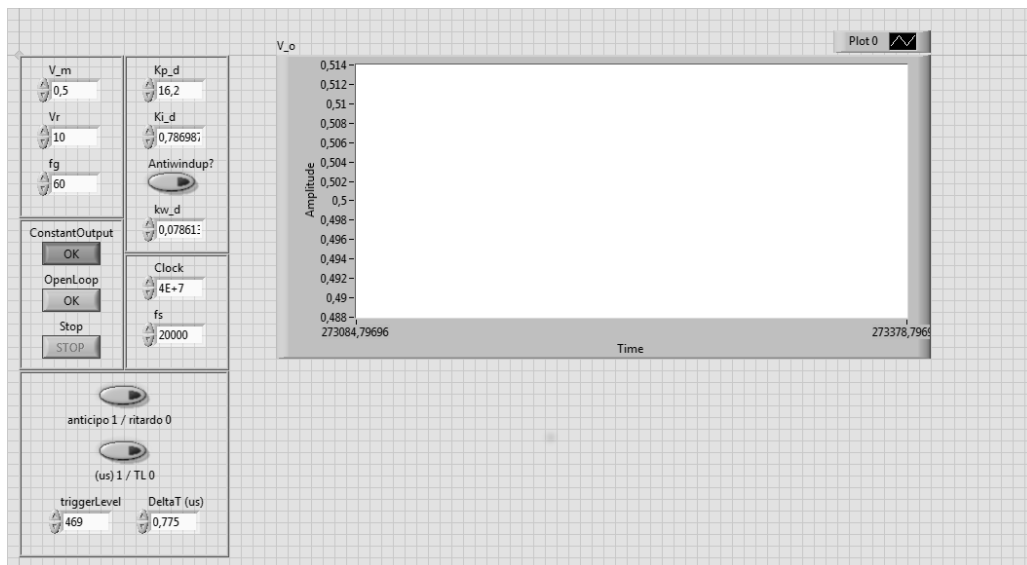


Figura 6.9: Real Time VI: front panel

e dalla quale si inseriscono tutti i parametri, è mostrata in Figura 6.9.

Per la gestione dell'anticipo/ritardo dell'acquisizione si può decidere se operare in termini di *trigger level* oppure se inserire un dato valore in μs , che poi sarà automaticamente elaborato dal VI.

Capitolo 7

Risultati

I test eseguiti sul sistema riguardano tre diversi aspetti particolari del suo funzionamento. In primo luogo sono state individuate le condizioni necessarie per il corretto sincronismo tra acquisizione e PWM. Una volta trovate, sono stati eseguiti test di risposta al riferimento a gradino e sinusoidale, allo scopo di valutare la banda del sistema ad anello chiuso e la *Total Harmonic Distortion* della tensione di uscita.

7.1 Sincronizzazione

La prima serie di test eseguiti riguarda la sincronizzazione tra acquisizione e modulazione. Per notare gli effetti del ritardo introdotto dall'ADC, si lavora ad anello aperto e si impone una tensione di riferimento $u(t) = V_{ref} = 2 V$. Conoscendo il guadagno d'anello, è possibile calcolare il valore medio della tensione di uscita:

$$\bar{v}_o(t) = u(t) \cdot T_{DC} = u(t) \cdot \frac{V_{DC}}{V_r} = 3.3 V \quad (7.1)$$

La tensione acquisita dall'ADC, grazie il modulo NI 9264, viene visualizzata sull'oscilloscopio. Un'acquisizione corretta dovrebbe presentare un andamento costante, pari a $\bar{v}_o(t)$. Il risultato ottenuto in queste condizioni, con l'utilizzo del modulatore bipolare è mostrato in Figura 7.1.

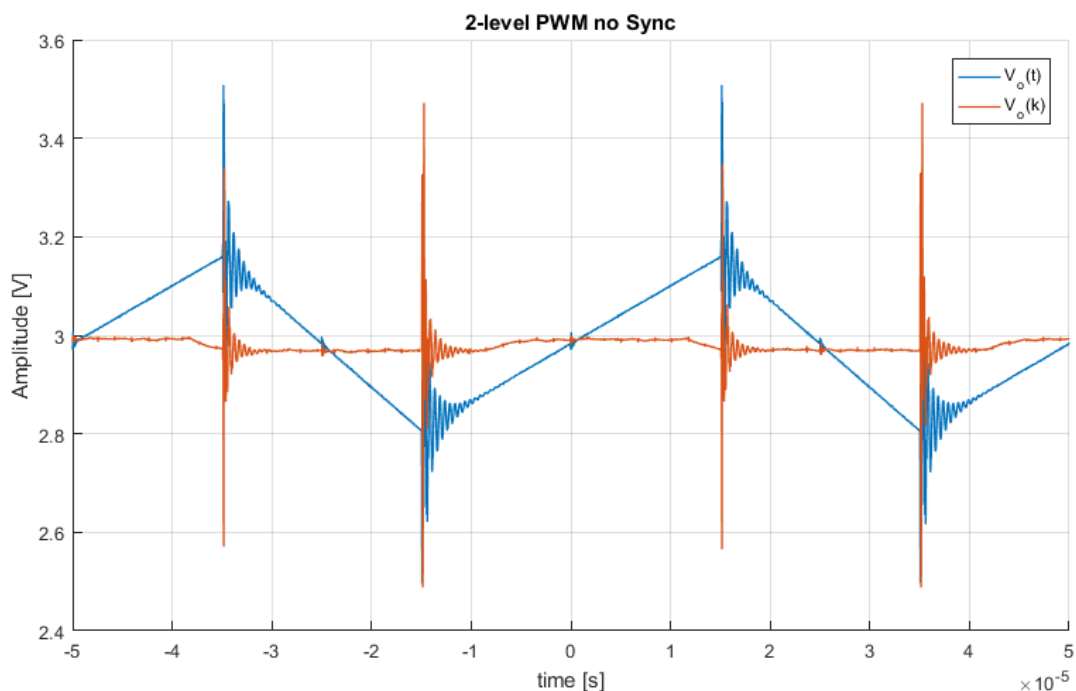


Figura 7.1: Effetto della errata sincronizzazione con modulatore bipolare

Trascurando gli effetti dovuti ai transistori di accensione e spegnimento degli switch, si può notare che la tensione acquisita non ha un valore costante, ma oscilla tra due valori equidistanti da quello corretto, il quale si trova di poco sotto il valore di 3 V.

Il risultato ottenuto col modulatore unipolare è mostrato in Figura 7.2.

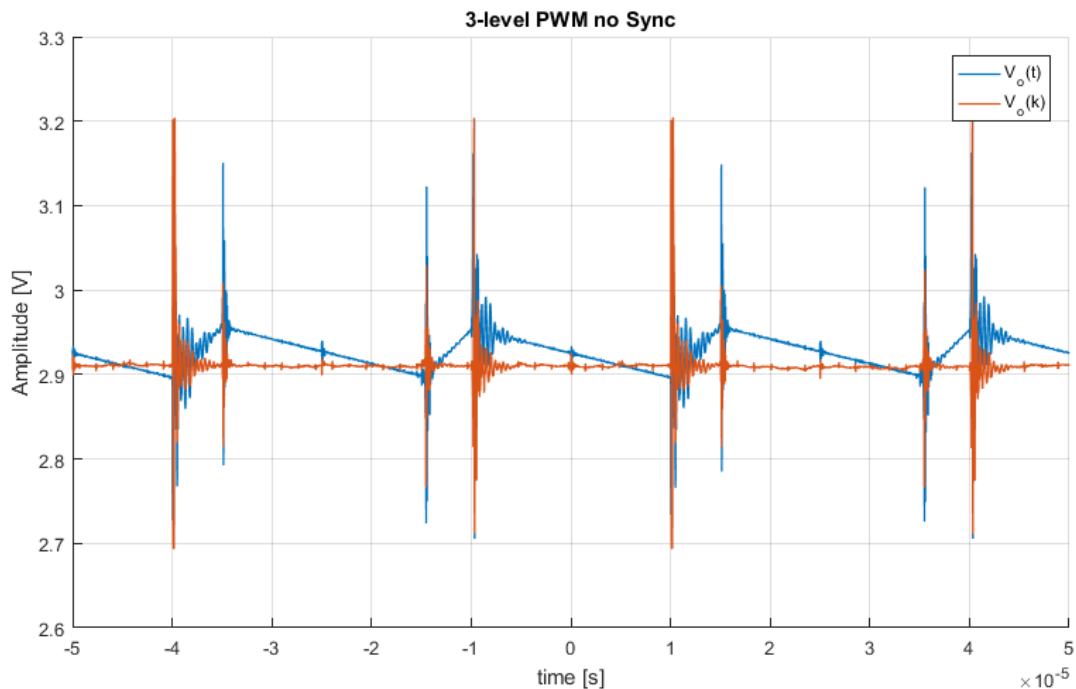


Figura 7.2: Effetto della errata sincronizzazione con modulatore unipolare

Da questa immagine si può notare che l'effetto della sincronizzazione errata è molto meno evidente utilizzando tale tipologia di modulatore: in questo caso la tensione di uscita non ha più un ripple a frequenza f_s , ma, siccome le due gambe sono comandate separatamente, il ripple è a frequenza $2f_s = f_{smp}$. La tensione viene acquisita nello stesso istante temporale per ogni metà ciclo di switching, per cui l'errore che si manifesta è solo un offset della tensione media.

7.1.1 Regolazione dell'anticipo/ritardo

Dato che l'errore creato dall'acquisizione non correttamente sincronizzata si nota bene nel caso con modulatore bipolare, si è partiti da tale situazione per ottenere una regolazione che permettesse una acquisizione migliore.

Dopo vari tentativi il risultato ottimale si è trovato ritardando l'acquisizione e impostando un trigger level di 469. Ciò vuol dire che il comando di acquisizione è stato ritardato di un tempo pari a:

$$t_r = \frac{N - tr_L}{f_{clk}} = \frac{500 - 469}{40 \text{ MHz}} = 0.775 \mu s$$

Il risultato ottenuto è mostrato in Figura 7.3.

Dopo questa regolazione manuale, trascurando gli effetti transistori, l'andamento della tensione acquisita è praticamente costante e nessuna oscillazione è più osservabile. Questo vuol dire che l'acquisizione ricostruisce esattamente la tensione media $\bar{v}_o(t)$.

Il risultato ottenuto con il modulatore unipolare è mostrato in Figura 7.4.

Anche qui si nota un miglioramento dell'acquisizione, in quanto sparisce l'offset presente nel caso non sincronizzato correttamente.

In base alle condizioni di sincronismo trovate sperimentalmente è possibile estrarre qualche informazione aggiuntiva riguardante il funzionamento del convertitore analogico/digitale presente all'interno del modulo NI 9215.

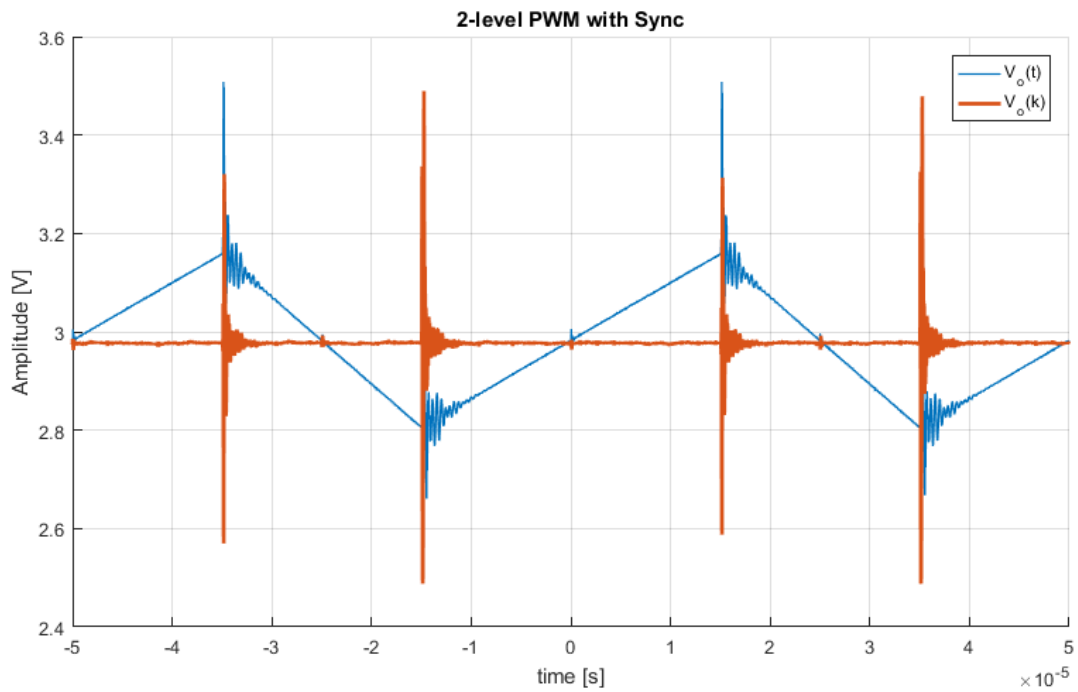


Figura 7.3: Corretta sincronizzazione con modulatore bipolare

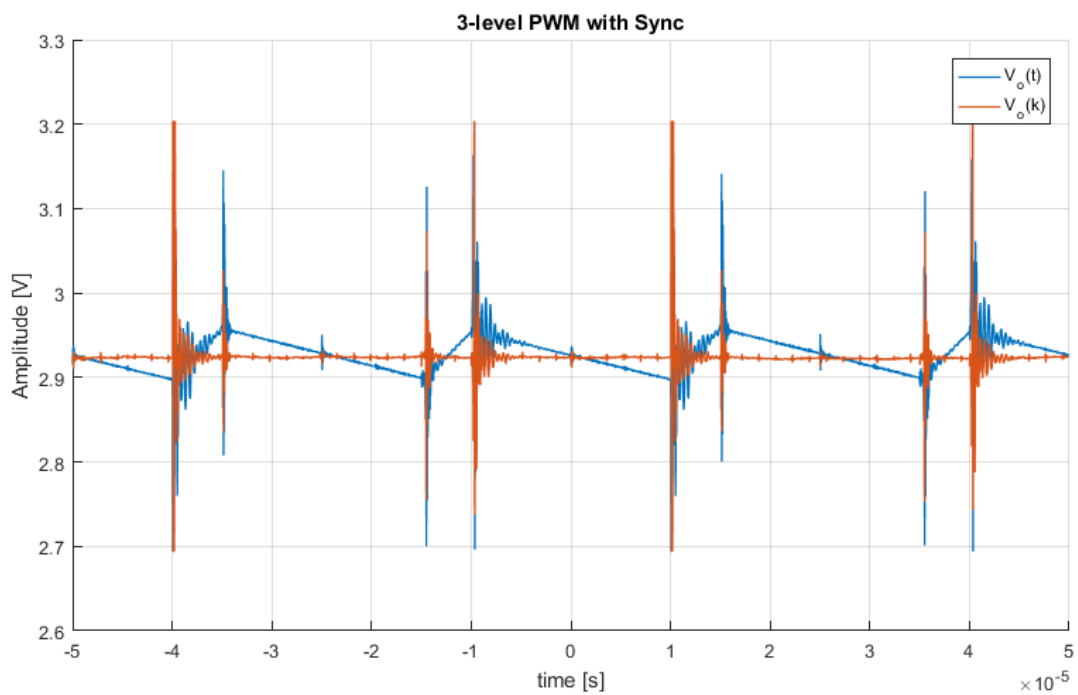


Figura 7.4: Corretta sincronizzazione con modulatore unipolare

Il fatto che la condizione ottimale preveda un ritardo nel comando di acquisizione significa che il dato utilizzato dal software nel momento t_a in realtà è un dato riguardante il momento $t_b = t_a - t_r$. L'A-DC acquisisce continuamente il segnale, senza attendere nessun comando. Quando riceve la richiesta di acquisizione porge in uscita il dato più recente, corrispondente a $0.775 \mu s$ prima.

7.2 Risposta al gradino

Tramite il test con riferimento a gradino si riesce a valutare la banda del sistema ad anello chiuso.

Per considerare corretto questo test si applica, in ingresso al sistema, un gradino per il quale non si ottenga la saturazione del segnale di controllo che viene visualizzato sull'oscilloscopio tramite la tensione V_{ctrl} : un gradino di 500 mV risulta adatto a questo scopo, ma è possibile visualizzarlo correttamente solo nel caso con modulatore unipolare, a causa del ripple troppo elevato nel caso bipolare.

Non si notano cambiamenti sostanziali tra la risposta con acquisizione sincronizzata correttamente e non, quindi, in Figura 7.5, è presentato solo il caso con acquisizione corretta.

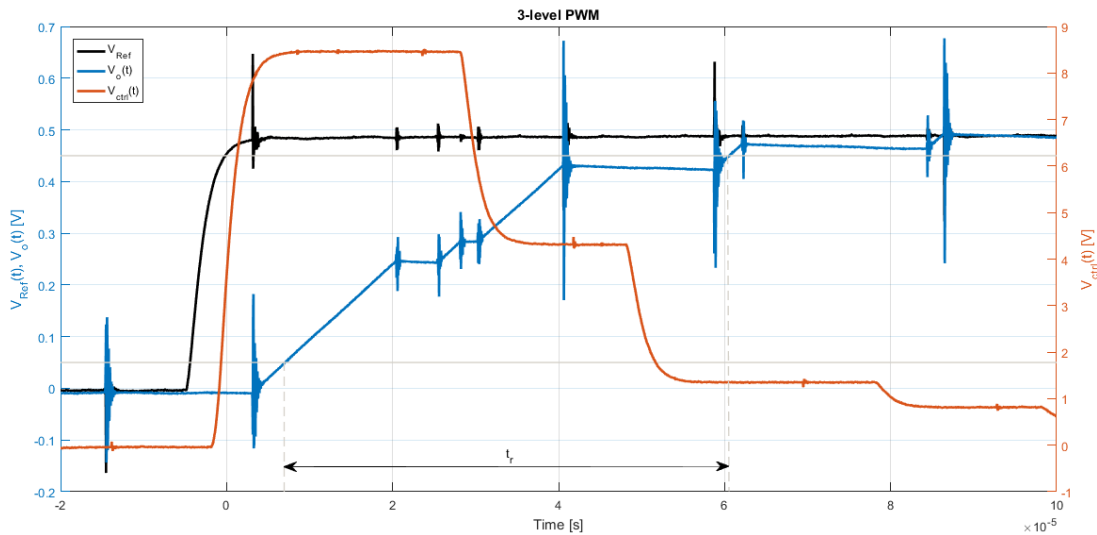


Figura 7.5: Risposta al gradino di 500 mV

Il valore massimo che la tensione di controllo può assumere è stato fissato pari al valore massimo della rampa $V_r = 10\text{ V}$; una volta raggiunto, il controllore satura e non si può più considerare il sistema funzionante in zona lineare. In Figura 7.5 si nota chiaramente che il valore della tensione di controllo si mantiene sempre al di sotto dei 10 V stabiliti.

La banda del sistema ad anello chiuso si può approssimare con:

$$B_W = \frac{0.35}{t_r} \quad (7.2)$$

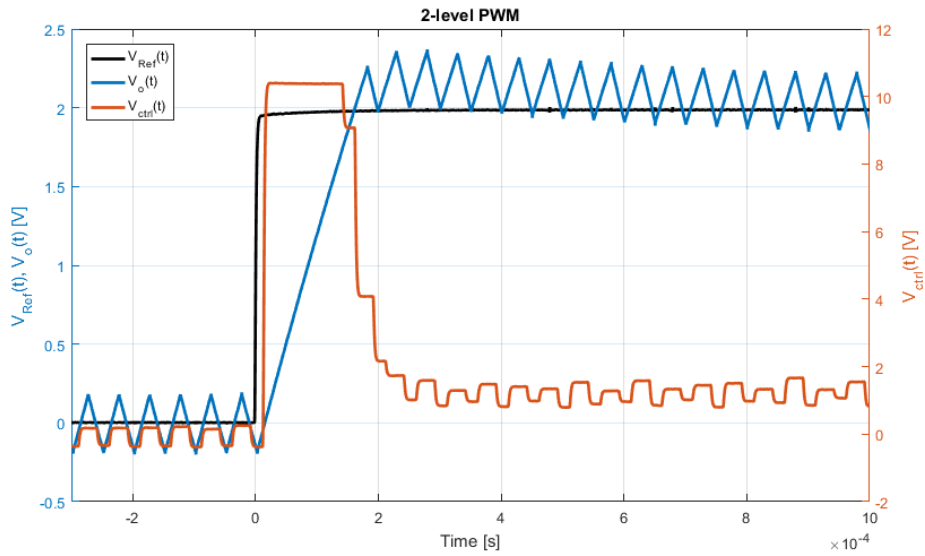
dove t_r è il tempo di salita di $v_o(t)$, ovvero il tempo che impiega a passare dal 10% al 90% del suo valore massimo. Dalle misure effettuate si evince che:

$$t_r \cong 53.6\ \mu\text{s} \quad \Rightarrow \quad B_W = \frac{0.35}{t_r} \cong 6.5\ \text{kHz}$$

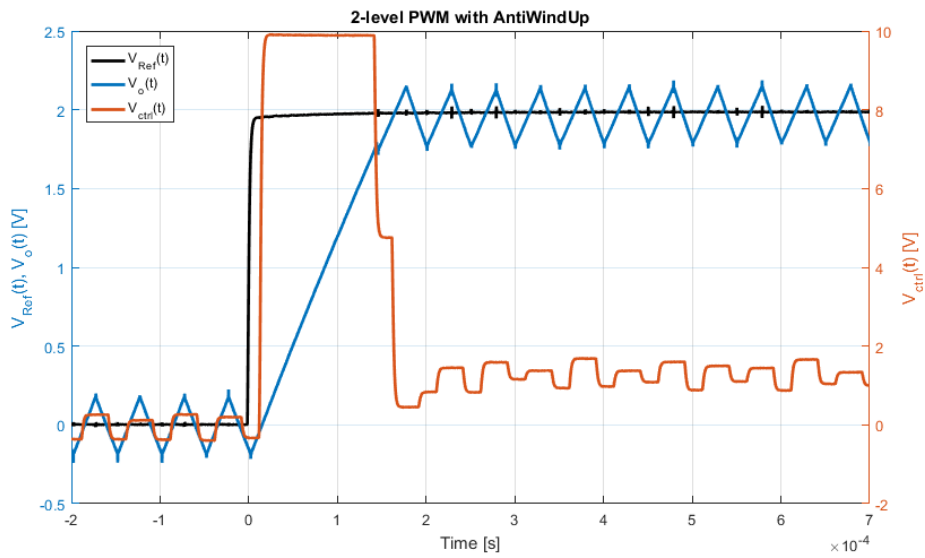
risultato in linea con quanto atteso dalla progettazione del controllo.

7.2.1 Risposta al gradino con saturazione

Per apprezzare il funzionamento del sistema anti-windup è stato effettuato un altro test della risposta a gradino. Stavolta lo scopo è stato quello di portare in saturazione il controllore e valutare gli effetti sulla tensione di uscita. Nelle Figure 7.6 e 7.7 è possibile apprezzare gli effetti dell'anti-windup.

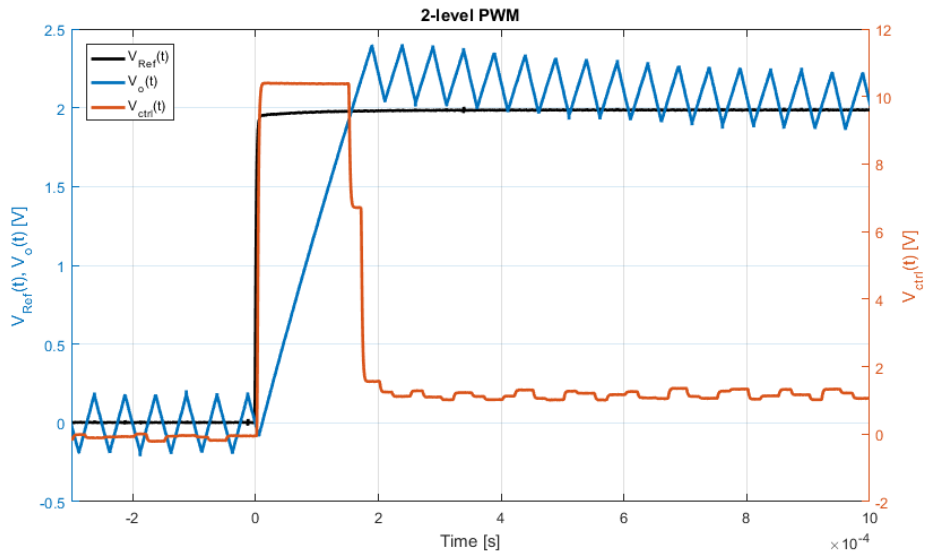


(a) Anti-windup disattivato

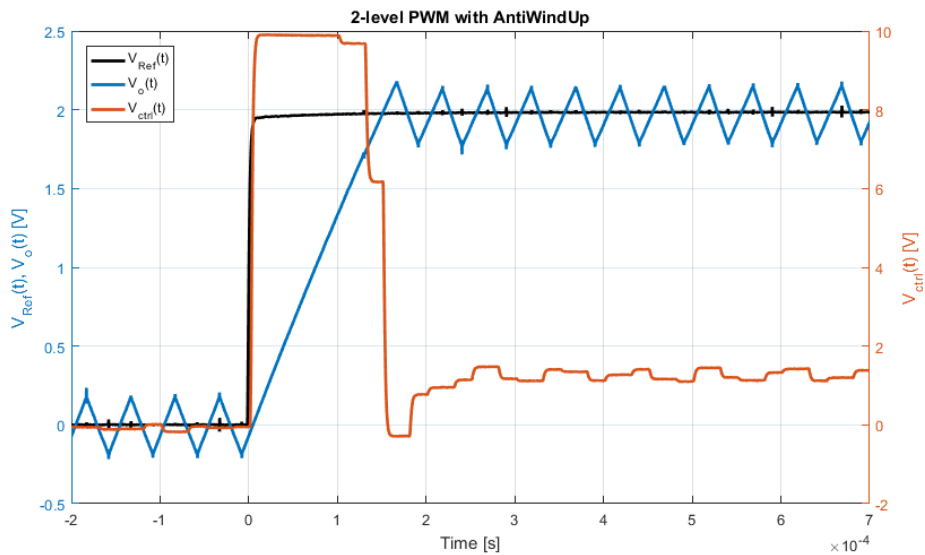


(b) Anti-windup attivo

Figura 7.6: Risposta al gradino di 2 V con modulatore bipolare e acquisizione non correttamente sincronizzata



(a) Anti-windup disattivato



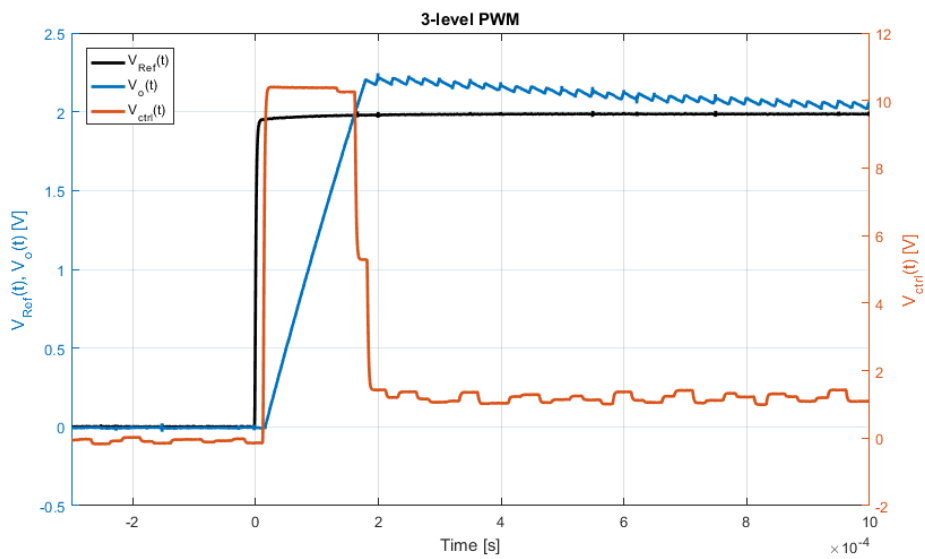
(b) Anti-windup attivo

Figura 7.7: Risposta al gradino di 2 V con modulatore bipolare e acquisizione correttamente sincronizzata

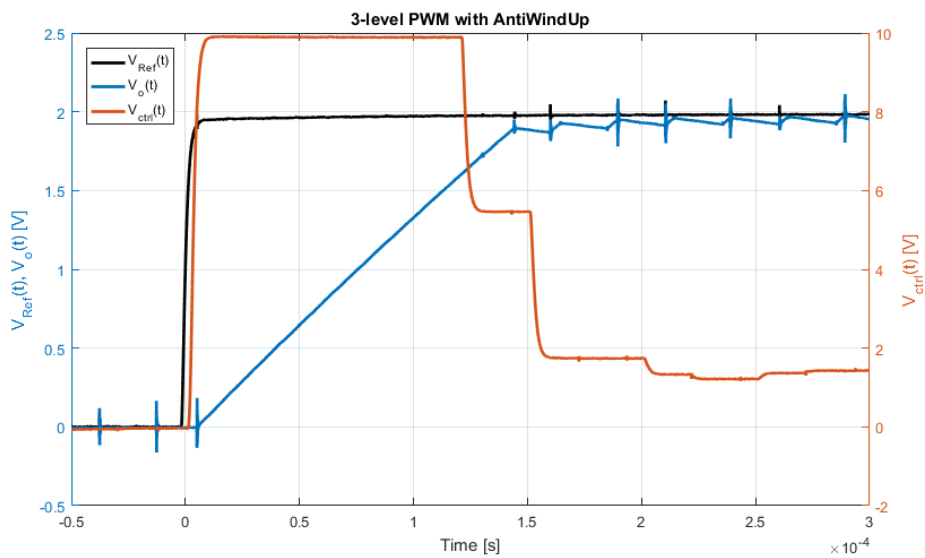
Quello che cambia attivando l'anti-windup è l'overshoot in corrispondenza del gradino e, di conseguenza, il tempo di assestamento al valore di riferimento. Nei casi con sistema disattivato è presente, anche se piccola, una certa sovralongazione, mentre nei casi con sistema attivo l'overshoot è cancellato e il raggiungimento del riferimento è il più veloce possibile.

Una cosa interessante che si può notare osservando le Figure 7.6 e 7.7 è la differenza tra il caso con acquisizione corretta ed errata: il segnale di controllo risulta molto diverso tra i due casi, e questo effetto è dovuto proprio alla tensione acquisita, che, nel caso con sincronizzazione errata, oscilla, propagando l'errore anche al segnale di controllo. Nel caso con acquisizione corretta, si nota un'oscillazione del segnale molto inferiore.

Il caso con modulatore unipolare è mostrato in Figura 7.8.



(a) Anti-windup disattivato



(b) Anti-windup attivo

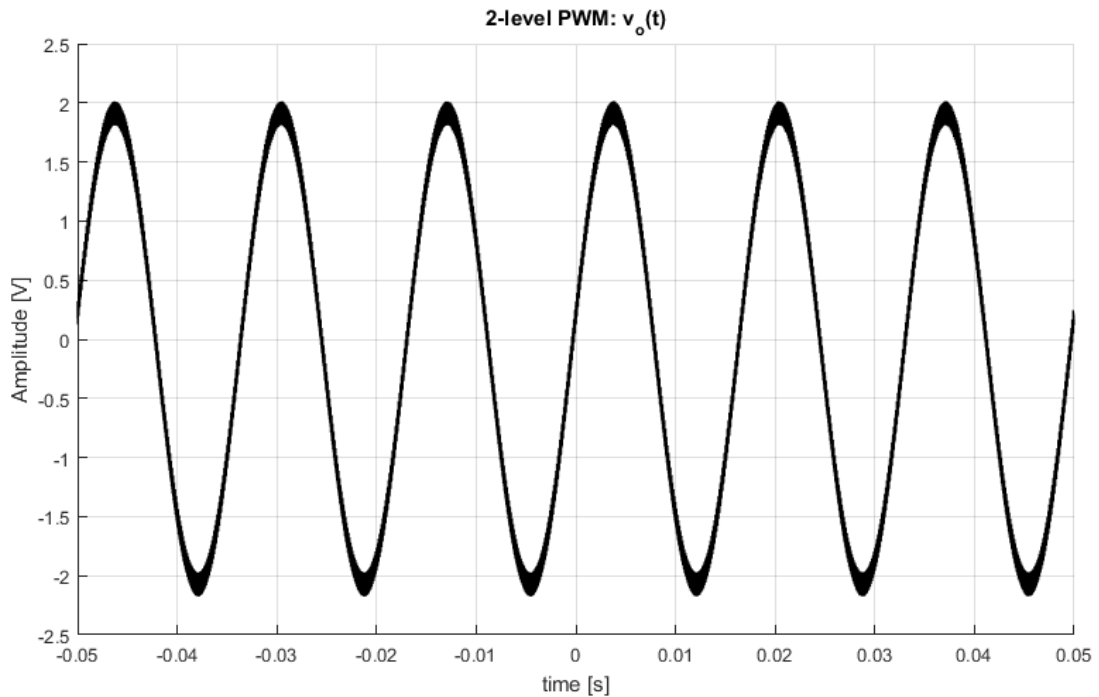
Figura 7.8: Risposta al gradino di 2 V con modulatore unipolare e acquisizione correttamente sincronizzata

Anche con questo tipo di modulatore si notano i medesimi effetti sulla tensione di uscita. Tuttavia è molto più difficile individuare differenze dovute alla sincronizzazione.

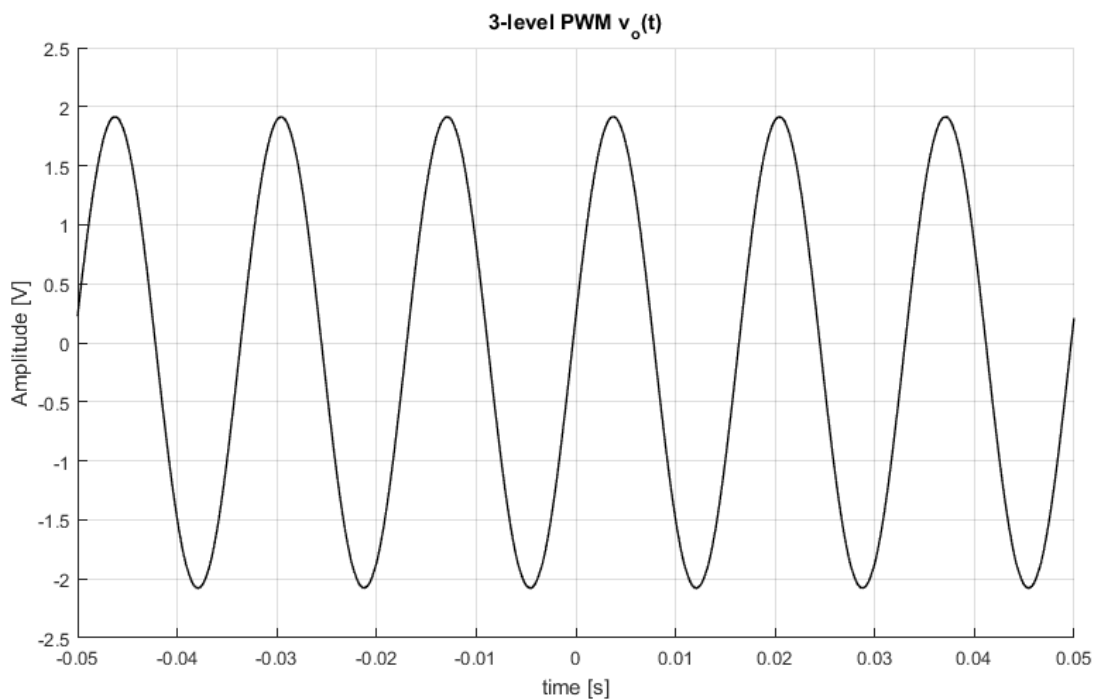
7.3 Test sinusoidale

L'ultimo test eseguito sul sistema è stato quello con riferimento sinusoidale a frequenza $f_g = 60 \text{ Hz}$. In questo modo è stato possibile valutare la THD della tensione di uscita $v_o(t)$, la quale rappresenta la corrente $i_L(t)$ dell'induttore di un inverter reale.

La tensione nel dominio del tempo è presentata in Figura 7.9.



(a) Modulatore bipolare

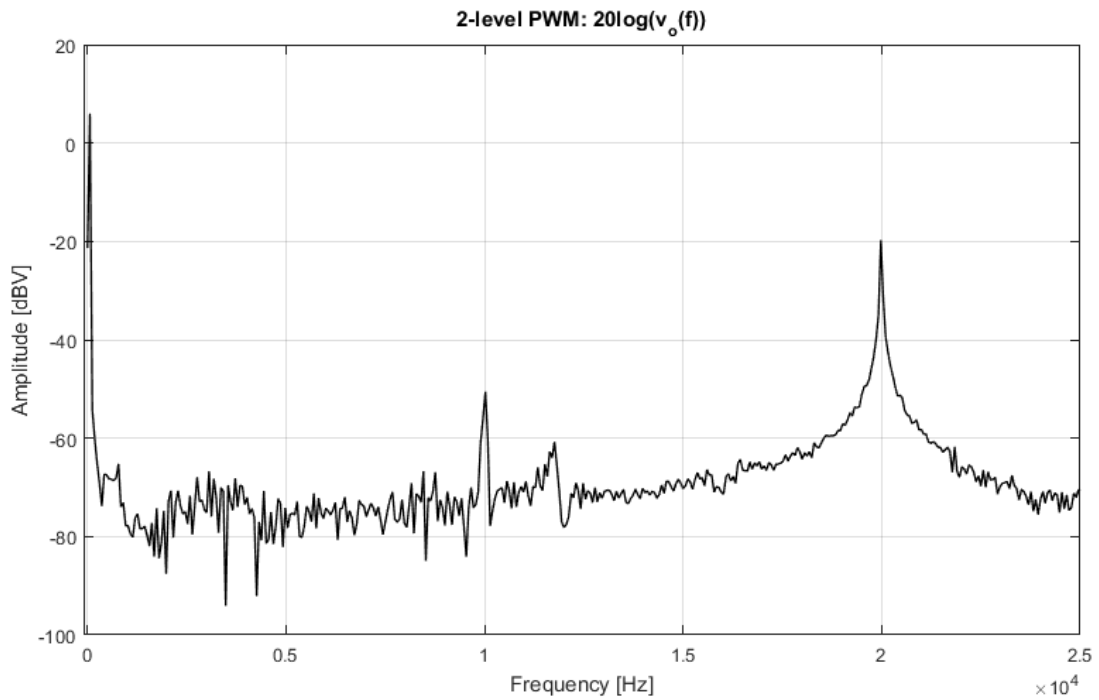


(b) Modulatore unipolare

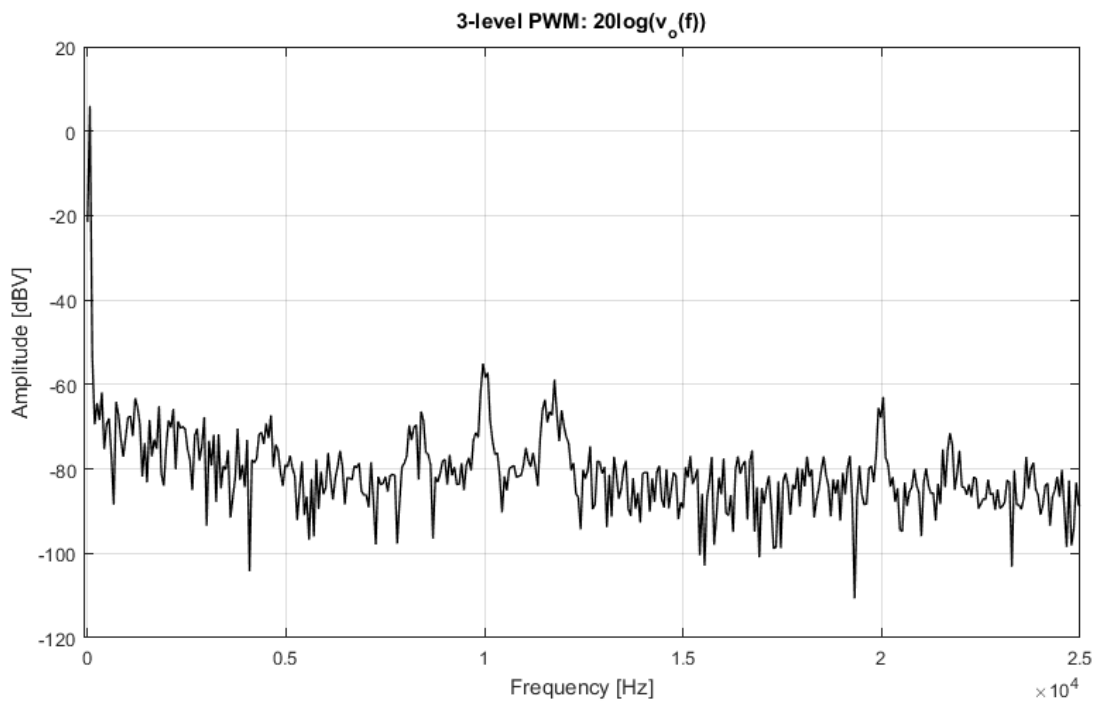
Figura 7.9: Tensione di uscita con riferimento sinusoidale

Si può notare che il riferimento viene seguito correttamente, tanto da essere sovrapponibile alla tensione d'uscita. Tuttavia, nel caso con modulatore unipolare, si trova una forma d'onda molto più pulita e libera

da ripple, rispetto al caso con modulatore bipolare. Il tutto viene anche confermato dall'analisi in frequenza di $v_o(t)$, che è mostrata in Figura 7.10.



(a) Modulatore bipolare



(b) Modulatore unipolare

Figura 7.10: Spettro della tensione di uscita con riferimento sinusoidale

Trascurando gli effetti dovuti all'elevato rumore presente sulla tensione di uscita, si nota bene la differenza tra i due modulatori, resa visibile soprattutto nelle componenti a frequenze $f_1 = 10 \text{ kHz}$ e $f_2 = 20 \text{ kHz}$, dove lo scostamento tra una tipologia e l'altra, raggiunge i 40 dBV .

Tuttavia la componente a frequenza f_1 non è un contributo realmente presente sulla tensione $v_o(t)$: essa è dovuta agli effetti del campionamento eseguito dall'oscilloscopio con il quale $v_o(t)$ è stata acquisita. In

questo test la sua frequenza di acquisizione è pari a $f_{osc} = 50 \text{ kHz}$, per cui la componente a 10 kHz è da considerarsi come ripetizione della componente di switching, in quanto:

$$f_1 = f_{osc} - 2f_s \Rightarrow 10 \text{ kHz} = 50 \text{ kHz} - 2 \cdot 20 \text{ kHz} \quad (7.3)$$

La componente a frequenza $f_2 = 20 \text{ kHz}$, invece, è la quella dovuta alle operazioni di switching. La THD calcolata nei due casi risulta essere:

$$THD_{2L} = 5.53\% \quad THD_{3L} = 0.26\% \quad (7.4)$$

7.4 Commenti finali e sviluppi futuri

Il codice LabVIEW sviluppato per questa attività di tesi risulta totalmente riutilizzabile nei più disparati casi che si potranno presentare nella progettazione di sistemi inverter grid-connected. Le modifiche da eseguire per un riadattamento riguarderanno principalmente i valori dei parametri del controllore PI e dei modulatori, tra i quali K_P , K_I , K_W , V_r , f_s .

In particolare i modulatori DPWM potranno essere riutilizzati in sistemi con acquisizione multi-sampling, descritti nel paragrafo 2.3.1, in quanto essi introducono un ritardo minore di $t_{clk} = \frac{1}{40 \text{ MHz}} = 25 \text{ ns}$. In questa attività tesi non è stato possibile effettuare un test riguardante tale caratteristica a causa del sistema di acquisizione, impossibile da utilizzare a tale velocità: il ritardo tipico dei modulatori digitali è presente, ma non è dovuto al modulatore, bensì alla catena di acquisizione che, come descritto nel paragrafo 2.3, ha un modello a tempo continuo totalmente equivalente a quello del modulatore.

Bibliografia

- [1] G.Spiazzi, L.Corradini (2015), «Lecture Notes in Power Electronics», Libreria Progetto
- [2] S.Busso, P.Mattavelli (2015), «Digital Control in Power Electronics», Morgan & Claypool Publishers
- [3] Asif Syed, Ershad Ahmed, Dragan Maksimovic, Eduard Alarcon (2004), «Digital Pulse Width Modulator Architectures», 35th Annual IEEE Power Electronics Specialists Conference, pp. 4689-4695
- [4] Thanukamalam Arunachalam (2010), «Digital pulse width modulation techniques for power converters», Tuscaloosa, Alabama
- [5] L.Corradini, D.Maksimovic, P.Mattavelli, R.Zane (2015), «Digital Control of High-Frequency Switched-Mode Power Converters», Wiley
- [6] Riccardo Antonello, Luca Schenato (2016) «Laboratory activity 2: Position state-space control of a DC servomotor», dal corso di *Control Laboratory*
- [7] Microchip, TC426/TC427/TC428 Data Sheet
- [8] <https://www.ni.com/compactrio/i/whatis.htm>

Ringraziamenti

Il primo e più sentito "grazie" va alla mia famiglia. Grazie ai miei genitori, ai miei zii, ai miei nonni, che sempre mi hanno sostenuto e hanno creduto in me, molto più di quanto io abbia mai fatto.

Grazie a Monica, per aver creduto in me, per avermi incoraggiato a dare il meglio, per aver gioito e penato con me nell'ultimo e più lungo anno accademico di sempre. Senza di lei, a quest'ora, mi mancherebbero ancora esami da sostenere e molti aspetti della mia vita, i migliori, non sarebbero quelli che sono adesso.

Grazie a Mariana e Gianfausto; dopo quai 15 anni, fratelli più che amici. Grazie per aver condiviso i momenti di gioia (quali durante questi studi?), quelli di disperazione pre-esame e, soprattutto, tutti quei momenti della quotidianità da studenti fuorisede.

Grazie a Salvo, irraggiungibile modello di ispirazione in ogni campo della cultura, dalla storia alla politica, dalla musica alla dinamica del glucosio!

Grazie a Paolo, da sempre grande risorsa per il confronto con punti di vista differenti dai miei e immancabile "compagno di birra".

Grazie a Marco, mentore nascosto, che, poco alla volta, mi ha introdotto in una realtà aziendale stimolante, nella quale spero di rimanere.

Grazie a Tommaso, per la sua immensa pazienza; senza il suo aiuto e i suoi consigli, tutto quello a cui mi sono dedicato negli ultimi due anni non avrebbe avuto un esito positivo. Spero vivamente che ci siano, in futuro, altre occasioni di confronto e collaborazione.