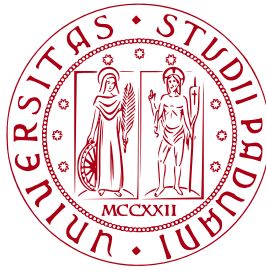


PROGETTO DI UN CIRCUITO SFASATORE IN
BANDA -X IN TECNOLOGIA CMOS DA $0.13\mu\text{m}$

RELATORE: Ch.mo Prof. ANDREA BEVILACQUA

LAUREANDO: LUIS RUSHITI

A.A. 2010-2011



UNIVERSITÀ DEGLI STUDI DI PADOVA
DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE
TESI DI LAUREA

PROGETTO DI UN CIRCUITO
SFASATORE IN BANDA -X IN
TECNOLOGIA CMOS DA $0.13\mu\text{m}$

RELATORE: Ch.mo Prof. ANDREA BEVILACQUA

LAUREANDO: *LUIS RUSHITI*

Padova, 2011

Indice

Sommario	4
1 Introduzione	2
1.1 Antenne Array	2
1.2 Fattore di schiera	4
1.3 Phased Array Antenna	6
2 Architettura dei Phase Shifters	9
2.1 Introduzione	9
2.2 Funzione di trasferimento e classificazione	9
2.3 Phase Shifter Digitali	11
2.3.1 Phase shifter a commutazione di linea	12
2.3.2 Phase shifter a riflessione	12
2.3.3 Phase shifter a linea caricata	15
2.3.4 Phase shifter passa-alto/passa-basso	16
2.4 Phase Shifter Analogici	18
2.4.1 Phase shifter analogico a riflessione	18
2.4.2 Phase shifter a linea caricata periodicamente	20
2.4.3 Phase shifter con filtri accordabili	22
2.4.4 Phase shifter a interpolazione di fase	24
2.5 Confronto dei Phase shifter	25
3 Progettazione di un Phase Shifter con un Filtro Polifase nella banda -X	28
3.1 Filtri Polifase	28
3.2 Dimensionamento del Filtro Polifase del 3-ordine	31

3.3	Simulazione del Filtro Polifase con Cadence DFII usando la tecnologia UMC 130nm	34
3.4	Realizzazione del buffer d'ingresso	37
3.5	Stadio di amplificazione intermedio e multiplexer differenziale . .	42
3.6	Buffer di uscita	44
3.7	Schema completo del Phase shifter e grafici delle simulazioni . . .	45
4	Progettazione di un Phase Shifter con un filtro passa-alto/passa-basso nella banda -X	47
4.1	Dimensionamento filtro passa-alto/passa-basso da 90° e 180° . . .	47
4.2	Risposta del phase shifter formato dalla cascata dei due filtri da 90° e 180°	51
5	Conclusioni	56
A	Matrice di <i>Scattering</i> e Matrice di <i>Trasmissione ABCD</i>	57
	Bibliografia	59

Elenco delle figure

1.1	Array lineare di K elementi, onda piana incidente con un angolo θ .	3
1.2	Array lineare con rete di somma del segnale.	4
1.3	Diagramma di radiazione del fattore d'elemento, fattore array e del array lineare con $K = 8, d = \lambda_0/4$	5
1.4	Diagramma di radiazione del fattore d'elemento, fattore di schiera e del array lineare con $K = 8, d = 5\lambda_0/4$, comparsa dei <i>grating lobes</i>	6
1.5	<i>Phase array</i> lineare di k-elementi radiativi,onda piana incidente con un angolo θ	7
1.6	Diagramma di radiazione del fattore d'elemento, fattore di schiera e del <i>phase array</i> lineare di 8-elementi con lobo in direzione $\theta_0 = 30^\circ$	8
2.1	Risposta in frequenza della fase, a) PS a fase costane e b)PS a ritardo costane	10
2.2	<i>phase shifters</i> digitale formato dalla cascata di 4 blocchi sfasatori	11
2.3	Phase shifter a commutazione di linea	12
2.4	Phase shifter a riflessione	13
2.5	Accoppiatore ibrido a 3-dB, 90°	13
2.6	Phase shifter a linea caricata	15
2.7	Phase shifter passa-alto/passa-basso, a) configurazione T e b) configurazione II	16
2.8	Phase shifter a riflessione analogico con carichi discreti ,RTPS	18
2.9	Massima variazione di fase in funzione del rapporto t_v ,a) varactor , b) carico risonante	20
2.10	a) PS a linea caricata periodicamente, b) circuito equivalente , c) linee di trasmissione sintetica	21
2.11	a) Filtro accordabile T b) induttanza variabile realizzata con capacità variabile in serie ad L fissata	22

2.12 a) PS a interpolazione di fase I/Q b) componenti I/Q del segnale in ingresso.	24
2.13 PS a interpolazione con 4 vettori in quadratura.	25
3.1 Filtro polifase RC classico mostrato in due modi diversi.	29
3.2 Decomposizione di un insieme di fasori arbitrari nelle sequenze basi.	29
3.3 Effetto del filtro polifase sulle due sequenze, antioraria e oraria.	30
3.4 a) Filtro RC polifase del 3-ordine, b) risposta in frequenza IRR.	33
3.5 Modulo e fase della funzione di trasferimento del filtro polifase del 3-ordine.	34
3.6 Schematico del filtro polifase 3-ordine con resistenze e condensatori ideali (analogLib).	34
3.7 Risposta in frequenza del modulo e della fase, filtro senza carico in uscita.	35
3.8 Risposta in frequenza del modulo e della fase al variare del carico resistivo e capacitivo in uscita.	36
3.9 a) Modello circuitale equivalente mimcapsrf, b) sezione trasversale del layout.	36
3.10 Risposta in frequenza del modulo e della fase con condensatori mimcapsrf.	37
3.11 a) Buffer di ingresso per il pilotaggio del filtro, b) calcolo dell'im- pedenza d'ingresso	38
3.12 a) Andamento del modulo e della fase di Z_{in} , b) andamento della parte immaginaria e la capacità equivalente associata	38
3.13 a) Schema elettrico del buffer differenziale b) semi-circuito equiva- lente	39
3.14 a) Modello ai piccoli segnali del transistor MOS b) simbolo delle nMOS con il terminale di bulk	39
3.15 a) Semi circuito equivalente ai piccoli segnali del buffer b) semi cir- cuito semplificato tramite la trasformazione serie-parallelo	41
3.16 Schematico del buffer d'ingresso.	43
3.17 Stadio di amplificazione intermedio e multiplexer differenziale.	43
3.18 Schematico del multiplexer differenziale a pass-transistor.	44
3.19 Schematico del buffer di uscita	44
3.20 Schema completo del circuito Phase shifter	45

3.21	Simulazione ai parametri S del phase shifter, S_{21} , S_{11} e S_{22} .	46
3.22	Simulazione ai parametri S del phase shifter, risposta della fase di S_{21} .	46
4.1	Schematico del filtro con gli interruttori.	48
4.2	a) filtro differenziale passa-basso, b) filtro differenziale passa-alto	49
4.3	Simulazione ai parametri S del filtro da 90° e l'effetto degli interruttori nMOS	49
4.4	Risposta della fase del filtro da 90°	50
4.5	Simulazione ai parametri S del filtro da 180° e l'effetto degli interruttori nMOS	50
4.6	Risposta della fase del filtro da 180°	51
4.7	Cascata dei due filtri da 90° e 180°	51
4.8	Modello semplificato dell'interruttore nMOS nello stato chiuso	52
4.9	Simulazione ai parametri S del phase shifter a due bit	52
4.10	Risposta della fase di S21	53
4.11	Risposta del modulo di S21 e S11, phase shifter a due bit	54
4.12	Risposta della fase di S21, phase shifter a due bit	55
A.1	Rete a due porte, definizione di onde incidente a e onda riflessa b	57
A.2	Rete a due porte, definizione versi di tensioni e correnti utilizzati nella matrice ABCD.	59
A.3	Cascata di due reti equivalente ad una rete singola.	59

Elenco delle tabelle

2.1	Confronto dei Phase Shifter	26
3.1	Valori dei componenti	45
4.1	Valori dei componenti del filtro passa-alto/passa-basso tipo II. . .	48
4.2	Valori nuovi dei componenti del filtro passa-alto/passa-basso. . .	53
4.3	Dimensionamento buffer d'ingresso e di uscita.	54

Sommario

I Phase Shifter sono dei circuiti a due porte utilizzati per controllare la fase del segnale all'ingresso. Vengono usati principalmente nei Phased Array Antenna, dove ciascun elemento dell'antenna array è connesso alla rete di somma tramite un phase shifter. Variando la fase di ogni elemento secondo una certa relazione è possibile controllare la direzione del lobo principale dell'antenna. In un antenna array normale tale operazione richiederebbe la rotazione meccanica della antenna stessa, con una velocità di controllo decisamente inferiore.

La maggior parte delle architetture dei phase shifters è stata sviluppata dopo la seconda guerra mondiale, dalla necessità di realizzare dei radar con raggio di copertura e velocità di scansione sempre più elevate. In un radar moderno ad alto raggio, il numero dei moduli (phase shifters) e dell'ordine delle decine di migliaia con potenze per modulo di decine di watt. Da queste cifre si ha che il costo, le dimensioni e la potenza sono dei fattori critici per un phase shifter.

Le architetture più utilizzate in sistemi integrati, MMIC (Monolithic Microwave Integrated Circuit), sono a commutazione da una rete passa-alto/passa-basso, a interpolazione di fase e a riflessione.

Il primo capitolo è una breve introduzione dei phased array antenna, nel secondo capitolo si presentano le varie topologie di realizzazione dei phase shifters focalizzandosi su quelle per applicazioni in banda -X. Nel terzo e nel quarto capitolo vengono progettati due phase shifter, il primo con una topologia alternativa, usando un filtro polifase e il secondo usando una topologia standard con filtro passa-alto/passa-basso. Dal confronto delle due topologie analizzate, si osserva che il consumo di potenza nella soluzione con filtro polifase è maggiore (più del doppio), però la risposta della fase e del guadagno è migliore.

Capitolo 1

Introduzione

1.1 Antenne Array

Le Antenne array (schiere di antenne) sono formate da un insieme di elementi radiativi dello stesso tipo, posti nello spazio in una certa configurazione bidimensionale e collegati tutti insieme fra loro, come mostrato in figura 1.1. La direttività di un'antenna array dipende dal numero di elementi che compongono l'array. Per avere antenne con elevata direttività l'array deve essere composto di un numero elevato di elementi.

Per comprendere il funzionamento si prende in esame la configurazione più semplice [1] data dalla disposizione lineare ed equidistante di k -elementi radiativi e un'onda piana incidente con angolo θ rispetto alla normale, come indicato in figura 1.1. Inoltre per semplicità si considera l'antenna in ricezione. Questa non è una restrizione perché in virtù della reciprocità le caratteristiche di ricezione /trasmissione di un antenna sono identiche.

In un certo istante l'onda piana raggiunge l'elemento K della schiera, per raggiungere il $K - 1$, l'onda deve percorrere una distanza $d \sin \theta$, per raggiungere il $K - 2$, $2d \sin \theta$ e così via. Da questo risulta che il segnale ricevuto dai singoli elementi non ha la stessa fase. Denotando con Φ_i la fase del segnale ricevuto dal elemento $K - i$ si ha,

$$\Phi_i = k_0(K - i)d \sin \theta \quad \text{per} \quad i = 1, 2, \dots, K, \quad (1.1)$$

dove k_0 è il numero d'onda,

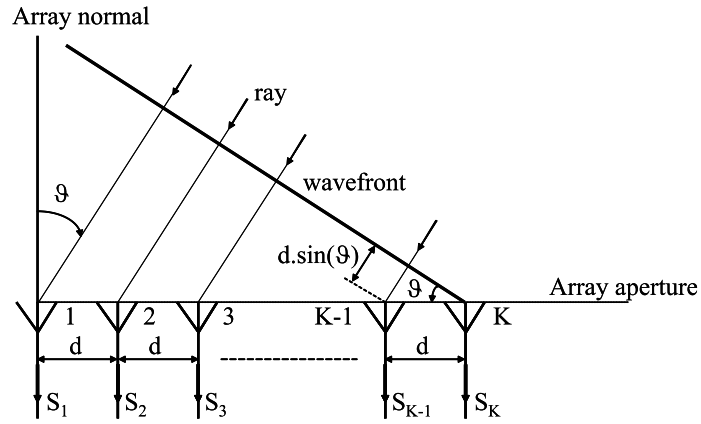


Figura 1.1: Array lineare di K elementi, onda piana incidente con un angolo θ .

$$k_0 = \frac{2\pi}{\lambda_0} \quad (1.2)$$

e λ_0 la lunghezza nello spazio vuoto .

Il segnale ricevuto dall'elemento i-esimo, $S_i(\theta)$, può essere scritto come,

$$S_i(\theta) = S_e(\theta)a_i e^{j\Phi_i} \quad (1.3)$$

dove $S_e(\theta)$ rappresenta il diagramma di radiazione complessa di un singolo e isolato elemento radiativo, e a_i l'ampiezza . Combinando i segnali ricevuti, come mostrato in figura 1.2, senza introdurre variazioni di fase e ipotizzando $a_i = 1 \forall i$, insieme all'ipotesi che non ci sia accoppiamento mutuo fra gli elementi, il segnale risultante ricevuto dall'antenna vale

$$S(\theta) = \sum_{i=1}^K S_i(\theta) = S_e(\theta) \sum_{i=1}^K e^{j\Phi_i}. \quad (1.4)$$

Tale equazione può essere scomposta come, $S(\theta) = S_e(\theta)S_a(\theta)$. $S_e(\theta)$ viene chiamato il fattore dell'elemento, $S_a(\theta)$ il fattore di schiera,

$$S_a(\theta) = \sum_{i=1}^K e^{j\Phi_i} \quad (1.5)$$

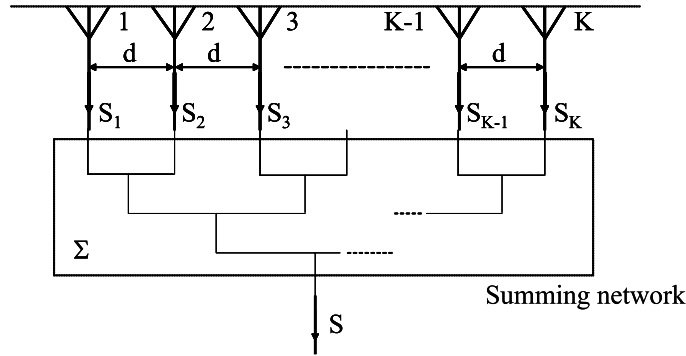


Figura 1.2: Array lineare con rete di somma del segnale.

1.2 Fattore di schiera

Il fattore dell'elemento rappresenta il diagramma di radiazione del singolo elemento, il fattore di schiera è il diagramma di radiazione di un array composto da K elementi radiativi isotropi. L'operazione della moltiplicazione di questi due fattori per ottenere il diagramma dell'antenna array viene chiamata *pattern multiplication* [1].

Riscrivendo il fattore di schiera nella forma,

$$S_a(\theta) = \sum_{i=1}^K e^{j\Phi_i} = \sum_{i=1}^K e^{j(K-i)T}, \quad (1.6)$$

dove $T = k_0 d \sin(\theta)$, moltiplicando ambo i membri dell'equazione per e^{jT} si ottiene,

$$S_a(\theta)e^{jT} = e^{jKT} + e^{j(K-1)T} + \dots + e^{j2T} + e^{jT}. \quad (1.7)$$

Sottraendo l'equazione (1.6) dalla (1.7) si ha,

$$S_a(\theta)(e^{jT} - 1) = (e^{jKT} - 1), \quad (1.8)$$

risolvendo rispetto a $S_a(\theta)$ si ottiene,

$$S_a(\theta) = e^{j\frac{K-1}{2}T} \frac{\sin(KT/2)}{\sin(T/2)}, \quad (1.9)$$

da questa ultima equazione il modulo di $|S_a(\theta)|$ si può scrivere

$$|S_a(\theta)| = \left| \frac{\sin(\frac{K}{2}k_0d\sin(\theta))}{\sin(\frac{1}{2}k_0d\sin(\theta))} \right| = \left| \frac{\sin(\pi\frac{Kd}{\lambda_0}\sin(\theta))}{\sin(\pi\frac{d}{\lambda_0}\sin(\theta))} \right| \quad (1.10)$$

L'equazione (1.10) mostra che per $\theta = 0$ il fattore di schiera assume il valore massimo K , per angoli piccoli intorno al lobo principale si può usare l'approssimazione $\sin(x) \approx x$, il fattore del array si può riscrivere nella forma,

$$|S_a(\theta)| \approx K \left| \frac{\sin(Kx)}{Kx} \right|, \quad (1.11)$$

dove

$$x = \pi \frac{d}{\lambda_0} \sin(\theta). \quad (1.12)$$

Il secondo massimo del fattore si ha quando l'argomento $Kx \approx 4.5$, con un valore circa $K \cdot 0.217$, il livello di potenza del primo lobo laterale risulta $-13.26dB$ sotto quello principale. In figura 1.3 viene mostrato il diagramma di radiazione di un elemento, del fattore di schiera e dell'array lineare composto da 8-elementi distanziati fra di loro di $\lambda_0/4$.

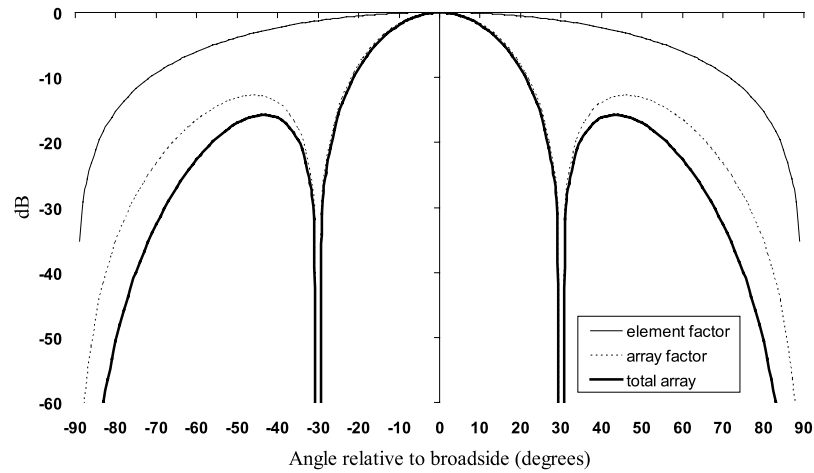


Figura 1.3: Diagramma di radiazione del fattore d'elemento, fattore array e del array lineare con $K = 8$, $d = \lambda_0/4$.

Dall'equazione (1.10) si vede che il fattore di schiera è una funzione periodica in θ , e si ha un massimo quando,

$$\pi \frac{d}{\lambda_0} \sin(\theta) = m\pi \quad \text{per } m = 1, 2, 3... \quad (1.13)$$

Da qui risulta una restrizione della distanza fra gli elementi della schiera per avere un solo massimo ($m = 1$), nel range $-\theta_{max} < \theta < \theta_{max}$.

$$\frac{d}{\lambda_0} < \frac{1}{|\sin(\theta_{max})|} \quad (1.14)$$

Se questa condizione non è soddisfatta nel diagramma di radiazione ci sarà più di un massimo, questi vengono chiamati lobi indesiderati, o *grating lobes*. In figura 1.4 viene mostrato il diagramma di radiazione quando la distanza fra gli elementi è $d = 5\lambda_0/4$, con la comparsa dei *grating lobes*.

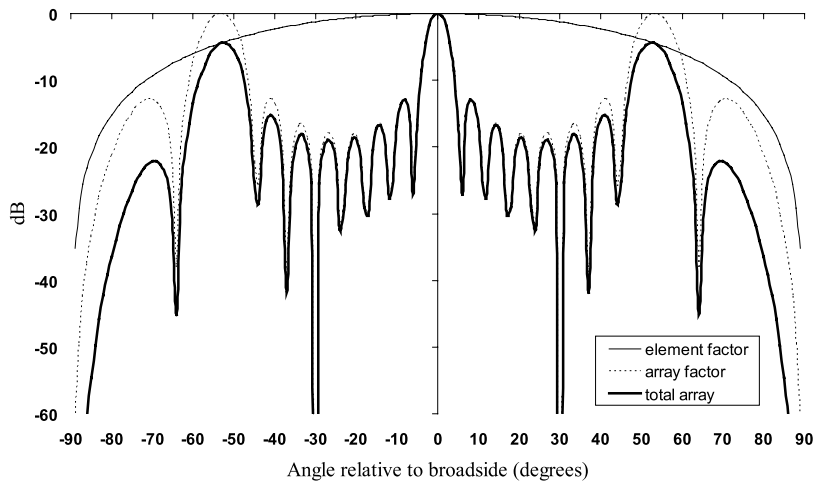


Figura 1.4: Diagramma di radiazione del fattore d'elemento, fattore di schiera e del array lineare con $K = 8$, $d = 5\lambda_0/4$, comparsa dei *grating lobes*.

1.3 Phased Array Antenna

In un antenna array i segnali vengono sommati da una rete che non introduce variazione di fase e di ampiezza, con tale configurazione si ottiene una antenna con direzione del lobo principale ortogonale all'asse di allineamento dei radiatori, tale antenna è chiamata *broadside*.

Introducendo fra ciascun elemento e la rete di somma una rete a due-porte in grado di variare la fase del segnale, come mostrato in figura 1.5, è possibile ottenere una variazione controllata della direzione del lobo principale [1]. Questo tipo di antenne vengono chiamate a scansione, *Scanned Beam Array Antenna*, ma di solito si usa il termine *Phased Array Antenna* o *Smart Antenna*.

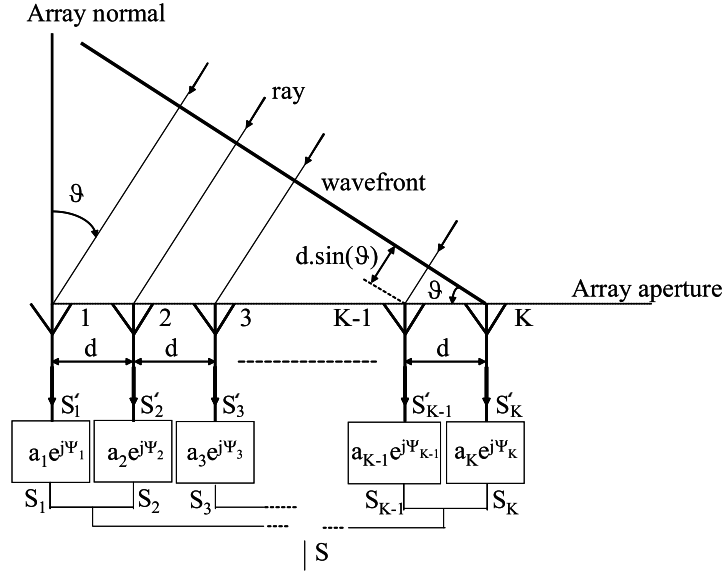


Figura 1.5: *Phase array* lineare di k -elementi radiativi, onda piana incidente con un angolo θ .

La funzione di trasferimento della rete a due-porte i -esima, $H_i(\theta)$ per $i = 1, 2, \dots, K$ è data da

$$H_i(\theta) = \frac{S_i(\theta)}{S'_i(\theta)} = a_i e^{j\psi_i} \quad (1.15)$$

Questa funzione viene realizzata da un circuito sfasatore o *Phase shifter*, capace di variare la fase del segnale al suo ingresso. Sostituendo l'equazione (1.15) in (1.4) si ha,

$$S(\theta) = \sum_{i=1}^K S_i(\theta) = S_e(\theta) \sum_{i=1}^K a_i e^{j[k_0(K-i)d\sin(\theta) + \psi_i]}. \quad (1.16)$$

Anche in questo caso implicitamente è stato trascurato l'effetto dell'accoppiamento mutuo fra gli elementi che compongono l'array. Per semplificare la trattazione e focalizzarsi sull'effetto che ha la variazione di fase nell'Antenna complessiva si prenda $a_i = 1 \forall i$. Quello che rimane da analizzare è solo il fattore di schiera dato da,

$$S_a(\theta) = \sum_{i=1}^K e^{j[k_0(K-i)d\sin(\theta) + \psi_i]}. \quad (1.17)$$

Scegliendo un sfasamento costante fra gli elementi con ψ_i della forma

$$\psi_i = -k_0(K - i)d\sin(\theta_0) \text{ per } i = 1, 2, \dots, K, \quad (1.18)$$

con $-90^\circ \leq \theta_0 \leq 90^\circ$, il fattore di schiera viene riscritto come

$$S_a(\theta) = \sum_{i=1}^K e^{jk_0(K-i)d[\sin(\theta) - \sin(\theta_0)]}. \quad (1.19)$$

Dall'equazione (1.19) si vede che il fattore di schiera assume il suo valore massimo per

$$\sin(\theta) - \sin(\theta_0) = 0, \quad (1.20)$$

e dato che $-90^\circ \leq \theta, \theta_0 \leq 90^\circ$, per $\theta = \theta_0$. In questo modo scegliendo la direzione desiderata θ_0 del lobo principale e sfasando gli elementi in accordo con $\psi_i = -k_0(K - i)d\sin(\theta_0)$, il fattore di schiera assumerà il suo massimo nella direzione con angolo $\theta = \theta_0$, come mostrato in figura 1.6.

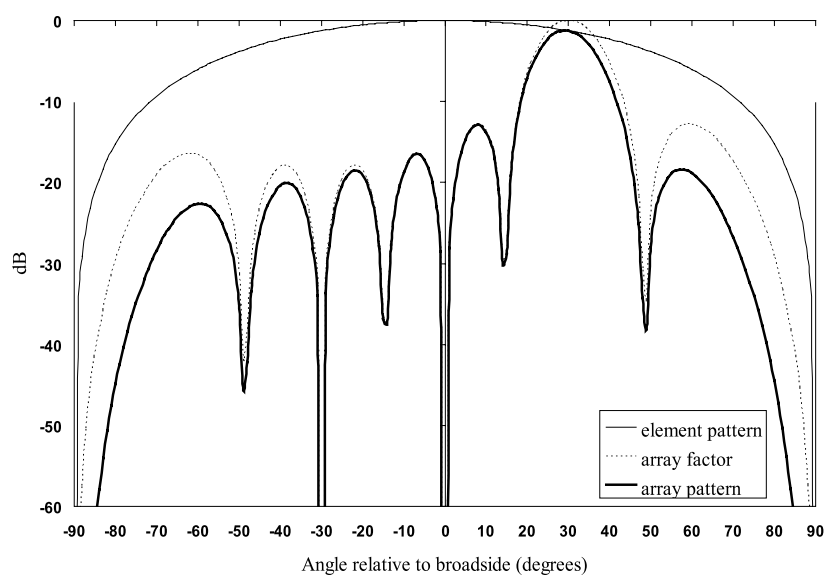


Figura 1.6: Diagramma di radiazione del fattore d'elemento, fattore di schiera e del phase array lineare di 8-elementi con lobo in direzione $\theta_0 = 30^\circ$.

Capitolo 2

Architettura dei Phase Shifters

2.1 Introduzione

In questo capitolo vengono presentate e analizzate le principali architetture dei phase shifters a radiofrequenza utilizzate nei circuiti integrati MMIC (Monolithic Microwave Integrated Circuit).

2.2 Funzione di trasferimento e classificazione

La funzione di un Phase Shifter [14] è quella di variare la fase del segnale al suo ingresso. La funzione di trasferimento può essere definita mediante la matrice di scattering nella forma,

$$S = \begin{bmatrix} 0 & A(\omega)e^{-j\psi(\omega)} \\ A(\omega)e^{-j\psi(\omega)} & 0 \end{bmatrix} \quad (2.1)$$

dove A e ψ sono il guadagno e la fase del *phase shifter*, e ω la frequenza del segnale.

In funzione della dipendenza che la fase ψ ha con la frequenza del segnale, vi sono due categorie di *phase shifters*,

- A fase costante.
- A ritardo costante, o *TTD*, *true time delay*.

2. ARCHITETTURA DEI PHASE SHIFTERS

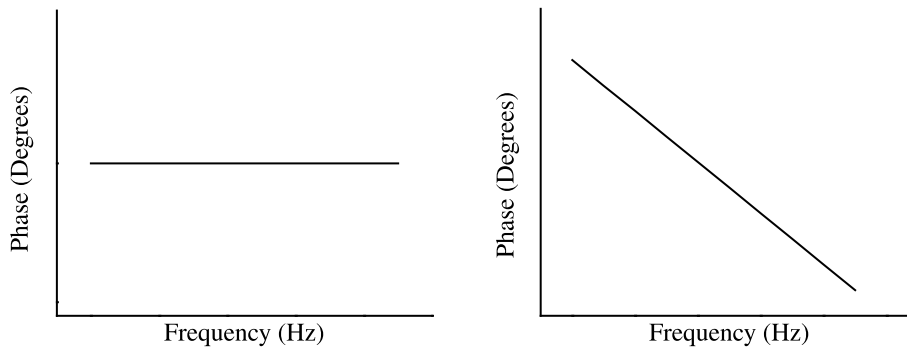


Figura 2.1: Risposta in frequenza della fase, a) PS a fase costante e b) PS a ritardo costante

Nei *phase shifter* (PS) a fase costante non vi è dipendenza della fase con la frequenza $\psi(\omega) = \psi_0$, invece nei quelli a ritardo costante la fase è funzione lineare della frequenza $\psi(\omega) = \omega\Delta t$, come illustrato in figura 2.1.

In entrambe le categorie il guadagno deve essere costante al variare della frequenza $A(\omega) = A_0$. Quando si lavora a banda stretta questi due tipi di PS si possono considerare equivalenti essendo $\psi = \omega\Delta t$.

Una seconda classificazione viene fatta rispetto al modo in cui viene controllata la fase:

- Analogici
- Digitali

Nei PS analogici la fase del segnale d'ingresso viene regolata con continuità in un certo intervallo $[\psi_{min}, \psi_{max}]$, mentre nei PS digitali la fase può assumere solo un numero limitato di valori, dipendenti dal numero di bit.

I principali parametri che caratterizzano i PS sono:

- *Range di controllo della fase*: normalmente è di 360° .
- *Risoluzione della fase*: teoricamente nei PS analogici è ∞ , invece nei PS digitali la risoluzione è limitata dal numero dei bit.
- *Perdita di inserzione, IL*: rappresenta la diminuzione dell'ampiezza del segnale in uscita, nei PS attivi si può avere anche guadagno.

-
- *Variazione del IL con la fase*: in certe applicazioni si può richiedere anche la compensazione, utilizzando dei amplificatori a guadagno variabile VGA, per mantenere costante il livello del segnale al variare della fase.
 - *Banda Passante*: campo di frequenza in qui il PS può funzionare.
 - *Consumo di potenza*: importante specialmente nei dispositivi portatili a batteria.
 - *Area del Chip*: deve essere più piccola possibile per abbassare i costi, specialmente nei sistemi phased array dove il numero dei moduli PS è elevatissimo.
 - *Figura di rumore, NF* : rumore additivo introdotto dal PS, importante nei sistemi array in ricezione dove i PS sono collegati direttamente alle antenne.

2.3 Phase Shifter Digitali

I PS digitali sono principalmente formati da blocchi sfasatori in cascata, vedi figura 2.2. Ciascun blocco (se attivato) introduce un sfasamento costante di un valore prefissato. La risoluzione con la quale viene controllata la fase dipende dal numero di blocchi messi in cascata, di solito 4-5 e massimo 6 blocchi.

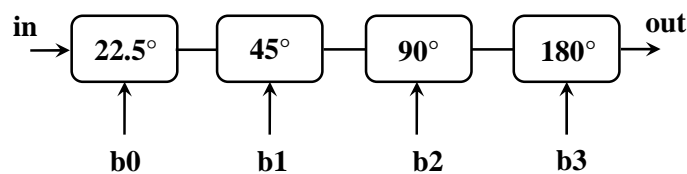


Figura 2.2: *phase shifters* digitale formato dalla cascata di 4 blocchi sfasatori

Per la realizzazione di questi blocchi ci sono varie topologie fra le quali le più utilizzate sono :

- a commutazione di linea
- a riflessione
- a linea caricata

- passa-alto/passa basso

2.3.1 Phase shifter a commutazione di linea

Questo tipo di PS [3] è a ritardo costante (*TTD*). Lo sfasamento si ottiene commutando tra due circuiti con tempi di ritardo diversi, realizzati utilizzando linee di trasmissione di lunghezza diversa, come in figura 2.3.

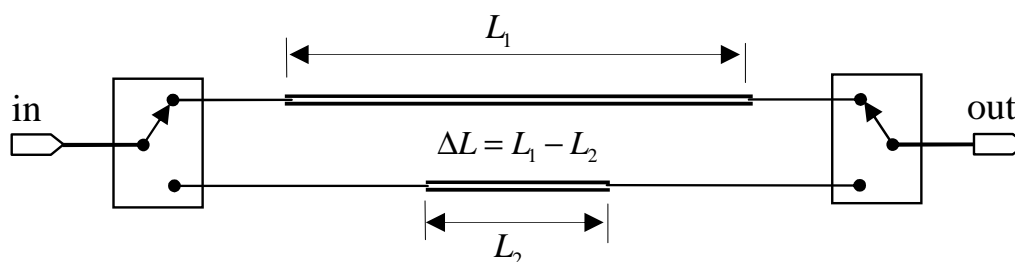


Figura 2.3: Phase shifter a commutazione di linea

La linea più lunga ha un ritardo di fase superiore rispetto a quella più corta dato da [4],

$$\Delta\phi = 2\pi \frac{\Delta l}{\lambda}, \quad (2.2)$$

dove Δl è la differenza fra le lunghezze, e λ la lunghezza d'onda del segnale. Il vantaggio nell'utilizzare questo tipo di PS è dato dal fatto che possono realizzare ritardi di tempo variabili, adatti in sistemi array a larga banda. Uno degli svantaggi è che l'attenuazione dipende dal percorso scelto, e quindi si presenta una variazione dell'*insertion loss* con la variazione del tempo di ritardo. L'altro svantaggio è la lunghezza elevata richiesta per realizzare tempi di ritardo elevati, soprattutto a basse frequenze, rendendoli impraticabili in realizzazioni integrate.

2.3.2 Phase shifter a riflessione

Il PS a riflessione sfrutta il fenomeno della riflessione per creare un ritardo di tempo tra segnale di ingresso e quello di uscita [9]. Uno schema a blocchi di questo tipo di PS è illustrato in figura 2.4.

La funzione dell'accoppiatore nel PS è di separare il segnale incidente da quello riflesso. L'accoppiatore ibrido è una rete simmetrica a quattro porte con funzione di trasferimento data dalla matrice di scattering [2],

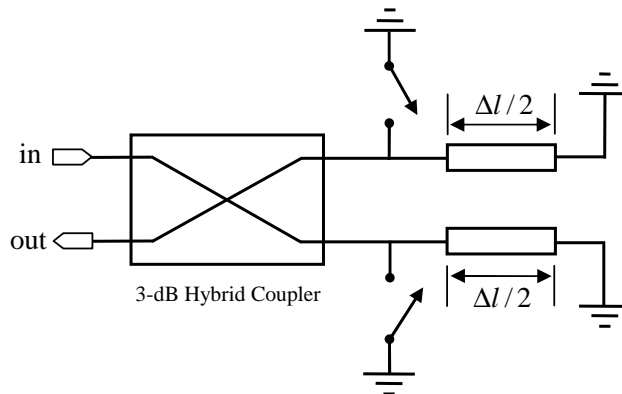


Figura 2.4: Phase shifter a riflessione

$$S = -\frac{1}{\sqrt{(2)}} \begin{bmatrix} 0 & 0 & j & 1 \\ 0 & 0 & 1 & j \\ j & 1 & 0 & 0 \\ 1 & j & 0 & 0 \end{bmatrix} \quad (2.3)$$

In figura 2.5 viene mostrato il percorso che segue il segnale d'ingresso (all'interno dell'accoppiatore) dalla porta 1 alle altre, quando le porte 3 e 4 sono terminate con due carichi aventi coefficienti di riflessione Γ_1 e Γ_2 .

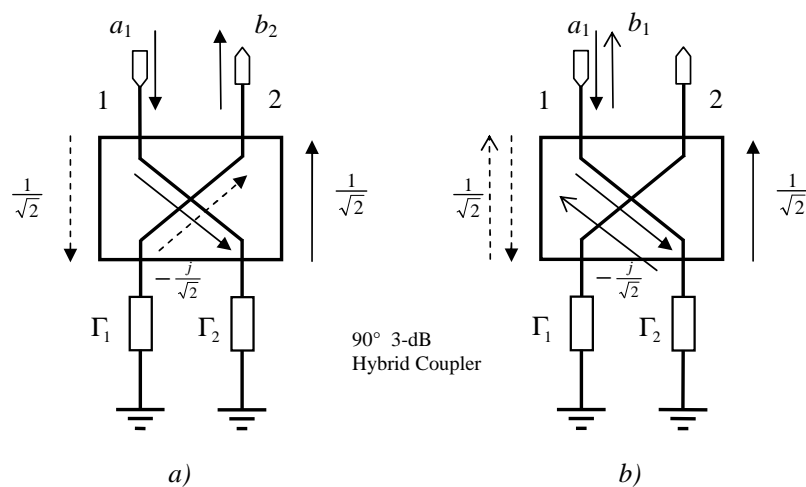


Figura 2.5: Accoppiatore ibrido a 3-dB, 90°.

2. ARCHITETTURA DEI PHASE SHIFTERS

Con riferimento alla figura 2.5 a), il segnale di ingresso a_1 , supponendo un isolamento infinito fra le porte 1 e 2, si divide in due parti, seguendo due percorsi. Uno dei percorsi (segnato con le frecce continue) passa prima attraverso il collegamento diretto fra le porte 1 e 4, raggiungendo il secondo carico. Il segnale si riflette su di esso e attraverso il collegamento accoppiato fra le porte 2 e 4, raggiunge l'uscita. L'altro percorso (frecce tratteggiate) passa attraverso il collegamento accoppiato fra le porte 1 e 3, raggiungendo il primo carico, poi si riflette e raggiunge l'uscita tramite il collegamento diretto fra le porte 2 e 3. In uscita il segnale b_2 è dato dal contributo di questi due percorsi ,

$$b_2 = \frac{1}{\sqrt{2}}\Gamma_1 \frac{-j}{\sqrt{2}}a_1 + \frac{-j}{\sqrt{2}}\Gamma_2 \frac{1}{\sqrt{2}}a_1 \quad (2.4)$$

$$b_2 = -j \left(\frac{\Gamma_1}{2} + \frac{\Gamma_2}{2} \right) a_1. \quad (2.5)$$

$$S_{21} = \frac{b_2}{a_1} = -j \left(\frac{\Gamma_1}{2} + \frac{\Gamma_2}{2} \right) \quad (2.6)$$

Lo stesso ragionamento si può fare per trovare il segnale riflesso b_1 che esce dalla porta 1, vedi figura 2.5 b),

$$b_1 = \frac{1}{\sqrt{2}}\Gamma_1 \frac{-j}{\sqrt{2}}a_1 + \frac{-j}{\sqrt{2}}\Gamma_2 \frac{-j}{\sqrt{2}}a_1 \quad (2.7)$$

$$b_1 = -j \left(\frac{\Gamma_1}{2} - \frac{\Gamma_2}{2} \right) a_1. \quad (2.8)$$

$$S_{11} = \frac{b_1}{a_1} = \frac{\Gamma_1}{2} - \frac{\Gamma_2}{2} \quad (2.9)$$

Da queste equazioni, essendo ovviamente il sistema simmetrico e reciproco, si può scrivere la relazione fra le due porte 1 e 2 tramite la matrice di *scattering*

$$S = \begin{bmatrix} \frac{\Gamma_1}{2} - \frac{\Gamma_2}{2} & -j \left(\frac{\Gamma_1}{2} + \frac{\Gamma_2}{2} \right) \\ -j \left(\frac{\Gamma_1}{2} + \frac{\Gamma_2}{2} \right) & \frac{\Gamma_1}{2} - \frac{\Gamma_2}{2} \end{bmatrix} \quad (2.10)$$

Nel caso di due carichi identici con coefficienti di riflessione $\Gamma_1 = \Gamma_2 = \Gamma$ si ha,

$$S = \begin{bmatrix} 0 & -j\Gamma \\ -j\Gamma & 0 \end{bmatrix} \quad (2.11)$$

Dall'equazione (2.11) si vede che quando i due carichi sono uguali si ha un adattamento perfetto $S_{11} = S_{22} = 0$, e lo sfasamento dipende dalla fase del coefficiente di riflessione.

Nella porta d'ingresso dell'accoppiatore i due segnali riflessi nei carichi si sommano in modo distruttivo, invece in quella di uscita in modo costruttivo. La porta di ingresso e quella di uscita sono completamente isolate una dall'altra, in uscita c'è solo il segnale riflesso. Il ritardo di fase creato è dato dall'equazione (2.2), ed è lo stesso del PS a commutazione di linea.

2.3.3 Phase shifter a linea caricata

Il PS a linea caricata è composto da una linea di lunghezza $\lambda/4$ che viene caricata alle sue due estremità con un carico capacitivo o induttivo in funzione dello sfasamento richiesto, come mostrato in figura 2.6.

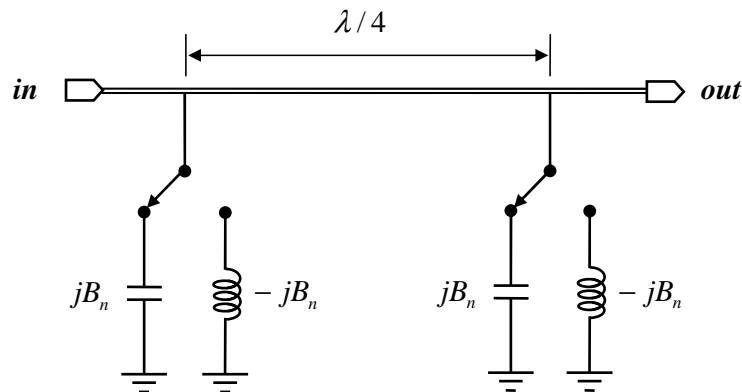


Figura 2.6: Phase shifter a linea caricata

La rete complessiva può essere analizzata [4] in modo semplice utilizzando la formulazione basata sulla matrice di trasmissione $ABCD$

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_N = \begin{bmatrix} 1 & 0 \\ jB_N & 1 \end{bmatrix} \cdot \begin{bmatrix} 0 & j \\ j & 0 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 \\ jB_N & 1 \end{bmatrix} = \begin{bmatrix} -B_N & j \\ j(1 - B_N^2) & -B_N \end{bmatrix} \quad (2.12)$$

dove B_N è la suscettanza normalizzata con l'impedenza caratteristica della linea Z_0 .

Da qui si ricava il coefficiente di trasmissione S_{21} della linea caricata,

$$S_{21} = \frac{2}{A + B + C + D} = \frac{2}{-2B_N + j(2 - B_N^2)} \quad (2.13)$$

Il ritardo di fase che si ha commutando da un carico all'altro è,

$$\Delta\phi = 2 \tan^{-1} \left[\frac{1 - B_N^2/2}{B_N} \right]. \quad (2.14)$$

Il modulo del coefficiente di riflessione S_{11} all'ingresso è dato da ,

$$|S_{11}| = \sqrt{1 - |S_{21}|^2} = \sqrt{1 - \frac{1}{1 + B_N^4/4}} \quad (2.15)$$

dall'equazione (2.15) si vede che l'adattamento all'ingresso dipende dalla fase e peggiora per valori crescenti. Per questo motivo il PS a linea caricata viene utilizzato solo per piccoli sfasamenti.

2.3.4 Phase shifter passa-alto/passa-basso

Una rete passa-basso introduce un ritardo di fase, invece una passa-alto un anticipo di fase. Combinando i due tipi di reti, in modo da commutare da una rete all'altra, si possono realizzare dei sfasamenti di elevato valore, difficilmente realizzabili con le altre topologie. In figura 2.7 a) è mostrato il PS passa-alto/passa-basso in configurazione T, e in b) quello in configurazione II.

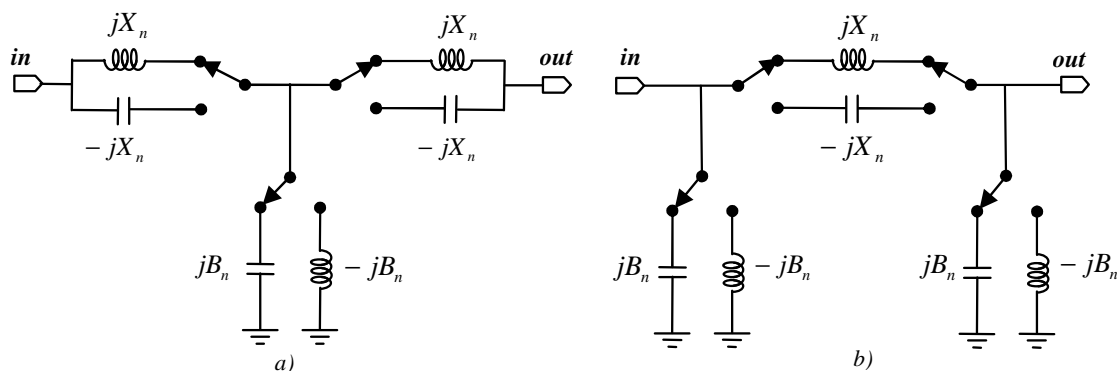


Figura 2.7: Phase shifter passa-alto/passa-basso, a) configurazione T e b) configurazione II

L'analisi [4], come nel caso del PS a linea caricata, viene fatta utilizzando la matrice $ABCD$,

$$\begin{aligned} \begin{bmatrix} A & B \\ C & D \end{bmatrix}_N &= \begin{bmatrix} 1 & jX_N \\ 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 \\ jB_N & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & jX_N \\ 0 & 1 \end{bmatrix} \\ &= \begin{bmatrix} 1 - B_N X_N & j(2X_N - B_N X_N^2) \\ jB_N & 1 - B_N X_N \end{bmatrix} \end{aligned} \quad (2.16)$$

Il termine di trasmissione S_{21} della matrice di scattering $ABCD$ normalizzata è dato da,

$$S_{21} = \frac{2}{A + B + C + D} = \frac{2}{2(1 - B_N X_N) + j(B_N + 2X_N - B_N X_N^2)} \quad (2.17)$$

e lo sfasamento che si ha commutando da una rete all'altra è,

$$\Delta\phi = 2 \tan^{-1} \left[-\frac{B_N + 2X_N - B_N X_N^2}{2(1 - B_N X_N)} \right]. \quad (2.18)$$

Il modulo del coefficiente di riflessione S_{11} all'ingresso è dato da,

$$|S_{11}| = \sqrt{1 - |S_{21}|^2} \quad (2.19)$$

dalla quale risulta che si ha un adattamento perfetto all'ingresso quando $|S_{21}| = 1$ è soddisfatta. Sotto la condizione di adattamento l'equazione (2.17) si riduce in,

$$B_N = \frac{2X_N}{X_N^2 + 1}, \quad (2.20)$$

sostituendo (2.20) in (2.18) si ottiene,

$$\Delta\phi = 2 \tan^{-1} \left[\frac{2X_N}{X_N^2 - 1} \right]. \quad (2.21)$$

che si riduce di nuovo in,

$$X_N = \tan \left[\frac{\Delta\phi}{4} \right]. \quad (2.22)$$

Usando la (2.22) in (2.20) si trova la suscettanza B_N ,

$$B_N = \sin \left[\frac{\Delta\phi}{2} \right]. \quad (2.23)$$

2. ARCHITETTURA DEI PHASE SHIFTERS

Se si usa il filtro in configurazione II figura 2.7 b), nelle due equazioni (2.22) e (2.22) vanno scambiate X_N e B_N . La dipendenza della fase dalla frequenza è bassa in quanto nella rete passa-basso all'aumentare della frequenza si ha un aumento del ritardo di fase introdotto che viene compensato in quella passa-alto dove si ha diminuzione del anticipo di fase. Lo svantaggio principale di questa topologia è l'elevato numero di switch richiesti, che introducono perdite e variazione dell'ampiezza del segnale (insertion-loss).

2.4 Phase Shifter Analogici

In questi tipi di Phase shifter [3] la fase viene controllata con continuità in un certo range $[\psi_{min}, \psi_{max}]$. Sono formati di solito da un stadio singolo e hanno dimensione più piccole rispetto a quelli digitali. Le principali topologie sono:

- analogico a riflessione
- linea caricata periodicamente
- filtri accordabili
- a interpolazione di fase

2.4.1 Phase shifter analogico a riflessione

Nel PS analogico a riflessione si sostituisce la linea di trasmissione, che è un elemento a parametri distribuiti, con un carico discreto puramente reattivo, come in figura 2.8. In questo caso la fase viene controllata variando l'impedenza del carico, variando la fase del coefficiente di riflessione al carico.

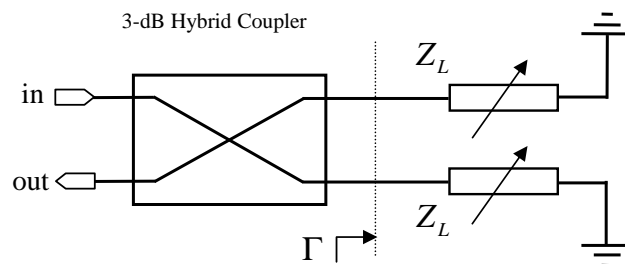


Figura 2.8: Phase shifter a riflessione analogico con carichi discreti ,RTPS

Il coefficiente di riflessione al carico, data Z_0 l'impedenza caratteristica dell'accoppiatore, vale

$$\Gamma = \frac{Z_L - Z_0}{Z_L + Z_0}. \quad (2.24)$$

La variazione di fase di Γ determina lo sfasamento del circuito, dato il carico con impedenza variabile nel range $[Z_{Lmin}, Z_{Lmax}]$. Dall'equazione (2.24) si può calcolare il massimo sfasamento ottenibile,

$$\Delta\phi = 2 \left[\arctan \frac{Z_{Lmax}}{Z_0} - \arctan \frac{Z_{Lmin}}{Z_0} \right]. \quad (2.25)$$

In molti casi come carico variabile si utilizza una capacità, essendo questa una scelta più vantaggiosa in termini di perdite, area e consumo di potenza. Con una capacità variabile di valore minimo C_{min} e massimo C_{max} , si ottiene rispettivamente un valore massimo $Z_{max} = 1/\omega C_{min}$ e minimo $Z_{min} = 1/\omega C_{max}$ dell'impedenza del carico. Il massimo sfasamento ottenibile teoricamente è di 180° con una variazione $\Delta C \rightarrow \infty$. La scelta del valore centrale C_0 del varactor deve essere fatta in modo da massimizzare il range di controllo della fase, essendo ΔC limitato. Dalla equazione (2.25) si ottiene:

$$C_0 = \frac{1}{j\omega Z_0} \Leftrightarrow \left| \frac{Z_{C0}}{Z_0} \right| = 1, \quad (2.26)$$

con

$$C_{max} = C_0 \sqrt{t_v} \quad \text{è} \quad C_{min} = \frac{C_0}{\sqrt{t_v}}. \quad (2.27)$$

Da queste relazioni il massimo range di controllo della fase in funzione del rapporto t_v è dato da,

$$\Delta\phi = 2 \left[\arctan \sqrt{t_v} - \arctan \frac{1}{\sqrt{t_v}} \right]. \quad (2.28)$$

In figura 2.9 a) viene mostrato l'andamento di $\Delta\phi_{max}$ in funzione di t_v . Utilizzando come carico una capacità variabile (varactor) in serie ad un induttore L_r , il range di controllo della fase può essere aumentato in modo significativo.

Il valore dell'impedenza è dato da $Z_{max} = \omega L_r - 1/\omega C_{min}$ e $Z_{min} = \omega L_r - 1/\omega C_{max}$. Ricalcolando il massimo dall'equazione (2.25) si ha:

$$\Delta\phi = 4 \arctan \left[\left| \frac{Z_{C0}}{Z_0} \right| \cdot \frac{1}{2} \left(\sqrt{t_v} - \frac{1}{\sqrt{t_v}} \right) \right], \quad (2.29)$$

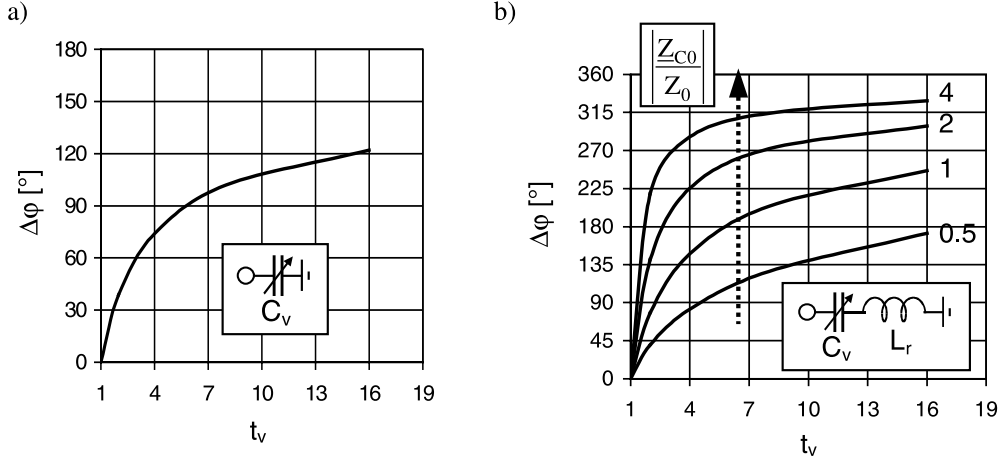


Figura 2.9: Massima variazione di fase in funzione del rapporto t_v , a) varactor , b) carico risonante .

con la seguente relazione fra l'induttore L_r e Z_{C0}

$$L_r = \frac{|Z_{C0}|}{2\omega_0} \left(\sqrt{t_v} + \frac{1}{\sqrt{t_v}} \right). \quad (2.30)$$

In figura 2.9 b) è mostrato l'andamento di $\Delta\phi_{max}$ in funzione di t_v e del rapporto $|Z_{C0}/Z_0|$, per $t_v \rightarrow \infty$ o per $|Z_{C0}/Z_0| \rightarrow \infty$ si ha un range di controllo di 360° . L'aumento del rapporto $|Z_{C0}/Z_0|$ richiede di aumentare il valore di L_r e abbassare quello di C_0 , di conseguenza si ha un incremento significativo della resistenza serie parassita in entrambi i componenti. Questo porta ad un peggioramento del controllo della fase e un aumento delle perdite.

2.4.2 Phase shifter a linea caricata periodicamente

Il PS è composto da una linea di trasmissione ad alta impedenza caratteristica Z_i che viene caricata periodicamente, ogni L_{sect} di lunghezza, ad un carico capacitivo variabile C_{var} come in figura 2.10 a). In tale struttura periodica può essere [23] identificata una cella composta da un tratto di linea di trasmissione di lunghezza L_{sect} , insieme ad un condensatore C_{var} connesso a massa. Per analizzare la cella si approssima il tratto di linea ad una induttanza L_t e una capacità C_t equivalente, come illustrato in figura 2.10 b). La frequenza di taglio della cella è data da,

$$f_c = \frac{1}{2\pi\sqrt{L_t(C_t + C_{var})}} \quad (2.31)$$

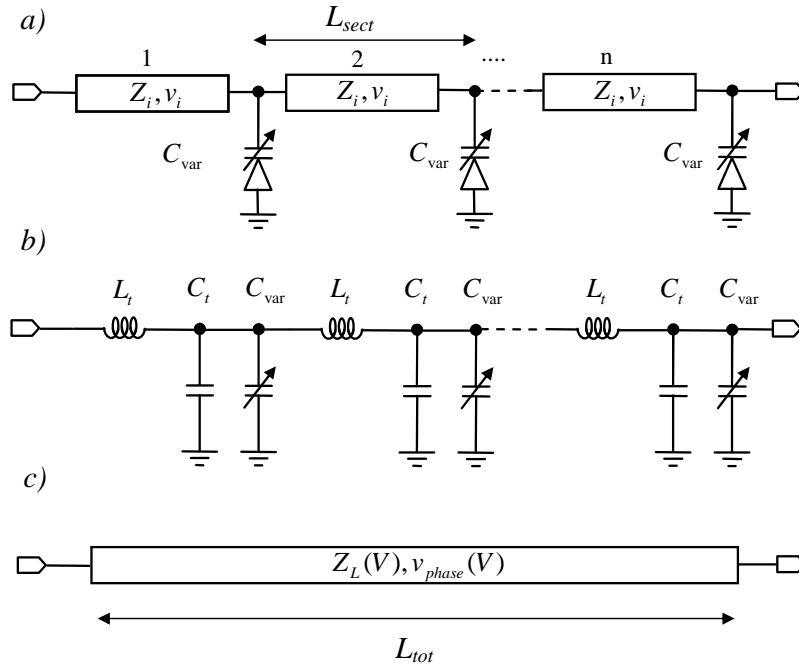


Figura 2.10: a) PS a linea caricata periodicamente, b) circuito equivalente, c) line di trasmissione sintetica

$$L_t = \frac{L_{sect}}{v_i} Z_i \quad e \quad C_t = \frac{L_{sect}}{Z_i v_i} \quad (2.32)$$

dove Z_i e v_i sono l'impedenza e la velocità di fase della linea. Per frequenze almeno una decade sotto quella di taglio f_c , la linea caricata può essere vista come una linea di trasmissione con capacità per unità di lunghezza aumentata per effetto del carico periodico, figura 2.10 c). Le proprietà della linea di trasmissione, come l'impedenza caratteristica Z_L e la velocità di fase v_{phase} , dipendono dal valore che assume il carico periodico:

$$Z_L = \sqrt{\frac{L_t}{C_t + C_{var}}} \quad e \quad v_{phase} = \frac{L_{sect}}{\sqrt{L_t(C_t + C_{var})}} \quad (2.33)$$

La relazione che c'è fra l'impedenza Z_L della linea caricata e quella Z_i della linea non caricata con il massimo carico capacitivo $C_{var} = C_{var}^{max}$ è,

$$Z_i = Z_L \sqrt{1 + x}, \quad x = \frac{C_{var}^{max}}{C_t} \quad (2.34)$$

2. ARCHITETTURA DEI PHASE SHIFTERS

dove x viene chiamato fattore di carico. Il valore massimo dello sfasamento ottenibile da ciascuna cella ad una fissata frequenza f è dato da,

$$\delta\phi = 2\pi f \frac{L_{sect}}{v_i} \left(\sqrt{1+x} - \sqrt{1+xy} \right), \quad y = \frac{C_{var}^{min}}{C_{var}^{max}}. \quad (2.35)$$

Dall'equazione (2.35) si vede che lo sfasamento massimo cresce al crescere del fattore di carico. Il numero di sezioni richieste per avere uno sfasamento totale di 360° è di $n_{sect} = 2\pi/\delta\phi$. Scegliendo l'impedenza intrinseca Z_i della linea maggiore di 50Ω , al variare del fattore di carico x si riesce a mantenere un adattamento buono in un'ampia banda di funzionamento.

2.4.3 Phase shifter con filtri accordabili

Una rete passa-basso, a Π o T può creare un ritardo di fase superiore a 90° rimanendo adattata. In modo duale un rete passa-alto può creare un anticipo di fase superiore a 90° . Per mantenere costante l'impedenza alle porte, al variare dello sfasamento richiesto, l'induttanza e la capacità devono variare in modo simultaneo [5], come illustrato in figura 2.11.

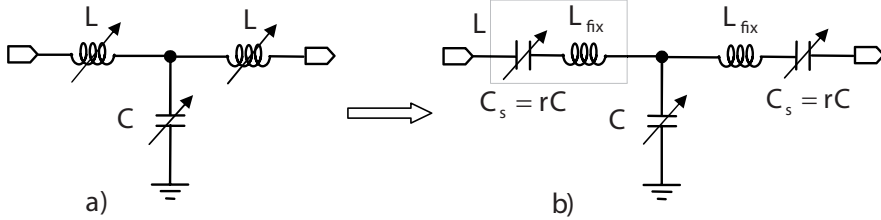


Figura 2.11: a) Filtro accordabile T b) induttanza variabile realizzata con capacità variabile in serie ad L fissata

La matrice ABCD della rete è [5]:

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix}_N = \begin{bmatrix} 1 + Z_L Y_C & Z_L(2 + Z_L Y_C) \\ Y_C & 1 + Z_L Y_C \end{bmatrix} \quad (2.36)$$

dove $Z_L = jX_L = j\omega L/Z_0$ e $Y_C = jB_C = j\omega C Z_0$ sono le impedenze normalizzate a Z_0 . Trascurando le resistenze parassite, per avere l'adattamento bisogna che sia soddisfatta l'eguaglianza $S_{11} = S_{22} = 0$. Dall'equazione (2.36) si trova la condizione per avere l'adattamento:

$$S_{11} = A + B - C - D \Rightarrow A = D, B = C \Rightarrow B_C = \frac{2X_L}{1 + X_L^2} \quad (2.37)$$

La fase della rete è,

$$\phi = \angle S_{21} = \arctan \left[\frac{X_L^2 B_C - 2X_L - B_C}{2 - 2X_L B_C} \right] \quad (2.38)$$

sostituendo la condizione di adattamento, equazione (2.37), in (2.38) si ha:

$$\tan(\phi) = \frac{-2X_L}{1 - X_L^2} \Rightarrow X_L = -\tan\left(\frac{\phi}{2}\right). \quad (2.39)$$

Dalle equazioni (2.37) e (2.39) si possono calcolare i valori delle induttanze e capacità per avere uno sfasamento ϕ :

$$L = -\frac{Z_0}{\omega} \tan\left(\frac{\phi}{2}\right) \quad e \quad C = -\frac{1}{\omega Z_0} \sin(\phi) \quad (2.40)$$

Utilizzando una capacità con rapporto 2:1 e un'induttanza con rapporto 3.7:1 si può avere un sfasamento massimo di 60° . Nei processi IC non si possono avere induttori variabili, ma in una banda stretta (10 – 20%) si può approssimare un induttore variabile come la serie di una capacità variabile e un'induttanza fissa, come mostrato in figura 2.11 b). Assumendo che C_s abbia lo stesso rapporto di variabilità di C, per facilitare il controllo della fase si prende $C_s = rC$. La reattanza X_L data dalla combinazione serie di L_{fix} e C_s vale,

$$X_L = X_{L,fix} - \frac{1}{\omega r C}. \quad (2.41)$$

L'induttanza serie equivalente si trova dividendo l'equazione (2.41) per ω . Il valore massimo e minimo al variare della capacità è dato da:

$$L_{max} = L_{fix} - \frac{1}{\omega^2 r C_{max}}, \quad L_{min} = L_{fix} - \frac{1}{\omega^2 r C_{min}}. \quad (2.42)$$

Forzando il valore massimo e minimo dell'induttanza equivalente al valore massimo e minimo dell'induttore ideale si trova il valore di r e di L_{fix} :

$$r = \frac{1}{\omega^2 (L_{max} - L_{min})} \left(\frac{1}{C_{min}} - \frac{1}{C_{max}} \right) \quad (2.43)$$

$$L_{fix} = L_{max} + \frac{1}{\omega^2 r C_{max}} \quad (2.44)$$

La rete risulta perfettamente adattata per i due valori di capacità C_{max} e C_{min} , per impostazione dell'equazione (2.42). Per i valori intermedi della capacità l'induttanza equivalente non è uguale a quella ideale, ma è vicina sufficientemente per garantire un adattamento migliore di -15dB.

2.4.4 Phase shifter a interpolazione di fase

In figura 2.12 a) viene mostrato lo schema a blocchi di un PS a interpolazione di fase. Il segnale di ingresso viene diviso in due percorsi uguali dal divisore, poi in ciascun percorso vi è un amplificatore a guadagno variabile (VGA). Dopo il VGA uno dei segnali subisce uno sfasamento di 90° e alla fine viene sommato in fase con l'altro segnale dal combinatore. Si può avere la stessa funzione utilizzando un modulatore I/Q, per esempio un accoppiatore ibrido a 90° , seguito dai due VGA e dal combinatore in fase [8].

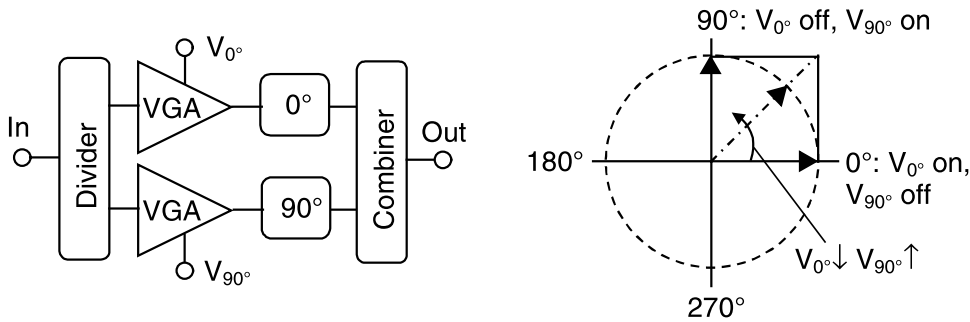


Figura 2.12: a) PS a interpolazione di fase I/Q b) componenti I/Q del segnale in ingresso.

Dato il segnale di ingresso $S_{in}(t) = \cos(\omega t + \phi_0)$ e lo sfasamento $\Delta\phi$ richiesto, il segnale di uscita si può scrivere come [3],

$$\begin{aligned} S_{out}(t) &= \cos(\omega t + \phi_0 + \Delta\phi) = \cos(\omega t + \phi_0) \cos(\Delta\phi) - \sin(\omega t + \phi_0) \sin(\Delta\phi) \\ &= I(t) \cos(\Delta\phi) + Q(t) \sin(\Delta\phi). \end{aligned} \tag{2.45}$$

Dall'equazione (2.45) si vede che per avere uno sfasamento di $\Delta\phi$ in uscita il segnale in fase $I(t)$ deve essere pesato per un fattore $VGA_I = \cos(\Delta\phi)$ invece quello in quadratura $Q(t)$ per un fattore $VGA_Q = \sin(\Delta\phi)$. Quindi regolando i guadagni dei due VGA in modo opportuno si riesce a regolare la fase del segnale in uscita. Questo è il principio di funzionamento di tutti i PS a interpolazione di fase. Con questa configurazione si riesce ad avere uno sfasamento massimo di 90° , vedi figura 2.12 b). Per avere uno sfasamento di 360° bisogna muoversi nei quattro quadranti. Una delle configurazioni utilizzate è mostrata in figura 2.13,

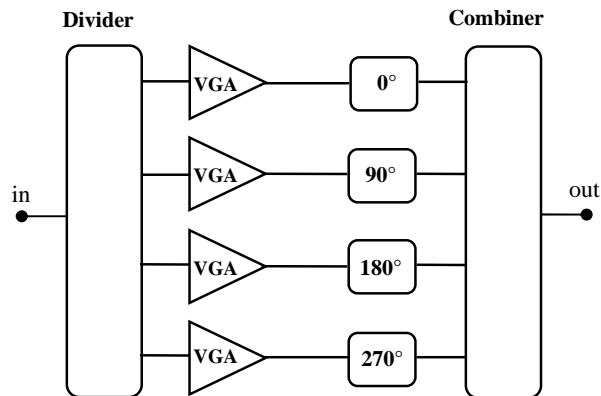


Figura 2.13: PS a interpolazione con 4 vettori in quadratura.

dove si generano 4 segnali a 0° , 180° , 90° e 270° che vengono combinati insieme con lo stesso principio di prima.

2.5 Confronto dei Phase shifter

In questa sezione si cerca di confrontare le varie topologie di PS utilizzate nei circuiti integrati, focalizzandosi su quelli operanti nella banda $8 - 12GHz$ (-X).

Dalla raccolta bibliografica fatta sulle varie soluzioni di PS presenti in letteratura, elencate in tabella 2.1, si è visto che la maggior parte riguarda le topologie con controllo digitale della fase.

Una soluzione con controllo analogico della fase è presentata in [5]. La variazione grande, di 180° , della fase viene fatta con un filtro passa-alto/passa-basso (in modo digitale con 1-bit). La regolazione della fase viene fatta dopo con un filtro accordabile in cascata al primo filtro. I due filtri in cascata vengono pilotati da un LNA (Low Noise Amplifier). Il circuito intero presenta un guadagno di 3.7dB e un adattamento migliore di -10dB. L'errore della fase, nella banda $10 - 13GHz$, è inferiore a 10° in valore assoluto.

In [8] è presentata un'altra soluzione di PS con controllo analogico che usa una topologia a interpolazione di fase (Vector Modulator). Ha un errore di fase molto basso inferiore a 1.2° (rms) e una perdita di inserzione di 8dB. L'area del chip occupata è $0.72mm^2$, metà rispetto a [5].

Le altre soluzioni presentate in tabella 2.1 sono tutte a controllo digitale della fase. Nel PS a interpolazione di fase in [7], per generare le componenti in

2. ARCHITETTURA DEI PHASE SHIFTERS

quadratura viene utilizzato un circuito a risonanza LRC passa-tutto con basse perdite e larga banda di funzionamento. Il controllo del guadagno dei due VGA viene fatto da un DAC a 4-bit. L'errore di fase (rms) è inferiore a 10° , la perdita di inserzione inferiore a 2dB e l'adattamento inferiore a -10dB.

I PS a interpolazione di fase richiedono area di chip molto ridotta e hanno una bassa perdita di inserzione. Per contro il controllo della fase è difficile e presenta bassa linearità. Questo è dovuto soprattutto all'utilizzo dei VGA.

Tabella 2.1: Confronto dei Phase Shifter

Ref.	Phase range [°]	BW [Ghz]	IL [dB]	Phase error rms [°]	Gain error rms [dB]	Phase resolution	S11, S22 [dB]	Die Area [mm ²]	TYPE
[7]	360	X-band	<2	<10	<1.7	4 bit	<-10	0.75x0.6	Vector Modulator
[6]	360	X-band	<25	<13 abs	n.a	5 bit	<-13	4,87	High-Pass/ Low-Pass
[5]	360	10-13	-3,7	<10 abs	n.a	Analog	<-10	1.92x0.78	Accordable Filters
[8]	360	15-20	8	<1,2	n.a	Analog	<-10	0,72	Vector Modulator
[9]	360	6-18	<11	7	0,33	5 bit	-13	4.27x3.17	RTPS
[13]	360	10-16	5	<4	0,3	4 bit	<-10	2,6	Hybrid topology*
[10]	360	13-15	<9.6	7,5	0,9	5 bit	<-7.7	2.35x1.65	High-Pass/ Low-Pass
[12]	360	11.7-12.7	11,1	8	0,5	4 bit	<-11	2.2x1.5	High-Pass/ Low-Pass
[11]	360	X-band	4,5	10	n.a	5 bit	<-10	9,2	High-Pass/ Low-Pass

La topologia passa-alto/passa-basso presenta buona linearità, larghezza di banda ampia e basso consumo di potenza. Presenta lo svantaggio di avere alte perdite di inserzione con alte variazioni, al variare della fase. L'area del chip occupata è relativamente grande, il che comporta un aumento dei costi.

Per ridurre le variazioni del guadagno in [10] vengono utilizzati dei resistori di compensazione, introducendo un'ulteriore perdita in modo da non avere variazione quando si commuta da una rete all'altra.

In [11] si usano degli switch MEMS (Micro Electro Mechanical Systems) per ridurre in modo significativo le perdite. Si passa dai 10-25dB di perdita con gli switch standard a 4.5dB. In [12] le capacità parassite degli switch vengono inglobate nella rete, riducendo di molto l'effetto degli elementi parassiti. In [6] viene utilizzata una rete ibrida dove il filtro passa-alto è realizzato con una struttura Π e quello passa-basso a T . Questa modifica riduce in modo significativo l'area del chip occupata, circa del 50 %.

I PS a riflessione hanno una architettura semplice, consentono un controllo bidirezionale della fase e basso consumo di potenza. Gli svantaggi sono l'area occupata molto grande. Il PS in [9] ha un area di $4.27 \times 3.17 \text{mm}^2$, e l'adattamento alle porte non è buono.

Per sfruttare i vantaggi di ciascuna topologia sono state realizzate anche delle architetture ibride come in [13], dove ciascuno blocco che compone il PS è realizzato con una topologia diversa.

Capitolo 3

Progettazione di un Phase Shifter con un Filtro Polifase nella banda -X

In questo capitolo viene presentato la progettazione di un phase shifter a due bit nella banda $8 - 12GHz$ utilizzando un filtro polifase del terzo ordine. L'obiettivo è di sfruttare le proprietà dei filtri polifase, banda larga e precisione nella regolazione della fase.

Il circuito comprende un buffer d'ingresso, un filtro polifase del terzo ordine, uno stadio di amplificazione intermedio, un multiplexer per selezionare la fase e un buffer di uscita .

3.1 Filtri Polifase

Il filtro polifase (PPF Poly Phase Filter) [16] è una rete simmetrica con ingressi e uscite simmetricamente disposte nelle relative fasi, vedi figura 3.1. Rappresenta un filtro complesso e risponde alla rappresentazione complessa del segnale d'ingresso. La sua risposta in frequenza è asimmetrica. Per segnali a frequenza negativa ha una certa risposta per quelli positivi un'altra. Inventato da M.J.Gingell nel 1971 è stato utilizzato in principio per la generazione di segnali in quadratura per applicazioni audio.

Un segnale sinusoidale polifase è un insieme di due o più segnali sinusoidali aventi la stessa frequenza ma fasi diverse [16]. Il segnale polifase è simmetrico

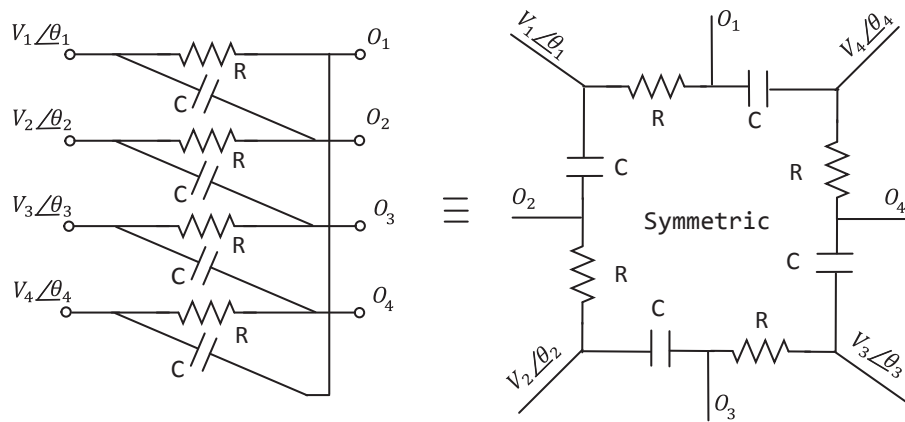


Figura 3.1: Filtro polifase RC classico mostrato in due modi diversi.

(bilanciato) quando i segnali sinusoidali hanno la stessa ampiezza e sono equispaziati nel piano della fase.

Per analizzare in modo semplice, geometrico, l'azione del filtro sul segnale d'ingresso si usa il concetto di sequenza d'ingresso, o funzioni base [17].

L'insieme delle quattro fasi in ingresso, con riferimento alla figura 3.2, può essere scomposto in quattro sequenze bilanciate: la sequenza in quadratura negativa (senso orario, l'insieme dei fasori c), la sequenza in quadratura positiva (antiorario, l'insieme dei fasori a), collineari in contro fase (l'insieme dei fasori b) e collineari in fase (l'insieme dei fasori d).

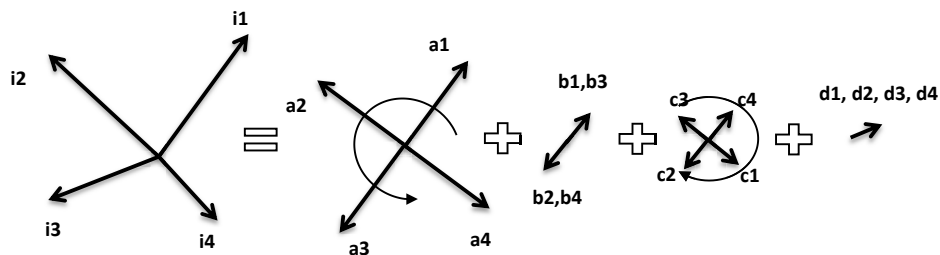


Figura 3.2: Decomposizione di un insieme di fasori arbitrari nelle sequenze basi.

Le componenti collineari producono in uscita del filtro due coppie di modo comune, che vengono rigettate con acquisizione differenziale. Le componenti bilanciate si trovano dall'equazione matriciale [19]:

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

$$\begin{bmatrix} a1 \\ b1 \\ c1 \\ d1 \end{bmatrix} = \frac{1}{4} \cdot \begin{bmatrix} 1 & -j & -1 & j \\ 1 & -1 & 1 & -1 \\ 1 & j & -1 & -j \\ 1 & 1 & 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} i1 \\ i2 \\ i3 \\ i4 \end{bmatrix}. \quad (3.1)$$

Quando la frequenza del segnale polifase d'ingresso vale $1/2\pi RC$, due ingressi adiacenti vengono sfasati in uscita di $+45^\circ$ e -45° . Nei nodi di uscita, vedi figura 3.3, la sequenza dei fasori d'ingresso negativa si somma in modo distruttivo, invece la sequenza positiva si somma in modo costruttivo. Il filtro polifase alla frequenza $1/2\pi RC$ rigetta la sequenza negativa, le sequenze collineari a tutte le frequenze, e fa passare solo la sequenza positiva.

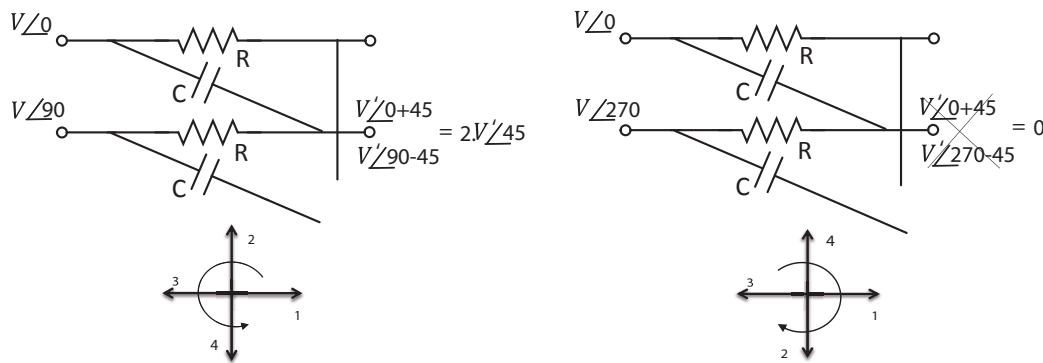


Figura 3.3: Effetto del filtro polifase sulle due sequenze, antioraria e oraria.

La reiezione del filtro polifase (**IRR** Image Rejection Ratio) è definita come il rapporto tra la funzione di trasferimento in banda passante e quella in banda attenuata. Definita $H(\omega)$ la funzione di trasferimento del filtro per la sequenza positiva e $H(-\omega)$ per la sequenza negativa, **IRR** si può scrivere [18] come:

$$IRR(\omega) = \frac{|H(\omega)|}{|H(-\omega)|} \quad (3.2)$$

Come si è visto il filtro polifase rigetta completamente la sequenza d'ingresso negativa (oraria) solo alla frequenza $1/2\pi RC$, alle altre frequenze la reiezione è inferiore. Per aumentare la banda nella quale si vuole una sufficiente reiezione bisogna mettere in cascata diversi stadi RC. Il numero dei stadi RC messi in cascata determina l'ordine del filtro. Di solito nei circuiti integrati non supera i tre stadi.

In funzione del carico che hanno gli stadi successivi il segnale che attraversa il filtro polifase può avere guadagno o perdita. In assenza di carico, alla frequenza $1/2\pi RC$, si ha un guadagno di 3dB tra ogni nodo d'ingresso e il corrispondente nodo di uscita. Quando si carica l'uscita con un altro stadio identico, si ha un'attenuazione di 3dB. Più bassa è l'impedenza del carico maggiore è l'attenuazione.

3.2 Dimensionamento del Filtro Polifase del 3-ordine

Il filtro polifase nel circuito viene utilizzato per generare quattro segnali in quadratura a partire da un segnale differenziale. La banda di funzionamento comprende l'intervallo di frequenze $8 - 12GHz$.

Per dimensionare il filtro polifase [19] si seguono gli seguenti passi:

1. Calcolare il numero di stadi necessari per ottenere una adeguata reiezione nella banda di funzionamento.
2. Mettere il polo più piccolo e quello più grande al limite inferiore e superiore della banda. Distribuire in modo uguale i poli rimanenti nella scala logaritmica delle frequenze.
3. Specificare il matching fra i resistori e i condensatori, in base alla reiezione desiderata, questo determina l'area del filtro.
4. L'uso di resistori grandi riduce il consumo di potenza del buffer di pilotaggio, usare resistori più grandi possibili limitati dal massimo rumore in uscita o dalla frequenza di taglio.
5. Per abbassare le perdite negli stadi, mettere gli vari stadi in cascata con valori di resistenza crescente.
6. Progettare il buffer di pilotaggio. Se le perdite fra gli stadi sono grandi, inserire dei amplificatori fra gli stadi per preservare il range dinamico del segnale.

Per un filtro polifase RC del primo ordine [18] IRR è dato da ,

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

$$IRR(\omega) = \frac{|H(\omega)|}{|H(-\omega)|} = \frac{\omega_p - \omega}{\omega_p + \omega}, \quad (3.3)$$

per un filtro di ordine N invece IRR_N è dato dal prodotto dei IRR dei singoli stadi,

$$IRR_N(\omega) = \prod_{n=1}^N IRR_n(\omega). \quad (3.4)$$

Il numero di stadi scelto per il filtro polifase in modo da garantire un buona reiezione nella banda 8 – 12GHz è di tre.

I tre poli del filtro , ω_1 , ω_2 e ω_3 sono disposti al limite superiore, al centro e al limite inferiore della banda,

$$\omega_1 = \frac{1}{R_1 C_1} = 2\pi \cdot 12GHz, \quad (3.5)$$

$$\omega_2 = \frac{1}{R_2 C_2} = 2\pi \cdot 10Ghz, \quad (3.6)$$

$$\omega_3 = \frac{1}{R_3 C_3} = 2\pi \cdot 8Ghz, \quad (3.7)$$

Dall'equazione (3.4) l' IRR_3 del filtro del terzo ordine è uguale a:

$$IRR_3(\omega) = \frac{\omega_1 - \omega}{\omega_1 + \omega} \cdot \frac{\omega_2 - \omega}{\omega_2 + \omega} \cdot \frac{\omega_3 - \omega}{\omega_3 + \omega} \quad (3.8)$$

In figura 3.4 a) viene mostrato il filtro RC polifase del terzo ordine, formato dalla cascata di tre stadi, in b) è mostrata la risposta in frequenza della reiezione.

La scelta dei valori dei condensatori è stata fatta in modo da avere la resistenza più grande possibile ed abbassare il carico capacitivo visto all'ingresso del filtro. Si è preso come valore per i tutti e tre i condensatori $C1 = C2 = C3 = 120fF$, da cui si possono calcolare i valori delle resistenze:

$$R_1 = \frac{1}{\omega_1 C_1} = 111\Omega, \quad R_2 = \frac{1}{\omega_2 C_2} = 133\Omega, \quad R_3 = \frac{1}{\omega_3 C_3} = 166\Omega. \quad (3.9)$$

La funzione di trasferimento $H(\omega)$ del filtro per la sequenza positiva, si può calcolare a partire dalla matrice ABCD della singola fase. Per un filtro del primo ordine si può scrivere come [20]:

$$\begin{bmatrix} V_{k,in} \\ I_{k,in} \end{bmatrix} = \frac{1}{1 + \omega RC} \cdot \begin{bmatrix} 1 + j\omega RC & R \\ 2j\omega C & 1 + j\omega RC \end{bmatrix} \cdot \begin{bmatrix} V_{k,out} \\ I_{k,out} \end{bmatrix}. \quad (3.10)$$

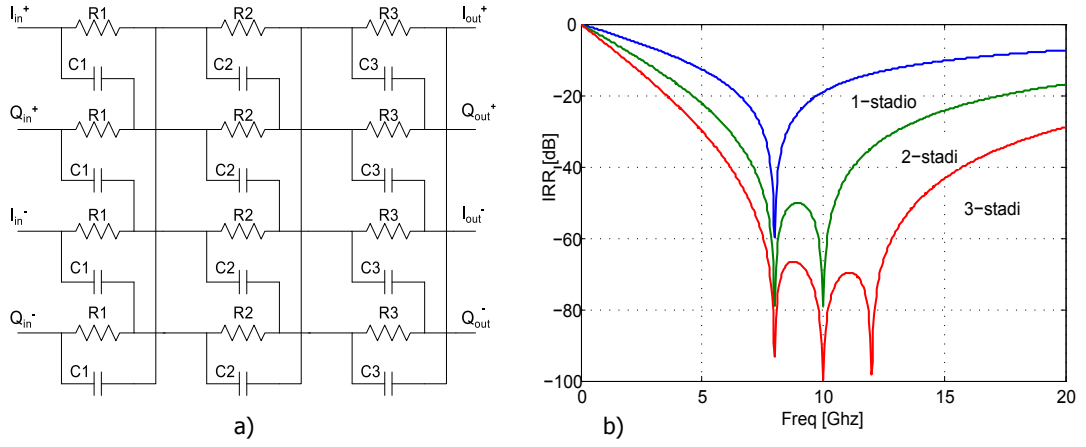


Figura 3.4: a) Filtro RC polifase del 3-ordine, b) risposta in frequenza IRR.

dove $1 \leq k \leq 4$ per un filtro a quattro fasi.

Con l'uscita del filtro senza carico, $I_{k,out} = 0$, $H(\omega)$ vale:

$$H(\omega) = \frac{V_{k,out}}{V_{k,in}} = \frac{1 - \omega RC}{1 + j\omega RC}. \quad (3.11)$$

Per il filtro del terzo ordine la funzione di trasferimento si calcola moltiplicando le matrici ABCD dei singoli stadi,

$$\begin{bmatrix} V_{k,in} \\ I_{k,in} \end{bmatrix} = [M1] \cdot [M2] \cdot [M3] \begin{bmatrix} V_{k,out} \\ I_{k,out} \end{bmatrix}. \quad (3.12)$$

dalla quale si ricava $H(\omega)$,

$$H(\omega) = \frac{(1 - \omega R_1 C_1)(1 - \omega R_2 C_2)(1 - \omega R_3 C_3)}{D(\omega)} \quad (3.13)$$

dove $D(\omega) = 1 - \omega^2(R_1 R_2 C_1 C_2 + R_1 R_3 C_1 C_3 + R_2 R_3 C_2 C_3 + 2R_1 R_3 C_2 C_3 + 2R_1 R_2 C_1 C_3 + 2R_1 R_2 C_2 C_3) + j\omega(R_1 C_1 + R_2 C_2 + R_3 C_3 + 2R_1 C_2 + 2R_1 C_3 + R_2 C_3) - j\omega^3(R_1 R_2 R_3 C_1 C_2 C_3)$.

In figura 3.5 è mostrato il grafico del modulo e della fase della funzione di trasferimento $H(\omega)$ per il filtro del terzo ordine.

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

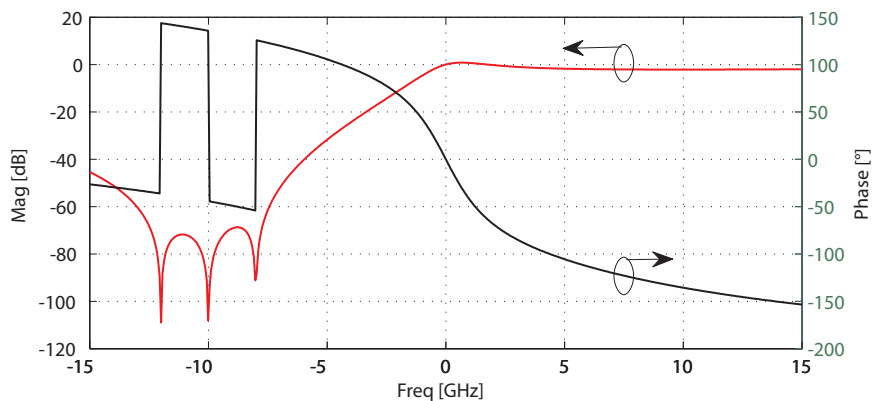


Figura 3.5: Modulo e fase della funzione di trasferimento del filtro polifase del 3-ordine.

3.3 Simulazione del Filtro Polifase con Cadence DFII usando la tecnologia UMC 130nm

Usando il software di progettazione e simulazione professionale, **Cadence DFII**, è stato simulato il filtro polifase dimensionato prima. Per prima cosa si è simulato il filtro usando componenti ideali della libreria analogLib. In figura 3.6 è mostrato lo schematico. All'uscita del filtro sono stati aggiunti delle resistenze e condensatori per valutare l'effetto del carico.

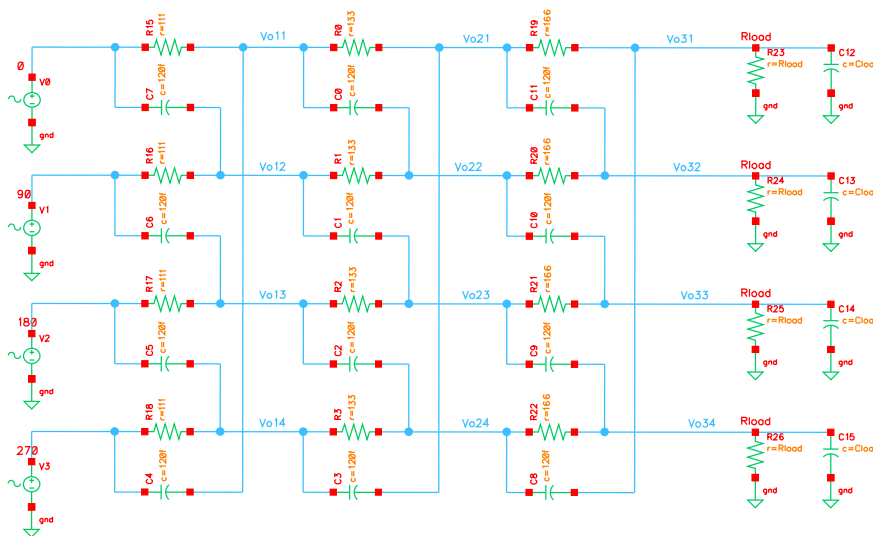


Figura 3.6: Schematico del filtro polifase 3-ordine con resistenze e condensatori ideali (analogLib).

In figura 3.7 è mostrato la risposta in frequenza del modulo e della fase senza carico in uscita, usando la simulazioni **AC**. Dalla risposta del modulo si vede una perdita di circa $4dB$ nella banda di funzionamento.

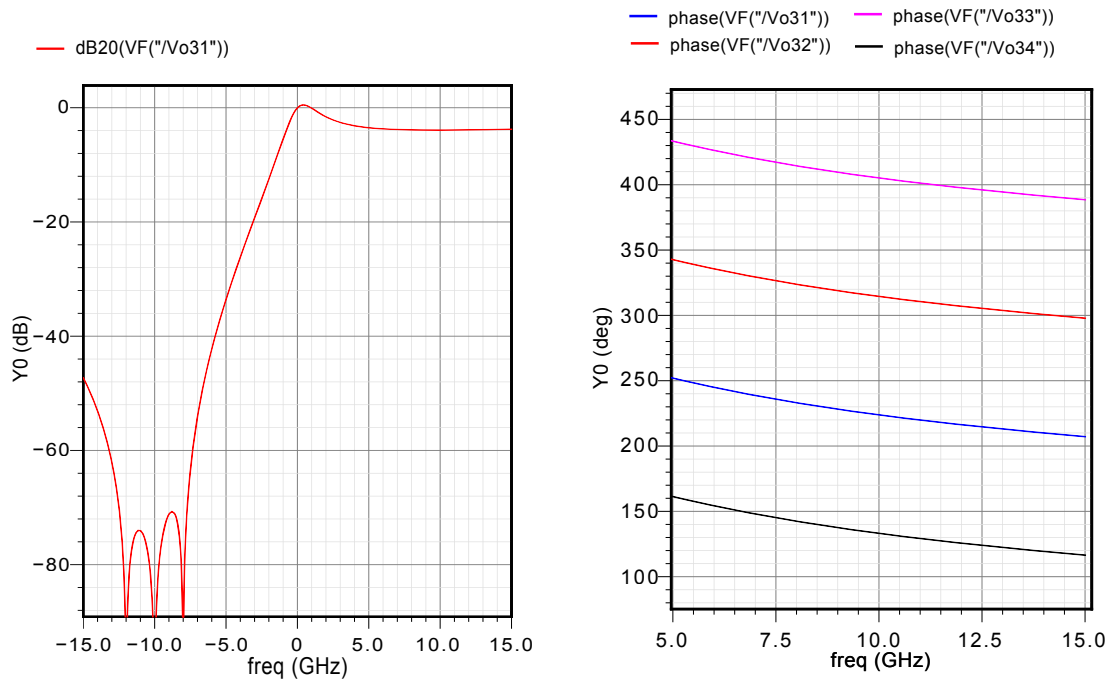


Figura 3.7: Risposta in frequenza del modulo e della fase, filtro senza carico in uscita.

In figura 3.8 invece è mostrato la risposta in frequenza al variare del carico resistivo e capacitivo separatamente (supponendo un carico identico alle quattro uscite). Per un carico resistivo in uscita di 50Ω si ha una attenuazione di $10dB$, per un carico capacitivo di $1pF$ l'attenuazione è di $17dB$. La risposta della fase al variare del carico è rimasta invariata (non riportata sul grafico).

Dopo si sono sostituiti i condensatori ideali con quelli reali, `mimcapsrf` della libreria tecnologica UMC 130nm. In figura 3.9 a) è mostrato il modello circuitale equivalente del condensatore, in b) la sezione trasversale del layout.

Brevemente viene riportata una descrizione dei vari parametri circuitali:

- C_{int} : capacità intrinseca del condensatore
- R_{ext} : resistenza parassita serie presente nel metallo
- L_{ext} : induttanza parassita serie presente nel metallo

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

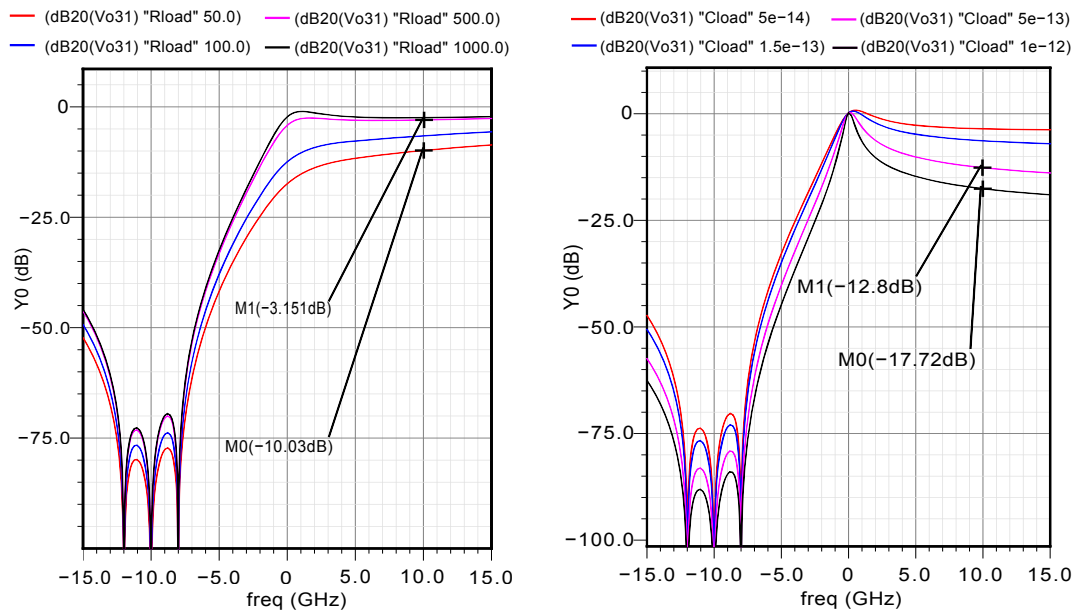


Figura 3.8: Risposta in frequenza del modulo e della fase al variare del carico resistivo e capacitivo in uscita.

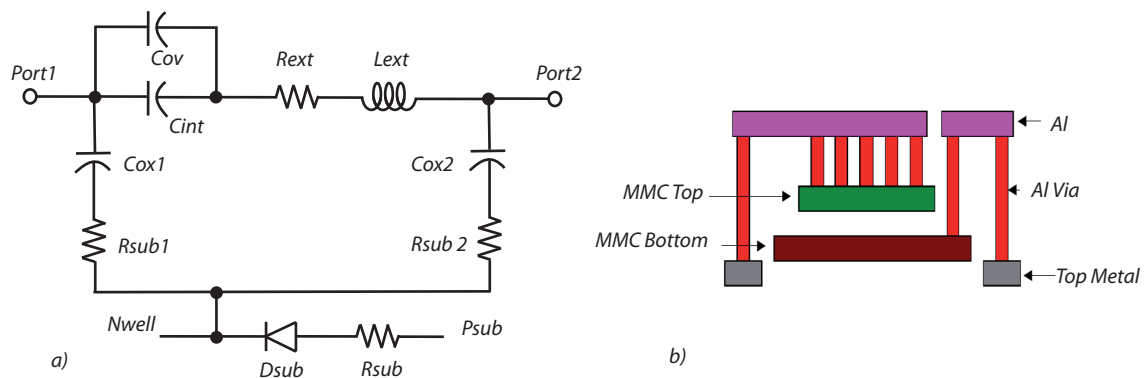


Figura 3.9: a) Modello circuitale equivalente mimcapsrf, b) sezione trasversale del layout.

- C_{ov} : capacità di overlap tra lo strato di alluminio e il bottom plate
- $C_{ox1,2}$: capacità dell'ossido tra la porta 1,2 e il substrato
- $R_{sub1,2}$: resistenza di substrato alle porte 1,2
- D_{sub} : diodo di giunzione Nwell/Psub
- R_{sub} : resistenza del substrato Psub

La risposta in frequenza del modulo, vedi figura 3.10 ha un'attenuazione di $0.5dB$ maggiore rispetto al caso ideale, invece la risposta della fase presenta una traslazione verso le basse frequenze. Si ha una traslazione di tutti e tre i poli. Per compensare questo effetto è stato diminuito il valore delle tre resistenze R_1, R_2 e R_1 nella stessa percentuale della traslazione dei poli.

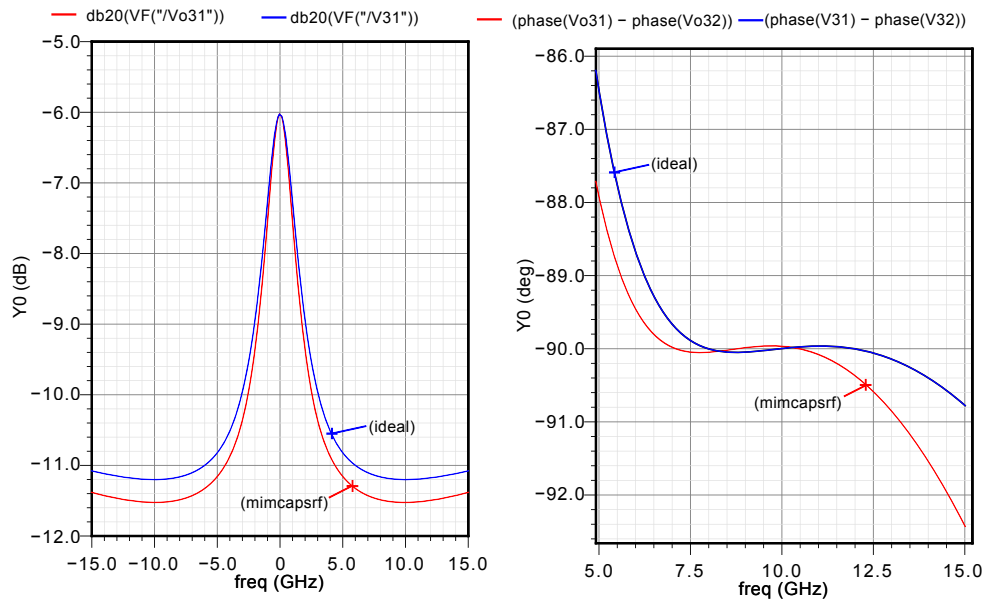


Figura 3.10: Risposta in frequenza del modulo e della fase con condensatori mimcapsrf.

3.4 Realizzazione del buffer d'ingresso

Il filtro polifase presenta un carico capacitivo in ingresso abbastanza elevato, per pilotarlo bisogna usare un buffer. In figura 3.11 a) è mostrato lo schema di collegamento del buffer differenziale con il filtro.

Per dimensionare il buffer bisogna prima calcolare l'impedenza offerta dal filtro. Dall'equazione (3.12) facilmente si può calcolare l'impedenza vista all'ingresso di una delle fasi, con l'uscita non caricata come:

$$Z_{k,in} = \left. \frac{V_{k,in}}{I_{k,in}} \right|_{I_{k,out}=0} = \frac{A}{C} \quad (3.14)$$

dove A e C sono i coefficienti della matrice ABCD.

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

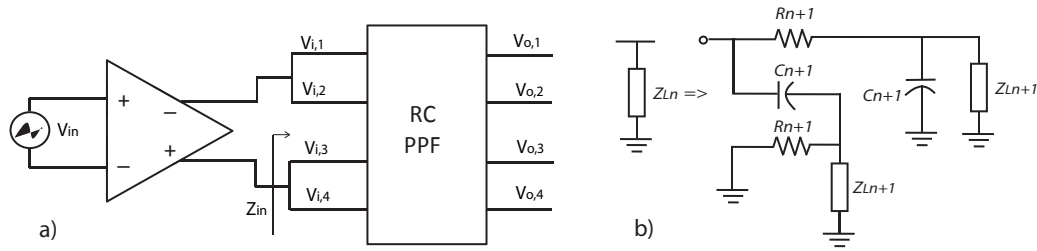


Figura 3.11: a) Buffer di ingresso per il pilotaggio del filtro, b) calcolo dell'impedenza d'ingresso

Alternativamente, vedi figura 3.11 b), l'impedenza vista in ingresso dello stadio N si può calcolare in modo ricorsivo dalla formula [21],

$$Z_{L,n} = \frac{R_{n+1} + Z_{L,n+1} + sC_{n+1}R_{n+1}Z_{L,n+1}}{1 + sC_{n+1}(R_{n+1} + 2Z_{L,n+1})} \quad (3.15)$$

Non si riporta la formula esplicita dell'impedenza Z_{in} in quanto molto lunga, invece in figura 3.12 a) viene mostrato l'andamento in frequenza del modulo e della fase di Z_{in} , in b) l'andamento della parte immaginaria e la capacità equivalente associata.

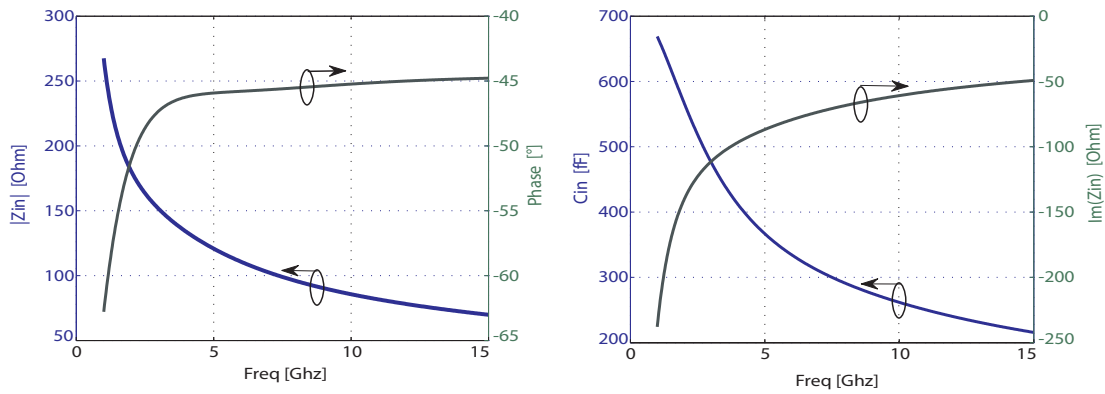


Figura 3.12: a) Andamento del modulo e della fase di Z_{in} , b) andamento della parte immaginaria e la capacità equivalente associata

Dal grafico dell'andamento di Z_{in} in figura 3.12, si vede che nella banda di funzionamento ($8 - 12GHz$) l'impedenza d'ingresso di una fase equivale alla serie di una resistenza e di un condensatore di valore intorno ai 50Ω e $300fF$.

Come buffer viene utilizzato una coppia differenziale con carico induttivo in modo da aumentare la banda e ridurre il consumo di potenza. In figura 3.13 a) è

mostrato lo schema elettrico del buffer differenziale e il semi-circuito equivalente in figura 3.13 b).

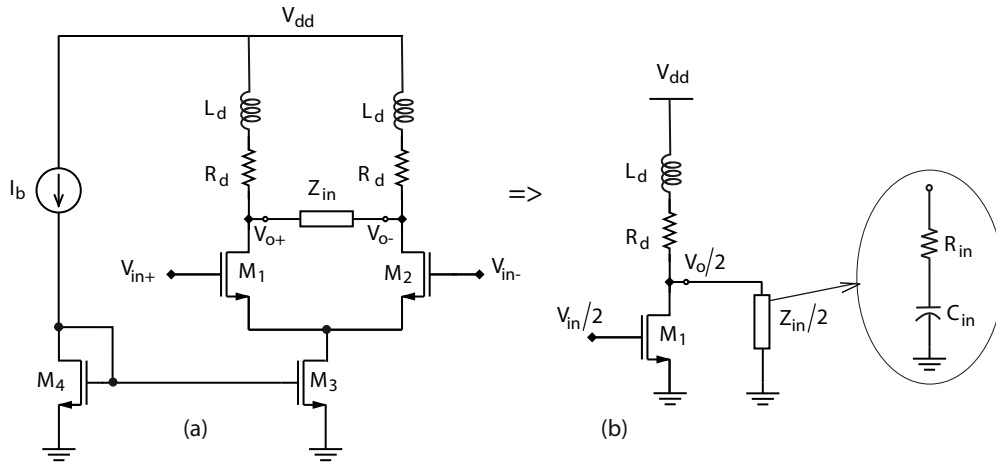


Figura 3.13: a) Schema elettrico del buffer differenziale b) semi-circuito equivalente

Il transistor utilizzato per realizzare il buffer è il N_12_RF della libreria tecnologica UMC 130nm. In figura 3.14 viene mostrato il modello ai piccoli segnali del transistor MOS incluso l'effetto body [22].

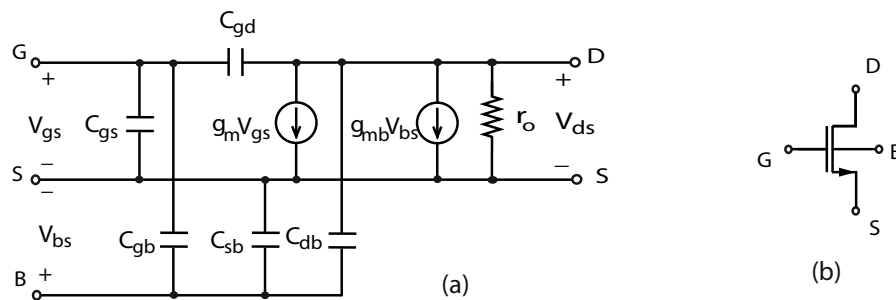


Figura 3.14: a) Modello ai piccoli segnali del transistor MOS b) simbolo delle nMOS con il terminale di bulk

I parametri di progetto e le figure di merito principali del transistor MOS sono:

$-g_m$ è la transconduttanza del transistor MOS definita come:

$$g_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{gs}=V_{GS}} = \mu C_{ox} \frac{W}{L} V_{ov} = \frac{2I_D}{V_{ov}} \quad (3.16)$$

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

dove $V_{ov} = V_{gs} - V_t$ è la tensione di overdrive, la tensione in più data al transistor sopra quella di soglia V_t , C_{ox} è la capacità dell'ossido, W e L sono la larghezza e la lunghezza del canale, I_D è la corrente di drain, μ è un parametro tecnologico.

$-g_{mb}$ è la transconduttanza del transistor dovuta al terminale di bulk definita come,

$$g_{mb} = \left. \frac{\partial I_d}{\partial V_{bs}} \right|_{V_{bs}=V_{BS}} \quad \frac{g_{mb}}{g_m} = \chi \quad (3.17)$$

dove χ è un parametro che tipicamente è compreso, $0.1 < \chi < 0.3$.

$-g_m/I_d$ è l'efficienza del transconduttore,

$$\frac{g_m}{I_D} = \frac{2}{V_{ov}} \quad (3.18)$$

$-\omega_T$ è la frequenza di transito. La frequenza a cui il guadagno di corrente del transistor caricato su un corto circuito è pari a uno,

$$|\beta(\omega)| = \frac{i_o}{i_i} = \frac{g_m}{\omega(C_{gs} + C_{gd})} = 1 \Rightarrow \omega_T = 2\pi f_T \approx \frac{g_m}{C_{gs}} \quad (3.19)$$

dove C_{gs} è la capacità fra il gate e il source del transistor,

$$C_{gs} = \frac{2}{3} W L C_{ox}. \quad (3.20)$$

$-g_m r_o$ è il guadagno intrinseco del transistor MOS, rappresenta il massimo guadagno in tensione ottenibile da un singolo MOS, è un parametro tecnologico (fissato dalla tecnologia).

$$|A_0| = g_m r_o, \quad r_o = \frac{\eta L}{I_D}. \quad (3.21)$$

Dalle simulazioni con Cadence DFII si è visto che il transistor N_{12_RF} ha una frequenza di transito f_T massima intorno a $100GHz$, con una densità di corrente $I_D/W = 50A/m$. Questa è anche la densità di corrente scelta per polarizzare tutti i transistor.

Il semi circuito equivalente ai piccoli segnali del buffer differenziale è mostrato in figura 3.15 a). La serie $R_L C_L$ rappresenta il carico equivalente visto all'ingresso del filtro polifase. Applicando la trasformazione serie-parallelo il circuito diventa più semplice da studiare, vedi figura 3.15 b).

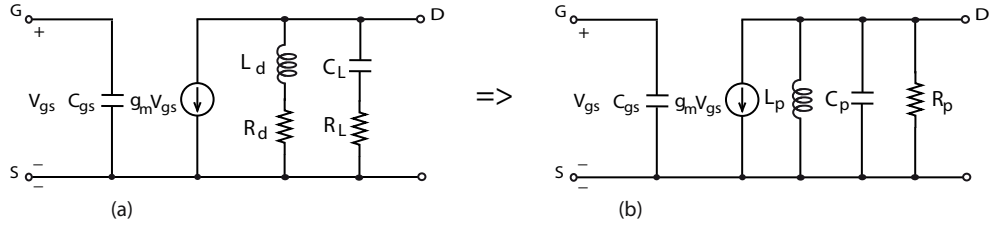


Figura 3.15: a)Semi circuito equivalente ai piccoli segnali del buffer b)semi circuito semplificato tramite la trasformazione serie-parallelo

La capacità C_L e la resistenza R_L valgono: $C_L = 2C_{in} \approx 600fF$ e $R_L = R_{in}/2 \approx 25\Omega$, in quanto una uscita del buffer pilota due ingressi del filtro polifase. Applicando le formule della trasformazione serie-parallelo alla frequenza centrale della banda, $\omega_0 = 2\pi \cdot 10GHz$, si calcolano C_p, L_p e R_p :

$$R_p = R_{d,p} \parallel R_{L,p} \quad (3.22)$$

$$R_{d,p} = R_d(1 + Q_L^2), \quad Q_L = \frac{X_{L,s}}{R_d}, \quad X_{L,s} = \omega_0 L_d \quad (3.23)$$

$$R_{L,p} = R_L(1 + Q_c^2), \quad Q_c = \frac{X_{c,s}}{R_L}, \quad X_{c,s} = \frac{1}{\omega_0 C_L} \quad (3.24)$$

$$X_{c,p} = X_{c,s}(1 + Q_c^{-2}), \quad C_p = \frac{1}{\omega_0 X_{c,p}} \quad (3.25)$$

$$X_{L,p} = X_{L,s}(1 + Q_L^{-2}), \quad L_p = \frac{X_{L,p}}{\omega_0} \quad (3.26)$$

Il valore dell'induttanza L_p si sceglie in modo tale da cancellare la capacità C_p nella banda di funzionamento. Si calcola L_p in modo che risuoni con C_p alla frequenza centrale ω_0 ,

$$L_p = \frac{1}{\omega_0^2 C_p} \Rightarrow L_p = 797pH \text{ con } C_p = 317fF \quad (3.27)$$

La banda del circuito risonante R_p, L_p, C_p deve essere maggiore della banda desiderata di funzionamento $8 - 12GHz$. Nel circuito la resistenza R_d in serie all'induttore comprende la resistenza intrinseca dell'induttore più una resistenza aggiuntiva in modo da regolare la banda del circuito risonante.

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

$$\omega_{-3dB} = \frac{\omega_0}{Q} = \frac{1}{R_p C_p} \Rightarrow BW_{-3dB} = 16GHz \text{ con } R_p = 31\Omega \quad (3.28)$$

Il guadagno in banda vale $g_m R_p$, si sceglie g_m in modo da avere un guadagno non inferiore ad uno,

$$a_0 = g_m R_p \geq 1 \Rightarrow g_m \geq \frac{1}{R_p} = 32.3mS \quad (3.29)$$

Dalla specifica sul valore di g_m si può calcolare la dimensione dei transistor MOS del buffer. La densità di corrente I_D/W , per tutti i MOS, è stata scelta in modo da massimizzare il prodotto dell'efficienza del transconduttore con la frequenza di transito, utilizzando la lunghezza di canale minima $L = L_{min} = 0.12\mu m$.

$$\left. \frac{I_D}{W} \right|_{max(g_m/I_d \cdot f_T)} \approx 50A/m. \quad (3.30)$$

Usando l'equazione (3.18) si calcola la larghezza W dei transistor,

$$g_m = \sqrt{2I_D \mu_n C_{ox}(W/L)}, \quad I_D = 50W \Rightarrow W = \frac{g_m}{\sqrt{2 \cdot 50 \mu_n C_{ox}/L}} \approx 70\mu m \quad (3.31)$$

dove $\mu_n \cdot C_{ox} \approx 265\mu A/V^2$ è la transconduttanza del processo, è stata stimata tramite simulazione sul transistor *N_12_RF*.

In figura 3.16 è riportato lo schematico del buffer d'ingresso. L'induttore utilizzato come carico è *l_cr20k_rfvil* della libreria tecnologica UMC 130nm.

3.5 Stadio di amplificazione intermedio e multiplexer differenziale

Il segnale d'ingresso attraversando il filtro polifase subisce un'attenuazione che dipende fortemente dal carico in uscita del filtro. Per questo motivo il multiplexer differenziale, che serve per selezionare una delle quattro fasi, non può essere collegato direttamente all'uscita del filtro. Lo stadio di amplificazione intermedio ha la duplice funzione di bufferizzare l'uscita del filtro e ripristinare il livello del segnale prima di entrare nel multiplexer. Per realizzare questo stadio si sono utilizzati due amplificatori differenziali a due stadi con dimensione crescente, come mostrato in figura 3.17

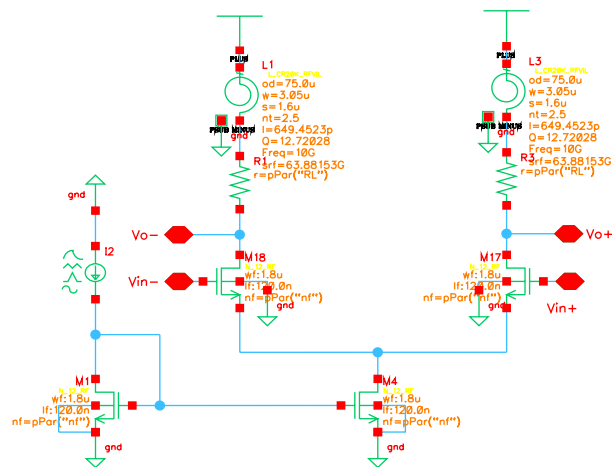


Figura 3.16: Schematico del buffer d'ingresso.

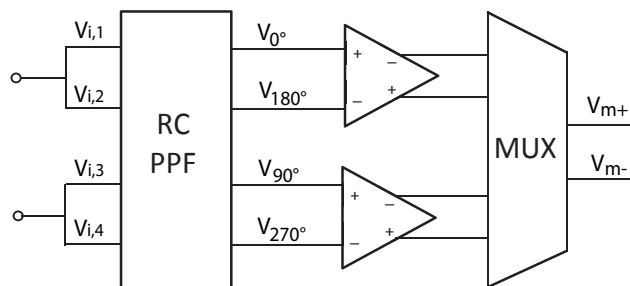


Figura 3.17: Stadio di amplificazione intermedio e multiplexer differenziale.

I due stadi dei amplificatori differenziali sono realizzati tramite coppie differenziali con carico induttivo, simile al buffer d'ingresso. Il secondo stadio ha dimensione doppia rispetto al primo. Il carico induttivo serve per aumentare la banda di funzionamento dell'amplificatore. L'induttanza è stata dimensionata in modo da cancellare la capacità parassita ai nodi.

Il multiplexer differenziale seleziona una delle quattro uscite del filtro polifase insieme alla uscita in controfase, per formare un segnale differenziale. In base allo stato del segnale di comando del multiplexer, l'uscita è sfasata rispetto all'segnale di ingresso di 90° , 180° , 270° e 360° . Il multiplexer è stato realizzato utilizzando dei pass-transistor, in figura 3.18 viene mostrato lo schematico.

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

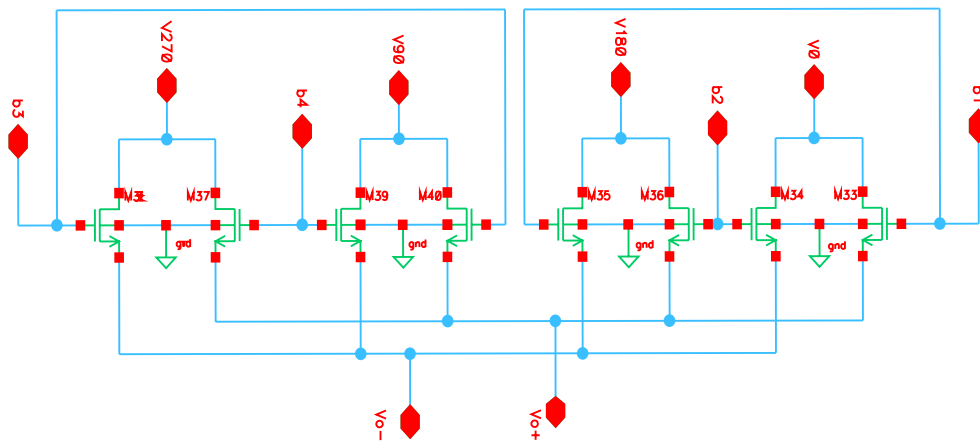


Figura 3.18: Schematico del multiplexer differenziale a pass-transistor.

3.6 Buffer di uscita

L'uscita del multiplexer non può essere collegata direttamente ad altri circuiti esterni perché non è adattata. Per adattare l'uscita si inserisce un altro buffer che deve avere una resistenza di uscita 100Ω differenziali. Il buffer è realizzato da due stadi, il primo è una coppia differenziale e il secondo è uno stadio inseguitore (source follower). I transistor dello stadio inseguitore, per avere l'adattamento, hanno un g_m di $20mS$. Lo schematico del buffer è mostrato in figura 3.19

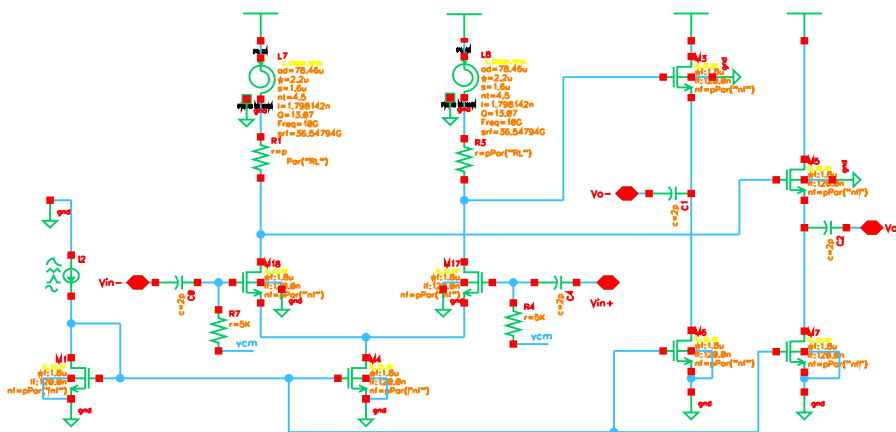


Figura 3.19: Schematico del buffer di uscita

Nella tabella 3.1 sono riassunti i parametri di dimensionamento del buffer di ingresso, di uscita e dell'amplificatore intermedio.

Tabella 3.1: Valori dei componenti

		Ld [pH]	Rd [Ω]	W [μm]	L [μm]	gm [mS]	2*Id [mA]
Buffer Ingresso	stadio 1	650	23	86,4	0,12	36,5	6,54
	stadio 2	-	-	57,6	0,12	19,8	3,14
Buffer Uscita	stadio 1	1800	34	28,8	0,12	12,2	2,2
	stadio 2	-	-	57,6	0,12	19,8	3,14
Amplificatore Intermedio	stadio 1	3000	90	28,8	0,12	12,2	2,2
	stadio 2	1800	44	57,6	0,12	24,3	4,34

Il consumo totale di corrente dei vari stadi è di circa 25mA , gli induttori sono dimensionanti in modo da avere area minima.

3.7 Schema completo del Phase shifter e grafici delle simulazioni

Lo schema completo del circuito Phase shifter è mostrato in figura 3.20, comprende il buffer d'ingresso, il filtro polifase del terzo ordine, lo stadio di amplificazione intermedio, il multiplexer e il buffer di uscita.

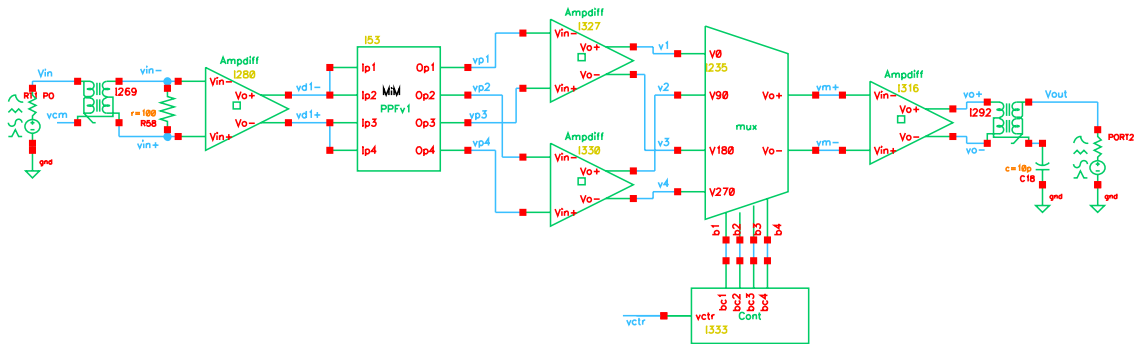


Figura 3.20: Schema completo del circuito Phase shifter

In figura 3.21 è mostrata la simulazione ai parametri S del phase shifter, la risposta in frequenza del modulo S_{21} , e del modulo dei coefficienti di riflessione S_{11} e S_{22} . Il guadagno in banda è di circa 6dB , invece l'adattamento è inferiore a -12dB .

La risposta della fase di S_{21} è mostrata in figura 3.22, nella banda di funzionamento lo sfasamento relativo fra le fasi è di $90^\circ \pm 1^\circ$.

3. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO POLIFASE NELLA BANDA -X

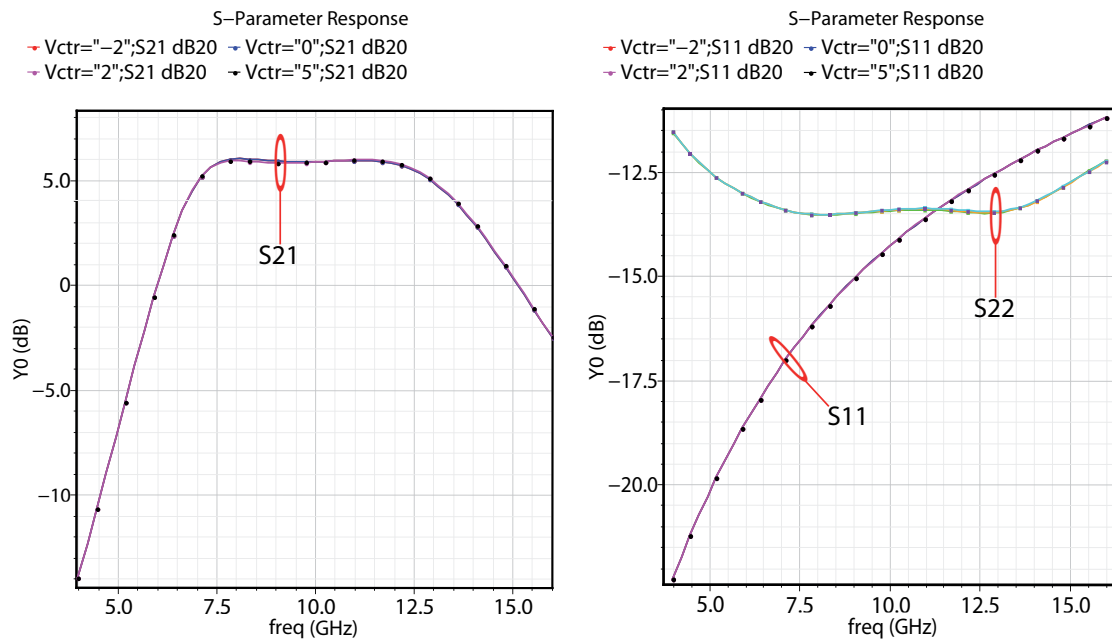


Figura 3.21: Simulazione ai parametri S del phase shifter, S_{21} , S_{11} e S_{22} .

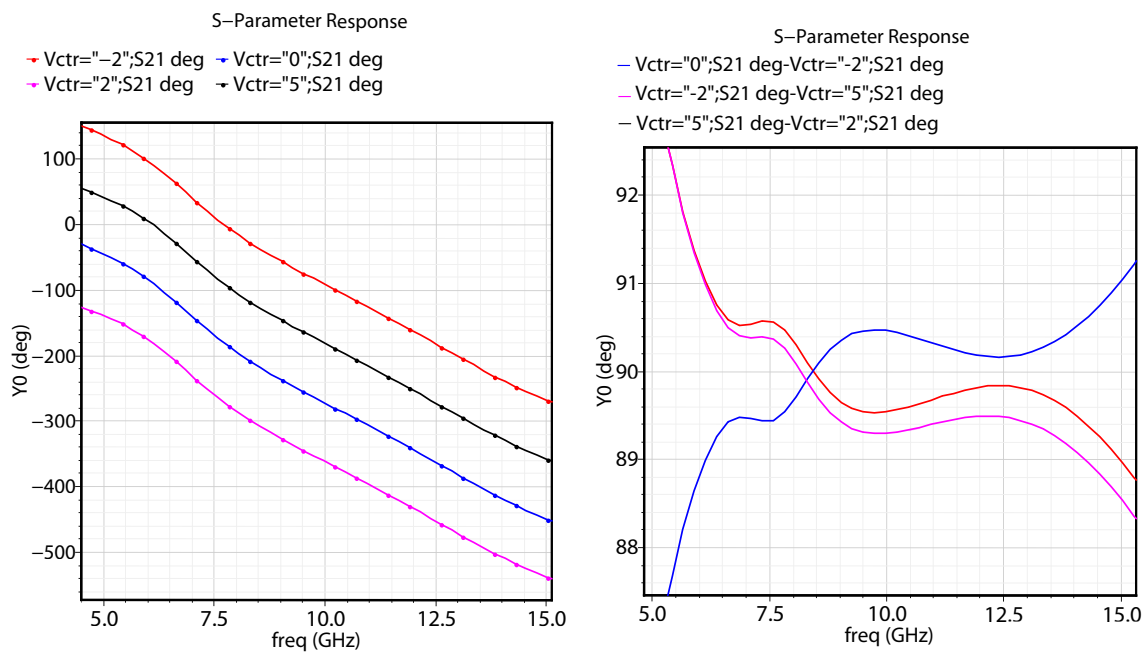


Figura 3.22: Simulazione ai parametri S del phase shifter, risposta della fase di S_{21} .

Capitolo 4

Progettazione di un Phase Shifter con un filtro passa-alto/passa-basso nella banda -X

Per confrontare il phase shifter a filtro polifase progettato prima è stato progettato un phase shifter con la topologia passa-alto/passa-basso a due bit.

4.1 Dimensionamento filtro passa-alto/passa-basso da 90° e 180°

Dalle equazioni (2.20), (2.21) e (2.22) viste nel capitolo due si dimensiona il filtro passa alto/passa-basso di tipo II alla frequenza centrale della banda $\omega_0 = 10GHz$. Per il filtro passa-alto i valori di L e C si calcolano da,

$$L = \frac{Z_0}{\omega_0} \sin\left(\frac{\Delta\phi}{2}\right), \quad C = \frac{1}{Z_0\omega_0} \tan\left(\frac{\Delta\phi}{4}\right) \quad (4.1)$$

dove $Z_0 = 50$ è l'impedenza caratteristica della linea.

Invece per il filtro passa-basso i valori di L e C sono dati da,

$$L = \frac{Z_0}{\omega_0} \left(\tan\left(\frac{\Delta\phi}{4}\right) \right)^{-1}, \quad C = \frac{1}{Z_0\omega_0} \left(\sin\left(\frac{\Delta\phi}{2}\right) \right)^{-1} \quad (4.2)$$

4. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO PASSA-ALTO/PASSA-BASSO NELLA BANDA -X

I valori dei componenti calcolati tramite le equazioni (4.1) e (4.2) per il filtro passa-alto/passa-basso da 90° e quello da 180° sono mostrati nella tabella 4.1

Tabella 4.1: Valori dei componenti del filtro passa-alto/passa-basso tipo II.

	Passa-basso		Passa-alto	
	L [pH]	C [fF]	L [pH]	C [fF]
Filtro da 90°	563	132	1920	450
Filtro da 180°	795	318	795	318

Come interruttori per effettuare la commutazione da una rete passa-alto all'altra passa-basso sono stati utilizzati dei pass transistor nMOS della libreria tecnologica UMC 130nm. I due filtri da 90° e 180° sono stati simulati separatamente, prima utilizzando dei interruttori ideali e dopo quelli realizzati con gli nMOS. In figura 4.1 è mostrato il filtro da 90° con i due interruttori differenziali per la selezione di uno dei due percorsi passa-alto o passa-basso.

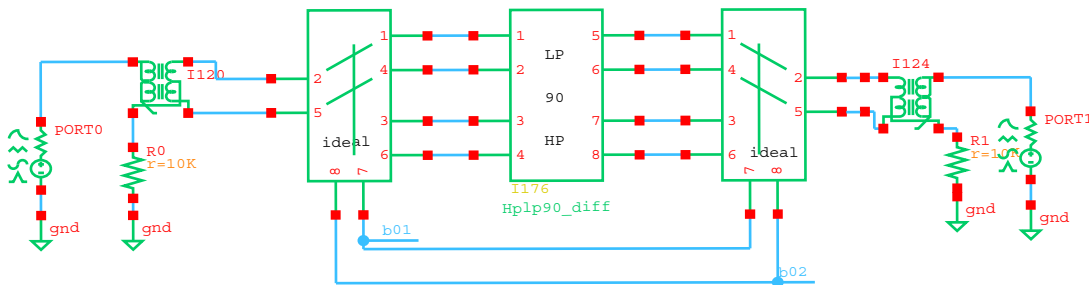


Figura 4.1: Schematico del filtro con gli interruttori

Il filtro differenziale da 90° di tipo II passa-basso è mostrato in figura 4.2 a), quello passa-alto in figura 4.2 b).

La risposta in frequenza del modulo S21 e del modulo S11, simulazione ai parametri S, del filtro da 90° è mostrata in figura 4.3. Con gli interruttori ideali nella banda di funzionamento ($8 - 12GHz$) non si ha attenuazione di S21, invece usando gli nMOS l'attenuazione è intorno ai 3dB. Il modulo del coefficiente di riflessione S11 passa da -25dB con gli interruttori ideali, ha -12dB con gli interruttori a nMOS.

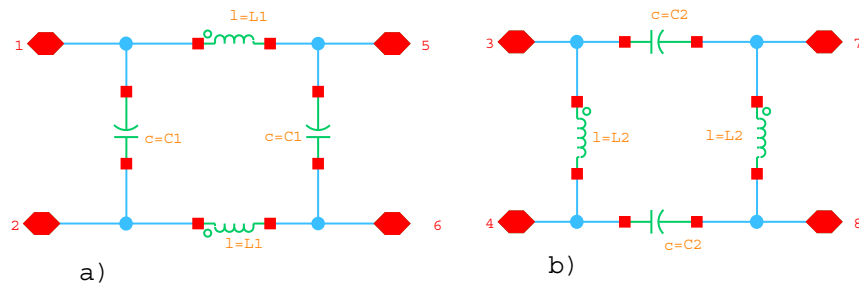


Figura 4.2: a) filtro differenziale passa-basso, b) filtro differenziale passa-alto

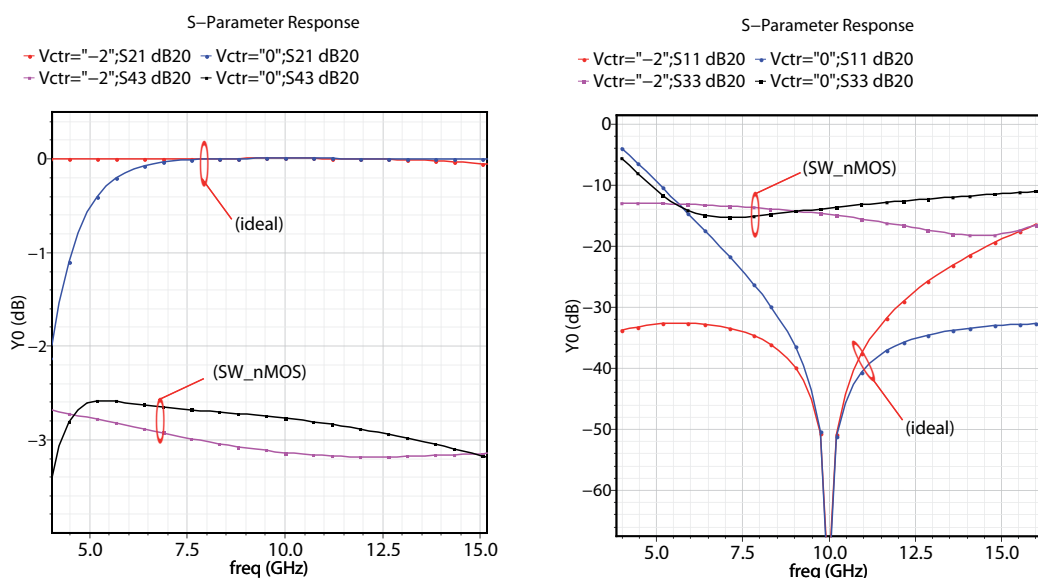


Figura 4.3: Simulazione ai parametri S del filtro da 90° e l'effetto degli interruttori nMOS

La differenza di fase fra i due percorsi passa-alto/passa-basso nella banda di funzionamento è di $90^\circ \pm 2^\circ$. Gli interruttori nMOS introducono una piccola traslazione verso destra della curva di differenza di fase, vedi figura 4.4.

Nella risposta in frequenza del modulo di S21 del filtro da 180° si ha una attenuazione di circa 3dB con gli interruttori nMOS. Invece la risposta del modulo del coefficiente di riflessione S11 presenta un valore massimo di -12dB in entrambi i casi. In figura 4.5 viene mostrato la risposta di S21 e S11.

La risposta della differenza di fase, vedi figura 4.6, fra i due percorsi passa-alto/passa-basso nel filtro da 180° presenta uno scostamento di 10° rispetto ai 180° , molto di più rispetto al filtro da 90° dove la variazione è di 2° rispetto a 90° .

4. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO PASSA-ALTO/PASSA-BASSO NELLA BANDA -X

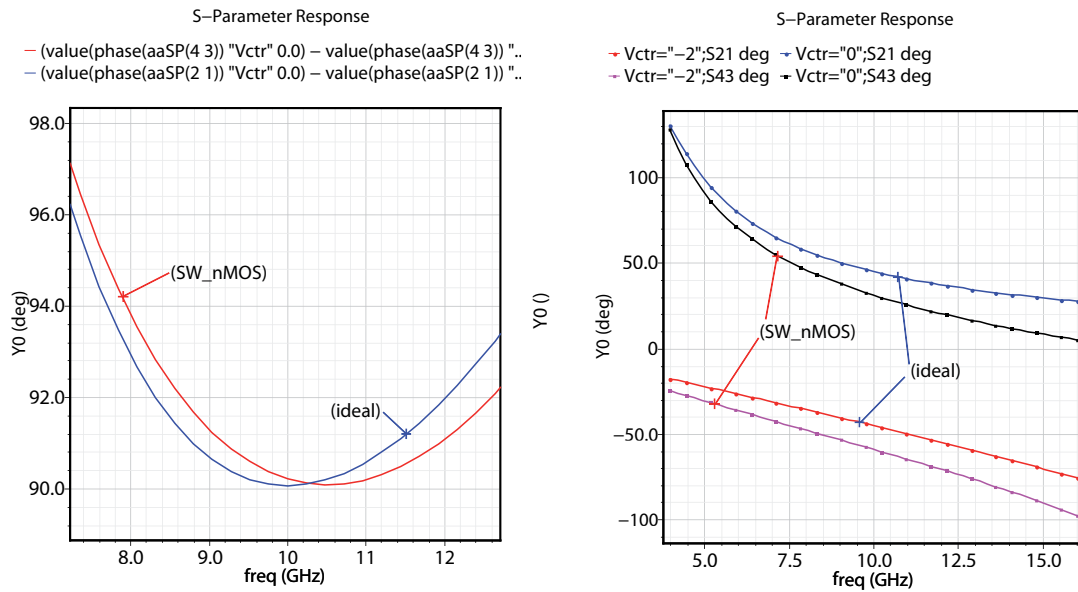


Figura 4.4: Risposta della fase del filtro da 90°

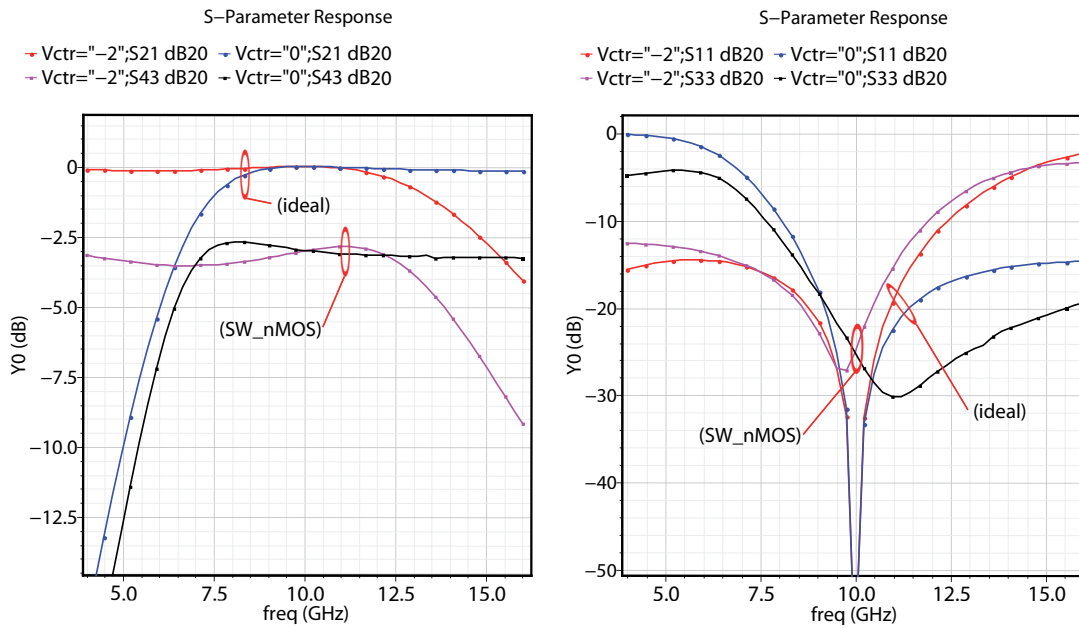


Figura 4.5: Simulazione ai parametri S del filtro da 180° e l'effetto degli interruttori nMOS

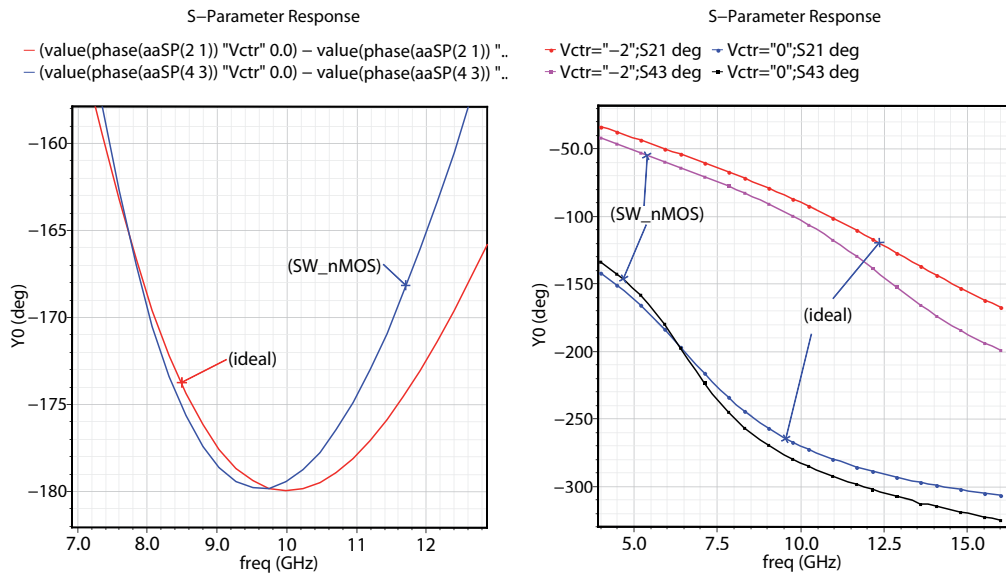


Figura 4.6: Risposta della fase del filtro da 180°

4.2 Risposta del phase shifter formato dalla cascata dei due filtri da 90° e 180°

La cascata dei due filtri collegati tramite interruttori deviatori forma un phase shifter a due bit, vedi figura 4.7. Variando la posizione degli interruttori si regola la fase in uscita a passi di 90° .

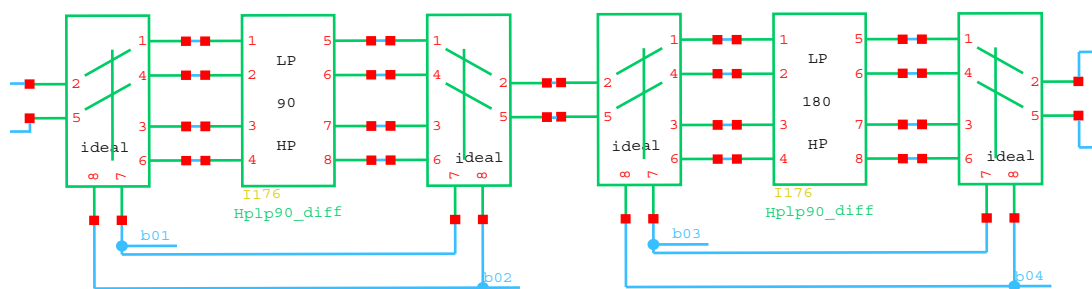


Figura 4.7: Cascata dei due filtri da 90° e 180°

Un modello semplice dell'interruttore nMOS è mostrato in figura 4.8. Nello stato chiuso è rappresentato da un resistenza serie r_{on} fra drain e source con due capacità C_d e C_s verso massa.

Le due capacità si possono includere nei componenti del filtro, invece la resistenza r_{on} non si riesce a compensare senza aggiungere altri componenti al filtro.

4. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO PASSA-ALTO/PASSA-BASSO NELLA BANDA -X

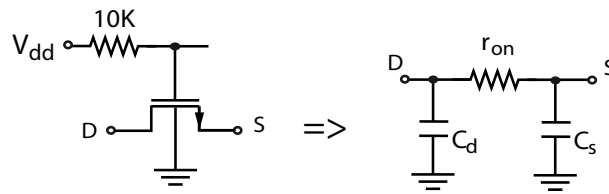


Figura 4.8: Modello semplificato dell'interruttore nMOS nello stato chiuso

Per il filtro passa-basso, tenendo conto della capacità parassita degli interruttori, il nuovo valore per il condensatore è: $C' = C - C_p$, per quello passa alto si calcola il valore nuovo dell'induttanza dall'equazione:

$$L' = \frac{L}{1 + \omega_0^2 LC_p} \quad (4.3)$$

In figura 4.9 è mostrato la simulazione ai parametri S del phase shifter a due bit nei quattro stati possibili degli interruttori ideali. Nella banda di funzionamento S21 vale circa 0dB, S11 ha un valore massimo di -11dB.

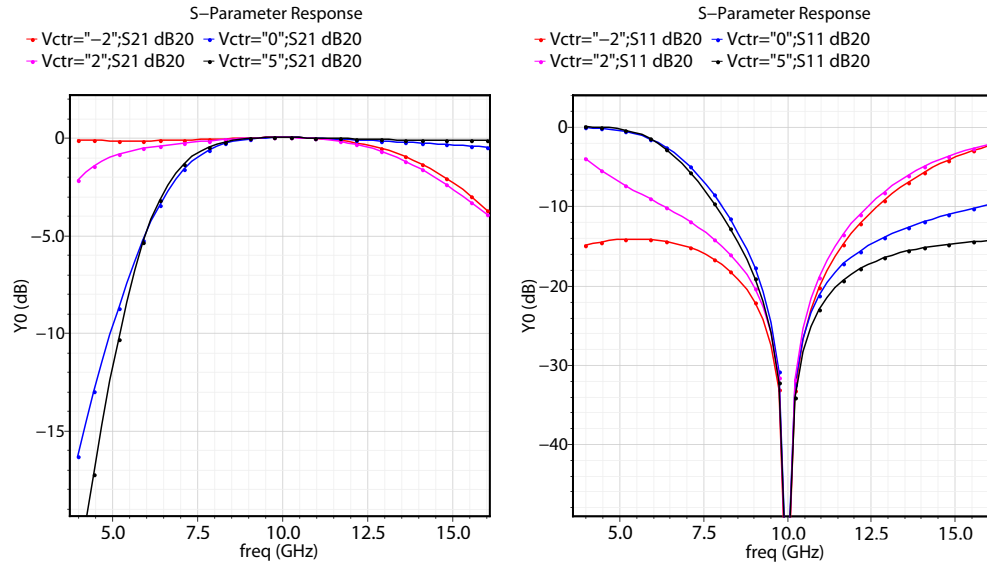


Figura 4.9: Simulazione ai parametri S del phase shifter a due bit

La risposta della fase di S21 è mostrata in figura 4.10. Dal grafico si vede che l'errore della fase è molto grande. Le quattro curve idealmente nella banda di funzionamento dovrebbero mantenere una distanza una dall'altra di 90° . Questa distanza, la differenza di fase fra i vari stati, varia fino ha 28° al limite inferiore della banda ($8GHz$).

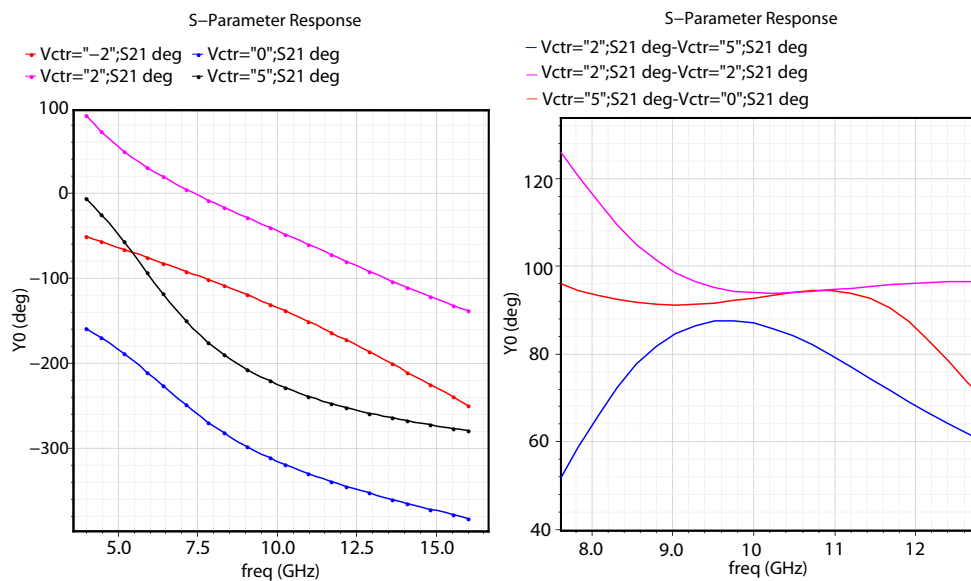


Figura 4.10: Risposta della fase di S21

Per via di questo errore grande nella risposta della fase si è deciso di ridimensionare i due filtri da 90° e 180° . Per il filtro passa-alto si è cambiata la frequenza ω_0 di calcolo dei componenti da $10GHz$ a $8GHz$, invece per il filtro passa basso da $10GHz$ a $12GHz$. Questa modifica aumenta la banda di funzionamento dei due filtri e migliora la risposta della fase della cascata.

In tabella 4.2 sono mostrati i nuovi valori dei componenti calcolati variando la frequenza ω_0 , tenendo conto anche delle capacità parassite degli interruttori.

Tabella 4.2: Valori nuovi dei componenti del filtro passa-alto/passa-basso.

	Passa-basso		Passa-alto	
	L [pH]	C [fF]	L [pH]	C [fF]
Filtro da 90°	546	80	1470	483
Filtro da 180°	600	357	577	440

Inoltre per avere un confronto più diretto con il phase shifter a filtro polifase progettato nel capitolo precedente si sono aggiunti due buffer, uno all'ingresso e uno all'uscita. I due buffer sono identici e hanno la stessa struttura del buffer di uscita progettato per il primo phase shifter. I valori dei componenti del buffer di ingresso e di uscita sono mostrati in tabella 4.3

La risposta del modulo di S21 e del modulo di S11 del phase shifter con l'aggiunta dei due buffer è mostrata in figura 4.11. In questo caso sia ha un guadagno

4. PROGETTAZIONE DI UN PHASE SHIFTER CON UN FILTRO PASSA-ALTO/PASSA-BASSO NELLA BANDA -X

Tabella 4.3: Dimensionamento buffer d'ingresso e di uscita.

		Ld [pH]	Rd [Ω]	W [μm]	L [μm]	gm [mS]	2*Id [mA]
Buffer Ingresso	stadio 1	3500	180	28,8	0,12	12,2	2,2
	stadio 2	-	-	57,6	0,12	19,8	3,14
Buffer Uscita	stadio 1	3500	180	28,8	0,12	12,2	2,2
	stadio 2	-	-	57,6	0,12	19,8	3,14

nel modulo S21 con un valore massimo che varia dai 2dB ai 4dB, in funzione dello stato degli interruttori. La risposta di S21 presenta un valore massimo di -20dB e l'adattamento risulta migliore rispetto al caso senza buffer.

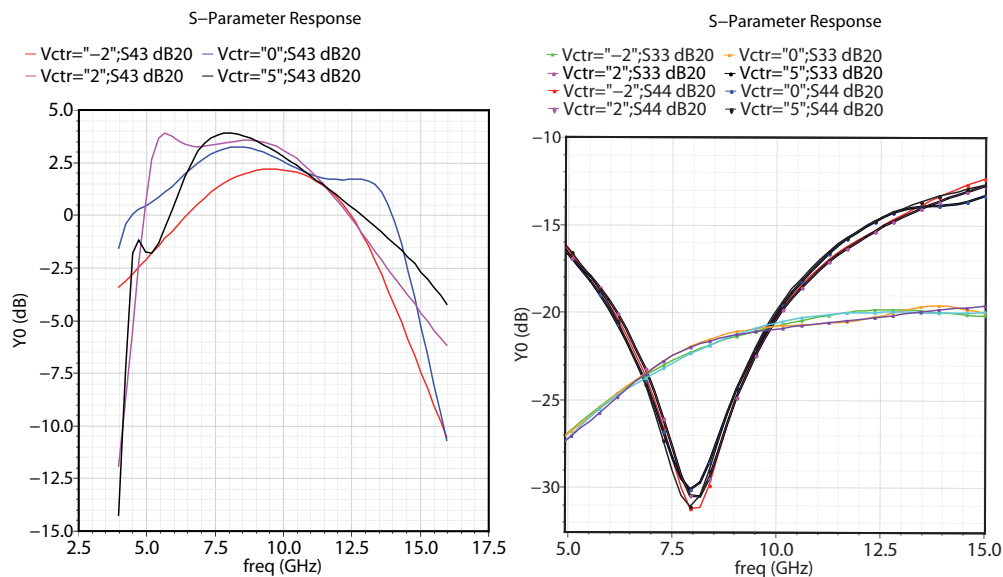


Figura 4.11: Risposta del modulo di S21 e S11, phase shifter a due bit

La risposta della fase di S21 è mostrata in figura 4.12. Rispetto al primo dimensionamento la risposta della fase ha un errore inferiore, 20° di errore massimo contro 28° di prima.

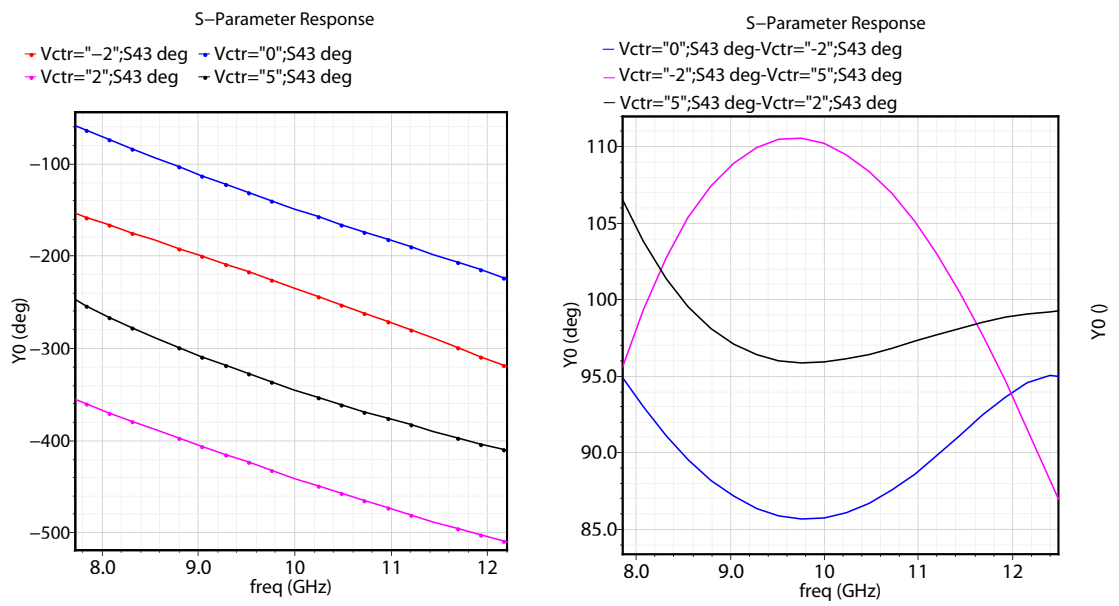


Figura 4.12: Risposta della fase di S21, phase shifter a due bit

Capitolo 5

Conclusioni

In questa tesi è stato realizzato un phase shifter con una topologia alternativa utilizzando un filtro polifase. Da un segnale d'ingresso differenziale tramite il filtro polifase si sono generati quattro segnali in quadratura. In uscita, tramite il multiplexer, si seleziona uno solo dei quattro segnali. Si è realizzato in questo modo un phase shifter digitale a due bit, con risoluzione di 90° . Nel capitolo quattro, per fare un confronto, si è realizzato un altro phase shifter digitale a due bit con una topologia convenzionale passa-alto/passa-basso.

Dalle simulazioni si è visto che la soluzione del phase shifter con filtro polifase presenta una risposta decisamente migliore sia nel modulo che nella fase di S21.

La variazione del guadagno nella soluzione a filtro polifase nella banda di funzionamento risulta inferiore a 0.5dB, invece con la soluzione standard a filtro passa-alto/passa-basso la variazione supera i 3dB. Avendo utilizzato i buffer la risposta del modulo di S11 e S22 risulta circa la stessa per entrambe le soluzioni.

La risposta della fase, che interessa di più, nella prima soluzione ha un errore che non supera 1° ; nella soluzione standard questa variazione è di 20° .

Un altro vantaggio molto importante della soluzione con filtro polifase è che si può realizzare senza utilizzare induttori (ad esclusione di quelli utilizzati nei buffer), riducendo in modo significativo l'area del chip e di conseguenza il costo. Nel progetto sono stati utilizzati dei induttori a basso Q (con area minima) per aumentare la banda dei vari stadi di buffer e amplificazione. Utilizzando una tecnologia più scalata molto probabilmente non vi è la necessità di utilizzare nessun induttore.

Per contro il consumo di potenza nella prima soluzione è maggiore rispetto alla seconda (standard), circa 30mW contro 13mW, più del doppio.

Appendice A

Matrice di *Scattering* e Matrice di *Trasmissione ABCD*

Matrice di *Scattering*

Quando si lavora con circuiti a radiofrequenza è molto più semplice misurare le onde incidenti e trasmesse (potenze) riferendosi all'impedenza della linea di trasmissione, invece di misurare tensioni e correnti riferendosi a circuiti aperti e corto circuiti (difficilmente realizzabili a radiofrequenza) come si fa di solito a bassa frequenza utilizzando le matrici Z , Y o $ABCD$. Questo porta alla definizione della matrice di *scattering* che lega le onde incidenti a quelle riflesse a ciascuna porta con le altre porte adattate, figura A.1.

Per ogni porta le onde incidenti e riflesse sono definite in funzione dell'impedenza caratteristica $Z_{0,i}$ della linea di trasmissione connessa a quella porta,

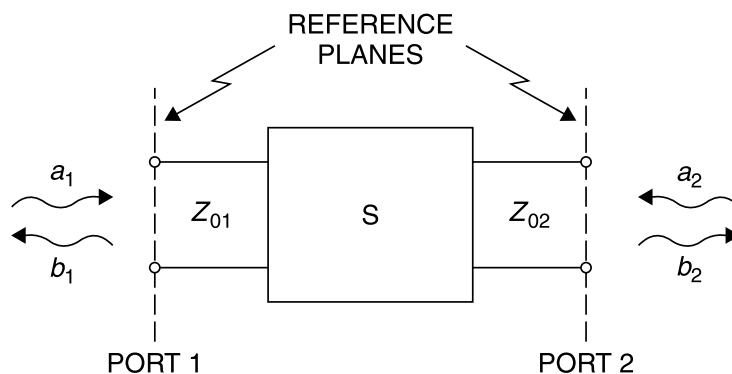


Figura A.1: Rete a due porte, definizione di onde incidente \mathbf{a} e onda riflessa \mathbf{b}

$$a_i = \frac{V_i^+}{\sqrt{Z_{0,i}}} = I_i^+ \sqrt{Z_{0,i}} \quad e \quad b_i = \frac{V_i^-}{\sqrt{Z_{0,i}}} = I_i^- \sqrt{Z_{0,i}}, \quad (\text{A.1})$$

dove V_i^+ , V_i^- , I_i^+ e I_i^- sono le onde di tensione e corrente incidenti e riflesse. Definito gli a_i e b_i , per una rete a due porte si può scrivere la matrice di scattering nella forma,

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (\text{A.2})$$

dove gli elementi della matrice di *scattering* sono definiti come segue:

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0}, \quad S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0}, \quad S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0}, \quad S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0}. \quad (\text{A.3})$$

I nomi associati a questi coefficienti sono:

- S_{11} coefficiente di riflessione alla porta di ingresso
- S_{22} coefficiente di riflessione alla porta di uscita
- S_{21} coefficiente di trasmissione diretto
- S_{12} coefficiente di trasmissione inverso

Per una rete di n-porte si può scrivere la matrice di *scattering* nella forma,

$$[\mathbf{b}] = [\mathbf{S}][\mathbf{a}], \quad S_{ij} = \left. \frac{b_i}{a_j} \right|_{a_k=0, \forall k \neq j}. \quad (\text{A.4})$$

Matrice *ABCD*

La matrice ABCD lega tensioni e correnti in modo simile a quelle Z e Y, con la differenza che tale matrice è definita solo per una rete a due porte e la direzione della corrente nella seconda porta è uscente.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (\text{A.5})$$

dove gli elementi A,B,C e D sono definiti dalle relazioni,

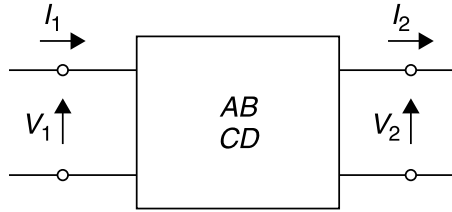


Figura A.2: Rete a due porte, definizione versi di tensioni e correnti utilizzati nella matrice ABCD.

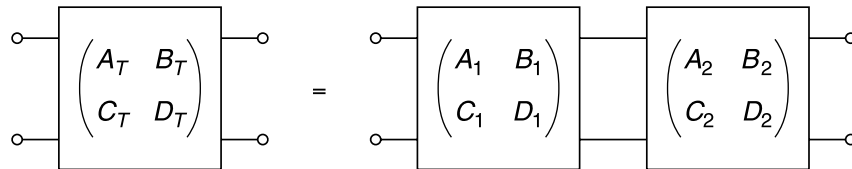


Figura A.3: Cascata di due reti equivalente ad una rete singola.

$$A = \left. \frac{V_1}{V_2} \right|_{I_2=0}, \quad B = \left. \frac{V_1}{I_2} \right|_{V_2=0}, \quad C = \left. \frac{I_1}{V_2} \right|_{I_2=0}, \quad D = \left. \frac{I_1}{I_2} \right|_{V_2=0}. \quad (\text{A.6})$$

Un'importante proprietà della matrice ABCD che facilita molto i calcoli è che la cascata di due reti (a due porte) è rappresentata da una singola rete equivalente che a come matrice ABCD il prodotto delle matrici ABCD delle due reti.

$$\begin{bmatrix} A_T & B_T \\ C_T & D_T \end{bmatrix} = \begin{bmatrix} A_1 & B_1 \\ C_1 & D_1 \end{bmatrix} \cdot \begin{bmatrix} A_2 & B_2 \\ C_2 & D_2 \end{bmatrix} \quad (\text{A.7})$$

Bibliografia

- [1] Hubregt J.Visser, *Array and Phased Array Antenna Basics*, John Wiley & Sons, Ltd, England 2005. ISBN-13 978-0-470-87117-1 (HB).
- [2] David M.Pozar, *Microwave Engineering – 2nd ed*, John Wiley & Sons,Inc, New York 1998. ISBN 0-471-17096-8.
- [3] Frank Ellinger, *Radio Frequency Integrated Circuits and Technologies*, Springer,Verlag Berlin Heidelberg 2007. ISBN-10 3-540-35788-2.
- [4] Robert V. Garver, *Broad-Band Diode Phase Shifters* , *IEEE* Transactions on Microwave Theory and Techniques, Vol.20, May 1972.
- [5] Timothy M. Hancock, Member, *IEEE*, and Gabriel M. Rebeiz, Fellow, *IEEE*, *A 12-GHz SiGe Phase Shifter With Integrated LNA* , *IEEE* Transactions on Microwave Theory and Techniques, Vol.53, March 2005.
- [6] M.A. Morton, J.P. Comeau, J.D. Cressler, M. Mitchell and J. Papapolymerou *5 bit, silicon-based, X-band phase shifter using a hybrid pi/t high-pass/low-pass topology*, *IET Microw. Antennas Propag.*,Vol.2 ,February 2008.
- [7] Kwang-Jin Koh, Student Member, *IEEE*, and Gabriel M. Rebeiz, Fellow, *IEEE 0.13- μ m CMOS Phase Shifters for X-, Ku-, and K-Band Phased Arrays*, *IEEE Journal of Solid-State Circuits* , Vol.42, NO.11, November 2007
- [8] Pei-Si Wu, Student Member,*IEEE*, Hong-Yeh Chang, Member,*IEEE*, Ming-Da Tsai, Member, *IEEE*, Tian-Wei Huang, Senior Member, *IEEE*, and Huei Wang, Fellow,*IEEE*, *New Miniature 15-20Ghz Continuous-Phase/Amplitude*

Control MMICs Using 0.18- μ m CMOS Technology, *IEEE Transactions on Microwave Theory and Techniques*, Vol.54, NO.1, January 2006.

- [9] Kenichi Miyaguchi, Morishige Hieda, Kazuhiko Nakahara, Hitoshi Kurusu, Masatoshi Nii, Michiaki Kasahara, Tadashi Takagi, Members, *IEEE*, and Shuji Urasaki, Senior Member, *IEEE An Ultra-Broad-Band Reflection-Type Phase-Shifter MMIC With Series and Parallel LC Circuits*, *IEEE Transactions on Microwave Theory and Techniques*, Vol.49, NO.12, December 2001.
- [10] Woo-Jin Chang and Kyung-Ho Lee, *A Ku-Band 5-Bit Phase Shifter Using Compensation Resistors for Reducing the Insertion Loss Variation*, *ETRI Journal*, Vol.25, N0.1, February 2003.
- [11] Matthew A. Morton, Member, *IEEE*, and John Papapolymerou, Senior Member, *IEEE*, *A Packaged MEMS-Based 5-bit X-Band High-Pass/Low-Pass Phase Shifter*, *IEEE Transactions on Microwave Theory and Techniques*, March 2008.
- [12] Hui Dong Lee, Dong Woo Kang, Chung-Hwan Kim and Songcheol Hong, *A Ku-band MOSFET Phase Shifter MMIC*, 2004 *IEEE MTT-S Digest*.
- [13] Hui Dong Lee, Dong Woo Kang, Chung-Hwan Kim and Songcheol Hong, *A Ku-band 4-bit Compact Octave Bandwidth GaAs MMIC Phase Shifter*, *IEEE Transactions on Microwave Theory and Techniques*, Vol.51, NO.6, June 2008.
- [14] Frank Ellinger, Uwe Mayer, Michael Wickert, Niko Joram, Jens Wagner, Ralf Eickhoff, Ignacio Santamaria, Christoph Scheytt and Rolf Kraemer, *Integrated Adjustable Phase Shifters*, *IEEE Microwave Magazine*, October 2010.
- [15] Gingell, M. J.: *The synthesis and application of polyphase networks with sequence asymmetric properties*, Ph.D. Thesis, University of London, 1975.
- [16] Gingell, M. J.: *A symmetrical polyphase network*, British Patents 1,174,709 & 1,174,710. June 7, 1968. US Patent 3,559,042 & 3,618,133, Jan 26, 1971..

BIBLIOGRAFIA

- [17] Gingell, M. J.: *Single sideband modulation using sequence asymmetric polyphase networks*, Electrical Communication Magazine, vol. 48 (1973), pp. 21-25.
- [18] Fayrouz Haddad, Lakhdar Zaid, Wenceslass Rahajandraibe and Oussama Frioui, *Polyphase Filter Desing Methodology for Wireless Communication Applications*, IM2NP - University of Provence , Marseille -France.
- [19] Farbod Behbahani, Member, *IEEE*, Yoji Kishigami, John Leete, Member, *IEEE*, and Asad A. Abidi, Fellow, *IEEE*, *CMOS Mixers and Polyphase Filters for Large Image Rejection*, *IEEE Journal of Solid-State Circuits*, vol. 36, NO. 6, June 2001.
- [20] Galal, S. H.; Ragaie, H. F.; Tawfik, M. S.: *RC sequence asymmetric polyphase networks for RF integrated transceivers*. *IEEE Transactions on Circuit and System (II)*, vol.47 (2000), pp. 1127-1134.
- [21] Jouni Kaukokuuori, Member, *IEEE*, Kari Stadius, Member, *IEEE*, Jussi Ryyänänen, Member, *IEEE*, and Kari A. I. Halonen, Member, *IEEE*: *Analysis and Design of Passive Polyphase Filters*. *IEEE Transactions on Circuit and System (I)*, vol.55, NO.10, November 2008.
- [22] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer : *Analysis and Desing of Analog Integrated Circuits, Fourth Edition*. *University of California*. ISBN 0-471-32168-0 (2001).
- [23] Amit S. Nagra, Student Member, *IEEE*, and Robert A. York, Senior Member, *IEEE*: *Distributed Analog Phase Shifters with Low Insertion Loss* . *IEEE Transactions on Microwave Theory and Techniques*, Vol.47, NO.9, September 1999.

Ringraziamenti

Desidero ringraziare il Prof. Andrea Bevilacqua, relatore di questa tesi, per la grande disponibilità e cortesia dimostrata, e per tutto l'aiuto fornito durante la stesura. Inoltre desidero ringraziare i due Dottorandi, Matteo Bassi e Michele Caruso, del laboratorio ICARUS, per l'aiuto fornito nel utilizzare il software di progettazione.

Luis Rushiti

Padova, ottobre 2011