



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



UNIVERSITÀ DEGLI STUDI DI PADOVA
FACOLTÀ DI INGEGNERIA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE
CORSO DI LAUREA IN INGEGNERIA INFORMATICA

**Studio e analisi dei sistemi di
conversione analogico-digitale:
il caso del convertitore delta-sigma**

Relatore
Prof. Enrico Zanoni

Laureando
Viorel-Valer Mihali

ANNO ACCADEMICO 2021 – 2022

Data di laurea 22/07/2022

Indice

Capitolo 1	1
Sistemi di conversione ADC	1
1.1 Campionamento del segnale	2
1.2 Quantizzazione	3
1.3 Encoding (Codifica)	6
Capitolo 2	9
Classificazione dei convertitori ADC	9
2.1 Parametri di un convertitore	9
2.2 Tipologie di convertitori ADC	11
Capitolo 3	15
Convertitore sigma-delta ($\Sigma\Delta$)	15
3.1 Modulazione sigma-delta	16
3.2 Oversampling	17
3.3 Noise Shaping	19
3.4 Modulatore sigma-delta	21
3.5 Filtro digitale	23
3.6 Convertitore sigma-delta di ordine superiore	29
Conclusioni	33
Bibliografia	35
Sitografia	37

Capitolo 1

Sistemi di conversione ADC

Gran parte del dirompente progresso tecnologico, nell'ambito delle telecomunicazioni, dell'industria, dell'informatica, a cui l'uomo ha assistito negli ultimi decenni è dovuto al massiccio impiego di macchine come ausilio all'analisi e all'elaborazione delle informazioni che ci circondano. Tali macchine, grazie all'uso di sensori, ricevono in entrata un segnale, il quale viene digitalizzato per poi poter essere elaborato da dei calcolatori.

Nell'ambito ingegneristico un segnale è una grandezza fisica, variabile nel tempo e nello spazio, che contiene informazioni utili a descrivere quantitativamente e qualitativamente un fenomeno di interesse. In natura la maggioranza delle grandezze fisiche sono segnali analogici, cioè segnali descrivibili da funzioni continue nel dominio del tempo, assumono infiniti valori e sono "dense": tra un intervallo di tempo ed un altro esiste sempre un istante intermedio in cui il segnale assume un valore finito. Questo li rende difficili da trattare tramite calcolatori, i quali sono più affini a segnali discreti, ovvero segnali che assumono solo un numero finito di valori in determinati istanti di tempo. L'utilizzo di segnali digitali, discreti, semplifica notevolmente l'architettura necessaria per maneggiare tali dati e per memorizzarli. Ecco che dunque, nasce la necessità di convertire i segnali analogici in segnali digitali.

La conversione ADC (*analog to digital conversion*) avviene in più fasi:

- Campionamento del segnale (Sampling);
- Quantizzazione;
- Encoding.

1.1 Campionamento del segnale

La fase di campionamento prevede, attraverso un circuito sample-hold, di leggere il segnale analogico a intervalli di tempo costanti, uguali a $T_s = 1/f_s$, dove T_s è il periodo di campionamento e f_s è la frequenza di campionamento. Posto $x(t)$ il segnale analogico originale, attraverso il sampling, otterremo il segnale campionato $x_s(t) = x(kT_s)$. I vari valori del segnale campionato verranno successivamente quantizzati e codificati in numeri binari.

Idealmente tale processo dovrebbe essere istantaneo, o meglio la conversione deve avvenire in un istante di tempo, a tal fine da ottenere, dal segnale campionato, la codifica binaria per il calcolatore in un tempo nullo, ma ciò non avviene nella realtà. Dall'istante in cui il convertitore preleva un campione del segnale a quando questo viene codificato, passa un intervallo di tempo T_{conv} , che può avere, in base al convertitore utilizzato, la durata di qualche *ms*. Durante questo intervallo, il segnale in ingresso assumerà, in generale, valori diversi da quello campionato e ciò può dare vita a errori di digitalizzazione. Questa evenienza viene fronteggiata tramite la fase di *hold* del circuito, in cui attraverso un interruttore e un condensatore viene mantenuto il valore campionato per il tempo necessario alla sua codifica.

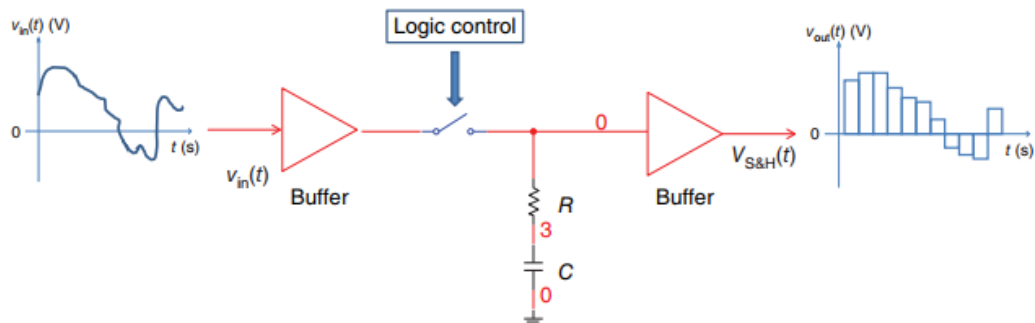


Figura 1. Schema di un circuito Sample-Hold

Come possiamo osservare in Figura 1, il circuito è composto da un amplificatore in ingresso, di guadagno unitario (buffer), che genera una copia a bassa impedenza del segnale in ingresso. Per mantenere il valore del segnale all'istante di campionamento all'interno del condensatore basterà aprire l'interruttore. L'enorme impedenza d'ingresso del secondo buffer fa sì che la corrente di ingresso sia quasi nulla, evitando la scarica del condensatore, il quale mantiene la tensione del segnale campionato fino a quando l'interruttore non verrà di nuovo chiuso e aggiornerà il suo valore della tensione.

Visto il funzionamento del circuito sample-hold, bisogna ora fare un'importante considerazione per quanto riguarda la frequenza di campionamento. L'intuizione ci porta a pensare che tramite il campionamento si perda parte delle informazioni portate dal segnale. Ciò sarebbe vero, se non venissero rispettate alcune condizioni, imposte dal teorema di Nyquist-Shannon, che afferma:

Teorema di Nyquist-Shannon. *Se il segnale $x(t)$ è un segnale a banda limitata e la frequenza di campionamento $f_s > 2f_M$, dove f_M è il limite superiore della banda del segnale, allora il segnale campionato $x_s(t)$ determina univocamente $x(t)$.*

Nel caso in cui f_s non rispetti tale condizione, avremmo quello che viene definito effetto “*aliasing*”. Nel dominio delle frequenze, le ripetizioni periodiche della trasformata di Fourier del segnale $X(f)$ si sovrapporrebbero l'una all'altra, rendendo impossibile ricostruire il segnale originale. Una semplice soluzione a questo fenomeno è l'applicazione di un filtro passa-basso all'ingresso, che limita la banda del segnale e pone f_M inferiore a $f_s/2$.

1.2 Quantizzazione

Dopo la fase di campionamento avremo una copia del segnale originario discretizzato nel tempo, che può assumere valori con continuità in un intervallo di ampiezze $x_s \in [V_{min}, V_{MAX}]$. Come fatto per il sampling, ora è necessario discretizzare questo intervallo di valori, raggruppando in un numero finito (M) di livelli compresi nell'intervallo, come mostrato in Figura 2.

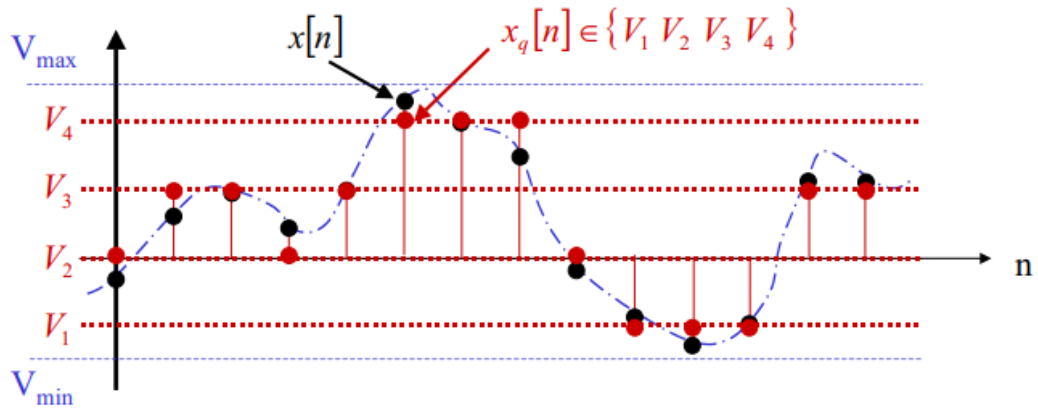


Figura 2. Quantizzazione a 4 livelli di un segnale

Se il valore massimo e minimo che il sample può assumere è $-V$ e $+V$ possiamo osservare, nella Figura 3, la caratteristica tra il valore campionato e il valore quantizzato.

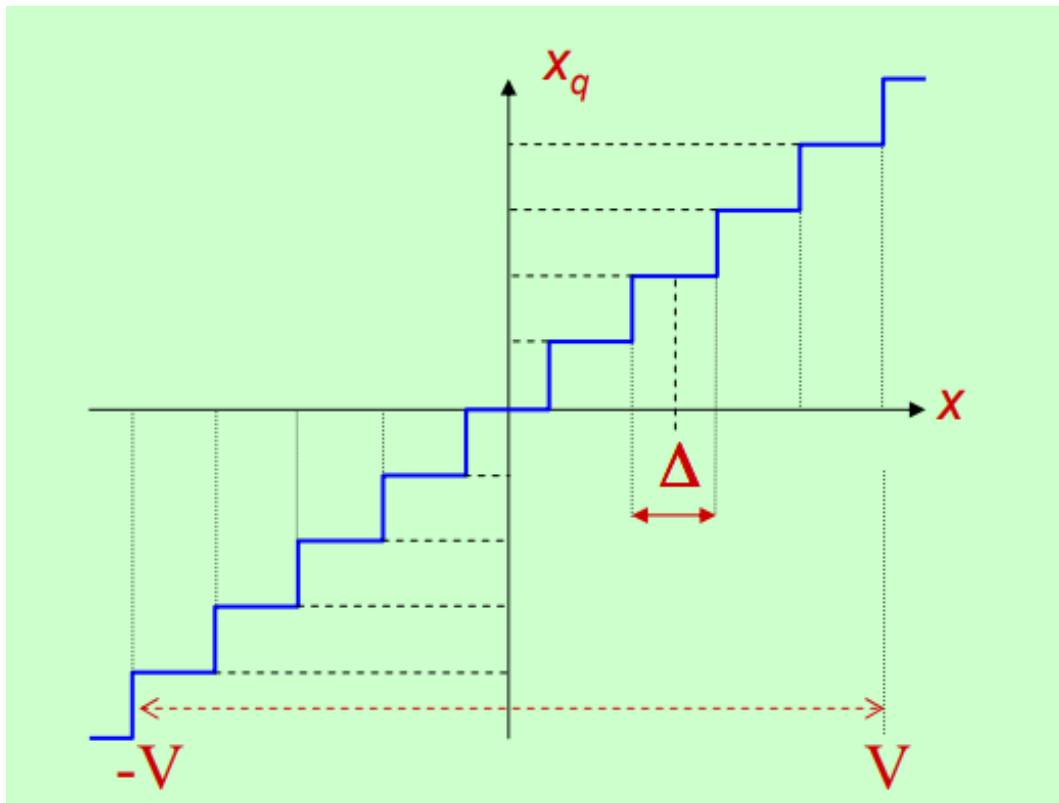


Figura 3. Caratteristica tra ingresso e uscita di un quantizzatore uniforme

L'intervallo di quantizzazione, o passo di quantizzazione, è dato da: $\Delta = \frac{2V}{M}$, questo corrisponde al bit meno significativo del codice di uscita (LSB= Δ).

Nel raggruppamento dell'asse dei valori, è inevitabile una perdita di informazione, e dunque la generazione di un errore, si tratta dell'errore di quantizzazione.

Quest'ultimo è irreversibile; dopo la quantizzazione del segnale non è più possibile recuperare l'informazione persa. L'errore, nel dettaglio, è dato dalla differenza tra il sample del segnale e il valore quantizzato assegnato al sample:

$$e_q(kT_s) = x(kT_s) - x_q(kT_s)$$

Esso viene modellizzato come un segnale aggiuntivo al segnale d'ingresso, chiamato rumore di quantizzazione.

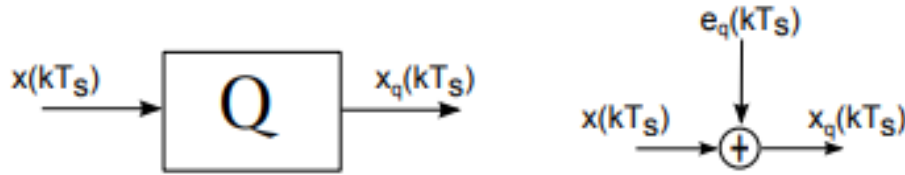


Figura 4. Modellizzazione dell'errore di quantizzazione

Se il numero M di livelli è sufficientemente alto, gli intervalli di quantizzazione risultano essere piccoli, il che permette di considerare l'errore e_q come rumore bianco, cioè una variabile aleatoria con valore medio nullo e densità di probabilità uniforme tra $-\Delta/2$ e $+\Delta/2$. Ciò implica che la probabilità di errore del segnale $x(t)$ è data da:

$$p_{eq}(x) = \frac{1}{\Delta} \text{rect}\left(\frac{x}{\Delta}\right)$$

che ci permette di calcolare la varianza dell'errore (coincidente con la potenza, essendo a media nulla)

$$P_e = \text{Var}(e_q) = \int_{-\infty}^{+\infty} x^2 p_{eq}(x) dx = \frac{1}{\Delta} \int_{-\Delta/2}^{+\Delta/2} x^2 dx = \frac{\Delta^2}{12}$$

Al medesimo risultato si giunge considerando la *Power Spectral Density* (PSD) costante, essendo rumore bianco, in un intervallo della banda tra 0 e $f_s/2$. La PSD descrive la distribuzione della potenza di un segnale nel dominio delle frequenze. La potenza del rumore introdotto dalla quantizzazione ci indirizza verso un importante parametro, il *Signal to Noise Ratio* (SNR), indice dell'incidenza dell'errore generato sul segnale originale. Esso è dato dalla seguente formula:

$$\text{SNR} = \frac{P_x}{P_e} = \left(\frac{A_x}{A_e}\right)^2$$

laddove P_x è la potenza del segnale da convertire, P_e la potenza del rumore precedentemente calcolata, A_x e A_e sono i valori efficaci dei rispettivi segnali.

Sappiamo che $A_e = \sqrt{P_e} = \frac{\Delta}{\sqrt{12}}$, mentre A_x dipende dal segnale in ingresso. Assumendo $x(t)$ un segnale sinusoidale, $A_x = \frac{V}{\sqrt{2}}$.

Passando alla scala logaritmica ricalcoliamo l'SNR:

$$SNR_{dB} = 20 \log \left(\frac{A_x}{A_e} \right) = 20 \log \left(\frac{V/\sqrt{2}}{\Delta/\sqrt{12}} \right) = 20 \log \left(\frac{V/\sqrt{2}}{2V/M\sqrt{12}} \right)$$

Con M rappresentabile da 2^n bit, svolgendo i conti otteniamo

$$SNR_{dB} = 20 \log \left(2^n \sqrt{\frac{3}{2}} \right) = (6.02n + 1.76)dB$$

Dalla relazione ricavata possiamo vedere come lo SNR sia dipendente dal numero n di bit utilizzati per la quantizzazione. Nella progettazione di un convertitore ADC il numero n di bit prende il nome di *risoluzione* del convertitore. Una maggiore risoluzione comporta una maggiore precisione della conversione. La caratteristica tra ingresso e uscita, mostrata in Figura 3, tanto si più si avvicina graficamente a una retta, quindi a una corrispondenza uno a uno tra segnale in ingresso e segnale convertito, quanto maggiore è la risoluzione.

1.3 Encoding (Codifica)

La quantizzazione del segnale campionato ha come risultato dei valori di tensioni, espressi in numeri decimali. Per poter essere elaborati ed immagazzinati in un calcolatore, devono essere convertiti in un numero binario, interpretabile dal calcolatore. Il processo che effettua tale operazione, prende il nome di codifica.

In base al tipo di segnale, unipolare o bipolare, vengono usate diverse codifiche, in funzione anche del tipo di architettura su cui è implementato il calcolatore.

Per i segnali unipolari, ossia segnali sempre positivi, la codifica più semplice è il binario naturale, sistema di numerazione posizionale in base due, nel quale un numero intero N viene rappresentato da una sequenza di n bit:

$$N = b^{n-1} \cdot 2^{n-1} + \dots + b^0 \cdot 2^0$$

Vengono utilizzati inoltre anche le seguenti codifiche:

- Binario frazionario: utilizzato per interpretare i valori di uscita come frazioni del valore di fondo scala;
- BCD (*Binary Coded Decimal*): utilizzato per visualizzare l'uscita del convertitore in forma decimale;
- Gray: la commutazione tra due valori successivi è caratterizzata dalla variazione di un singolo bit. Tale procedura abbassa il peso dell'errore che si commette rispetto ad altre codifiche e per questo motivo viene impiegato su convertitori ad alta velocità di conversione;

Per rappresentare i segnali bipolari le codifiche più usate sono:

- Ampiezza e segno: il primo bit viene usato per rappresentare il segno (0 per il segno + e 1 per il segno -), mentre i restanti bit vengono impiegati per il valore assoluto. In questa rappresentazione bisogna fare attenzione alla doppia codifica del numero naturale 0, che assume due configurazioni di bit (1000_2 e 0000_2);
- Offset P: in tale rappresentazione si parte dal fondo scala negativo con il numero binario $00\dots 0$ e si incrementa di uno per ogni valore quantizzato;
- Complemento a uno: la rappresentazione dei numeri interi positivi avviene tramite il codice binario semplice, mentre per i valori negativi si “complementa” il valore positivo, cioè si trasformano i singoli bit nel loro opposto (lo 0 diventa 1 e viceversa). Come per la codifica ampiezza e segno, il primo bit rappresenta il segno ed abbiamo una doppia codifica del valore 0;
- Complemento a due: la rappresentazione dei valori positivi avviene come per la codifica a complemento a uno, mentre per i valori negativi si aggiunge una unità al complemento a uno. È la soluzione più diffusa nei calcolatori in quanto presenta vari vantaggi: una sola rappresentazione dello zero, una struttura ciclica (aggiungendo una unità al massimo numero rappresentabile si ottiene il minimo dei numeri rappresentati); inoltre permette di svolgere operazioni aritmetiche con i numeri negativi seguendo le stesse regole valide per i numeri positivi.

Capitolo 2

Classificazione dei convertitori ADC

Come già detto, i convertitori ADC presentano caratteristiche e specifiche diverse, le quali sono frutto di tecniche di conversioni differenti, in base al tipo di architettura e tecnologia usato per la conversione si ottengono prestazioni diverse.

2.1 Parametri di un convertitore

Si presenta di seguito un elenco dei principali parametri che caratterizzano le prestazioni di un convertitore ADC:

- **Risoluzione:** il numero n di bit con cui il convertitore codifica i valori campionati del segnale ingresso, come anticipato precedentemente. La risoluzione inoltre offre una stima della sensibilità della conversione, di conseguenza della minima variazione della tensione d'ingresso in grado un cambiamento dell'LSB nel codice binario in uscita;
- **Tensione di fondo scala:** l'ampiezza massima del segnale d'ingresso che può essere convertito dall'ADC;

- **Tempo di conversione:** il tempo necessario al convertitore di effettuare la conversione del segnale in ingresso al codice binario in uscita. Esso condiziona il periodo di campionamento del convertitore, infatti la conversione del campione deve essere effettuata prima che venga fatto il sampling successivo;
- **Errore di linearità:** deviazione massima della caratteristica reale dalla caratteristica ideale, chiamato anche *errore di gain*;
- **Errore di non-linearità differenziale:** altezza non costante dei gradini della caratteristica;
- **Errore di offset:** errore che trasla la caratteristica reale rispetto alla caratteristica ideale. Viene espresso in termini di LSB e rappresenta la distanza tra le due curve. Tale errore è recuperabile tramite una opportuna taratura.

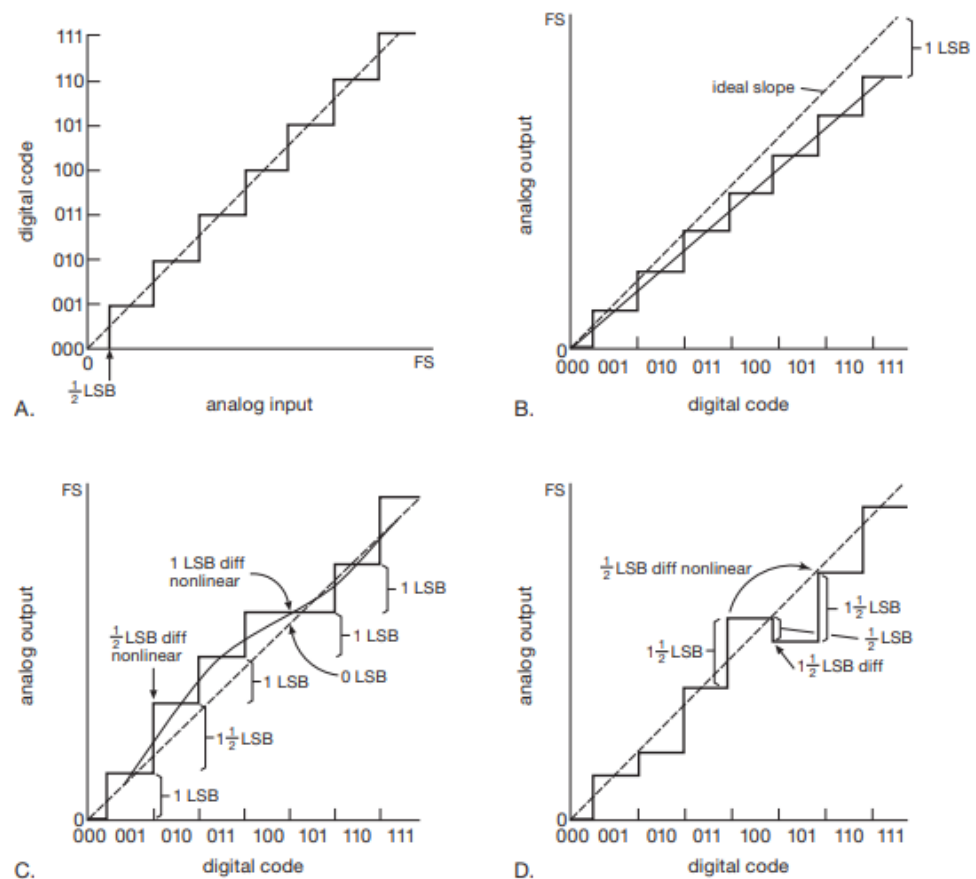


Figura 5. Caratteristica dei principali errori di conversione, in termini di LSB. A) errore di offset B) errore di linearità o gain error C) errore di non-linearità differenziale D) errore di non monotonicità della caratteristica

2.2 Tipologie di convertitori ADC

Si elencano le principali architetture dei convertitori ADC in uso, dunque il loro funzionamento e i loro vantaggi e svantaggi:

- **Convertitore parallelo o “flash”**: è il tipo di convertitore più semplice a livello concettuale e il più veloce per quanto riguarda il tempo di conversione del segnale. Esso opera come circuito quantizzatore. E' composto da un partitore resistivo, una schiera di comparatori analogici e una rete combinatoria che ha il compito di eseguire la codifica del valore in uscita. Il pregio principale di tale convertitore, è appunto la sua velocità di conversione, circa 10 ns per 8 bit, che permette frequenze di campionamento dell'ordine delle centinaia di MHz. Il suo difetto più rilevante è la quantità di componenti da integrare sul chip per ottenere un determinato errore di quantizzazione. Per esempio: per un convertitore a 8 bit, con cui abbiamo 256 livelli di quantizzazione, servono 256 resistori, 255 comparatori e una rete di codifica a 255 ingressi e 8 uscite;
- **Convertitore a “successive approssimazioni” (SAR)**: presenta 4 elementi principali, un generatore di tensione di fondoscala, un convertitore DAC a n bit in ingresso, un comparatore e una unità logica di controllo (ULC). Il principio di funzionamento del convertitore SAR è quello di una ricerca dicotomica, o *binary-tree search*, del valore da attribuire al segnale in ingresso, tramite il confronto effettuato dal comparatore tra la tensione campione del generatore e il segnale in ingresso. I principali pregi di questa tipologia di convertitori sono la loro elevata risoluzione (fino a 18 bit) e la loro economicità. Per contro, in genere, sono caratterizzati da una bassa frequenza di campionamento;
- **Convertitore a integrazione**: vengono anche chiamati convertitori *tensione-tempo*, poiché attraverso un circuito integratore viene generato un segnale a rampa, il quale viene confrontato con il segnale in ingresso. Durante il confronto viene conteggiato il numero di cicli di un contatore binario a n bit, operante a una determinata frequenza. Il contatore opera finché il segnale della rampa è inferiore a quello del segnale in ingresso. Appena si verifica che la tensione della rampa supera la tensione in ingresso, il

contatore viene bloccato e si memorizza il numero di cicli. Si ottiene così una conversione del valore della tensione in ingresso in un valore espresso in unità di tempo. Tale procedura viene svolta più precisamente da un tipo di convertitore a integrazione detto a rampa singola. Tali convertitori presentano lo svantaggio di necessitare di una calibrazione del periodo di clock in base al tempo di salita della rampa. L'inconveniente viene superato dai convertitori a doppia rampa, i quali presentano un commutatore in ingresso, che inizialmente applica la tensione di ingresso V_{in} del segnale al circuito integratore. Quest'ultimo abilita il conteggio dei cicli di clock e viene generata una rampa di pendenza $V_o = \frac{V_{in}}{RC}$. Il conteggio prosegue per 2^n cicli, pari al numero di livelli di quantizzazione; successivamente il commutatore cambia stato e introduce al circuito integratore una tensione di riferimento V_{ref} di segno opposto a quello di ingresso del segnale. Ora l'uscita del circuito integratore cambierà pendenza della rampa a $V_o = \frac{V_{ref}}{RC}$ e il contatore conterà il numero di cicli fino a quando l'uscita dell'integratore non raggiunge lo 0. Il numero N memorizzato nel contatore è proporzionale a V_{in} , secondo la formula $N = \frac{V_{in}}{V_{ref}} 2^n$. Con una giusta calibrazione della tensione di riferimento ($V_{ref} = 2^n$), si ottiene indirettamente il valore numerico di V_{in} . Il pregio di questo tipo di convertitori è la notevole precisione di conversione, che va a discapito del tempo di conversione che dipende dall'entità del segnale in ingresso;

- **Convertitore sigma-delta:** è composto da due parti, un modulatore e un filtro digitale. Il primo è costituito da un circuito integratore, un comparatore ed un convertitore DAC (*digital to analog converter*) a 1 bit, disposti in uno schema a blocchi in *closed-loop*. Il segnale analogico viene presentato in ingresso al circuito integratore, la cui uscita viene confrontata con una tensione di riferimento dal comparatore. Quest'ultimo fornisce un output digitale di 1 bit al DAC, che lo converte in segnale analogico e infine viene sottratto al segnale in ingresso prima del circuito integratore. Questo ciclo viene ripetuto a una frequenza molto elevata, una caratteristica conosciuta come *oversampling*. Il modulatore produce così uno stream di bit, nel quale

il rapporto tra gli 1 e gli 0 è una funzione dell'ampiezza del segnale in ingresso. Attraverso il filtro digitale e tramite la decimazione, concetto che si analizzerà in seguito, del flusso di bit, viene fornito in output un codice binario rappresentativo del segnale analogico in ingresso. I pregi di questa tipologia di convertitore sono l'elevata precisione per segnali a banda limitata e l'intrinseca reiezione all'effetto di aliasing del convertitore, dovuta all'oversampling.

Segue nel prossimo capitolo una spiegazione più approfondita del convertitore sigma-delta, argomento del presente elaborato.

Capitolo 3

Convertitore sigma-delta ($\Sigma\Delta$)

Il convertitore sigma delta, come si osserva nella Figura 6, integra una differenza (Δ) di segnali, da cui il nome, in quanto l'integrazione è il limite di una sommatoria (Σ). Come anticipato nel precedente capitolo, il convertitore $\Sigma\Delta$ è composto da due parti, il modulatore e il filtro digitale.

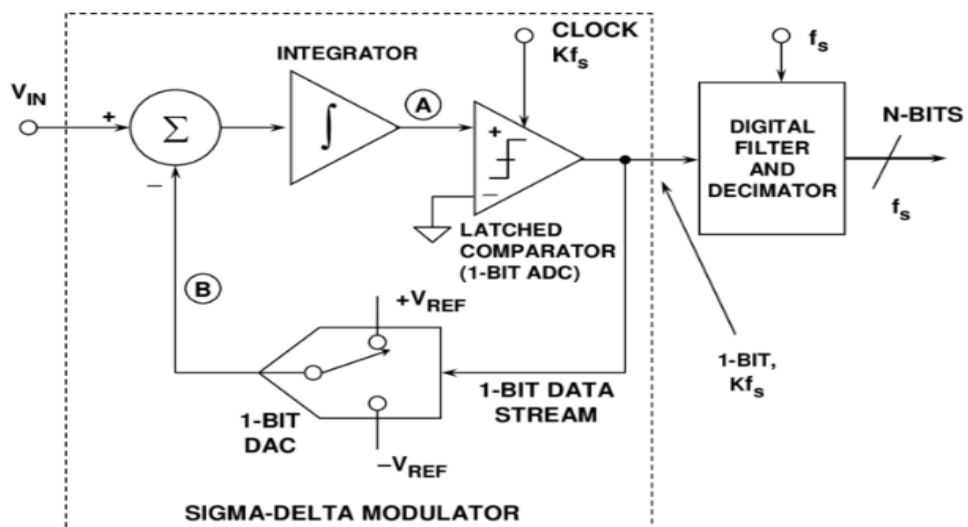


Figura 6. Schema di un convertitore sigma delta.

Il modulatore è il corpo centrale del convertitore sigma-delta, esso infatti svolge tre funzioni fondamentali per la conversione: campionamento, quantizzazione, che

insieme digitalizzano il segnale analogico in ingresso, e infine una funzione di filtraggio del rumore, per mezzo delle tecniche di oversampling e di *noise shaping*. Un importante caratteristica del modulatore sigma-delta è quella di raggiungere una maggior efficienza nella trasmissione dei dati dal segnale in ingresso al filtro digitale, trasmettendo esclusivamente le variazioni del valore di campioni consecutivi del segnale in ingresso (delta) e non i campioni stessi.

Il filtro digitale, invece, ha due funzioni principali. La prima è quella di filtro passa basso per isolare la banda del segnale di interesse, eliminando il rumore ad alte frequenze, ottenuto tramite il noise shaping dal modulatore; la seconda funzione è di decimazione, necessaria per fornire all'elaboratore i valori convertiti ad un data rate più gestibile.

Di seguito si esplica il concetto di modulazione sigma-delta e come le tecniche di oversampling e noise shaping ne sfruttano le sue caratteristiche, per giungere infine ad illustrare il funzionamento dettagliato del modulatore e del filtro digitale.

3.1 Modulazione sigma-delta

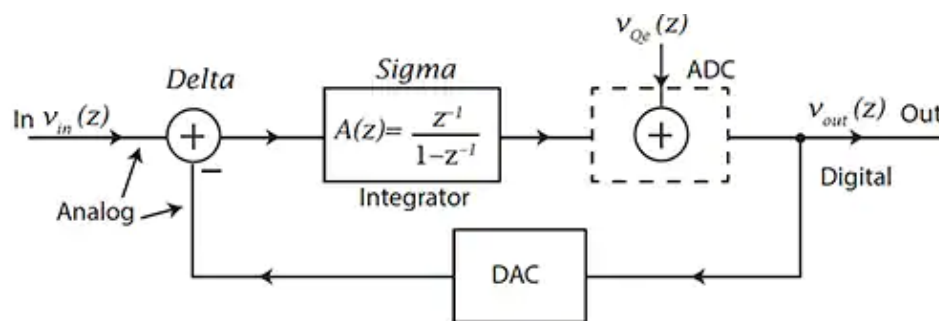


Figura 7. Schema a blocchi convertitore sigma delta.

In Figura 7 viene illustrato lo schema a blocchi di un tipico convertitore sigma delta; è composto da una funzione di trasferimento $A(z) = \frac{z^{-1}}{1-z^{-1}}$, che non è altro che la funzione integratore nelle trasformate di Laplace, in cascata al quantizzatore, modellato con un termine additivo di errore di quantizzazione, chiuso in un loop di guadagno unitario. Il sistema presenta due entrate, v_{in} e v_{Qe} , e un'uscita, v_{out} . È possibile quindi calcolare due funzioni di trasferimento: la prima riguarda il segnale in ingresso di nostro interesse e prende il nome di *Signal Transfer Function*, o STF; la seconda funzione di trasferimento riguarda invece il termine additivo del rumore di quantizzazione e si parla di *Noise Transfer Function*, o NTF.

Valgono le seguenti formule:

$$STF = \frac{V_{out}(z)}{V_{in}(z)} = \frac{A(z)}{1 + A(z)} = \frac{\frac{z^{-1}}{1 - z^{-1}}}{1 + \frac{z^{-1}}{1 - z^{-1}}} = \frac{z^{-1}}{1 - z^{-1}} \cdot \frac{1 - z^{-1}}{1 - z^{-1} + z^{-1}} = z^{-1}$$

$$NTF = \frac{V_{out}(z)}{V_{Q_e}(z)} = \frac{1}{1 + A(z)} = \frac{1}{1 + \frac{z^{-1}}{1 - z^{-1}}} = \frac{1 - z^{-1}}{1 - z^{-1} + z^{-1}} = 1 - z^{-1}$$

Essendo un sistema lineare l'uscita è la somma dei due contributi del segnale e del rumore:

$$V_{out}(z) = STF(z) \cdot V_{in}(z) + NTF(z) \cdot V_{Q_e}(z)$$

In Figura 8 viene mostrata la risposta in frequenza delle funzioni $A(z)$, STF e NTF .

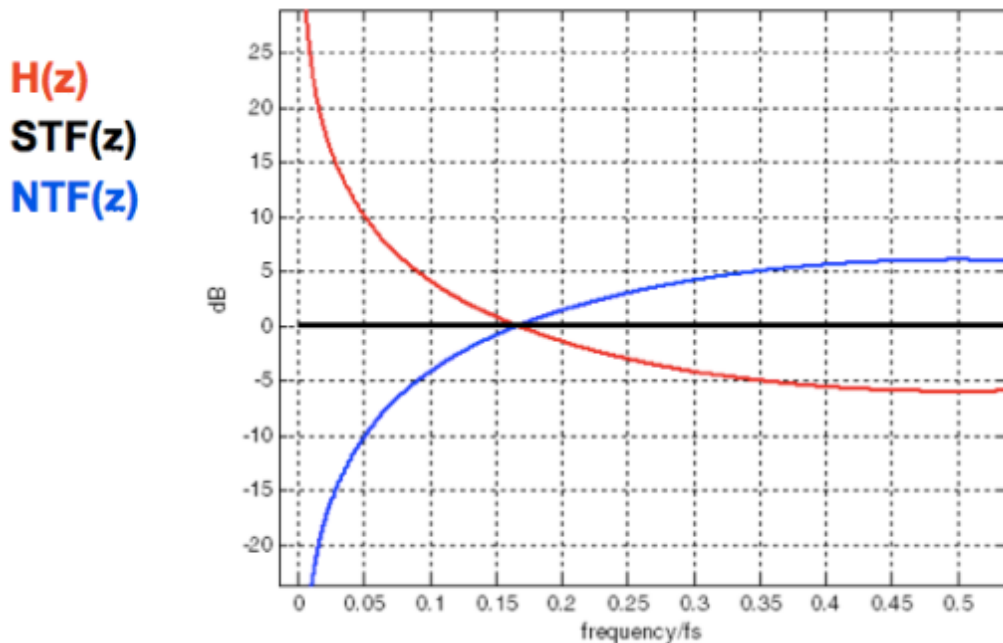


Figura 8. Risposta in frequenza delle tre funzioni caratterizzanti la modellazione sigma delta

Le funzioni STF ed NTF sono indipendenti tra loro, permettendo così di distinguere la componente del segnale da quella del rumore. Oltre a ciò la NTF presenta l'auspicabile caratteristica di essere una funzione di tipo filtro passa alto, mentre la STF mantiene inalterato il segnale.

3.2 Oversampling

Come discusso nel paragrafo 1.1, affinché non si presenti l'effetto di aliasing, la frequenza di campionamento deve essere $f_s > 2f_M$. Tramite la tecnica di

oversampling si effettua il campionamento a una frequenza $f_s = 2^{r+1} f_M$. Il termine moltiplicativo 2^r viene chiamato *oversampling ratio*, o OSR:

$$OSR = 2^r = \frac{f_s}{2f_M}$$

Analogamente a quanto considerato nel paragrafo 1.2 riguardante la quantizzazione, la probabilità di errore di quantizzazione è una variabile aleatoria uniforme sulla banda di campionamento, da cui:

$$p_{eq}(f) = \frac{1}{\Delta} \cdot \frac{2f_M}{f_s} \cdot \text{rect}\left(\frac{f}{\Delta}\right)$$

Si calcola ora la potenza del rumore di quantizzazione all'interno della banda del segnale:

$$P_b = \text{Var}(e_q) = \int_{-\infty}^{+\infty} x^2 p_{eq}(x) dx = \frac{1}{\Delta} \cdot \frac{2f_M}{f_s} \int_{-\Delta/2}^{+\Delta/2} x^2 dx = \frac{\Delta^2}{12} \cdot \frac{1}{OSR} = \frac{P_e}{OSR}$$

Si osserva, come illustrato nella Figura 9, che un fattore di sovra-campionamento OSR maggiore distribuisce il rumore di quantizzazione lungo tutta la banda di campionamento, spostando gran parte del rumore al di fuori della banda del segnale.

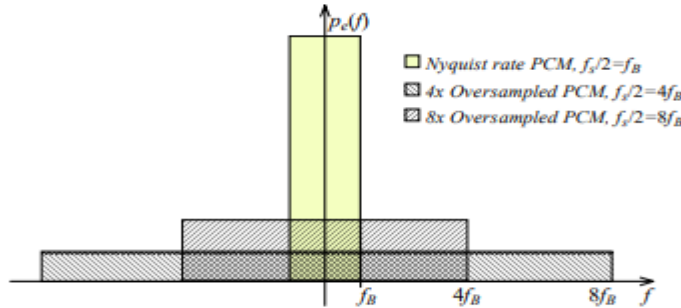


Figura 9. Effetto dell'OSR sulla distribuzione della probabilità dell'errore di quantizzazione sulla banda di campionamento

L'SNR a sua volta aumenta all'incrementare dell'OSR:

$$\begin{aligned} SNR_{dB} &= 10 \log\left(\frac{P_x}{P_b}\right) = 10 \log\left(P_x \cdot \frac{OSR}{P_e}\right) = \\ &= 10 \log\left(\frac{P_x}{P_e}\right) + 10 \log(2^r) = SNR + 10 \log(2^r) = \\ &= (6.02 \cdot n + 3.01 \cdot r + 1.76) dB \end{aligned}$$

In particolare si nota che ad ogni raddoppio dell'OSR, l'SNR incrementa di circa 3 dB. Questo influenza un parametro fondamentale, l'ENOB. Con ENOB (*effective*

number of bits) si intende quel parametro di un convertitore che meglio rappresenta il valore effettivo della sua risoluzione, considerando anche tutti i fattori di rumore presenti nel segnale e nella conversione. Esso viene definito come:

$$ENOB = \frac{SNR - 1.76dB}{6.02dB} = \frac{(6.02 \cdot n + 3.01 \cdot r + 1.76)dB - 1.76dB}{6.02dB} = n + r/2$$

Da ciò si deduce che ad ogni raddoppio del fattore di sovra-campionamento si incrementa l'ENOB di mezzo bit. Da qui si evince come, tramite l'oversampling, i convertitori sigma-delta riescano ad avere risoluzioni così elevate.

3.3 Noise Shaping

Per mezzo dell'oversampling si distribuisce la potenza del rumore lungo uno spettro di frequenze maggiore rispetto a quello del segnale in ingresso, attenuando così il rumore in banda. Ora, tramite la tecnica di noise shaping parte del rumore in banda viene spostato verso frequenze più alte; si calcola la quantità di rumore in banda rimasto, per effetto del noise shaping.

È utile calcolare la PSD del rumore in uscita dal modulatore per capire la sua distribuzione lungo lo spettro delle frequenze. La PSD in uscita da un sistema lineare, come quello del convertitore sigma delta, è data dal prodotto della PSD del segnale in ingresso per il modulo della risposta in frequenza del segnale:

$$PSD_{out} = |NFT|^2 \cdot PSD_{in}$$

Con $PSD_{in} = \frac{P_e}{f_s}$.

Si calcola il modulo della funzione NTF, ponendo $z = e^{j\omega}$:

$$\begin{aligned} |NTF|^2 &= |1 - z^{-1}|^2 = |1 - e^{-j\omega}|^2 = |1 - \cos(\omega) + jsin(\omega)|^2 \\ &= (1 - \cos(\omega))^2 + \sin^2(\omega) = 2 - 2\cos(\omega) = \left(2\sin\left(\frac{\omega}{2}\right)\right)^2 \end{aligned}$$

Imponendo $\omega = 2\pi \frac{f}{f_s}$, la potenza del rumore in banda è data dall'integrazione della funzione PSD_{out} nella banda del segnale compresa tra 0 e f_M :

$$\begin{aligned} P_b &= \int_0^{f_M} |NFT|^2 \cdot 2PSD_{in} = \frac{\Delta^2}{12} \cdot \frac{2}{f_s} \int_0^{f_M} \left[2\sin\left(\pi \frac{f}{f_s}\right)\right]^2 df \\ &\approx \frac{\Delta^2}{12} \cdot \frac{2}{f_s} \int_0^{f_M} \left[2\left(\pi \frac{f}{f_s}\right)\right]^2 df = \frac{\Delta^2}{12} \cdot \frac{\pi^2}{3} \cdot \frac{8f_M^3}{f_s^3} = \frac{\Delta^2}{12} \cdot \frac{\pi^2}{3} \cdot \frac{1}{OSR^3} \end{aligned}$$

Da questa si ricava il nuovo valore dell'SNR:

$$\begin{aligned}
SNR_{dB} &= 10 \log\left(\frac{P_x}{P_b}\right) = 10 \log\left(\frac{P_x}{P_e \cdot \frac{\pi^2}{3} \cdot \frac{1}{OSR}}\right) \\
&= SNR - 10 \log\left(\frac{\pi^2}{3}\right) + 30 \log(OSR) \\
&= SNR - 5.2dB + 30 \log(2^r)
\end{aligned}$$

che comporta l'aumento di 9 dB per ogni raddoppio dell'OSR, rispetto ai 3 dB del solo oversampling, senza noise shaping. Analizzando il parametro ENOB:

$$\begin{aligned}
ENOB &= \frac{SNR - 1.76dB}{6.02dB} \\
&= \frac{(6.02 \cdot n + 1.76)dB - 5.2dB + 30 \log(2^r) - 1.76dB}{6.02dB} \\
&= n - 0.82 + 1.5 \cdot r
\end{aligned}$$

osserviamo che la risoluzione aumenta di 1 bit e mezzo per ogni raddoppio dell'OSR.

In Figura 10 si apprezza la distribuzione del rumore al di fuori della banda di interesse del segnale.

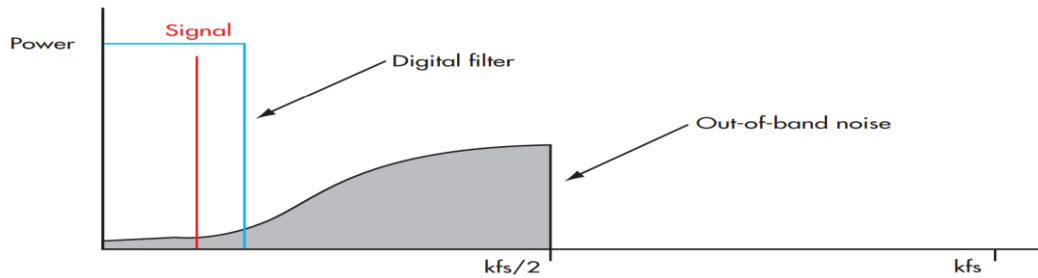


Figura 10. Grafico del rumore ottenuto tramite noise shaping

3.4 Modulatore sigma-delta

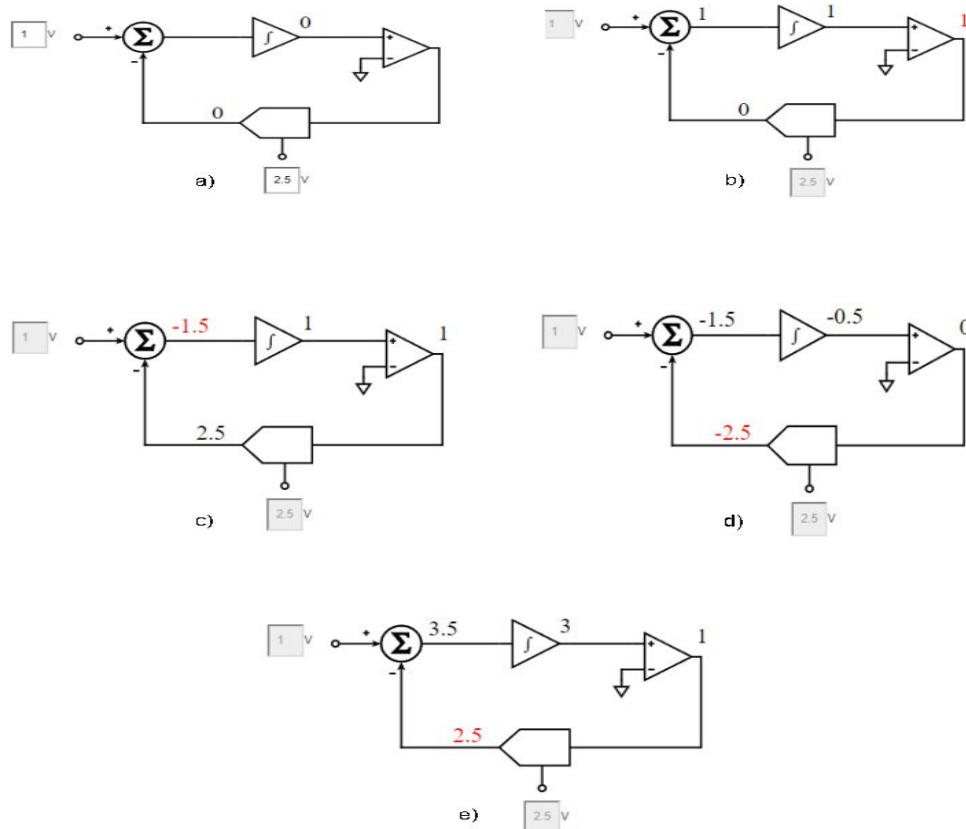


Figura 11. Esempio di funzionamento del modulatore sigma-delta

Come anticipato, il modulatore del convertitore sigma-delta produce uno stream di bit in uscita che verranno poi filtrati dal filtro digitale. Tale stream di dati viene generato dal comparatore a 1 bit che confronta il valore dell'integratore con lo 0 e produce un segnale logico, 1 o 0, se il valore salvato nell'integratore è rispettivamente maggiore o minore di 0. Il bit generato dal comparatore viene fornito in ingresso sia al filtro digitale sia al convertitore DAC a 1 bit, che a seconda del bit, assumerà il valore di $\pm V_{REF}$ (+ per 1, - per 0). Il valore fornito dal DAC viene poi sottratto al valore in ingresso V_{IN} e il risultato viene sommato al valore attuale dell'integratore; infine il nuovo valore dell'integratore viene di nuovo confrontato dal comparatore con lo 0, generando così un altro bit. Tale sequenza di operazioni

avviene a una frequenza pari a quella di campionamento, quindi si ha un bit rate pari al sample rate del circuito.

In Figura 11 viene mostrato un esempio di quanto descritto per un modulatore ideale. Inizialmente l'integratore ha valore $V_I=0$, come anche l'output del DAC e si pone $V_{IN} = 1V$ e $V_{REF} = 2.5V$ (Figura 11.a). L'amplificatore differenziale fornisce come output il valore del segnale in ingresso all'integratore, che somma tale valore a quello attuale ($V_I=1+0=1$). Il comparatore effettua il confronto $V_I \geq 0$, il quale fornisce il valore logico 1 (Figura 11.b). Il DAC converte dunque il valore logico 1, fornito dal comparatore nella tensione $+V_{REF} = +2.5V$, la quale sottratta al valore in ingresso fornisce all'integratore il valore -1.5 , $V_{IN}-V_{REF} = 1 - 2.5 = -1.5$ (Figura 11.c). Il nuovo valore dell'integratore sarà quindi $V_I=1 + (-1.5) = -0.5$. Ora il comparatore effettua il confronto $V_I \geq 0$, che fornisce il valore logico 0, convertito dal DAC nel valore di tensione $-V_{REF} = -2.5V$ (Figura 11.d). Come prima, l'integratore assumerà il valore $V_I=-1.5 + (V_{IN}-V_{REF}) = -0.5 + (1 - (-2.5))=3$, che fa sì che il comparatore introduca un bit di valore 1 allo stream.

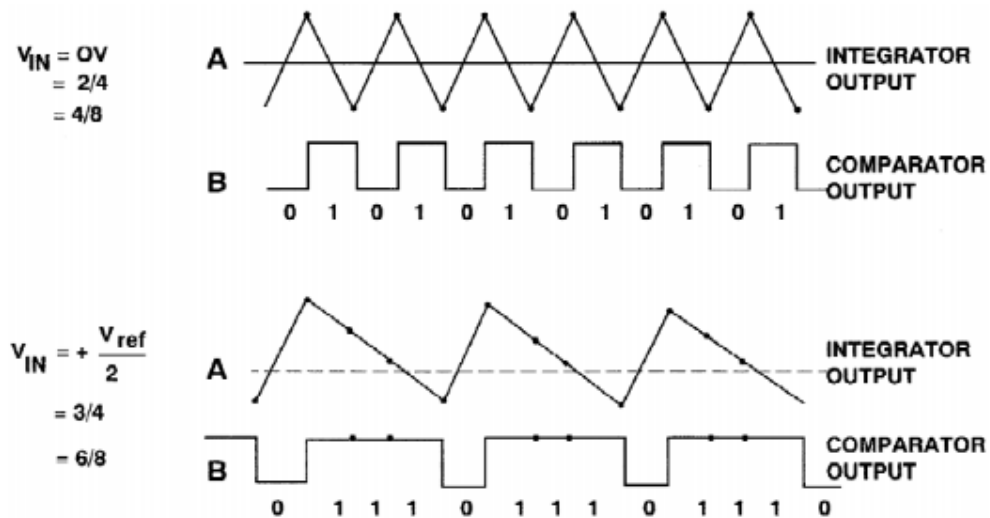


Figura 12. Forme d'onda del modulatore sigma-delta

In Figura 12 si osservano alcune forme d'onda in uscita dall'integratore e dal comparatore in funzione dell'ingresso e della tensione di riferimento del convertitore DAC. Infatti lo stream di bit, nel dominio del tempo, risulta alquanto casuale e privo di significato. Per segnali vicini al valore di fondo scala positivo si avrà uno stream di bit composto prevalentemente da 1, viceversa per segnali prossimi al valore di fondo scala negativo. La sequenza di bit assume significato nel dominio delle

frequenze, dove si applica il noise shaping; infatti l'integratore del modulatore viene rappresentato dal filtro passa basso con funzione di trasferimento $H(f)=1/f$.

3.5 Filtro digitale

In uscita dal modulatore si ha uno stream di bit con un bit rate pari al sample rate, cioè a una frequenza pari a 2^r volte la frequenza minima richiesta dal teorema di Nyquist. Inoltre esso presenta ad alte frequenze quasi esclusivamente rumore di quantizzazione. Il filtro digitale ha lo scopo di risolvere queste due problematiche. Innanzitutto, tramite un filtro passa basso, elimina il rumore al di fuori della banda del segnale e, tramite una funzione chiamata decimatore, diminuisce il data rate dell'output a un valore più facile da gestire, senza però perdere informazioni, rispettando il criterio di Nyquist. Si mostra di seguito un esempio di come opera un semplice filtro digitale nella conversione dello stream di bit generato dal modulatore in codice binario del valore del segnale analogico.

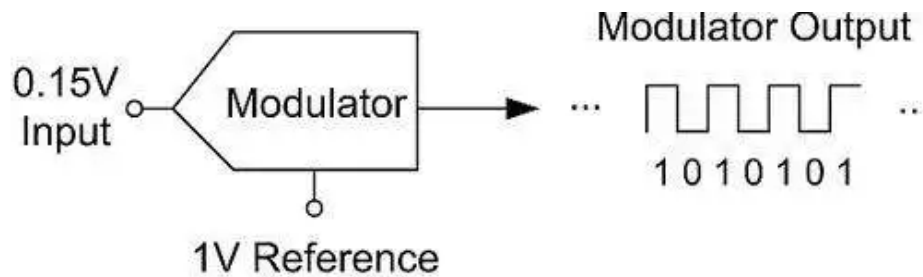


Figura 13. Esempio di output di un modulatore dopo 7 cicli di campionamento

Assumendo che il segnale analogico in ingresso abbia una tensione $V_{IN} = 0.15V$ e la tensione di riferimento sia $V_{REF} = 1V$, l'intervallo di fondo scala della tensione in ingresso sarà quindi da $-1V$ a $+1V$. Eseguendo 7 cicli di clock del modulatore, si otterrà una sequenza di bit in output simile a quella mostrata in Figura 13. Sommando il numero di bit pari a 1 possiamo ottenere un numero compreso tra 0 e 7, si hanno quindi 8 valori possibili. Con un intervallo di fondo scala compreso tra $-1V$ e $+1V$ e 8 output possibili, si ottiene un passo di quantizzazione $LSB=0.25V$, come si può osservare in Figura 14. Dalla funzione di trasferimento in Figura 14 si può costruire la tabella in Figura 15, dove si crea una corrispondenza tra il numero di bit pari a 1, il relativo codice binario e il valore della tensione convertito.

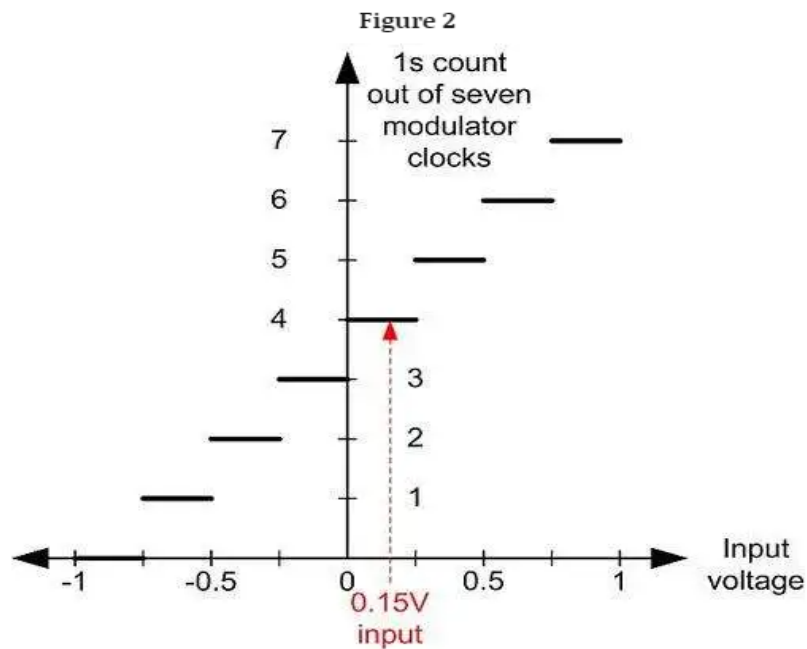


Figura 14. Funzione di trasferimento del modulatore dopo 7 cicli

Modulator number of 1s	Output code	Output value (V)
0	000	-1
1	001	-0.75
2	010	-0.5
3	011	-0.25
4	100	0
5	101	0.25
6	110	0.5
7	111	0.75

Figura 10. Tabella di conversione dell'output del modulatore

Se si aumentano i cicli del modulatore, estendendoli a 15, si ottengono 16 possibili output, che corrisponde a un LSB di 0.125V nell'esempio considerato. Ciò permette di aumentare la risoluzione della conversione, ottenendo un risultato più preciso, come si evince dalla Figure 16, 17 e 18.

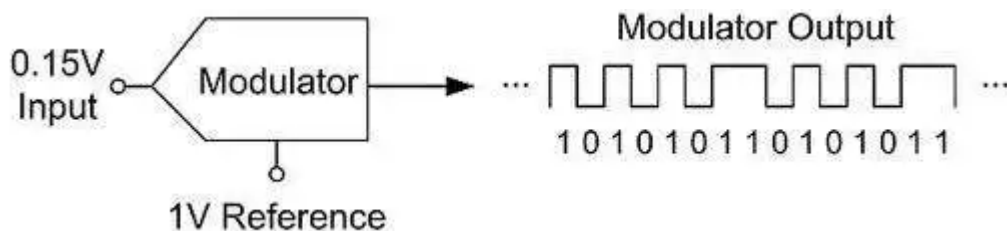


Figura 16. Esempio di output di un modulatore dopo 15 cicli

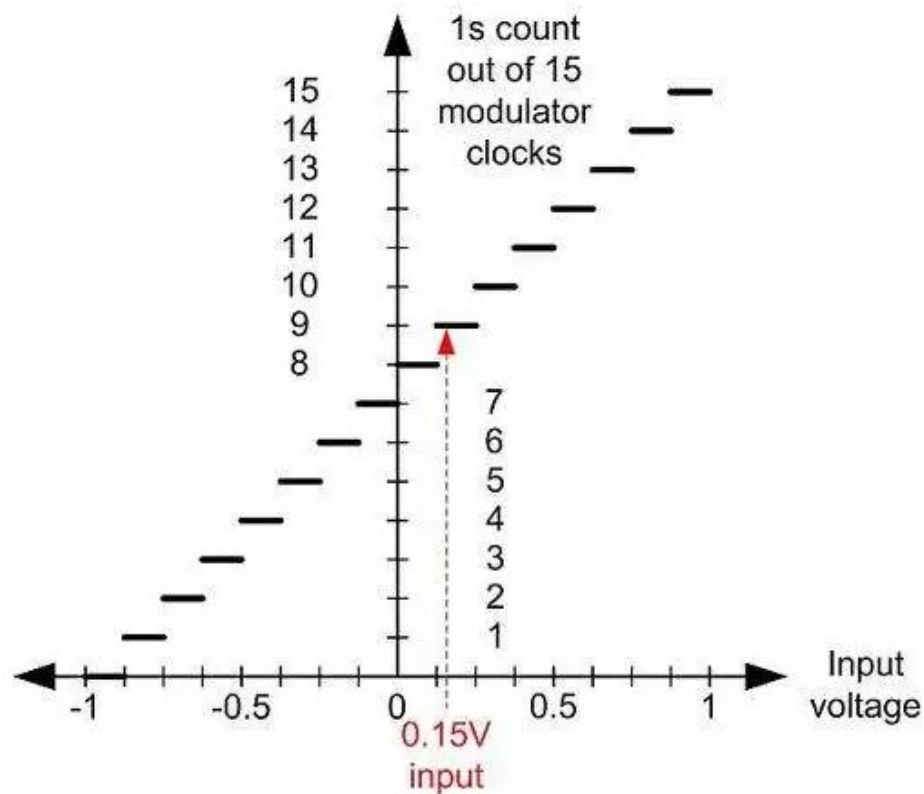


Figura 17. Funzione di trasferimento del modulatore dopo 15 cicli

Modulator number of 1s	Output code	Output value (V)
0	0000	-1
1	0001	-0.875
2	0010	-0.75
3	0011	-0.625
4	0100	-0.5
5	0101	-0.375
6	0110	-0.25
7	0111	-0.125
8	1000	0
9	1001	0.125
10	1010	0.25
11	1011	0.375
12	1100	0.5
13	1101	0.625
14	1110	0.75
15	1111	0.875

Figura 18. Tabella di conversione dell'output del modulatore

Nel primo esempio si è campionato il segnale 7 volte per ottenere un singolo output a 3 bit (da 2^3-1 impulsi), mentre nel secondo caso i sample sono 15 che ha dato origine a un output a 4 bit (da 2^4-1 impulsi). 2ⁿ rappresenta l'OSR di cui si è discusso

in precedenza, ma anche il fattore di decimazione del filtro M , infatti tendenzialmente $OSR=M$. In seguito si vedrà come aumentando l' OSR , oltre ad aumentare la risoluzione, si ottengono filtri a banda stretta, che si traduce in una buona reiezione al rumore fuori banda e una circuiteria anti-aliasing semplificata.

3.5.1 Tipologia di filtri

I filtri si suddividono in due macro categorie: filtri FIR (Finite Impulse Response) e filtri IIR (Infinite Impulse Response).

I primi presentano diverse problematiche, quali la complessità computazionale, la necessità di trade-off sul design e sulle prestazioni, la latenza di filtraggio e il loro costo elevato per risolvere queste problematiche. Ciononostante possiedono una risposta in frequenza lineare, caratteristica fondamentale per un filtro di decimazione nei convertitori sigma delta, motivo per cui la ricerca si è focalizzata su questi tipi di filtri rispetto ai filtri IIR. Quest'ultimi, pur non avendo le problematiche dei filtri FIR e avendo una latenza bassissima, hanno una risposta in frequenza non lineare e ciò rende meno appetibile il loro impiego. Per questo motivo, si analizzeranno esclusivamente i filtri FIR, in particolare i filtri di tipo *Sinc* e i filtri a banda larga. I filtri Sinc prendono il loro nome dalla loro risposta in frequenza. Come analizzato precedentemente, il filtro digitale crea un output sommando il numero di bit pari a 1 in uscita dal modulatore su un certo numero di cicli. Facendo ciò si crea una sorta di media mobile dei sample lungo il periodo di campionamento. Questa, generata nel dominio del tempo, ha come risposta in frequenza appunto la funzione sinc di primo ordine. La risposta dei Sinc è pari a zero per multipli interi del data rate, visibili in Figura 19 come tagli sul grafico della risposta in ampiezza del filtro. Si può aumentare l'entità della media mettendo in serie più filtri Sinc, incrementandone così il grado. Un grado maggiore dei filtri Sinc si traduce in una frequenza di taglio minore e una migliore attenuazione fuori banda, riducendo ulteriormente il rumore, ma questo comporta la necessità di un maggior numero di campioni per assestarsi al valore del segnale in ingresso.

In Figura 20 vengono messe a confronto le risposte in frequenza dei filtri Sinc di primo, terzo e quinto ordine.

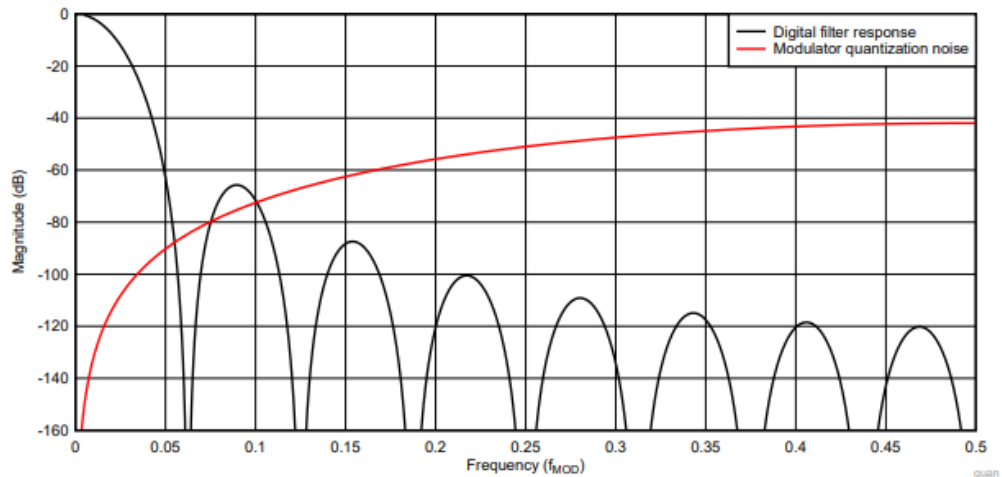


Figura 19. Spettro del rumore di quantizzazione del modulatore sigma delta e filtro passa basso di tipo Sinc.

Analizzando le risposte di questi filtri si nota subito il loro principale limite: la banda passante molto ristretta. Per esempio il filtro Sinc^3 attenua di -3dB a $0.262 \cdot f_M$ della frequenza del data rate; inoltre la transizione è lenta anche oltre la frequenza $\frac{f_M}{2}$, aumentando così il rischio di mantenere una quantità di rumore elevata nella banda di interesse. Ciò può non essere un problema per applicazioni a banda bassa, come applicazioni per sensori di precisione, quali sensori di temperatura e di pressione. In compenso però offrono tempi di assestamento al segnale in ingresso molto brevi rispetto agli altri tipi di filtri digitali, in alcuni casi si può arrivare a un singolo ciclo di campionamento, con opportune metriche di progettazione. Esiste un trade-off tra il grado dei filtri Sinc e i cicli del modulatore necessari all'assestamento.

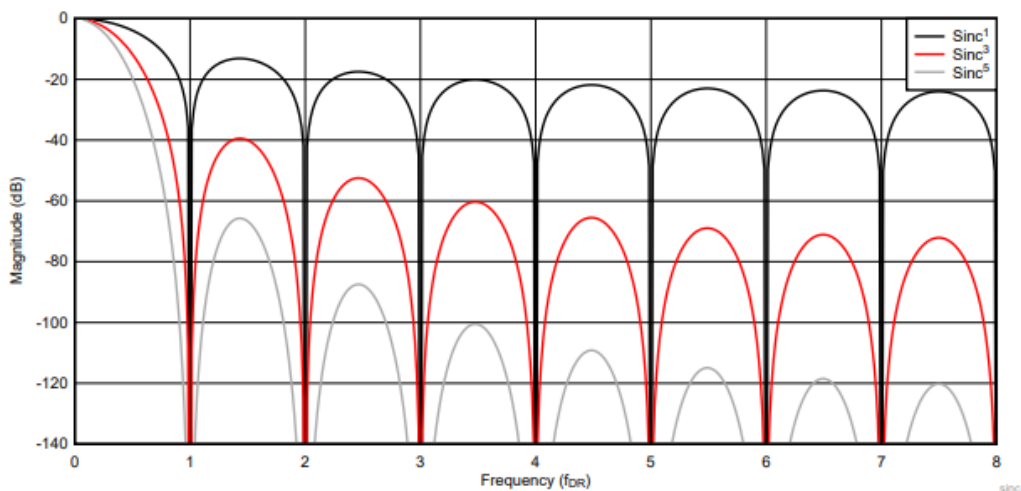


Figura 20. Risposta in frequenza dei filtri sinc1, sinc3 e sinc5.

In Figura 21 si nota come la risposta al segnale gradino sia più lenta nei filtri Sinc di ordine superiore, in particolare il grado del filtro rispecchia il numero di campioni necessari al filtro per stabilizzarsi al segnale in ingresso.

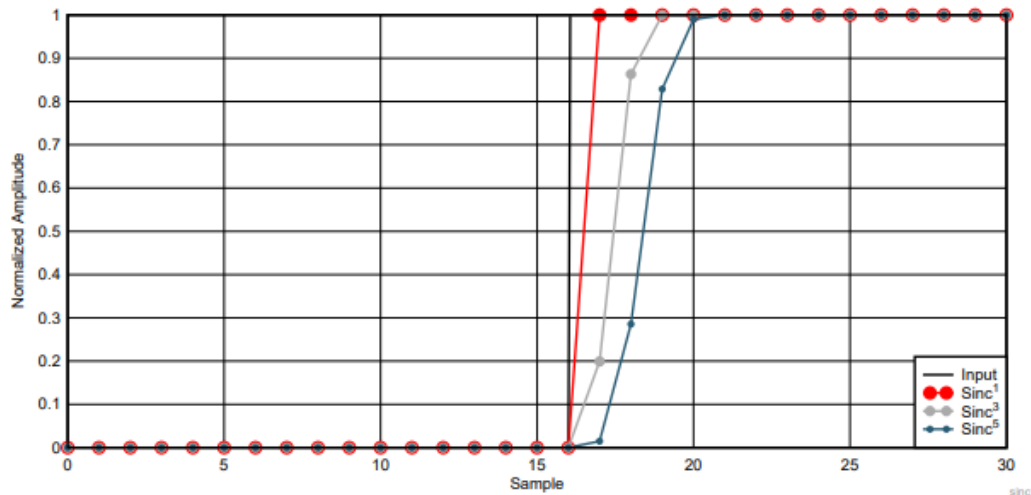


Figura 21. Risposta dei filtri sinc di ordine 1, 3 e 5 al gradino unitario.

Sebbene i filtri Sinc siano un'ottima scelta per applicazioni a banda bassa, i convertitori sigma delta possono essere impiegati anche per soluzioni a banda più larga, grazie all'utilizzo dei *wideband filter*, ovvero i filtri a banda larga. Essi sono adatti nelle misurazioni di segnali audio o segnali di vibrazioni, nelle applicazioni AC ecc. Questi filtri vengono preferiti ai filtri Sinc in queste applicazioni in primo luogo perché, a differenza dei filtri Sinc, la risposta dei filtri wideband rimane quasi perfettamente piatta fino a metà del data rate dell'output; in secondo luogo perché oltre quella frequenza l'attenuazione aumenta in maniera drastica, come si nota dalla Figura 22, minimizzando così l'effetto di aliasing. Come per i filtri Sinc, anche i filtri wideband presentano un trade-off tra le prestazioni nel dominio delle frequenze e in quello del tempo. I filtri wideband hanno tempi di riassetto in risposta al segnale in ingresso che possono arrivare fino a 80/90 cicli del modulatore; in Figura 23 si osserva questo limite. Per tali ragioni i filtri wideband non sono preferibili in applicazioni in cui si commuta tra varie fonti di segnali in ingresso. Dall'ultima figura citata si trae un altro aspetto positivo dei filtri wideband, ossia il *ripple* basso della risposta, il quale assicura che non ci sia nessuna perdita di informazione del segnale all'interno della banda.

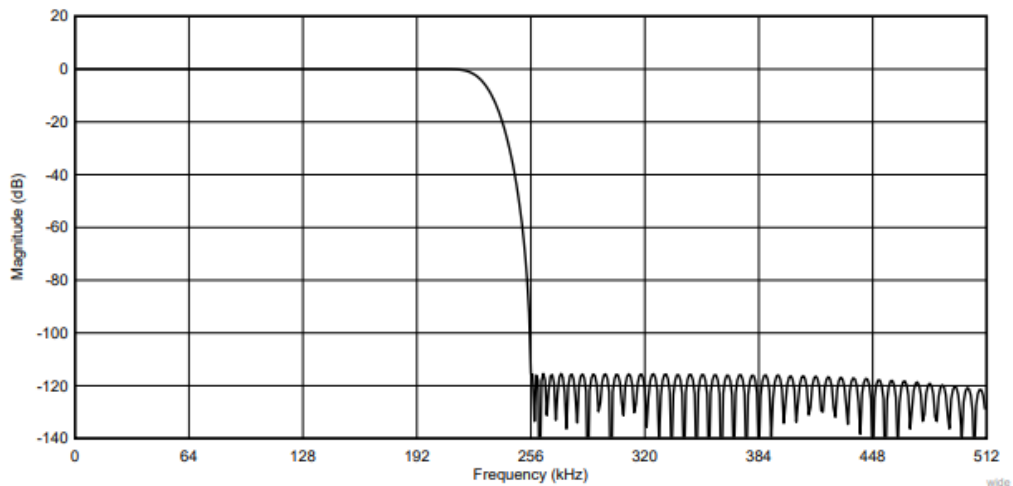


Figura 22. Risposta in ampiezza del filtro a banda larga ADS127L01

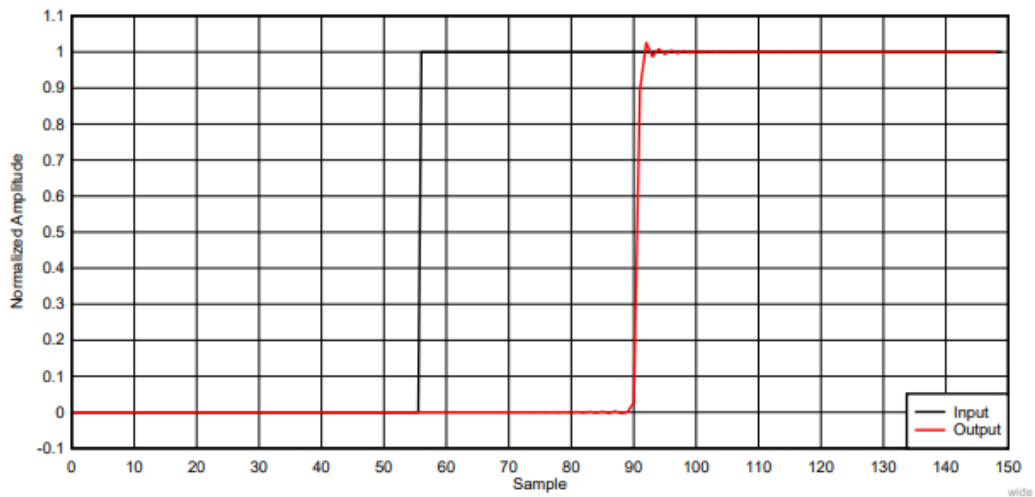


Figura 23. Risposta al gradino del filtro wideband ADS127L01.

3.6 Convertitore sigma-delta di ordine superiore

Le prestazioni dei convertitori sigma-delta possono essere ulteriormente incrementate dai modulatori di ordine superiore. In Figura 24 si illustra lo schema a blocchi di un modulatore di secondo grado. I modulatori di ordine superiore presentano degli anelli di feedback formati dalla coppia integratore e DAC in più e prendono il nome dalla quantità di *loop* di cui dispongono.

In accordo con quanto calcolato nel paragrafo 3.1 le funzioni STF e NTF valgono:

$$STF(z) = \frac{V_{out}}{V_{in}} = z^{-2}$$

$$NTF(z) = \frac{V_{out}}{V_{Qe}} = (1 - z^{-1})^2$$

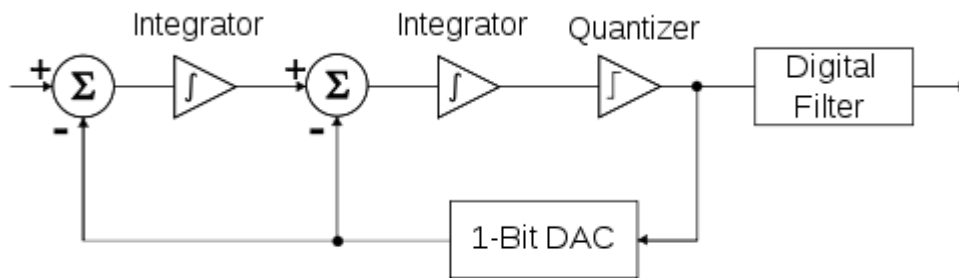


Figura 24. Schema a blocchi di un modulatore sigma delta di secondo ordine

e di conseguenza la potenza del rumore in banda è pari a:

$$P_b = \frac{\pi^4}{5OSR^5} \cdot \frac{\Delta}{12}$$

che porta a un incremento dell'SNR di 15dB ad ogni raddoppio dell'OSR:

$$SNR = (6.02 \cdot n + 15 \cdot r - 11.14)dB$$

o in relazione al parametro ENOB, corrisponde a un aumento di 2.5 bit ad ogni raddoppio dell'OSR. Più in generale, si può ricavare la potenza del rumore in banda per un modulatore di ordine L e il valore dell'SNR:

$$P_b = \frac{\pi^{2L}}{(2L+1)OSR^{2L+1}} \cdot \frac{\Delta}{12}$$

$$SNR = (6.02 \cdot n + 1.76)dB + 10 \log(2L+1) - 9.94L + 3.01(2L+1) \cdot r$$

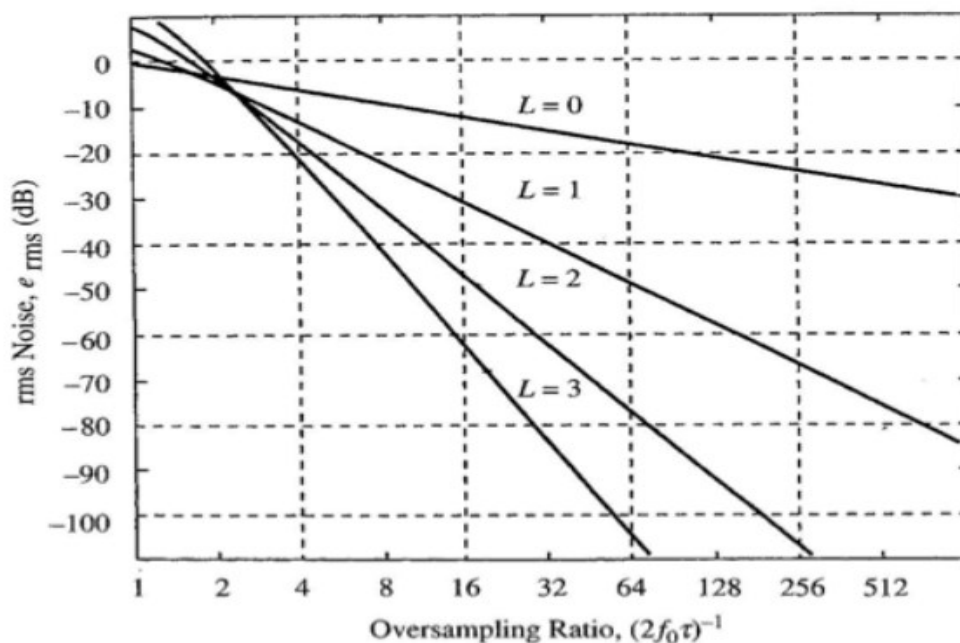


Figura 25. Caratteristica del rumore di quantizzazione in funzione all'OSR e dell'ordine dei modulatori

Adoperare modulatori di ordini elevati risulta essere un ulteriore modo per aumentare la risoluzione e diminuire il rumore in banda in maniera efficace. Dallo studio del SNR di un modulatore di ordine L , idealmente si avrebbe un incremento di $3(2L+1)$ dB ad ogni raddoppio dell'OSR. Questo è da ritenersi solamente come un limite superiore al valore dell'SNR, poiché nella realtà esistono molti fattori che non rispecchiano l'idealità dei sistemi considerati nei calcoli, nonostante ciò molti convertitori sigma-delta di produzione attuale hanno prestazioni vicine a questa soglia.

A mano a mano che si incrementa l'ordine dei modulatori si incorre in alcune difficoltà progettuali, in particolare per quanto riguarda la stabilità asintotica del sistema in retroazione, oltre che la complessità circuitale. Si comincia ad avere problemi di stabilità già per modulatori di ordine 3. Mentre per i modulatori di primo e secondo ordine la stabilità è sempre garantita, dal terzo ordine in poi, il luogo delle radici delle funzioni STF ed NTF nel piano delle trasformate Zeta si sposta al di fuori del cerchio di raggio unitario per alcuni valori del guadagno degli anelli in feedback, facendo risultare il sistema instabile. Tale instabilità nasce dal fatto che il comparatore è un elemento non lineare all'interno del sistema, il suo guadagno varia inversamente rispetto al valore dell'ingresso. Fornendo in ingresso ad un anello, che opera a regime, un ampio segnale, si sovraccarica tale anello, riducendo il guadagno medio del comparatore. La riduzione del guadagno in un sistema lineare comporta all'instabilità di tutto il sistema retro-azionato, condizione che permane anche una volta rimosso il segnale in questione. Esistono varie tecniche di stabilizzazione di sistemi non lineari che hanno permesso di arrivare a convertitori anche di quinto ordine, come ad esempio il convertitore AD1879 della Analog Devices rilasciato nel 1994. Due tipologie di convertitori che risolvono l'instabilità dei modulatori a multi-anello degni di essere menzionati, ma che esulano gli scopi di questo elaborato, sono i convertitori sigma-delta a comparatore a multibit e i convertitori a *multistage noise shaping*, o convertitori MASH.

Conclusioni

Questo elaborato si è proposto di analizzare i sistemi di conversione analogico-digitale ed in particolare i convertitori sigma-delta.

Nel primo capitolo si sono affrontati le tre principali fasi della conversione, quali il campionamento del segnale, la sua quantizzazione e la codifica in codice binario. Si è vista l'importanza dell'utilizzo di un circuito sample-hold nella fase di campionamento per il mantenimento dell'integrità della conversione, e si ha introdotto il teorema di Nyquist, fondamentale per prevenire l'effetto aliasing. Si ha mostrato come la quantizzazione, necessaria per discretizzare l'insieme dei valori assunti dal segnale, immetta una componente di rumore chiamato errore di quantizzazione; si ha calcolata la sua potenza, analizzandone poi gli effetti sul parametro SNR. Dopodiché si sono elencati i vari codici utilizzati per codificare i dati in codice binario.

Nel secondo capitolo si sono inizialmente illustrati alcuni dei principali parametri che caratterizzano i convertitori analogico-digitali, per poi mettere a confronto le tipologie di convertitori ad oggi in uso, con i loro pregi e difetti. Da questo confronto si ha voluto approfondire i concetti e i motivi per cui il convertitore sigma-delta abbia riscosso così tanto successo in diverse applicazioni.

Nel terzo capitolo si ha studiato maggiormente il convertitore sigma-delta e i principi che stanno alla base del convertitore, come la modulazione sigma-delta e le due funzioni di trasferimento STF ed NTF, l'oversampling e la sua capacità di distribuire il rumore di quantizzazione al di fuori della banda del segnale, e il noise shaping che ha la funzione di spostare ulteriore rumore al di fuori della banda di interesse. Si sono viste le due componenti base del convertitore, il modulatore e il filtro digitale e il loro funzionamento; si ha valutato i due filtri di tipo FIR maggiormente usati, le loro caratteristiche e i casi in cui questi vengono utilizzati. Infine, si sono fatte alcune considerazioni sui convertitori di ordine superiore e su come questi siano in grado di aumentare ulteriormente le prestazioni della conversione.

In seguito a tutte le considerazioni effettuate, si conclude che il convertitore sigma-delta è la tipologia di convertitore che offre le migliori prestazioni in rapporto al suo costo di progettazione e di realizzazione, rispetto alle altre tipologie di convertitori.

Bibliografia

- P. HOROWITZ-W. HILL, *The art of electronics*, Cambridge University Press, New York, 3 ed., 2015;
- L. FINESSO, *Segnali e Sistemi*, Libreria Progetto, Padova, 2021;
- N. BENVENUTO-M. ZORZI, *Principles of Communications Networks and Systems*, Wiley, Hoboken, 2011;
- S. CONGIU, *Architettura degli elaboratori – organizzazione dell'hardware e programmazione in linguaggio assembly*, Patron, Bologna, 2012;
- A.S. SEDRA-K. C. SMITH, *Circuiti per la microelettronica*, EdiSES, Napoli, 5 ed., 2019;
- D. K. MYNBAEV-L. L. SCHEINER, *Essentials of Modern Communications*, Wiley, Hoboken, 2020;
- B. WIDROW-I.KOLLAR, *Quantization Noise – Roundoff Error in Digital Computation, Signal Processing, Control, and Communications*, Cambridge University Press, New York, 2008;
- CELIN, *Progettazione di un Convertitore Sigma-Delta per Radar Mammografico*, Tesi di Laurea Magistrale presso l'Università di Padova, 2013;
- B.E.BOSER-B.A.WOOLEY, *The Design of Sigma-Delta Modulation Analog-to-Digital Converters*, IEEE Journal of Solid-State Circuits, Vol. 23, No. 6, December 1988;

Sitografia

- <https://www.electronicdesign.com/technologies/analog/article/21798185/understanding-deltastigma-modulators>;
- <https://www.arrow.com/it-it/research-and-events/articles/fundamental-principles-behind-the-sigma-delta-adc-topology>;
- <https://www.analog.com/media/en/training-seminars/tutorials/MT-001.pdf>;
- <https://www.analog.com/media/en/training-seminars/tutorials/MT-022.pdf>;
- <https://www.analog.com/media/en/training-seminars/tutorials/MT-023.pdf>;
- [https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1657606844403#:~:text=%E2%88%86%CE%A3%20ADCs%20are%20now,%20Dresolution%20data%20stream%20output.](https://www.ti.com/lit/an/slyt423a/slyt423a.pdf?ts=1657606844403#:~:text=%E2%88%86%CE%A3%20ADCs%20are%20now,%20Dresolution%20data%20stream%20output.;);
- https://www.ti.com/lit/an/slyt438/slyt438.pdf?ts=1657641109383&ref_url=https%253A%252F%252Fwww.startpage.com%252F;
- [https://www.ti.com/lit/an/sbaa230/sbaa230.pdf?ts=1657642053490&ref_url=https%253A%252F%252Fwww.google.com%252F#:~:text=The%20digital%20filters%20in%20delta,is%20fDR%20%3D%20fMOD%20%2F%20OSR.](https://www.ti.com/lit/an/sbaa230/sbaa230.pdf?ts=1657642053490&ref_url=https%253A%252F%252Fwww.google.com%252F#:~:text=The%20digital%20filters%20in%20delta,is%20fDR%20%3D%20fMOD%20%2F%20OSR.;);
- https://www.researchgate.net/publication/304239423_Oversampled_Sigma_Delta_ADC_decimation_filter_Design_techniques_challenges_tradeoffs_and_optimization;
- <https://resources.system-analysis.cadence.com/blog/msa2021-oversampling-and-noise-shaping-in-delta-sigma-modulation>;
- <https://www.digikey.it/it/articles/analog-basics-part-2-delta-sigma-adcs-how-to-exploit-digital-capabilities>;
- <https://www.planetanalog.com/delta-sigma-adc-basics-how-the-digital-filter-works/>;
- <https://www.eecs.qmul.ac.uk/~josh/documents/Reiss-AES121-SNRofasigma-deltamodulator.pdf>;