

UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA MAGISTRALE IN
INGEGNERIA ELETTRONICA

**Progetto di un oscillatore a 5GHz in
classe-C realizzato con uno stadio di
amplificazione stacked in tecnologia
FDSOI CMOS da 22nm**

Relatore:

PROF. ANDREA BEVILACQUA

Laureando:

ANDREA GOBBO

1220421

Anno Accademico 2021/2022

Sommario

Negli ultimi decenni i circuiti in radiofrequenza hanno subito un notevole sviluppo, tuttavia il mercato continua a chiedere sistemi di telecomunicazioni sempre più potenti ed efficienti e in grado di fornire una larghezza di banda maggiore avendo un consumo in termini di potenza e di risorse monetarie sempre più inferiore. In questo scenario, gli oscillatori rivestono un ruolo di fondamentale importanza. Questo perchè nei trasmettitori e ricevitori RF, il loro segnale d'uscita viene dato in ingresso ai mixer, che consentono l'upconversion e la downconversion dei segnali. Gli oscillatori inoltre forniscono segnali di clock altamente precisi, quest'ultimi poi possono così essere impiegati in conversioni analogico digitali e nell'elaborazione numerica di segnali (*Digital Signal Processing*). Nel corso degli anni quindi è stata posta una grande attenzione nella fase di ricerca e sviluppo di oscillatori con prestazioni relative al rumore di fase e al consumo di potenza che potessero essere compatibili con sistemi a batteria (smartphone, smartwatch...). In questa tesi si è progettato un oscillatore operante a 4.8 GHz avente un tuning range del 16% e un phase noise di -128.6 dBc/Hz misurato ad una frequenza di offset di 1MHz. Tale circuito è stato interamente realizzato utilizzando componenti in tecnologia 22nm FDSOI forniti da GlobalFoundries. Abbinando alla tradizionale coppia incrociata differenziale uno stadio di amplificazione stacked, la tensione di alimentazione è pari a 1.6 V, la quale è esattamente il doppio di quella richiesta nel caso in cui fosse presente solamente la coppia incrociata differenziale. Si ha un consumo di potenza di 29.5mW e $FOM = -188.2$ dBc/Hz

Indice

1	Introduzione	1
1.1	Presentazione	1
1.2	Applicazioni	2
1.3	Teoria	6
1.3.1	Oscillatori	6
1.3.2	Rumore di fase	11
1.3.3	Fattore di qualità	19
2	Analisi e progetto	23
2.1	Introduzione alla fase di design	23
2.2	Scelta circuitale	24
2.3	Progettazione del tank LC	25
2.3.1	Banco di capacità a 3 bit	25
2.3.2	Varactor	30
2.3.3	Induttore	32
2.4	VCO con il risonatore	35
2.4.1	FD-SOI MOSFET e scelta dei transistor	36
2.4.2	Polarizzazione	39
2.4.3	Amplificazione stacked	41
2.4.4	OTA	43
2.5	Simulazioni a schematico	45
2.5.1	Swing di tensione	45
2.5.2	Rating di tensione dei MOSFET	47
2.5.3	Sweep di frequenze	49
2.5.4	Rumore di fase	50
2.5.5	Figure Of Merit (FOM)	52

3	Layout	55
3.1	Layout dispositivi attivi	58
3.1.1	Coppia differenziale incrociata	58
3.1.2	Stadio di amplificazione common-gate	59
3.2	Layout banco di capacità	61
3.2.1	Singola cella capacitiva	61
3.2.2	Banco di capacità completo	62
3.3	Layout induttore	64
3.4	Layout completo	67
4	Risultati	69
5	Conclusione e sviluppi futuri	73
	Bibliografia	75

Elenco delle figure

1.1	Schema a blocchi di un trasmettitore.	3
1.2	Schema a blocchi di un ricevitore.	3
1.3	Schema a blocchi di un sistema ricetrasmittente wireless.	4
1.4	Effetto del rumore di fase nel caso di ricezione.	5
1.5	Effetto del rumore di fase nel caso di trasmissione.	5
1.6	Modulazione 16-QAM.	6
1.7	Esemplificazione di un sistema a feedback unitario.	7
1.8	Esempio di un oscillatore ad anello con tre invertitori.	8
1.9	Tank risonante con resistenze equivalenti per esplicitare le non idealità dei componenti.	9
1.10	Coppia differenziale incrociata a NMOS.	10
1.11	Modello a due porte della coppia differenziale incrociata con il tank dell'oscillatore	10
1.12	Differenze tra gli spettri di un oscillatore ideale e reale	11
1.13	Iniezione di un impulso di corrente sul picco di tensione.	12
1.14	Iniezione di un impulso di corrente sull'attraversamento dello zero.	13
1.15	Percorso dell'impulso di corrente verso l'uscita dell'oscillatore.	14
1.16	Andamento caratteristico del rumore di fase.	15
1.17	Principali sorgenti di rumore di fase in un oscillatore.	17
1.18	Schematico di un oscillatore elementare in classe-C.	18
1.19	Circuito risonante.	19
1.20	Schematico di un tank LC con varactor.	22
2.1	Schematico dell'oscillatore oggetto di questa tesi.	24
2.2	Caratteristica ideale di un VCO.	26
2.3	Cella unitaria con cui si realizza un banco di capacità.	26
2.4	Banco di capacità a 3 bit.	27

2.5	Cella unitaria con l'invertitore di tensione con cui si realizza un banco di capacità.	28
2.6	Variazione di frequenza in funzione della parola di comando del banco espressa in decimale.	29
2.7	Simbolo e modello equivalente dei varactor ad accumulazione.	30
2.8	Layout del varactor $egncap_{RF}$	31
2.9	Layout del varactor $egncap_{RF}$ terminato il dimensionamento.	32
2.10	Layout del solo induttore.	34
2.11	Fattore di qualità del solo induttore, $Q = \frac{\Im(Z(j\omega))}{\Re(Z(j\omega))}$	35
2.12	Fattore di qualità del tank completo di induttore, banco di capacità e varactor in funzione della parola di controllo (convertita in decimale) del banco capacitivo.	36
2.13	Sezione di un MOSFET in tecnologia FD-SOI.	37
2.14	Caratteristica tensione-contenente di un generico transistor della libreria 22nm FDSOI per diversi valori di V_{gs}	38
2.15	Rumore di fase e ampiezza di oscillazione in funzione di I_{bias}	40
2.16	Schematico dello specchio di corrente utilizzato per generare la corrente di polarizzazione dell'oscillatore.	40
2.17	Schematico dello stadio di amplificazione <i>common-gate</i> con feedback.	41
2.18	Risultato della simulazione dello stadio di amplificazione. Il guadagno di tensione è $A_v(j\omega_0) = 4$	42
2.19	Schematico dell'OTA usato per la polarizzazione della coppia differenziale incrociata.	44
2.20	Guadagno a catena aperta dell'OTA.	44
2.21	Diagrammi di Bode dell'OTA.	45
2.22	Schematico a blocchi dell'oscillatore in cui si evidenzia l'anello di bias <i>dinamico</i>	46
2.23	Transitorio delle tensioni in uscita dall'OTA (in blu) e al source del transistor della coppia differenziale incrociata (in rosso).	46
2.24	Transitorio delle tensioni in uscita del VCO. In blu la tensione con $v_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$ e in rosso $v_{ctrl,bit} = 111$ e $V_{tune} = 0V$	47
2.25	V_{DS} ai capi dei dispositivi attivi dell'oscillatore.	48
2.26	V_{GS} ai capi dei dispositivi attivi dell'oscillatore.	48
2.27	Tuning range del VCO di questa tesi guardando la frequenza dell'armonica fondamentale al variare di $V_{ctrl,bit}$ e V_{tune}	49

2.28	Frequenza di oscillazione per ciascuna parola di controllo in funzione della tensione V_{tune} . Dall'alto: $V_{ctrl,bit} = 000$ e via scendendo fino a $V_{ctrl,bit} = 111$	50
2.29	Modello ai piccoli segnali di un MOSFET in alta frequenza.	51
2.30	Rumore di fase prodotto dall'oscillatore quando la frequenza è massima (in blu) e quando la frequenza è minima (in rosso).	51
2.31	Rumore di fase prodotto dall'oscillatore quando la frequenza è massima per differenti valori di V_{tune} . A 10 kHz si nota una differenza di 10 dBc/Hz.	52
3.1	Rappresentazione di un generico stack di metalli.	57
3.2	Rappresentazione del collegamento tra l'induttore e il drain del transistor.	58
3.3	Layout combinato della coppia incrociata differenziale e dell'amplificatore common-gate con feedback.	60
3.4	Layout di una singola cella capacitiva.	62
3.5	Layout del banco capacitivo.	63
3.6	Layout del solo induttore.	65
3.7	Layout dell'induttore completo di connessione verso i dispositivi attivi.	66
3.8	Layout completo del core dell'oscillatore.	67
4.1	Transitorio delle tensioni in uscita del VCO. In blu la tensione con $V_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$ e in rosso $V_{ctrl,bit} = 111$ e $V_{tune} = 0V$	70
4.2	Tuning range del VCO post layout.	71
4.3	Frequenza di oscillazione per ciascuna parola di controllo in funzione della tensione V_{tune} . Dall'alto: $V_{ctrl,bit} = 000$ e via scendendo fino a $V_{ctrl,bit} = 111$	71
4.4	Rumore di fase prodotto dall'oscillatore quando la frequenza è massima (in blu) e quando la frequenza è minima (in rosso).	72
4.5	Rumore di fase prodotto dall'oscillatore quando la frequenza è massima per differenti valori di V_{tune} . La differenza a 1 kHz si assesta a 10 dBc/Hz.	72

Capitolo 1

Introduzione

1.1 Presentazione

Inizialmente gli oscillatori erano realizzati tramite valvole termoioniche, le quali impedivano di ottenere una frequenza di oscillazione elevata. Con l'avvento dei transistor però, la situazione cambia notevolmente, consentendo di raggiungere, in abbinamento ad un risonatore composto da induttori e condensatori, frequenze decisamente più elevate. Di conseguenza, grazie all'elevato Q di questi risonatori e alle ampiezze più elevate che riuscivano a raggiungere, il rumore di fase (*phase noise*) non era considerato un problema. Da quando invece si è cominciato ad utilizzare sintetizzatori di frequenza (sistemi in grado di fornire oscillazioni a frequenza regolabile su più decenni a partire da poche oscillazioni a frequenza fissa con risoluzione anche inferiore all'Herz) e frequenze sempre maggiori, ecco che il phase noise ha cominciato a diventare un aspetto di fondamentale importanza per il design degli oscillatori.

Di seguito vengono riportati sinteticamente gli aspetti fondamentali del progetto:

- **Tecnologia:** 22nm FDSOI fornita da GlobalFoundries;
- **Specifiche:**
 - **Range di frequenze:** 4.38-5.18 GHz con tuning range del 16%;
 - **Tensione di alimentazione:** 1.6 V;
- **Obiettivi:**
 - Design del circuito utilizzando CADENCE Spectre;
 - Layout della parte attiva del circuito utilizzando CADENCE Virtuoso.

Non essendoci particolari richieste riguardanti il consumo di potenza, l'aspetto per cui è stato necessario concentrarsi maggiormente è stato il *phase noise*.

Prima di procedere è necessario avere un'idea, seppur vaga, di quali siano i parametri di alcuni oscillatori esistenti che hanno specifiche simili a quello oggetto di questa tesi.

	f_{osc} [GHz]	TR [%]	Phase noise [dBc/Hz]@1MHz	Power cons. [mW]	FOM [dBc/Hz]	Tech
[1]	6	5.1	-115.2	12.5	-179.8	0.13 μm
[2]	5.6	18	-112	8.3	-176.9	0.18 μm
[3]	4.81	22	-117	3	-186	0.13 μm
[4]	4.94	14.1	-113.4	2.3	-185	0.18 μm
Tesi	4.8	16	-128.6	29.5	-188.2	22nm

Tabella 1.1: Confronto oscillatori con prestazioni simili.

Rispetto ad oscillatori aventi frequenza portante simile, si può osservare dalla tabella 1.1 che le prestazioni che in questa tesi si sono ottenute in termini di *Figure Of Merit* (FOM) e di tuning range (TR) sono state più che soddisfacenti. Tuttavia il consumo di potenza appare piuttosto elevato se confrontato con gli altri lavori, la motivazione principale è probabilmente da ricercarsi nel fatto che per raggiungere un'ampiezza di oscillazione doppia grazie allo stadio di amplificazione stacked è stato necessario raddoppiare la tensione di alimentazione e quindi anche la potenza dissipata dall'intera rete.

Nella prossima sezione verranno descritte le applicazioni tipiche in cui si può trovare un VCO a basso rumore di fase, seguite da una spiegazione della teoria riguardante gli oscillatori, il *phase noise* e la tecnologia FDSOI utilizzata. Nel capitolo 2 sarà presente il design dei singoli blocchi dell'oscillatore in oggetto, mentre nel capitolo 3 verrà illustrato il layout di tali parti, illustrandone le varie problematiche. Nel capitolo 4 saranno presente le simulazioni ottenute al termine della fase di layout. Nella conclusione infine verranno riassunti i principali risultati ottenuti e verranno espresse alcune considerazioni.

1.2 Applicazioni

In questa sezione, vengono analizzati i possibili impieghi che può avere un oscillatore controllato in tensione (*VCO*) osservando anche il ruolo che può ricoprire all'interno di un sistema più complesso.

Generalmente un VCO viene utilizzato in due macro gruppi principali: *telecomunicazioni mobili* e *generazione di clock*.

- **Telecomunicazioni mobili:**

- Wireless LAN
- Bluetooth
- Reti cellulari: GSM, UMTS, LTE
- Apertura keyless (*Remote Keyless System*) di autoveicoli

- **Generazione di clock:**

- CPU
- Convertitori analogico-digitali (DAC e ADC)

Un oscillatore solitamente è integrato assieme ad altri blocchi funzionali in modo da comporre un trasmettitore (TX) o un ricevitore (RX), dove funge da *local oscillator* (LO).

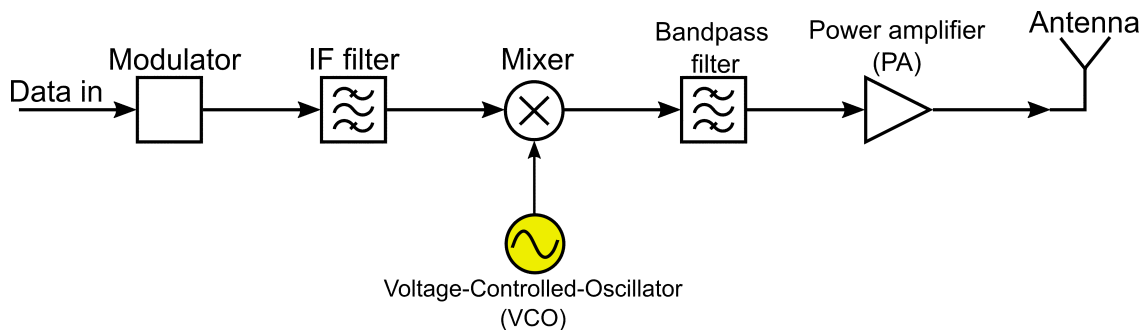


Figura 1.1: Schema a blocchi di un trasmettitore.

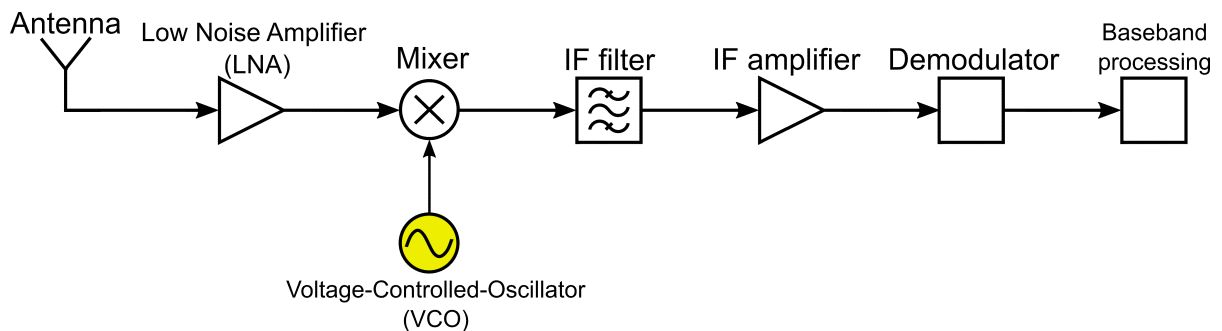


Figura 1.2: Schema a blocchi di un ricevitore.

Come si vede dallo schema a blocchi rappresentato nelle figure 1.1 e 1.2 l'oscillatore è la parte fondamentale del sistema di ricezione e di trasmissione, infatti esso fornisce al mixer il segnale necessario per la trasposizione di frequenza. Risulta quindi ovvio che i segnali provenienti dall'oscillatore locale (LO) debbano essere perfettamente periodici e debbano fornire un riferimento temporale preciso. In questo contesto, il rumore di fase è un ottimo metodo per riuscire a stimare l'instabilità nel tempo che può portare, ad esempio, ad un peggioramento della qualità dell'immagine televisiva, degradare la qualità di trasmissione dei dati, limitare la portata operativa di un radar, oppure ridurre la precisione con la quale un satellite viene individuato nello spazio.

Effetto del rumore di fase nelle comunicazioni a radiofrequenza

Il rumore di fase nei sistemi RF è responsabile del peggioramento della qualità del segnale e fa diminuire la precisione della conversione di frequenze effettuata dal mixer. Si consideri ad esempio un generico sistema ricetrasmittente come quello in

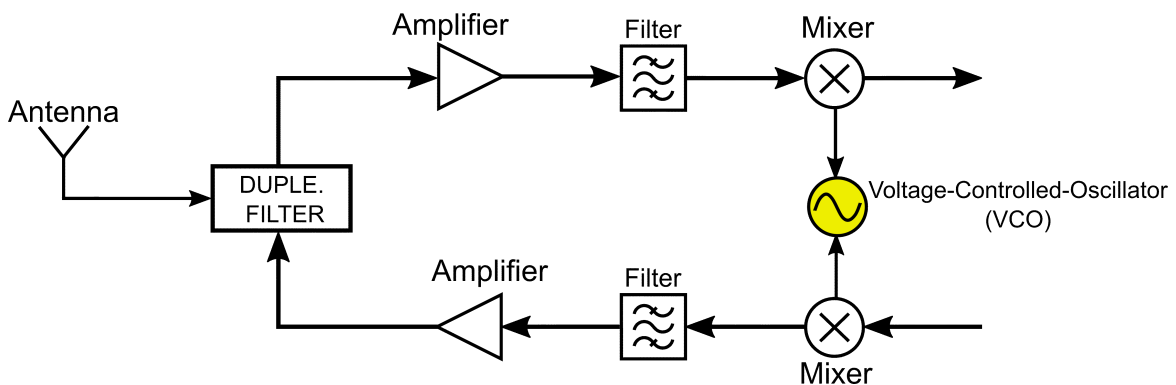


Figura 1.3: Schema a blocchi di un sistema ricetrasmittente wireless.

figura 1.3, nel quale il ricevitore è composto da un amplificatore a basso rumore (*Low Noise Amplifier*), da un filtro passa-banda e da un *downconversion mixer*, mentre il trasmettitore è a sua volta composto da un *upconversion mixer*, da un filtro passa-banda e da un amplificatore di potenza (*Power Amplifier*). Ad entrambi i mixer arriva il segnale fornito dal LO. Appare quindi evidente che nel caso in cui il VCO abbia il benché minimo rumore di fase, questo influenzi l'intero sistema di trasmissione e di ricezione.

Infatti, come si vede dalla figura 1.4, il segnale desiderato quando viene sottoposto all'operazione di *downconversion* subisce l'effetto del phase noise. Il medesimo effetto si può osservare nel caso di *upconversion*.

Un oscillatore ideale genera un'onda perfettamente sinusoidale, che nel dominio della frequenza è rappresentata da una coppia di Delta di Dirac (complessi coniugati) aventi frequenza pari a quella di oscillazione. Negli oscillatori reali invece è presente il phase noise, il quale diffonde la potenza del segnale anche alle frequenze adiacenti. Immaginando di rappresentare tale rumore come un Delta di Dirac in prossimità della frequenza desiderata, a seguito della downconversion con il LO per mezzo del mixer, la banda risultante consiste in due bande che si sovrappongono, dando vita al fenomeno denominato *reciprocal mixing*, che può seriamente deteriorare la selettività del ricevitore.

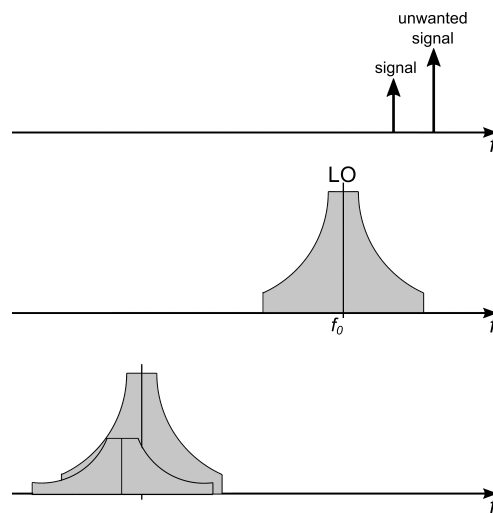


Figura 1.4: Effetto del rumore di fase nel caso di ricezione.

Nei trasmettitori il rumore dell'oscillatore locale è amplificato dai successivi stadi di amplificazione e alla fine arriva all'antenna insieme al segnale desiderato (f_2). Il segnale desiderato è quindi circondato da una banda di rumore proveniente dal rumore di fase del LO. Un esempio si può avere nella figura 1.5, in cui un segnale a bassa potenza vicino alla portante è "sommerso" dal rumore prodotto dal VCO.

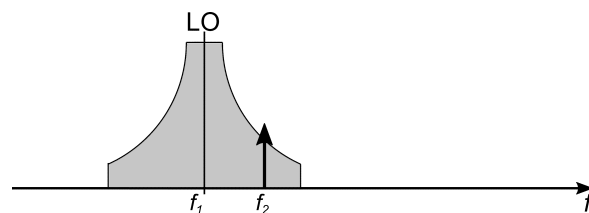


Figura 1.5: Effetto del rumore di fase nel caso di trasmissione.

Il phase noise può anche influenzare negativamente le comunicazioni digitali. In questo caso allora è responsabile di *jitter* nelle informazioni, variando la durata

dei simboli e facendo aumentare la probabilità di errore per bit (BER). Si consideri come esempio la modulazione 16-QAM di figura 1.6, in cui ci sono 16 simboli formati ciascuno da una stringa binaria a 4 bit. Il rumore di fase agisce sulla fase di tutti questi vettori, provocando lo spostamento dalla propria regione, il che implica più probabilità di errori.

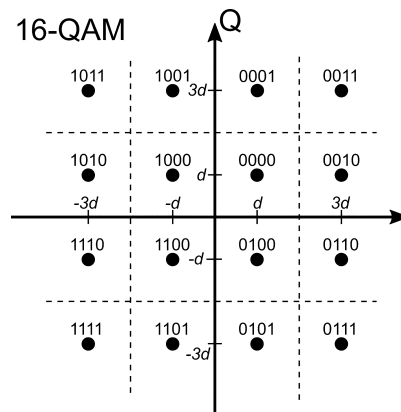


Figura 1.6: Modulazione 16-QAM.

1.3 Teoria

1.3.1 Oscillatori

Un oscillatore è un particolare circuito in grado di generare un'onda tipicamente sinusoidale in assenza di un vero e proprio ingresso. La struttura più tipica è composta da un blocco risonante, da un amplificatore e da una rete di feedback. In genere un oscillatore è chiamato anche "*DC-RF converter*" in quanto è in grado di generare segnali ad alta frequenza avendo come input solamente il circuito di polarizzazione. L'amplificatore pone rimedio alle perdite del circuito risonante in modo da garantire l'ampiezza desiderata, il risuonatore garantisce la corretta frequenza di oscillazione, nel punto in cui risuona: in questo modo viene garantita la minima impedenza di tale blocco circuitale. Inoltre, con il continuo ridursi dei componenti elettronici, si riescono a raggiungere frequenze operative sempre più elevate, fino ad qualche decina di GHz.

Le caratteristiche principali di un oscillatore sono:

- **Ampiezza di oscillazione:** questa caratteristica deve essere sempre massimizzata, in modo da, come si vedrà in seguito, ridurre il più possibile il rumore di fase. In questo modo la forma d'onda risulta più pura possibile in modo da

evitare distorsione, nel caso in cui per esempio il VCO fosse inserito all'interno di un sistema di ricezione. Ovviamente la massima ampiezza raggiunta dipende in primis dalla topologia dell'oscillatore e in secondo luogo dalla tensione di alimentazione.

- **Phase noise:** è il responsabile principale degli errori che si verificano in trasmissione e in ricezione. Dipende in maniera inversamente proporzionale dal fattore di qualità (Q) del circuito risonante, dalla frequenza di oscillazione e dall'ampiezza di oscillazione.
- **Tuning range:** esprime di quanto la frequenza di oscillazione può variare attorno alla frequenza principale, garantendo in questo intervallo di frequenze le massime prestazioni in termini di ampiezza e di rumore di fase.
- **Consumo di potenza:** deve essere il minore possibile in modo da garantire, per esempio, la portabilità del device contenente il VCO.

Si può descrivere un oscillatore come un sistema a feedback negativo mal progettato, dato che si vuole ottenere un margine di fase minore o uguale a zero, e quindi, instabilità. Si pensi al sistema in figura 1.7, il quale ha funzione di trasferimento pari a:

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + H(s)}$$

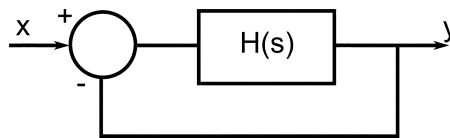


Figura 1.7: Esempificazione di un sistema a feedback unitario.

In un oscillatore si vuole un segnale in uscita, mentre l'ingresso $X(s)$ è nullo. Ne consegue che:

$$\begin{aligned} 1 + H(s) &= 0 \\ H(s = j\omega_1) &= -1 \end{aligned}$$

Si ottiene quindi un sistema il cui guadagno tende a infinito e il rumore a frequenza ω_1 viene amplificato. Inoltre $H(s)$ è una funzione complessa, perciò porre $H(s) = -1$ equivale a porre:

$$\begin{cases} |H(j\omega_1)| = 1 \\ \angle H(j\omega_1) = 180^\circ \end{cases} \quad (1.1)$$

Le condizioni appena derivate sono note come "Criterio di Barkhausen" e sono essenziali per il dimensionamento di un qualsiasi oscillatore. Analizzandole attentamente, si nota che un segnale avente pulsazione ω_1 ha guadagno unitario e uno sfasamento di 180° dopo essere passato attraverso $H(s)$. Inoltre, siccome il feedback è negativo, si aggiungono altri 180° di sfasamento, per cui la fase del segnale di riferimento a ω_1 varia complessivamente di 360° quando percorre l'intero loop. La condizione per cui $|H(j\omega_1)| = 1$ e $\angle H(j\omega_1) = 180^\circ$ implica che se un ingresso a pulsazione ω_1 si propaga nell'anello, prima viene invertito (ma non attenuato) e poi viene sottratto in ingresso, ottenendo così una forma d'onda con ampiezza doppia rispetto a quella originale. Questo processo protratto nel tempo porta ad ampiezze d'uscita via via sempre maggiori. La condizione di *start-up* quindi si identifica con $|H(j\omega_1)| = 1$. Ne consegue che se $|H(j\omega_1)| > 1$ allora l'ampiezza aumenta più rapidamente poichè all'interno dell'anello viene amplificata. La crescita cessa quando la parte attiva del circuito raggiunge la saturazione, mantenendosi così in steady-state.

Esistono due tipologie principali di oscillatori:

- Oscillatori ad anello
- Oscillatori LC a coppia differenziale incrociata (*resistenza negativa*)

La prima tipologia è formata da un numero dispari di invertitori CMOS: Per esempio, se sono presenti tre invertitori come in figura 1.8, allora ciascuno introduce nell'anello uno sfasamento di 60° . Con un alto guadagno d'anello l'oscillazione aumenta velocemente fino a quando i transistor entrano in triodo, abbassando così il guadagno.

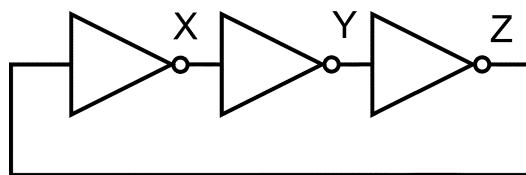


Figura 1.8: Esempio di un oscillatore ad anello con tre invertitori.

Questa topologia si trova principalmente in PLL realizzati all'interno di microprocessori, per via delle loro ridotte dimensioni. Lo svantaggio principale è l'alto rumore di fase dovuto all'assenza di una vera e propria parte reattiva ad alto Q (alta selettività in frequenza) il che rende l'oscillatore ad anello inutilizzabili in applicazioni RF.

Negli oscillatori LC invece è opportuno schematizzare il circuito come una rete a due porte: un risonatore reale (con perdite) e una porta attiva che compensa che le perdite della porta risonante.

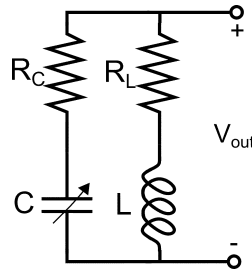


Figura 1.9: Tank risonante con resistenze equivalenti per esplicitare le non idealità dei componenti.

Il tank risonante è composto da un induttore e un condensatore (che racchiudere il parallelo di varactor, capacità d'uscita della coppia differenziale ed eventualmente banco capacitivo). Questi sono elementi reali, perciò, come in figura 1.9 sono affiancati da delle resistenze equivalente che ne modellano le perdite. Se viene trasmesso un impulso di corrente, questo viene assorbito dal condensatore, la carica successivamente passa verso l'induttanza L facendo calare la tensione in uscita. Quando $v_{out} = 0$ il condensatore non ha più energia al suo interno, ma viene nuovamente caricato grazie alla corrente presente in L. La presenza delle perdite fa sì che questa oscillazione sia smorzata e prima o poi termini; si inserisce quindi una parte attiva in grado di porre rimedio alle perdite del tank. La parte attiva ha resistenza negativa in modo da ricreare lo scenario ideale in cui l'ampiezza di oscillazione rimane costante.

Un modo pratico per realizzare la resistenza negativa è la coppia differenziale incrociata come in figura 1.10, in cui il gate di un NMOS è connesso con il drain dell'altro NMOS e viceversa. Si possono realizzare anche coppie differenziali incrociate a PMOS, ma i risultati ottenuti sono i medesimi in quanto i modelli ai piccoli segnali sono tra loro equivalenti.

Ecco allora che unendo la porta risonante con la porta attiva appena descritta e rappresentandole insieme tramite uno schema a blocchi, si ottiene ciò che è raffigurato in figura 1.11.

Osservando tale figura risulta quindi che $A(s) = \frac{sRL}{R + sL + s^2LC}$ e $H(s) = \frac{1}{-R_n}$.

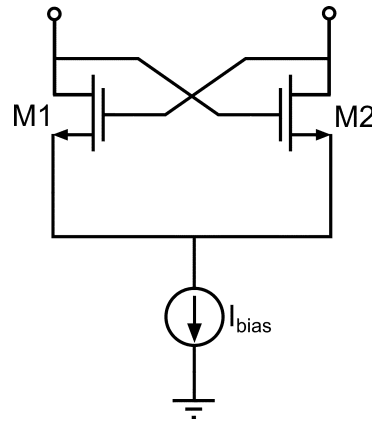
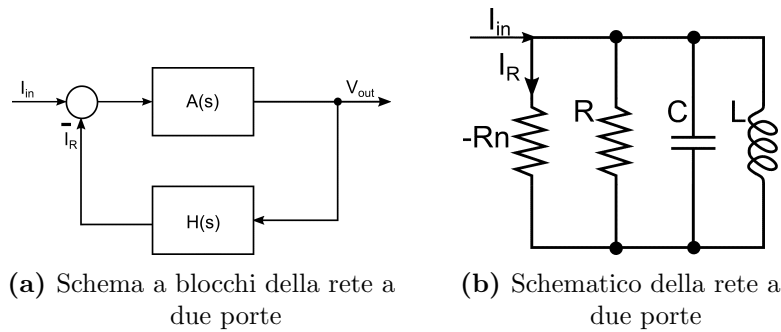


Figura 1.10: Coppia differenziale incrociata a NMOS.



(a) Schema a blocchi della rete a due porte

(b) Schematico della rete a due porte

Figura 1.11: Modello a due porte della coppia differenziale incrociata con il tank dell'oscillatore

La funzione di trasferimento del sistema a catena chiusa che si ottiene è:

$$\frac{V_{out}(s)}{I_{in}(s)} = \frac{A(s)}{1 + A(s)H(s)} = \frac{A(s)}{1 + \frac{A(s)}{-R_n}} \quad (1.2)$$

Estraendo il denominatore della funzione di trasferimento si ricavano i poli del sistema:

$$D(s) = s^2CL + s\left(L - \frac{R}{R_n}L\right) + R$$

$$p_{1,2} = \frac{-(L - \frac{R}{R_n}L) \pm \sqrt{\Delta}}{2LC} = \Re + j\Im$$

Ricordando che l'oscillatore è un sistema instabile e perciò deve avere un polo con parte reale positiva, bisogna soddisfare la condizione $R > R_n$. Il valore di R_n si trova dal modello ai piccoli segnali della coppia incrociata, ottenendo $R_n = \frac{2}{g_m}$. Si

ricava facilmente la condizione di *start-up*:

$$gm > \frac{2}{R} \quad (1.3)$$

La resistenza equivalente della porta passiva può essere facilmente calcolata conoscendo le resistenze serie dell'induttore e della capacità (o varactor). Nel caso di un induttore, per esempio, se R_s è la sua resistenza serie, si ha $R_p = \frac{\omega^2 L^2}{R_s}$ mentre per i condensatori $R_p = \frac{1}{\omega^2 C^2 R_s}$, dove R_s indica sempre la resistenza serie (questa volta del condensatore) e in entrambi i casi ω è la pulsazione corrispondente alla pulsazione in cui si verifica l'oscillazione.

Inoltre la condizione di start-up garantisce di avere dei poli con parte reale positiva, quindi l'oscillazione parte grazie al rumore inizialmente presente nel circuito.

1.3.2 Rumore di fase

Un oscillatore ideale produce un tono sinusoidale puro: $x(t) = A\cos(\omega_c t)$, nella realtà il rumore dei componenti elettronici del VCO perturbano in modo del tutto casuale il periodo ($T_c = \frac{2\pi}{\omega_c}$) dell'onda d'uscita. questo disturbo può essere modellizzato come $x(t) = A\cos[\omega_c t + \phi_n(t)]$, dove $\phi_n(t)$ è il *rumore di fase* e simboleggia un'infinitesima variazione casuale nella fase di $x(t)$. Ciò comporta che la frequenza varia randomicamente, come può essere osservato più facilmente dallo spettro di $x(t)$ nei due casi di figura 1.12. La presenza del rumore di fase quindi fa sì che in frequenza non ci sia più un singolo impulso centrato in ω_c , ma ci sia uno spettro allargato che aumenta la probabilità di errore sia in ricezione che in trasmissione.

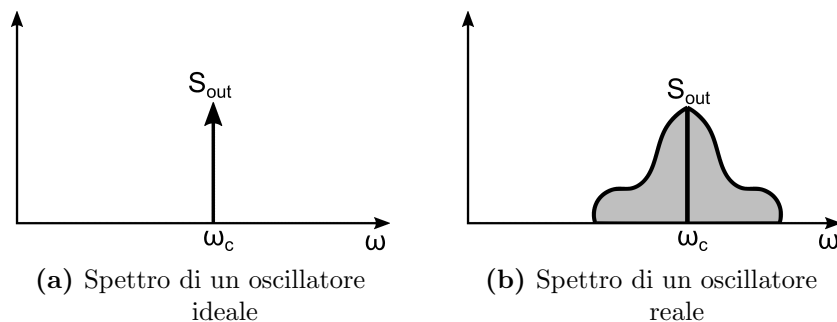


Figura 1.12: Differenze tra gli spettri di un oscillatore ideale e reale

La ragione per cui ci si focalizza maggiormente sul disturbo relativo alla frequenza rispetto al disturbo che influenza l'ampiezza di oscillazione è perché quest'ultimo

viene completamente rimosso dall'hard-switching dei transistor della coppia differenziale incrociata.

Il phase noise ricade a frequenze diverse da ω_c , per cui quando viene misurato deve essere specificata una frequenza di offset. Di solito si considera una banda di 1 Hz ad un certo offset Δf , si misura la potenza in questa banda di frequenze e si normalizza rispetto alla banda della portante. Inoltre il rumore di fase è spesso espresso in termini di "single-sideband-to-carrier", ossia:

$$\mathcal{L}(\Delta\omega) = \frac{\text{Power of one sideband at } \Delta\omega}{\text{Power of the carrier}} \quad (1.4)$$

In generale si esprime $\phi(t)$ tramite la sua "Power Spectral Density" o PSD $S_\phi(\Delta\omega)$:

$$\mathcal{L}(\Delta\omega) = \frac{1}{2} S_\phi(\Delta\omega) \quad (1.5)$$

Analisi del rumore di fase

Si consideri un tank LC ideale che produce in uscita un segnale sinusoidale. Durante l'oscillazione il condensatore e l'induttore si scambiano continuamente energia tra loro. Si supponga che sul condensatore sia presente una tensione iniziale V_o e si supponga di applicare un impulso di corrente $I_{in} = I_1\delta(t - t_1)$ quando la tensione d'uscita è massima, facendola così aumentare fino a $V_p = V_o + \frac{I_1}{C}$. Come si vede dalla figura 1.13 l'iniezione di segnale in questo punto non perturba la fase dell'oscillazione.

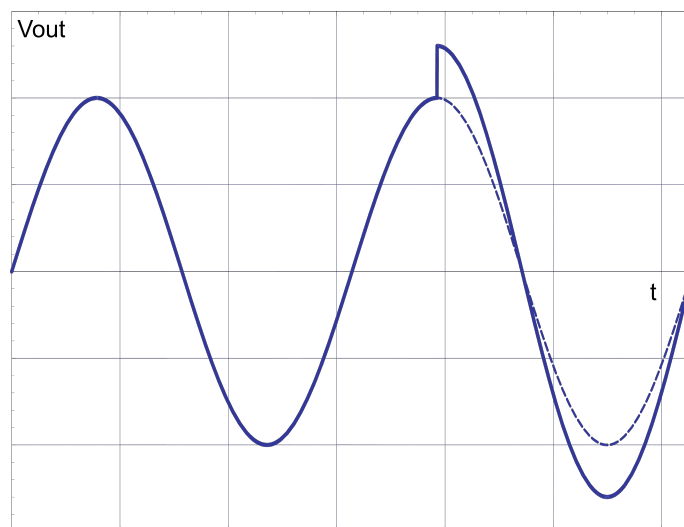


Figura 1.13: Iniezione di un impulso di corrente sul picco di tensione.

Invece, se si inietta lo stesso impulso di corrente nel momento in cui la tensione d'uscita attraversa lo zero, si crea nuovamente un gradino di tensione di ampiezza pari al precedente caso, tuttavia questo porta ad uno sfasamento.

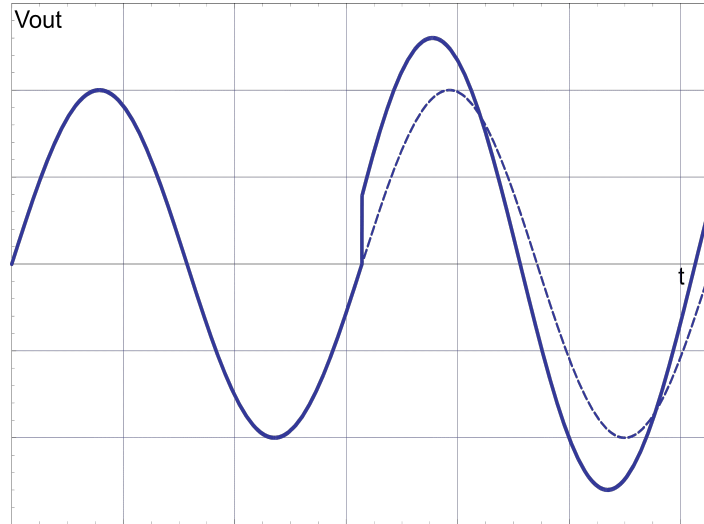


Figura 1.14: Iniezione di un impulso di corrente sull'attraversamento dello zero.

Il rumore quindi crea solo modulazione d'ampiezza se è iniettato sul picco, mentre introduce solo modulazione di fase se è iniettato all'attraversamento dello zero.

Definiamo un sistema lineare e tempo-invariante in cui ogni ingresso è costituito da una sorgente di rumore e la cui uscita è la fase. Applicando il teorema della convoluzione si ottiene la risposta impulsiva nella forma normalizzata:

$$h_{\phi}(t, \tau) = \frac{\Gamma(\omega_0 t)}{q_{max}} \cdot u(t - \tau)$$

dove $q_{max} = C \cdot V_{peak}$ è la costante di normalizzazione. la funzione $\Gamma(\omega_0 t)$ è la "Impulsive Sensitive Function" o ISF, periodica nel tempo ed esprime la sensibilità del rumore di fase rispetto ai disturbi del sistema; $u(t - \tau)$ è il gradino unitario. La risposta del sistema per un generico segnale è:

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t - \tau) i(\tau) d\tau = \frac{1}{q_{max}} \int_{-\infty}^t \Gamma(\omega_0 t) i(\tau) d\tau, \quad ,$$

dato che la funzione è periodica:

$$\Gamma(\omega_0 t) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega_0 t + \phi_n)$$

e quindi:

$$\phi(t) = \frac{1}{q_{max}} \left(\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t \cos(n\omega_0 t) i(\tau) d\tau \right) \quad (1.6)$$

Questo può essere rappresentato graficamente come in figura 1.15.

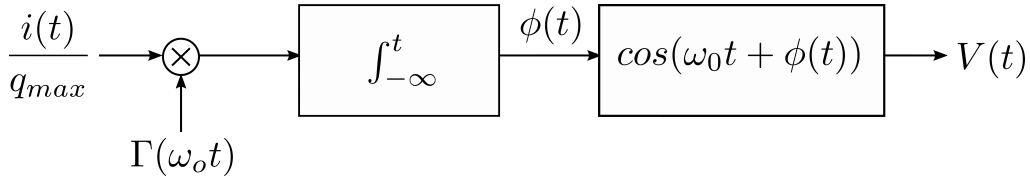


Figura 1.15: Percorso dell'impulso di corrente verso l'uscita dell'oscillatore.

Si osserva che $\phi(t)$ ha uno spettro di tipo passa-basso a causa dell'integrazione (o filtraggio). A causa dell'integrazione, se la PSD del segnale di ingresso $S_{in}(\Delta\omega)$ è costante, allora $S_\phi(\Delta\omega)$ è proporzionale a $1/f^2$, mentre se $S_{in}(\Delta\omega)$ è di tipo Flicker (cioè direttamente proporzionale al reciproco della frequenza) allora $S_\phi(\Delta\omega)$ è proporzionale a $1/f^3$. Oltre a ciò, a causa del processo di mixing della ISF si verifica il fenomeno detto "spectrum folding", perciò la PSD del rumore di fase dipende da tutte le componenti spettrali di $i_n(t)$ a $S_{in}(\Delta\omega + k\omega_0)$, con $k \in \mathbb{Z}$.

Una metodologia pratica per il calcolo del rumore di fase è stata sviluppata da Leeson [7]. Partendo dal fattore di rumore F :

$$F = \frac{(S/N)_{in}}{(S/N)_{out}} = \frac{N_{out}}{kTBG} \quad (1.7)$$

in cui N è il rumore, k la costante di Boltzmann, T la temperatura assoluta, B la banda entro cui è calcolato il rumore e G è il guadagno dello stadio di amplificazione, dal momento in cui l'oscillatore è pensato come un sistema formato da un amplificatore e da una retroazione. Come si è visto, il rumore di fase all'ingresso avente banda 1Hz produce una variazione di fase [8]:

$$\Delta\theta_{rms} = \frac{1}{\sqrt{2}} \sqrt{\frac{FkT}{P_s}} \quad (1.8)$$

avendo chiamato P_s la potenza del segnale all'ingresso della parte attiva dell'oscillatore. È possibile ottenere ora la PSD del rumore di fase:

$$S_\theta(f_m) = \Delta\theta_{rms}^2 = \frac{FkT}{2P_s} \quad (1.9)$$

Bisogna considerare che se la frequenza di modulazione è prossima alla portante, allora $S_\phi(f_m)$ presenta una componente di rumore flicker ($1/f$), descritta in maniera empirica dalla corner frequency f_c . Tenendo conto di questo il phase noise diventa:

$$S_\phi(f_m) = \frac{FkT}{P_s} \cdot \left(1 + \frac{f_c}{f_m}\right)$$

Se si aggiunge anche la funzione di trasferimento dell'oscillatore, ecco che si ottiene

l'espressione per il rumore di fase single-side-band:

$$\mathcal{L} = \frac{1}{2} \left[1 + \frac{1}{f_m^2} \left(\frac{f_0}{2Q_L} \right)^2 \right] S_\phi(f_m) \quad (1.10)$$

dove Q_L è il fattore di qualità dell'induttore. Ora ci sono due possibili situazioni in base a Q_L : se questo è basso allora la banda del risonatore è più grande di f_c , quindi la PSD mostra una dipendenza da $1/f^3$ e da $1/f^2$ nei pressi della portante; se invece Q_L è alto, c'è prima la regione $1/f^3$ e poi quella $1/f^2$ come in figura 1.16. La formula di Leeson complessiva è:

$$\mathcal{L}(\Delta\omega) = \frac{FkT}{2P_s} \left[\frac{f_0^2 f_c}{4Q_L f_m^3} + \frac{1}{f_m^2} \left(\frac{f_0}{2Q_L} \right)^2 + \left(1 + \frac{f_c}{f_m} \right) \right] \quad (1.11)$$

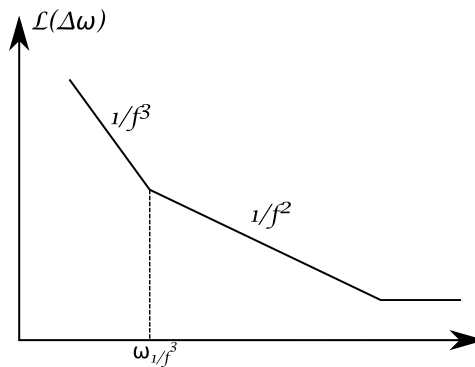


Figura 1.16: Andamento caratteristico del rumore di fase.

Per il modello di Leeson si è ipotizzato che l'oscillatore abbia un comportamento lineare tempo-invariante, ma Hajimiri e Lee hanno partendo dall'equazione appena ricavata hanno proposto un nuovo modello che tiene conto delle proprietà non lineari tempo-invarianti delle forme d'onda di corrente presenti nell'oscillatore. Considerano quindi la situazione descritta precedentemente e rappresentata nelle figure 1.13 e 1.14.

$$\mathcal{L}(\Delta\omega) = 10 \log \left[\frac{c_0}{q_{max}^2} \cdot \frac{i_n^2}{\Delta f} \cdot 8f_m^2 \cdot \frac{\omega_{1/f}}{f_m} \right] \text{ regione } \frac{1}{f^3} \quad (1.12)$$

$$\mathcal{L}(\Delta\omega) = 10 \log \left[\frac{\Gamma_{rms}^2}{q_{max}^2} \cdot \frac{i_n^2}{4f_m^2} \right] \text{ regione } \frac{1}{f^2} \quad (1.13)$$

dove:

- c_0 : coefficiente di ordine 0 della ISF

- q_{max} : carica massima disponibile nel condensatore del risonatore
- $\frac{i_n^2}{\Delta f}$: densità spettrale di rumore
- f_m : frequenza di offset dalla portante
- $\omega_{1/f}$: Flicker corner frequency
- Γ_{rms}^2 : valore RMS di $\Gamma(\Delta\omega)$

Se si fa l'ipotesi che l'oscillatore sia un sistema LTI, che il rumore sia stazionario e si propaghi liberamente sotto forma di sinusoidi, l'equazione per il rumore di fase diventa:

$$\mathcal{L}(\Delta\omega) \equiv 10 \log \left[\frac{1}{2} \frac{kT}{V_{max}^2} \cdot \frac{1}{R_p (C\omega_0)^2} \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right] \quad (1.14)$$

dove R_p rappresenta le perdite del risonatore attraverso le quali è possibile calcolare anche il fattore di qualità di quest'ultimo con la relazione $Q = R_p \sqrt{\frac{C}{L}}$. Con l'equazione per il rumore di fase appena ricavata risulta quindi evidente che per avere un phase noise migliore, è necessario che la tensione d'uscita sia elevata e progettare l'induttore in modo che abbia un fattore di qualità il più grande possibile.

Oltre al rumore di fase inoltre viene usato un altro parametro per esprimere la bontà o meno di un oscillatore, la FOM (*Figure Of Merit*) e vale:

$$FOM \equiv \mathcal{L}(\Delta f) + 10 \log \left(\frac{P_{diss}}{1mW} \right) - 20 \log \left(\frac{f_0}{\Delta f} \right) \quad (1.15)$$

$$FOM_T \equiv \mathcal{L}(\Delta f) - 20 \log \left(\frac{f_0}{\Delta f} \cdot \frac{TR[\%]}{10} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right) \quad (1.16)$$

dove $\mathcal{L}(\Delta f)$ è il rumore di fase già espresso in dBc/Hz alla frequenza di offset Δf , f_0 è la frequenza di oscillazione, $TR[\%]$ è il tuning range espresso in percentuale, P_{diss} è la potenza dissipata espressa in mW. La seconda figura di merito, FOM_T considera anche le performance in termini di variazione di frequenza.

Rumore di fase in un oscillatore in classe C

In un oscillatore tradizionale i contributi principali che contribuiscono al peggioramento del rumore di fase sono la coppia incrociata differenziale, le sorgenti di corrente di coda e il rumore termico associato alle perdite della sezione risonante, come in figura 1.17.

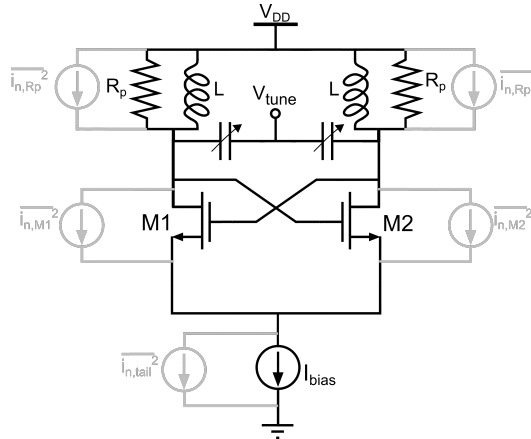


Figura 1.17: Principali sorgenti di rumore di fase in un oscillatore.

Per quanto riguarda i transistor, è stato detto che la *Impulse Sensitive Function* è il parametro che misura la sensitività della fase del VCO rispetto agli impulsi di corrente. La ISF è tanto più grande tanto più $v_{out}(t)$ è prossima all'attraversamento con lo zero e viceversa. Ne consegue che è necessario sincronizzare gli impulsi di corrente con l'istante in cui la ISF è minima, in modo da ridurre il più possibile il rumore di fase. Per un generico oscillatore, come spiegato in [9], se l'angolo di conduzione dei transistor è 2Φ allora l'ampiezza della prima armonica è

$$A_{\omega_0} = I_{bias} R_P \text{sinc}\left(\frac{\Phi}{\pi}\right) \quad (1.17)$$

e se $\text{sinc}\left(\frac{\Phi}{\pi}\right) \approx 1$ allora:

$$A_{\omega_0} = I_{bias} R_P \quad (1.18)$$

portando quindi ad una riduzione del phase noise. In questo modo si riesce a ridurre il rumore di fase nella regione $1/f^3$. Per ottenere questo in pratica si connette al nodo di source comune di M1 e M2 un condensatore C_{tail} sufficientemente grande, in parallelo al generatore di corrente di tail. Da tener conto tuttavia è che se il condensatore di coda è di valore eccessivo, si verifica il fenomeno detto *squegging*, vale a dire che l'oscillazione in uscita viene periodicamente smorzata. La corrente circolante su C_{tail} è una sinusoide a frequenza $2\omega_0$ e la corrente di drain di M1 e M2 diventa $I_D = \frac{1}{2}I_{tail} = \frac{1}{2}(I_{bias} + I_C)$.

Un oscillatore in classe C quindi ha una maggiore ampiezza di oscillazione a parità di I_{bias} proprio grazie alla generazione più efficace dell'armonica fondamentale di corrente I_{ω_0} (ossia è maggiore il rapporto tra I_{ω_0} e la corrente di polarizzazione in DC, rispetto alla topologia di un oscillatore in classe B). Con la presenza di C_{tail} inoltre

l'angolo di conduzione è minore di 2Φ , di conseguenza $I_{\omega 0} \approx I_{bias}$ [10]. La presenza di un grande condensatore C_{tail} è l'elemento chiave per generare una forma d'onda impulsata della corrente mantenendo i transistor sempre in saturazione. Inoltre tra gate e tank è inserita una capacità di decoupling che permette di ottenere uno swing di tensione in uscita ancora maggiore, come in figura 1.18.

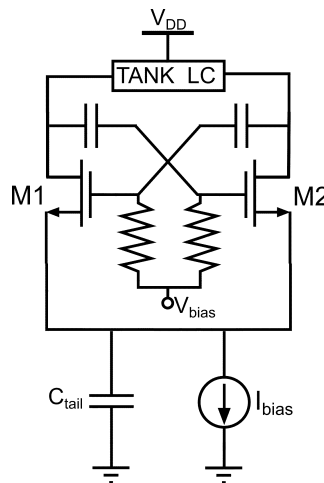


Figura 1.18: Schematico di un oscillatore elementare in classe-C.

In sostanza per avere delle buone performance di rumore nella regione $1/f^3$ è necessario adottare un oscillatore in classe-C. Questo perché il rumore flicker $1/f$ generato dalla coppia differenziale incrociata è per la maggior parte respinto da questa topologia, mentre il rumore proveniente dal circuito di polarizzazione può essere limitato opportunamente grazie ad un buon design.

Effetti di canale corto sul rumore di fase Negli ultimi anni per via della riduzione delle misure dei transistor, si è reso necessario inserire nell'analisi dei circuiti anche le problematiche relative agli effetti di canale corto. In particolare, per quanto riguarda il rumore di fase, in [11] si nota che, variando la corrente di polarizzazione I_{bias} , il rumore nella regione $1/f^2$ varia con il variare dell'ampiezza di oscillazione, mentre il rumore $1/f^3$ dovuto all'upconversion di $1/f$ è pressoché costante, ciò perché il fenomeno dell'upconversion è causato principalmente dagli effetti di canale corto (specialmente per l'aumentare della velocità dei portatori di carica nel canale del MOS quando è in saturazione). Se nell'analisi del rumore si utilizza la caratteristica ideale tensione-corrente dei MOS (*Square-law*) non si verifica nessuna upconversion del rumore flicker da parte dei transistor della coppia differenziale incrociata. Con la tecnologia usata in questa tesi, 22nm distribuiti da GlobalFoundries, è necessario

considerare gli effetti di canale corto. Il rumore di fase allora diventa [11]:

$$\mathcal{L}(\Delta\omega) = 10 \log \left[\frac{4kT(1+\gamma)}{R_{tank}I_{tail}^2} \cdot \left(\frac{\omega_0}{2Q\Delta\omega}\right)^2 \cdot \left(1 + \frac{f_{1/f^3}}{f}\right) \right] \quad (1.19)$$

dove f_{1/f^3} è la frequenza d'angolo tra le regioni $1/f^2$ e $1/f^3$ e γ è il fattore di rumore del canale del MOSFET ($\gamma \in \frac{2}{3} \div \frac{4}{3}$ per MOS a canale corto).

1.3.3 Fattore di qualità

Il fattore di qualità come si è appena concluso, è una parte fondamentale del design di un oscillatore, proprio perché ne riduce il rumore. È quindi necessario capire a fondo come sia definito Q al fine di migliorare le prestazioni complessive del circuito. Un fattore di qualità viene ritenuto sufficientemente buono quando le perdite in termini di energia del sistema sono basse in relazione alla quantità di energia circolante complessivamente. La definizione generica del fattore di qualità è la seguente:

$$Q \equiv \omega \frac{\text{Energia totale del tank}}{\text{Potenza persa in un ciclo di oscillazione}} \quad (1.20)$$

Un semplice circuito risonante è quello in figura 1.19 in cui appare chiaro che se la resistenza R_p ha un valore basso, allora l'oscillazione appare attenuata poiché su di essa circola un notevole quantitativo di corrente e tale corrente deve essere prodotta "in eccesso" dal generatore, viceversa se R_p è molto elevata, l'ampiezza di oscillazione subisce poche perdite perché la resistenza è assimilabile ad un circuito aperto.

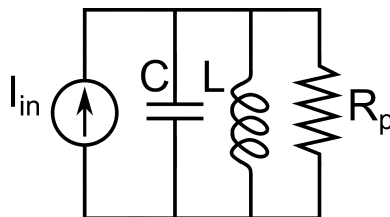


Figura 1.19: Circuito risonante.

La proprietà principale del circuito risonante è quella di essere in grado di immagazzinare e rilasciare energia. In particolare nell'induttore e nel condensatore sono presenti rispettivamente energia magnetica $W_m = \frac{1}{2}Li_L^2(t)$ ed elettrica $W_e = \frac{1}{2}Cv_c^2(t)$. Questi due componenti risuonano a ω_0 , ossia quando l'impedenza misurata è puramente resistiva e i moduli delle correnti circolanti nei componenti reattivi sono

equivalenti:

$$\begin{cases} |I_L| = |I_C| = Q|I_{in}| = Q\left|\frac{V_p}{R_p}\right| \text{ in } \omega_0 \\ Y_p(\omega_0) = \frac{1}{R_p} \end{cases} \quad (1.21)$$

La potenza media dissipata nella resistenza è:

$$P_{diss} = \frac{1}{2}R_p \hat{I}_{in}^2 \quad (1.22)$$

Inserendo le due equazioni appena ottenute in quella più generale data dalla definizione stessa di fattore di qualità, si trova così una forma alternativa, data dalla relazione:

$$Q = R_p \frac{C}{L} \quad (1.23)$$

valida nel caso di figura 1.19 in cui il tank è costituito da un RLC parallelo. Se invece si dovesse considerare un circuito RLC serie come nel caso di un induttore integrato modellizzato come la serie di un induttore, una resistenza parassita R_s , e qualche capacità parassita, allora:

$$Q = \frac{\sqrt{L/C}}{R_s} \quad (1.24)$$

Se la resistenza serie è minima allora viene massimizzato il Q, si evince quindi che lo scopo della fase di progettazione dell'induttore è quello di diminuire il più possibile R_s . Esiste un collegamento tra la rete RLC parallelo precedentemente analizzata e il fattore di qualità del coil, ossia esiste una relazione che permette di passare tra le due rappresentazioni:

$$R_p \approx R_s Q^2 \quad (1.25)$$

dove R_p è la resistenza parallelo equivalente dell'induttore. Ne risulta ovvio che un aumento della resistenza serie comporta una diminuzione della resistenza parallelo e quindi del fattore di qualità dell'induttore stesso.

Un'ulteriore modo di esprimere il Q di un circuito risonante è quello di esprimerlo nell'intorno della pulsazione di risonanza:

$$Q \equiv \frac{\omega_0}{\omega_{-3dB}} \quad (1.26)$$

dove ω_0 è la pulsazione di risonanza e ω_{-3dB} è la banda a -3dB dell'impedenza o dell'ammettenza, dipendentemente dal tank rappresentato come RLC serie o RLC parallelo.

Fattore di qualità se L e C hanno perdite

Una situazione che si verifica molto frequentemente e che vale quindi la pena essere analizzata è quella in cui un tank parallelo sia formato da un condensatore e un induttore entrambi con perdite. È possibile rappresentare tali perdite come una resistenza parallelo per ciascun componente, come visto poco fa, ottenendo $Q_L = \frac{R_{pL}}{\omega L}$ e $Q_C = R_{pC}C\omega$. In prossimità della risonanza inoltre vale $\omega L = (\omega C)^{-1}$. Il Q totale risulta:

$$Q_{tot} = \frac{R_{pL}R_{pC}}{R_{pL} + R_{pC}} \cdot \frac{1}{\omega L} = \frac{1}{\frac{\omega L}{R_{pL}} + \frac{\omega L}{R_{pC}}} = \frac{1}{\frac{\omega L}{R_{pL}} + \frac{1}{\omega CR_{pC}}}.$$

Ne consegue che:

$$\frac{1}{Q_{tot}} = \frac{1}{Q_L} + \frac{1}{Q_C} \quad (1.27)$$

Si nota immediatamente come il fattore di qualità che ne risulta è il parallelo tra il fattore di qualità dell'induttore e quello del condensatore.

Effetto dei varacator sul fattore di qualità

I varacator sono dei diodi in grado di variare la capacità equivalente vista ai loro capi in base ad una specifica tensione di controllo in base alla relazione:

$$C_j = \frac{C_{j0}}{\sqrt{1 - \frac{V_D}{V_{bi}}}} \quad (1.28)$$

in cui V_{bi} è la tensione di built-in e V_D è la tensione applicata al diodo.

La capacità che si riesce ad ottenere da questi componenti è una piccola frazione della capacità totale del tank. Sono anch'essi elementi reali e perciò è possibile estrarre una resistenza serie equivalente R_{var} per modellizzare le loro perdite. Nell'ipotesi realistica in cui le perdite dell'induttore siano maggiori rispetto a quelle del condensatore del tank, è possibile trasformare R_{var} e C_{var} nel suo equivalente parallelo $R_{p2} = \frac{1}{\omega R_{var}C_{var}^2}$, come in figura 1.20, e quindi il Q relativo alle sole capacità diventa:

$$Q_C = \omega R_{p2}(C_1 + C_{var}) = \frac{C_1 + C_{var}}{\omega R_{var}C_{var}^2}.$$

Sapendo che $Q_{var} = (\omega R_{var}C_{var})^{-1}$ si ottiene:

$$Q_C = \left(1 + \frac{C_1}{C_{var}}\right)Q_{var}.$$

Si vede che il fattore di qualità dei varacator è aumentato di un fattore $1 + C_1/C_{var}$.

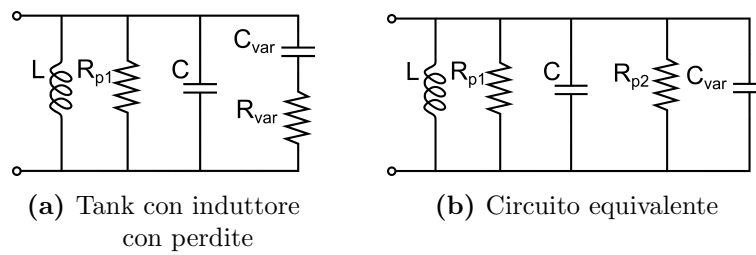


Figura 1.20: Schematico di un tank LC con varactor.

Il Q complessivo che ne risulta è:

$$\frac{1}{Q_C} = \frac{1}{Q_L} + \frac{1}{Q_{var} \left(1 + \frac{C_1}{C_{var}}\right)} \quad (1.29)$$

Per frequenze fino a qualche decina di GHz il termine $\frac{1}{Q_L}$ è dominante, tuttavia con l'aumentare delle frequenze di oscillazione quello appena descritto è un fenomeno di cui bisogna tener conto.

Capitolo 2

Analisi e progetto

2.1 Introduzione alla fase di design

Prima di cominciare con la parte di progettazione vera e propria, è necessario studiare approfonditamente il sistema nella sua interezza e tutti i sottosistemi in esso contenuti. Una volta compresi anche i sottosistemi, diventa fondamentale concentrarsi sui singoli componenti elettronici come MOSFET, condensatori ecc, in modo da avere un'idea di quali dispositivi la tecnologia offra e del loro funzionamento.

Dopo questo studio iniziale si sono effettuati i primi test con componenti ideali tramite l'aiuto del software "Cadence", in modo da verificare il corretto funzionamento del tutto almeno con i componenti ideali. Il passo successivo è quello di aggiungere i componenti reali e osservare il comportamento del circuito e concentrarsi sullo studio e sul miglioramento della parte della rete che potrebbe causare una maggior peggioramento delle prestazioni. In questo caso si è cercato di migliorare le caratteristiche dell'induttore e in generale del tank in quanto come si è visto nel capitolo precedente sono gli elementi chiave di un oscillatore in quanto ne limitano le prestazioni in termine di rumore di fase e di ampiezza di oscillazione, se presentano troppe perdite.

Una volta terminata la parte dedicata alle simulazioni "a schematico" si passa alla fase di layout, ossia la fase in cui si dispongono i componenti reali sul silicio rispettando le regole di design imposte dal tipo di tecnologia, per mezzo di "Cadence Layout XL". Qui vengono tracciate le connessioni tra i dispositivi: queste hanno ovviamente un comportamento resistivo e induttivo, e possono introdurre una capacità parassita con il substrato e con altre connessioni metalliche o componenti vicini. I risultati ottenuti al termine di questo processo sono da aspettarsi peggiori rispetto a quelli a schematico. Nel caso di un peggioramento eccessivo è quindi necessario

ripensare e riprogettare la disposizione dei componenti sul silicio in modo da ridurre le troppe perdite e migliorarne le performance.

2.2 Scelta circuitale

Il circuito che si è analizzato e di cui si è realizzato il layout è quello di figura 2.1.

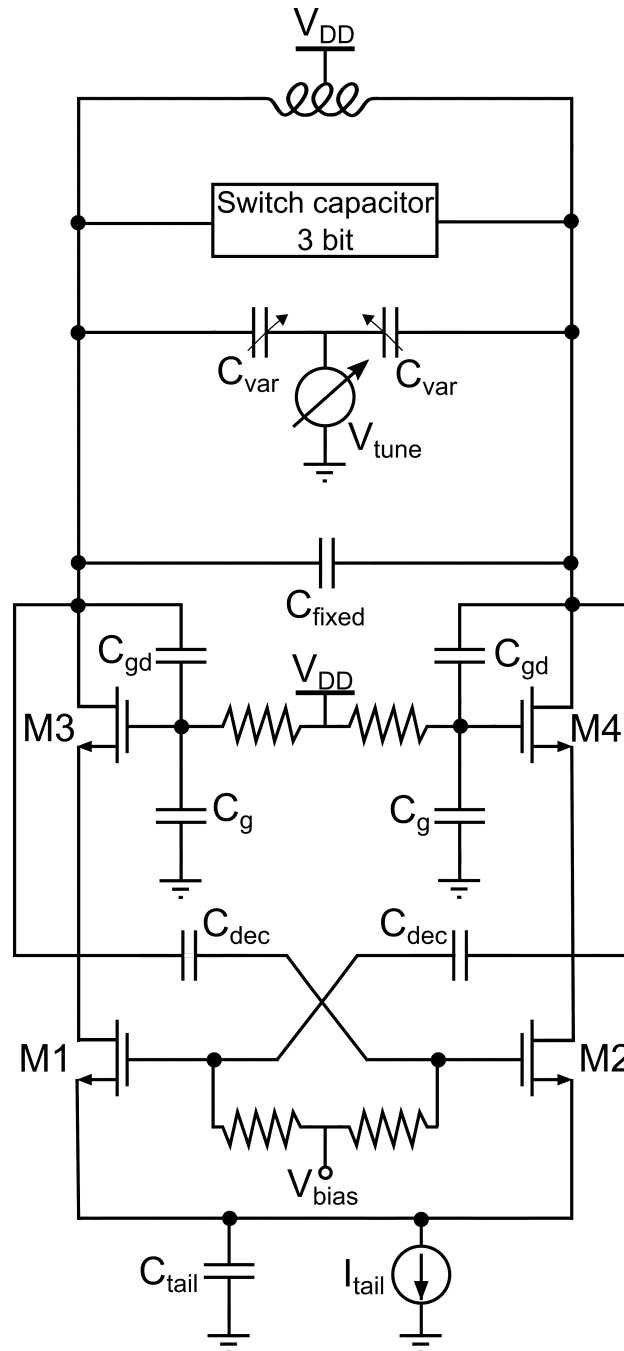


Figura 2.1: Schematico dell'oscillatore oggetto di questa tesi.

Si possono individuare quattro parti principali:

- **LC tank:** formato da induttore, banco di capacità, varactor e C_{fixed} ;
- **Amplificatore stacked:** formato dalla coppia di transistor M3 e M4, dal relativo circuito di bias e dalle capacità C_g e C_{gd} e C_{dec} che connette l'amplificatore stacked con la coppia differenziale incrociata;
- **Coppia differenziale incrociata:** formata dalla coppia di transistor M1 e M2, il relativo circuito di bias;
- **Condensatore di coda e generatore di corrente di bias.**

2.3 Progettazione del tank LC

In questa sezione verranno analizzate le scelte progettuali fatte al fine di ottenere le prestazioni migliori in termini di rumore di fase, dal momento in cui come già precedentemente illustrato, questa è la sezione critica che influenza maggiormente le caratteristiche complessive dell'intero oscillatore, sia per quanto riguarda la frequenza di oscillazione ma anche per quanto riguarda le perdite che fanno diminuire l'ampiezza dello swing della tensione d'uscita. In questo grande blocco circuitale sono racchiusi l'induttore, il banco di capacità a 3 bit e i varactor. In particolare queste ultime due parti, il banco di capacità e i varactor, consentono all'oscillatore di cambiare la frequenza di oscillazione, più avanti verrà discusso con maggior dettaglio il modo in cui si riesce a fare ciò. È presente inoltre una capacità fissata che consente di aggiustare il tuning.

2.3.1 Banco di capacità a 3 bit

La maggior parte degli oscillatori deve essere accordata in frequenza e il controllo della frequenza all'interno di un certo intervallo viene fatto tramite un segnale di tensione. Il termine "*Voltage Controlled Oscillator*" deriva proprio da questo tipo di funzionamento. Idealmente un VCO dovrebbe comportarsi come in figura 2.2 in cui c'è una proporzionalità diretta tra la parola di controllo e la frequenza d'uscita, secondo la relazione:

$$f_{out} = k_{VCO}|V_{cont}| + f_o \quad (2.1)$$

Per variare la frequenza di un oscillatore LC bisogna far variare la frequenza del suo tank, tuttavia siccome è difficoltoso cambiare le proprietà dell'induttore elettronica-

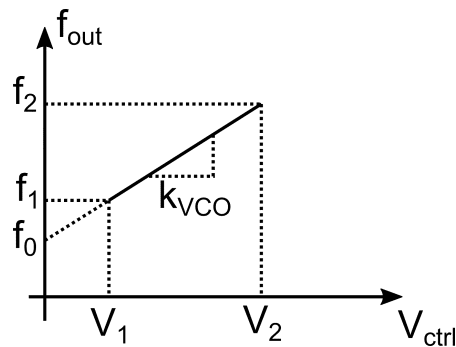


Figura 2.2: Caratteristica ideale di un VCO.

mente, si fanno variare le capacità. Per coprire un sufficientemente vasto intervallo di frequenze si ricorre alla "regolazione discreta" o "*discrete tuning*" in modo da avere uno sweep in frequenza ben maggiore rispetto alla variazione ottenuta con i varactor. L'idea elementare per realizzarlo è mettere in parallelo delle capacità unitarie C_u e controllarle in modo da ottenere quanto desiderato. La cella unitaria è realizzata come in figura 2.3, in cui il bit di controllo del MOS può assumere i due soli valori $V_{ctrl} = 0$ o $V_{ctrl} = V_{DD}$ e R_C sono le resistenze di polarizzazione. Da notare che il fattore di qualità varia in base alla frequenza di oscillazione, e quindi in base allo stato in cui si trovano le celle capacitive. Infatti, dal momento in cui R_{off} è dovuto alle sole perdite dei condensatori, allora si ha che $Q_{off} > Q_{on}$ [12]. Il funzionamento di una singola cella è piuttosto semplice: definiti C_{par} come la capacità parassita del MOSFET, quando $V_{ctrl} = V_{DD}$ e lo switch è acceso, esso diventa una resistenza equivalente R_{sw} in serie ai condensatori C . Si ha allora che $C_{on} \approx C/2$ e $R_{on} = R_{sw} + 2R_C \approx R_{sw}$. Quando invece $V_{ctrl} = 0$ allora il MOS è spento, ossia si comporta come un circuito aperto. In questo caso si ha $C_{off} = \frac{C_{par}C}{C_{par} + C}$ (serie tra C e la capacità parassita dello switch C_{par}).

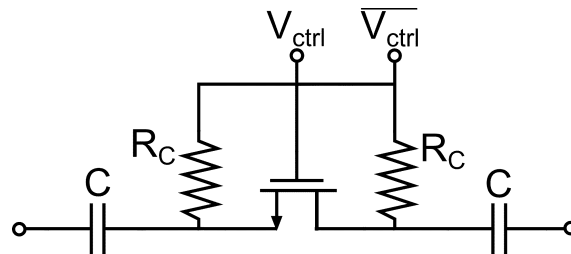


Figura 2.3: Cella unitaria con cui si realizza un banco di capacità.

In base al numero n di bit con cui si vuole controllare il banco, si hanno $2^n - 1$ celle unitarie, in cui il bit meno significativo accende e spegne una sola cella, il secondo bit ne controlla 2, il terzo 4 e così via. Nel caso di questa tesi, il banco capacitivo

realizzato è comandato da 3 bit, per cui il raggruppamento è ottenuto come appena spiegato e come quello presente in figura 2.4.

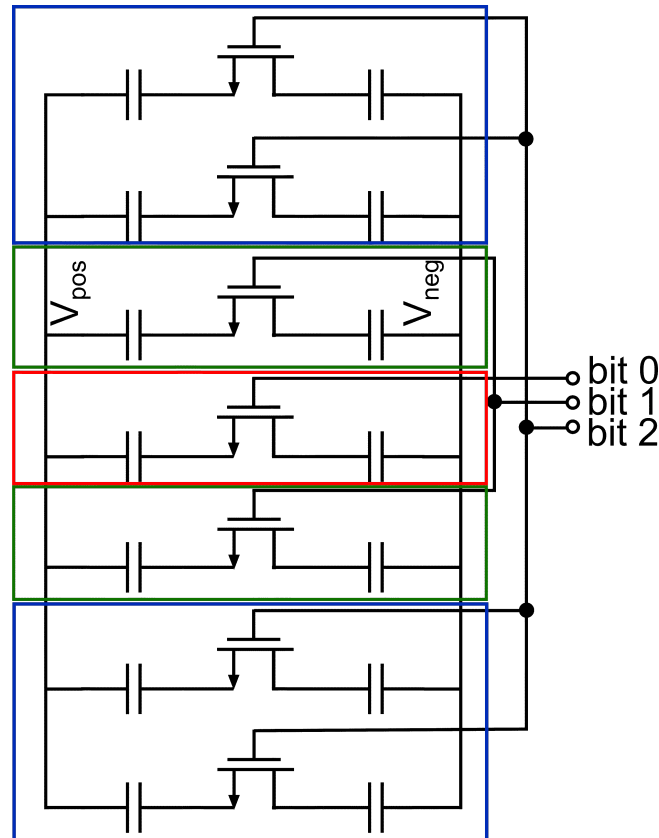


Figura 2.4: Banco di capacità a 3 bit.

Il fattore di qualità nel banco di *switched capacitances* è peggiore nel caso in cui la frequenza di risonanza del tank è minima, ossia quando tutti e 3 i bit sono a livello alto e quindi tutte le singole celle sono nello stato *ON*.

Per effettuare il dimensionamento di questa sezione circuitale è prima necessario dimensionare un'unica cella capacitiva che nel caso in cui sia accesa faccia trovare la minima frequenza assoluta di oscillazione (limite inferiore del tuning range) e viceversa. In base poi al numero di bit di controllo, quest'unica grande cella unitaria viene scalata in 2^n parti (si ricorda che in questo lavoro $n = 3$) permettendo in questo modo di dividere l'intero intervallo di frequenze in 2^n frequenze discrete. In questo caso, per avere un range di frequenze di 4.38-5.18 GHz con tuning range del 16%, e ricordando la presenza di una capacità esterna fissa di $1pF$ (figura 2.1), lo switch e i due condensatori sono stati dimensionati nel seguente modo:

- **Switch**

- Length: 100 nm;

- Gate width: $32 \mu m$;

- **Condensatori**

- Length: $8.1 \mu m$;
- Width= $10 \mu m$
- C: 288 fF.

Ovviamente, i bit di controllo possono essere sia a livello alto ($V_{ctrl} = V_{DD}$) sia a livello basso ($V_{ctrl} = 0$), per cui si inserisce all'interno di ciascuna cella capacitiva un invertitore di tensione, in modo da poter gestire la cella con un singolo comando come in figura 2.5.

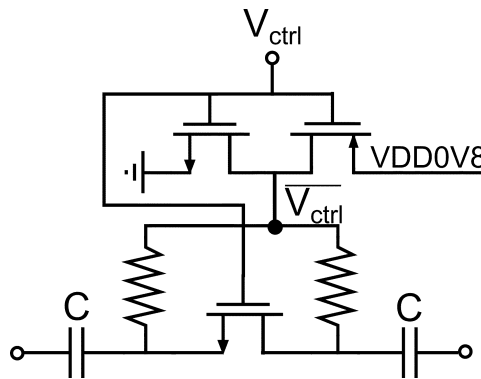


Figura 2.5: Cella unitaria con l'invertitore di tensione con cui si realizza un banco di capacità.

in cui le due resistenze connesse tra il terminale $\overline{V_{ctrl}}$ e i terminali dello switch sono le resistenze di polarizzazione.

Tuttavia, valutate le caratteristiche dei MOSFET disponibili nella libreria e dopo aver valutato quale possa essere la migliore scelta per un invertitore CMOS da inserire all'interno di un banco capacitivo, si è visto che la migliore scelta possibile poteva essere quella di inserire un PMOS a bassa tensione di soglia V_{th} che però necessita di essere polarizzato con una tensione di $0.8V$, ossia esattamente la metà della tensione di alimentazione dell'oscillatore in questa tesi ($V_{DD} = 1.6V$). In questo modo la tensione massima presente ai capi dello switch, considerando sia quella di polarizzazione DC sia quella alternata dovuta alle normali operazioni del circuito, non è mai superiore alla tensione V_{DS} massima indicata dal manuale della tecnologia evitando così di deteriorare in maniera irreversibile il MOSFET della cella capacitiva. Nel dettaglio, l'inverter conta di un NMOS di tipo *egvslvtnfet* e un PMOS di tipo *egvslvtpfet*, e il transistor che funge da switch è anch'esso di tipo *egvslvtnfet*. La

scelta di questi componenti aventi una tensione di soglia molto bassa (la più bassa disponibile nella tecnologia 22nm FDSOI della GlobalFoundries) è motivata dal fatto che non si vogliono introdurre cadute di tensione eccessive nel tank risonante oltre a quelle presentate dall'induttore. Si cerca cioè di far sì che questa sezione circuitale non introduca eccessive perdite in modo da compensare in un certo senso il fattore Q dell'induttore che è tipicamente molto più basso rispetto a quello del banco capacitivo.

Con l'ausilio del software Cadence Virtuoso si verifica l'effettiva presenza di un tuning discreto tramite una simulazione AC della sola sezione risonante, in cui sono inclusi induttore, banco di capacità e varactor. Si ottiene, nel caso in cui le connessioni sono ideali e non si considerano tutti i componenti parassiti di queste, il risultato riportato in figura 2.6, in cui per altro la frequenza minima è leggermente più alta rispetto a quella ottenuta simulando l'intero circuito, questo perché non sono stati considerati gli stadi di amplificazione stacked e la coppia differenziale incrociata i quali transistor introducono a loro volta delle capacità parassite non del tutto trascurabili. Si può apprezzare che la frequenza in funzione della parola di controllo è con buona approssimazione una retta. Da notare che nell'asse dell'ascisse di figura 2.6 la parola di controllo è rappresentata da un numero decimale che è la conversione in base 10 della parola a 2^3 bit binaria.

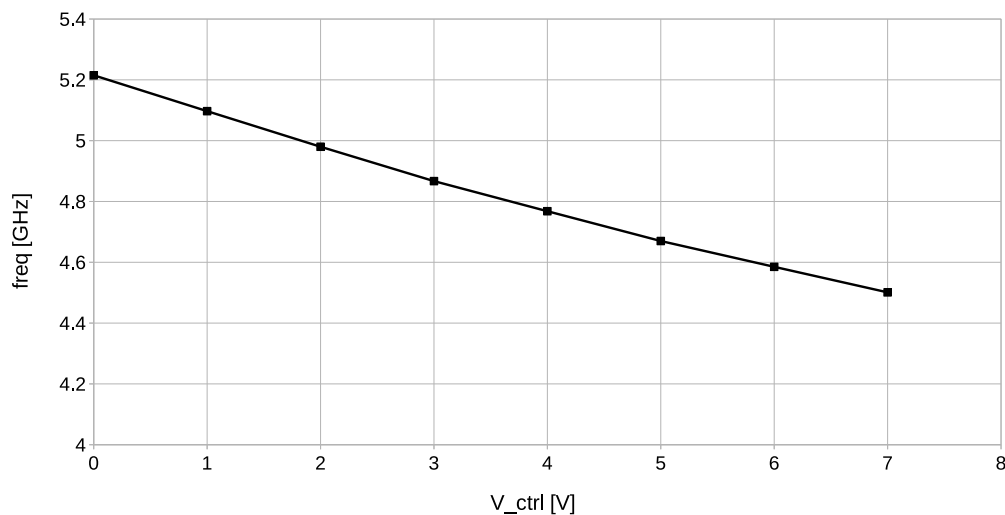


Figura 2.6: Variazione di frequenza in funzione della parola di comando del banco espressa in decimale.

2.3.2 Varactor

I varactor con tecnologia MOS sono componenti elettronici in grado di variare la loro capacità in base alla tensione di controllo che viene applicata ai loro capi, V_{tune} . Sono collegati in parallelo al resto del tank e vengono dimensionati in modo che la loro variazione di capacità sia leggermente maggiore rispetto alla variazione minima del bit meno significativo (LSB) del banco di capacità. Così facendo si garantisce che ci possa essere una variazione di frequenza continua all'interno del tuning range, con un maggior margine di sicurezza (motivo per cui la variazione di capacità è più grande di quella del LSB). Il tipo di configurazione in figura 2.7 è quella che viene maggiormente utilizzata in quanto ha una bassa resistenza parassita. Inoltre in tale figura si sono indicati, nel modello equivalente del singolo varactor R_{var} come la resistenza parassita del varactor e C_{ov} come la capacità di *overlap*. I gate dei varactor sono collegati direttamente con i nodi d'uscita, positivo e negativo, dell'oscillatore, come in figura 2.1 e il terminale di n-well a V_{tune} . Questo evita di caricare i due terminali d'uscita del VCO con la capacità parassita presente tra n-well e substrato.

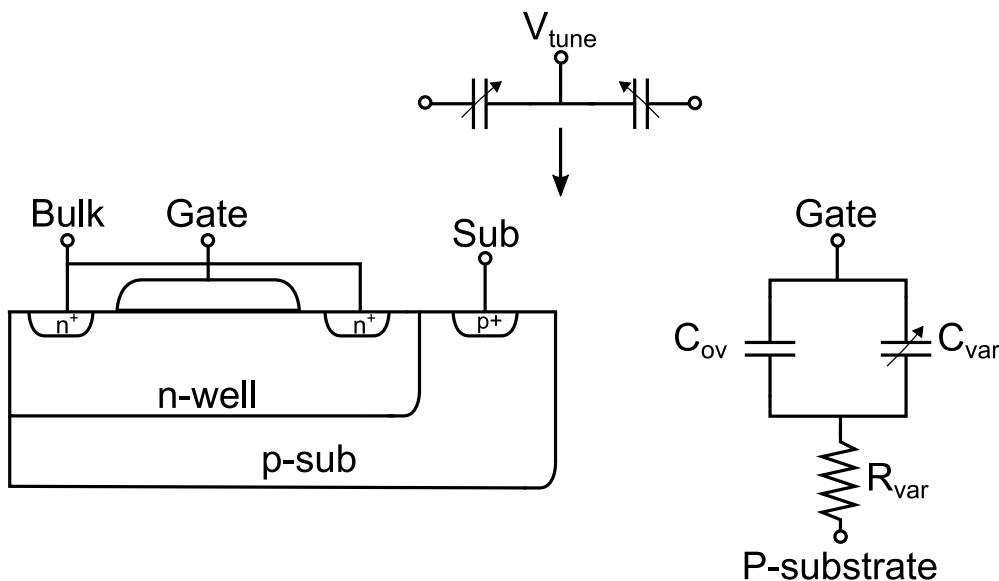


Figura 2.7: Simbolo e modello equivalente dei varactor ad accumulazione.

Quando si progettano circuiti di tuning con questi componenti è necessario mantenere la componente AC della tensione attraverso i varactor il più bassa possibile, in modo da evitare un accumulo di carica eccessivo nella capacità, la quale potrebbe portare poi a distorcere il segnale e aggiungere armoniche per nulla desiderate in un oscillatore.

In questa tesi si sono utilizzati i varactor di libreria, preferendo un elemento che

riesca a sopportare almeno 1.6 V di tensione (tensione di bias a cui va sommata la tensione AC). Per questo motivo la scelta è ricaduta su $egncap_{RF}$, in quanto la tipologia RF presenta meno parassiti rispetto all'equivalente modello MMW. Inoltre i componenti della sotto-libreria RF sono validati fino a 40 GHz, rendendoli perfetti per essere inseriti nel tank. Il layout di un varactor a dimensioni minime di questa libreria è rappresentato in figura 2.8 in cui si può distinguere il gate, l'N-WELL e la connessione a substrato (*bulk*). Per il dimensionamento, come detto all'inizio di que-

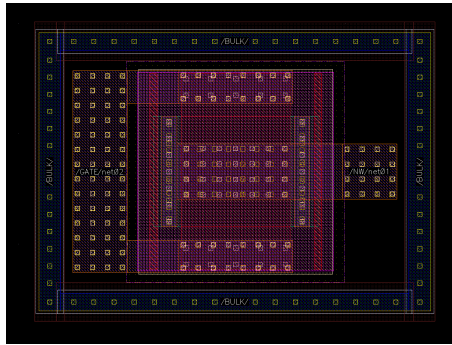


Figura 2.8: Layout del varactor $egncap_{RF}$.

sta sottosezione, dal momento in cui si vuole che l'oscillatore abbia una variazione di frequenza continua all'interno del suo tuning range e dato che lo switch capacitor varia la sua capacità equivalente attraverso un segnale di controllo digitale e quindi discreto, i varactor sono i diretti responsabili per "collegare" tra di loro due bit consecutivi, in altre parole permettono di passare con continuità da una frequenza discreta ad un'altra, dove per frequenza discreta si intende quella generata da un bit specifico del banco di capacità.

Da una simulazione AC parametrica effettuata con Cadence si vede che la variazione minima di capacità compiuta dagli switch capacitors è di circa 100 fF. In questo modo si possono dimensionare i due varactor in modo che la loro variazione di capacità leggermente maggiore rispetto alla variazione minima appena individuata. Sempre tramite l'aiuto di una simulazione AC si sono dimensionati i due varactor in modo da soddisfare tale criterio:

- length = 1 μ ;
- width = 1 μ ;
- Number of Finger (NF): 60
- $C_{var} = 600 fF$

Con il dimensionamento appena fatto si ha che $C_{var,max} - C_{var,min} = 180 \text{ fF}$ avendo fatto variare la tensione V_{tune} da 0V a 1.6V, in modo da rispettare le specifiche sulla tensione massima sopportata dall' $egncap_{RF}$. Il layout del dispositivo una volta terminato il dimensionamento è in figura 2.9.

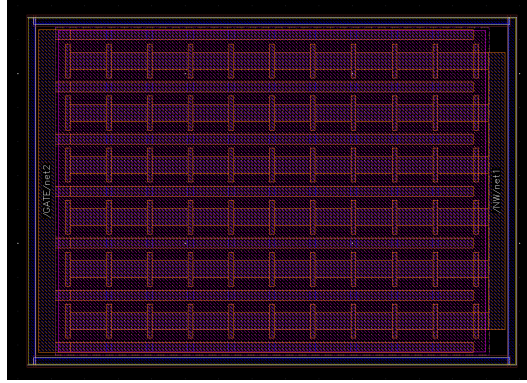


Figura 2.9: Layout del varactor $egncap_{RF}$ terminato il dimensionamento.

2.3.3 Induttore

L'elemento fondamentale per un oscillatore è senza dubbio l'induttore. Questo perché, come spiegato nelle precedenti sezioni, costituisce oltre all'elemento chiave per avere l'effettiva oscillazione anche l'elemento più impegnativo da progettare dal momento in cui introduce un largo numero di perdite. Di conseguenza si rende necessaria un'attenta fase di design, che verrà continuamente modificato fino alla fase finale di layout in cui si ha l'idea effettiva di come verranno disposti fisicamente i componenti sul silicio. Si fa presente al lettore che i risultati intermedi non sono presenti in questo elaborato ma troverà solamente i risultati con l'induttore ottenuto al termine della progettazione.

Come ampiamente illustrato nella sezione 1.3 i due aspetti fondamentali di un VCO sono un basso rumore di fase e un ampio swing della tensione d'uscita. Definito il fattore di qualità come:

$$Q = \frac{\Im(Z(j\omega))}{\Re(Z(j\omega))} \quad (2.2)$$

in cui $Z(j\omega)$ è l'impedenza equivalente del componente sotto analisi. La parte reale rappresenta la resistenza serie, ne consegue che l'obiettivo è avere un componente con la resistenza serie più bassa possibile. Per raggiungere lo scopo di minimizzare le perdite si è implementato l'induttore con i due metalli meno resistivi presenti nella tecnologia. Prima di passare alla fase di ideazione, bisogna fare alcune considerazioni

in merito alle problematiche che possono nascere in alta frequenza, come l'”effetto pelle”, le correnti parassite (o *correnti di Foucault*) e le correnti verso il substrato. Ci sono diverse regole di buon design che devono essere tenute a mente, come:

- **Ridurre lo spessore dei conduttori metallici:** in alta frequenza dominano l'effetto pelle e la corrente di *crowding*, nel centro del conduttore la corrente non scorre; per questo motivo i conduttori metallici molto larghi non sono efficienti;
- **Non riempire l'induttore fino al centro:** a causa della formazione di correnti di Foucault ad alte frequenze, l'avvolgimento più interno introduce alta resistenza e un minimo contributo induttivo, ciò comporta una riduzione del fattore di qualità;
- **Ridurre l'area occupata dal coil:** il campo magnetico induce una corrente nel substrato che porta a perdite resistive maggiori e una diminuzione del valore di induttanza; invece il campo magnetico di un induttore di minori dimensioni penetra in modo minore nel substrato.

Un fattore che influenza notevolmente le caratteristiche dell'induttore è il layout, infatti alle alte frequenze le connessioni tra i componenti del circuito introducono un'elevata resistenza e introducono un comportamento induttivo con valori di induttanze parassite potenzialmente prossimi a quello dell'induttore vero e proprio. Per questi motivi è opportuno far sì che i collegamenti tra il coil e le altre parti della rete siano il più corti possibile rispettando tuttavia le regole di layout imposte dalla tecnologia. La frequenza di risonanza è $\omega_0 = \frac{1}{\sqrt{LC_{tot}}}$ in cui C_{tot} è la capacità totale misurata ai capi dell'induttore e include i varactor, la capacità fissa esterna, la capacità del banco e tutte le capacità parassite dei dispositivi attivi connessi ai terminali del coil. Con una capacità esterna fissa di 1pF inserita in modo da sistemare la frequenza di risonanza dopo l'inserimento dei dispositivi attivi, per avere una frequenza di oscillazione di circa 5GHz, l'induttanza deve valere circa 500pH. È stata scelta una forma ottagonale poiché si è vista essere quella con un fattore di qualità Q maggiore. Per ridurre anche le correnti di Foucault nell'avvolgimento più interno, si è implementato un coil avente due sole spire. I parametri dell'induttore ottenuto sono in tabella 2.1 mentre il layout del solo coil è in figura 2.10. Nel layout si può apprezzare come gli avvolgimenti siano stati realizzati mettendo in parallelo i due livelli di metallo più alti e connettendoli tramite numerosi *via* per diminuire la resistenza parassita complessiva e aumentarne il Q, il quale è rappresentato in

L	484 pH
Raggio interno	70 μm
Raggio esterno	102 μm
Q a 5 GHz	13
$R_{par,serie}$ a 5GHz	1.158 Ω

Tabella 2.1: Specifiche dell'induttore

2.11. Riguardo la resistenza serie parassita, per questo intervallo di frequenze non è possibile apprezzare molto il suo crescere dipendentemente dal crescere della frequenza; tuttavia la si può utilizzare per il calcolo della resistenza parallelo secondo la relazione $R_P = \frac{\omega^2 L^2}{R_{par,serie}} \approx 200\Omega$ a 5 GHz.

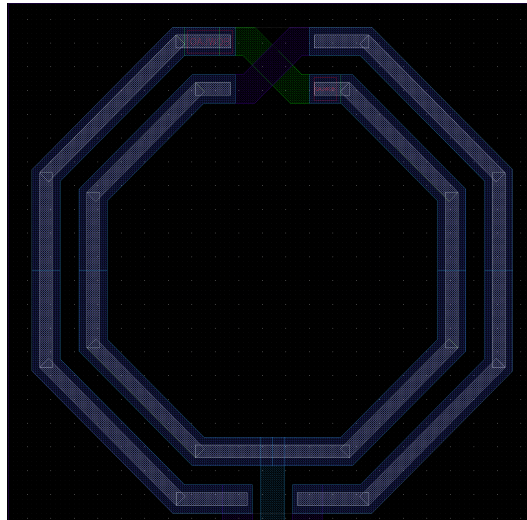


Figura 2.10: Layout del solo induttore.

C'è da specificare tuttavia che tali dati sono stati ottenuti, come detto precedentemente, al termine dell'intera fase di progettazione a livello di layout, per cui le prestazioni ottenute sono da considerarsi definitive e in particolare *includono anche i rami che partendo dagli avvolgimenti raggiungono i dispositivi attivi, passando per il banco di capacità*. Anche se sono stati realizzati anch'essi mettendo in parallelo metalli più alti (ossia con meno resistività) disponibili nella tecnologia presentano comunque delle perdite e delle capacità parassite che influenzano, seppur di poco, il comportamento del coil. Il layout complessivo verrà affrontato nei prossimi capitoli.

Inserendo ora anche il banco di capacità ci si aspetta che il fattore di qualità scenda, seppure sia stato progettato in modo da avere un alto Q e compensare in un certo

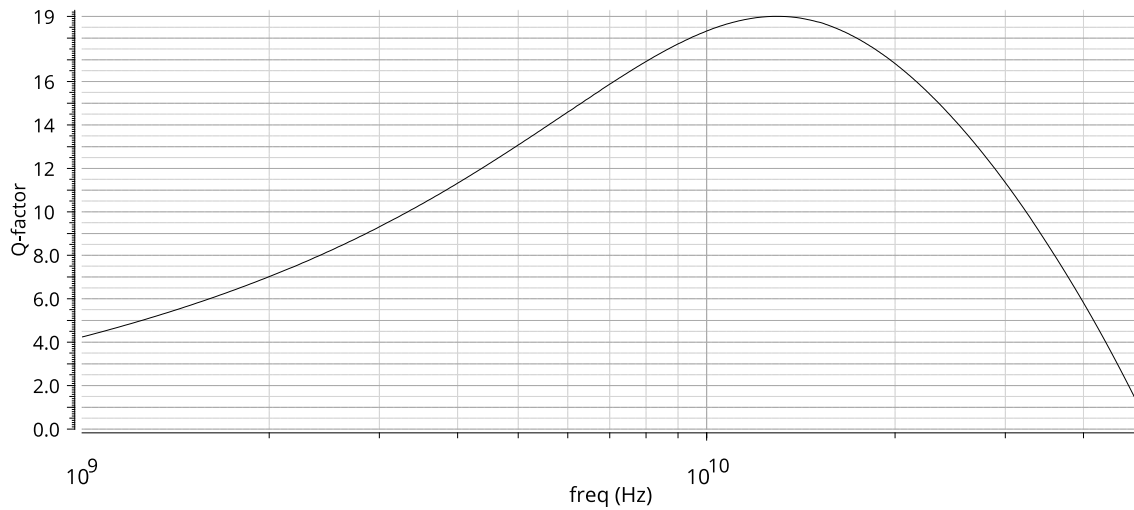


Figura 2.11: Fattore di qualità del solo induttore, $Q = \frac{\Im(Z(j\omega))}{\Re(Z(j\omega))}$.

senso l'aspettabile basso fattore di qualità dell'induttore, poiché si ha che Q_{tot} è dato dal parallelo del Q del solo induttore e di quello delle sole capacità (incluso banco capacitivo, varactor e capacità esterna fissa). Facendo variare la parola di controllo da 0 a $2^3 - 1$ e fissando la tensione V_{tune} si può apprezzare il fatto che il fattore Q rimanga pressoché costante per ogni valore di v_{ctrl} , mentre vari al variare di V_{tune} . Questo perché quando la tensione di tuning dei varactor è prossima ai 0 V, questi non sono ancora nella zona in cui il loro comportamento è vicino a quello ideale, ma anzi, si trovano nella zona attiva, di conseguenza presentano un fattore di qualità più basso rispetto a quando la tensione V_{tune} è massima come si può vedere dalla figura 2.12.

2.4 VCO con il risonatore

Il lavoro ora si concentra sullo sviluppo della parte attiva dell'oscillatore, vale a dire la sezione della coppia differenziale incrociata e la sezione dell'amplificatore stacked. Oltre a ciò è opportuno far sì che i MOSFET di entrambe le sezioni appena elencate siano ben in saturazione per consentire le operazioni di classe-C ed ereditare i benefici elencati in precedenza. Dal momento in cui non sono state date specifiche in merito al consumo di potenza, l'obiettivo è dimensionare il tutto per avere la massima ampiezza di tensione in uscita e di conseguenza, secondo il modello di Leeson, il minor rumore di fase possibile. In questa fase si rende fondamentale anche ispezionare attentamente i data-sheet dei componenti offerti dalla tecnologia, in modo da avere dei dispositivi sufficientemente prestanti in termini di tensione

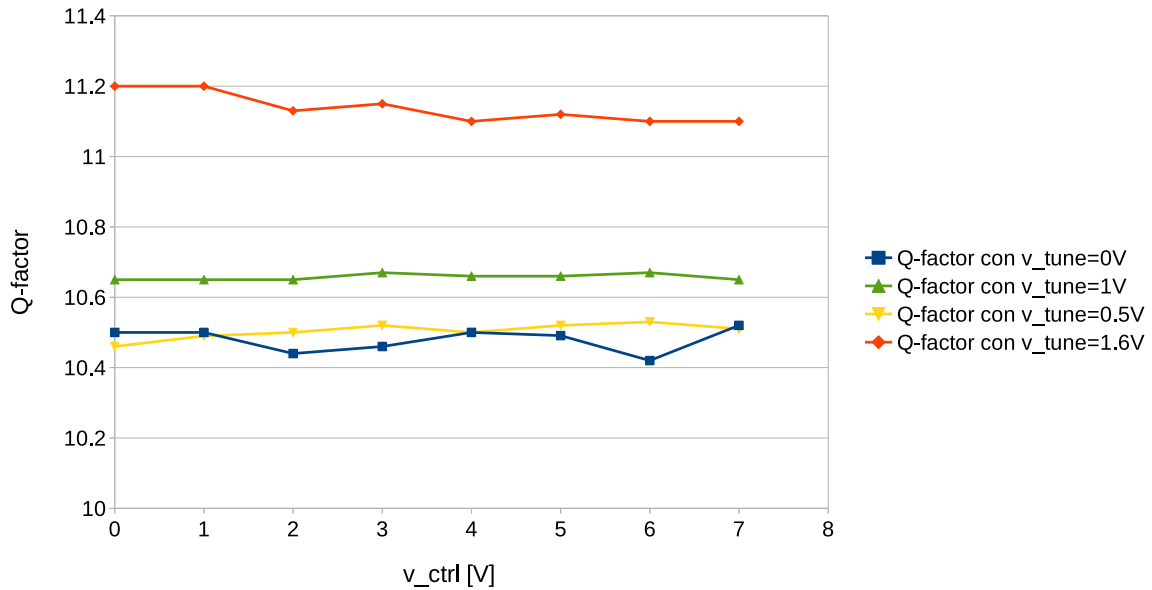


Figura 2.12: Fattore di qualità del tank completo di induttore, banco di capacità e varactor in funzione della parola di controllo (convertita in decimale) del banco capacitivo.

di soglia (lo swing della tensione d'uscita dipende anche dalla tensione di soglia dei MOSFET presenti tra alimentazione e GND) e di tensioni massime supportate, poiché si ricorda che la tensione di alimentazione è di 1.6 V.

Riferendosi allo schematico di figura 2.1 si vede che il gate di M1 è disaccoppiato dal drain di M4 con un condensatore C_{dec} e viene polarizzato con una tensione di bias esterna perché si è visto che questa soluzione permette di ridurre il rumore di fase complessivo.

2.4.1 FD-SOI MOSFET e scelta dei transistor

La tecnologia usata in questa tesi, 22nm FDSOI della GlobalFoundries, mette a disposizione alcuni transistor per applicazioni integrate, ciascuno differente per tensione di soglia e per massima frequenza operativa. Prima di procedere con la scelta è opportuno introdurre qualche concetto base sul funzionamento dei dispositivi FD-SOI, ossia *Fully Depleted Silicon On Insulator*.

FD-SOI MOSFET

La legge di Moore ha portato alla luce diverse limitazioni riguardanti l'integrazione efficiente di componenti realizzati con processo planare a partire dal nodo tecnologi-

co dei 40 nm. Il canale del transistor risultava sempre più difficile da controllare in termini elettrostatici e realizzato attraverso un numero sempre maggiore di processi di lavorazione che facevano aumentare il costo di produzione. La soluzione più ovvia per aumentare le prestazioni dei transistor è l'uso di dispositivi “fully depleted” e in particolare “Fully Depleted Silicon On Insulator”. Grazie al layer SOI (*Silicon On Insulator*) BOX (*Buried Oxide*), il transistor è totalmente isolato dielectricamente. Grazie al BOX gli elettroni che vanno dal source al drain sono efficacemente confinati nella sola zona del canale, riducendo drasticamente le correnti di dispersione (*leakage current*). In particolare, il completo isolamento dielettrico del dispositivo impedisce il verificarsi della maggior parte degli effetti parassiti. I circuiti basati su

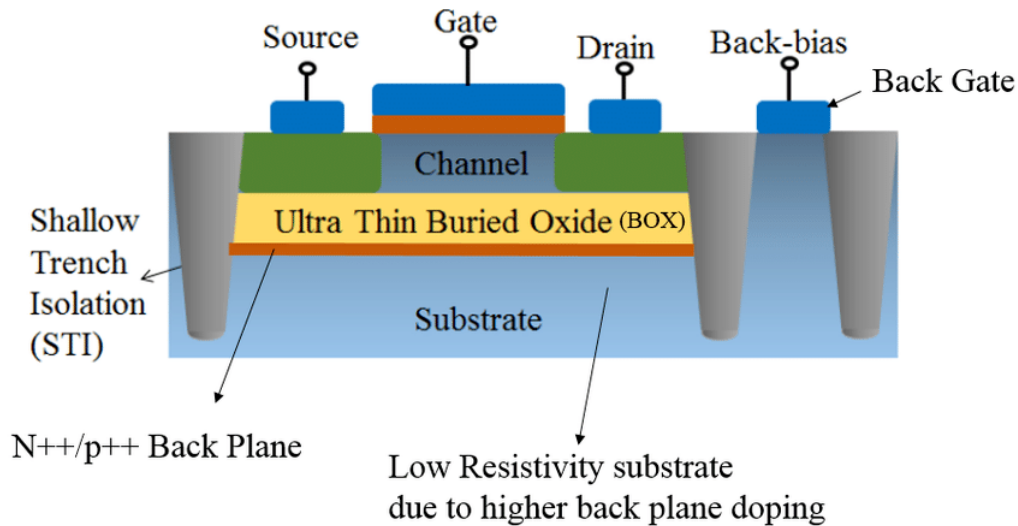


Figura 2.13: Sezione di un MOSFET in tecnologia FD-SOI.

questa tecnologia hanno la capacità massima tra le giunzioni e il substrato uguale alla capacità del buried oxide. Questa è proporzionale alla costante dielettrica ($\epsilon_{ox} = 3.9\epsilon_0$) nel caso del biossido di silicio) che è circa tre volte più piccola rispetto a quella del silicio ($\epsilon_{Si} = 11.7 \epsilon_0$). Inoltre non c'è bisogno di drogare il canale e grazie al sottile strato di silicio sopra il BOX, il canale è interamente svuotato (fully depleted); non è nemmeno necessario inserire i “pocket implants” in corrispondenza del source e del drain. Un ulteriore vantaggio di questa tecnologia è che applicando un'opportuna tensione al body, si può cambiare o modulare la tensione di soglia. In questo senso è possibile vedere il device come un “dual-gate device”: il front gate è quello tradizionale, mentre il secondo arriva dal body, con il BOX che funge da ossido del back-side gate.

In un CMOS con la tecnologia classica, si può avere una modulazione della tensione di soglia polarizzando opportunamente il body. Tuttavia quest'operazione è limitata

dalla presenza dei diodi bipolari parassiti, aventi una tensione di soglia di circa 0.6 V. Di conseguenza, considerando anche che la polarizzazione del body può essere fatta con una tensione massima di circa 0.3 V e che il body factor in questo tipo di tecnologia è di circa 25 mV/V, l'effettiva variazione della tensione di soglia è di poche decine di mV. Nel caso invece di un transistor FD-SOI, è presente un unico diodo parassita compreso tra il substrato di tipo P e l' N-well per gli NMOS, e tra il P-well e l'N-well per i PMOS, permettendo così di poter avere un'escursione più ampia della tensione di soglia modulata. Inoltre i dispotivi FD-SOI hanno, a parità di corrente di drain, una transconduttanza più elevata, rispetto all'equivalente costruito con la classica tecnologia bulk. Questo, unita alla capacità parassita minore derivante dall'isolamento del SOI, permette di avere una banda più ampia a parità di corrente, oppure un consumo di potenza minore se la banda è fissata. Oltre a tutto ciò, la tecnologia a 22nm sfrutta il 75% del flusso di processo dei transistor a 28nm, portando ad un alto rendimento e a bassi costi di produzione.

La caratteristica tensione-corrente per un generico transistor è quella tipica di un qualsiasi MOSFET, tale per cui al crescere della tensione V_{gs} si ha un corrispettivo aumento di corrente di drain I_D , come nell'immagine di figura 2.14.

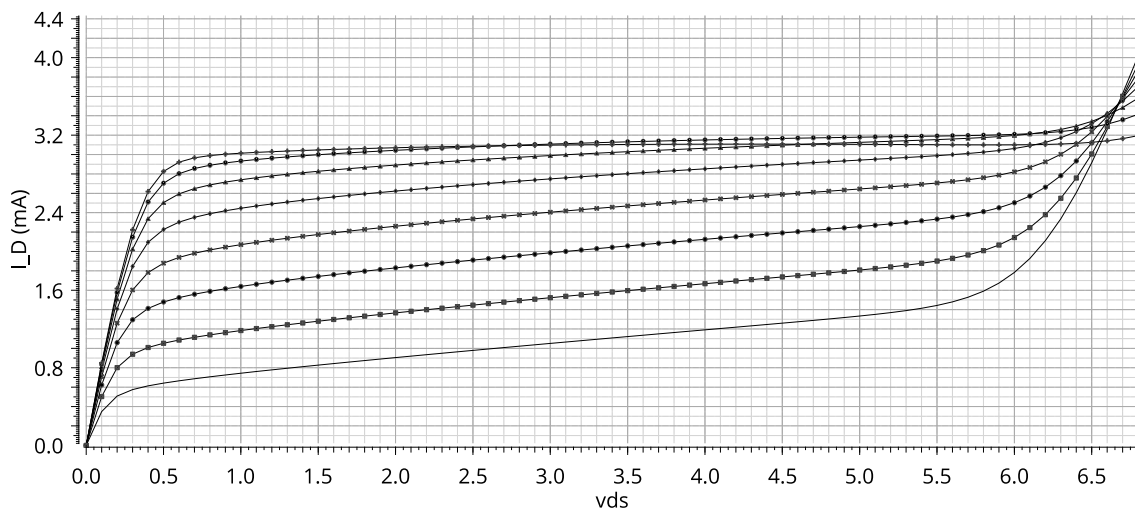


Figura 2.14: Caratteristica tensione-corrente di un generico transistor della libreria 22nm FDSOI per diversi valori di V_{gs} .

Scelta dei transistor

Un primo criterio di design è stato quello di scegliere lo stesso tipo di transistor sia per la coppia differenziale incrociata sia per l'amplificatore stacked. In questo modo risulta più facile e immediato il dimensionamento dal momento in cui sono in un certo senso connessi a cascate e quindi solitamente vengono dimensionati allo

stesso modo poiché attraversati dalla stessa corrente di polarizzazione. In particolare, sapendo che la massima ampiezza di oscillazione è limitata dalle tensioni di overdrive dei MOSFET presenti nel core dell'oscillatore, si è reso opportuno optare per dei componenti aventi una bassa tensione di soglia V_{th} . La scelta è ricaduta sul modello *slvtnfet* in quanto presenta una frequenza di taglio superiore rispetto agli altri devices simili in libreria (e sono quindi "più veloci") e sia perchè, appunto, ha una bassa tensione di soglia che consente quindi di avere uno swing della tensione d'uscita maggiore. Inoltre in linea di massima il risultato che si ottiene con transistor veloci è migliore per quanto riguarda rumore di fase rispetto al risultato ottenuto con i transistor *high-voltage*, inoltre a parità di corrente consumata, i MOSFET ad alta velocità sono più piccoli, con conseguente minor contributo parassitario. Oltre a ciò c'è da dire che non conviene scegliere dei transistor con dimensioni particolarmente grandi in quanto introdurrebbero troppe capacità parassite che influenzerebbero negativamente il tuning range e poiché diventerebbe complicato posizionarli efficacemente nel layout per limitare di tracciare connessioni troppo lunghe.

2.4.2 Polarizzazione

Dopo queste considerazioni iniziali sulla scelta da intraprendere al fine di diminuire il rumore di fase, la prima cosa da fare che si fa comunemente in un progetto è la polarizzazione del circuito.

Ovviamente la dimensione dei transistor, come in 1.3.1, deve soddisfare la relazione $g_m > 2/R$ per consentire l'inizio dell'oscillazione, la transconduttanza deve essere abbastanza grande da compensare le perdite totali del tank, e sappiamo che quest'ultima nel modello *Square Law* è legata alla corrente di polarizzazione dei transistor tramite il rapporto tra la corrente di drain e la tensione di overdrive ($V_{OV} = V_{gs} - V_t$), $g_m = \frac{2I_D}{V_{OV}}$. Aumentando la corrente, dobbiamo aumentare la dimensione dei MOSFET, causando di conseguenza un incremento della capacità parassita.

Esiste un'analisi interessante compiuta da Rael e Abidi in [14] in cui viene studiato il valore di corrente di coda in cui si ha il minimo rumore di fase e la massima ampiezza di oscillazione. In figura 2.15 si vede quanto proposto in [14]: aumentando la corrente di tail prima fa aumentare l'ampiezza fino al suo valore massimo; il rumore di fase diminuisce ovviamente all'aumentare dell'ampiezza, ma poi peggiora a causa dell'aumentare del fattore di rumore F . Si può facilmente notare che il valore ottimale di corrente è in prossimità del ginocchio della curva $I - V_{LO}$, ossia il miglior valore di phase noise si raggiunge quando la corrente di coda è minima e l'ampiezza

di tensione V_{LO} massima.

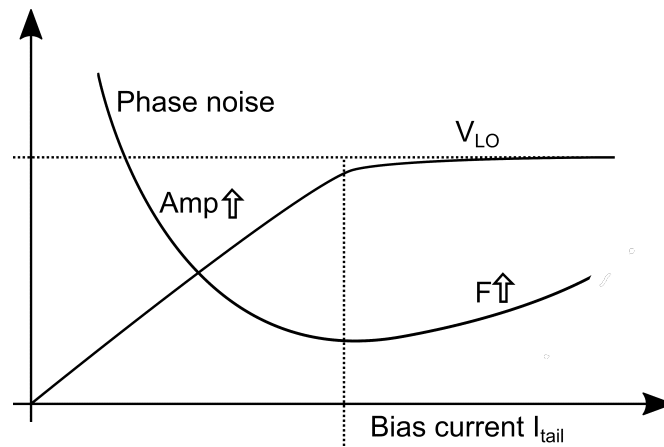


Figura 2.15: Rumore di fase e ampiezza di oscillazione in funzione di I_{bias} .

Questo modello fornisce anche un'equazione che facilita il calcolo della corrente ottimale, nello specifico:

$$I_{bias} = \frac{\pi V_{LO,theory}}{2R_P} \quad (2.3)$$

in cui $V_{LO,theory}$ è la massima ampiezza raggiungibile teoricamente, R_P le perdite del tank modellizzate con una resistenza parallela equivalente. Con i valori di questa tesi, ne consegue che la corrente di tail ideale è di una ventina di mA e quindi essendo il circuito completamente simmetrico, la I_D si attesta attorno ad una decina di mA.

La realizzazione fisica è stata eseguita con un classico specchio di corrente con rapporto 10:1, ossia il ramo d'uscita produce una corrente 10 volte maggiore rispetto a quella presente al ramo d'ingresso. Oltre a ciò connesse ai source dei due transistor sono connesse due resistenze, questa volta con rapporto 1:10, in modo da ridurre ulteriormente il rumore di fase. Lo schematico è in figura 2.16.

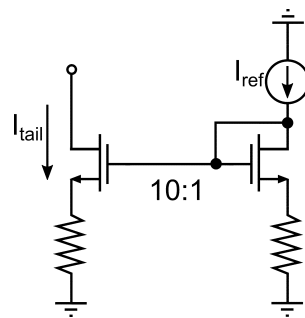


Figura 2.16: Schematico dello specchio di corrente utilizzato per generare la corrente di polarizzazione dell'oscillatore.

Con una corrente di drain I_D ottimale che si assesta attorno ai 10 mA, si dimensionano i MOSFET della coppia incrociata differenziale e dell'amplificatore a gate comune come segue:

- **Length:** 20 nm;
- **Gate Finger width:** 750 nm;
- **Number of gate fingers:** 8;
- **Number of vertical gate fingers:** 3
- **Total gate width:** 6 μm ;
- $g_m \approx 100 \text{ mS}$

2.4.3 Amplificazione stacked

Per avere una tensione di alimentazione doppia rispetto a quella necessaria per polarizzare un singolo stadio a MOS (ossia da $V_{DD} = 0.8V$ si passa a $V_{DD} = 1.6V$) è necessario aggiungere un ulteriore stadio. Si inserisce allora uno stadio di amplificazione di potenza (PA) di tipo *common-gate* con feedback in modo da realizzare, considerando le due coppie di transistor, uno stadio di amplificazione stacked. In questo contesto, più che alla potenza in uscita, si è interessati a dimensionare questo stadio in modo che il rumore di fase totale dell'oscillatore sia minimo. Impiegando la tecnica dello stacked, si riesce comunque a sopperire alle limitazioni fisiche dei CMOS ultra-scalati e raggiungendo tensioni in uscita tipiche degli amplificatori di potenza realizzati con i bipolari SiGe.

La struttura di un amplificatore a common-gate retroazionato è quella riportata in figura 2.17.

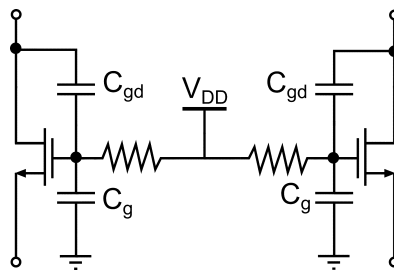


Figura 2.17: Schematico dello stadio di amplificazione *common-gate* con feedback.

In [15] si sono derivate le due equazioni fondamentali di questo blocco circuitale valide alla pulsazione di risonanza ω_0 , vale a dire:

$$Z_{IN}(j\omega_0) = \frac{1}{g_m} \left(1 + \beta\chi + \beta g_m \frac{R_L}{2} \right) \quad (2.4)$$

e

$$A_v(j\omega_0) = \frac{g_m R_L / 2}{1 + \beta\chi + \beta g_m R_L / 2} \quad (2.5)$$

dove $\beta = C_{gd}/(C_{gd} + C_g)$, $\chi = C_{gs}/C_{gd}$ e R_L è la resistenza parallelo equivalente del tank. Il beneficio principale che si ottiene è quello di aumentare l'impedenza di ingresso di un fattore $(1 + \beta\chi + \beta g_m R_L / 2)$ in modo da aumentare anche la tensione in uscita.

Tipicamente lo stadio a gate comune è dimensionato ai piccoli segnali in modo da avere un guadagno di tensione pari a 2, tuttavia dopo svariati tentativi ciascuno avente un dimensionamento diverso, si è trovato che la soluzione con un guadagno ai piccoli segnali $A_v(j\omega_0) = 4$ è quella che presenta maggior beneficio in termini di rumore di fase. Dalla simulazione del solo stadio di amplificazione si ottiene il risultato in figura 2.18, in cui la linea tratteggiata corrisponde all'impedenza differenziale d'ingresso mentre quella continua all'impedenza differenziale d'uscita. Facendo il rapporto tra le due impedenze si trova che il guadagno è esattamente di 4. I transistor come scritto precedentemente sono stati dimensionati tenendo conto

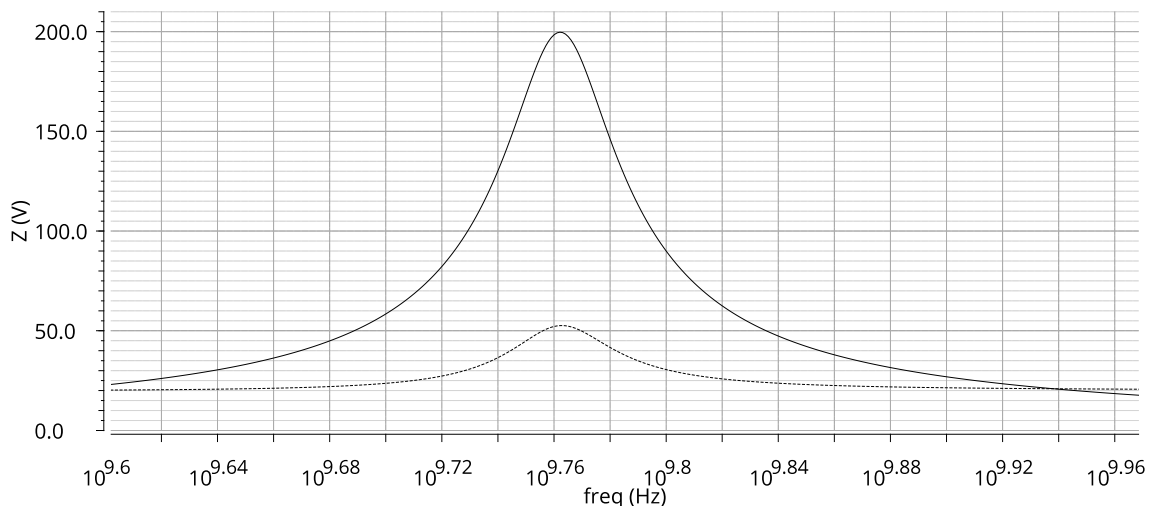


Figura 2.18: Risultato della simulazione dello stadio di amplificazione. Il guadagno di tensione è $A_v(j\omega_0) = 4$.

della corrente di polarizzazione e hanno una transconduttanza $g_m = 100mS$. Tuttavia presentano una C_{gd} non del tutto trascurabile, per questo motivo si è preferito

aggiungere una capacità gate-drain esplicita in modo da limitare la sensitività dello stacked alla variazione di tale elemento parassita. Per mantenere inalterato il fattore di retroazione β , si trova C_g invertendo la relazione $\beta = C_{gd}/(C_{gd} + C_g)$

Il valore di capacità è allora:

- $C_{gd} = 130 \text{ fF}$
- $C_{gd} = 8 \cdot C_{gd} \approx 1 \text{ pF}$

2.4.4 OTA

Per la polarizzazione della coppia differenziale incrociata si è impiegato un amplificatore operazionale a transconduttanza (*Operational Transconductance Amplifier*, da cui l'acronimo OTA) single ended. Implementando un buon design di quest'ultimo si riesce a limitare il rumore proveniente dal circuito di alimentazione. Questa tecnica prende il nome di *polarizzazione dinamica*. Tuttavia anche qui sono stati apportati alcuni accorgimenti, dovuti al fatto che si ha una tensione V_{DD} di 1.6V e che i segnali d'ingresso sono relativamente bassi. La prima problematica si risolve con una topologia 5-MOS OTA in configurazione cascode con un carico anch'esso in configurazione cascode per la sua polarizzazione; la seconda invece è stata risolta inserendo un MOSFET in configurazione *common source* per ciascun ingresso in modo tale da alzare il livello di segnale in entrata all'amplificatore, in altre parole alzano della loro V_{gs} la tensione di modo comune della coppia differenziale in modo da garantire la saturazione di quest'ultimi e tal scopo infatti si utilizzano i transistor *hvtfet* che hanno alta tensione di soglia. Il frutto di quanto appena descritto è rappresentato nello schematico di figura 2.19. Oltre a ciò è presente una compensazione a polo dominante: facendo ciò tutto il rumore alle alte frequenze introdotto da questa sezione di circuito viene eliminato, facendo arrivare alla coppia differenziale incrociata una tensione di polarizzazione quanto più "pulito" possibile. Il risultato della compensazione è ben visibile in figura 2.20, in cui la linea continua rappresenta il guadagno a catena aperta dell'OTA con la compensazione in frequenza, mentre la linea tratteggiata rappresenta lo stesso guadagno ma in assenza di un condensatore in uscita che introduca un polo dominante a bassa frequenza. Lo scopo dell'OTA è quindi quello di polarizzare correttamente il transistor della coppia differenziale incrociata in modo da tenerla sempre ben in saturazione perché come visto, in un oscillatore in classe-C la zona attiva è assolutamente da evitare.

È da verificare anche l'amplificatore sia effettivamente stabile, ciò si può fare tracciando i diagrammi di Bode con l'ausilio di Cadence e studiandone il margine di

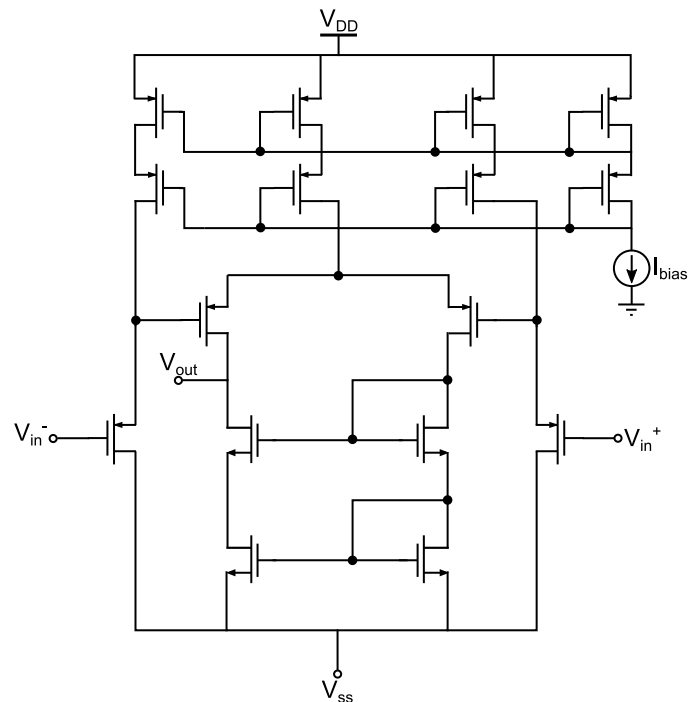


Figura 2.19: Schematico dell'OTA usato per la polarizzazione della coppia differenziale incrociata.

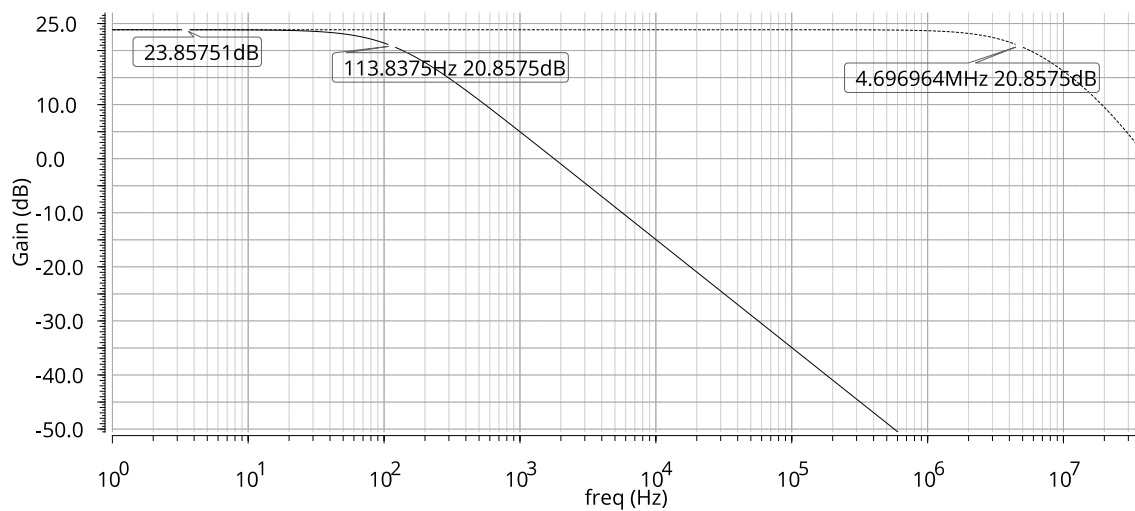


Figura 2.20: Guadagno a catena aperta dell'OTA.

fase. Si ottengono i diagrammi in figura 2.21. Il margine di fase si calcola come:

$$\varphi_m = 180 - |\varphi_c| \quad |H(j\omega_c)| = 1 \quad (2.6)$$

e dai diagrammi di Bode si vede immediatamente che per questo amplificatore $\varphi_m = 93.67$ che fa sì che l'OTA sia decisamente poco instabile. L'anello di bias

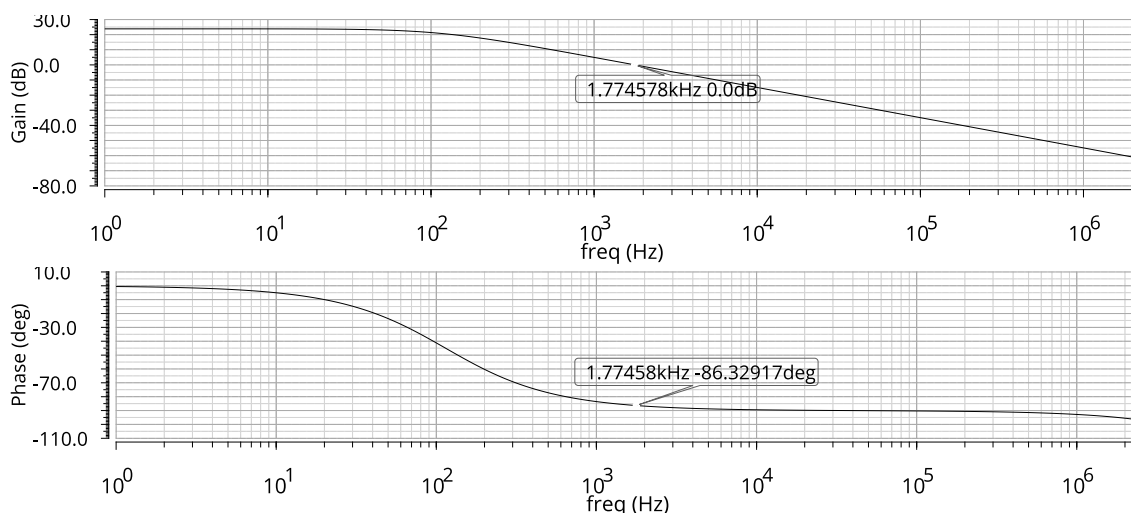


Figura 2.21: Diagrammi di Bode dell'OTA.

viene definito *dinamico* perché è capace di garantire lo start-up dell'oscillazione. Si consideri la schematizzazione di figura 2.22 in cui l'OTA polarizza la coppia differenziale incrociata. Allora nel caso in cui i due transistor della coppia differenziale incrociata fossero spenti e la tensione ai loro source nulla, con l'imposizione della tensione di riferimento V_{ref} l'anello reagisce alzando la tensione ai gate dei MOSFET i quali, accendendosi, danno inizio all'oscillazione. I livelli di tensione vengono riportati ai loro valori corretti quando l'anello termina la fase di transitorio ed entra in steady-state. Una rappresentazione visiva di questo comportamento dell'OTA si può osservare nel transitorio di figura 2.23 in cui è ben distinguibile la tensione ai source, più disturbata, e la tensione di polarizzazione in uscita all'OTA, decisamente meno distorta.

2.5 Simulazioni a schematico

Una volta completata la fase preliminare di design e di progettazione è opportuno passare alla verifica delle specifiche e al corretto funzionamento del circuito. Si trascurano in questo elaborato tutte le simulazioni intermedie ma vengono prese in considerazione solamente quelle finali in quanto frutto di migliorie costanti delle caratteristiche dell'oscillatore controllato in tensione in oggetto.

2.5.1 Swing di tensione

È opportuno verificare innanzitutto che l'oscillatore effettivamente produca in uscita una tensione con andamento sinusoidale, e se questo avviene, qual è l'ampiezza

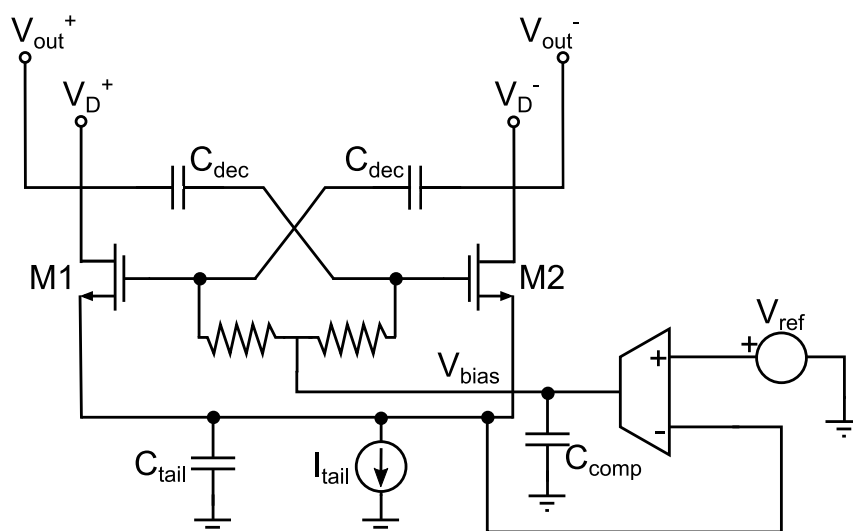


Figura 2.22: Schematico a blocchi dell'oscillatore in cui si evidenzia l'anello di bias *dinamico*.

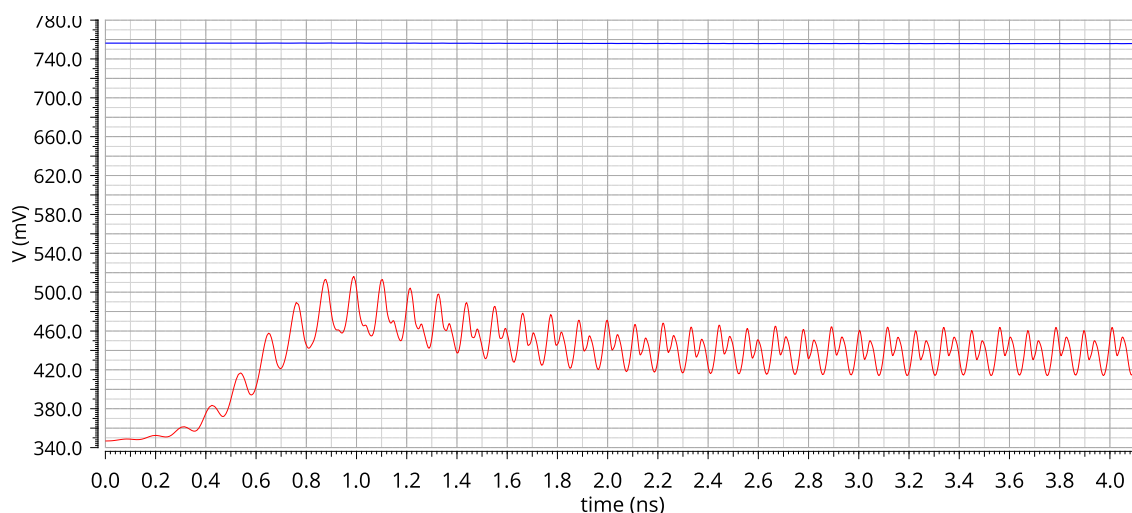


Figura 2.23: Transitorio delle tensioni in uscita dall'OTA (in blu) e al source del transistor della coppia differenziale incrociata (in rosso).

di tale oscillazione. L'obiettivo di questa tesi, avendo realizzato il VCO con l'alimentazione V_{DD} pari al doppio di quella standard per questo tipo di tecnologia e con uno stadio di amplificazione stacked, ci si aspetta che lo swing d'uscita sia ben ampio. Tramite il software Cadence Virtuoso si fanno variare la parola di controllo e al contempo la tensione V_{tune} che gestisce i varactor. Ne risulta che l'ampiezza massima si ottiene con $v_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$, mentre quella minima si può osservare quando $v_{ctrl,bit} = 111$ e $V_{tune} = 0V$. In figura 2.24 si trovano i due casi appena descritti. Anche se si tratta di una simulazione sì con componenti reali, ma con interconnessioni ancora ideali, è apprezzabile il fatto che la sinusoide prodotta

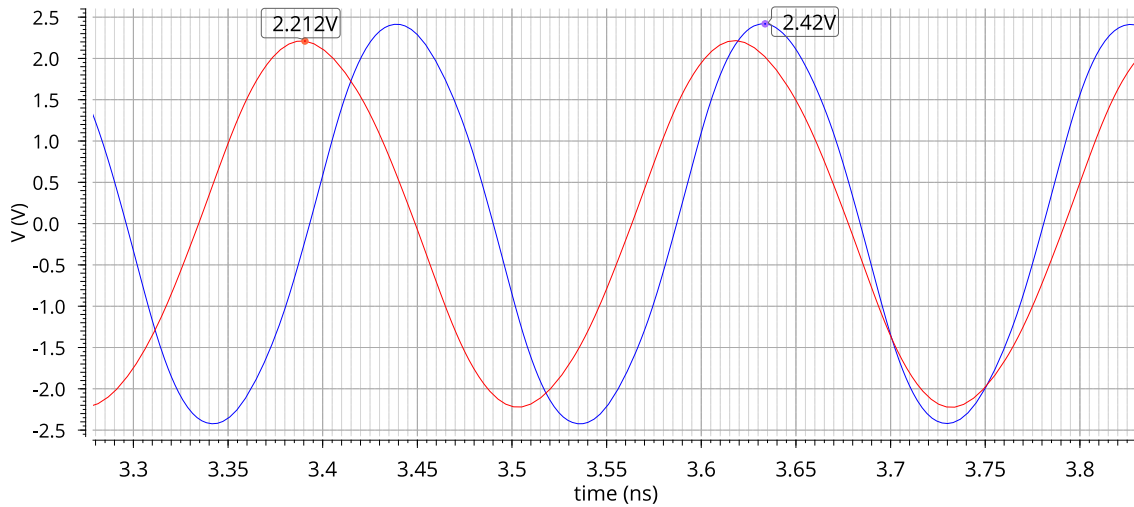


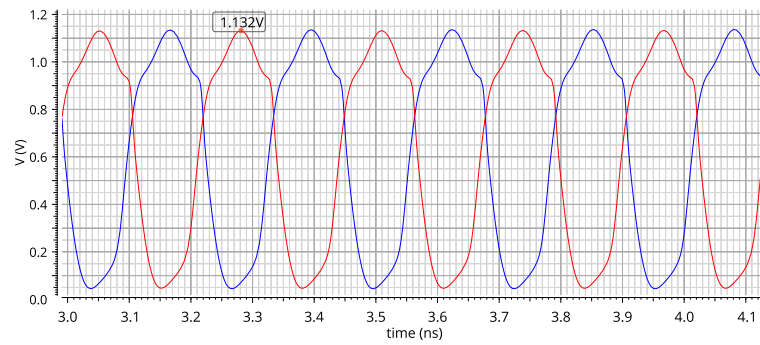
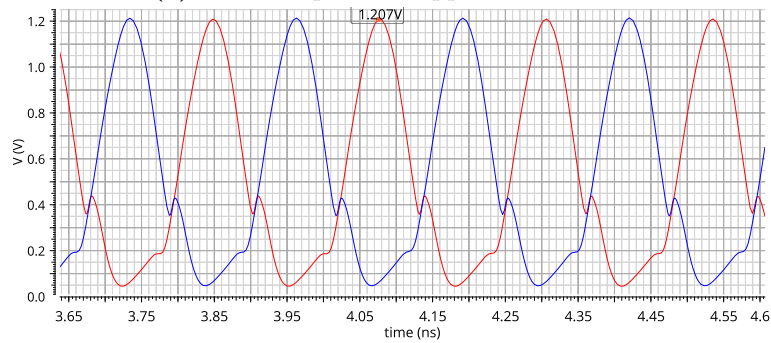
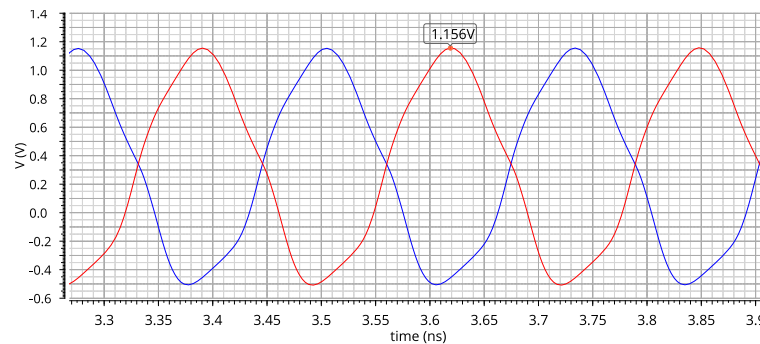
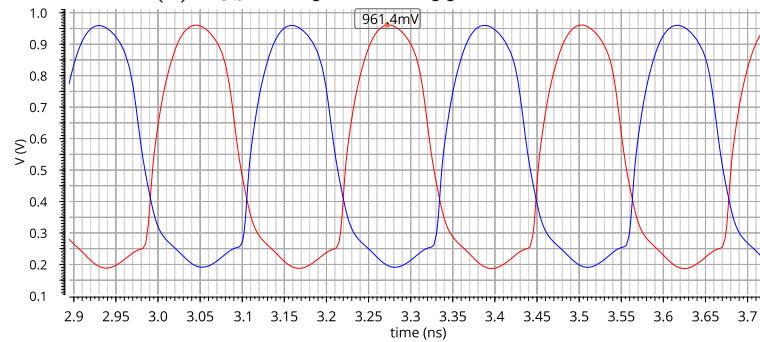
Figura 2.24: Transitorio delle tensioni in uscita del VCO. In blu la tensione con $v_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$ e in rosso $v_{ctrl,bit} = 111$ e $V_{tune} = 0V$.

in uscita dall'oscillatore sia praticamente priva di qualsiasi distorsione, il che implica che in frequenza si ha un unico impulso situato alla pulsazione ω_{LO} , che è la pulsazione di risonanza tra l'induttore, il banco di capacità, i varactor e le capacità parassite a questi connesse (per ora solo quelle dei transistor dato che le connessioni come appena scritto, per il momento sono ideali).

2.5.2 Rating di tensione dei MOSFET

È opportuno verificare anche che le tensioni ai grandi segnali ai capi dei transistor sia della coppia differenziale incrociata sia dello stadio di amplificazione common-gate con feedback siano minori della tensione massima indicata dalle specifiche del componente. In questo modo si è sicuri che variando la frequenza di oscillazione e di conseguenza anche l'ampiezza della sinusoide d'uscita i transistor, oltre ad essere in saturazione ed evitare le operazioni nella regione attiva, non superi la tensione di breakdown. Bisogna ovviamente verificare anche che la tensione V_{DS} del ramo positivo abbia uno sfasamento di esattamente 180° rispetto alla stessa tensione del ramo negativo.

Con l'ausilio del simulatore si è verificato che al variare della parola di controllo del banco e della tensione V_{tune} dei varactor, la variazione di V_{DS} piuttosto che di V_{GS} o V_{DG} è minima, per cui per verificare i rating di tensione ai capi dei transistor è sufficiente considerare una sola forma d'onda senza ricorrere ad una più complessa simulazione parametrica. In figura 2.25 e 2.26 si possono osservare le tensioni V_{DS} e V_{GS} ai capi dei dispositivi attivi sia sul ramo positivo che sul ramo negativo.

(a) V_{DS} ai capi della coppia differenziale(b) V_{DS} ai capi dell'amplificatore common-gate**Figura 2.25:** V_{DS} ai capi dei dispositivi attivi dell'oscillatore.(a) V_{GS} ai capi della coppia differenziale(b) V_{GS} ai capi dell'amplificatore common-gate**Figura 2.26:** V_{GS} ai capi dei dispositivi attivi dell'oscillatore.

2.5.3 Sweep di frequenze

Una delle caratteristiche fondamentali degli oscillatori, come visto nella parte introduttiva, è la capacità di variare la frequenza di oscillazione attorno alla frequenza principale, garantendo in questo intervallo di frequenze le massime prestazioni in termini di ampiezza e di rumore di fase.

Si vuole verificare allora quale sia questo effettivo range di frequenze e per far ciò si ricorre ad una simulazione *Periodic Steady-State* (PSS) in cui il simulatore calcola con ottima precisione la frequenza di oscillazione una volta che il VCO si è portato a regime. In questa situazione è utile osservare due risultati in particolare, il primo è quello di figura 2.27 e il secondo è quello in figura 2.28. Le due figure sono equivalenti, tuttavia nella prima immagine si può apprezzare maggiormente il fatto di avere un tuning continuo all'interno dell'intervallo di frequenze, vale a dire che per ogni combinazione di $v_{ctrl,bit}$ e V_{tune} esiste una frequenza di oscillazione diversa (con un minimo di sovrapposizione in cui la stessa frequenza è generata da una combinazione di tensioni diversa, per garantire continuità tra le diverse frequenze "discrete"); mentre la seconda immagine mette in risalto immediatamente quali frequenze si riesce a coprire con una specifica parola di controllo del banco capacitivo.

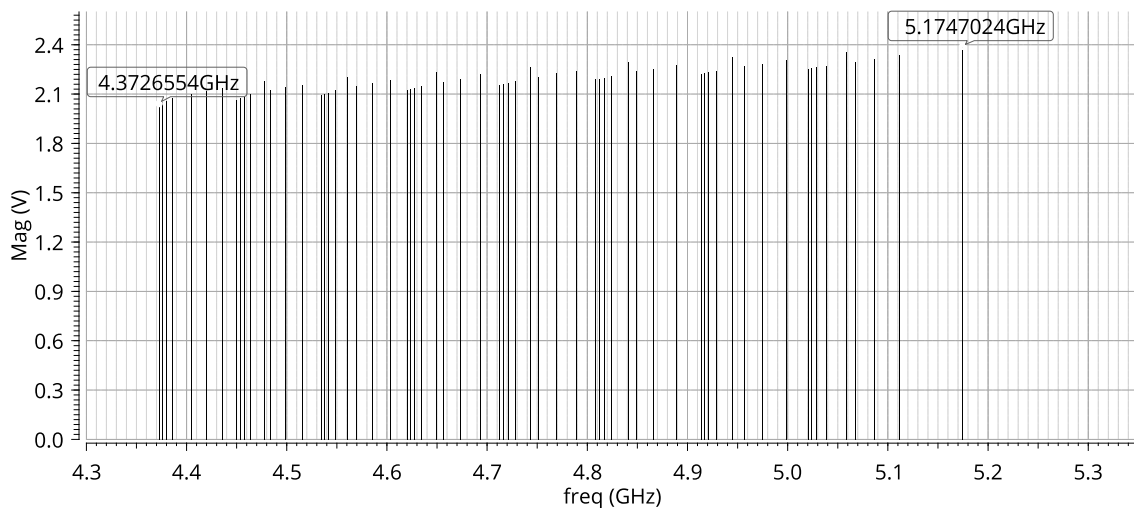


Figura 2.27: Tuning range del VCO di questa tesi guardando la frequenza dell'armonica fondamentale al variare di $V_{ctrl,bit}$ e V_{tune} .

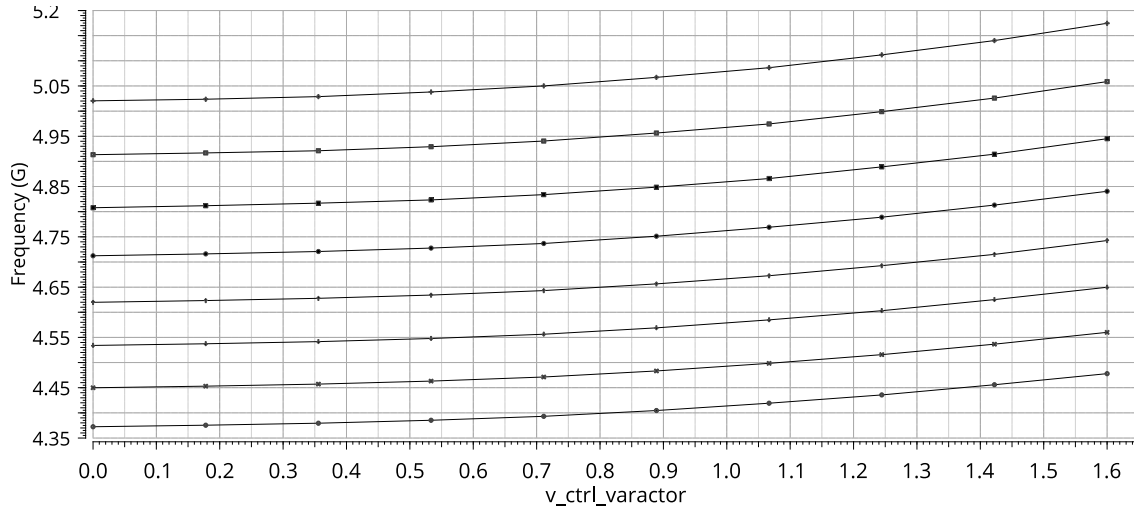


Figura 2.28: Frequenza di oscillazione per ciascuna parola di controllo in funzione della tensione V_{tune} . Dall'alto: $V_{ctrl,bit} = 000$ e via scendendo fino a $V_{ctrl,bit} = 111$.

2.5.4 Rumore di fase

Per ultimo, ma non sicuramente per importanza, è importante verificare il rumore di fase prodotto in uscita dall'oscillatore oggetto di questa tesi. Si ricorda che:

$$\mathcal{L} \equiv 10 \log \left[\frac{1}{2} \frac{kT}{V_{max}^2} \cdot \frac{1}{R_p (C\omega_0)^2} \cdot \left(\frac{\omega_0}{\Delta\omega} \right)^2 \right] \quad (2.7)$$

in cui R_p è la resistenza equivalente del tank e inoltre $Q = R_p \sqrt{\frac{C}{L}}$, per cui per ottenere un buon phase noise è necessario massimizzare l'ampiezza e minimizzare la resistenza equivalente parallelo che modella le perdite del tank, in altre parole è fondamentale che il fattore di qualità dell'induttore sia il più grande possibile. In questa fase l'unico fattore che non influisce su questa specifica è il fatto che le connessioni siano ancora ideali, mentre tutti i componenti sono di libreria, ossia sono reali e pertanto introducono componenti parassiti. Per esempio un transistor in alta frequenza introduce più capacità parassite tra i suoi terminali, una resistenza equivalente quando è nello stato "ON" e così via (figura 2.29); un condensatore reale ha a sua volta dei componenti parassiti che introducono rumore e altre non idealità, così come i varactor e ciascun altro elemento del circuito.

È utile in questo caso visionare cosa accade quando la frequenza di oscillazione è minima o massima, ossia quale sia l'andamento del phase noise rispetto alla frequenza di offset nel caso in cui l'ampiezza di oscillazione è minima e quando invece è massima. Si ottiene allora, isolando questi due soli casi corrispondenti ai casi in

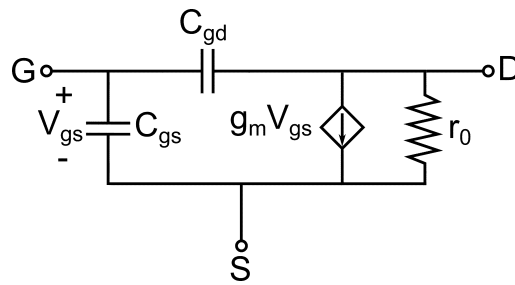


Figura 2.29: Modello ai piccoli segnali di un MOSFET in alta frequenza.

cui l'ampiezza è massima ($v_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$), e minima ($v_{ctrl,bit} = 111$ e $V_{tune} = 0V$), la figura 2.30.

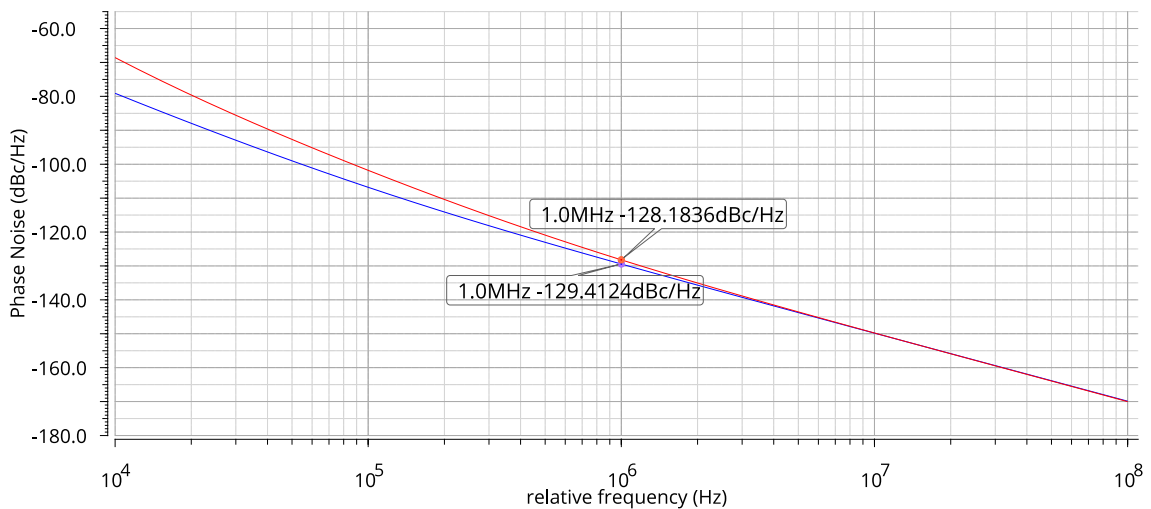


Figura 2.30: Rumore di fase prodotto dall'oscillatore quando la frequenza è massima (in blu) e quando la frequenza è minima (in rosso).

In questo contesto è utile apprezzare anche come la variazione della tensione v_{tune} faccia aumentare il rumore nella regione $1/f^3$, in particolare quando si è attorno alla massima frequenza di oscillazione. È la situazione rappresentata in figura 2.31 in cui si osserva il rumore di fase a f_{max} e prendendo i due estremi di V_{tune} (in rosso $V_{tune} = 0$ mentre in blu si ha $V_{tune} = 1.6$). Questo avviene perché la conversione AM/PM è causata principalmente dai condensatori controllati in tensioni e i varactor sono per l'appunto utilizzati per accordare la frequenza d'uscita dei VCO. Questi componenti fanno sì che l'ampiezza di oscillazione sia in qualche modo proporzionale alla pulsazione di oscillazione ω_0 , quindi qualsiasi modulazione dell'ampiezza porta ad uno sfasamento della forma d'onda d'uscita e un rumore AM (*Amplitude Modulation*) si traduce in rumore di fase [16]. In un oscillatore classico, ma anche in quello oggetto di questa tesi, il rumore AM sulla sinusoide d'uscita può essere generato dal rumore alle basse frequenze che raggiunge la coppia differenziale incrociata di tran-

sistor attraverso il tail. Le componenti di rumore a bassa frequenza sono traslate in alta frequenza dallo switching dei MOSFET, che si comportano come un mixer e generano la modulazione AM in uscita. Ecco quindi che nella regione $1/f^3$ si può assistere ad un significativo deterioramento in termini di prestazioni di rumore di fase. Quanto appena descritto è valido per i varactor ad accumulazione, ossia quelli inseriti in questo VCO.

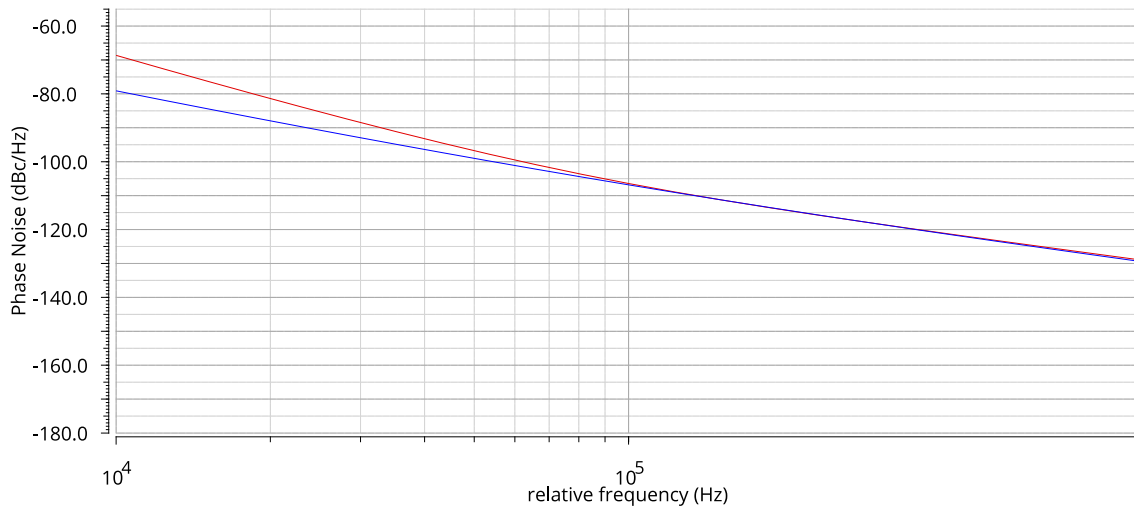


Figura 2.31: Rumore di fase prodotto dall'oscillatore quando la frequenza è massima per differenti valori di V_{tune} . A 10 kHz si nota una differenza di 10 dBc/Hz.

2.5.5 Figure Of Merit (FOM)

Come ultimo aspetto è da osservare la figura di merito che descrive il VCO. Usando le formule date nel capitolo introduttivo, ossia:

- $FOM \equiv \mathcal{L}(\Delta f) + 10 \log \left(\frac{P_{diss}}{1mW} \right) - 20 \log \left(\frac{f_0}{\Delta f} \right)$
- $FOM_T \equiv \mathcal{L}(\Delta f) - 20 \log \left(\frac{f_0}{\Delta f} \cdot \frac{TR[\%]}{10} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right)$

si possono ricavare i risultati di tabella:

FOM	-189.02 dBc/Hz
FOM_T	-193.01 dBc/Hz

Tabella 2.2: Risultati della *Figure Of Merit*.

La *Figure Of Merit* rappresenta il migliore valore di rumore di fase ad una frequenza di offset di 1 MHz per tutto l'intervallo di frequenze coperto dal tuning range. Sicuramente al termine della progettazione del layout questo valore sarà ridotto.

Capitolo 3

Layout

La fase di progettazione del layout è la parte più delicata, soprattutto in alta frequenza, perché come è ben noto, qui è facile che insorgano problematiche legate a componenti parassiti. È una fase che può essere estremamente appagante ma al contempo anche enormemente frustrante qualora le perdite introdotte siano di gran lunga più grandi rispetto a quanto ci si aspettasse. In linea di massima ci sono tre fattori che contribuiscono maggiormente alle perdite del circuito dopo il layout:

- Capacità parassite dovute all'accoppiamento tra le connessioni: comportano una riduzione del tuning range;
- resistività dei collegamenti di metallo: alle alte frequenze aumenta notevolmente comportando una degradazione del fattore di qualità e quindi una diminuzione dell'ampiezza di oscillazione in uscita;
- introduzione di componenti parassiti induttivi che portano anch'essi ad una riduzione del tuning range e uno spostamento di frequenze.

Ne consegue che l'aspetto più importante a cui prestare attenzione è senza dubbio il posizionamento dei componenti sul silicio in modo da rendere il layout più compatto possibile.

In questo caso, la parte più importante del VCO è il tank, formato dal banco di capacità e dall'induttore (bobina o trasformatore); questi dovrebbero essere molto vicini per ridurre al minimo le resistenze che influenzano il fattore di qualità e le induttanze parassite delle connessioni che influenzano il tuning range. Anche i transistor che forniscono la corrente e la tensione necessaria al tank devono essere il più prossimi possibile, perché il percorso resistivo tra i MOSFET e il tank stesso degrada il fattore di qualità Q .

La sfida più grande è stato posizionare correttamente il banco di capacità poiché la dimensione in termini di spazio occupato dei transistor scelti in questa applicazione, dovendo avere una bassa tensione di soglia V_{th} è piuttosto ampia. Non è possibile ridurre il valore di capacità per non variare il range di frequenze disponibili e si rende quindi necessario pensare a lungo dove collocare tali transistor per ridurre al minimo i parassiti. Sono state eseguite più fasi di redesign al fine di introdurre il numero minimo di parassiti possibili. I passi che sono stati seguiti sono, in ordine:

- Scelta della disposizione dei componenti in modo da avere una connessione corta con bassa resistenza e quindi principalmente vicino al tank;
- Estrazione dei parassiti;
- Simulazione dei collegamenti con il simulatore elettromagnetico CADENCE MOMENTUM ed estrazione della resistenza equivalente alla frequenza di lavoro e dell'induttanza equivalente;
- Inserimento di tutti i parassiti nello schema e nuova simulazione delle prestazioni del VCO;
- Eventualmente riprogettare se i parassiti deviano troppo dai risultati ottenuti nella fase a schematico.

Solitamente qualsiasi tecnologia per sviluppare il layout mette a disposizione una serie di metalli con diverse caratteristiche (resistività, capacità e induttanze parassite). Un metallo viene definito "buono" se ovviamente la sua resistività, come gli altri parassiti, è ridotta al minimo. Per far ciò, secondo la tradizionale legge di Ohm, si inspessisce il metallo, creando così una vera e propria pila (*stack*) di metalli che partendo dal più "basso" vanno via via aumentando il loro spessore e quindi a diminuire le loro componenti parassite. Tramite questo stack è possibile quindi raggiungere il substrato dei componenti e collegarli inoltre tra di loro usando metalli diversi in modo da evitare possibili cortocircuiti. Per passare tra un metallo e un altro si impiegano quelli che vengono definiti *via*, analogamente a quanto si fa anche nei PCB, che consentono appunto sia il passaggio di segnali tra i due livelli ma riducono notevolmente anche la resistività di una pista formata da più metalli diversi collegati in parallelo. Uno stack di metalli generico è rappresentato in figura 3.1 in cui si vede che dal layer superiore realizzato in alluminio si riesce ad arrivare allo strato di polisilicio, con cui solitamente si realizza il terminale di gate dei transistor. Oltre allo stack dei metalli c'è anche un ulteriore pila di layer che non vengono,

in linea di massima, modificati e che rappresentano il collegamento tra il livello di polisilicio e il substrato di ciascun dispositivo.

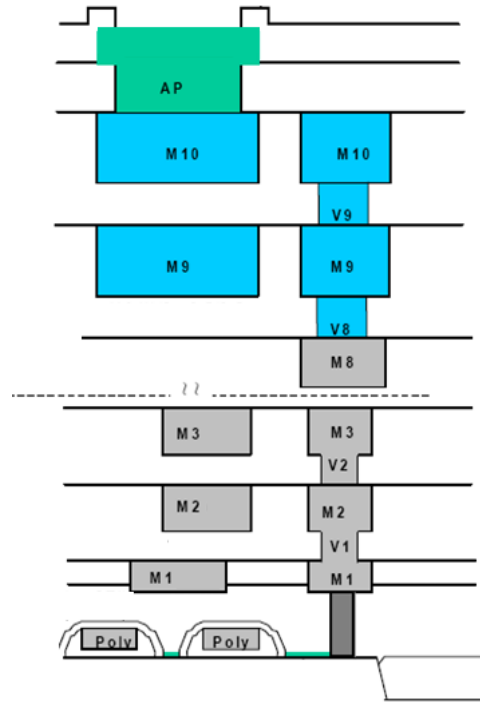


Figura 3.1: Rappresentazione di un generico stack di metalli.

La connessione dei componenti nell'ambiente *Cadence Layout Suite* è tutt'altro che semplice, basti pensare per esempio che un singolo transistor può avere molteplici contatti di gate (o di drain/source) che richiedono di essere connessi tra loro e con gli altri elementi del circuito e che per effettuare questo passaggio è necessario sottostare a particolari regole definite dalla tecnologia e verificarle tramite software. Questa verifica in particolare viene chiamata *Design Rules Check* (DRC), la quale controlla, per esempio, che i diversi metalli siano lontani con una certa distanza da altri metalli (o metalli dello stesso tipo). Una volta passato senza errori il DRC, la verifica seguente è il *Layout Vs Schematic* (LVS), la quale, come dice il termine stesso, controlla che tutte le connessioni presenti a schematico siano state fatte anche a layout e viceversa.

Anche per questo motivo risulta quindi complicato il calcolo dei parassiti, motivo per cui si ricorre all'uso del simulatore solo quando finalmente si sono soddisfatti sia il DRC che l'LVS. Un esempio di quanto appena detto può essere quello in figura 3.2 in cui i drain del transistor vengono collegati agli avvolgimenti dell'induttore contribuendo così all'abbassamento del fattore di qualità di quest'ultimo. Se il tran-

sistor ha quattro drain e l'obiettivo è estrarre la resistenza e l'induttanza parassita tra il pin del "vero" induttore e i transistor, esistono 4 percorsi possibili. Il primo è tra il coil e il drain più vicino, il secondo tra il coil e il secondo drain e così via fino all'ultimo pin di drain. La resistenza parassita risulta ovviamente maggiore a mano a mano che ci si allontana dal coil e inoltre la maggior parte di corrente passa sul pin più vicino. Un'altra cosa fondamentale è sviluppare il layout in modo

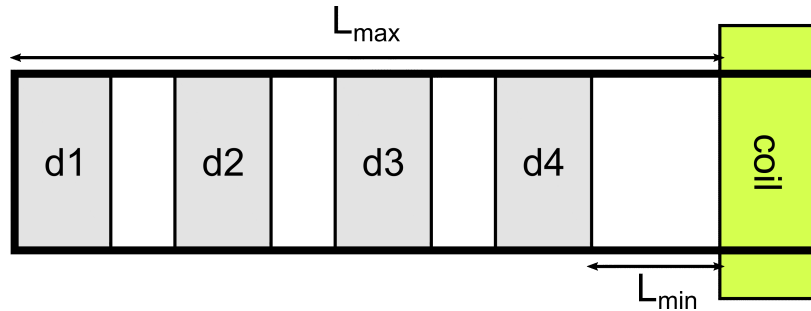


Figura 3.2: Rappresentazione del collegamento tra l'induttore e il drain del transistor.

che sia simmetrico, verticalmente o orizzontalmente, in modo da ridurre al minimo qualsiasi genere di mismatch e fare in modo di ben bilanciare eventuali perdite in egual modo.

In questo capitolo verranno analizzate in dettaglio le diverse parti di cui è stato affrontato il layout, vale a dire i dispositivi attivi (che include coppia differenziale incrociata e amplificatore a common-gate con feedback), banco di capacità e induttore. Verranno mostrate solamente i risultati conclusivi ottenuti dopo svariati tentativi che peggioravano in maniera sostanziale le specifiche desiderate; sarà inoltre discusso perché tali modifiche sono state apportate e quali benefici hanno introdotto.

3.1 Layout dispositivi attivi

3.1.1 Coppia differenziale incrociata

Per prima cosa si è dovuto pensare a come distribuire correttamente nello spazio i transistor della coppia differenziale, i condensatori di disaccoppiamento e le resistenze di polarizzazione. I condensatori di disaccoppiamento dovendo introdurre un taglio ad una frequenza ben minore rispetto a quella di oscillazione, hanno dimensioni piuttosto elevate rispetto ai MOSFET della coppia differenziale incrociata, che invece come visto nel precedente capitolo, ha una lunghezza di canale di 20 nm. Tuttavia, avendo imposto la molteplicità dei transistor pari a 4 ed avendo, appunto,

una coppia di MOSFET, le dimensioni effettive degli attivi rispetto ai condensatori è circa uguale. È importante capire quanto larga fare tale sezione, nel senso che, visionando lo schematico, un terminale di ciascuno dei due C_{dec} è connesso al nodo d'uscita e quindi al coil. La larghezza è quindi dettata dalla distanza dei pin dell'induttore, il quale layout verrà affrontato più avanti in questo capitolo.

Una prima versione del layout prevedeva di sviluppare l'intero blocco il più compatto possibile, rendendolo logicamente simile ad un rettangolo il cui centro era costituito dai due transistor della coppia differenziale incrociata (ciascuno però avendo molteplicità pari a 4) e la parte esterna dai condensatori di decoupling e dalle resistenze di bias. Tuttavia, una volta completata la distribuzione spaziale anche dello stadio di amplificazione common-gate, ci si è resi conto che tra i transistor delle due sezioni erano tra loro troppo distanti e che i percorsi che li collegavano avrebbero introdotto troppe perdite. Si è quindi proceduto a modificare tale blocco per integrarlo al meglio con il successivo e far sì di introdurre meno componenti parassiti, considerando soprattutto che i transistor, seppur tramite una capacità, sono collegati direttamente all'induttore.

3.1.2 Stadio di amplificazione common-gate

Lo stadio di amplificazione common-gate con feedback che insieme al blocco precedente costituisce lo *stacked amplifier* è stato, nella sezione dei dispositivi attivi, quella più complicata da gestire. Questo perché c'è da capire come collocare il condensatore di gate C_g e quello di gate-drain C_{gd} in modo efficace ed efficiente dal momento in cui queste due capacità sono ben più grandi rispetto alla dimensione stessa dei transistor, che si ricorda avere le stesse caratteristiche di quelli della coppia differenziale incrociata. Avendo dimensionato i condensatori di questo stadio con un rapporto 1 a 8, il condensatore C_{gs} è inserito al centro del quadrato composto dalle 8 parti che formano il condensatore connesso tra gate e massa C_g . In questo caso i condensatori hanno simmetria orizzontale, verticale e diagonale, riducendo così al minimo il mismatch che potrebbe portare ad un'instabilità in frequenza.

La sfida anche in questo caso è stata l'integrazione della parte precedente, vale a dire capire in che modo andare a collegare i transistor della coppia incrociata differenziale con quelli di questa sezione in modo da "fare meno strada" possibile e mantenendo l'intera configurazione estremamente compatta. Dopo un'attenta analisi si è ritenuto che la soluzione migliore fosse quella di figura 3.3 in cui sono state ben evidenziate le due parti e le net di interfacciamento con il resto del circuito.

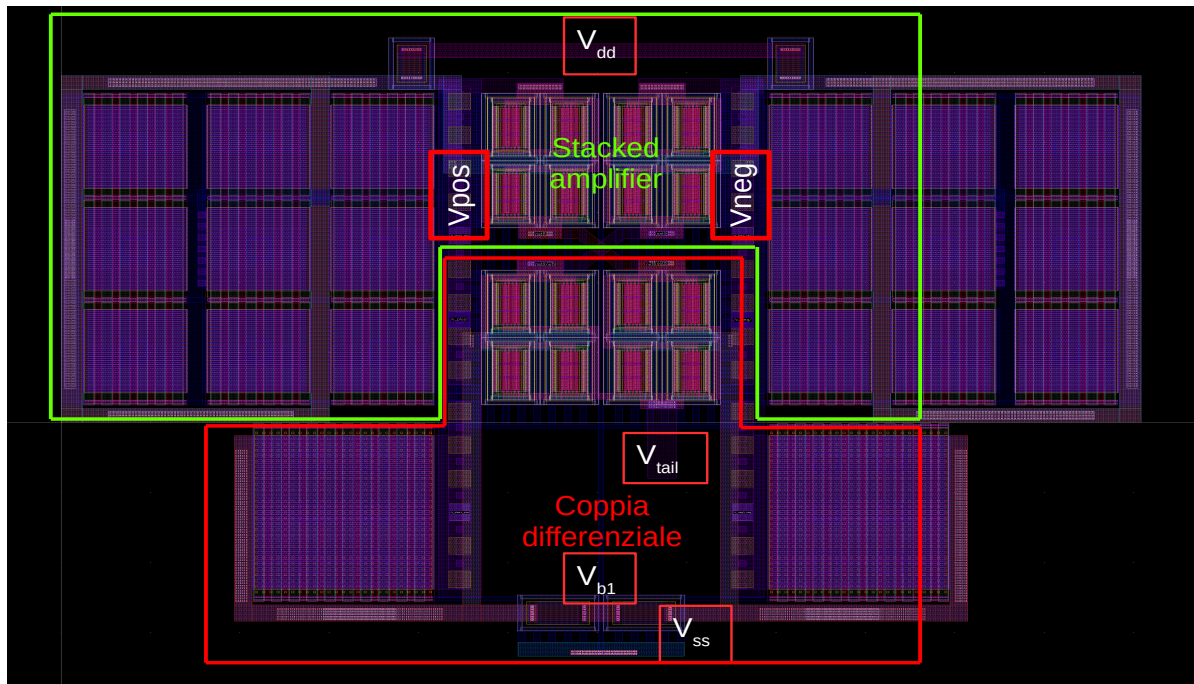


Figura 3.3: Layout combinato della coppia incrociata differenziale e dell'amplificatore common-gate con feedback.

Da evidenziare il fatto che, a differenza dello schematico inserito nella sezione 2.2, qui i transistor sono già stati cortocircuitati tra loro per formare il ramo di tail che poi costituisce uno dei due ingressi differenziali dell'OTA. Il riferimento V_{b1} è invece la tensione di polarizzazione dei transistor della coppia incrociata differenziale ed è inoltre l'uscita single-ended dell'amplificatore a transconduttanza. I rami V_{pos} e V_{neg} sono i rami d'uscita che verranno poi connessi direttamente al coil. Sono stati realizzati con i metalli a bassa resistività poiché tra l'induttore e questa sezione è presente anche il banco di capacità; si rende quindi necessario l'impiego di tali metalli in modo da ridurre quanto più possibile la resistenza parassita introdotta dalla connessione completa coil-attivi. Il pin V_{SS} è invece la connessione di massa dell'intero circuito. Quest'ultima connessione è importante che sia ben distribuita in ogni parte del layout, per formare quello che viene definito come "piano di massa", ossia un piano realizzato in uno dei metalli disponibili dalla tecnologia (solitamente uno tra quelli a resistività maggiore) e che percorre tutto il circuito in modo che per esempio, le connessioni a massa dei substrati siano più facilmente realizzabili in quanto non è necessario farle eccessivamente lunghe e quindi resistive. Il ragionamento analogo si può fare per la tensione di alimentazione V_{DD} , che però nel core dell'oscillatore viene utilizzata solamente per fornire l'alimentazione della coppia differenziale dello stadio di amplificazione a common-gate e come *center-tap* dell'induttore. Per questo

motivo, per ora, non si è implementata una vera e propria "griglia" anche per V_{DD} ma si è preferito, come si vedrà al termine di questo capitolo quando si discuterà circa il layout dell'intero core del VCO, creare un collegamento diretto con un buon metallo (ossia con bassa resistività) tra il coil e la parte dei dispositivi attivi.

3.2 Layout banco di capacità

La sfida più impegnativa è stata pensare alla distribuzione spaziale del banco di capacità e in particolare di come "incastrare" le singole celle capacitive. In questa sezione verrà illustrato come si è arrivati alla configurazione attuale della singola cella capacitiva e la scelta di topologia a layout dell'intero banco. Verranno tuttavia illustrate solamente le soluzioni conclusive, per semplicità di narrazione e perché sono comunque le soluzioni che, confrontate con le precedenti, hanno portato a risultati di maggior rilievo.

Questa sezione, come si è già detto, funge da collegamento tra il coil e la parte dei dispositivi attivi, ed è controllata da una parola digitale a 3 bit che non è oggetto di questa tesi.

3.2.1 Singola cella capacitiva

Come concluso precedentemente nella Sezione 2.3.1, la cella singola che forma il banco di capacità deve includere in se stessa il MOSFET che funge da switch, i due condensatori fissi, le resistenze di polarizzazione e l'invertitore di tensione che permette di controllare la cella dando in ingresso una singola parola di controllo (non è necessario quindi fornire anche la parola negata come input), semplificando così la parte digitale di gestione del banco capacitivo. In figura 3.4 viene riportata la configurazione finale, anch'essa ottenuta dopo alcuni tentativi da cui sono stati estratti i parametri parassiti e se ne è verificata l'effettiva bontà.

Si possono individuare chiaramente lo switch, il quale problema principale è stato collocarlo in modo da ottenere un layout che fosse il più compatto possibile, dal momento in cui il transistor (avente molteplicità 6) è di tipo "Ultra-low Threshold Voltage" ed è quindi in grado di sopportare una caduta di tensione ai suoi capi elevata pur mantenendo una bassa tensione di soglia. Queste due ultime caratteristiche sono fondamentali per un transistor collocato in questa sezione del circuito, in quanto i suoi terminali sono in un certo senso direttamente collegati ai due rami d'uscita del VCO e bisogna che tale switch non introduca una tensione di soglia troppo alta per evitare di ridurre ulteriormente l'ampiezza di oscillazione.

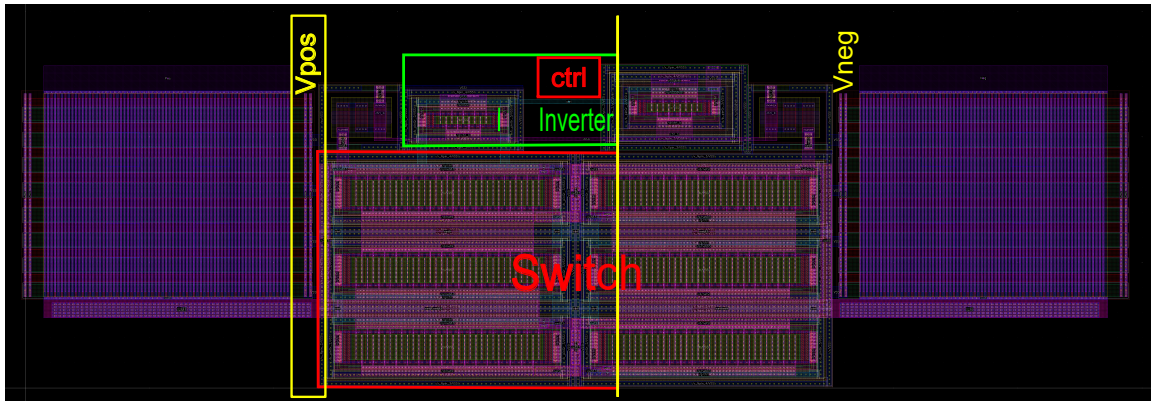


Figura 3.4: Layout di una singola cella capacitiva.

3.2.2 Banco di capacità completo

Una volta dimensionata la singola cella, il passo successivo è quello di collegarle l'una con l'altra in modo da costruire un banco di capacità funzionante, robusto in termini di mismatch, e il più compatto possibile. Se per la prima (e senz'altro fondamentale) richiesta è necessario e sufficiente che il layout prodotto passi indenne l'LVS, per le altre due la soluzione non è così banale.

Le due richieste rimanenti possono essere in qualche modo interagenti: il fatto che sia simmetrico (e quindi meno sensibile al mismatch tra componenti) può comportare anche una maggiore compattezza in termini di spazio occupato. Unendo questa considerazione a quelle della sezione 2.3.1, i tre bit della parola di controllo del banco di capacità vengono spesso distribuiti come segue:

- **bit 0**: cella capacitiva centrale;
- **bit 1**: le due celle capacitive attorno a quella centrale;
- **bit 2**: le restanti quattro celle capacitive (le prime due superiori e le ultime due inferiori).

In questo modo in linea di principio si ottiene una simmetria orizzontale e verticale. Tuttavia nella pratica e nello specifico nella parte di layout, avendo in tutto sette celle capacitive come quelle in figura 3.4 da gestire, la simmetria orizzontale è quella più difficile da raggiungere. Avendo i rami del coil corrispondenti all'uscita positiva e negativa piuttosto stretti, si è pensato che per avere un'efficacia maggiore, la scelta più corretta fosse quella di collocare le celle capacitive in verticale. Si ottiene allora il layout di figura 3.5, nella quale sono stati ben evidenziate quante e quali celle capacitive "unitarie" sono gestite dal singolo bit della parola di controllo binaria.

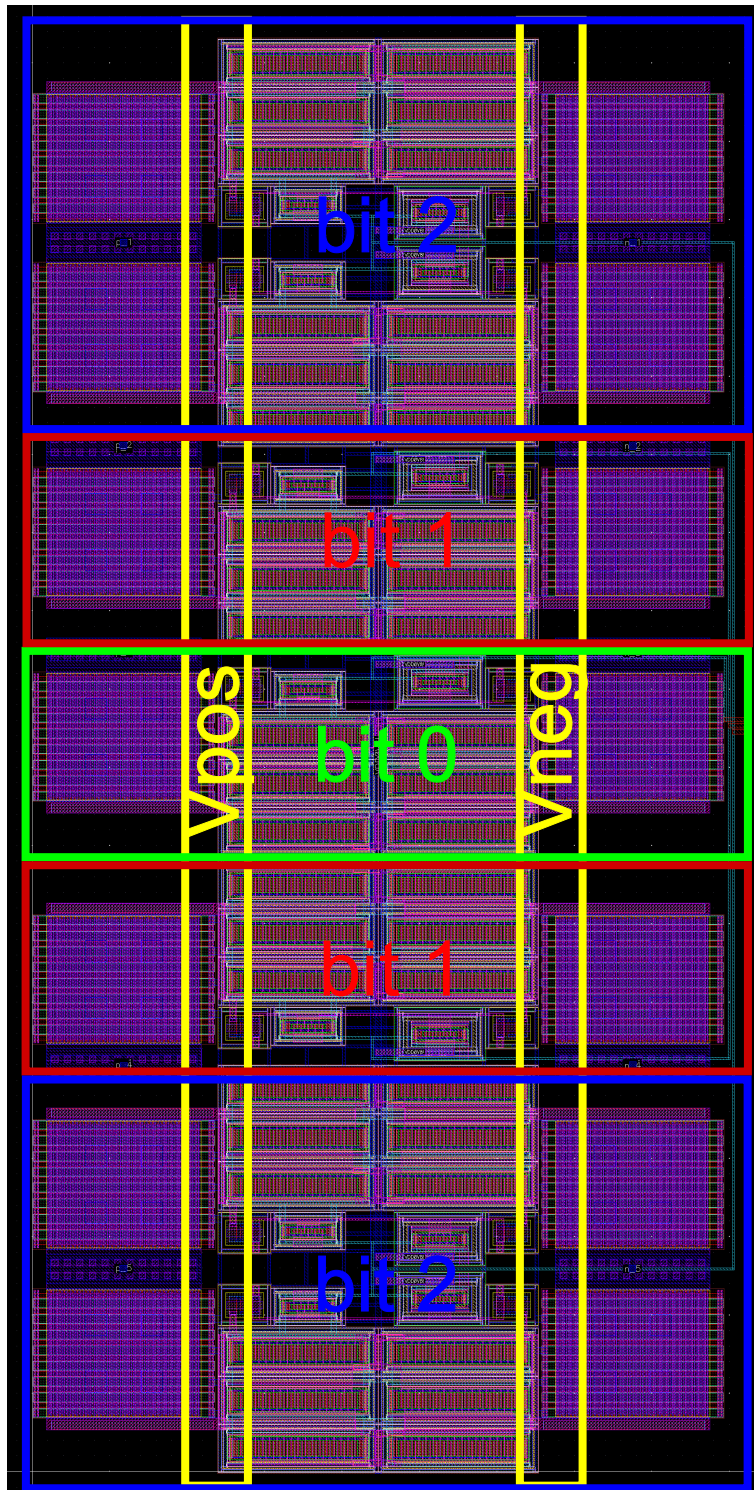


Figura 3.5: Layout del banco capacitivo.

3.3 Layout induttore

Come ultima parte, ma non per importanza, si è eseguita anche la progettazione dell'induttore full-custom. Le caratteristiche ottenute sono quelle presenti e già descritte nella sezione del secondo capitolo ad esso dedicata. Il coil è stato realizzato tramite due avvolgimenti ottenuti mettendo in parallelo i due metalli più "alti", tra i quali si sono inseriti, sempre rispettando le regole di DRC, molteplici *vias* per ridurre al minimo la resistività di tali piste, ossia aumentare quanto più possibile il fattore di qualità dell'induttore. Dai due avvolgimenti si diramano due bracci, anch'essi realizzati tramite il parallelo di metalli a bassa resistività e con l'inserimento di molti *vias*, che raggiungono la sezione dei dispositivi attivi passando per il banco di capacità. Queste due ulteriori ramificazioni, seppur realizzate con coscienza e con buoni metalli, fanno purtroppo sì che il fattore di qualità Q del tank si abbassi verosimilmente di qualche unità e che aumenti l'induttanza, avendone aggiunte una minima quantità parassita.

L'estrazione dei parassiti dell'induttore è stata fatta invece con il software Cadence Momentum, che simula il comportamento elettromagnetico di un qualsiasi componente, sia questo di libreria o non. In particolare viene utilizzato quando si sa che si potrebbero verificare accoppiamenti parassiti, per esempio due o più tracce metalliche che sembrano sufficientemente separate ma sono in realtà accoppiate induttivamente l'una all'altra. Momentum è in grado di ricavare sia l'accoppiamento parassitario sia l'eventuale emissione di radiazioni elettromagnetiche. Oltre a ciò c'è da dire che questo software consente di realizzare componenti full-custom ignorando le regole di layout (DRC) che possono venire controllate solo in un secondo momento. Per poterlo utilizzare è necessario seguire in ordine i seguenti passaggi:

1. **Definire il substrato:** il substrato è il supporto su cui risiede il circuito. Una definizione completa del substrato è necessaria e richiede che siano definiti tutti i livelli di cui è composto. Tipicamente queste informazioni sono contenute in un file fornito dal produttore dei componenti;
2. **Creare una cella Momentum:** questo passaggio si può fare per esempio importando il componente dalla vista a schematico piuttosto che disegnarlo partendo da zero o importare una porzione di un layout già esistente;
3. **Assegnare proprietà alle porte:** le porte permettono di iniettare il segnale nel circuito e sono quindi necessarie per analizzare il comportamento della cella Momentum;

4. **Simulare il circuito:** si imposta una simulazione definendo per esempio le frequenze da testare, ossia le frequenze possibili in cui il circuito funzionerà in futuro.

Una volta completata la simulazione, Cadence Momentum restituisce un simbolo utilizzabile a schematico che contiene tutti dati elettromagnetici e tutti i parametri parassiti della cella appena creata.

L'induttore così ottenuto è visibile in figura 3.7 in qui si può ben notare, a differenza del layout in figura 3.6 che era già stato in parte anticipato nel secondo capitolo, la presenza delle connessioni che consentono di congiungere il coil agli attivi. Sono presenti inoltre due *rail*: uno è la connessione a V_{DD} ossia il center-tap dell'induttore, mentre l'altro è V_{SS} , ossia la connessione a massa e serve a creare un percorso di richiusura della corrente dell'induttore attraverso il substrato ed è necessario che sia sufficientemente spesso.

Ovviamente il valore di induttanza che si misura e riportato in tabella nella sezione 2.3.3 corrisponde al valore comprensivo dei due avvolgimenti e al valore parassito introdotto dai rami d'uscita, positivo e negativo, del core dell'oscillatore. Per la stessa ragione avrà una resistenza serie equivalente maggiore che ne fa abbassare il fattore di qualità totale.

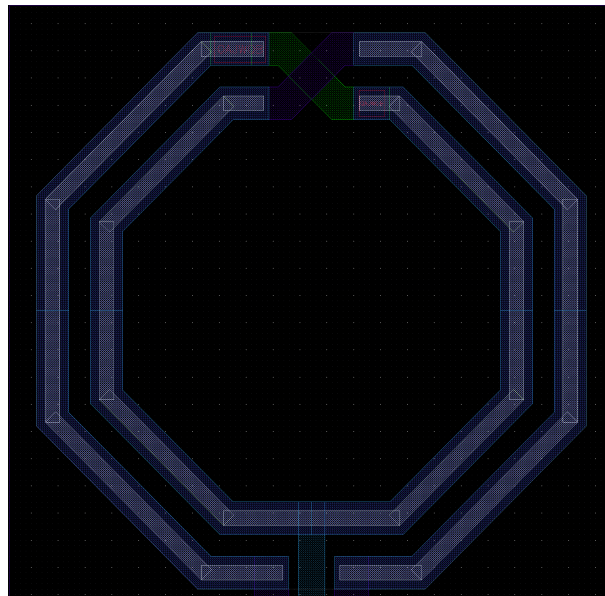


Figura 3.6: Layout del solo induttore.

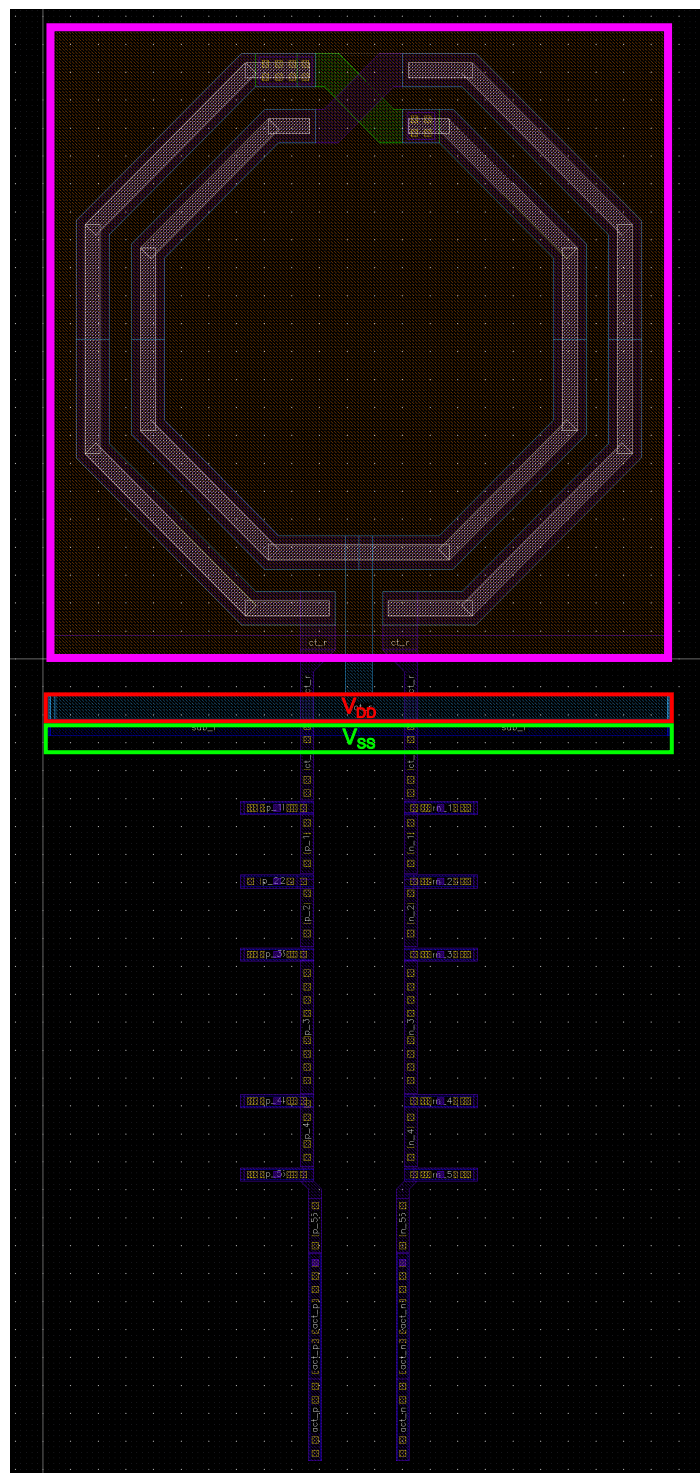


Figura 3.7: Layout dell'induttore completo di connessione verso i dispositivi attivi.

3.4 Layout completo

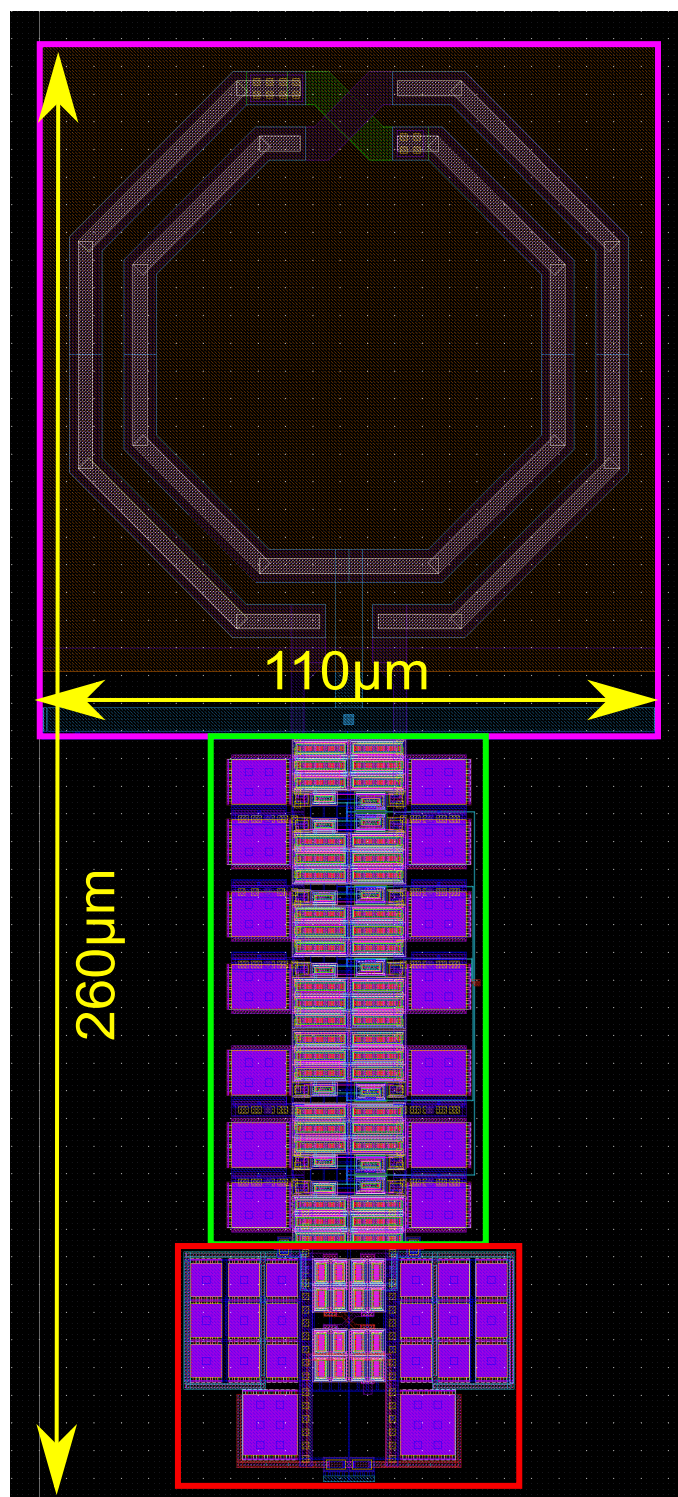


Figura 3.8: Layout completo del core dell'oscillatore.

Capitolo 4

Risultati

In questo capitolo verranno illustrati i principali risultati ottenuti al termine della fase di layout. Questi verranno inoltre discussi e confrontati con i risultati ottenuti a schematico e riportati nel Capitolo 2.

Ovviamente i risultati ottenuti saranno peggiori se confrontati con quelli precedenti in quanto nella fase di layout, per quanto effettuata nella maniera più scrupolosa possibile, si sono inevitabilmente introdotte delle perdite di entità non del tutto trascurabile. Verranno prese in considerazione in particolare quelle simulazioni che forniscono i parametri che solitamente caratterizzano un VCO, vale a dire ampiezza d'uscita, tuning range, rumore di fase e come ultima, ma non per importanza, la *Figure Of Merit* (FOM) in modo da includere anche la potenza in DC consumata dall'oscillatore per mantenere stabile nel tempo la forma d'onda sinusoidale in uscita. I risultati sono rappresentati nella tabella 4.1 in cui c'è il confronto tra ciò che si è ottenuto in fase di schematico e ciò che invece si è osservato dopo il layout.

	VCO schematic	VCO Layout	Note
V_{DD}	1.6 V	1.6 V	
I_{tail}	21 mA	21 mA	
$V_{ctrl,bit}$	000-111	000-111	
V_{tune}	0-1.6 V	0-1.6 V	
Amp_{max}	2.4 V	2.2 V	@ f_{max}
$Freq$	4.38-5.19 GHz	4.36-5.16 GHz	
$PN @ 1MHz$	-129.4 dBc/Hz	-128.6 dBc/Hz	@ f_{max}
FOM	-189.02 dBc/Hz	-188.2 dBc/Hz	@ f_{max}
FOM_T	-193.01 dBc/Hz	-192.27 dBc/Hz	@ f_{max}

Tabella 4.1: Tabella riassuntiva dei risultati del VCO.

Per prima cosa può essere utile vedere quanto si è perso in termini di ampiezza di oscillazione. Nello specifico dalla figura 4.1 si ha che tra i risultati "ideali" e quelli post layout c'è una differenza di circa 200 mV a parità di frequenza di oscillazione. Si è visto che queste perdite sono da ricondursi principalmente, oltre ovviamente ad una riduzione del fattore di qualità causato dall'inserimento del banco di capacità, alle perdite resistive introdotte dai dispositivi attivi. Anche qui si ha che la massima

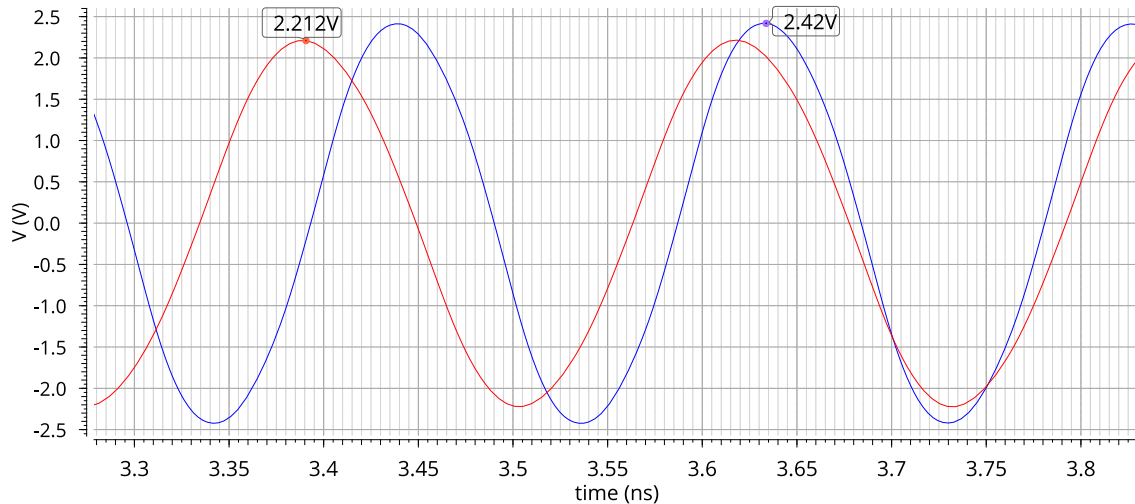


Figura 4.1: Transitorio delle tensioni in uscita del VCO. In blu la tensione con $V_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$ e in rosso $V_{ctrl,bit} = 111$ e $V_{tune} = 0V$.

ampiezza viene raggiunta quando la frequenza assume un valore maggiore, vale a dire per $V_{ctrl,bit} = 000$ e $V_{tune} = 1.6V$; il viceversa si ottiene invece con $V_{ctrl,bit} = 111$ e $V_{tune} = 0V$.

Si osserva il tuning range dell'oscillatore. Dai risultati riportati nelle figure 4.2 e 4.3 e confrontandoli con quelli ottenuti nel secondo capitolo, si vede che il layout non ha introdotto fortunatamente molte induttanze e capacità parassite tra i diversi livelli di metallo.

Come ultimo aspetto da considerare e da valutare, c'è il rumore di fase. Questo ci si aspetta che sia peggiorato in quanto come si è appena visto, si è verificata una sensibile riduzione della massima ampiezza di oscillazione \hat{V}_{LO} e utilizzando il modello di Leeson ciò comporta ad un deterioramento delle prestazioni in termini di phase noise. Si osservano i due andamenti in cui il rumore misurato è massimo e minimo, reciprocamente per in corrispondenza della frequenza minima e della frequenza massima. Anche nella fase post layout si può apprezzare che alla massima frequenza di oscillazione, i varactor sono i principali responsabili dell'evidente peggioramento del rumore di fase nella regione $1/f^3$.

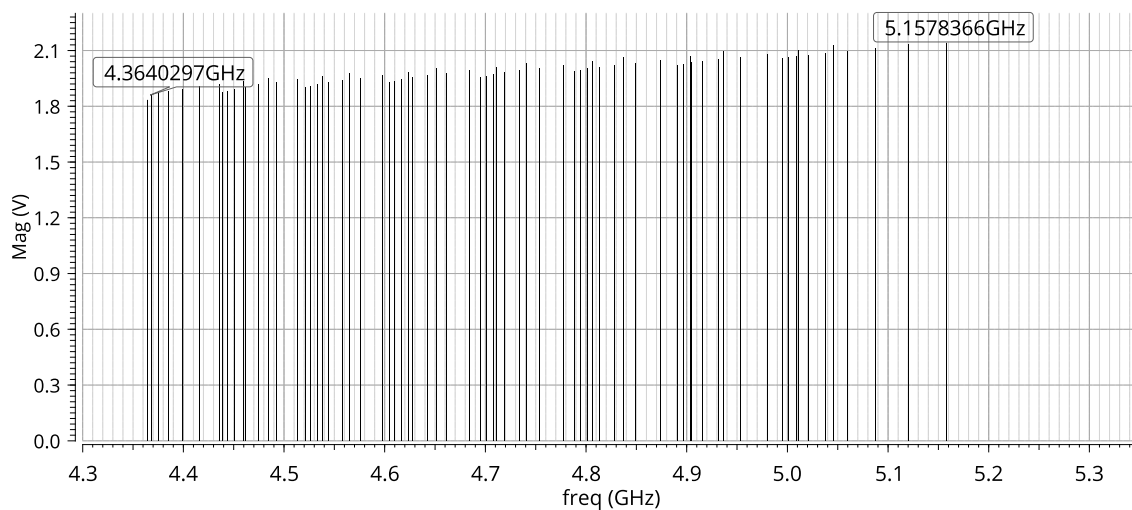


Figura 4.2: Tuning range del VCO di questa tesi guardando la frequenza dell'armonica fondamentale al variare di $V_{ctrl,bit}$ e V_{tune} .

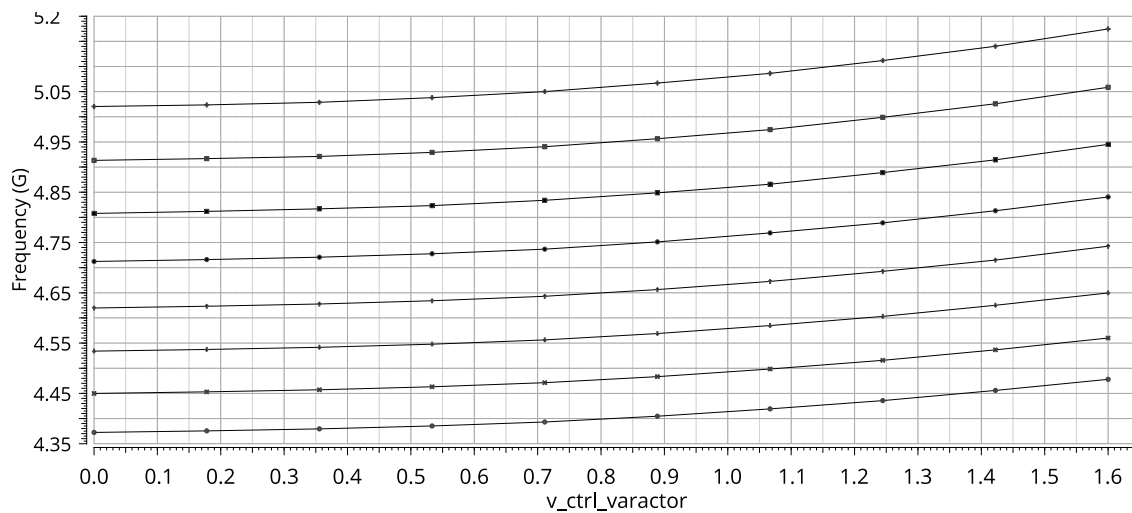


Figura 4.3: Frequenza di oscillazione per ciascuna parola di controllo in funzione della tensione V_{tune} . Dall'alto: $V_{ctrl,bit} = 000$ e via scendendo fino a $V_{ctrl,bit} = 111$.

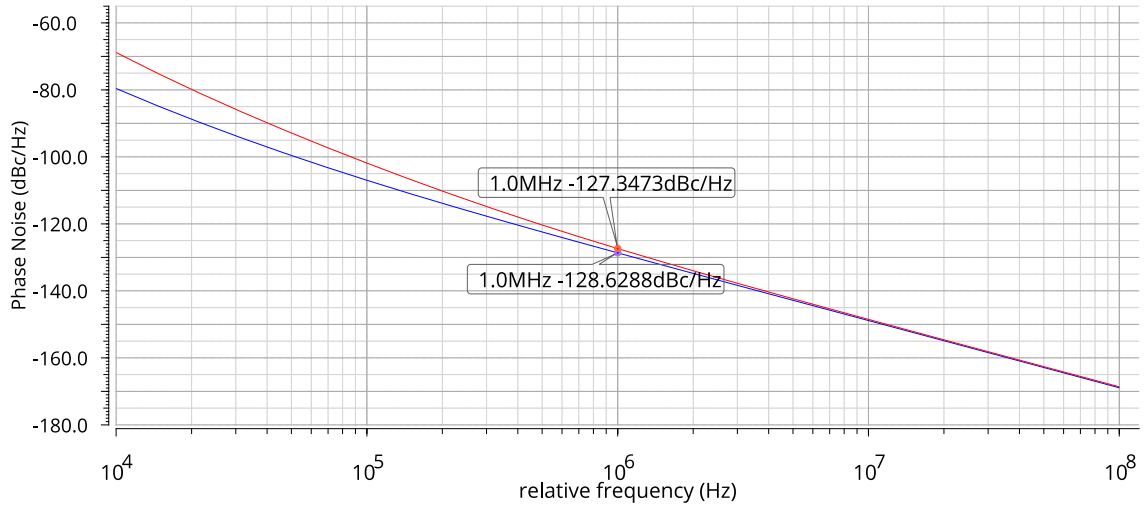


Figura 4.4: Rumore di fase prodotto dall'oscillatore quando la frequenza è massima (in blu) e quando la frequenza è minima (in rosso).

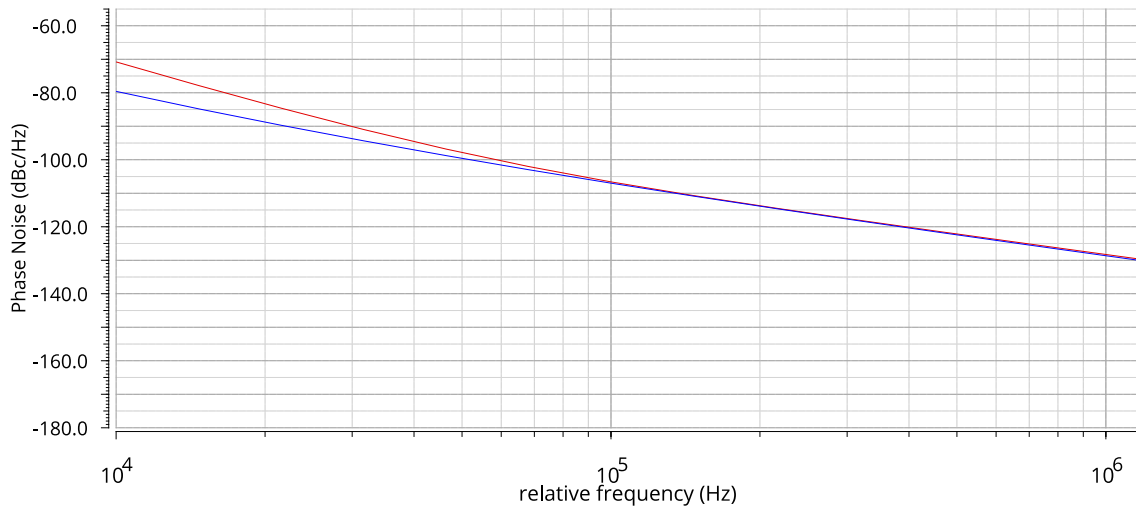


Figura 4.5: Rumore di fase prodotto dall'oscillatore quando la frequenza è massima per differenti valori di V_{tune} . La differenza a 1 kHz si assesta a 10 dBc/Hz .

Capitolo 5

Conclusione e sviluppi futuri

In questa tesi è stato realizzato ed analizzato un oscillatore controllato in tensione che si propone di ottenere un'ampiezza di tensione ben maggiore rispetto ad una topologia classica, in virtù del fatto che la tensione di alimentazione è stata raddoppiata ed è stato inserito in cascata alla coppia differenziale incrociata uno stadio di amplificazione a common-gate retroazionato.

Grazie alla tecnologia a 22nm FD-SOI fornita da GlobalFoundries è stato possibile realizzare una struttura compatta dello schematico presente nella sezione 2.1.

L'obiettivo iniziale è stato quindi quello di studiare dal punto di vista teorico il comportamento di ogni singola sezione circuitale, in modo da ricavare per esempio la corrente di polarizzazione, la condizione di *START-UP* e quali grandezze sono determinanti in prima approssimazione per ottenere una maggior ampiezza di oscillazione e quindi una riduzione del rumore di fase.

Una volta terminata questa fase iniziale, si è proceduto con un primo approccio pratico sviluppando lo schematico in Cadence Virtuoso, ovviamente solo dopo aver dimensionato correttamente ciascun componente dell'oscillatore al fine di garantire le prestazioni desiderate. Il banco di capacità è gestito da una parola di controllo a 3 bit, permettendo così di ottenere una discretizzazione dell'intervallo di frequenze di oscillazione. Lo sweep continuo all'interno dei valori discreti di frequenza è realizzato per mezzo di una coppia di varactor ad accumulazione in configurazione back-to-back. Il dimensionamento dello stadio di amplificazione a gate comune è stato eseguito in particolare interrogandosi più sui benefici apportati in termini di margine di fase piuttosto che concentrarsi sull'effettivo guadagno ai piccoli e grandi segnali. Si ottiene così il dimensionamento descritto nel secondo capitolo.

Una volta verificata la bontà dei primi risultati ottenuti, anche se a schematico, nel Capitolo 3 si è passati a sviluppare il layout vero e proprio, vale a dire a sviluppare

la futura distribuzione spaziale dei singoli componenti sul wafer di silicio. Durante l'evoluzione del layout si sono incontrati diversi problemi, come le dimensioni eccessive di alcuni transistor, molto elevate a causa delle loro particolari caratteristiche, come bassa tensione di soglia e alta tensione massima sopportabile ai loro terminali. È stato sviluppato inoltre un induttore full-custom tale da massimizzare il fattore di qualità del tank LC (ossia di ridurre le perdite a causa delle resistenze parassite) e in modo da avere i rami d'uscita perfettamente coincidenti con la larghezza del banco di capacità.

Infine si è provveduto a testare quanto sviluppato e ad esplorare i limiti operativi dell'oscillatore oggetto di questa tesi. In particolare si è ottenuto un buon VCO avente una FOM di -188.2 dBc/Hz , un consumo di potenza di 29.5 mW con una tensione di alimentazione $V_{DD} = 1.6 \text{ V}$ e con una corrente di polarizzazione I_{tail} di 21 mA ; un'ampiezza di uscita massima di 2.2 V e un rumore di fase di -128.6 dBc/Hz misurato a 1 MHz .

Ovviamente la fase di layout non è ancora conclusa e necessita di essere portata a compimento in modo da poter avere un prototipo di chip funzionante e da testare. I prossimi passi da completare sono sicuramente l'inserimento dei due varactor all'interno del layout, ma ben più fondamentale è lo sviluppo dello specchio di corrente che serve per polarizzare correttamente l'intero core dell'oscillatore controllato in tensione. Lo specchio è già stato dimensionato in linea di principio, tuttavia è necessario migliorarlo ai fini del layout. Inoltre, è da progettare anche l'intero layout dell'OTA e collegarlo conseguentemente all'oscillatore tramite opportune resistenze di *bias* e condensatori di *decoupling*, già presenti attualmente.

Bibliografia

- [1] L. Jia, Y. B. Choi and W. G. Yeoh, "A 5.8-GHz VCO with Precision Gain Control," 2007 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2007, pp. 701-704
- [2] T. T. Ta, S. Kameda, T. Takagi and K. Tsubouchi, "A 5GHz band low noise and wide tuning range Si-CMOS VCO," 2009 IEEE Radio Frequency Integrated Circuits Symposium, 2009, pp. 571-574
- [3] D. Shi, J. East and M. P. Flynn, "A Compact 5GHz Standing-Wave Resonator-based VCO in 0.13 μ m CMOS," 2007 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2007, pp. 591-594
- [4] Y. -J. Wang, X. -N. Fan and B. Li, "A 0.18 μ m 1V 5GHz LC VCO designed for WSN applications," 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, 2012, pp. 1-3
- [5] B. Razavi, "RF Microelectronics", Pearson, 2nd Edition, 2014.
- [6] P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, "Analysis and design of analog integrated circuits", Wiley, 5th edition, 2010.
- [7] D.B. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum", Proc. IEEE, pages 329–330, February 1966.
- [8] Ulrich L. Rohde, Ajay K. Poddar and Georg Bock, "The Design of Modern Microwave Oscillators for Wireless Applications", WILEY, 2005.
- [9] B. Soltanian and P. Kinget, "A tail current-shaping technique to reduce phase noise in LC VCOs" Proceedings of the IEEE 2005 Custom Integrated Circuits Conference, 2005., 2005, pp. 579-582

- [10] A. Mazzanti and P. Andreani, "Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise" in IEEE Journal of Solid-State Circuits, vol. 43, no. 12, pp. 2716-2729, Dec. 2008
- [11] A. Franceschin, P. Andreani, F. Padovan, M. Bassi and A. Bevilacqua, "A 19.5-GHz 28-nm Class-C CMOS VCO, With a Reasonably Rigorous Result on $1/f$ Noise Upconversion Caused by Short-Channel Effects" in IEEE Journal of Solid-State Circuits, vol. 55, no. 7, pp. 1842-1853, July 2020
- [12] S. D. Toso, A. Bevilacqua, A. Gerosa and A. Neviani, "A thorough analysis of the tank quality factor in LC oscillators with switched capacitor banks" Proceedings of 2010 IEEE International Symposium on Circuits and Systems, 2010, pp. 1903-1906
- [13] A. Cathelin, "Fully Depleted Silicon on Insulator Devices CMOS: The 28-nm Node Is the Perfect Technology for Analog, RF, mmW, and Mixed-Signal System-on-Chip Integration" in IEEE Solid-State Circuits Magazine, vol. 9, no. 4, pp. 18-26, Fall 2017
- [14] J. J. Rael and A. A. Abidi, "Physical processes of phase noise in differential LC oscillators" Proceedings of the IEEE 2000 Custom Integrated Circuits Conference (Cat. No.00CH37044), 2000, pp. 569-572
- [15] D. Manente, F. Padovan, D. Seebacher, M. Bassi and A. Bevilacqua, "A 28-GHz Stacked Power Amplifier with 20.7-dBm Output P1dB in 28-nm Bulk CMOS" in IEEE Solid-State Circuits Letters, vol. 3, pp. 170-173, 2020
- [16] S. Levantino, C. Samori, A. Zanchi and A. L. Lacaita, "AM-to-PM conversion in varactor-tuned oscillators," in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 49, no. 7, pp. 509-513, July 2002