

**UNIVERSITÀ DEGLI STUDI DI PADOVA**



**DIPARTIMENTO DI INGEGNERIA INDUSTRIALE  
CORSO DI LAUREA MAGISTRALE IN INGEGNERIA ELETTRICA**

**DISPOSITIVI DI POTENZA WIDE BAND GAP E  
LORO APPLICAZIONI NEI CONVERTITORI  
STATICI**

**RELATORE: CHIARISSIMO PROF. GIUSEPPE BUJA**

**LAUREANDO:**

**GIORGIO LOVISON**

**ANNO ACCADEMICO 2013/2014**



# INDICE

1. Introduzione	pag. 1
2. Proprietà di <i>GaN</i> e <i>SiC</i>	pag. 2
2.1. Semiconduttori <i>Wide Band Gap</i>	pag. 2
2.2. Le proprietà fisiche	pag. 3
2.3. Carburo di silicio ( <i>SiC</i> )	pag. 8
2.4. Nitruro di gallio ( <i>GaN</i> )	pag. 11
2.5. Conclusioni	pag. 12
2.6. Bibliografia	pag. 14
3. Diodi	pag. 15
3.1. Panoramica sui diodi WBG	pag. 15
3.2. Diodi al silicio	pag. 16
3.3. Diodi al carburo di silicio	pag. 19
3.4. Perdite nei diodi	pag. 25
3.5. Conclusioni	pag. 27
3.6. Bibliografia	pag. 29
4. FET	pag. 30
4.1. Richiami sui FET	pag. 30
4.2. Transistor al nitruro di gallio	pag. 31
4.3. Transistor al carburo di silicio	pag. 34
4.4. <i>SiC</i> JFET	pag. 34
4.5. <i>SiC</i> MOSFET	pag. 36
4.6. <i>SiC</i> IGBT	pag. 37
4.7. <i>SiC</i> BJT	pag. 37
4.8. Proprietà importanti	pag. 38
4.9. Conclusioni	pag. 45
4.10. Bibliografia	pag. 46
5. Comando dei transistor	pag. 47
5.1. Richiami sui circuiti di comando	pag. 47
5.2. Comando dei dispositivi al <i>SiC</i>	pag. 50
5.3. Comando del BJT al <i>SiC</i>	pag. 50
5.4. Comando del JFET al <i>SiC</i> normally-off	pag. 51
5.5. Comando del JFET al <i>SiC</i> normally-on	pag. 51
5.6. Circuito di assistenza per transistor al <i>SiC</i>	pag. 57
5.7. Comando di transistor al <i>GaN</i>	pag. 61
5.8. Osservazioni sulla stabilità dei transistor al <i>SiC</i>	pag. 68
5.9. Bibliografia	pag. 70
6. Convertitori	pag. 71
6.1. Effetto delle induttanze parassite	pag. 71

6.2. Effetto dell'induttore in un convertitore DC/DC	pag. 74
6.3. Convertitori con transistor al <i>GaN</i>	pag. 79
6.4. Convertitori con transistor al SiC	pag. 95
6.5. Conclusioni	pag. 102
6.6. Bibliografia	pag. 103
<b>7. Analisi di <i>SiC</i> MOSFET</b>	pag. 104
7.1. Modello delle perdite di invertitore trifase	pag. 104
7.2. Raddrizzatore monofase con ponte a MOSFET	pag. 115
7.3. Conclusioni	pag. 120
7.4. Bibliografia	pag. 122
<b>Appendice</b>	
<b>Ringraziamenti</b>	



# INTRODUZIONE

L'elettronica di potenza è un campo in continua evoluzione: dai primi raddrizzatori al mercurio inventati da Peter Cooper Hewitt nel 1902 fino ai transistor e i diodi dei primi anni '50 per arrivare ai moderni bus composti da MOSFET (Metal Oxide Semiconductor Field Effect Transistor) e IGBT (Insulated Gate Bipolar Transistor). Adesso i componenti sono costituiti da semiconduttori, perché permettono che la commutazione avvenga con poche perdite; la velocità di commutazione e il tipo di controllo influiscono molto sul design del sistema, che deve assicurare ovviamente le minime perdite e il massimo di efficienza.

Senza dubbio il silicio (*Si*), essendo un semiconduttore intrinseco, è stato per lungo tempo il materiale più usato per questi componenti grazie al basso costo e la grande disponibilità; può inoltre essere drogato con elementi del III gruppo (come boro, gallio e indio) oppure con elementi del V gruppo (come fosforo e arsenico) ottenendo rispettivamente un drogaggio *p-type* (creazione di stati di energia nella banda proibita vicino a quella di valenza) e uno *n-type* (creazione di stati di energia nella banda proibita vicino a quella di conduzione).

Tuttavia negli ultimi anni le potenze e le frequenze in gioco sono aumentate sempre di più, per non parlare di tutte le limitazioni che vengono imposte in sede di progetto: ad esempio sarebbe opportuno che il convertitore di un veicolo elettrico lavorasse in alta frequenza in modo da ridurre l'ingombro. Sotto quest'ottica il silicio puro o drogato non è più in grado di operare efficacemente alle condizioni richieste; entrano dunque in gioco materiali innovativi, detti semiconduttori *Wide Band Gap* (WBG), che solo di recente hanno iniziato a essere prodotti su scala industriale. Tra questi, due in particolare attirano l'attenzione: sono il carburo di silicio (*SiC*) e il nitruro di gallio (*GaN*).

Lo scopo di questa tesi è comprendere le caratteristiche del carburo di silicio e del nitruro di gallio, esplorare vantaggi e svantaggi dei dispositivi composti dai materiali in questione e valutarne il comportamento e la convenienza tramite simulazioni e modellizzazione delle perdite in applicazioni come i convertitori statici.

# PROPRIETÀ DI *GaN* E *SiC*

In questa sezione verranno esposte le principali proprietà dei semiconduttori Wide Band Gap e successivamente verranno presentate le caratteristiche fisiche ed elettriche del nitruro di gallio e del carburo di silicio; sarà anche brevemente spiegato il metodo di fabbricazione dei semiconduttori composti da questi materiali.

## 2.1. Semiconduttori *Wide Band Gap*

Nonostante si conoscessero già dagli anni '60, è solo nell'ultimo decennio che i semiconduttori *Wide Band Gap* hanno fatto la loro comparsa in campo commerciale. Questo perché i semiconduttori al silicio riuscivano a operare in modo efficace; tuttavia adesso il silicio ha raggiunto i suoi limiti in potenza e frequenza, soprattutto in applicazioni recenti come l'optoelettronica o i veicoli elettrici. In generale, i requisiti per un qualsiasi convertitore sono compattezza, peso leggero, alta densità di potenza, alta efficienza e funzionamento ottimale sotto condizioni severe.

Quando si parla di condizioni severe, l'aspetto principale è l'elevata temperatura di lavoro: il limite massimo della temperatura di giunzione è di 150 °C quindi è necessario mantenere la temperatura di chip e componenti al silicio al di sotto di quel valore. Per i convertitori ad alta potenza la dissipazione naturale ad aria non è sufficiente, serve un raffreddamento a fluido che però è pesante e occupa ulteriore spazio; ciò detto, appare evidente che dei semiconduttori in grado di operare anche con alte temperature diminuiscano i costi e le dimensioni degli apparati di conversione.

È noto che il calore proviene soprattutto dalle perdite di conduzione e di commutazione con correnti elevate dei semiconduttori stessi. I componenti bipolari come IGBT e diodi PiN hanno perdite più grandi rispetto a quelli unipolari come MOSFET e diodi Schottky, però sono più indicati per le alte potenze perché aumentando i valori di tensione aumenta anche la tensione di breakdown; in questo caso il wafer (detta anche il *die*) di silicio deve essere più grande. Di norma poi si preferisce una maggiore frequenza di *switch* perché le dimensioni dei componenti sono minori e l'output è più liscio, per cui basterebbe solo un piccolo filtro contro le armoniche. Inoltre, un convertitore che opera in un range di alte frequenze può essere più confortevole per l'utente dal momento che non è rumoroso, o meglio produce rumore a una frequenza non udibile dall'orecchio umano.

I semiconduttori WBG sorpassano i limiti teorici del silicio e quindi offrono sensibili miglioramenti alla performance e permettono di operare in condizioni severe. Se confrontati con il silicio, possiedono i seguenti vantaggi:

- Minore *on-resistance*;
- Maggiore tensione di breakdown;
- Maggiore conduttività termica;
- Operazione a temperature elevate;
- Maggiore affidabilità;
- Eccellente comportamento di recupero;
- Possono operare in alte frequenze.

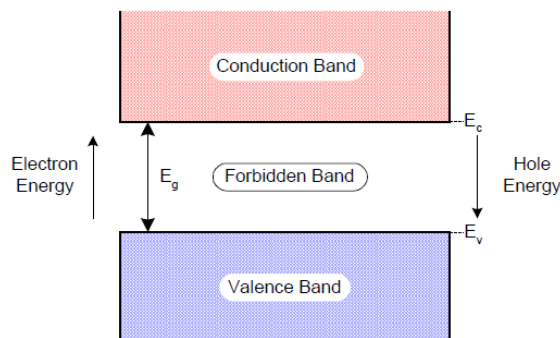
Tuttavia al momento, dato che la tecnologia è ancora in fase di evoluzione, ci sono anche i seguenti svantaggi:

- Difetti e dislocazioni nel *SiC* e difficoltà di fabbricazione di *GaN*;
- Costi elevati;
- Disponibilità relativamente limitata;
- Tecnologia di packaging per alte temperature in via di sviluppo.

Ciò detto, si passa ora a spiegare il significato delle proprietà appena citate.

## 2.2. Le proprietà fisiche

I semiconduttori *Wide Band Gap* hanno bande proibite molto più larghe di quelle di comuni semiconduttori come il silicio ( $1.12\text{ eV}$ ) oppure l'arseniuro di gallio (*GaAs*,  $1.4\text{ eV}$ ): questo si traduce naturalmente in un maggiore campo elettrico di breakdown, ma anche nella possibilità di operare a temperature elevate e nella riduzione della suscettibilità alle radiazioni senza perdere le caratteristiche elettriche.



**Figura 2.2.1:** Schema semplificato delle bande di energia di un semiconduttore

Infatti all'aumentare della temperatura aumenta anche l'energia termica degli elettroni nella banda di valenza, finché a una certa temperatura non raggiungono l'energia necessaria per passare nella banda di conduzione. Per il silicio questa temperatura è  $150\text{ }^{\circ}\text{C}$ ; invece i semiconduttori WBG, avendo un band gap molto più grande, possono arrivare a temperature molto più alte senza che gli elettroni accumulino energia sufficiente per passare in banda di conduzione. Ovviamente, più grande è la banda proibita, più alte saranno le temperature raggiungibili.

Le radiazioni possono eccitare gli elettroni in modo simile all'energia termica, quindi per i motivi appena spiegati una banda proibita più larga diminuisce l'effetto delle radiazioni sui semiconduttori ed evita una conduzione indesiderata e incontrollabile.



	Silicio	4H - SiC	GaN	Diamante
Band gap $E_g$ [eV]	1.12	3.26	3.4	5.45
Campo elettrico di breakdown $E_c$ [MV/cm]	0.3	2÷4	3.3	>5.6
Permittività dielettrica relativa $\epsilon_r$ [-]	11.9	9.9	9	5.6
Mobilità degli elettroni $\mu_n$ [cm <sup>2</sup> /V·s]	1500	950	990/2000 <sup>(1)</sup>	2000
Mobilità delle lacune $\mu_h$ [cm <sup>2</sup> /V·s]	600	115	850	850
Conducibilità termica $\lambda$ [W/cm·K]	1.5	4	1.3/3 <sup>(2)</sup>	21
Velocità di drift in saturazione $v_{sat}$ [ $\cdot 10^7$ cm/s]	1	2	2.3	2.7

**Tabella 2.1:** Proprietà di alcuni semiconduttori a una temperatura di 300 K; <sup>(1)</sup> rispettivamente valore di bulk e valore del gas elettronico a 2 dimensioni (2DEG); <sup>(2)</sup> rispettivamente valore degli strati epitassiali e valore di bulk

Una banda proibita grande significa maggiore campo elettrico di breakdown, cioè maggiore tensione di breakdown. La tensione di breakdown è la tensione per la quale il diodo di *body-drift* in interdizione cede e di conseguenza la corrente comincia a scorrere tra *source* e *drain* moltiplicandosi per effetto valanga mentre gate e source sono cortocircuitate. A parità di valore di tensione di breakdown gli strati del semiconduttore possono essere più sottili, si ottengono livelli di drogaggio più alti e le resistenze delle regioni di drift sono più basse.

Ad esempio, la tensione di breakdown di un diodo a giunzione pn è data dalla formula:

$$V_B \approx \frac{\epsilon E_c^2}{2q \cdot N_d}$$

laddove  $q$  rappresenta la carica di un elettrone (pari a  $-1.602 \cdot 10^{-19}$  C) e  $N_d$  è la concentrazione del materiale. Utilizzando i parametri riportati in tabella 2.1 e ipotizzando per tutti i materiali una corrente inversa di  $10 \mu A$  e lo stesso valore di  $N_d$ , si ottiene che la tensione di breakdown del diodo al silicio è di circa 50 V; invece quella di SiC, GaN e diamante è rispettivamente 4150 V, 4550 V e 8200 V: un valore che è 83, 91 e 164 volte più alto di quello del silicio.

Un'altra conseguenza dell'elevato campo elettrico di breakdown e della maggiore concentrazione di drogaggio è la riduzione della larghezza della regione di drift. Si noti che la regione di drift non è la regione di carica spaziale, la cui larghezza dipende dalla qualità del drogaggio. La larghezza della regione di drift è data da:

$$W_{drift}(V_B) \approx \frac{2V_B}{E_C}$$

Si nota subito che, a parità di tensione di breakdown, l'ampiezza della regione di drift è inversamente proporzionale al campo elettrico di breakdown: da ciò è ovvio che la regione di drift di carburo di silicio, nitrato di gallio e diamante è rispettivamente 9, 11 e 18 volte più ristretta rispetto a quella del silicio.

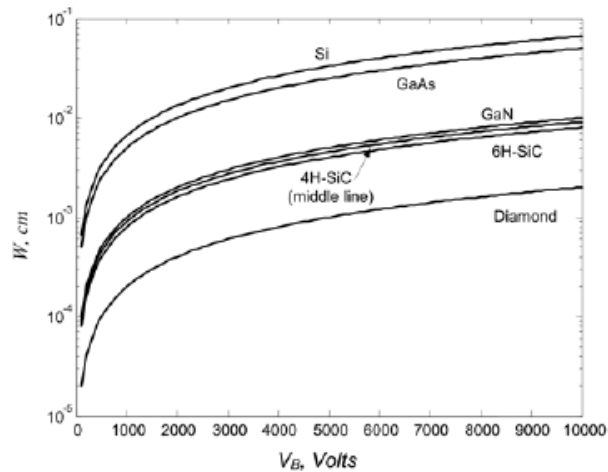


Figura 2.2.2: Grafico della larghezza della regione di drift in rapporto alla tensione di breakdown

Un altro parametro importante è la *on-resistance* della regione di drift. Rifacendosi al precedente esempio di un diodo a giunzione pn, si ha che per un componente unipolare la *on-resistance* è data da:

$$R_{on} = \frac{4(V_B^2)}{\epsilon_r(E_C^3)\mu_n}$$

Di nuovo si vede che la *on-resistance* della regione di drift di componenti al silicio è circa 10 volte più alta rispetto a quella di componenti al SiC e al GaN. Inoltre bisogna tenere conto anche della resistenza di contatto e la resistenza di canale nel calcolo della *on-resistance*; queste due resistenze sono dominanti per bassi valori della tensione di breakdown ma possono invece essere trascurate per alte tensioni di breakdown: infatti la formula sopra riportata è una buona approssimazione per la *on-resistance* dei semiconduttori *Wide Band Gap*.

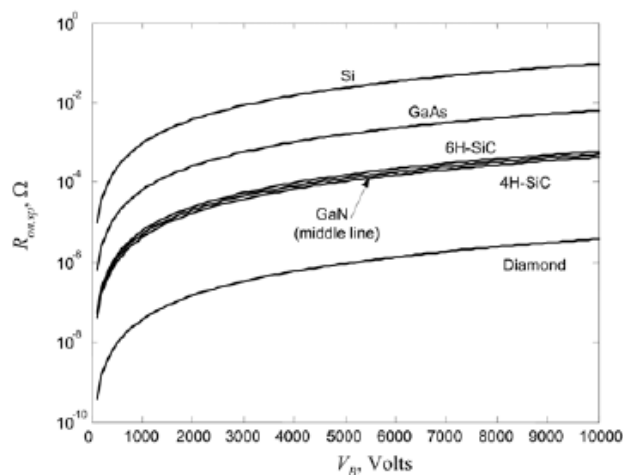


Figura 2.2.3: Grafico della *on-resistance* in rapporto alla tensione di breakdown

Per completare il discorso sul diodo, si noti che degli strati di semiconduttore più sottili comportano una minore densità di portatori di carica minoritari; questi ultimi sono un parametro importante per definire la corrente di *reverse recovery*: infatti, a parità di altre caratteristiche, un componente con un *die* più largo progettato per sostenere correnti più elevate avrà una carica più grande che subisce il transitorio tra conduzione e interdizione e quindi avrà una corrente di *reverse recovery* più grande.

La capacità di un semiconduttore di commutare in alta frequenza è direttamente proporzionale alla sua velocità di drift in saturazione: guardando i dati riportati in tabella 2.1 ci si accorge immediatamente che la velocità di drift di carburo di silicio e nitruro di gallio è il doppio di quella del silicio. Ne consegue che questi ultimi possono operare tranquillamente a frequenze più alte. Inoltre, ricollegandosi all'esempio proposto del diodo, una velocità di drift in saturazione più alta equivale a una rimozione più rapida delle cariche nella zona di carica spaziale; ciò comporta un tempo di recupero più corto e una corrente di *reverse recovery* più contenuta. Si noti tuttavia che quest'ultima aumenta notevolmente con la temperatura.

Chiaramente la possibilità di funzionare alle alte temperature, oltre che da un band gap più largo, dipende anche dalla conduttività termica del materiale. Esistono diversi modi per valutare la resistenza termica: si può considerare la resistenza termica tra giunzione e *case* ( $R_{th,j-c}$ ) oppure la resistenza termica tra giunzione e ambiente ( $R_{th,j-a}$ ).

Nel primo metodo si ha che  $R_{th,j-c}$  è inversamente proporzionale a  $\lambda$  in accordo con la seguente formula derivante dalla legge di Fourier:

$$R_{th,j-c} = \frac{l}{\lambda S}$$

laddove  $l$  è la lunghezza del materiale misurata lungo un percorso parallelo al flusso di calore mentre  $S$  rappresenta la sezione perpendicolare al flusso di calore. Ovviamente una  $\lambda$  più alta significa una resistenza termica minore, cioè che il calore generato dal componente viene trasmesso più facilmente agli organi di dissipazione e quindi che la temperatura del componente cresce di meno. Tuttavia in questo caso è necessario che ci siano dissipatori di calore esterni; il metodo si applica esclusivamente a situazioni nelle quali tutto (o quasi tutto) il calore viene dissipato tramite la superficie  $S$ . Un modo tipico per misurare  $R_{th,j-c}$  è il *copper cold plate measurement* (figura 2.2.4): sopra un dissipatore piano raffreddato ad acqua viene posto il componente in prova, collegato a un piccolo e semplice PCB (*Printed Circuit Board*) predefinito e mantenuto alla sua posizione da un pistone pneumatico; la temperatura viene mantenuta costantemente a 25 °C e la termocoppia monitora il calore dissipato dai *solder bumps* e dal PCB per valutare soltanto il calore rimosso dal dissipatore raffreddato ad acqua e quindi ottenere un valore vero di  $R_{th,j-c}$ .

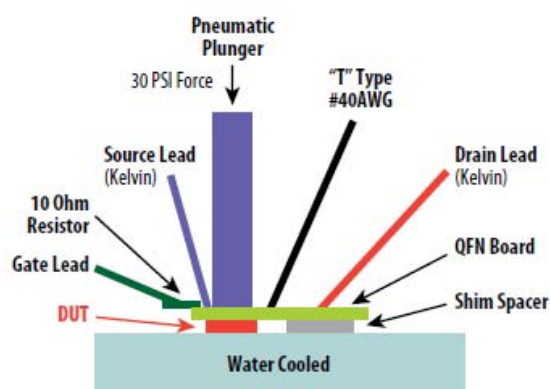


Figura 2.2.4: Tipico test di *copper cold plate measurement*

Nel secondo metodo invece si ha che  $R_{th,j-a}$  è data semplicemente dal rapporto tra la differenza di temperatura tra giunzione e ambiente e la potenza dissipata dal componente:

$$R_{th,j-a} = \frac{T_J - T_A}{P_{diss}}$$

La resistenza termica tra giunzione e ambiente è un parametro utile in quei casi in cui non siano collegati dissipatori esterni e quindi in quei casi in cui si desidera confrontare le prestazioni termiche di *package* diversi. Nelle aziende degli USA di solito la  $R_{th,j-a}$  si misura montando il componente in prova su un PCB FR-4 (scheda rigida composta da un tessuto di fibre di vetro intrecciate legate da resina epossidica; è ricoperta da un sottile foglio di rame da una o entrambe le parti) *single sided* di 2 once (pari a 56.7 g) e un'area di 1 pollice quadrato (pari a 645.16 mm<sup>2</sup>); mezzo pollice quadrato è connesso alla *source* mentre l'altra metà è connesso al *drain*.

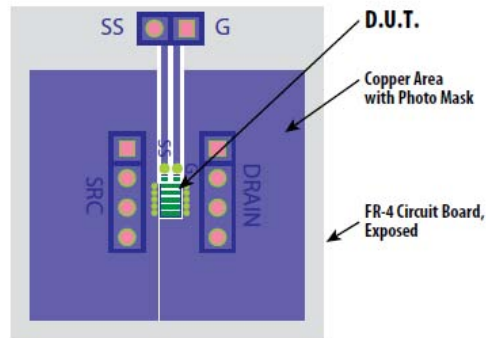


Figura 2.2.5: Tipico test di misura di  $R_{th,j-a}$

Il componente in prova è sospeso in una scatola chiusa e non ventilata di volume pari a 1 piede cubico (equivalente a 0.02832 m<sup>3</sup>) e avente temperatura 25 °C; successivamente viene portato a uno stato "ON" per 1000 secondi a una temperatura di giunzione di 125 °C.  $R_{th,j-a}$  viene infine calcolata usando la formula riportata in precedenza.

Si noti tuttavia che la pressione dell'aria ambiente cambia con l'altitudine; di conseguenza cambia anche l'efficacia di raffreddamento dell'aria. Uno studio della IBM ha dimostrato che un componente che lavora a 8000 piedi (2438.4 metri) è più caldo del 20 % rispetto a uno uguale che lavora a livello del mare. Bisogna quindi tenere conto anche dei fattori di derating della resistenza termica.

Altitudine s.l.m. [piedi]	Fattore di moltiplicazione
0	1
3000 (914.4 m)	1.1
5000 (1524 m)	1.14
7000 (2133.6 m)	1.17
8350 (2545.1 m)	1.2

Tabella 2.2: Fattori di derating di  $R_{th,j-a}$

È possibile fare un paragone dei materiali utilizzando la cifra di merito (in inglese *FoM*, acronimo di *figure of merit*). Nel 1983 J. Baliga ha escogitato una cifra di merito:

$$Baliga\ FoM = \epsilon_r \mu E_C^3$$

dove  $\mu$  è la mobilità dei portatori di carica maggioritari. Questa cifra di merito è buona per valutare materiali quando le perdite sono soprattutto di conduzione e quindi a frequenze relativamente basse. Tuttavia alle alte frequenze non si possono ignorare le perdite di commutazione; considerando la varietà di frequenze e di valori di corrente e tensione in gioco è difficile scegliere un componente che offra la prestazione migliore in tutte le condizioni operative che si presentano. Una delle cifre di merito più popolari per selezionare i MOSFET è la seguente:

$$FoM = R_{on} \cdot Q_{iss}$$

con  $R_{on}$  che rappresenta la *on-resistance* mentre  $Q_{iss}$  è la carica di input al *gate*. Questi parametri rispecchiano rispettivamente le perdite per conduzione e le perdite di commutazione e sono connessi tra loro; in genere un componente con valore di  $Q_{iss}$  più basso avrà una  $R_{on}$  un po' più alta. Ovviamente ci sono anche altri parametri che incidono sulla prestazione del MOSFET, come ad esempio la capacità di output, la tensione di soglia e l'energia di valanga; ma i più importanti sono appunto  $R_{on}$  e  $Q_{iss}$ .

Delle topologie di circuito particolari possono influenzare la cifra di merito dei MOSFET; si confronti ad esempio un tradizionale convertitore buck sincrono con uno risonante: in quest'ultimo la commutazione dei MOSFET avviene quando la tensione *drain-source*  $V_{DS}$  o la corrente di *drain*  $I_D$  passano per lo zero, ottenendo rispettivamente lo *zero voltage switching* (ZVS) e lo *zero current switching* (ZCS); in questo modo l'energia immagazzinata nella capacità può venire riutilizzata invece di essere persa come avviene nei tradizionali convertitori.

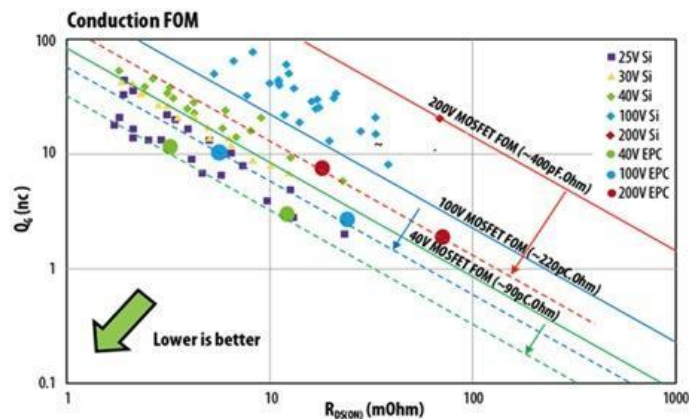


Figura 2.2.6: Cifra di merito per MOSFET che tiene conto solo delle perdite di conduzione

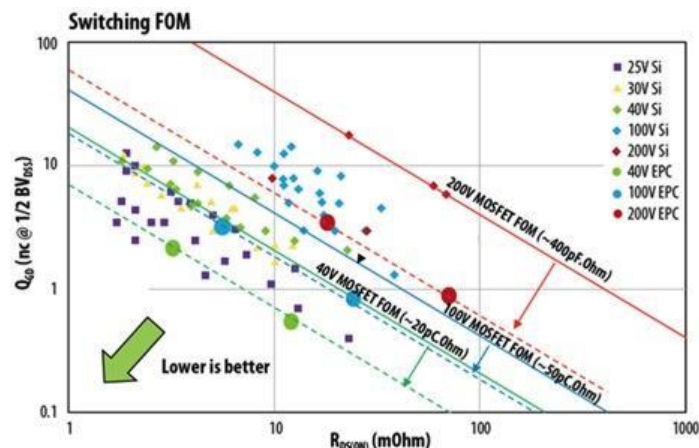


Figura 2.2.7: Cifra di merito per MOSFET che tiene conto anche delle perdite di commutazione

## 2.3. Carburo di silicio

Il carburo di silicio è un materiale reperibile in natura sotto forma di moissanite; ma siccome quest'ultima è molto rara, la maggioranza del *SiC* è sintetico. Il processo di fabbricazione più semplice consiste nel combinare sabbia silicica e carbonio in una fornace Acheson con resistenza in grafite in un range di temperature tra 1600 °C e 2500 °C; i vapori di silicio, prodotto di risulta del

sistema di fabbricazione di leghe ferro-siliciche, possono essere convertiti in *SiC* mediante una reazione chimica con la grafite a  $1500\text{ }^{\circ}\text{C}$ . Il materiale che si forma nella fornace Acheson varia in purezza a seconda della distanza dalla fonte di calore rappresentata dalla resistenza in grafite: cristalli incolori o dai colori pallidi hanno il grado più alto di purezza e sono ritrovati vicino alla resistenza in grafite, mentre i cristalli più scuri sono più distanti. Delle impurità tipiche che influenzano la conduttività elettrica del carburo di silicio sono alluminio e azoto.

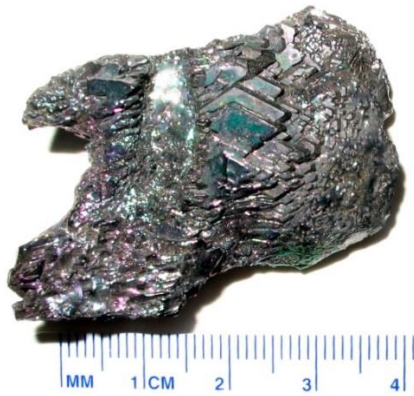


Figura 2.3.1: Cristallo di moissanite

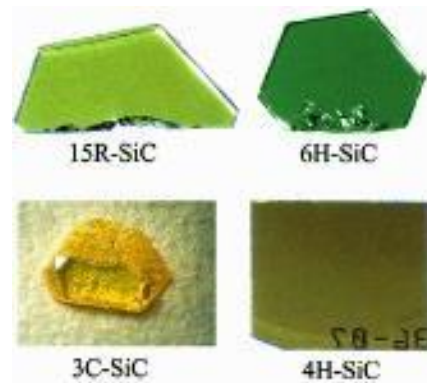


Figura 2.3.2: Diversi tipi di carburo di silicio

Carburo di silicio estremamente puro si può ottenere con il processo Lely: in un ambiente di argon a  $2500\text{ }^{\circ}\text{C}$  si fa sublimare della polvere di *SiC* in specie reattive di silicio, carbonio, dicarburo di silicio ( $\text{SiC}_2$ ) e carburo di disilicio ( $\text{Si}_2\text{C}$ ) per poi farla depositare sotto forma di fiocchi cristallini su un substrato più freddo; in questo modo vengono creati soprattutto cristalli con struttura  $6\text{H-SiC}$ . Solitamente il *SiC* cubico viene creato con la *metal organic chemical vapour deposition* (MOCVD); si possono anche usare dei processi di decomposizione termica come la pirolisi.

Il carburo di silicio esiste in circa 250 forme cristalline. Sono variazioni del medesimo composto chimico, identiche in due dimensioni e differenti nella terza. Possono dunque essere viste come strati sovrapposti in una certa sequenza. Il carburo di silicio alfa ( $\alpha\text{-SiC}$ ) è il tipo cristallino più comune, con una struttura esagonale simile alla wurzite, e si forma a temperature superiori a  $1700\text{ }^{\circ}\text{C}$ ; per temperature inferiori invece si ha il tipo  $\beta$  ( $\beta\text{-SiC}$ ) con struttura a zincoblenda. L'alta temperatura di sublimazione ( $\sim 2700\text{ }^{\circ}\text{C}$ ) rende il carburo di silicio un materiale utilizzabile nelle fornaci; è un materiale che non si fonde ad alcuna pressione ed è chimicamente inerte. Inoltre ha un bassissimo coefficiente di dilatazione termica ( $4 \cdot 10^{-6}\text{ K}^{-1}$ ) e non mostra segni di cambiamenti di fase, i quali causerebbero problemi se avvenissero durante le espansioni termiche. Il *SiC* può essere drogato con azoto e fosforo (*n-type*) oppure alluminio, boro, gallio e berillio (*p-type*).

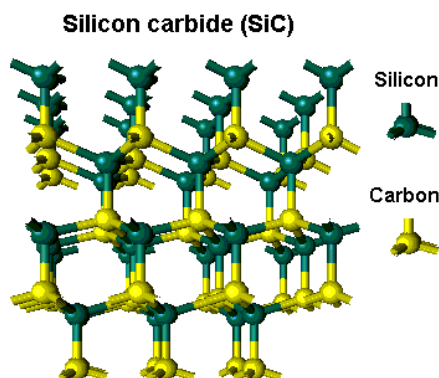


Figura 2.3.3: Struttura a wurzite del *SiC*

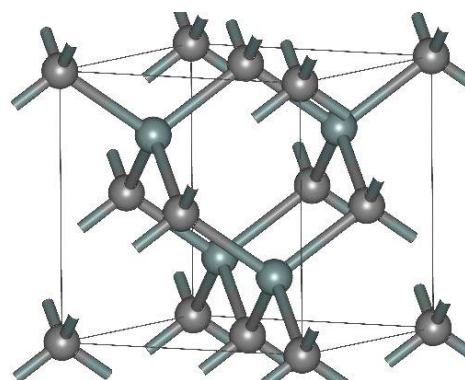


Figura 2.3.4: 3C-SiC



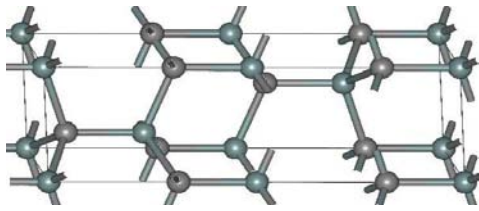


Figura 2.3.5: 4H-SiC

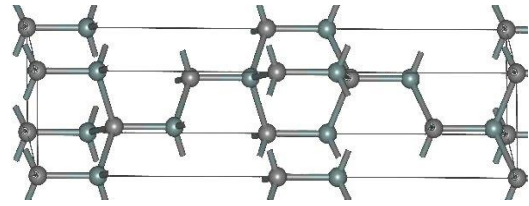


Figura 2.3.6: 6H-SiC

Come è già stato detto, ci sono diverse strutture cristalline del SiC. Tutti i simboli nella denominazione delle varie strutture cristalline hanno un significato: il numero "3" in 3C-SiC si riferisce alla periodicità dello stacking del doppio strato e la lettera "C" sta ad indicare una struttura cristallina cubica. Allo stesso modo in 4H-SiC e 6H-SiC il numero indica la periodicità della sequenza di stacking e "H" si riferisce alla simmetria esagonale del reticolo cristallino.

Il carburo di silicio è un materiale conosciuto da molto tempo, fin dagli anni '50, ma i problemi principali sono sempre stati la qualità del materiale e il costo. All'inizio il maggiore ostacolo alla produzione a livello industriale era l'eliminazione delle imperfezioni: infatti i componenti con cristalli di SiC presentavano una scarsa capacità di sopportare la tensione inversa. Per di più era difficile creare una buona interfaccia tra SiC e ossido, ragione per cui lo sviluppo di MOSFET e IGBT a base di carburo di silicio è stato più lento. Tuttavia i recenti progressi tecnologici hanno portato alla creazione di materiali a base di SiC senza microcanali in cui i difetti come dislocazioni a vite e dislocazioni del piano basale sono estremamente ridotte ( $10^4 \text{ cm}^{-2}$ ); in questo modo viene quasi eliminato il degrado del componente. Questo torna utile anche in ambienti di radiofrequenza.

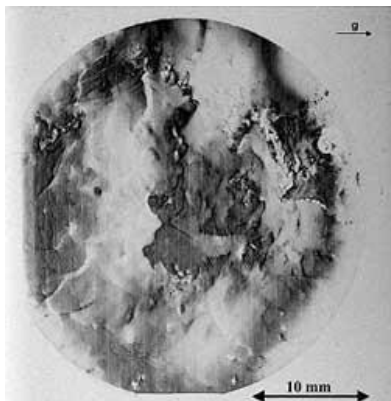


Figura 2.3.7: Difetti di un wafer SiC di 30 mm



Figura 2.3.8: Strato epitassiale di SiC creato con la MOCVD

Il costo del materiale è diminuito fino a  $10\text{€}/\text{cm}^2$  per wafer da 100 mm. Il costo di produzione è superiore a quello di un chip al silicio ma con la prestazione superiore del SiC è già possibile ottenere un sistema migliore che sia competitivo anche a livello commerciale. Quello più usato è il 4H-SiC con struttura simile a wurzite che permette una elevata tensione di breakdown (oltre 1000 V) e virtualmente senza limitazioni di corrente. La struttura cristallina a wurzite è causa dell'effetto piezoelettrico, che prevede la generazione di corrente elettrica tramite spostamento meccanico; tuttavia questo processo funziona anche al contrario: la corrente che scorre nel componente induce un forte stress meccanico che è alla base del degrado dei componenti nel corso della loro vita. Ottima è la capacità di lavorare ad alte temperature: a  $600^\circ\text{C}$  il problema non è la concentrazione di cariche ma le limitazioni dovute al packaging e ai contatti metallici. Questa robustezza permetterebbe virtualmente di piazzare i componenti vicino a fonti di calore come può essere un motore di un veicolo.

Il carburo di silicio può anche essere il materiale di bulk per epitassia, fatto molto interessante perché su questo substrato si può far crescere cristalli di GaN: infatti si possono creare dei MOSFET con ottime caratteristiche elettriche.

## 2.4. Nitruro di gallio

Il nitruro di gallio è un materiale molto duro, resistente alla frattura, dalla struttura cristallina a wurzite; vari semiconduttori e composti binari posseggono questo tipo di struttura. Non essendo quest'ultima centrosimmetrica, si possono riscontrare fenomeni di piezoelettricità e piroelettricità nei materiali che la possiedono. Esiste anche *GaN* con struttura a zincoblenda.

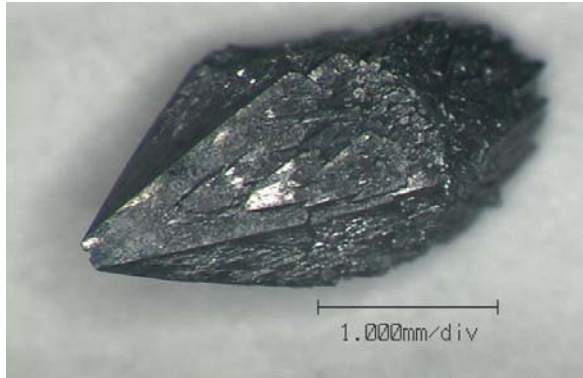


Figura 2.4.1: Cristallo di nitruro di gallio

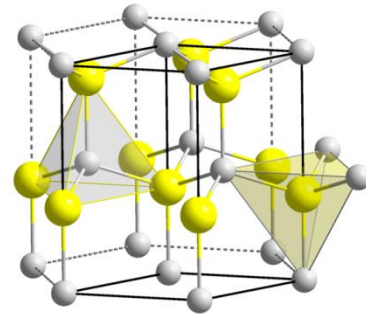
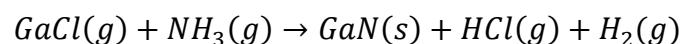


Figura 2.4.2: Struttura cristallina a wurzite del *GaN*.

Il materiale non è tossico o infiammabile, tuttavia la lavorazione dai materiali da cui si ricava (come cloruro di gallio e ammoniaca) può presentare rischi per la salute e l'ambiente.

Il nitruro di gallio può essere drogato con diversi materiali (silicio, germanio, selenio, ossigeno, magnesio, berillio e zinco); i dopanti aggiungono impurità al gallio e i più usati sono silicio e ossigeno (dopanti *n-type*) e magnesio (dopante *p-type*). Il drogaggio *n-type* per il *GaN* è più semplice rispetto quello *p-type* perché i relativi dopanti hanno un'energia di attivazione minore e una mobilità elettronica molto più grande; inoltre il magnesio, prima di poter agire come accettore, deve essere scisso dall'idrogeno con cui forma dei composti.

Una tipica reazione chimica del processo di sintesi del *GaN* è la seguente:



Tramite questa formula viene creato nitruro di gallio di substrato (*bulk*): di solito si mettono i reagenti in una fornace al quarzo a 1000 °C con una pressione inferiore a 100 atm per 10 minuti circa. Tuttavia è più comune trovare dei semiconduttori in cui i cristalli di *GaN* sono fatti crescere come film sottile su un materiale di bulk diverso (ad esempio silicio, ma anche *ZnO*, zaffiro, diamante ed altri ancora); i processi di fabbricazione più diffusi sono *molecular beam epitaxy* (MBE), *metal organic chemical vapour deposition* (MOCVD) e *hydride vapour phase epitaxy* (HVPE, a cui è riferita la reazione riportata prima). Ai fini commerciali la tecnica più usata è forse l'ultima citata in quanto la creazione degli strati di film di *GaN* è due ordini di grandezza più rapida rispetto alle altre due pur assicurando l'assenza di fratture, un basso grado di impurità e una buona efficienza di drogaggio; la MBE invece garantisce un livello di purezza estremamente elevato nonostante sia molto lenta.

Si noti che ormai le tecniche di crescita epitassiale di *GaN* sono largamente padroneggiate, quindi la questione centrale in questo caso è il materiale di substrato. Il materiale di bulk ideale sarebbe lo stesso *GaN* perché rende possibile l'omoepitassia senza mismatch del reticolo cristallino tra substrato e film sottile e quindi la densità di dislocazioni sarebbe bassa ( $10^6 \text{ cm}^{-2}$ ). Il problema è il costo di produzione del *GaN* di bulk, circa 100 €/cm<sup>2</sup>, che è molto più costoso del *SiC*: per questo motivo è attualmente disponibile solo in piccoli wafer.



Substrato	GaN di bulk	4H - SiC	Zaffiro	Silicio
Mismatch cristallino	assente	+3.5%	-16%	-17%
Mismatch termico	assente	+33%	-25%	+113%
Resistività elettrica	bassa	bassa <sup>(1)</sup>	molto alta	molto bassa <sup>(1)</sup>
Resistenza termica	uguale	0.3x <sup>(1)</sup>	3x	0.9x <sup>(1)</sup>
Dimensioni dei wafer attualmente in commercio	2'' (3'')	4'' (6'')	fino a 8''	qualunque
Costo [€/cm <sup>2</sup> ]	100	10	1	0.1

Tabella 2.3: Paragone tra tipici materiali per l'epitassia del GaN; <sup>(1)</sup> dovuta all'influenza dell'interfaccia.

Attualmente il migliore substrato disponibile in commercio potrebbe essere il silicio dato il costo notevolmente basso. I wafer di silicio con strato epitassiale in GaN possono essere facilmente fabbricati tramite le convenzionali linee di produzione dei semiconduttori dal momento che è già stata dimostrata la validità sperimentale di questa eteroepitassia nei wafer fino a 8''; tuttavia rimane un processo difficile: il grande ostacolo sarebbero gli elevati valori di mismatch riportati in tabella 2.3.

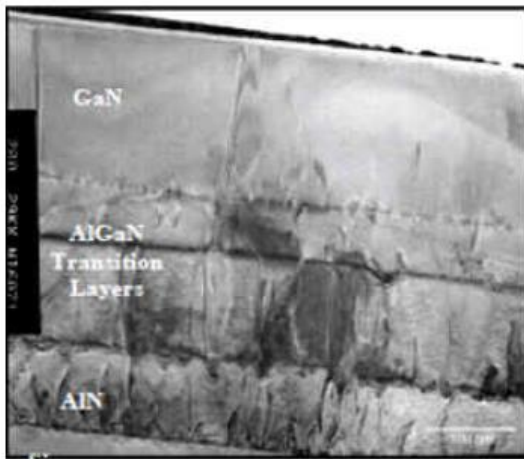


Figura 2.4.3 (sinistra): Controllo di orientazione di substrati cresciuti su GaN tramite HVPE

Figura 2.4.4 (destra): Densità di difetti ( $10^9 \text{ cm}^{-2}$ ) dell'eteroepitassia GaN su SiC

## 2.5. Conclusioni

Alla luce di quanto detto finora, il campo elettrico di breakdown del nitruro di gallio e carburo di silicio, che è più elevato di quello del silicio, è la caratteristica che permette di operare a tensioni più elevate e correnti di dispersione più basse. Le alte mobilità e velocità di saturazione elettronica rendono possibile il funzionamento alle alte frequenze (vedi tabella 2.1 a pag.5). Il SiC ha una mobilità elettronica inferiore a quella del Si, mentre quella del GaN è più elevata di tutti: ciò significa che il nitruro di gallio è il materiale preferibile alle frequenze più elevate. Una maggiore conduttività termica significa una maggiore capacità di condurre il calore e quindi una maggiore efficienza in ambienti a temperature più alte; il carburo di silicio ha la conduttività termica più alta quindi è in grado di operare meglio a densità di potenza più alte rispetto al silicio o al nitruro di gallio. Si potrebbe dunque dire che il SiC è preferibile quando si lavora in applicazioni di potenza, cioè con

valori di tensione e corrente elevati, mentre il *GaN* è meglio utilizzato nel campo dell'optometria e delle radiofrequenze, dove le tensioni rimangono relativamente basse e sono richiesti elevati campi elettrici di breakdown. Considerando i dati forniti dalle principali aziende operanti nel settore (Cree, Infineon, ROHM, GaNSystems, EPC, IR), si può assumere che, tenendo conto dei componenti e dispositivi attualmente in commercio, per tensioni superiori ai 1000 V sia meglio usare il carburo di silicio mentre a tensioni più basse il nitruro di gallio sia preferibile nella maggioranza dei casi.

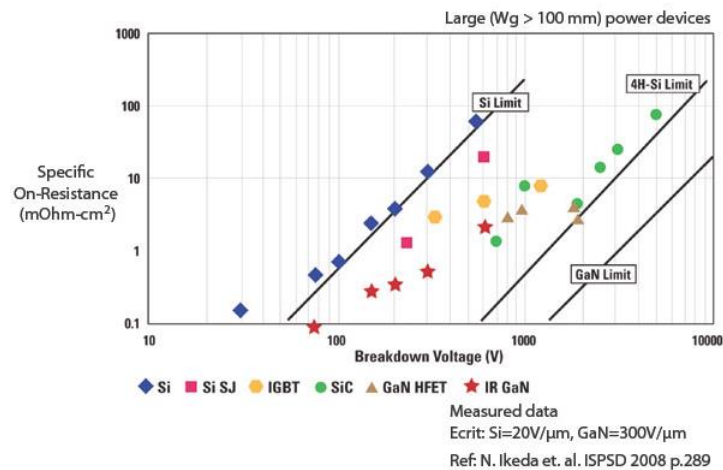


Figura 2.5.1: Figura di merito per confrontare i componenti composti da *Si*, *SiC* e *GaN*.

Come si può vedere in figura 2.5.1, il silicio ha ormai raggiunto i suoi limiti teorici; per questo motivo è necessario utilizzare dei materiali che permettano di ottenere prestazioni più spinte e di conseguenza rimpiazzare gli attuali componenti al silicio. Si può anche dire che la vera sfida attualmente si gioca tra *GaN* e *SiC*: il silicio può essere ancora competitivo grazie al basso costo e alla facilità di produzione ma i semiconduttori WBG hanno caratteristiche fisiche decisamente migliori. Tuttavia si noti che, grazie alle qualità citate prima, il silicio torna utile nell'essere usato come substrato: un esempio ne è il transistor in *e-GaN*, di cui si parlerà in una sezione successiva.

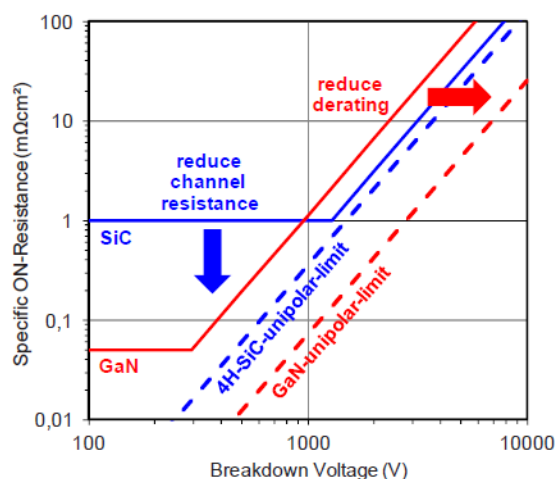


Figura 2.5.2: Figura di merito per valutare i campi di utilizzo di *SiC* e *GaN*.

Concludendo, i componenti in carburo di silicio e nitruro di gallio hanno prestazioni superiori a quelli al silicio in quasi ogni campo di applicazione.

## 2.6. Bibliografia

- “*Comparison of wide-bandgap semiconductors for power electronics applications*” di B. Ozpineci e L.M. Tolbert, pubblicato dal Ministero dell’Energia degli USA, 2 gennaio 2004;
- “*Is this the end of the road for silicon power conversion?*”, application note AN001 di EPC-Co, Inc. ([http://epc-co.com/epc/documents/product-training/Appnote\\_Si\\_endofroad.pdf](http://epc-co.com/epc/documents/product-training/Appnote_Si_endofroad.pdf));
- “[http://en.wikipedia.org/wiki/Silicon\\_carbide](http://en.wikipedia.org/wiki/Silicon_carbide)”;
- “[http://en.wikipedia.org/wiki/Gallium\\_nitride](http://en.wikipedia.org/wiki/Gallium_nitride)”;
- “*Gallium Nitride technology overview*”, white paper WP001 di EPC-Co, Inc. (<http://epc-co.com/epc/documents/papers/Gallium%20Nitride%20GaN%20Technology%20Overview.pdf>);
- “*SiC and GaN devices – Competition or Coexistence?*” di N. Kaminski e O. Hilt, 7th International Conference on Integrated Power Electronic Systems (CIPS) 2012, pagg. 1-11;
- “*Thermal performance of EPC eGaN® FETs*”, application note AN011 di EPC-Co, Inc. ([http://epc-co.com/epc/documents/product-training/Appnote\\_Thermal\\_Performance\\_of\\_eGaN\\_FETs.pdf](http://epc-co.com/epc/documents/product-training/Appnote_Thermal_Performance_of_eGaN_FETs.pdf));
- “*SiC and GaN Wide Bandgap Device Technology Overview*” di J.W. Milligan, S.T. Sheppard, W. Pribble, Y.-F. Yu, StG. Muller e J.W. Palmour, IEEE Radar Conference 2007, pagg. 960-964;

# DIODI

In questo capitolo verranno esaminate le caratteristiche dei diodi al silicio, che poi verranno confrontate con quelle dei diodi al carburo di silicio.

## 3.1. Panoramica sui diodi WBG

Un problema comune a tutti i dispositivi WBG che sfruttano un plasma di elettroni o lacune per la conduzione come diodi PiN, IGBT e tiristori è l'elevata tensione di soglia. Secondo il modello semplificato, la caduta di tensione diretta di una giunzione pn è:

$$V_F = \frac{E_g}{q} - \frac{k \cdot T}{q} \cdot \ln\left(\frac{J_{ref}}{J_F}\right)$$

laddove  $q$  è l'unità di carica elettrica,  $k$  è la costante di Boltzmann,  $T$  è la temperatura assoluta,  $J_F$  è la densità di corrente diretta e  $J_{ref}$  è una densità di corrente di riferimento dipendente dai materiali e dalla temperatura. Quindi a parità di correnti e temperature, i semiconduttori WBG hanno una tensione di soglia molto più alta: infatti le giunzioni pn al silicio hanno il ben noto valore di  $0.6 V$  mentre per il *SiC* è  $3 V$ . Questo significa che l'uso di semplici giunzioni pn al carburo di silicio è sconsigliabile quando le tensioni in gioco sono basse, meno di qualche  $kV$ ; sarebbe meglio optare per diodi Schottky. Invece per tensioni più alte questo svantaggio è controbilanciato da una caduta di tensione molto minore nella regione di drift.

Per quanto riguarda il *GaN*, i componenti che si basano sul plasma non hanno senso a causa della brevissima durata di vita dei portatori di carica minoritari, che limita enormemente la modulazione della conduttività nel plasma.

I diodi Schottky al *SiC* sono disponibili in commercio sin dal 2001 e hanno guadagnato una buona fetta di mercato nel campo della generazione elettrica; ormai si è arrivati a produrre diodi con tensioni nominali fino a  $1700 V$  e per correnti fino a qualche decina di ampere. L'eccellente capacità di recupero senza picchi di corrente inversa e l'abilità di sopportare impulsi di corrente grazie all'introduzione del merged-PiN-Schottky li rende molto robusti ed affidabili: si può dire che siano i diodi ideali per bloccare tensioni di qualche  $kV$  al massimo.

Il concetto del merged-PiN-Schottky consiste nel modificare la struttura del diodo al carburo di silicio: si sfrutta un'interfaccia Schottky per il funzionamento a corrente nominale e un'interfaccia PiN per l'operazione ad alte correnti. Nei diodi Schottky al silicio a bassa tensione si possono sfruttare piccole isole *p-type* flottanti per abbassare la corrente di dispersione tramite la schermatura dell'interfaccia Schottky; ma se questa soluzione viene utilizzata nei diodi *SiC* le aree incorporate *p-type* fungono da emettitori per mezzo di un lieve collegamento ohmico alle regioni *p-type*.

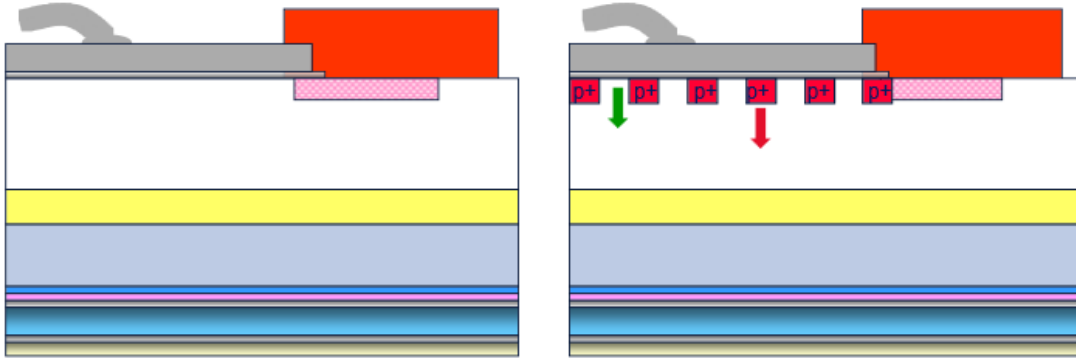


Figura 3.1.1: Confronto tra l'originale diodo Schottky al SiC e il diodo merged-PiN-Schottky al SiC.

In questo caso le isole *p-type* integrate hanno due vantaggi: il primo è la capacità di creare un percorso di corrente bipolare in condizioni di sovracorrente, cioè quando si raggiunge la tensione di soglia della giunzione pn al carburo di silicio (3 V). Il secondo è che presso i lati delle piccole aree *p-type* avviene il breakdown a valanga durante la polarizzazione inversa: ciò implica un breakdown omogeneo lungo tutta l'area attiva del chip.

Ormai si possono trovare diodi Schottky al carburo di silicio in molti package diversi, anche moduli; nonostante gli elevati costi di produzione, il vantaggio per il sistema è innegabile.

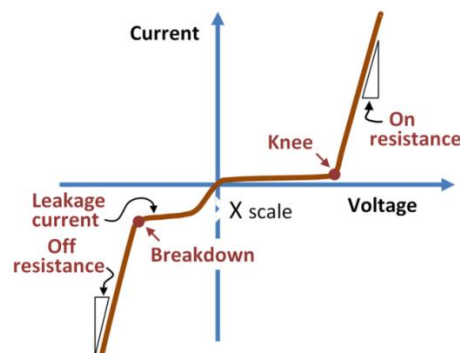


Figura 3.1.2: Caratteristica non ideale tensione-corrente di un diodo.

## 3.2. Diodi al silicio

I diodi a giunzione al silicio sono dispositivi in cui i portatori di carica minoritari operano la conduzione e hanno un'alta capacità di bloccare la tensione (fino a 1200 V) e hanno una tensione di *on-state* quasi costante. Gli svantaggi sono la corrente di coda e il comportamento durante il tempo di recupero (i.e. corrente di recupero rilevante); sono usati per tensioni da 600 V a 1200 V ma hanno notevoli perdite di commutazione. La dinamica di recupero può causare interferenza elettromagnetica; in un tipico diodo a giunzione il tempo di recupero è di qualche centinaio di nanosecondi, meno se si usano diodi a recupero veloce. La massima temperatura di giunzione ammissibile si aggira intorno ai 150 °C.

Un diodo PiN è un diodo con una larga zona di materiale non drogato tra un semiconduttore di tipo n e un semiconduttore di tipo p. La regione di carica spaziale esiste quasi completamente all'interno della regione intrinseca, la quale presenta dimensioni costanti indipendentemente dai disturbi che subisce il diodo. Il principio di funzionamento si fonda sulla cosiddetta iniezione di carica: la regione intrinseca è riempita di portatori di carica dalle regioni di tipo n e di tipo p; quando gli elettroni e le

lacune nella regione intrinseca sono tutti ricombinati e si ha una condizione di equilibrio, il diodo conduce. Quando il diodo è in conduzione la concentrazione dei portatori di carica iniettati è parecchi ordini di grandezza superiore a quella dei portatori di carica già presenti nella zona intrinseca. La conseguenza di ciò è che il campo elettrico, che velocizza il trasporto dei portatori di carica dalla regione p alla regione n, si estende in profondità nella regione intrinseca. Per questi motivi il diodo PiN è meno efficace come raddrizzatore ma più adatto in applicazioni di elettronica di potenza ad alta tensione, in attenuatori e interruttori rapidi.

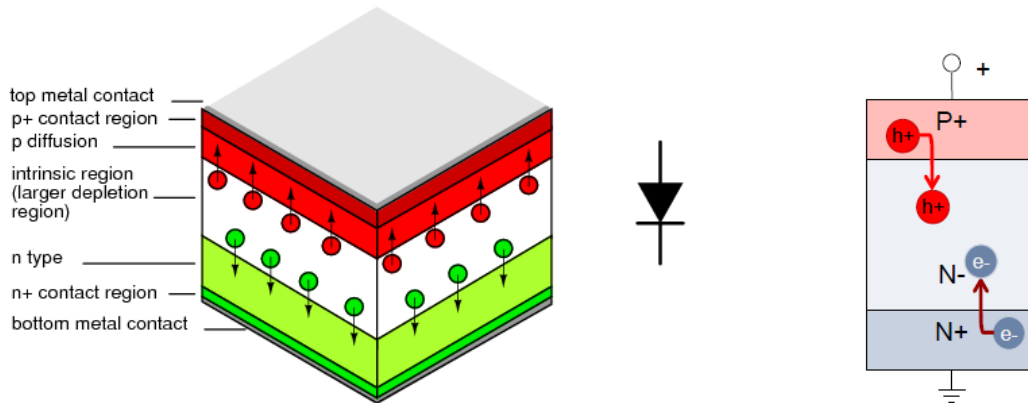


Figura 3.2.1: Diodo a giunzione PiN.

A basse frequenze, la carica può essere rimossa e quindi il diodo può essere disattivato; ad alte frequenze invece non c'è tempo per rimuovere tutte le cariche quindi il diodo ha un pessimo comportamento di recupero e può non essere possibile il turn-off. Ad alta frequenza inoltre il diodo PiN funziona come un resistore dato che l'elevato livello di drogaggio delle regioni p e n funge da contatto ohmico: il valore della resistenza è variabile ed è inversamente proporzionale alla corrente di offset che scorre nel diodo. L'ampia regione intrinseca è anche la causa della bassa capacità quando il diodo è in interdizione.

Tra un metallo e un semiconduttore (solitamente di tipo n) si crea un contatto Schottky. Se il lavoro di estrazione nel metallo è più grande di quello nel semiconduttore gli elettroni si muoveranno dal semiconduttore al metallo finché i due livelli di Fermi non saranno uguali.

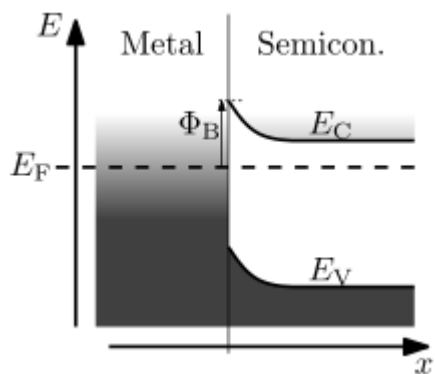


Figura 3.2.2: Diagramma delle bande per il contatto Schottky in equilibrio.

Si forma quindi una zona di svuotamento elettronico nel semiconduttore e una zona di arricchimento elettronico nel metallo; il campo elettrico di quest'ultima blocca ogni trasferimento di elettroni dal semiconduttore al metallo: si forma quindi una barriera di energia potenziale che dipende dalla combinazione metallo-semiconduttore. La barriera è molto resistente a tensioni applicate di piccola ampiezza mentre sotto una grande differenza di potenziale scorre una corrente elettrica governata dalle leggi dell'emissione termoionica. Quando una tensione positiva è applicata in direzione del

flusso, gli elettroni eccitati termicamente riescono a oltrepassare la barriera Schottky e si trasferiscono nel metallo: in questo modo inizia a scorrere la corrente diretta. Questa corrente cresce molto rapidamente con l'aumentare della tensione; a tensioni maggiori tuttavia la corrente viene limitata dalla resistenza serie. In caso di polarizzazione inversa invece aumenta la regione di carica spaziale e c'è solamente una piccola corrente di fuga dipendente dalla temperatura.

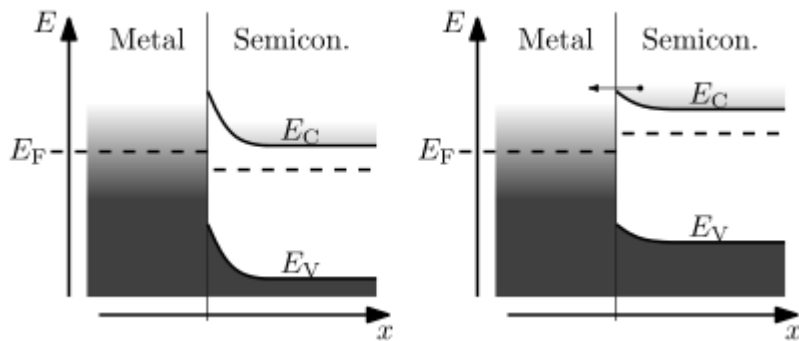


Figura 3.2.3: Condizione di interdizione (a sinistra) e condizione di polarizzazione diretta (a destra).

La corrente di fuga aumenta poco al crescere della tensione inversa; al raggiungimento della tensione di breakdown il diodo cede e inizia a condurre. Il contatto Schottky funge da raddrizzatore, analogamente a una giunzione pn, ma senza il problema dell'inerzia delle cariche perché solamente i portatori di carica maggioritari determinano il suo comportamento.

In base a quanto detto, i diodi Schottky al silicio sono dispositivi a portatori di carica maggioritari che sono in grado di commutare velocemente e hanno una tensione di soglia: quest'ultima è pari a  $0.6 \div 1.7 V$  in una tipica giunzione pn, mentre in un diodo Schottky assume un valore compreso tra  $0.15 V$  e  $0.45 V$ . Questa caduta di tensione minore, dovuta alla barriera Schottky, favorisce un'alta velocità di commutazione (poche decine di nanosecondi) e una migliore efficienza; inoltre la tensione di soglia di un diodo Schottky al silicio diminuisce all'aumentare della temperatura. Gli inconvenienti invece sono la bassa tensione che sono in grado di bloccare (al massimo  $200 V$ ) e la corrente di fuga relativamente alta, molto più alta dei diodi a giunzione pn. Quest'ultima aumenta con la temperatura quindi è un fattore di instabilità. Ciò limita la tensione inversa effettiva a un livello molto più basso del valore nominale sul data sheet. Si possono ottenere tensioni inverse più elevate al prezzo di cadute di tensione diretta più consistenti: un diodo Schottky avrebbe senso solo se inserito in circuiti dove è richiesta una grande velocità di commutazione.

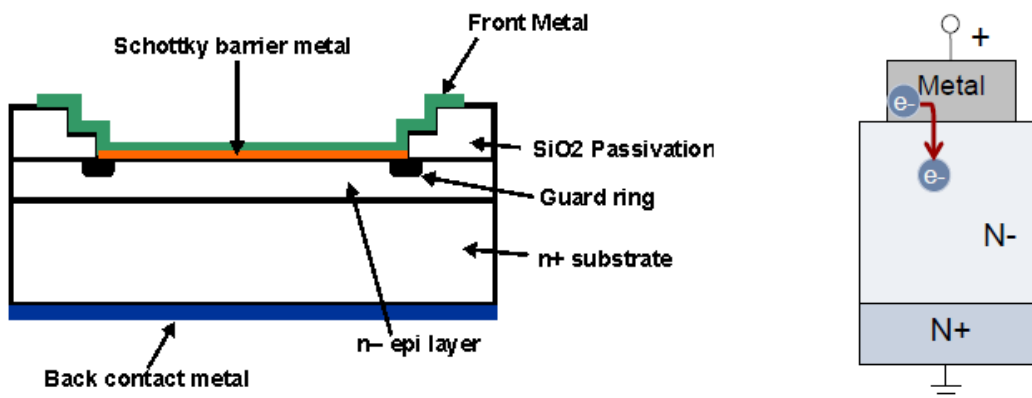


Figura 3.2.4: Diodo Schottky.

I diodi Schottky possono operare in un range di frequenze tra  $200 kHz$  e  $2 MHz$ . Non possono essere usati a tensioni troppo alte altrimenti aumenta la dimensione del *die* e quindi la capacità di dispersione. Altre limitazioni evidenti dei diodi Schottky è l'aumento della *on-resistance* con la tensione di breakdown. Infatti la resistenza della zona di drift diventa alta a tensioni elevate e quindi

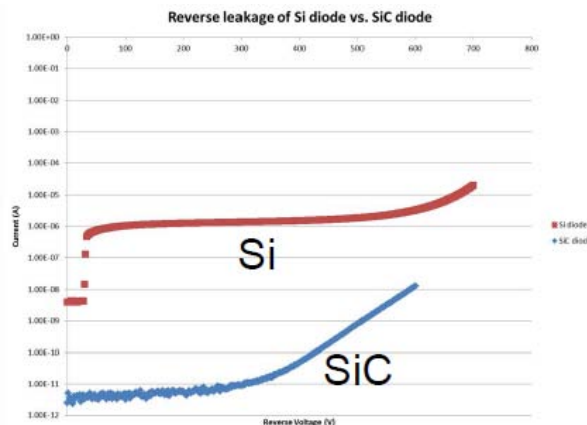
questi diodi si usano in applicazioni a tensione bassa (inferiore a 200 V) e alte frequenze. In sostanza il problema con i diodi Schottky al silicio è che con il loro stretto band gap il loro funzionamento è limitato a tensioni fino a 200 V: se operano oltre questo valore hanno una maggiore caduta di tensione diretta e un tempo di recupero più lungo.

La scelta del metallo e del semiconduttore da combinare determina la tensione diretta del diodo. Sia semiconduttori *n-type* che semiconduttori *p-type* possono creare barriere Schottky ma nel caso di questi ultimi la tensione diretta è molto più bassa; questo fatto non è raccomandabile perché la corrente di fuga aumenta grandemente con una bassa tensione diretta.

### 3.3. Diodi al carburo di silicio

I diodi al carburo di silicio sono per lo più diodi Schottky. Essi sono migliori dei loro corrispettivi al silicio sotto molti punti di vista.

Innanzitutto, come si può vedere in figura 3.3.1, la corrente di fuga di un diodo al carburo di silicio è molto più bassa rispetto a quella di un normale diodo. Essendo un semiconduttore WBG, con il carburo di silicio si ha una corrente di fuga molto più bassa ed è possibile un drogaggio molto più alto rispetto al silicio. Per di più, come si illustrerà più avanti in questo paragrafo, dato che il carburo di silicio ha una maggiore conduttività termica i componenti possono avere delle dimensioni minori.



**Figura 3.3.1:** Confronto tra corrente di fuga di diodo Schottky *SiC* e diodo Schottky al silicio.

Le giunzioni pn al silicio saranno probabilmente rimpiazzate in futuro dai diodi Schottky al *SiC* nell'intervallo di tensioni tra 300 V e 1200 V. Guardando il circuito di figura 3.3.2 i diodi in prova sono alimentati a tensione continua variabile e la tensione e la corrente vengono misurate a differenti condizioni di carico e temperatura.



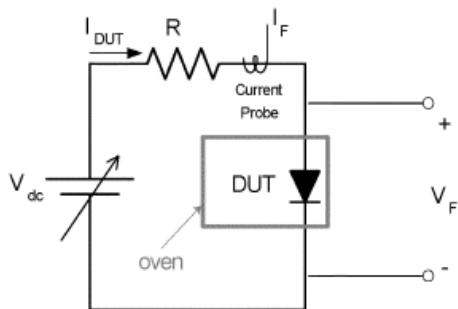


Figura 3.3.2: Circuito di prova per determinare le caratteristiche di un diodo Schottky.

Nel grafico di figura 3.3.3 si possono vedere le curve corrente-tensione dei due diodi in prova; si nota subito che la tensione diretta del diodo *SiC* è più alta di quella del diodo al silicio. Questo comportamento è da aspettarsi a causa del band gap più largo del carburo di silicio. Si nota inoltre che all'aumentare della temperatura la tensione di soglia del diodo Schottky al *SiC* diminuisce al crescere della temperatura, proprio come nel caso dei diodi Schottky al silicio. Hanno anche gli stessi valori di tensione di soglia ( $0.15 \div 0.45 \text{ V}$ ) per una corrente di  $1 \text{ mA}$ .

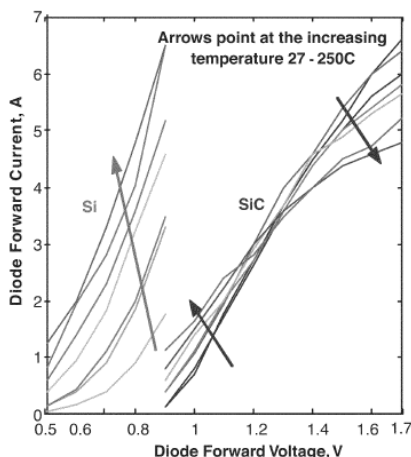


Figura 3.3.3: Confronto tra caratteristiche di diodo Schottky *SiC* e diodo al silicio con tensione nominale di  $300 \text{ V}$ .

Un'altra differenza importante è il comportamento alle alte temperature: all'aumentare della temperatura la caratteristica diretta del silicio si modifica notevolmente mentre quella del *SiC* cambia poco e rimane confinata in una area piccola.

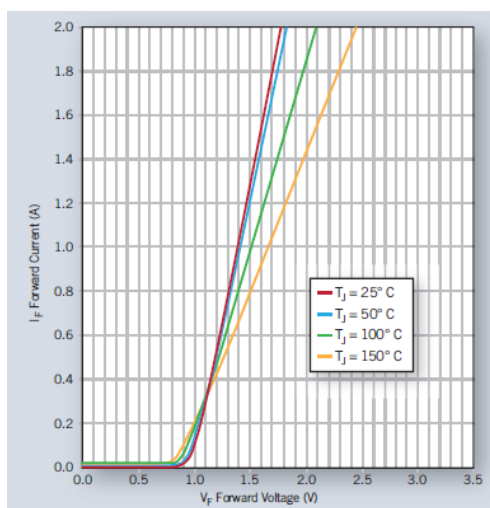


Figura 3.3.4: Caratteristiche tensione-corrente di diodo Schottky al *SiC* di tensione nominale pari a  $600 \text{ V}$ .

Anche questo comportamento era da aspettarsi perché la giunzione pn al silicio e il diodo Schottky al *SiC* hanno differenti coefficienti di temperatura per la *on-resistance* (rispettivamente negativo e positivo): come si può vedere in figura 3.3.5 e figura 3.3.6, la pendenza della curva caratteristica aumenta per il silicio e diminuisce per il *SiC* al crescere della temperatura. Di conseguenza la *on-resistance* del diodo al silicio diminuisce un po' bruscamente con la temperatura mentre quella del diodo al carburo di silicio aumenta. Inoltre il silicio presenta anche una caduta di tensione inferiore rispetto al *SiC*: una *on-resistance* e una caduta di tensione diretta più bassa significano che la giunzione pn al silicio ha minori perdite per conduzione rispetto a un diodo Schottky al carburo di silicio.

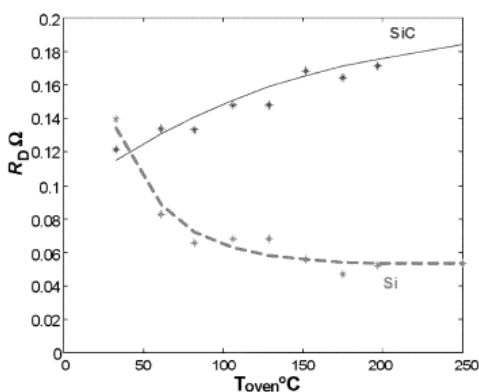


Figura 3.3.5: Variazione della resistenza del diodo con la temperatura.

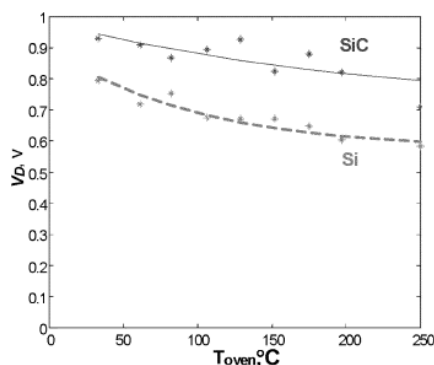


Figura 3.3.6: Variazione della tensione diretta del diodo con la temperatura.

Invece se si considerano le perdite per commutazione, la componente più importante sono le perdite di recupero perché le perdite di dispersione e per capacità parassite sono minime al confronto. I diodi Schottky, a differenza dei normali diodi PiN, non presentano corrente di recupero perché sono dei componenti unipolari a portatori di carica maggioritari. Tuttavia manifestano qualche effetto di recupero causato dalle capacità e induttanze parassite del package e del circuito. Anche il diodo parassita che si forma tra i guardian ring *p-type* (inseriti per diminuire la corrente di dispersione inversa e mantenere alto il valore della tensione di breakdown) e la regione di drift *n-type* concorrono a generare quei piccoli effetti di recupero citati precedentemente.

In alta frequenza i diodi Schottky al carburo di silicio sono limitati solo dalla capacità di giunzione: nei diodi a giunzione pn, di qualunque materiale siano fatti, la capacità di giunzione è più elevata quindi a maggior ragione è meglio non usarli in alta frequenza.

Nel circuito di test sperimentale approntato in figura 3.3.7 l'interruttore principale *Q* viene azionato a 1kHz con un duty cycle di 0.75.

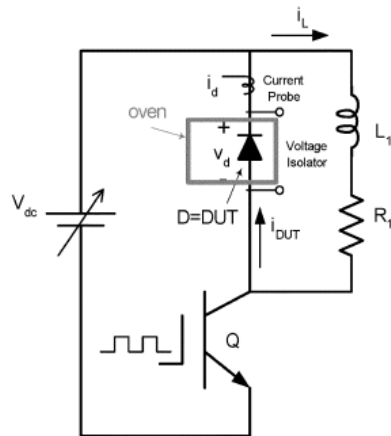


Figura 3.3.7: Circuito di prova per misurare le perdite di recupero di un diodo.

Vengono dunque riportate in figura 3.3.8 le forme d'onda per tre diverse correnti. Come si può vedere, le perdite di commutazione del diodo al silicio sono tre volte più grandi di quelle del diodo Schottky al *SiC*.

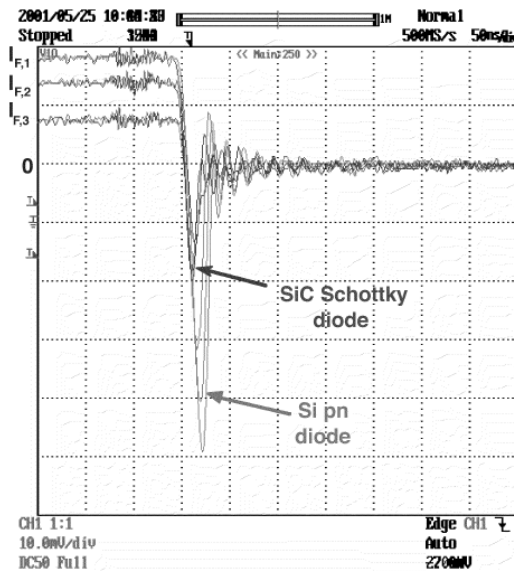


Figura 3.3.8: Tipiche forme d'onda di corrente di recupero per diodi al silicio e diodi *SiC* (2 A/div).

La corrente di recupero di picco del diodo al silicio è più elevata di quella del diodo Schottky ad ogni temperatura; inoltre all'aumentare della temperatura, la differenza cresce perché la caratteristica del diodo *SiC* rimane costante mentre quella del diodo al silicio aumenta di molto. Le curve misurate durante gli esperimenti arrivano fino a 150 °C e 250 °C rispettivamente per il diodo *Si* e quello *SiC*. Il diodo al silicio ha dimostrato di guastarsi a 150 °C con una corrente di 4.5 A mentre il diodo Schottky al carburo di silicio si guasta a una temperatura superiore a 250 °C con 4 A; un fatto interessante rilevato durante gli esperimenti è che il guasto della giunzione al silicio ha lasciato integro il package mentre quello del diodo Schottky ha distrutto il package.

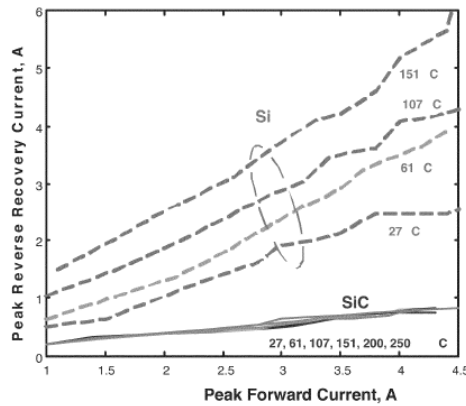


Figura 3.3.8: Valori di corrente di recupero di picco in rapporto alla corrente diretta di picco a diverse temperature.

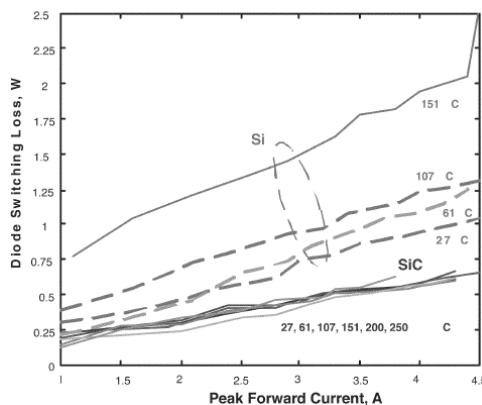


Figura 3.3.9: Perdite di commutazione di diodi Si e diodi SiC a diverse temperature.

Il carburo di silicio è un materiale molto robusto e affidabile. La ditta Cree ha pubblicato dei dati secondo cui i diodi al carburo di silicio con tensione nominale di 600 V di produzione propria hanno un tasso di guasto operativo (in inglese *Field Failure Rate*, FFR) 10 volte inferiore rispetto a quello dei diodi al silicio attualmente in commercio. Questa prova è cominciata nel 2004 con 3 diversi diodi e dopo 769 miliardi di ore complessive il FFR medio è di 0.3 guasti per ogni miliardo di ore, l'attuale valore di benchmark dell'industria dei diodi.

Le maggiori applicazioni per i diodi SiC sono nei circuiti di alimentazione elettrica ma soprattutto nei circuiti PFC (*Power Factor Correction*) in CCM (*Continuous Conduction Mode*). Nei tradizionali circuiti di alimentazione AC/DC per computer e telecomunicazioni, l'input in corrente alternata vede un grande carico induttivo che abbassa notevolmente il fattore di potenza; il circuito PFC serve per evitare questo fenomeno, cosa tra l'altro prevista dalle norme non solo italiane ma anche internazionali. Il circuito usato (figura 3.3.10) prevede il chopping dell'input raddrizzato con un interruttore veloce come il FET e poi la successiva stabilizzazione della forma d'onda in continua tramite un condensatore.

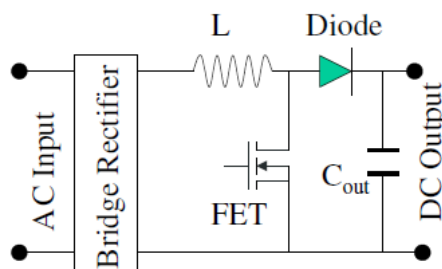


Figura 3.3.10: Schema semplificato di circuito PFC.

Quando il FET è in *on-state*, il diodo è in *off-state* e viceversa; la ragione è evitare che la corrente del carico o del condensatore vada a fluire nel FET. Durante il transitorio di turn-off del diodo, la corrente di recupero va a finire nel FET assieme alla corrente proveniente dal ponte di Graetz. Il risultato è una elevata corrente di in-rush nel FET; in questo modo per poterla sostenere è necessario un FET di dimensioni più grandi, che comporta un costo più grande rispetto al caso di diodi Schottky al carburo di silicio con bassissima corrente di recupero. Queste perdite di commutazione inoltre limitano la frequenza in cui opera il sistema, di conseguenza impediscono di avere dimensioni più piccole dei componenti; per di più la commutazione secca di molti diodi a recupero rapido è causa di interferenze elettromagnetiche inaccettabili sia da un punto di vista di efficienza di sistema che da un punto di vista normativo.

La risposta a questi problemi è il diodo Schottky al carburo di silicio: il motivo è che hanno prestazioni in *on-state* paragonabili a quelle dei diodi al silicio e che essendo un componente unipolare la carica elettrica di recupero è quasi nulla.

Per misurare i benefici che questi diodi apportano al sistema complessivo, la ditta Cree ha eseguito dei test usando un MOSFET (14 A / 500 V, International Rectifier, IRFP450) e due diodi: un diodo PiN superveloce al silicio (6 A / 600 V, International Rectifier, HFA08TB60). La tensione di ingresso era 120 V (valore efficace) e quella in uscita era 370 V in continua; la frequenza di funzionamento era 90 kHz e la resistenza di ingresso al MOSFET era 50  $\Omega$ . In condizioni a pieno carico è stato usato un resistore da 600  $\Omega$  mentre in condizioni di mezzo carico è stato utilizzato un resistore da 1200  $\Omega$ . Tensione e corrente sono state misurate sia sul MOSFET che sul diodo; sono state anche effettuate misure della potenza in ingresso e di quella in uscita per calcolare l'efficienza del sistema. Queste misure sono poi state ripetute sostituendo il diodo al silicio con un diodo Schottky al SiC (4 A / 600 V, Cree, CSD04060).

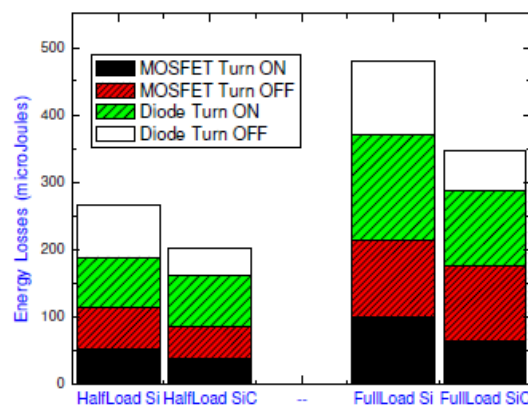


Figura 3.3.11: Confronto delle perdite di commutazione nel circuito PFC tra diodo Si e diodo SiC.

In figura 3.3.11 è riportato il confronto tra le perdite di commutazione del circuito con diodi al silicio e quelle con diodi al carburo di silicio. Si vede subito che a mezzo carico le perdite diminuiscono del 25% nel caso dei diodi SiC. Le perdite di turn-off del MOSFET e quelle di turn-on del diodo sono abbastanza simili, mentre quelle di turn-off del diodo sono dimezzate nel carburo di silicio.

A pieno carico invece le perdite di turn-off del diodo sono diminuite del 44%, quelle di turn-on del MOSFET sono abbassate del 39% e quelle di turn-on del diodo sono calate del 29%: in totale le perdite di commutazione del diodo Schottky al SiC sono più basse del 25% rispetto a quelle del diodo PiN al silicio.

In figura 3.3.12 invece è rappresentato il paragone tra l'efficienza raggiunta nel circuito PFC usando il diodo al silicio e quella raggiunta con il diodo al carburo di silicio. Si nota subito come il diodo Schottky al SiC permetta di raggiungere un'efficienza maggiore, soprattutto a bassi carichi. Le perdite di conduzione leggermente più alte del diodo al carburo di silicio sono la ragione del minore vantaggio ottenuto in condizioni di pieno carico.

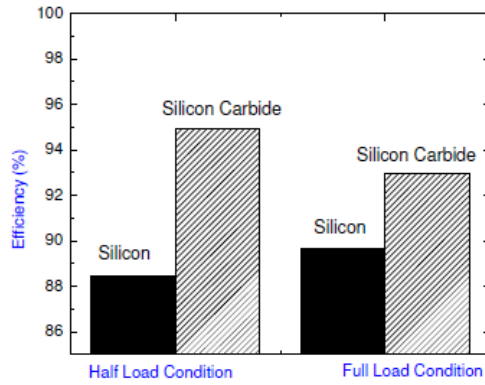


Figura 3.3.12: Confronto dell'efficienza complessiva nel circuito PFC tra diodo *Si* e diodo *SiC*.

In sostanza, questi test hanno dimostrato che i diodi Schottky *SiC* portano maggiore efficienza del circuito e una minore temperatura del *case* del FET (figura 3.3.13) rispetto ai diodi PiN al silicio. A parità di frequenza, temperatura e metodo di comando si possono usare dei componenti più piccoli nel circuito.

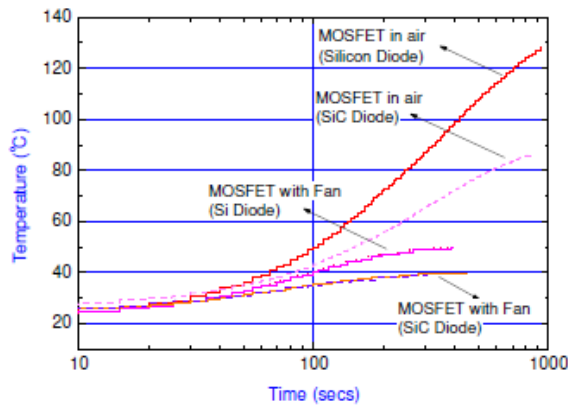


Figura 3.3.13: Temperatura del case del MOSFET con diodo *Si* e con diodo *SiC*.

### 3.4. Perdite nei diodi

Un raddrizzatore che conduce necessita di un tempo non trascurabile per passare dallo stato di conduzione a quello di interdizione. Fino a che la carica di recupero non è stata rimossa dalla giunzione, il diodo si comporta come un corto circuito: ciò significa che un'alta corrente non solo attraverso il diodo stesso ma anche attraverso l'interruttore che lo sta disattivando.

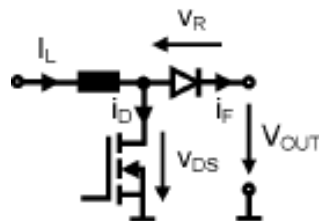


Figura 3.4.1: Convertitore boost per correzione del fattore di potenza (PFC).

Si faccia riferimento al convertitore boost di figura 3.4.1: la massima corrente di recupero  $I_{rrm}$  del diodo si aggiunge alla corrente di carico  $I_l$  cosicché la corrente di drain del MOSFET raggiunge il massimo valore  $I_{rrm} + I_l$  (figura 3.4.2). Quindi l'interruttore, oltre a condurre corrente, vede l'intera tensione di output  $V_{out}$ : ne consegue che nel MOSFET viene dissipata energia, cioè si hanno delle perdite di turn-on.

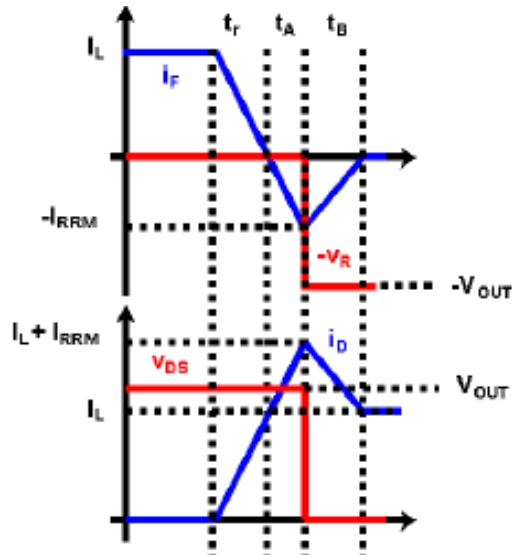


Figura 3.4.2: Forme d'onda idealizzate di tensione e corrente durante il turn-off del diodo.

Moltiplicando l'energia per la frequenza si ottengono le perdite totali, che aumentano la temperatura della giunzione. È noto che al crescere della temperatura della giunzione diminuisce la massima frequenza ammissibile, ma per ridurre il peso, il volume e il costo dei componenti passivi è necessario puntare verso alte frequenze di commutazione ( $f_{sw}$ ). Quindi, come già detto nei precedenti paragrafi, quando si lavora in alta frequenza il tempo di turn-off e la corrente di recupero devono essere i più bassi possibile per avere poche perdite durante il turn-on dell'interruttore.

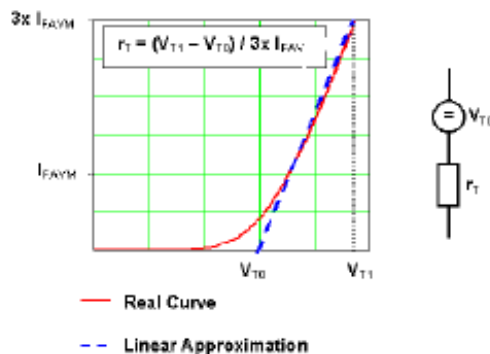


Figura 3.4.3: Modello lineare della caduta di tensione in stato conduttivo della curva di output.

Una stima delle energie in gioco durante la commutazione può essere fatta sulla base della figura 3.4.3 usando le seguenti formule:

$$E_{off}(diodo) = 0.5 \cdot I_{rrm} \cdot V_{out} \cdot t_b ;$$

$$E_{on}(MOSFET) = 0.5 \cdot (I_{rrm} + I_l) \cdot V_{out} \cdot (t_r + t_a)$$

Per confrontare differenti tipi di diodi è necessario anche calcolare le loro perdite di conduzione e di interdizione. Usando il modello lineare della curva di output si ha che:

$$P_{on} = V_{t0} \cdot I_{f(av)} + r_t \cdot I_{f(rms)}^2 ;$$

$$P_{off} = I_r \cdot V_r \cdot D$$

laddove  $r_t$  è pari a  $(V_{t1} - V_{t0}) / (3 \cdot I_{f(av)})$  e  $D$  rappresenta il duty cycle. Le perdite dinamiche invece si calcolano moltiplicando l'energia di commutazione per la frequenza di commutazione, cosicché le perdite totali del diodo diventano:

$$P_{tot}(diodo) = P_{on} + E_{off}(diodo) \cdot f_{sw} + P_{off}$$

Per ricavare la temperatura della giunzione del diodo, le perdite devono essere moltiplicate per la resistenza termica tra giunzione e case secondo la seguente formula:

$$T_j = P_{tot}(diodo) \cdot R_{th(j-c)} + T_c$$

con  $T_c$  che è la temperatura del case. Un buon compromesso tra affidabilità e dimensioni ottimizzate del chip si ottiene per una temperatura di giunzione tra i 125 °C e i 150 °C. Chiaramente i valori per i parametri nelle precedenti formule devono essere interpolati per la temperatura di giunzione di esercizio dai valori riportati nei datasheet. Qualora si vogliano conoscere tutte le perdite dipendenti dal diodo di ricircolo, si utilizza la seguente formula:

$$P_{tot}(diododip.) = P_{on} + [E_{off}(diodo) + E_{on}(MOSFET)] \cdot f_{sw} + P_{off}$$

Dopo aver ottenuto tutte le formule necessarie, si possono trarre alcune conclusioni. Innanzitutto la scelta del diodo dipende fortemente dalla frequenza di lavoro: in bassa frequenza le perdite principali sono quelle di conduzione, mentre a frequenze via via più elevate le perdite di commutazione assumono un ruolo sempre più preponderante. E poi, è buona norma diminuire le perdite o la resistenza termica (o anche entrambe) al fine di tenere basse la temperatura di giunzione e quindi di aumentare la durata di vita e l'affidabilità del componente.

### 3.5. Conclusioni

I diodi PiN al silicio sono componenti bipolari e hanno perdite maggiori e scarsa efficienza di commutazione alle frequenze più alte dovute alla lunga vita dei portatori di carica minoritari (cioè transistori più lunghi). I componenti in SiC unipolari invece hanno un comportamento in frequenza molto migliore di quello del silicio e hanno prestazioni in *on-state* simili a quelle dei componenti bipolari al silicio. Il tempo di recupero e la carica elettrica di recupero sono molto bassi nei diodi Schottky al carburo di silicio; la cosa molto importante e interessante è che il tempo di recupero e la corrente di recupero sono indipendenti dalla temperatura e dai transistori di corrente, a differenza dei diodi al silicio dove il tempo e la corrente di recupero aumentano grandemente con la temperatura (figura 3.5.1).



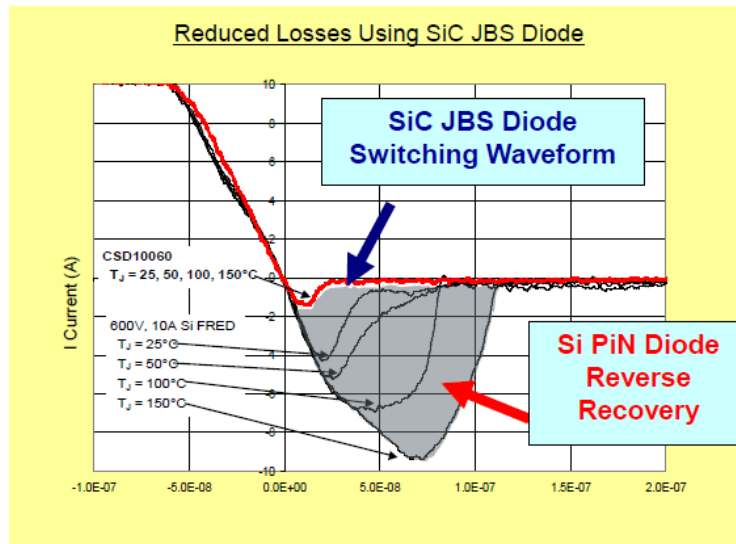


Figura 3.5.1: Comportamento di recupero dei diodi.

L'alta conduttività termica del carburo di silicio permette una migliore dissipazione del calore; di conseguenza il comportamento ad alte temperature è più stabile rispetto al silicio e non è necessario aggiungere complessità al circuito con ulteriori dissipatori. Per questi motivi i componenti in carburo di silicio possono avere dimensioni più piccole, più adatte per lavorare in frequenza. Ciò si traduce in minori costi e minore ingombro nei sistemi in cui vengono utilizzati.

L'unico limite del funzionamento dei diodi Schottky al *SiC* in alta frequenza è la capacità di giunzione. Quando vengono usati con i transistor nei convertitori, è stato ampiamente dimostrato che le perdite totali di conduzione e commutazione vengono notevolmente ridotte, specialmente ad alte temperature.

I diodi *SiC* sono un'ottima sostituzione negli inverter: è sufficiente utilizzarli come diodi da posizionare in antiparallelo a degli IGBT al silicio per diminuire le perdite. Questa soluzione ibrida è economicamente accettabile dal momento che la tecnologia del *SiC* presenta ancora costi abbastanza elevati: infatti i diodi al carburo di silicio costano 5 volte di più dei loro corrispettivi al silicio. Dati sperimentali hanno mostrato che, usando un inverter ibrido in una turbina eolica, le perdite per azionare un motore vengono diminuite in un intervallo tra il 7.7% e il 10.7% e quelle durante la rigenerazione sono abbassate in un range compreso tra il 11.22% e il 12.7%. Parimenti, in un tipico veicolo elettrico ibrido (HEV), la sostituzione dei componenti al silicio con quelli in carburo di silicio aumenta l'efficienza di trazione del 10% e comporta una riduzione a 1/3 del volume dei dissipatori.

### 3.6. Bibliografia

- “*Characterization of SiC Schottky Diodes at different temperatures*” di B.Ozpineci e L.M. Tolbert, IEEE Power Electronics Letters Volume 1 Issue 2, 2003, pagg.54-57;
- “*2<sup>nd</sup> Generation 600V SiC Schottky Diodes Use Merged pn/Schottky Structure for Surge Overload Protection*” di F. Bjoerk, J. Hancock, M. Treu, R. Rupp e T. Reimann, 21<sup>st</sup> Annual IEEE Applied Power Electronics Conference and Exposition, 2006;
- “*SiC Power Devices and Modules*”, application note a cura di Rohm, Inc., edizione di giugno 2013 ([http://rohms.rohm.com/en/products/databook/applinote/discrete/sic/common/sic\\_applie.pdf](http://rohms.rohm.com/en/products/databook/applinote/discrete/sic/common/sic_applie.pdf));
- “*Schottky Diodes: the Old Ones are Good, the New Ones are Better*” di Sam Davis, Power Electronics Technology, March 2011, pagg.36-38;
- “*600 V, 1-40 A, Schottky Diodes in SiC and Their Application*” di Anant Agarwal, Ranbir Singh, Sei-Hyung Ryu, James Richmond, Craig Capell, Scott Schwab, Brice Moore e John Palmour, application note a cura di Cree, Inc. (<http://creepower.com/products/pdf/PWRTechnicalPaper1.pdf>);
- “*SiC power devices – present status, applications and future perspective*” di Mikael Ostling, Reza Ghandi e Carl-Mikael Zetterling, Proceedings of 23<sup>rd</sup> International Symposium on Power Semiconductor Devices and Integrated Circuits, 23-26 May 2011, pagg.10-15;
- “*Power Electronics: circuits, devices and applications*”, 3<sup>rd</sup> edition, di Muhammad H. Rashid, pubblicato da Pearson Prentice Hall, 2004, pagg.31-63;
- “*IGBT Modules: Technologies, Driver and Application*” di Andreas Volke e Michael Hornkamp, pubblicato da Infineon Technologies AG, 2011, pagg.8-28;
- “*Fast, faster, fastest – Optimized diodes for switching applications*” di Hugo Steinebrunner, application note pubblicata da IXYS, Inc., (<http://www.ixys.com/Documents/Appnotes/IXAN0060.pdf>);
- “*Super Materials: Gan and SiC*” di Scott Allen e Lee Stauffer, webinar moderato da Jason Lomberg e offerto da ECN, 20 novembre 2013 (<http://www.ecnmag.com/webinars/2013/11/ecn-webcast-super-materials-gan-and-sic>);
- [http://en.wikipedia.org/wiki/Schottky\\_barrier](http://en.wikipedia.org/wiki/Schottky_barrier)

# FET

In questa sezione verranno presentati vari transistor in carburo di silicio e nitruro di gallio. Si spiegheranno le caratteristiche principali e il modo di funzionamento, per terminare con un confronto con i FET al silicio.

## 4.1. Richiami sui FET

Il FET (*Field Effect Transistor*) è un transistor che modula la conduttività del canale di un tipo di portatori di carica in un materiale semiconduttore tramite un campo elettrico; sono transistor unipolari perché funzionano con un singolo tipo di portatori di carica. Possono essere dunque un componente nel quale la corrente scorre grazie portatori di carica maggioritari oppure un componente in cui la corrente è un flusso di portatori di carica minoritari.

I tre terminali del FET sono *source*, *drain* e *gate*, identificati rispettivamente con S, D e G; si potrebbe dire che corrispondono ai terminali di collettore, emettitore e base del BJT. I portatori di carica entrano nel canale attraverso il terminale di *source* e ne escono tramite il terminale di *drain*; la conduttività del canale, che è funzione del potenziale applicato tra *gate* e *source*, si modula grazie al terminale di *gate*. Di conseguenza la corrente di source è  $I_S$ , quella di drain è  $I_D$  e dipende dalla tensione di *gate*; allo stesso modo la tensione *drain-source* è  $V_{DS}$ .

I portatori di carica scorrono nel canale conduttivo dalla *source* al *drain*. In un dispositivo *n-channel* in *depletion mode*, una tensione *gate-source* negativa causa l'espansione della regione di carica spaziale e il suo sconfinamento nel canale, di fatto assottigliandolo e aumentandone la resistenza; se il canale viene completamente chiuso, il FET viene disattivato a tutti gli effetti come un interruttore. Questo fenomeno è chiamato pinch-off e la tensione a cui avviene è detta tensione di pinch-off. Ovviamente vale il contrario, cioè che il canale aumenta di dimensione per una tensione *gate-source* positiva, permettendo agli elettroni di scorrere più facilmente.

Invece in un dispositivo *n-channel* in *enhancement mode*, non esiste un canale conduttivo intrinseco e per crearlo è richiesta una tensione *gate-source* positiva. Quest'ultima attrae gli elettroni liberi verso il *gate*: i primi elettroni vanno a bilanciare gli ioni del bulk drogato e formano una regione di carica spaziale. La tensione a cui si forma la regione di carica spaziale è chiamata tensione di soglia. Un ulteriore aumento della tensione *gate-source* attrarrà verso il *gate* ancora più elettroni: questi formano un canale conduttivo da *source* a *drain* detto 2DEG, le cui proprietà verranno spiegate brevemente nel paragrafo successivo.

In un dispositivo *p-channel* in *depletion mode* una tensione *gate-source* positiva crea uno strato di svuotamento costringendo le lacune caricate positivamente ad allontanarsi dall'interfaccia tra *gate* e semiconduttore; ciò produce una regione senza portatori di carica che contiene solo ioni accettori caricati negativamente.

Nel caso di funzionamento in *depletion mode* il *drain* e la *source* hanno un drogaggio opposto rispetto al canale conduttivo mentre in *enhancement mode* il canale, il *drain* e la *source* hanno tutti lo stesso tipo di drogaggio.

Nel JFET la carica elettrica scorre attraverso un canale semiconduttore tra i terminali di *source* e *drain*. Applicando una tensione inversa al *gate* il canale viene ristretto (pinch-off). È il tipo più semplice di FET.

Il MOSFET è un dispositivo controllato in tensione e richiede una piccola corrente di input. Il *gate* è isolato dal canale da uno strato di ossido. Ha sempre tre terminali (*gate*, *source* e *drain*), eventualmente si aggiunge quello del substrato. Però spesso il substrato è connesso direttamente alla *source*, tranne che in casi particolari come la configurazione a cascata in cui è necessario che *source* e substrato siano ben divisi.

Anche i MOSFET possono funzionare in *depletion mode* o in *enhancement mode*; però i MOSFET che funzionano in *enhancement mode* sono generalmente più usati nei circuiti di potenza perché rimangono in *off-state* a una tensione di *gate* nulla, mentre i MOSFET in *depletion mode* rimangono attivi anche con tensione di *gate* pari a zero.

## 4.2. Transistor al nitruro di gallio

Nel 2004 la ditta giapponese Eudyna Corporation ha iniziato a produrre *depletion mode* transistors per applicazioni in radiofrequenza composti da substrato di carburo di silicio con film di nitruro di gallio. Questi transistor si chiamano HEMT (High Electron Mobility Transistor) e sfruttano una mobilità elettronica elevata grazie al gas elettronico a 2 dimensioni (2DEG) vicino all'interfaccia dell'eterogiunzione tra *AlGaN* (nitruro di gallio alluminio) e *GaN*. Il 2DEG è un gas di elettroni che si può muovere liberamente in due direzioni ma è strettamente confinato nella terza; questo fenomeno fu descritto per la prima volta nel 1975 da T.Mimura e si trova spesso nei transistor come i MOSFET. Gli elettroni sotto lo strato di ossido di *gate* sono confinati all'interfaccia tra ossido e semiconduttore e occupano dei livelli di energia ben definiti: quasi sempre occupano i livelli a energia più bassa, i quali permettono un movimento parallelo all'interfaccia ma non sono sufficienti per il movimento perpendicolare. Un altro metodo per ottenere il 2DEG è appunto l'eterogiunzione del HEMT, in cui due materiali WBG confinano gli elettroni in un pozzo quantico: gli elettroni creati in questo modo sono molto più veloci che nel caso del MOSFET perché si usa un canale drogato mentre nel MOSFET il canale è lasciato intenzionalmente non drogato. La struttura basilare del transistor in *GaN* è mostrata in figura 4.2.1.

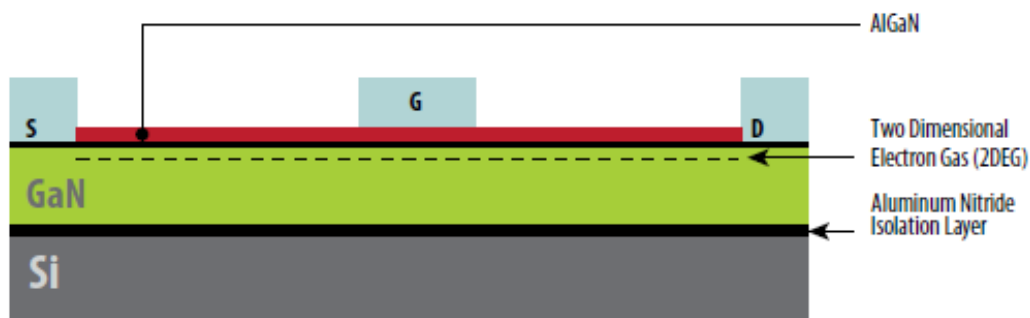


Figura 4.2.1: Tipica struttura *AlGaN/GaN* con tre contatti metallo-semiconduttore per *source*, *gate* e *drain*.

Gli elettrodi di *drain* e *source* perforano lo strato superiore di *AlGaN* e formano un contatto ohmico con il 2DEG sottostante. Ciò crea un corto circuito tra *source* e *drain* fino a che tutti gli elettroni nel 2DEG non si sono ricombinati e i cristalli semi-isolanti di nitruro di gallio non possono bloccare il flusso di corrente. Per svuotare il gas elettronico a due dimensioni l'elettrodo di *gate* è posizionato sopra lo strato di *AlGaN* per formare un contatto Schottky con la superficie. Applicando una tensione negativa a questo contatto, la barriera Schottky va in interdizione e gli elettroni sottostanti si ricombinano. Questo tipo di transistor è chiamato *depletion mode* transistor. Il funzionamento in

*depletion mode* tuttavia porta con sé uno svantaggio: in una struttura normally-on il 2DEG ha bisogno di una tensione negativa al gate per andare in *off-state*. Siccome si preferiscono dei componenti normally-off per ragioni di sicurezza, l'azienda ha sviluppato componenti in *enhancement mode GaN* (e-GaN) che vengono fabbricati negli stessi centri di produzione di circuiti integrati al silicio.

Il processo di *enhancement mode* parte dai wafer di silicio. Si fa prima crescere un film sottile di nitruro di alluminio (*AlN*) sul silicio come base per la successiva crescita dell'eterostruttura in nitruro di gallio (*AlGaN*) e infine un ultimo strato di *GaN*. Sopra quest'ultimo strato altamente resistivo viene fatto crescere uno strato molto sottile di *AlGaN*; viene così creata un'interfaccia tensionale tra i cristalli di nitruro di gallio e *AlGaN* che, combinata con l'intrinseca natura piezoelettrica del *GaN*, permette la formazione del 2DEG ad alta mobilità elettronica. Nel corso del processo si forma una regione di carica spaziale sotto il *gate*. Per funzionare in *enhancement mode* si applica una tensione positiva al gate, come se si volesse effettuare il turn-on di un *enhancement mode* MOSFET *n-channel*. Questa struttura è ripetuta molte volte per creare il dispositivo.

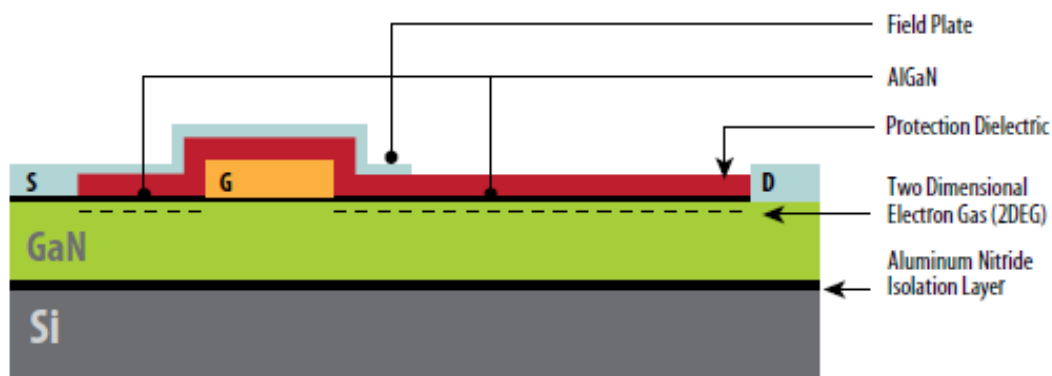


Figura 4.2.2: Transistor in e-GaN.

Il MOSFET in *GaN* ha un immagazzinamento di cariche molto basse e può sopportare una tensione *drain-source* molto più alta senza aumentare molto la *on-resistance*. I transistor e-GaN hanno un comportamento molto simile a quello dei MOSFET già esistenti; le caratteristiche che spiccano sono la tensione di soglia relativamente bassa (1.4 V), la rigidità dielettrica di *gate* relativamente bassa (e corrente di dispersione al *gate* del valore dell'ordine di qualche  $\mu A$  per millimetro di larghezza) e la ottima risposta in frequenza imputabile alla struttura laterale. Le prime due miglioreranno con l'evolversi di questa tecnologia, per cui l'obiettivo tecnico attuale è mantenere il valore della tensione *gate-source* al di sotto dei limiti consentiti. La terza caratteristica porta ovvi benefici ma anche delle attenzioni durante la progettazione del sistema; i transistor in *GaN* sono molto veloci quindi il circuito è molto più sensibile agli elementi parassiti della struttura rispetto al caso del silicio; in particolare, le induttanze parassite sono fonte di overshoot della tensione *gate-source* al punto che variazioni di poche centinaia di picohenry possono fare oltrepassare i valori di 6 V in direzione positiva e 5 V in direzione negativa e di conseguenza danneggiare il componente. I transistor in *GaN* possono funzionare anche a 300 °C ma le connessioni saldate con la PCB limitano la temperatura operativa massima a 125 °C. Uno dei vantaggi della tecnologia e-GaN rispetto al silicio è che nei FET l'aumento della *on-resistance* con la temperatura è più lento: nel FET in e-GaN infatti la *on-resistance* a temperatura di giunzione di 100 °C è circa il 15% più bassa rispetto al caso del silicio (assumendo un valore iniziale di *on-resistance* uguale per entrambi i transistor in questione).

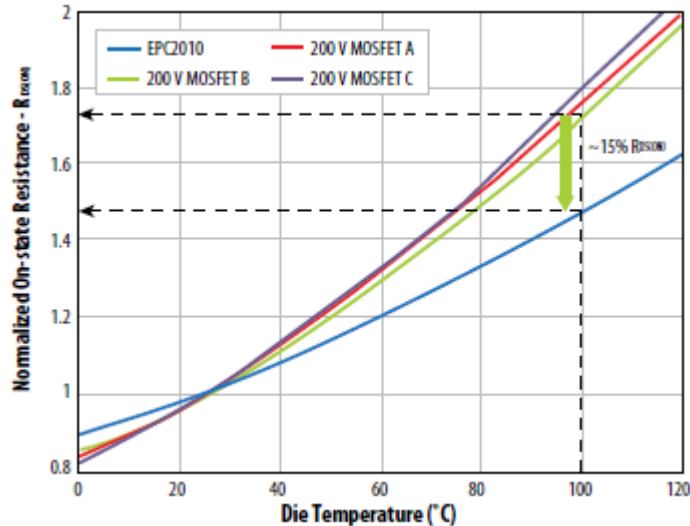


Figura 4.2.3: Grafico della resistenza rispetto alla temperatura della *die* per e-GaN FET e vari dispositivi al Si.

Inoltre a parità di resistenza, la capacità di un dispositivo in e-GaN è notevolmente inferiore rispetto a un componente al silicio. Come già detto, la struttura del HEMT è laterale: manca dunque la giunzione pn parassita che si veniva a formare nei MOSFET al silicio e al carburo di silicio. Ciò detto, la funzione del *body diode* nel HEMT cambia: quando non c'è potenziale tra *gate* e *source* mancano gli elettroni sotto il *gate* (il componente è in *off-state*). Se si diminuisce la tensione di *drain*, si crea una differenza di potenziale positiva sul *gate* rispetto alla regione di drift e che inietta elettroni sotto il *gate*. Quando si raggiunge il potenziale di soglia, ci saranno abbastanza elettroni per formare un canale di conduzione. In questo modo non ci sono portatori di carica minoritari, quindi il tempo di recupero è pari a zero; tuttavia il *body diode* del e-GaN FET ha una tensione diretta più alta di quello del MOSFET al silicio e durante i tempi morti può essere una fonte di perdite.

È possibile mettere nitruro di gallio su uno strato di silicio sotto forma di flip chip senza compromettere le qualità elettriche, termiche e meccaniche: la regione attiva del componente è isolata dal substrato di silicio, cosicché il GaN attivo può essere interamente ricoperto da uno strato di passivazione e lo strato di silicio può essere collegato a un dissipatore per migliorare le prestazioni termiche. In questa maniera viene eliminato il package e tutti i limiti associati ad esso; ne consegue che i componenti con nitruro di gallio su silicio sono più piccoli di quelli di solo silicio a parità di funzione e quindi anche i convertitori e invertitori che adoperano componenti in GaN.

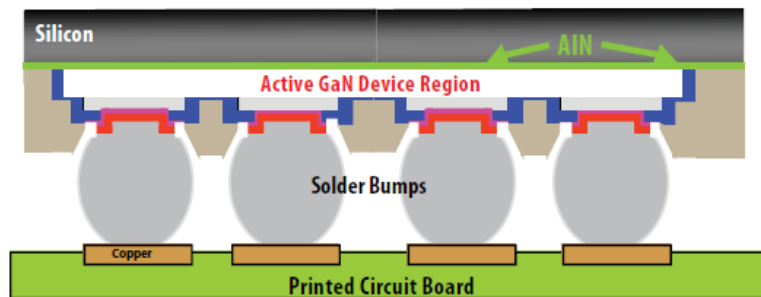


Figura 4.2.4: Flip chip.

### 4.3. Transistor al carburo di silicio

Tutti i transistor *SiC* sono unipolari (JFET, MOSFET, BJT). L'ultimo è tecnicamente bipolare ma degli esperimenti hanno trovato che dei BJT al carburo di silicio con tensione nominale 1200 V si comportano come dispositivi unipolari nel senso che praticamente mancano tutti gli effetti dinamici del movimento delle cariche elettriche; il motivo dietro tutto ciò è che i livelli di drogaggio per transistor al *SiC* da 1200 V sono talmente alti che ulteriori iniezioni di portatori di carica sono superflue ai fini della conduzione. Per tensioni oltre 4500 V saranno comunque necessari dispositivi bipolari. In applicazioni di alta tensione e alta potenza (ad esempio HVDC) i candidati ideali sarebbero IGBT e BJT al carburo di silicio dal momento che servono molti componenti messi in serie per sopportare la tensione. Tuttavia negli ultimi tempi si tende a costruire convertitori modulari e quindi difficilmente c'è bisogno di tensioni oltre 10 kV, anche perché un tale componente in *SiC* avrebbe una tensione di soglia più alta di 3 V. Ad ogni modo la produzione di IGBT *SiC* è più complicata di quella di JFET o BJT *SiC* quindi conviene prima sfruttare al massimo questi due tipi di transistor.

### 4.4. *SiC* JFET

Gli studi sul JFET al *SiC* iniziarono ancora negli anni '90, tuttavia i primi prototipi avevano bassi valori di transconduttanza, bassa mobilità di canale e presentavano difficoltà di fabbricazione. Finalmente, dopo molti progressi, nel 2005 sono stati immessi sul mercato alcuni esemplari per la prima volta.

Esistono molti design per il JFET. Uno è il lateral channel JFET (LCJFET) in figura 4.4.1. La corrente può scorrere in entrambe le direzioni a seconda delle condizioni del circuito ed è controllata da un *buried gate*  $p^+$  e da una giunzione pn *source*  $n^+$ . Questo JFET al carburo di silicio è un dispositivo normally-on e quindi è richiesta una tensione *gate-source* negativa per il turn-off; applicando quest'ultima, la larghezza del canale si assottiglia a causa della creazione di una regione di carica spaziale e la corrente si riduce fino ad arrivare a zero quando la tensione negativa raggiunge il valore di pinch-off, tipicamente compreso tra i  $-16 V$  e i  $-26 V$ . Un'importante caratteristica di questa struttura è il *body diode* formato dal  $p^+$  lato *source*, la regione di drift  $n^-$  e il *drain*  $n^{++}$ . La caduta di tensione diretta del *body diode* è più alta in confronto alla tensione di *on-state* del canale quindi il canale dovrebbe essere usato per ridurre al minimo le perdite di *on-state*. Questo tipo di JFET è stato sviluppato dalla ditta Infineon e presto verrà immesso sul mercato.

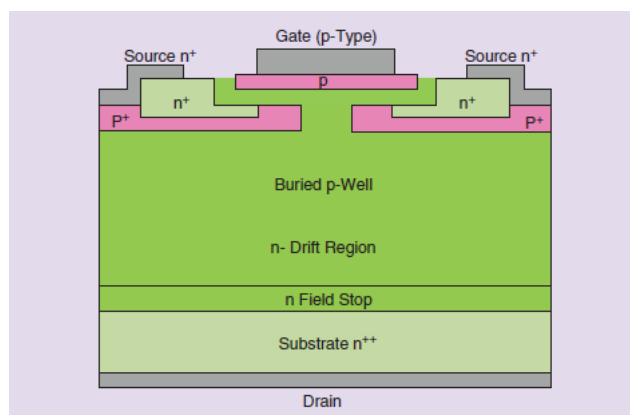


Figura 4.4.1: Schema di LCJFET al SiC.

Il secondo JFET al *SiC* utilizzabile commercialmente è il vertical trench *SiC* JFET (VTJFET), commercializzato dalla Semisouth. Uno schema è visibile in figura 4.4.2. Questo transistor può essere sia normally-off (in *enhancement mode*) oppure normally-on (in *depletion mode*), a seconda dello spessore del canale verticale e dei livelli di drogaggio degli strati. Come per gli altri JFET, è necessaria una tensione *gate-source* negativa per tenere in *off-state* il dispositivo. Allo stesso modo, è necessaria una corrente di *gate* relativamente alta (ad esempio  $200\ \mu\text{A}$  per un transistor con corrente nominale da  $30\ \text{A}$ ) per continuare la conduzione in un transistor normally-off. In questo caso la tensione di pinch-off per il VTJFET normally-on è di circa  $-6\ \text{V}$ , mentre quella positiva per il VTJFET normally-off è poco più di  $1\ \text{V}$ . Paragonando questo tipo di transistor con quello spiegato precedentemente, l'assenza di un *body diode* in antiparallelo è un punto a sfavore, anche se un diodo Schottky al *SiC* può comunque essere connesso e usato allo stesso modo per i brevi transistori. La corrente di recupero scorrerà quindi attraverso il canale fatta eccezione per i transistori menzionati prima. Il diodo Schottky addizionale diventa molto utile se parecchi VTJFET sono collegati in parallelo e la tensione lungo i transistor è più bassa della tensione di soglia del diodo. In tal caso sarebbe necessario solo un diodo per tutti i JFET in parallelo grazie alla breve durata di conduzione del diodo (inferiore a  $500\ \text{ns}$ ).

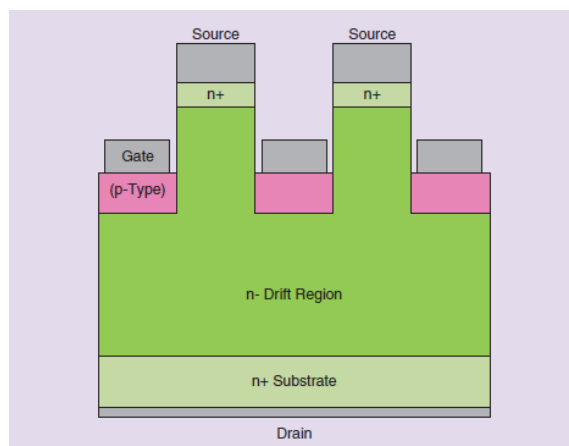


Figura 4.4.2: Schema di VTJFET al *SiC*.

Ci sono molti altri tipi di JFET che però sono ancora allo stato di sperimentazione, come ad esempio il *buried grid JFET* (BGJFET) o il *double gate vertical trench JFET* (DGVTJFET): il primo sfrutta una piccola griglia a cellette che garantisce una bassa *on-resistance* e alta densità di corrente di saturazione per mancanza del *body diode* in antiparallelo; il secondo è una combinazione tra LCJFET e BGJFET che vanta bassa *on-resistance* e bassa capacità tra *gate* e *drain*.

I JFET attualmente presenti sul mercato hanno tensione nominale  $1200\ \text{V}$  e  $1700\ \text{V}$ ; i modelli normally-on hanno corrente nominale fino a  $48\ \text{A}$  con *on-resistance* da  $100\ \text{m}\Omega$  a  $45\ \text{m}\Omega$ , mentre quelli normally-off hanno corrente nominale inferiore a  $30\ \text{A}$  e *on-resistance* da  $100\ \text{m}\Omega$  a  $63\ \text{m}\Omega$ .

Il dispositivo che più si adatta alle caratteristiche del carburo di silicio è il JFET normally-on, progettato in modo da non far cadere l'elevato campo elettrico sulla superficie (nessun problema di interfaccia o stabilità) e per offrire la più bassa resistenza di canale. I più conosciuti sono il lateral channel JFET (LCJFET) e il vertical channel JFET (VCJFET), conosciuti anche con il nome di static induction transistor (SIT). L'ultimo presenta una resistenza di canale più bassa ma, in caso di tensione inversa, della corrente può scorrere attraverso il *gate*. Comunque sia il comando di un componente normally-on è più difficoltoso e quindi si punta a soluzioni che prevedano un comportamento normally-off. Una soluzione è una struttura in cascata: un MOSFET al silicio normally-off a bassa tensione, il quale ha una bassissima *on-resistance*, collegato in serie con un JFET al *SiC* normally-on ad alta tensione nominale. Questo apparato ha dato buoni risultati ma



aggiunge complessità al sistema. Un'altra soluzione è progettare il JFET normally-off riducendo il canale in modo che le regioni di carica spaziale del *gate* svuotano il canale già a una tensione di *gate* nulla. Tuttavia ciò aumenta la resistenza di canale e limita le tensioni di soglia a 1 V.

## 4.5. SiC MOSFET

I MOSFET al carburo di silicio sono componenti unipolari che sono in grado di bloccare una tensione inversa di oltre 1 kV con una bassa resistenza di drift. Per di più, avendo una banda proibita più larga, nel carburo di silicio c'è una concentrazione di portatori di carica molto più bassa rispetto al silicio e una *on-resistance* specifica pari al 1% di quella del silicio; ciò contribuisce ad avere una corrente di dispersione più bassa a temperature più elevate. Inoltre non hanno corrente di coda e il tempo di recupero è estremamente corto. Permettono quindi un funzionamento più efficiente ad alte frequenze e una riduzione di dimensione e volume con conseguente diminuzione dei costi di materiale.

Il problema principale del MOSFET in SiC è la creazione e la stabilità dello strato di ossido: al momento l'affidabilità di quest'ultimo per tempi lunghi e soprattutto alle alte temperature deve ancora essere confermata. In figura 4.5.1 è riportato uno schema di MOSFET al carburo di silicio. È un componente normally-off ma la bassa mobilità di canale aumenta la *on-resistance* del canale e quindi fa crescere di conseguenza le perdite in *on-state*.

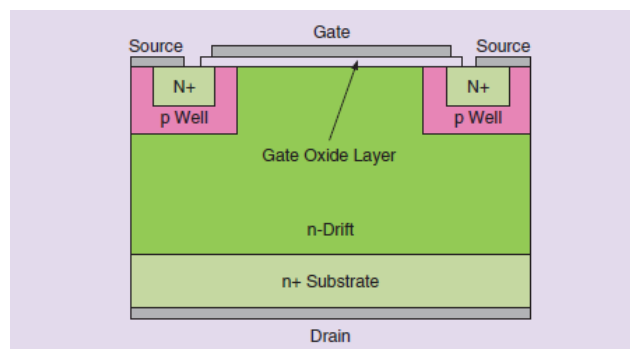


Figura 4.5.1: Schema di MOSFET al SiC.

Ad ogni modo i risultati ottenuti fino adesso dai MOSFET al carburo di silicio sono promettenti; attualmente SiC MOSFET da 1200 V nominali con correnti tra i 10 A e i 20 A e *on-resistance* di 80 mΩ e 160 mΩ sono presenti sul mercato. La ditta Cree sta sperimentando MOSFET al SiC da 10 A e 10 kV nominali da inserire nel circuito di un convertitore a semiponte; sostituendoli al posto di IGBT al silicio la efficienza del sistema migliora.

Con i MOSFET al carburo di silicio è difficile creare l'interfaccia con l'ossido metallico: ad esempio durante l'ossidazione si formano degli ammassi di carbone. Questo è più un effetto collaterale del processo piuttosto che parte fondamentale; comunque questo meccanismo peggiora l'interfaccia con alta resistenza dei canali e quindi bassa mobilità (solo qualche decina di  $\text{cm}^2/\text{V} \cdot \text{s}$ ) e una tensione di soglia di 2 V. Le caratteristiche del MOSFET al carburo di silicio si degradano di poco con la temperatura ed è in grado di ottenere prestazioni migliori delle sue controparti al silicio, soprattutto per quanto riguarda le perdite di conduzione; invece, all'attuale livello di sviluppo della tecnologia del SiC, i CoolMOS al silicio hanno prestazioni di switching paragonabili a quelle del MOSFET al SiC, che sono limitate dalla bassa transconduttanza e dai vincoli della tensione del circuito di comando.

## 4.6. SiC IGBT

L'IGBT al silicio ha un'ottima prestazione in un'ampia gamma di tensioni e correnti di lavoro ed è un componente su cui si è lavorato molto fino a raggiungere il limite massimo delle proprietà elettriche. Nel caso del silicio si faceva crescere uno strato *n-type* su un substrato *p-type*; anche nel caso del carburo di silicio si adopera questo sistema ma il substrato possiede una resistività troppo alta per poterlo utilizzare efficacemente nei circuiti di potenza. Pure lo strato di ossido del *gate* ha scarse prestazioni e ciò aumenta la resistività del canale. Al giorno d'oggi, questi componenti non sono pronti per essere messi in commercio.

## 4.7. SiC BJT

Il BJT *SiC* è un componente bipolare normally-off che unisce una bassa caduta di tensione in *on-state* ( $0.32\text{ V}$  a  $100\text{ A/cm}^2$ ) e una buona prestazione in frequenza. In figura 4.6.1 è riportato un BJT npn.

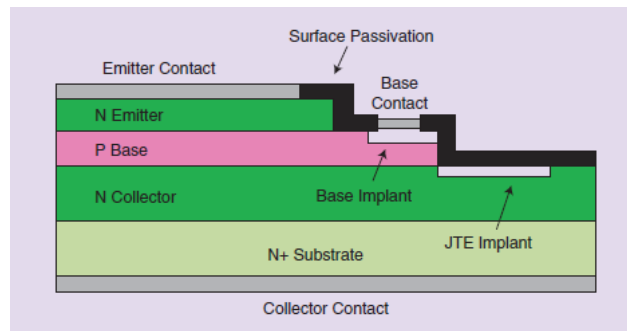


Figura 4.7.1: Schema di BJT al SiC.

Con la diminuzione della tensione di giunzione tra base e emettitore e di quella tra base e collettore si può ottenere una bassa caduta di tensione in *on-state*. Il BJT in carburo di silicio è comandato in corrente: ciò significa che finché c'è corrente al collettore ci vuole corrente continua in base. I BJT disponibili in commercio hanno tensione nominale di  $1200\text{ V}$  e corrente nominale da  $6\text{ A}$  a  $40\text{ A}$ . Recentemente il processo di passivazione delle superfici è migliorato tanto che si può avere una corrente nominale di  $50\text{ A}$  a  $100\text{ °C}$  con guadagni di corrente superiori a 100; tuttavia il guadagno dipende fortemente dalla temperatura e si dimezza a una temperatura di  $250\text{ °C}$ . Nonostante la necessità della corrente di base per il controllo, i BJT in carburo di silicio in futuro potranno essere competitivi nel campo delle medie tensioni di lavoro.

Un problema è rappresentato dalla degradazione dei cristalli a causa della formazione di plasma elettronico e quindi della degradazione del materiale. Non mostrano un secondo breakdown come le loro controparti al silicio.

## 4.8. Proprietà importanti

Nel silicio e nel carburo di silicio i dispositivi di potenza hanno una struttura verticale; essa è vantaggiosa perché nell'area attiva il campo elettrico elevato non raggiunge la superficie del semiconduttore e i terminali della giunzione possono essere progettati per resistere alla forza del campo. La passivazione delle superfici e il package del dispositivo diventano dunque più semplici. Inoltre l'intera area dentro i terminali di giunzione è attiva per cui i contatti non sono posizionati là. La resistenza per unità di area della regione di drift per i dispositivi verticali è:

$$R_d \cdot A = \frac{4V_B^2}{\varepsilon \cdot \mu_n \cdot E_B^3}$$

con  $A$  che è l'area attiva del componente,  $V_B$  è la tensione di breakdown,  $E_B$  è il campo elettrico di breakdown e  $\mu_n$  rappresenta la mobilità elettronica. Tuttavia  $\mu_n$  e  $E_B$  sono dipendenti dal grado di drogaggio quindi la resistenza specifica della regione di drift cresce ancora più velocemente con la tensione di breakdown.

$$R_d \cdot A \propto V_B^{2.5}$$

Questa dipendenza è conosciuta come limite unipolare per dispositivi verticali a drogaggio omogeneo. Per i componenti in nitrato di gallio la struttura verticale ha alcuni svantaggi: gli strati epitassiali devono essere più spessi mentre il substrato e gli strati di interfaccia devono essere conduttivi. La mobilità elettronica è molto inferiore rispetto al 2DEG e la forza del campo elettrico di breakdown è più bassa a causa dei difetti che si sviluppano in direzione parallela alle linee di campo; una migliore qualità del materiale migliorerebbe sicuramente la situazione.

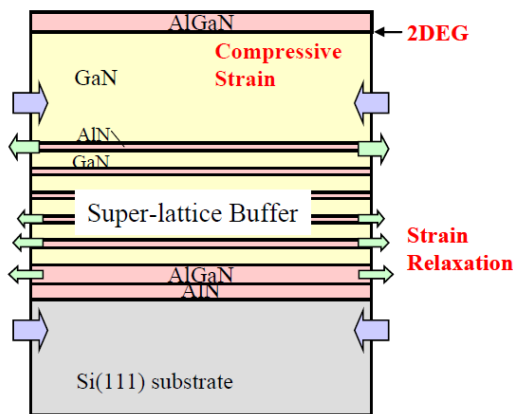


Figura 4.8.1: Forze meccaniche in un componente a struttura laterale in GaN.

I componenti laterali in GaN possono sfruttare il 2DEG. La regione di drift quasi non conduttiva di AlGaN/GaN è cortocircuitata dal 2DEG che si origina nell'eterogiunzione tra AlGaN e nitrato di gallio. Nel 2DEG la mobilità degli elettroni è il doppio che nel resto del dispositivo. Tuttavia gli stress meccanici nell'eterogiunzione, mostrati in figura 4.8.1, sono fonte di microfratture e ulteriori nodi di difetti cristallini. I componenti che sfruttano il 2DEG devono avere delle armature ben progettate per sopportare campi elettrici superficiali molto alti che inducono stress sullo strato di passivazione e sul package circostante. Un aspetto molto importante è che l'esatta sequenza degli strati di film venga rispettata: infatti essa influenza grandemente la distribuzione dei campi nella regione di drift e la dispersione del dispositivo; influenza cioè la sua stabilità.

Le cariche elettriche nel 2DEG inducono delle cariche-specchio sulla superficie del semiconduttore. Alcune di queste cariche-specchio hanno una bassa mobilità e non sono quindi in grado di seguire le commutazioni in frequenza. Ciò disturba l'equilibrio delle cariche e di conseguenza riduce la conduttività nel 2DEG. Un effetto simile si ha quando nodi di difetti negli strati sotto al 2DEG si caricano durante l'interdizione del transistor e ritornano allo stato iniziale molto lentamente. Le caratteristiche di un HEMT sono alterate da questo fenomeno chiamato *on-resistance* dinamica oppure collasso di corrente: l'aumento della *on-resistance* dipende in larga parte dalla struttura laterale del transistor, vale a dire dalla differenza tra parte destra e parte sinistra. I modi per contrastare la *on-resistance* dinamica sono l'utilizzo di materiale di qualità e ottimizzare il design delle armature e la passivazione della superficie; un altro modo, anche se meno conveniente, è il derating della tensione: si riduce cioè la tensione di breakdown ammissibile. La *on-resistance* dinamica e il derating della tensione hanno effetti molto mitigati a basse tensioni perché fortemente dipendenti dal campo elettrico.

E' stato osservato anche l'evoluzione del degrado del materiale. È un fenomeno che avviene soprattutto nelle zone ad elevato campo elettrico e può essere causato da iniezione di elettroni caldi oppure dall'effetto piezoelettrico inverso. La conseguenza è il peggioramento delle caratteristiche del dispositivo; tuttavia un derating del componente minimizza enormemente il problema e aiuta a prevenire un funzionamento instabile dal momento che al di sotto di una certa soglia di campo elettrico il degrado è trascurabile.

La resistenza di canale è cruciale soprattutto per dispositivi a bassa tensione, mentre per quelli ad alta tensione è meno importante. Ad ogni modo la stabilità e la controllabilità del canale devono essere sempre garantite.

Nel *Si* e nel *SiC* è conveniente usare un ossido derivato (cioè il  $SiO_2$ ) che può essere usato per la passivazione o per l'isolamento dielettrico del *gate*; il nitruro di gallio non ha un ossido derivato quindi devono essere depositati materiali dielettrici con conseguente mismatch cristallino all'interfaccia e quindi minore mobilità dei portatori di carica che nel materiale di bulk. In questo modo è abbastanza facile ottenere un funzionamento normally-off.

Invece il canale a 2DEG offre una resistenza di canale estremamente bassa e si può sfruttare benissimo anche in dispositivi a bassa tensione. Ma il problema risiede nel controllo del canale. Molte soluzioni sono state presentate ma la stabilità e la tensione di soglia sono ancora insoddisfacenti; adesso l'approccio più promettente sembra essere un semiconduttore con un *gate p-type*. In questo caso il 2DEG viene svuotato dalla regione di carica spaziale del *gate* e il dispositivo diventa normally-off con tensioni di soglia più alte di 1 V e la corrente di *gate* è bassa anche a tensioni dirette di qualche volt. A tensioni *drain-source* più alte, sotto il canale scorrono delle correnti di bypass originate da un punch-through sotto il gate dopo che il 2DEG si è svuotato. Ad ogni modo il tentativo di ottenere un comportamento normally-off porta a una resistenza di canale più alta e tensioni di soglia ancora troppo basse per prevenire eventuali commutazioni forzate in ambienti con forti interferenze elettromagnetiche. Si può ottenere un'ottima prestazione con MOSFET a cascata (MOSFET al silicio normally-off in bassa tensione connesso in serie a un MOSFET al *GaN* normally-on in alta tensione) ma chiaramente ciò aumenta la complessità del sistema.

Tutti i MOSFET (in silicio, in *GaN*, in *SiC*) possono essere ottimizzati in maniera simile: vale a dire bilanciando perdite statiche e dinamiche tramite l'adattamento delle dimensioni del *die*. Le perdite statiche includono le perdite indipendenti dalla frequenza, mentre quelle dinamiche sono fortemente influenzate dalla frequenza. È quindi necessario studiare le perdite tramite delle formule che permettano una valutazione a partire dai valori del data sheet. Certamente per diversi materiali ci saranno diverse dimensioni ottimali del *die*, ma la cifra di merito rimane invariata. Le perdite totali di un semiconduttore all'interno del FET sono date dalla seguente formula:

$$P_{semi} = P_{cond} + P_{diodo} + P_{ton} + P_{toff} + P_{drive} + P_{drr} + P_{Qoss}$$

laddove  $P_{cond}$  sono le perdite di conduzione in *on-state*,  $P_{diodo}$  sono le perdite di conduzione del diodo del dispositivo,  $P_{ton}$  sono le perdite che avvengono al turn-on del dispositivo,  $P_{toff}$  sono le perdite che avvengono al turn-off del transistor,  $P_{drive}$  sono le perdite dovute al pilotaggio di *gate* del dispositivo,  $P_{drr}$  sono le perdite di recupero del *body diode* e  $P_{Qoss}$  è la potenza andata a caricare la capacità di output. Nel dettaglio le formule sono le seguenti, riferite ai grafici di figura 4.8.2:

$$P_{cond} = (I_L \cdot \sqrt{D})^2 \cdot \frac{R_{DS(on),A}}{A} ;$$

$$P_{diodo} = I_L \cdot V_F \cdot \Delta t \cdot f_{sw} ;$$

$$P_{ton} = \frac{V_{BUS} \cdot I_L}{2} \cdot \frac{R_G \cdot (Q_{GD,A} + Q_{GS2,A}) \cdot A}{V_{DR} - V_{PL}} \cdot f_{sw} ;$$

$$P_{toff} = \frac{V_{BUS} \cdot I_L}{2} \cdot \frac{R_G \cdot (Q_{GD,A} + Q_{GS2,A}) \cdot A}{V_{PL}} \cdot f_{sw} ;$$

$$P_{drive} = Q_{G,A} \cdot A \cdot V_{DR} \cdot f_{sw} ;$$

$$P_{drr} = Q_{RR,A} \cdot A \cdot V_{BUS} \cdot f_{sw} ;$$

$$P_{Qoss} = \frac{Q_{OSS,A} \cdot A}{2} \cdot V_{BUS} \cdot f_{sw} ;$$

dove  $A$  è l'area normalizzata del *die* e  $A$  pedice riferisce il parametro all'area normalizzata del *die*; invece  $I_L$  è la corrente media dell'induttore e/o la corrente che scorre nel transistor durante l'*on-state* (trascurando il ripple),  $D$  è il duty cycle,  $V_F$  è la caduta di tensione del *body diode* del transistor in stato conduttivo,  $\Delta t$  è il totale intervallo di conduzione del diodo per ciclo,  $f_{sw}$  è la frequenza di commutazione,  $V_{BUS}$  è la tensione del bus in continua che il transistor vede durante l'esercizio,  $R_G$  è la resistenza del circuito di comando del *gate* (che tende ad essere indipendente dalle dimensioni del *die*),  $Q_{GD}$  è la carica elettrica *gate-drain* (detta anche carica di Miller e assunta costante per una data tensione di bus),  $Q_{GS2}$  è la carica elettrica tra *gate* e *source* per una tensione compresa tra il valore di soglia e quello di plateau (assunta costante per una data corrente di carico),  $V_{DR}$  è la tensione applicata al circuito di pilotaggio del *gate*,  $V_{PL}$  è la tensione di plateau del dispositivo a corrente nominale (assunto costante),  $Q_G$  è la totale carica al *gate* per una data tensione del circuito di comando del *gate*,  $Q_{RR}$  è la carica di recupero del *body diode* del transistor e  $Q_{OSS}$  è la carica elettrica di output totale del dispositivo per una data tensione di bus. Infine  $R_{DS(ON)}$  è la *on-resistance* a 100 °C rispetto cui tutti gli altri parametri sopraccitati sono normalizzati. I valori delle cariche elettriche sono ricavati dai data sheet e dai relativi grafici della carica elettrica.

Si noti che non tutti i componenti hanno tutte queste perdite. Nel processo di ottimizzazione si considerano tutte le perdite che avvengono in un dispositivo, indipendentemente da dove avviene la dissipazione.

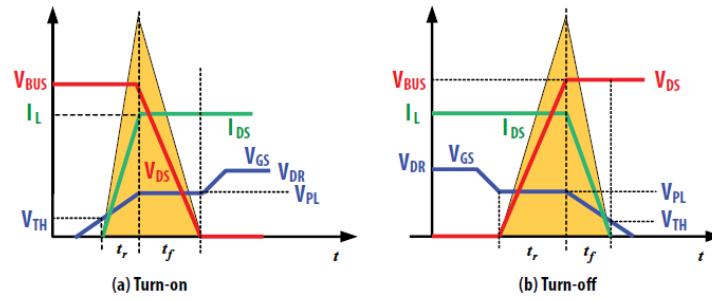


Figura 4.8.2: Forme d'onda idealizzate considerate nel calcolo delle perdite di commutazione del MOSFET.

Si può dire che le perdite di conduzione sono indipendenti dalla frequenza, mentre le perdite di commutazione (turn-on e turn-off) dipendono dalla frequenza e dalla corrente di carico. Anche le perdite rimanenti sono influenzate dalla frequenza ma non dalla corrente di carico. Le perdite di conduzione del diodo sono funzione della dimensione del *die* ma possono essere trascurate nel processo di ottimizzazione. Le perdite totali del semiconduttore possono essere scritte in funzione delle perdite totali di commutazione, della corrente di carico, del duty cycle e della *on-resistance*.

$$P_{semi}(A) = P_{comm,tot,A} \cdot A + (I_L \cdot \sqrt{D})^2 \cdot \frac{R_{DS(ON),A}}{A}$$

da cui si ricava l'area ottimale del *die* derivando e uguagliando a zero la derivata:

$$\therefore A = I_L \cdot \sqrt{D} \cdot \sqrt{\frac{R_{DS(ON),A}}{P_{comm,tot,A}}}$$

laddove  $P_{comm,tot,A}$  sono le perdite totali di commutazione dipendenti dalla frequenza. Rimane quindi da definire le condizioni di carico in cui si troverà il dispositivo. In figura 4.1.4 si possono vedere le curve di efficienza per varie condizioni di carico. La corrente di carico dovrebbe essere selezionata in corrispondenza al punto di picco della curva di efficienza, o il più vicino possibile, ma ciò è difficile perché le perdite del dispositivo non sono le sole perdite del circuito dipendenti dalla corrente: ad esempio ci sono anche le perdite dovute alla resistenza intrinseca degli induttori che crescono al quadrato con la corrente di carico. Di conseguenza l'ottimizzazione delle dimensioni del *die* deve tenere conto di più alte perdite dinamiche ma, se ci sono più componenti, ad ognuno di essi può essere arbitrariamente attribuita una parte delle perdite totali del circuito.

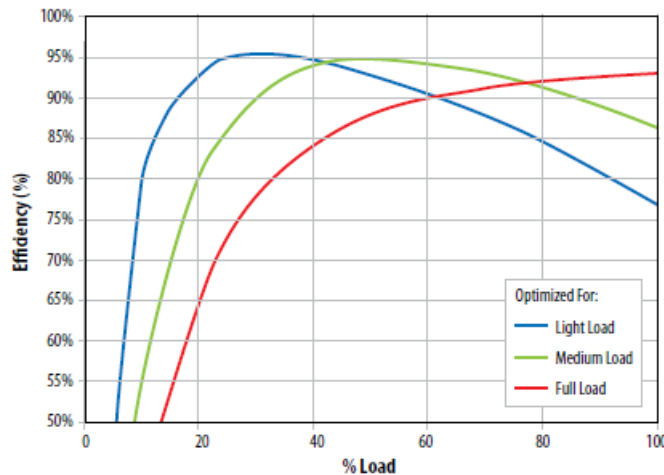


Figura 4.8.3: Curve di efficienza ideali di un convertitore buck ottimizzate per diverse condizioni di carico.

Per tutta questa analisi sono necessarie alcune precisazioni: innanzitutto le perdite della induttanza comune alla *source* vengono trascurate in queste formule. Inoltre si tiene conto che la *on-resistance* è dipendente dalla temperatura: i valori sono riferiti alla temperatura tipica dei data sheet. Poi le perdite della carica elettrica di output prevedono che un lato viene commutato con il *zero voltage switching* (ZVS) mentre l'altro lato viene commutato in *hard switching*: questo significa che le perdite della carica elettrica di output avvengono solo al turn-on o al turn-off. E poi il valore di  $Q_{GS2}$  usato nei data sheet vale solo per la corrente nominale quindi ci sarà una sovrastima della carica al *gate* per carichi più leggeri. Questo effetto è minore a tensioni più alte, come riportato in tabella 4.1.

	40 V	40 V	100 V	200 V
$V_{BUS}$	12 V	24 V	48 V	100 V
$Q_{GS2,A}$ @ rated $I_{DS}$	3.5 pC / $\Omega$	3.5 pC / $\Omega$	5 pC / $\Omega$	9 pC / $\Omega$
$Q_{GD,A}$ @ $V_{BUS}$	6 pC / $\Omega$	7 pC / $\Omega$	14 pC / $\Omega$	35 pC / $\Omega$
$Q_{GD}/(Q_{SW})$	6/9.5 = 0.63	7/10.5 = 0.67	14/19 = 0.73	35/42 = 0.83
Error of $Q_{SW}$ with varying load current	0 to 37%	0 to 33%	0 to 27%	0 to 17%

**Tabella 4.1:** Errore di approssimazione della carica al *gate* per FET di diverse tensioni nominali.

Si noti che le perdite del *body diode* variano con la dimensione del *die* ma questa variazione viene trascurata nel processo di analisi. Infine le correnti al turn-on e al turn-off sono ritenute uguali e l'influenza della corrente di ripple dell'induttore viene ignorata: l'errore che si compie facendo quest'assunzione è inferiore al 5%.

La capacità di un FET è uno dei fattori più importanti per determinare l'energia che verrà perduta durante il transitorio di commutazione: infatti la capacità indica la quantità di carica che deve venire apportata ai terminali del dispositivo per cambiare lo stato. Chiaramente più velocemente viene trasportata la carica, più velocemente avverrà la commutazione. Le capacità in gioco sono le seguenti:

$$\begin{aligned} C_{iss} &= C_{GS} + C_{GD} ; \\ C_{oss} &= C_{DS} + C_{GD} ; \\ C_{rss} &= C_{GD} \end{aligned}$$

La capacità tra *gate* e *drain*  $C_{GD}$  è non lineare e funge da circuito di feedback tra input e output; è anche chiamata capacità di Miller (perché su di essa agisce l'effetto Miller) e, a causa sua, la totale capacità dinamica di input diventa più grande della somma di tutte le capacità statiche perché viene moltiplicata dal guadagno del transistor.

Per comprendere un po' meglio che fenomeno sia l'effetto Miller, si consideri un amplificatore con un guadagno di tensione  $A_v$ : si ha che  $V_{out} = A_v \cdot V_{in}$ . Un'impedenza  $Z$  connessa tra l'ingresso e l'uscita dell'amplificatore subirà l'effetto Miller. La corrente d'ingresso è data da:

$$I_{in} = \frac{V_{in} - V_{out}}{Z} = \frac{V_{in}(1 - A_v)}{Z}$$

La corrente che attraversa  $Z$  è molto intensa, dato il guadagno idealmente infinito dell'amplificatore, e l'impedenza si comporta come se avesse un valore diverso da quello nominale. L'impedenza d'ingresso del circuito è:

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{V_{in}Z}{V_{in}(1 - A_v)} = \frac{Z}{1 - A_v}$$

Se  $Z$  rappresenta un condensatore, si ha che  $Z = \frac{1}{j\omega C}$  e l'impedenza d'ingresso diventa:

$$Z_{in} = \frac{1}{j\omega C(1 - A_v)} = \frac{1}{j\omega C_M}$$

dove  $C_M = C(1 - A_v)$ .

In questo modo si definisce la capacità di Miller  $C_M$  come la capacità del condensatore  $C$  moltiplicata per un fattore  $(1 - A_v)$ . Ne consegue che  $C_M$  è la capacità vista in ingresso.



Figura 4.8.4: Posizione delle capacità in un transistor in e-GaN.

Guardando la figura 4.8.4, si può vedere dove sono le capacità. Queste capacità sono funzione della tensione applicata (figura 4.8.5): il brusco calo della capacità di output ( $C_{oss}$ ) all'aumentare della tensione *drain-source* significa che gli elettroni liberi nel nitruro di gallio si sono ricombinati vicino alla superficie.

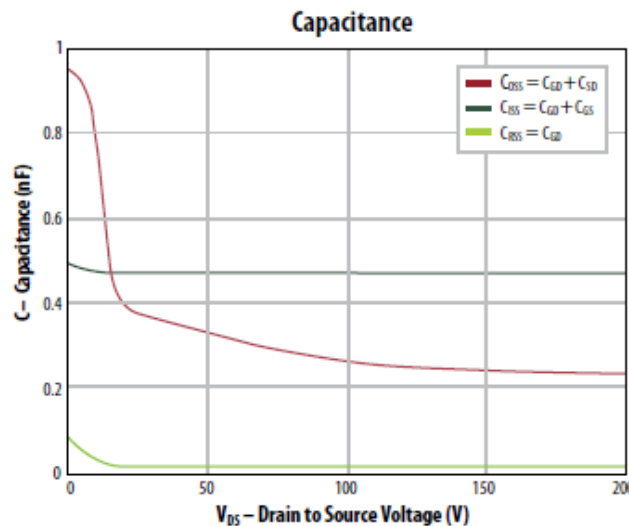


Figura 4.8.5: Grafico capacità-tensione di un transistor in e-GaN.

Man mano che la tensione tra *drain* e *source* continua a crescere, la regione di carica spaziale si estende sempre più in profondità; basandosi sulla figura 4.8.4 si può dire che le armature del condensatore  $C_{GD}$  si allontanano progressivamente. In questo modo il FET in e-GaN riesce a sopportare bene i transitori di tensione e contemporaneamente avere bassissimi tempi di recupero e facilità di controllo rispetto al MOSFET al silicio. Ciò nonostante, il parametro più comodo per confrontare i vari componenti è la carica al *gate*  $Q_G$ : il vantaggio è che il progettista può facilmente calcolare la corrente richiesta dall'azionamento per commutare nel tempo desiderato dato che



$Q = CV$  e  $I = C \cdot (dv/dt)$  e quindi la carica è dato dal prodotto tra tempo e corrente. Ad esempio un MOSFET con carica al *gate* di  $20 \text{ nC}$  può essere acceso in  $20 \mu\text{s}$  alimentando il *gate* con  $1 \text{ mA}$ ; oppure può essere acceso in  $20 \text{ ns}$  se al *gate* arriva  $1 \text{ A}$ . Per esempio durante l'hard switching (il dispositivo commuta sia la tensione che la corrente) di un convertitore buck a semiponte, l'energia immagazzinata in  $C_{oss}$  viene dissipata durante la transizione di turn-on; invece adesso si riesce a ottenere il soft switching perché l'energia dell'induttore viene usata per caricare la capacità di output  $C_{oss}$ .

I dispositivi a semiconduttore hanno il package per migliorare la robustezza meccanica ed essere più facili da maneggiare. A tensioni più alte anche i package devono rientrare nei limiti massimi di tensione di dispersione e rispettare le minime distanze tra le parti conduttive; in ogni caso il package abbassa la performance rispetto al puro semiconduttore perché aumenta i costi, le dimensioni, la *on-resistance*, le induttanze dei contatti e diminuisce la prestazione termica. L'ideale sarebbe un package raffreddato dual side a bassa dispersione.

Ad ogni modo la scelta del package viene effettuata basandosi soprattutto sul tipo di componente, cioè se è verticale (come *SiC* MOSFET) oppure laterale (come e-GaN HEMT). Un componente a struttura laterale si presta bene a un package chip scale, cioè miniaturizzato, mentre in uno a struttura verticale è bene posizionare il terminale posteriore sul circuito stampato. Nel caso dell'e-GaN il package prevede l'avvicinamento dei terminali di *source* e *drain* per minimizzare sia la resistenza della connessione sia le induttanze parassite. L'induttanza comune alla *source* (l'induttanza interna al package connesso al *source* che trasporta entrambe le correnti di ritorno del *gate* e del *drain*) può aumentare di molto le perdite di commutazione ritardando la commutazione del dispositivo tramite l'opposizione indotta alla tensione di gate applicata.

Considerando il circuito di figura 4.8.7, quando il dispositivo raggiunge la tensione di soglia e inizia a trasportare una corrente man mano crescente, il transitorio di corrente induce una tensione attraverso l'induttanza di luogo comune che si oppone alla tensione di comando del gate e che cerca di riportare il componente in *off-state*. Questo discorso vale anche al contrario, cioè al turn-off del dispositivo la tensione indotta si aggiunge a quella del *gate* cercando di mantenere il componente in *on-state*.

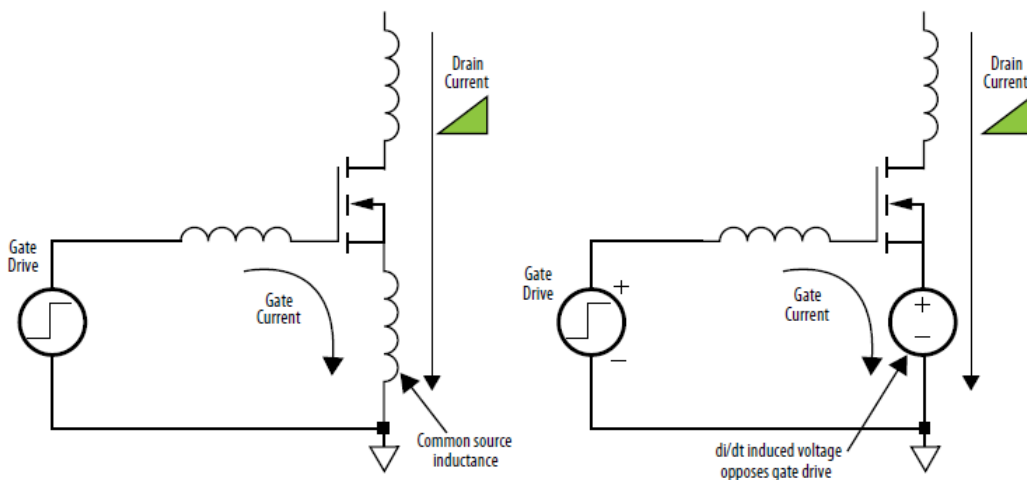


Figura 4.8.6: Circuito equivalente in cui si mostra la tensione indotta da  $di/dt$  generata dalla induttanza di luogo comune.

## 4.9. Conclusioni

Il costo e la qualità del materiale definiranno quale è il miglior dispositivo per una determinata applicazione; naturalmente la velocità con cui le tecnologie del nitruro di gallio e del carburo di silicio progrediscono può cambiare la situazione e il concetto di utilizzo di un dispositivo.

Per quanto riguarda i diodi, il diodo merged-PiN-Schottky si è già affermato come ottimo componente mentre quello Schottky al *GaN* a struttura verticale offre solo un piccolo miglioramento a fronte di costi ancora troppo elevati per essere competitivi. Infatti i diodi al nitruro di gallio sono fortemente dipendenti dal materiale e attualmente i substrati in *Si* e carburo di silicio non sono molto vantaggiosi. Quindi oggi i diodi *SiC* sono i migliori in termini di costo e prestazione.

Per i transistor invece la situazione cambia: i dispositivi *SiC* dimostrano ancora alta resistenza di canale mentre i componenti 2DEG al *GaN* vantano una resistenza bassissima confrontabile persino con quella del silicio. Questo significa che i componenti al *GaN* sono migliori di quelli al *SiC* per basse tensioni di breakdown dove la resistenza della regione di drift è minima. D'altra parte ad alte tensioni di breakdown è importante sfruttare il più possibile la forza del campo elettrico di breakdown; i componenti al *SiC* sono già vicini al limite teorico mentre i dispositivi al *GaN* necessitano ancora di un margine di sicurezza per un funzionamento affidabile e quindi devono subire un derating.

In ogni caso i dispositivi unipolari Wide Band Gap offrono un'elevata velocità di commutazione e funzionamento ad alte temperature, proprietà che vengono però limitate dal package.

## 4.10. Bibliografia

- “*Silicon Carbide Power Transistors*” di Jacek Rabkowski, Dimosthenis Pefitis e Hans-Peter Nee, pubblicato da IEEE Industrial Electronics Magazine, June 2012, pagg.17-26;
- “*Power MOSFET Tutorial*” di Jonathan Dodge, application note APT-0403 di Microsemi, Inc., 2 marzo 2006, ([http://www.microsemi.com/document-portal/doc\\_view/14692-mosfet-tutorial](http://www.microsemi.com/document-portal/doc_view/14692-mosfet-tutorial));
- “*Power Electronics: Converters, Applications and Design*”, 3a edizione, di Ned Mohan, Tore M. Undeland e William P. Robbins, pubblicato da John Wiley and Sons, 2002, pagg.;
- “*SiC power devices – present status, applications and future perspective*” di Mikael Ostling, Reza Ghandi e Carl-Mikael Zetterling, Proceedings of 23<sup>rd</sup> International Symposium on Power Semiconductor Devices and Integrated Circuits, 23-26 May 2011, pagg.10-15;
- “*Selecting eGaN® FET Optimal On-Resistance*”, white paper WP011 di EPC-Co, Inc. (<http://epc-co.com/epc/documents/papers/Selecting%20eGaN%20FET%20Optimal%20On-Resistance.pdf>);
- “*eGaN® FET Electrical Characteristics*”, white paper WP007 di EPC-Co, Inc. (<http://epc-co.com/epc/documents/papers/eGaN%20FET%20Electrical%20Characteristics.pdf>);
- “*Super Materials: Gan and SiC*” di Scott Allen e Lee Stauffer, webinar moderato da Jason Lomberg e offerto da ECN, 20 novembre 2013 (<http://www.ecnmag.com/webinars/2013/11/ecn-webcast-super-materials-gan-and-sic>);
- “*SiC and GaN devices – Competition or Coexistence?*” di N. Kaminski e O. Hilt, 7th International Conference on Integrated Power Electronic Systems (CIPS) 2012, pagg. 1-11;
- “*GaN Power Switching Devices*” di Masahiro Ishida, Yasuhiro Uemoto, Tetsuzo Ueda, Tsuyoshi Tanaka e Daisuke Ueda, International Power Electronics Conference, 2010, pagg.1014-1017;
- [http://en.wikipedia.org/wiki/Miller\\_effect](http://en.wikipedia.org/wiki/Miller_effect)

# COMANDO DEI TRANSISTOR

In questo capitolo verranno presentati i metodi di controllo dei transistor al carburo di silicio e nitruro di gallio. Verrà inoltre esposto un circuito proposto di recente per garantire una commutazione veloce e stabile.

## 5.1. Richiami sui circuiti di comando

I transistor come i MOSFET e i JFET sono comandati in tensione. Se il dispositivo funziona da interruttore, con il pilotaggio in tensione è possibile fornire qualsiasi quantità di corrente nel più breve tempo possibile durante il funzionamento nella regione di saturazione: così facendo si diminuisce il tempo passato nella regione lineare e di conseguenza diminuiscono le perdite.

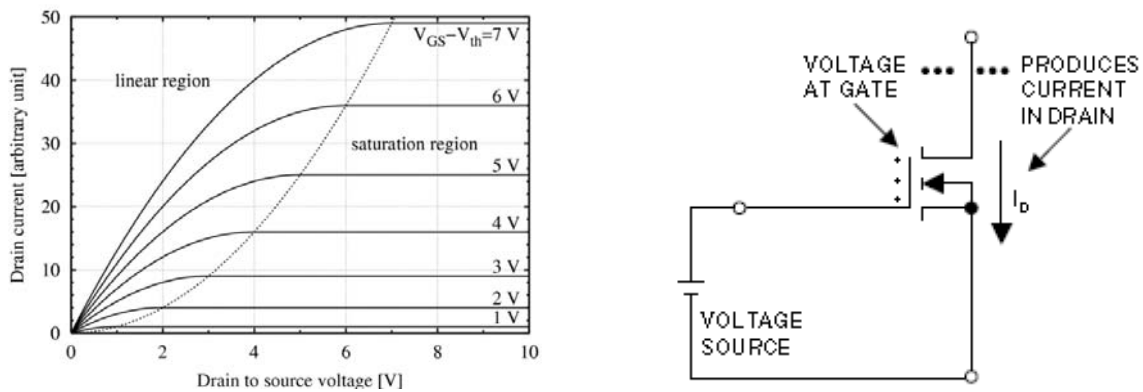


Figura 5.1.1: Caratteristica tensione-corrente di un FET.

Invece se il dispositivo funziona da interruttore nella regione lineare una grossa corrente dal circuito di pilotaggio minimizza gli effetti della capacità di Miller e quindi migliora la banda e riduce la distorsione delle armoniche.

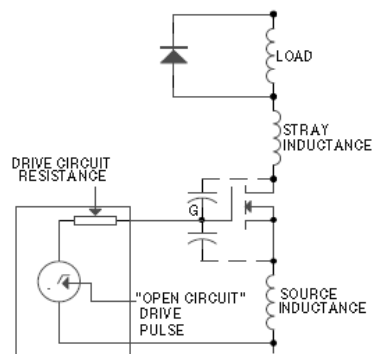


Figura 5.1.2: Circuito per la valutazione delle forme d'onda al turn-on e al turn-off.

Si faccia riferimento al circuito rappresentato in figura 5.1.2 e si consideri il turn-on del MOSFET. Come si può vedere in figura 5.1.3, al tempo  $t_0$  l'impulso di pilotaggio inizia a salire per poi

raggiungere la tensione di soglia del MOSFET al tempo  $t_1$ ; nello stesso momento la corrente di *drain* inizia a crescere.

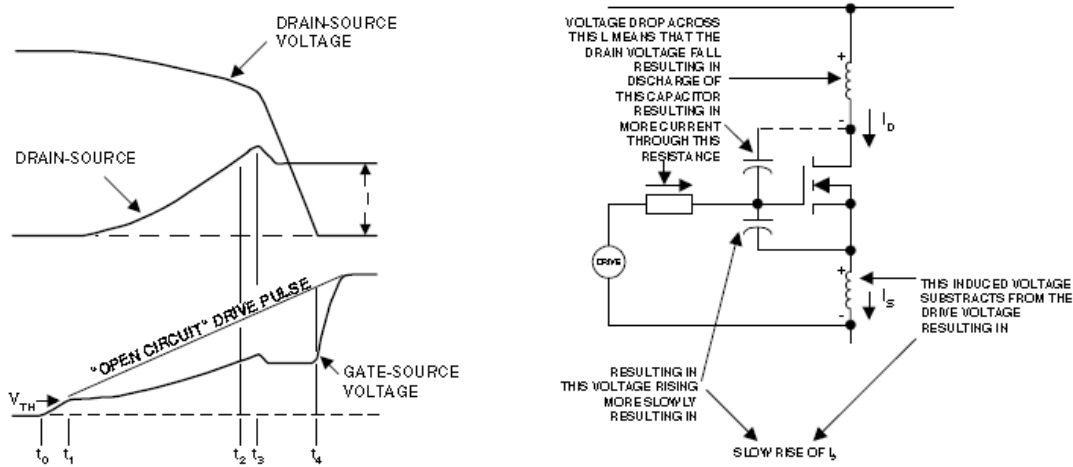


Figura 5.1.3: Forme d'onda del MOSFET durante il turn-on.

A questo punto, la corrente di source crescente induce una tensione nell'induttanza comune alla *source*, cioè l'induttanza in serie con la *source* che è in comune con il circuito di comando. Questa tensione si oppone alla tensione applicata dal circuito di pilotaggio e rallenta la crescita della tensione tra *gate* e *source*: ciò a sua volta rallenta l'aumento della corrente di *source*. Aumentando la corrente di *source* si induce al *gate* una tensione che tende a resistere al cambiamento di corrente. Inoltre durante l'intervallo di tempo tra  $t_1$  e  $t_2$  si ha una caduta nella tensione *gate-source* dovuta alle induttanze parassite in serie con il *drain*. Questa diminuzione della tensione *gate-source* causa una scarica di corrente attraverso la capacità tra *drain* e *gate*, che a sua volta aumenta la caduta di tensione ai capi dell'impedenza di *source* del circuito di pilotaggio. Chiaramente, minore è l'impedenza del circuito di comando, minore è questo effetto. Aumentando la corrente di *drain* si ottiene una caduta della tensione tra *drain* e *source*: anche questo rallenta a sua volta l'aumento della tensione *gate-source* e tende ad opporsi alla crescita della corrente di *drain*. All'istante  $t_2$  la corrente nel MOSFET raggiunge il valore di  $I_{dfr}$ , che è la corrente che scorre nel diodo di ricircolo; invece nell'intervallo successivo mentre la corrente del MOSFET continua a scorrere una corrente pari a  $I_{dfr}$  mentre il diodo va in recupero. Al tempo  $t_3$  il diodo freewheeling inizia a supportare la tensione e la corrente e la tensione di *drain* cominciano a calare; la velocità con cui diminuisce la tensione di *drain* dipende quasi esclusivamente dalla capacità di Miller. Si raggiunge una condizione di equilibrio in cui la tensione di *drain* scende giusto alla velocità necessaria alla tensione tra *gate* e *source* per soddisfare il livello di corrente di *drain* stabilito dal carico. Questo è il motivo per cui la tensione *gate-source* cala come la corrente di recupero del diodo di ricircolo e poi si mantiene costante a un livello pari alla corrente di *drain* mentre la tensione di *drain* cala. Ovviamente più bassa è l'impedenza del circuito di pilotaggio, più alta è la corrente di scarica attraverso la capacità tra *drain* e *gate* e più veloce è il calo della tensione di *drain* e le perdite di commutazione. Alla fine all'istante  $t_4$  il MOSFET è totalmente in *on-state* e la tensione tra *gate* e *source* sale rapidamente verso il valore di "circuito aperto" applicato.

Simili considerazioni si possono fare per il turn-off: considerando il grafico in figura 5.1.4, a  $t_0$  la tensione di *gate* inizia a calare finché raggiunge un valore che permette di sostenere la corrente di *drain*. La tensione tra *drain* e *source* inizia quindi ad aumentare. La capacità di Miller mantiene la tensione *gate-source* a un livello corrispondente alla corrente di *drain*. Analogamente rispetto al turn-on, più bassa è l'impedenza del circuito di pilotaggio, più grande è la corrente di carica che fluisce nella capacità tra *drain* e *gate* e più veloce è il tempo di salita della tensione di *drain*. Al tempo  $t_3$  la salita della tensione di *drain* è terminata e la tensione di *gate* e la corrente di *drain* cominciano a calare a una velocità dipendente dall'impedenza tra *gate* e *source*.

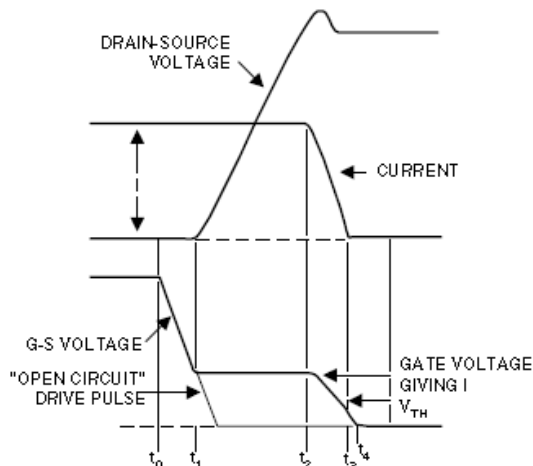


Figura 5.1.4: Forme d'onda del MOSFET durante il turn-off.

In sostanza, una bassa impedenza del circuito di pilotaggio è importante per ottenere delle buone prestazioni in frequenza. Anche nei casi in cui il comportamento in frequenza non è di importanza fondamentale, una bassa impedenza serve a limitare transitori di tensione indesiderati al *gate* e tenere la tensione al di sotto del valore di soglia.

Uno dei modi più efficaci e utilizzati a livello commerciale per pilotare i MOSFET è il circuito totem pole bipolare, riportato in figura 5.1.5. In questo caso il segnale di output del controllore PWM non deve essere invertito perché i transistor del circuito sono dei BJT; se invece fossero dei MOSFET allora deve essere invertito, senza contare poi i circuiti di comando aggiuntivi che aumentano la complessità del sistema. Come tutti i sistemi di pilotaggio esterni, questo circuito gestisce i picchi di corrente e le perdite rendendo più favorevoli le condizioni di esercizio per il controllore PWM.

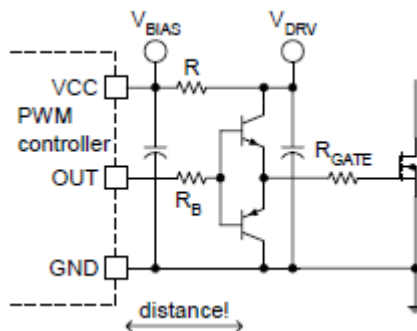


Figura 5.1.5: Circuito totem pole bipolare con BJT.

Chiaramente questo sistema deve essere posizionato vicino al MOSFET da comandare: in questo modo gli elevati transitori di corrente dovuti al pilotaggio rimangono in una piccolissima area di loop e quindi viene ridotta l'entità delle induttanze parassite. Il circuito di comando necessita di un proprio condensatore di bypass che è piazzato tra i collettori del BJT npn superiore e del BJT pnp inferiore; idealmente c'è un resistore o un induttore che serve a filtrare il rumore tra il condensatore di bypass del controllore a PWM e quello del circuito totem pole. La resistenza  $R_{gate}$  di figura 5.1.5 è opzionale e  $R_B$  deve essere dimensionata per ottenere l'impedenza di *gate* richiesta. Un proprietà interessante del totem pole bipolare è che i due BJT si proteggono a vicenda dal breakdown; un altro beneficio è che, assumendo che l'area di loop sia molto piccola e che  $R_{gate}$  sia trascurabile, i due BJT possono limitare la tensione di *gate* tra  $V_{BIAS} + V_{be}$  e  $GND - V_{be}$  sfruttando i *body diode* dei transistor. Inoltre, grazie a quel meccanismo di limitazione della tensione, il circuito di pilotaggio

totem pole basato sui BJT npn-pnp non ha bisogno di diodi Schottky per la protezione dalla corrente inversa.

## 5.2. Comando dei dispositivi al SiC

I circuiti di comando di *gate* e *base* devono garantire una veloce commutazione per i dispositivi al SiC ma anche avere meno perdite possibili. È preferibile che i dispositivi al carburo di silicio funzionino ad alte temperature dato che possono farlo con variazioni trascurabili delle caratteristiche elettriche. I controlli per i MOSFET al SiC sono essenzialmente gli stessi per quelli al silicio con la differenza che in *on-state* è richiesta una tensione di gate più alta (più di 20 V).

## 5.3. Comando del BJT al SiC

Il BJT al carburo di silicio è un dispositivo comandato in corrente e richiede una certa corrente in *base* durante l'*on-state*. Il circuito più semplice per BJT al SiC consiste in un resistore connesso in serie con la base, alimentata da una sorgente di tensione.

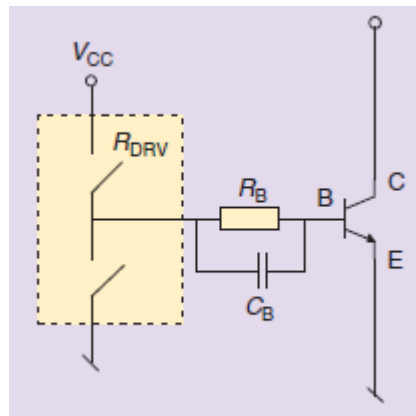


Figura 5.3.1: Circuito di comando del BJT al carburo di silicio.

La prestazione in frequenza di questo comando è però scarsa a basse potenze. Ciò si potrebbe risolvere collegando un condensatore speed-up in parallelo con il resistore, ma il miglioramento dipenderebbe dalla tensione di alimentazione: più alta è la tensione, più veloci i transistori ma allo stesso tempo più alte le perdite. Sembra quindi che per questo circuito di pilotaggio sia necessario fare un compromesso tra prestazioni di commutazione e perdite di commutazione.

Per cercare di combinare prestazioni e consumo di potenza, si può utilizzare un comando di *base* composto da due sorgenti di tensione. Si possono ottimizzare le perdite del sistema collegando la sorgente di bassa tensione alla resistenza di *base*, quest'ultima scelta con attenzione. Al turn-on del BJT, la *base* riceve picchi di corrente; in questo modo si ottiene un rapido turn-on.

## 5.4. Comando del JFET al SiC normally-off

Anche se il vertical trench JFET al carburo di silicio sembra essere un componente controllato in tensione, è necessaria una corrente non indifferente durante lo stato di conduzione per ottenere un'accettabile *on-resistance*. Inoltre, per avere una ricarica più rapida della capacità *gate-source* del dispositivo, si dovrebbe alimentare il *gate* con picchi di corrente. È stato proposto un pilotaggio a due entrate (*two-stage gate drive*) con resistori per un JFET normally-off da 1200 V/30 A.

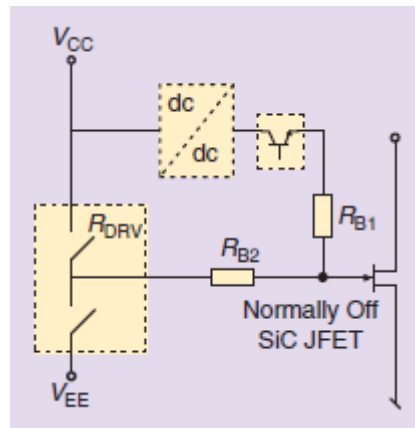


Figura 5.4.1: Circuito di comando del JFET normally-off al carburo di silicio.

Questo circuito è composto da due parti, una dinamica e una statica. La prima ha una un circuito standard e un resistore  $R_{B2}$  e serve a fornire alta tensione, quindi picchi di corrente, per un veloce turn-on e turn-off del JFET; la seconda è composta da un convertitore DC/DC buck, un BJT e un resistore  $R_{B1}$ . Il BJT ausiliario viene portato in *on-state* quando la parte dinamica ha svolto il suo compito. Un vantaggio importante di questo circuito è che non ci sono condensatori speed-up: quindi non ci sono limitazioni al duty cycle dovute ai tempi di carica e scarica.

## 5.5. Comando del JFET al SiC normally-on

Il JFET al carburo di silicio è un dispositivo controllato in tensione. Quindi una tensione *gate-source* negativa, più bassa della tensione di pinch-off, è richiesta per mantenere il dispositivo in *off-state*. Il metodo di comando più usato è stato proposto qualche anno fa.

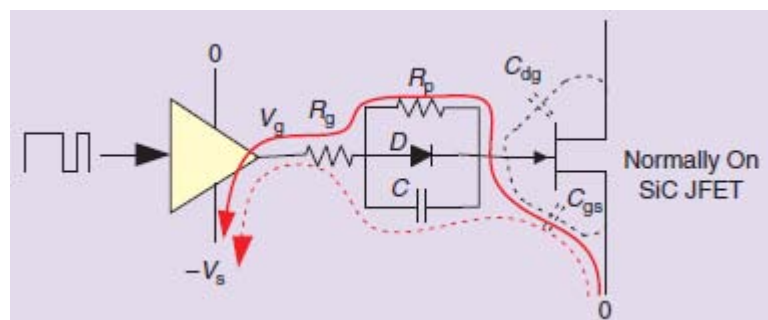


Figura 5.5.1: Tipico circuito di pilotaggio del JFET normally-on al carburo di silicio.



La parte principale del circuito di comando è una rete connessa in parallelo che consiste in un diodo  $D$ , un condensatore  $C$  e un'alta resistenza  $R_p$ . Il resistore di  $gate$  è collegato in serie con il  $gate$ . Durante l'*on-state* del JFET al  $SiC$  l'output del buffer ( $V_g$ ) vale  $0 V$  e il dispositivo conduce. Quando avviene il turn-off del JFET la tensione del buffer va da  $0 V$  a  $-V_s$ : in questo istante un picco di corrente arriva alla giunzione  $gate-source$  del JFET tramite la resistenza di  $gate$  e il condensatore  $C$ . In questo modo si carica la capacità parassita della giunzione  $gate-source$  e la caduta di tensione ai capi del condensatore  $C$  è uguale alla differenza tra  $-V_s$  e la tensione di breakdown del  $gate$ . In regime stazionario, per tenere in *off-state* il JFET basta una piccola corrente al  $gate$ : questa corrente proviene dalla resistenza  $R_p$ . Si noti che è di vitale importanza scegliere bene il valore di  $R_p$  per evitare il breakdown della giunzione  $gate-source$ . In ogni caso è possibile adattare la prestazione in frequenza a qualunque velocità di commutazione selezionando il valore appropriato per la resistenza di  $gate$ . Nonostante i vantaggi del JFET al carburo di silicio normally-on, il grande problema di questo dispositivo è che si può avere un shoot through potenzialmente distruttivo nel caso che il controllo di  $gate$  perda la sua alimentazione.

Come già accennato prima, il  $SiC$  JFET è un dispositivo normally-on ed è necessaria una tensione negativa al  $gate$  per portarlo in *off-state*. La tensione di pinch-off è circa  $-30 V$ ; ma dato che quest'ultima varia con la temperatura di giunzione e che il comportamento dinamico della tensione tra  $drain$  e  $source$  causato dalla capacità di Miller influisce sulla tensione di  $gate$ , bisognerebbe applicare una tensione negativa più grande per garantire il turn-off del transistor. Ciò è complicato dal fatto che il limite di breakdown della giunzione  $gate-source$  si aggira intorno ai  $-40 V$  o comunque vicino alla tensione di pinch-off e dipende dalla temperatura di giunzione.

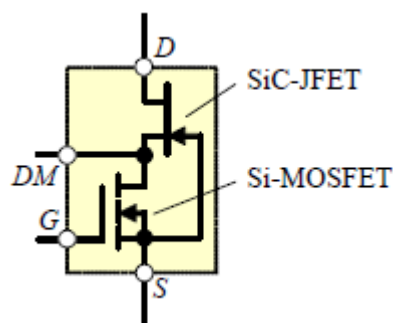


Figura 5.5.2:  $SiC$  JFET normally-on in cascata con un MOSFET al silicio normally-off.

Un  $SiC$  JFET e un MOSFET al silicio in cascata può essere una soluzione per migliorare il turn-off, ma ci sono degli inconvenienti: prima di tutto il MOSFET al silicio limita la massima temperatura di operazione e la velocità di commutazione per applicazioni in configurazione a ponte; inoltre collegando in serie due dispositivi aumentano le perdite di conduzione. Quindi in figura 5.5.3 viene proposto un modo di comandare in sicurezza il JFET al carburo di silicio senza ricorrere al sistema in cascata e quindi utilizzare un MOSFET al silicio normally-off.

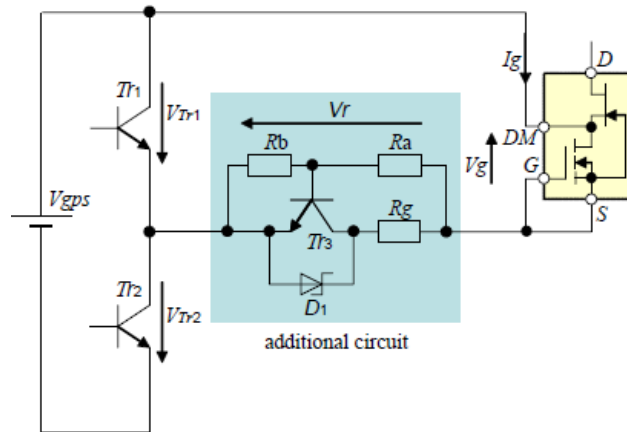


Figura 5.5.3: Circuito di comando del JFET al SiC.

Il SiC JFET è portato in *on-state* dal transistor  $T_{r1}$  e riportato in *off-state* da  $T_{r2}$  con un circuito addizionale per limitare la corrente di gate.

Al tempo  $t_1$  si ha la tensione di gate  $V_g$  pari a 0 subito dopo che  $T_{r2}$  è in *on-state*. La tensione risultante lungo tutto il circuito addizionale ( $V_r$ ) viene suddivisa tra  $R_a$  e  $R_b$ ;  $T_{r3}$  è portato in *on-state*. La corrente di gate è limitata da  $R_g$  che però è molto minore della somma di  $R_a$  e  $R_b$ . Il JFET al SiC è portato in *off-state* quando  $V_g$  supera la tensione di pinch-off. Dopo  $T_{r3}$  è in *off-state* automaticamente perché la tensione  $V_r$  sta calando.

Al tempo  $t_2$  il transistor  $T_{r3}$  è in *off-state* e la corrente  $I_g$  è limitata da  $R_a$  e  $R_b$  secondo la formula:

$$I_g = \frac{V_{gps} - V_g - V_{Tr2}}{R_a + R_b}$$

dove  $V_{gps}$  è la tensione a cui viene alimentato il gate; la tensione ai capi di  $V_{Tr2}$  è circa 0 V.

Al tempo  $t_3$ ,  $T_{r1}$  è in *on-state* e la corrente di gate fluisce in  $T_{r1}$ ,  $D_1$  e  $R_g$ . Nel momento in cui la tensione di gate si riduce a zero, nel JFET al carburo di silicio avviene il turn-on.

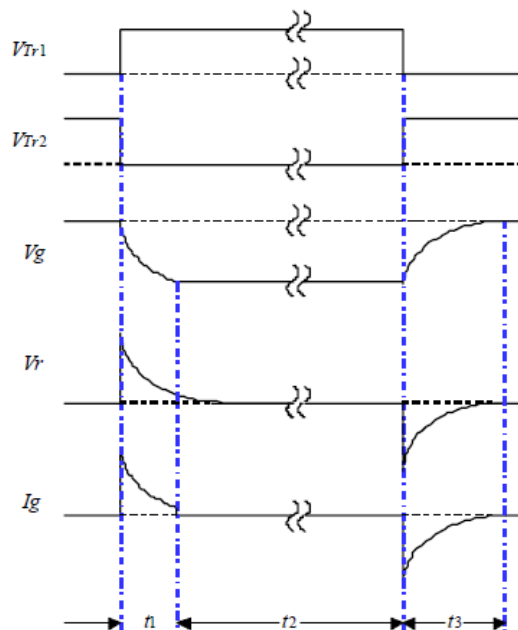


Figura 5.5.4: Forme d'onda del circuito di comando.

Per testare l'efficacia di questo metodo sono stati approntati due circuiti, riportati in figura 5.5.5, per eseguire le misure: uno per il sistema in cascata e uno per il JFET singolo.

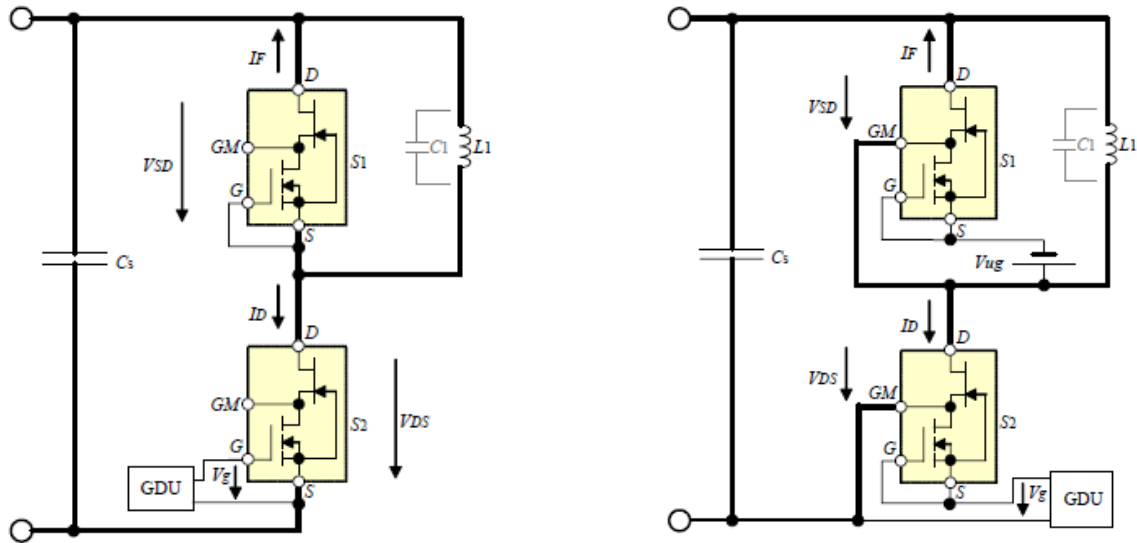
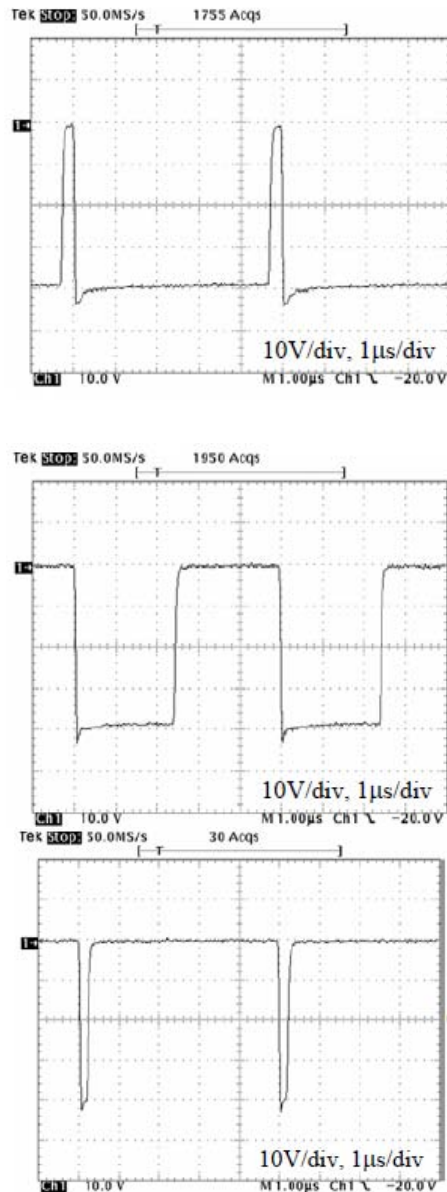


Figura 5.5.5: Circuito di prova per il sistema in cascata (a sinistra) e per il JFET singolo (a destra).

L'operazione del circuito di controllo del gate è stato verificato a corrente di *drain* nulla per un JFET al *SiC* che mostra una tensione di breakdown della giunzione *gate-source* inferiore rispetto alla tensione di alimentazione del *gate*. Le forme d'onda della tensione di *gate* per una frequenza di 200 kHz e una temperatura di giunzione di 125 °C sono riportate in figura 5.5.6.



**Figura 5.5.6:** Forme d'onda di tensione del *gate*. Rispettivamente il duty cycle è 0.05 (in alto), duty cycle 0.5 (in mezzo) e duty cycle 0.95 (in basso)

Nelle prove la massima tensione negativa di *gate* è automaticamente limitata a  $-38.5\text{ V}$  per una corrente di *gate* pari a  $300\ \mu\text{A}$ . I tempi di discesa e risalita sono rispettivamente di  $40\text{ ns}$  e  $71\text{ ns}$  e ciò garantisce un'ottima prestazione in frequenza del JFET al carburo di silicio.

I risultati del paragone tra il comportamento in frequenza del sistema in cascata *SiC* JFET-*Si* MOSFET e del singolo *SiC* JFET in combinazione con il driver precedentemente spiegato sono riportati nei grafici in figura 5.5.7.

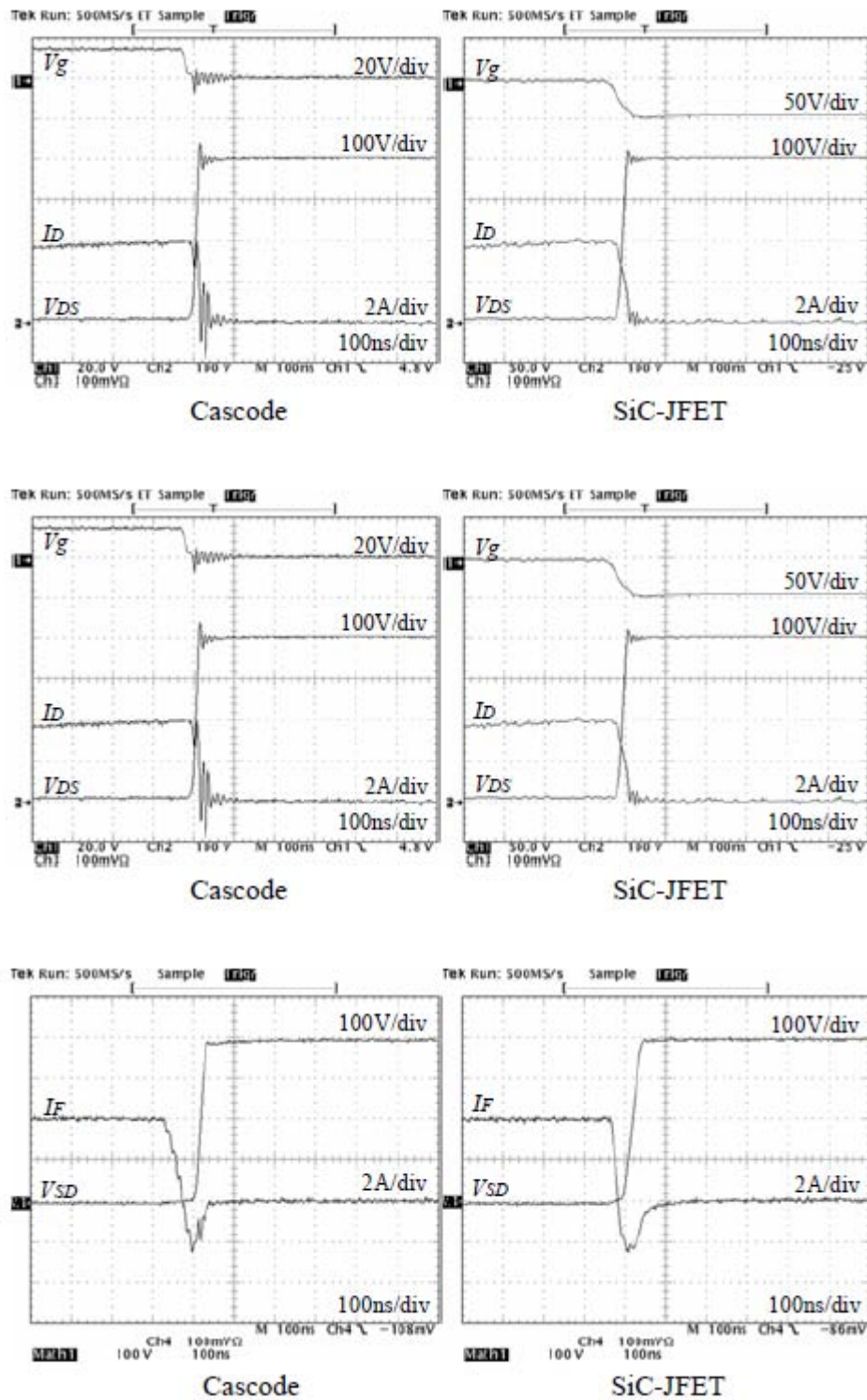


Figura 5.5.7: Confronto del comportamento al turn-on (in alto), al turn-off (in mezzo) e nel tempo di recupero (in basso).

Secondo le specifiche del *body diode* del MOSFET al silicio, il transitorio di tensione attraverso il transistor è limitato a  $6 \text{ kV}/\mu\text{s}$  selezionando un resistore di *gate* di  $390 \Omega$  al turn-on e di  $5 \Omega$  al turn-off. Rispetto al sistema in cascata il SiC JFET mostra oscillazioni ridotte durante i transitori di commutazione. Non è necessario alcun circuito snubber quindi il convertitore rimane di dimensioni compatte. Le perdite sono presentate nei grafici di figura 5.5.8.

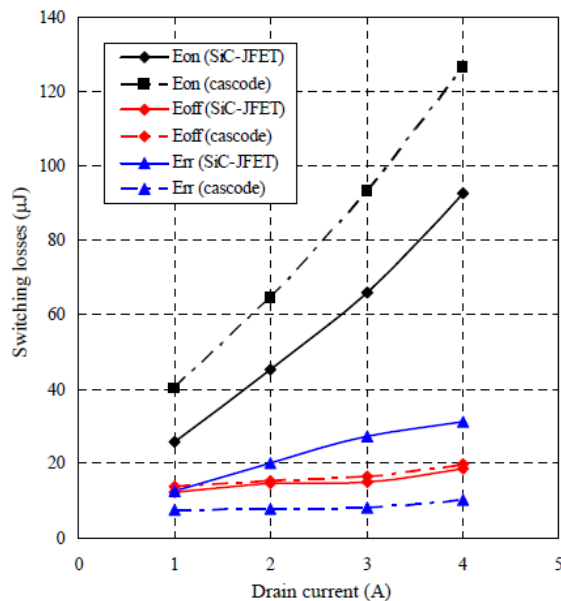


Figura 5.5.8: Perdite di commutazione rispetto alla corrente di *drain* per temperatura di giunzione di 125 °C.

Le perdite di recupero *Err* del sistema in cascata sono più basse di quelle relative al singolo JFET al carburo di silicio. Tuttavia il JFET al *SiC* vanta minori perdite al turn-on e turn-off rispetto al sistema in cascata. Alla fine le perdite totali del JFET al carburo di silicio con il controllo di *gate* presentato prima ha perdite di commutazione più basse del 9%.

## 5.6. Circuito di assistenza per transistor al *SiC*

Il transistor al *SiC* ha una grande capacità di Miller. Questo valore va ad aumentare la tensione di *gate* che tiene in *off-state* il *SiC* JFET. Se la tensione indotta supera la tensione di soglia del transistor, si ha un turn-on forzato. Questo evento ha un effetto deleterio sul circuito di una configurazione a ponte e ne limita la prestazione in frequenza. Per eliminare l'aumento di tensione è necessario un circuito addizionale: tuttavia ciò aumenterebbe l'ingombro e la potenza consumata per comandare il circuito.

Una soluzione potrebbe essere quella di usare un circuito di assistenza basato su un transistor pnp in serie con un condensatore, posizionati tra *gate* e *source* per garantire una commutazione veloce e stabile. Il circuito addizionale consiste dunque in un transistor pnp, un resistore di *gate* e due condensatori addizionali. Entrambi i condensatori addizionali hanno capacità superiore al JFET; la capacità tra collettore del transistor pnp e il *source* del JFET ha un valore superiore all'altro condensatore aggiuntivo. Questo metodo può essere applicato a qualunque dispositivo indipendentemente dalla tensione di soglia: JFET (sia normally-on che normally-off), MOSFET e IGBT.

Quando nel JFET1 avviene il turn-on, la tensione *drain-source* del JFET2 sale fino al valore di offset circa. Poi la differenza di tensione ai capi del JFET2 genera la corrente dal *drain* del JFET2 alla resistenza  $R_2$  fino alla capacità  $C_4$ . Quindi la corrente del JFET2 va nel condensatore  $C_3$  come corrente di collettore di  $Q_2$ . La crescita di tensione tra *gate* e *source* del JFET2 viene controllata per essere inferiore alla tensione di soglia dal momento che il condensatore  $C_3$  ha abbastanza capacità per

assorbire la variazione di tensione. In questo modo, rappresentato in figura 5.6.1, si può evitare un'attivazione forzata del transistor.

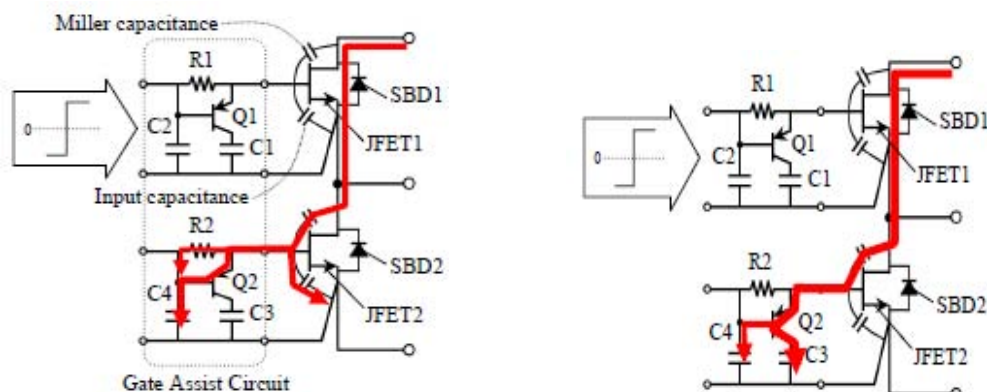


Figura 5.6.1: Funzionamento del circuito di assistenza per evitare la commutazione forzata.

Al turn-on la capacità di Miller e la capacità di input del JFET1 sono caricate dalla tensione di alimentazione. Nel frattempo  $C_1$  non subisce carica o scarica perché  $Q_1$  è tenuto in *off-state* e la tensione tra base ed emettitore di  $Q_1$  è positiva. Ciò implica che il circuito di pilotaggio è in grado di portare il JFET1 in *on-state* caricando il condensatore  $C_2$  e la capacità all'interno del JFET1.

Al turn-off il circuito porta una tensione negativa e  $C_2$  viene scaricato. Allo stesso tempo una parte della carica del JFET1 va in  $R_1$  e alla *base* dell'interruttore  $Q_1$ ; il resto della carica va in  $C_1$  perché la corrente di *base* di  $Q_1$  fa condurre l'interruttore. La corrente che scorre attraverso  $R_1$  e la *base* di  $Q_1$  è molto più piccola di quella proveniente da  $C_2$ , che era stato caricato prima. La carica di  $C_1$  non scorre nel circuito di assist, di conseguenza quest'ultimo ha da scaricare la stessa carica del condensatore  $C_2$ , che è molto minore rispetto a quella di  $C_1$  al fine di portare in *off-state* il JFET1.  $C_1$  è ricaricato lentamente durante l'*off-state* del JFET1.

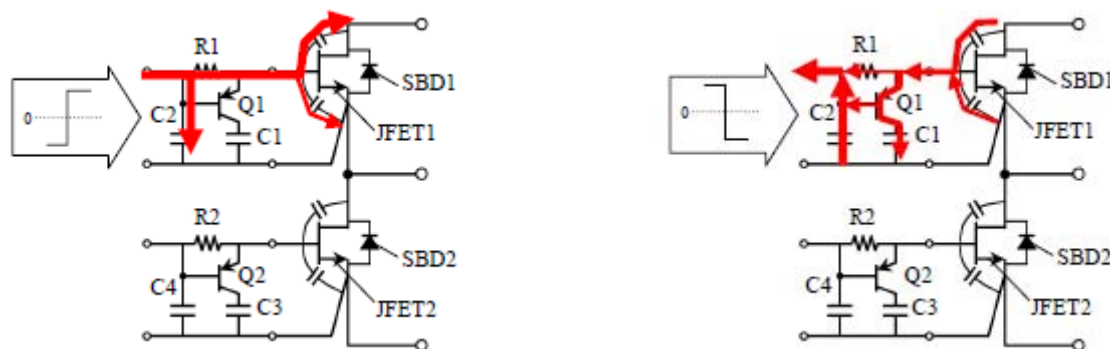


Figura 5.6.2: Funzionamento del circuito di assistenza al turn-on (a sinistra) e al turn-off (a destra).

Sono state svolte delle prove: l'esperimento del doppio impulso per verificare che non avvenisse la commutazione forzata e l'esperimento di commutazione continua per osservare il comportamento del circuito in condizioni reali. (Nel setup per le prove la tensione di *gate* è stata tenuta all'interno dell'intervallo  $+12\text{ V}/-12\text{ V}$  perché i dispositivi avevano una tensione di soglia di circa  $-4\text{ V}$ ). Con il circuito di assistenza proposto la risposta alla commutazione è 5.8 volte più veloce, mentre le velocità di turn-on e turn-off sono migliorate rispettivamente del 12% e del 72%. La ragione per cui il transitorio di commutazione è più corto nel circuito proposto anche se le capacità sono più grandi rispetto al sistema convenzionale è che i transistor pnp  $Q_1$  e  $Q_2$  sono mantenuti in *off-state* durante il turn-on dei JFET.



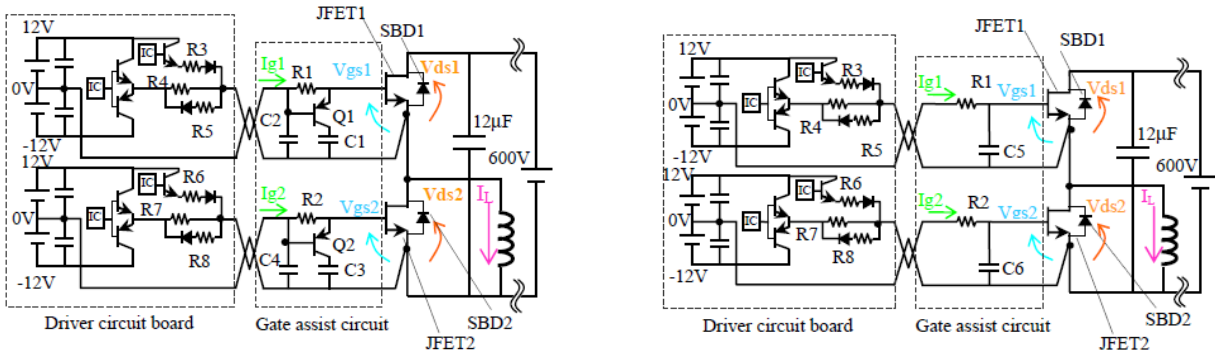


Figura 5.6.3: Sistema di prova per il circuito di assistenza in esame (a sinistra) e per quello convenzionale (a destra).

La corrente di carico cambia non linearmente perché il carico induttivo contiene molte capacità parassite; la non linearità della corrente di carico è indipendente dal circuito di comando e da quello di assistenza perché ha la stessa forma d'onda sia per il circuito convenzionale sia per il nuovo circuito.

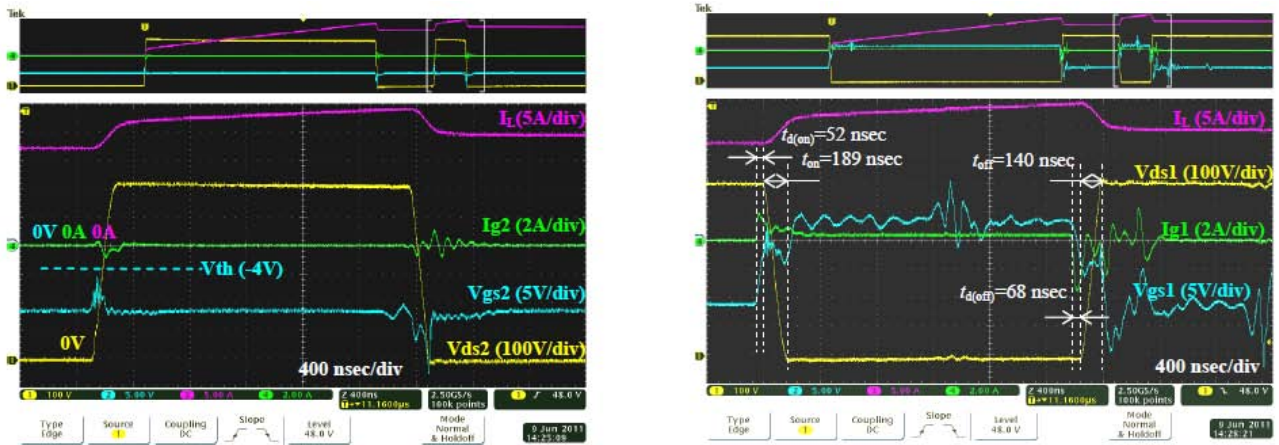


Figura 5.6.4: Forme d'onda misurate del JFET2 (a sinistra) e del JFET1 (a destra) del circuito di assist in esame.

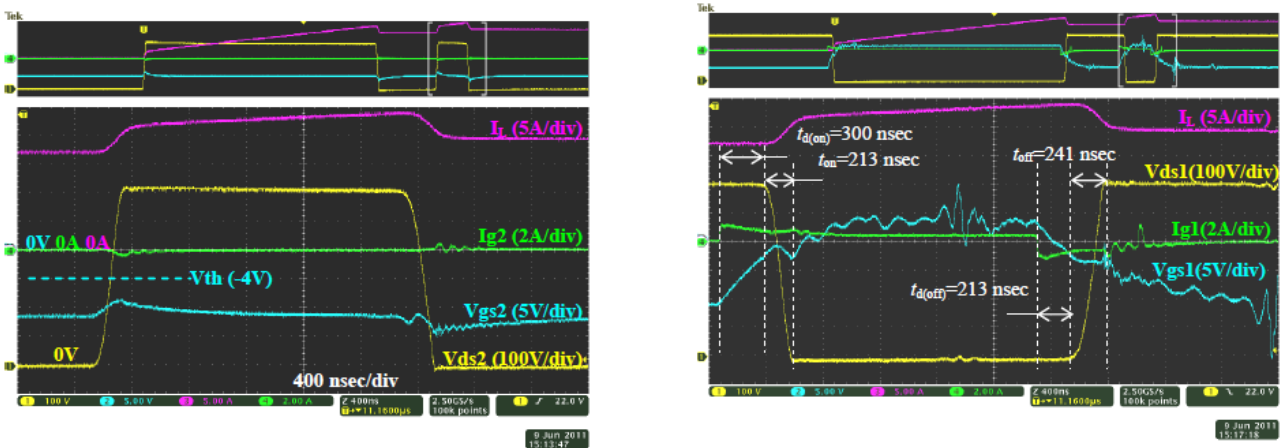


Figura 5.6.5: Forme d'onda misurate del JFET2 (a sinistra) e del JFET1 (a destra) del circuito di assist convenzionale.

Per la prova in commutazione continua il circuito usato è un ponte ad H con carico induttivo e si è simulato un carico reale per valutare fenomeni transitori più distintamente; nello specifico il carico simulato in questo circuito è un inverter trifase. Con riferimento al circuito in figura 5.6.6, JFET1 è commutato con duty cycle di 0.5 e frequenza 50 kHz; il JFET2 invece è commutato con duty cycle di 0.5 e portatori di carica sfasati di 90 gradi in ritardo rispetto a quelli di JFET1. I JFET2 e JFET3



hanno tempi morti di  $0.1 \mu\text{s}$  entrambi rispetto a JFET1 e JFET4; la sequenza di commutazione e la relativa forma d'onda di tensione e corrente dei dispositivi è riportata in figura 5.6.7.

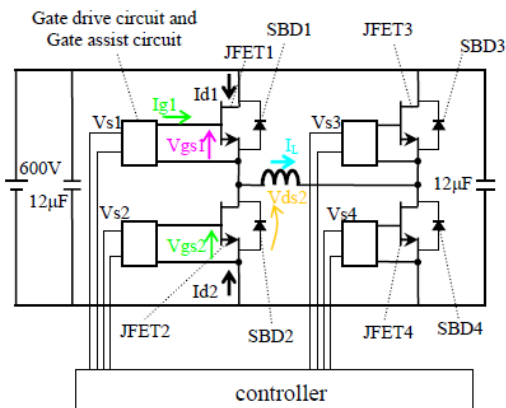


Figura 5.6.6: Circuito per il test della commutazione continua.

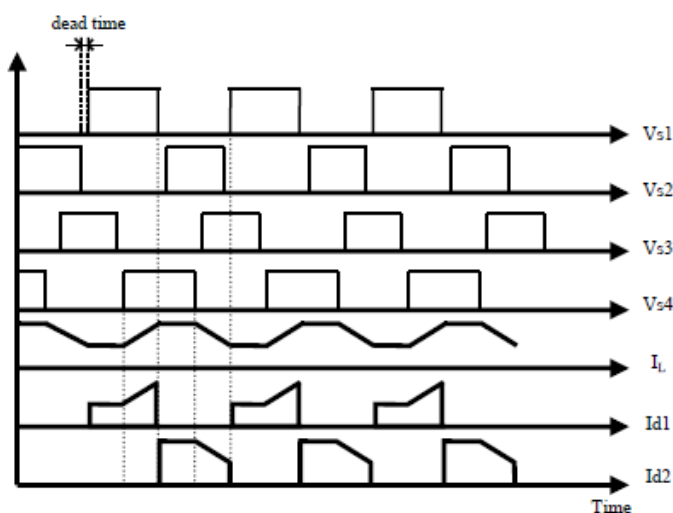


Figura 5.6.7: Sequenza di commutazione e forme d'onda per l'esperienza in commutazione continua.

I grafici in figura 5.6.8 mostrano che il circuito di assistenza proposto è in grado di funzionare bene e con poche perdite e che la risposta del sistema è sufficientemente veloce per un inverter trifase comandato in PWM.

Le cariche necessarie per fare la commutazione dei JFET sono  $208 \text{ nC}$  per il circuito in esame e  $545 \text{ nC}$  per quello convenzionale. Le cariche provengono dall'alimentazione del gate drive; nel circuito proposto sono richieste la metà delle cariche rispetto a prima: ciò significa che il circuito proposto permette di ridurre la capacità dell'alimentazione del gate driver e di aumentare l'efficienza.

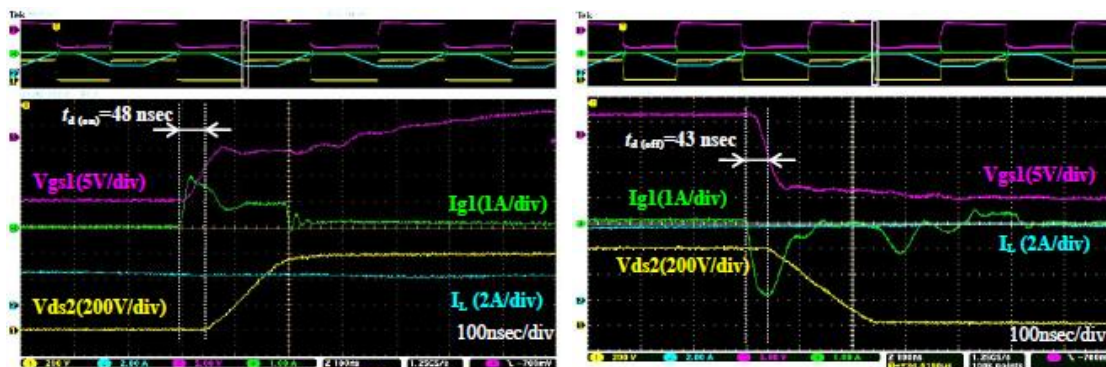


Figura 5.6.8: Corrente di gate misurata per il JFET1 al turn-on (a sinistra) e al turn-off (a destra).

## 5.7. Comando di transistor al *GaN*

Il transistor in *GaN* ha caratteristiche migliori di quelli in carburo di silicio per l'operazione in frequenza e non presenta cali di efficienza anche se succede che una corrente inversa *drain-source* attraversa il FET, ma ha il difetto di avere una bassa tensione di soglia. Ne consegue che il transistor in nitruro di gallio è particolarmente sensibile al rumore nelle applicazioni ad alta frequenza. Per di più, se si applica una grande tensione *gate-source*, scorrerà un'alta corrente tra *gate* e *source* perché la struttura non è isolata.

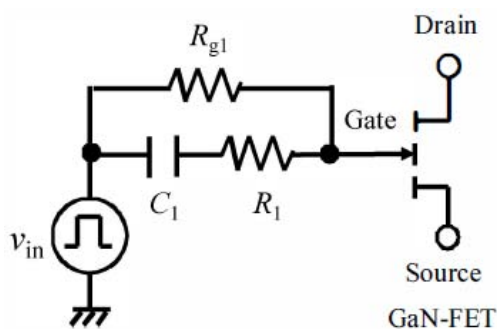


Figura 5.7.1: Circuito *voltage dividing*.

Il controllo *voltage dividing* è riportato in figura 5.7.1. Come detto prima, se il FET in *GaN* non ha una struttura isolata non si può usare il controllo tipico usato dai MOSFET perché tra *gate* e *source* scorrerebbe una grande corrente che andrebbe ad aumentare le perdite. In quel caso si deve aggiungere in parallelo alla resistenza di *gate* un condensatore speed-up e un'ulteriore resistenza. Nel circuito di controllo di figura però la tensione negativa *gate-source* è applicata quando il transistor in nitruro di gallio è in *off-state*.

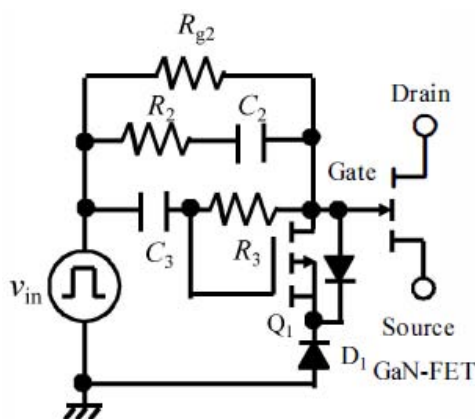


Figura 5.7.2: Circuito *active dischargeable*.

Il controllo *active dischargeable* è rappresentato in figura 5.7.2. Come si vede, al controllo *voltage dividing* viene aggiunto un circuito composto da una resistenza, condensatore speed-up, un MOSFET *p-channel* e un diodo. La capacità e la resistenza aggiuntiva servono a controllare il MOSFET *p-channel*. Con il circuito di figura, la tensione *gate-source* del transistor in *GaN* diventa molto negativa al momento del turn-off e viene bloccata dal diodo momentaneamente. Se il turn-off dovesse essere più veloce si può mettere un'altra resistenza in serie all'interruttore  $Q_1$ . Il diodo serve a limitare la tensione *gate-source* per ridurre le perdite durante la conduzione inversa.

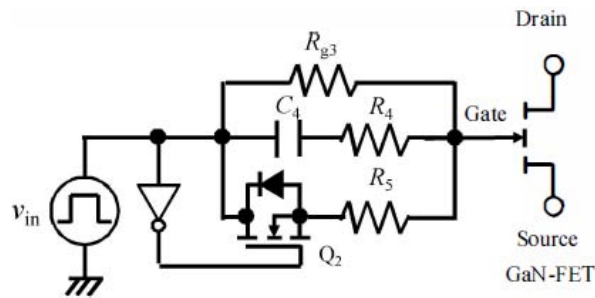


Figura 5.7.3: Circuito di comando innovativo.

Un circuito di comando innovativo è riportato in figura 5.7.3. In questo caso è installato un invertitore logico, un MOSFET *n-channel* e una resistenza in aggiunta al circuito di controllo *voltage dividing*. L'invertitore logico serve ad attivare il MOSFET aggiuntivo quando il transistor in *GaN* è portato in *off-state*. La resistenza  $R_5$  serve a velocizzare il turn-off del FET in nitruro di gallio. In questa configurazione non ci sono il diodo di clamp e il condensatore per regolare l'interruttore ausiliario.

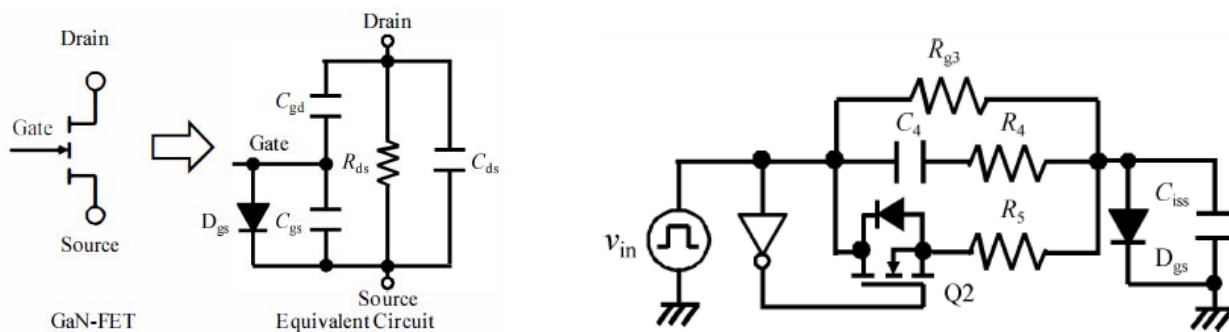


Figura 5.7.4 (sinistra): Circuito equivalente del FET in nitruro di gallio.

Figura 5.7.5 (destra): Circuito equivalente del pilotaggio innovativo del *GaN* FET.

Facendo riferimento al circuito equivalente di figura 5.7.5, l'operazione di questo drive può essere divisa in sei modi:

Nel Mode 1 le capacità  $C_{iss}$  e  $C_4$  si caricano. La tensione *gate-source*, determinata dalla quantità di carica elettrica immagazzinata in  $C_{iss}$ , aumenta fino alla tensione di soglia della giunzione parassita *gate-source*.

Mode 2: Dopo aver completato la carica di  $C_{iss}$ , la corrente scorre attraverso la giunzione parassita e carica  $C_4$  finché la tensione non diventa  $v_{input} - V_{th}$ .

Mode 3: Dopo aver completato la carica di  $C_4$ , tutta la corrente scorre attraverso  $R_{g3}$ .

Mode 4: L'input viene connesso a massa e nell'interruttore  $Q_2$  avviene il turn-on perché si inverte l'input. Le capacità  $C_{iss}$  e  $C_4$  si scaricano finché la tensione non arriva a 0.

Mode 5: Dopo che la capacità  $C_{iss}$  si è scaricata,  $C_4$  continua a scaricarsi tramite le resistenze  $R_4$  e  $R_5$ .

Mode 6: la capacità  $C_4$  si è scaricata completamente quindi non scorre corrente.

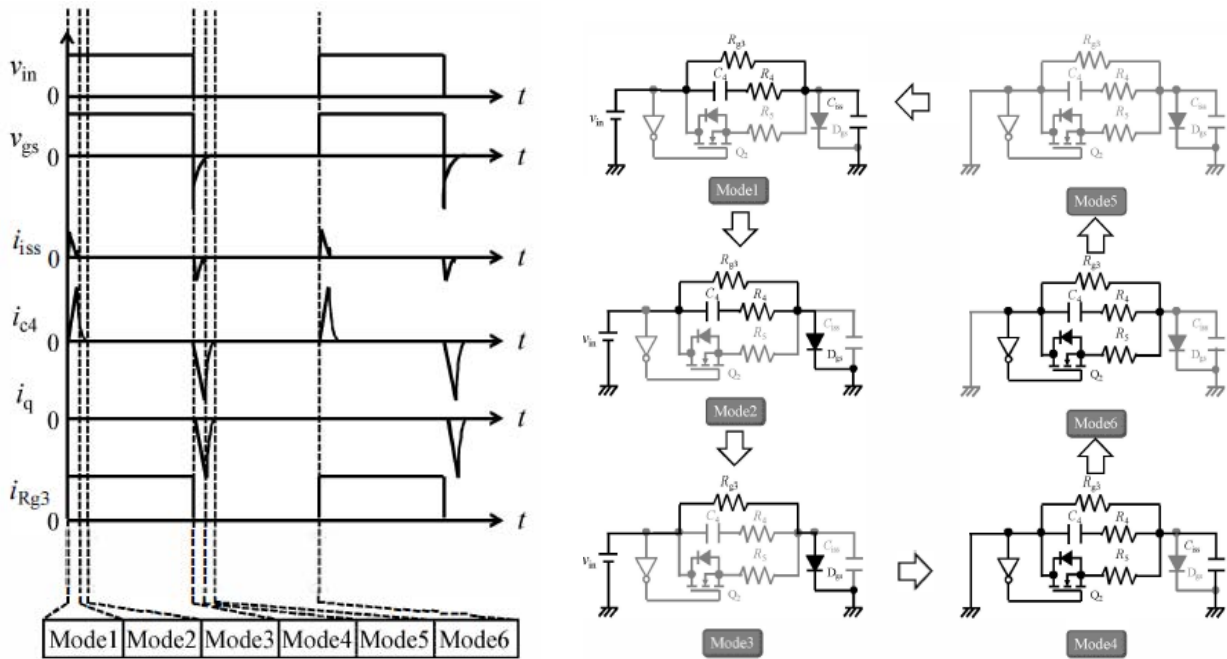


Figura 5.7.6: Fasi di funzionamento e forme d'onda del circuito di comando innovativo.

Guardando in figura 5.7.7 i grafici delle perdite del circuito di comando, si può fare un paragone. Le perdite del controllo innovativo diventano maggiori di quello *active dischargeable* a 700 kHz a causa della scarica non ancora terminata di  $C_4$ . Invece il circuito *dividing voltage* mostra le perdite minori.

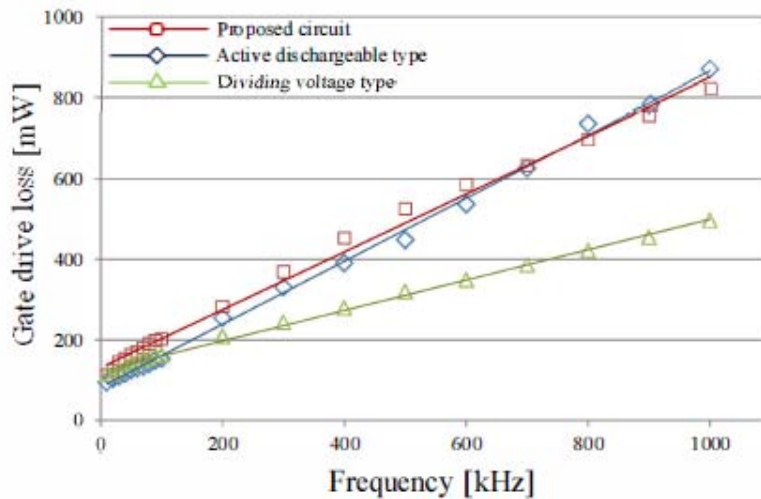
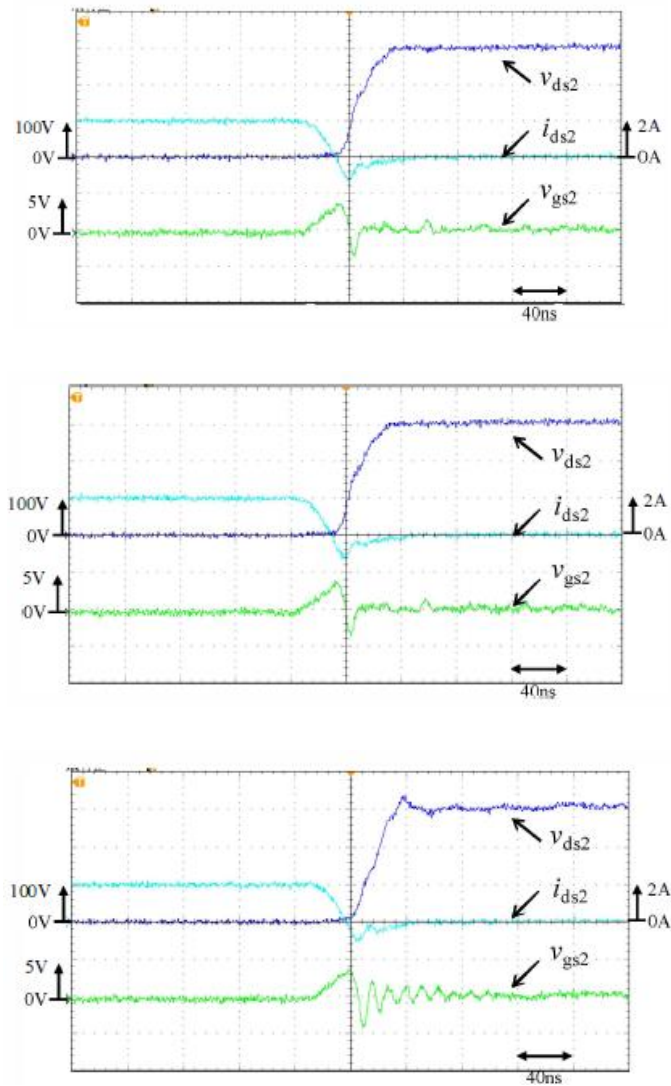


Figura 5.7.7: Confronto delle perdite dei circuiti di comando.

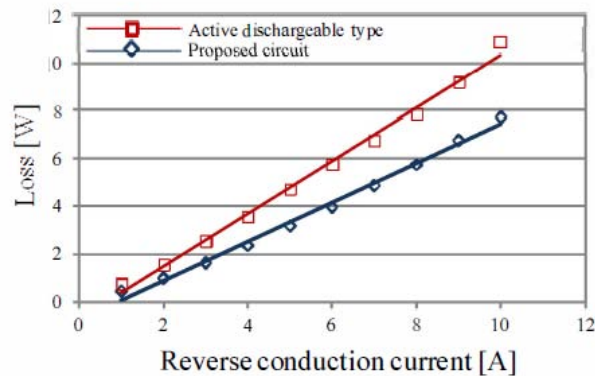
Tuttavia si noti che solitamente le perdite di conduzione inversa sono più grandi delle perdite del comando quindi conviene usare il circuito *dividing voltage* in configurazioni dove non avviene conduzione inversa.

La dinamica del tempo di recupero si può vedere nei grafici seguenti. Quando  $v_{ds2}$  sta salendo e la corrente  $i_{ds2}$  sta scendendo, la tensione  $v_{gs2}$  aumenta leggermente. Ciò significa che  $i_{ds2}$  fluisce quando il transistor in *GaN* è in *off-state*.



**Figura 5.7.8:** Dinamica del tempo di recupero di controllo *dividing voltage* (in alto), *active dischargeable* (in mezzo), circuito innovativo (in basso).

Questo fenomeno è simile alle perdite di recupero ed è stato riscontrato in tutti i circuiti di comando presentati precedentemente; però in quello innovativo la corrente inversa ha un valore leggermente inferiore rispetto agli altri due e quindi è preferibile dal punto di vista delle perdite (anche se la tensione *gate-source* presenta un fenomeno di ringing). Le perdite durante la conduzione inversa aumentano all'aumentare della corrente, come si può vedere nel grafico di figura 5.7.9.



**Figura 5.7.9:** Confronto delle perdite dei circuiti di comando durante la conduzione inversa.

Tuttavia confrontando il controllo *active dischargeable* con quello innovativo si nota che il primo ha perdite via via maggiori rispetto al secondo: questo perché nel caso del primo la tensione *gate-source* è limitata dalla tensione di soglia del diodo  $D_1$ .

Come già spiegato in precedenza, i transistor in e-GaN presentano dei problemi per il pilotaggio: infatti hanno una bassa tensione di soglia, pari a  $1.4\text{ V}$ , e una tensione tra *gate* e *source* massima ammissibile ( $V_{GS,max}$ ) di soli  $6\text{ V}$ , notevolmente più bassa dei comuni MOSFET al silicio. La bassa tensione di soglia influisce sulle perdite al turn-off perché c'è solamente una piccola sorgente di tensione per spostare le cariche dal *gate* quando avviene il turn-off. Per quanto riguarda  $V_{GS,max}$ , per portare completamente il transistor in GaN in *enhancement mode* e ottenere una bassa *on-resistance* (e quindi basse perdite di conduzione) servono dai  $4.5\text{ V}$  ai  $5.5\text{ V}$ , soprattutto a temperature elevate: questo significa che la tensione di offset del circuito di pilotaggio deve essere ben regolata per essere sempre nell'intorno di  $5\text{ V}$ .

Per quanto riguarda il problema della bassa tensione di soglia se ne parlerà in maniera più approfondita nel capitolo successivo, in quanto riguarda tutti i transistor che commutano rapidamente; si parlerà invece dei problemi che comporta la necessità di limitare la tensione di *gate* nell'intorno dei  $5\text{ V}$ . Innanzitutto, durante il turn-on un circuito sottosmorzato causerà una sovralongazione della tensione al *gate* che potrebbe sorpassare il limite massimo: una soluzione a questi due inconvenienti è usare un circuito di pilotaggio che incorpora dei pin separati per sorgente e pozzo (figura 5.7.10).

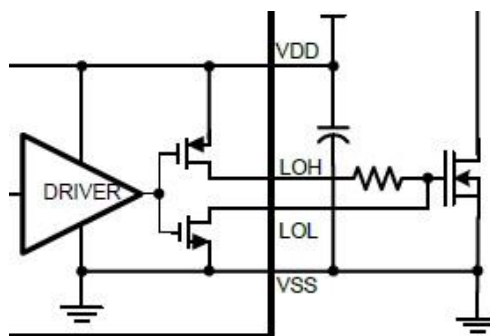


Figura 5.7.10: Output del circuito di comando a pin separati (lato inferiore di un convertitore buck a semiponte).

Esso permette un controllo indipendente del turn-on e del turn-off e quindi rende possibile la modulazione dell'impedenza di turn-on senza influenzare negativamente il turn-off; inoltre evita il problema della caduta di tensione del diodo di bypass in conduzione che altrimenti si dovrebbe utilizzare per migliorare l'immunità al rumore del circuito di comando (figura 5.7.11).

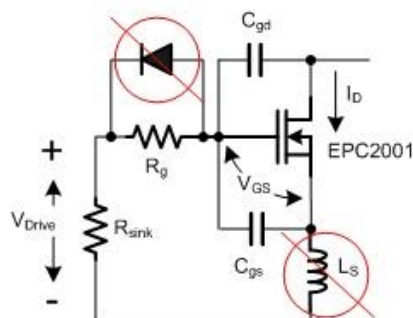


Figura 5.7.11: Schema semplificato del loop di turn-off. Gli elementi barrati rappresentano un problema per il pilotaggio.



Poi c'è il problema dell'alta tensione inversa durante la carica da parte del circuito bootstrap: l'alimentazione da 5 V riferita a massa è facilmente applicabile al circuito di comando della parte inferiore. Il modo più efficace per alimentare il pilotaggio flottante della parte superiore è usare un diodo di bootstrap per caricare il condensatore di disaccoppiamento, come riportato in figura 5.7.12. Quando i transistor in e-GaN sono usati come raddrizzatori e scorre corrente inversa, la tensione tra *source* e *drain* si aggiunge alla tensione flottante dell'alimentazione di bootstrap; siccome nel transistor in e-GaN la tensione inversa dipende dalla corrente inversa, la tensione di bootstrap cambierà in quanto dipendente dalla corrente del dispositivo nella parte inferiore.

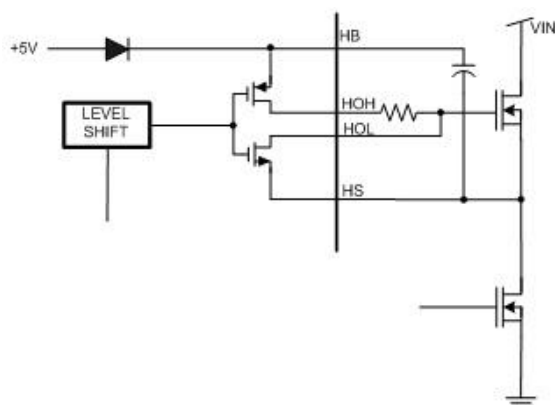


Figura 5.7.12: Output del circuito di comando a pin separati (lato superiore di un convertitore buck a semiponte).

Nonostante questa variazione della tensione di bootstrap possa essere ridotta con una minima ottimizzazione dei tempi morti, il limite massimo della tensione *gate-source* di 6 V impone di eliminare questa variazione. Senza un limitatore esterno, il range della tensione del pilotaggio può essere più grande di 2 V e ciò rende impossibile avere contemporaneamente il completo *enhancement mode* e stare al di sotto dei 6 V in ogni condizione di esercizio. Una soluzione a questo problema consiste nell'aggiungere un limitatore nel circuito bootstrap, come rappresentato in figura 5.7.13, che fermerà la carica del condensatore a 5.5 V: così si può ottenere il pieno *enhancement mode* del transistor in GaN senza stressare troppo il *gate* del dispositivo.

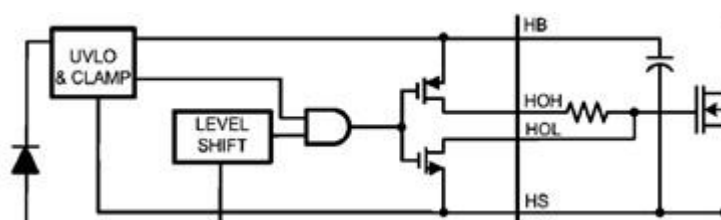


Figura 5.7.13: Limitatore del circuito di comando a pin separati (lato superiore di un convertitore buck a semiponte).

Un'alta tensione inversa comporta anche elevate perdite dovute alla corrente inversa durante i tempi morti. Questo è un problema critico per i progettisti che cercano di aumentare la densità di potenza tirando su la frequenza. La potenza persa durante i tempi morti è espressa dalla formula:

$$P_{dt} = 2 \cdot f_{sw} \cdot V_{SD} \cdot i_R \cdot t_R$$

con  $f_{sw}$  che è la frequenza di commutazione,  $V_{SD}$  che è la tensione inversa del FET,  $i_R$  che è la corrente inversa che scorre nel *body diode* fittizio del FET e  $t_R$  che è il tempo di conduzione inversa per ogni transizione. Come si può vedere, a frequenze molto alte queste perdite possono diventare un contributo notevole alle perdite complessive; ma con il circuito di pilotaggio a pin separati per sorgente e pozzo si possono ritardare e controllare opportunamente i segnali di input. Infine i circuiti

di comando dei transistor in e-GaN devono ovviamente essere capaci di resistere ai transistori di tensione per non eseguire pilotaggi indesiderati.

Un circuito di comando che risolva gli inconvenienti dei transistor in e-GaN esiste già a livello commerciale: ad esempio il gate driver per configurazioni a semiponte LM5113 da 100 V, prodotto dalla National Semiconductors, Inc.; esso adotta le soluzioni esposte precedentemente e ha dimostrato tramite test sperimentali condotti con un convertitore buck di poter sfruttare meglio le opportunità che offrono i FET in e-GaN rispetto ai comuni MOSFET sia in convertitori DC/DC isolati che non isolati.



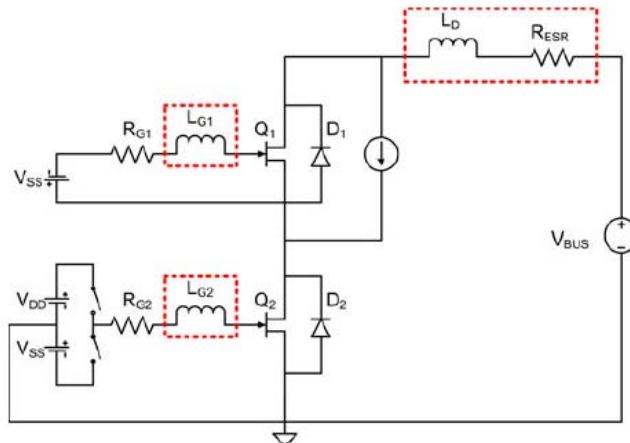
**Figura 5.7.14:** Scheda del convertitore usata nei test.

In figura 5.7.14 si può vedere la scheda del convertitore buck usato per i test sul circuito di pilotaggio. Si vede subito come sia vuota: infatti usando i transistor in GaN è possibile aumentare la potenza di output oppure ridurre la dimensioni dei componenti rispetto alle loro controparti che utilizzano componenti al silicio.



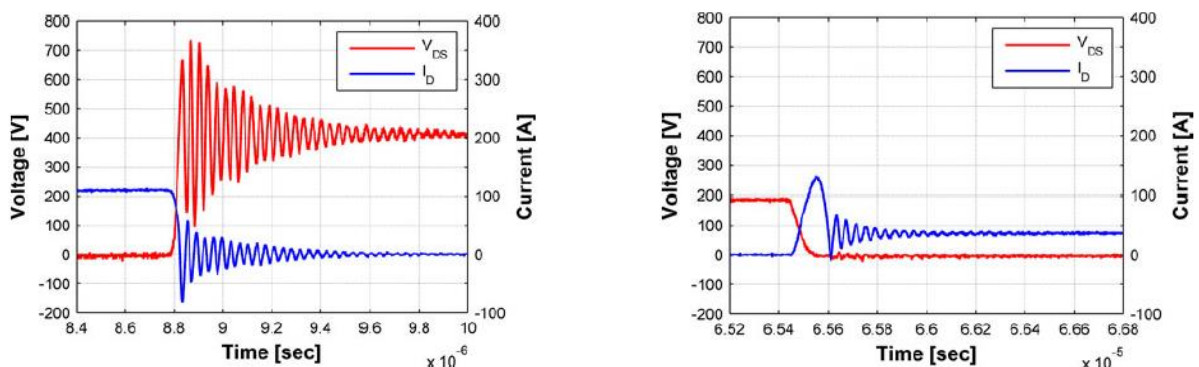
## 5.8. Osservazioni sulla stabilità dei transistor al SiC

Il SiC ha una *on-resistance* specifica minore rispetto ai MOSFET al silicio per alta tensione e presenta una minima corrente di recupero al turn-off; queste caratteristiche sono molto buone ma portano con sé alcuni inconvenienti.



**Figura 5.8.1:** Circuito di test. Gli elementi nei rettangoli tratteggiati sono elementi parassiti. L'interruttore in alto non è attivamente controllato ma è in interdizione. L'induttore di clamp è rappresentato come un generatore di corrente.

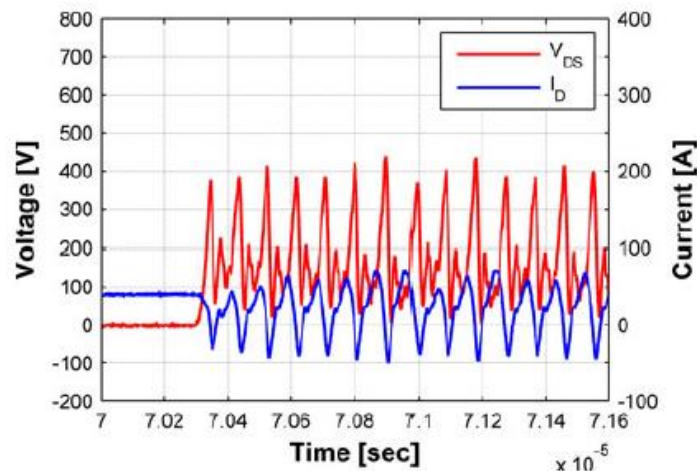
Effetti risonanti che prima erano implicitamente attenuati dalla *on-resistance* del MOSFET oppure mitigati dalla corrente di coda dell'IGBT possono essere riscontrati in una configurazione a base di carburo di silicio. Inoltre i dispositivi al SiC hanno una capacità intrinseca complessiva più bassa rispetto all'attuale tecnologia dei transistor al silicio: ciò significa che i componenti al carburo di silicio commutano velocemente. In una configurazione a semiponte questo fatto crea risonanze negli elementi parassiti (si vede nei grafici sotto forma di oscillazioni smorzate) e causa commutazioni forzate perché il potenziale del canale viene modulato dalla corrente di spostamento che scorre attraverso il *gate*.



**Figura 5.8.2:** Turn-off (a sinistra) e turn-on (a destra) della configurazione a semiponte.

Di solito per fronteggiare il problema delle oscillazioni si usa un circuito RC snubber lungo il bus in alta tensione vicino al semiponte. Nell'altro caso si verifica il shoot through: quest'ultimo avviene quando un interruttore inattivo in un circuito a semiponte subisce un rapido  $dv/dt$  positivo ai terminali di *drain-source* durante il tempo in cui la tensione di *drain* dell'interruttore attivo cala drasticamente. Ciò risulta in una corrente di spostamento positiva attraverso la capacità di Miller pari a  $C \cdot dv/dt$ . Se il circuito di controllo collegato all'interruttore inattivo non può assorbire completamente la corrente di spostamento, la capacità intrinseca *gate-source* verrà caricata e l'interruttore inattivo può essere costretto al turn-on.

Un altro fenomeno che può avvenire sono oscillazioni autosostenute al turn-off dei transistor nella parte inferiore del semiponte. Questo problema può destabilizzare il circuito e addirittura distruggere i dispositivi in certe condizioni.



**Figura 5.8.3:** Turn-off della configurazione a semiponte che mostra oscillazioni autosostenute.

Un esempio si può vedere in figura 5.8.3; in questo caso l'oscillazione continua finché la sorgente di tensione del bus non si esaurisce oppure l'interruttore interessato non si guasta. Questo problema si può anche manifestare sotto forma di una scarica di oscillazioni forzate alla fine del transitorio di commutazione che poi si attenuano come la risposta in evoluzione naturale. Chiaramente questi comportamenti sono un fattore di instabilità.

Per ridurre la possibilità che avvengano oscillazioni autosostenute bisogna ridurre al minimo le induttanze vaganti di *gate*. La resistenza di *gate*  $R_g$  ha un basso valore (inferiore cioè a  $0.5 \Omega$ ) e serve a prevenire il shoot through limitando il *gate* all'output del circuito di controllo; ciò nonostante tende a protrarre il fenomeno delle oscillazioni perché l'attenuazione fornita è trascurabile. È possibile certamente aumentare la resistenza di *gate* per ridurre le oscillazioni ma in cambio viene peggiorata la velocità di commutazione e aumentano le perdite. In alternativa si potrebbe aggiungere un condensatore in parallelo ai terminali *gate-source* del FET: questa capacità aggiuntiva serve a spostare verso il basso la tensione e quindi abbassare la corrente di *drain* associata dove non può produrre oscillazioni. Questo deve essere fatto molto vicino al *die* oppure i benefici della capacità aggiuntiva vengono mitigati dalla serie di induttanze vaganti. Aumentare la capacità *gate-source* aiuta anche a ridurre la probabilità di shoot through perché aumenta la quantità di carica necessaria per portare la tensione tra *gate* e *source* al valore di soglia; il prezzo da pagare è l'aumento della carica elettrica al *gate* richiesta durante i transitori di commutazione. Un sistema misto basato su entrambe le soluzioni è un modo efficace per migliorare la stabilità della configurazione a semiponte basata sui JFET al carburo di silicio.

## 5.9. Bibliografia

- “*Silicon Carbide Power Transistors*” di Jacek Rabkowski, Dimosthenis Pefitis e Hans-Peter Nee, pubblicato da IEEE Industrial Electronics Magazine, June 2012, pagg.17-26;
- “*Design and Application guide for High Speed MOSFET Gate Drive Circuit*” di Laszlo Balogh, application note a cura di Texas Instruments (<http://www.ti.com/lit/ml/slup169/slup169.pdf>);
- “*Optimization of the Drive Circuit for Enhancement Mode Power GaN FETs in DC-DC Converters*” di Youhao Xi, Min Chen, K. Nielson, R. Bell, 27<sup>th</sup> Annual IEEE Applied Power Electronics Conference and Exposition, 2012, pagg.2467-2471;
- “*Proposal and Analysis of Gate Drive Circuit Suitable for GaN-FET*” di Fumiya Hattori e Masayoshi Yamamoto, IECON, 2012, pagg.685-690;
- “*A novel gate assist circuit for a quick and stable driving of SiC-JFETs in a 3-phase inverter*” di Y. Zushi, S. Sato, K. Matsui, Y. Murakami e S. Tanimoto, 27<sup>th</sup> Annual IEEE Applied Power Electronics Conference and Exposition, 2012, pagg.1734-1739;
- “*A Gate Drive Circuit for Silicon Carbide JFET*” di Kazuaki Mino, S. Herold e J.W. Kolar, IECON, 2003, volume 2, pagg.1162-1166;
- “*Stability Considerations for Silicon Carbide Field-Effect Transistors*” di A. Lemmon, M. Mazzola, J. Gafford, C. Parker, IEEE Transactions on Power Electronics, 2003, Volume 28, Issue 10, pagg.4453-4459;

# CONVERTITORI

In questa sezione verranno spiegati le cause e gli effetti delle induttanze parassite sui convertitori composti da transistor al carburo di silicio e nitruo di gallio e verranno proposte le soluzioni per minimizzarne l'impatto. Saranno poi presentati dei convertitori DC/DC con dispositivi al *GaN* e *SiC*.

## 6.1. Effetto delle induttanze parassite

Nei capitoli precedenti si è già parlato ampiamente di come i transistor in *GaN* siano in grado di commutare molto più velocemente di quelli al silicio ed hanno una maggiore efficienza, soprattutto a tensioni basse e bassi livelli di carico. Affinché un convertitore possa raggiungere efficienze ancora più elevate, gli effetti parassiti del layout del package e del PCB devono essere tenuti in grande considerazione durante la fase di progetto.

Nelle tipiche transizioni in hard switching, le perdite di commutazione sono influenzate soprattutto da due parametri: la carica di Miller ( $Q_{GD}$ ) che determina la rapidità di crescita e decrescita della tensione e la carica *gate-source* per una tensione compresa tra il valore di soglia e quello di plateau ( $Q_{GS2}$ ) che stabilisce la rapidità di crescita e decrescita della corrente. Riferendosi alla figura 6.1.1, il turn-off comincia con il calo della tensione *gate-source*; quando quest'ultima raggiunge il plateau, la tensione ai capi del dispositivo inizia a salire comandata dalla corrente di *gate*. Durante questo intervallo ci sono delle perdite nel dispositivo perché tra i terminali di *drain* e *source* ci sono sia corrente che tensione; queste perdite di commutazione sono determinate da  $Q_{GD}$ . Al momento in cui la tensione del dispositivo raggiunge il valore di input la corrente di *drain* comincerà a diminuire, dando origine ad ulteriori perdite determinate da  $Q_{GS2}$ .

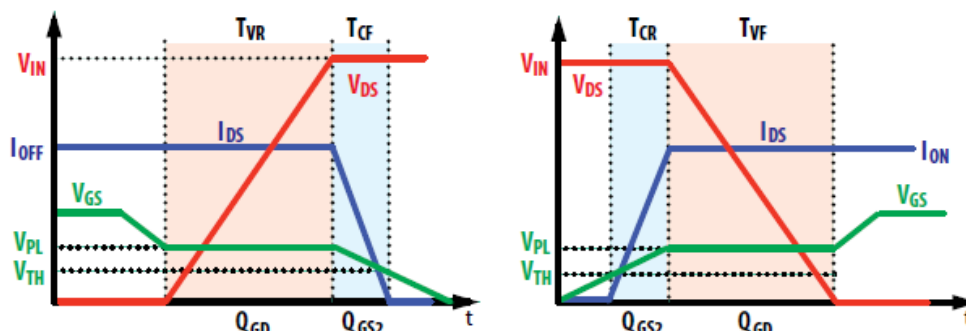
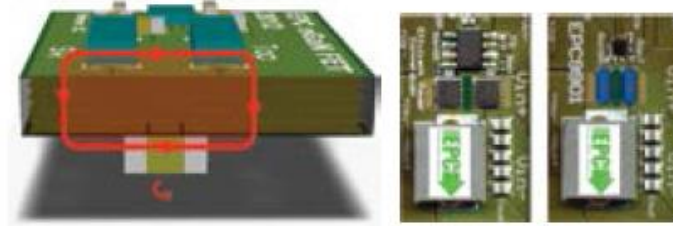


Figura 6.1.1: Transitori di turn-off (a sinistra) e turn-on (a destra) idealizzati di un transistor in un convertitore buck.

Per quanto riguarda le perdite di commutazione al turn-on, si applicano gli stessi principi.

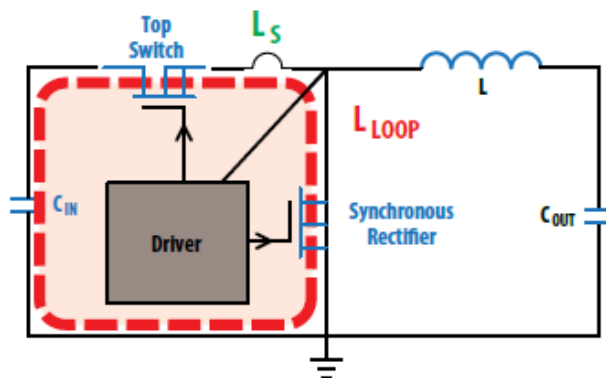
Minimizzando i valori di  $Q_{GD}$  e  $Q_{GS2}$  è possibile ridurre le perdite di commutazione durante l'hard switching. Se si confrontano vari transistor per mezzo della cifra di merito (*FoM*), si vede che le prestazioni di un transistor in nitruo di gallio sono migliori di quelle di un MOSFET al silicio con la stessa tensione nominale. Però per ottenere maggiore efficienza e maggiore velocità di commutazione è necessario diminuire gli effetti parassiti del package e del layout della *printed circuit board* (PCB).



**Figura 6.1.2:** Tipico PCB a power loop verticale con il loop in alta frequenza evidenziato in rosso (a sinistra), vista dall'alto di un MOSFET al silicio (in mezzo) e di un e-GaN FET (a destra).

Per confrontare le prestazioni di diversi transistor si usa una PCB come quella di figura 5.8.2, in cui i condensatori di input e i dispositivi sono posizionati in lati opposti per rendere il più piccolo possibile il percorso di loop e ridurre di conseguenza l'induttanza parassita. Tra i dispositivi è lasciato dello spazio per i collegamenti all'induttore di output del convertitore di output del convertitore buck preparato per la prova. Poi si fa un confronto delle perdite statiche e dinamiche, da cui si può ricavare l'efficienza e stimare l'influenza del package e del layout della PCB.

In un convertitore buck sincrono (figura 6.1.3) le due principali induttanze parassite sono l'induttanza comune alla *source* e l'induttanza del circuito in alta frequenza. La prima ( $L_s$ ) è l'induttanza in comune tra il percorso di corrente da *drain* a *source* e il power loop; la seconda ( $L_{loop}$ ) invece comprende tutte le induttanze e le capacità prima dei filtri.



**Figura 6.1.3:** Convertitore buck sincrono con le perdite parassite.

L'induttanza comune alla *source* dipende soprattutto dall'induttanza parassita del package del dispositivo e quindi varia da package a package; ha un impatto diretto sulla velocità di comando del dispositivo in quanto durante i transistori viene indotta su  $L_s$  una tensione che si oppone a quella che pilota la corrente attraverso l'impedenza di *gate*. Un'oscillazione causata dalla risonanza tra  $L_s$  e capacità parassite può risultare in una commutazione indesiderata del transistor e persino nel danneggiamento del convertitore. I transistor in e-GaN hanno un package *land grid array* (LGA) a bassa induttanza interna che permette di ridurre gli effetti dell'induttanza comune alla *source* e ridurre di conseguenza le perdite.

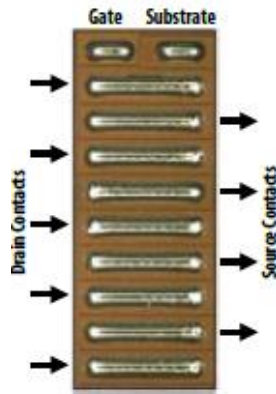


Figura 6.1.4: Package LGA per transistor in e-GaN.

E poi è preferibile avere un *die* di dimensioni più piccole a patto di rispettare i requisiti termici: in questo modo la induttanza comune alla *source* viene minimizzata. L'induttanza di loop in alta frequenza influenza direttamente il tempo di commutazione e il picco della tensione tra *drain* e *source* del componente; essa dipende dalla struttura del circuito.

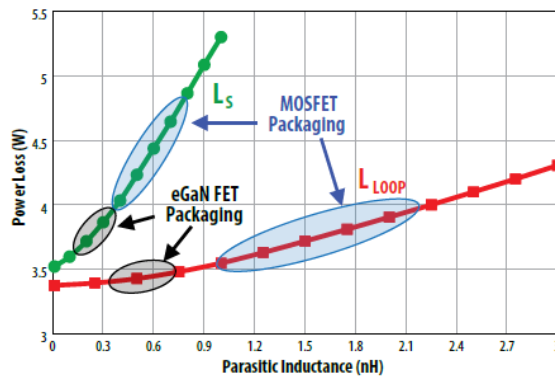


Figura 6.1.5: Impatto delle induttanze parassite sulle perdite ( $V_{in} = 12 V$ ,  $V_{out} = 1.2 V$ ,  $I_{out} = 20 A$ ,  $f_{sw} = 1 MHz$ ).

In una tipica PCB a struttura verticale, l'induttanza di loop è dipendente dallo spessore della scheda dato che il circuito di potenza è contenuto sia nello strato superiore che in quello inferiore della PCB; se aumenta lo spessore della PCB, aumenta anche l'induttanza parassita e quindi diminuisce l'efficienza.

I transistor in e-GaN hanno una struttura laterale e tutte le connessioni sono contenute sulla stessa parte del *die*: in questo modo si può montare quest'ultimo direttamente sulla PCB e ridurre gli effetti parassiti, grazie anche all'adozione del package LGA che fornisce molte connessioni in parallelo dal *die* alla PCB.

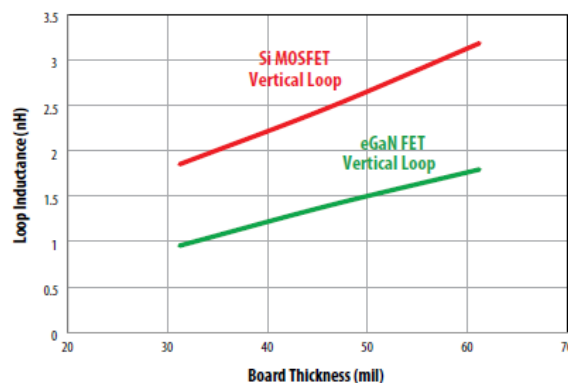


Figura 6.1.6: Grafico con variazione dell'induttanza di loop in alta frequenza rispetto allo spessore del PCB in un circuito con dispositivi in e-GaN e al silicio.

## 6.2. Effetto dell'induttore in un convertitore DC/DC

I componenti *Wide Band Gap* hanno rapidi transistori di commutazione, quindi elementi parassiti come la capacità equivalente di un induttore possono avere un grosso impatto sulla prestazione in frequenza dei dispositivi. La ricarica della capacità parassita durante il processo di commutazione ha un'influenza negativa sulla qualità dei profili di corrente e sulle perdite del convertitore. Diventa quindi importante minimizzare questa capacità parassita degli induttori per sfruttare al meglio la rapida commutazione offerta dai dispositivi *Wide Band Gap*. Gli induttori a singolo strato hanno la minore capacità parassita, ma in alcuni casi gli induttori devono avere un numero di spire più alto oppure il nucleo può avere una piccola ampiezza e sarebbe difficile costruire un induttore con un avvolgimento a singolo strato.

È stato proposto quindi un nuovo induttore a bassa capacità equivalente, testato in due convertitori DC/DC boost da 2 kW uguali: in uno si usa un JFET al SiC e nell'altro si utilizza un BJT al SiC. Si esamina anche la misura dell'interferenza elettromagnetica per l'induttore convenzionale e per quello a bassa capacità parassita equivalente.

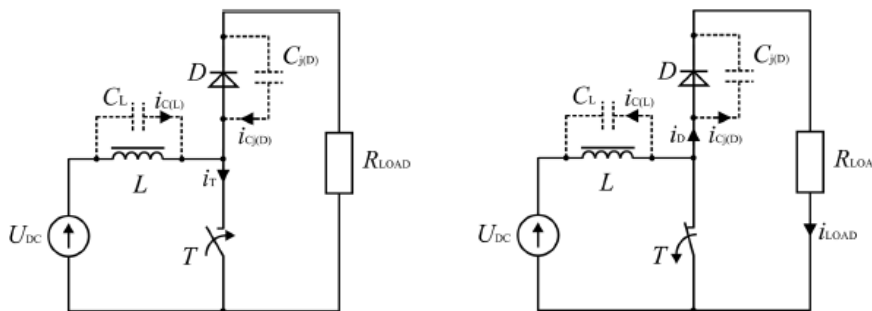


Figura 6.2.1: Processo di turn-on (a sinistra) e turn-off (a destra) in un convertitore boost.

BOOST CONVERTER PARAMETERS	
Parameter	Value
Input/output voltage	300 V/600 V
Rated power	2 kW
Load current	3.3 A
Duty cycle	0.5
Switching frequency	100 kHz
Inductor	L = 1.2 mH/8 A
Input capacitor	4.7 μF/400 V
Output capacitor	40 μF/700 V
JFET ratings	1.2 kV/15 A (SiCED)
BJT ratings	1.2 kV/6 A (TranSiC)
SiC Schottky diode	1.2 kV/5 A

Tabella 6.1: Parametri del convertitore boost di prova.

Ci sono tre problemi principali associati alla capacità parassita degli induttori in un convertitore DC/DC con dispositivi al SiC. Il primo è che una capacità parassita più alta porta a picchi di corrente più elevati durante i transistori. Con riferimento alla figura 6.2.1, durante il turn-on del transistor  $T$  due contributi di corrente capacitiva si aggiungono alla corrente del transistor: uno necessario a caricare la giunzione capacitiva e uno proveniente da  $C_p$ . Ovviamente più grande è la capacità  $C_p$ , più alto sarà il picco. Durante il turn-off invece  $C_p$  deve scaricare e caricarsi con polarità opposta: questo porta a un picco nella corrente dell'induttore. Il secondo problema associato alla capacità parassita è causato dalla frequenza di risonanza dell'induttore, che è nello stesso range della frequenza di commutazione; ciò si vede soprattutto quando l'induttanza è dell'ordine dei mH e la capacità parassita è dell'ordine del centinaio di picofarad. Ogni transitorio di commutazione, alla frequenza di



risonanza, amplifica le oscillazioni nell'induttore: a una frequenza di commutazione così elevata, la commutazione successiva avviene prima che le oscillazioni nell'induttore siano scomparse; questo tipo di risonanza può avvenire tra un qualunque dispositivo del convertitore e i suoi elementi parassiti. Il terzo problema è una conseguenza del precedente: le oscillazioni ad alta frequenza durante il funzionamento a regime, risultato di una capacità parassita equivalente dell'induttore relativamente grande, possono causare interferenze elettromagnetiche più grandi; ne consegue che serviranno dei filtri più larghi e più costosi.

La capacità parassita equivalente di un induttore è la capacità concentrata  $C_p$  in parallelo con l'induttanza  $L$ : insieme riproducono la frequenza risonante dell'induttore. Per un'analisi più approfondita si considera la capacità parassita come distribuita e composta da più capacità (spira-nucleo, spira-spira, strato-strato), secondo la rappresentazione in figura 6.2.3.

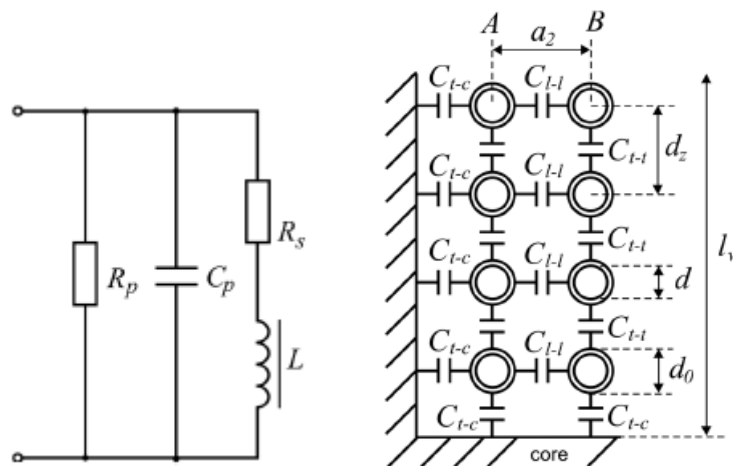


Figura 6.2.2: Circuito equivalente di un induttore (a sinistra) e sezione di un induttore a due strati (a destra).

Nel caso di induttori schermati viene inclusa anche la capacità spira-schermo. Le capacità strato-strato contribuiscono maggiormente alla capacità parassita equivalente perché connesse in parallelo. Quando l'induttore è soggetto a tensioni ad alta frequenza di commutazione, la capacità parassita equivalente può diventare un problema e deve essere minimizzata. Un modo per farlo è diminuire la permittività elettrica  $\epsilon$  del materiale interposto tra gli strati dell'avvolgimento; un'altra soluzione è aumentare la distanza tra gli strati dell'induttore. Il migliore isolante da usare tra gli strati è aria, dato che ha una permittività elettrica relativa vicina a uno; per di più uno spazio d'aria tra gli avvolgimenti migliorerebbe la prestazione termica perché il calore può venire dissipato via convezione.

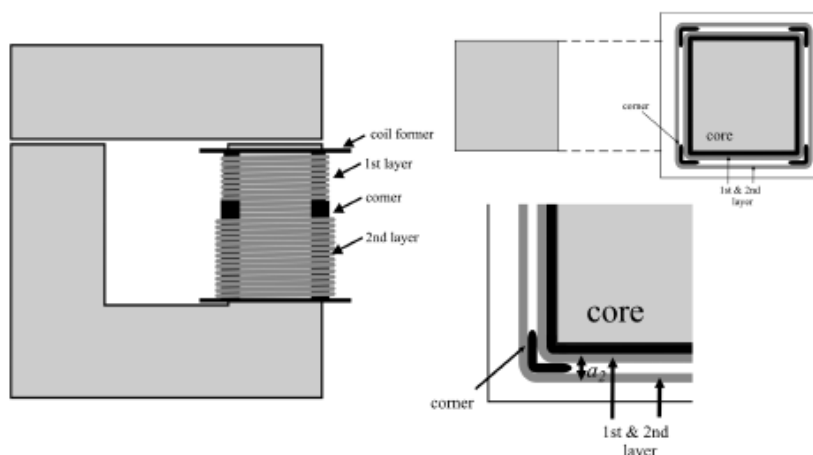


Figura 6.2.3: Layout dell'induttore a bassa capacità parassita.



Per il confronto sono stati presi due induttori, entrambi con lo stesso nucleo e spazio d'aria tra gli strati. Entrambi hanno lo stesso numero di spire, spire della stessa forma e dello stesso materiale. L'induttore di riferimento è avvolto in modo convenzionale con uno spessore di  $0.2\text{ mm}$  di nastro isolante Kepton tra gli strati, mentre l'induttore a bassa capacità parassita ha uno spessore di PVC di  $3\text{ mm}$  e non necessita di nastro isolante e massima temperatura di esercizio di  $100\text{ }^\circ\text{C}$ . L'aumento della distanza tra gli strati riduce al minimo la capacità strato-strato.

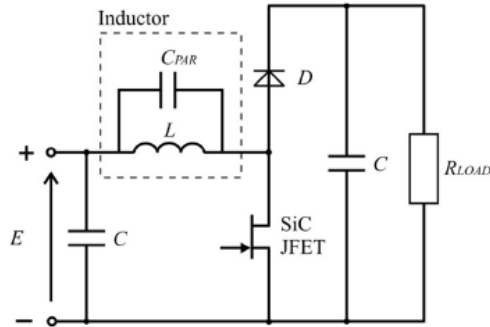


Figura 6.2.4: Convertitore boost con JFET al SiC.

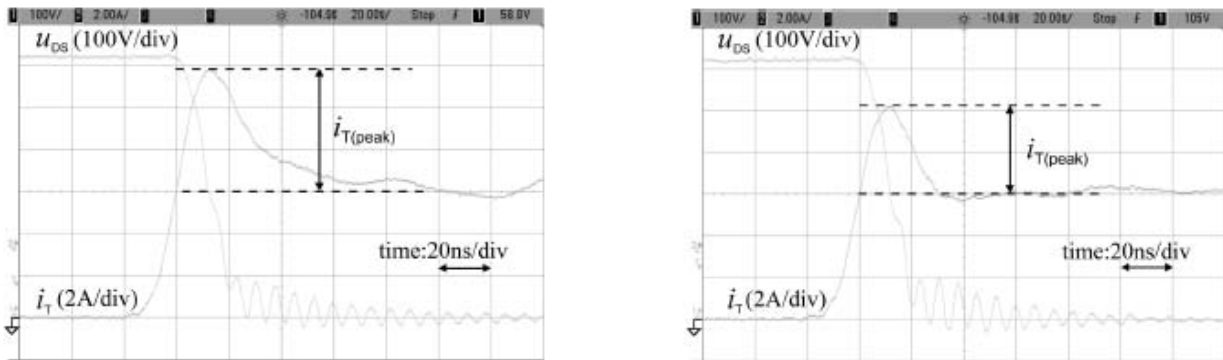
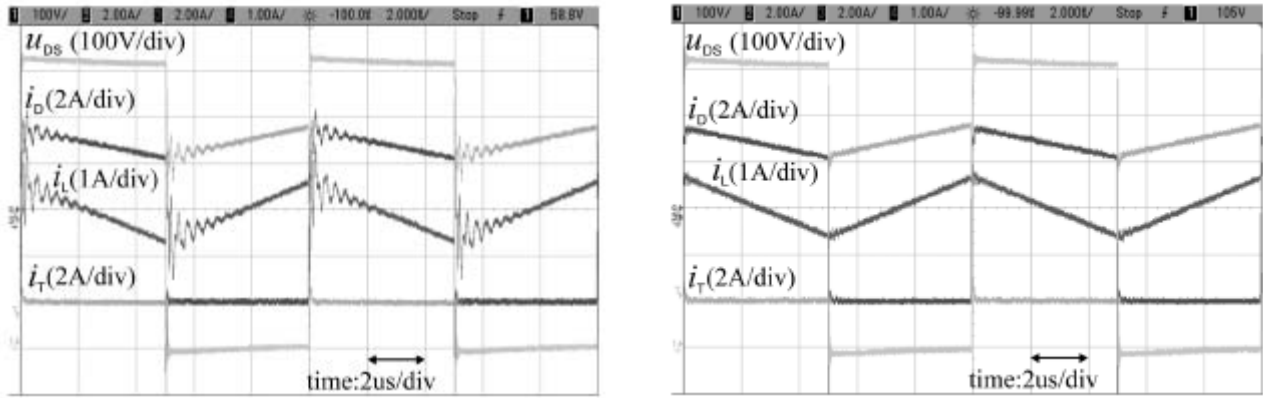


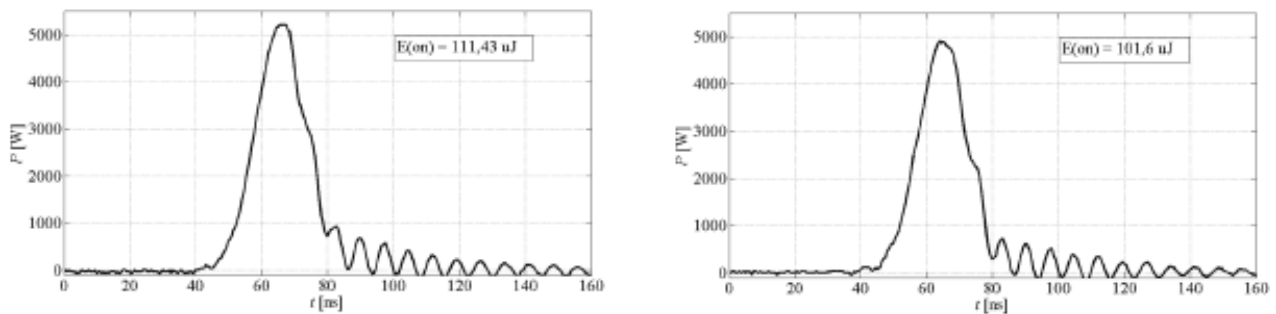
Figura 6.2.5: Profili di tensione e corrente del convertitore boost con JFET al SiC al turn-on con induttore di tipo convenzionale (a sinistra) e induttore a bassa capacità parassita equivalente (a destra).

Ogni volta che avviene il turn-on dell'interruttore nel convertitore boost con il JFET al SiC, la capacità parassita dell'induttore deve essere caricata dalla tensione di input; ciò causa un picco positivo di corrente nelle capacità parassite dell'induttore reale. Lo stesso picco si può vedere nella corrente del transistor. Le forme d'onda al turn-on del JFET si possono vedere in figura 6.2.5; si noti che il picco di corrente è più largo nel caso dell'induttore convenzionale. Durante il turn-off la capacità parassita dell'induttore deve essere caricata nella direzione opposta, motivo per cui questa volta il picco di corrente è negativo. Più è grande la capacità parassita dell'induttore, maggiori saranno i picchi di corrente durante il turn-on e il turn-off e più lunghi saranno i relativi transitori.

I convertitori con dispositivi al SiC possono operare a frequenze di centinaia di kHz. Ogni induttore con induttanza superiore a  $1\text{ mH}$  e capacità equivalente superiore a  $100\text{ pF}$  entra in risonanza a frequenze al di sotto di  $500\text{ kHz}$ ; quando la frequenza di commutazione è così vicina alla frequenza di risonanza dell'induttore, possono avvenire appunto fenomeni di risonanza. In figura 6.2.6 è mostrato il comportamento risonante durante il funzionamento a regime del convertitore boost con entrambi gli induttori in esame. Nel caso dell'induttore a bassa capacità parassita, il picco iniziale è minore e le oscillazioni decadono molto velocemente. Chiaramente picchi e oscillazioni non sono desiderati perché aumentano le emissioni elettromagnetiche e le perdite. Come si può riscontrare in figura 6.2.7, l'induttore a bassa capacità parassita ha perdite minori di quello convenzionale (15.6% in meno).

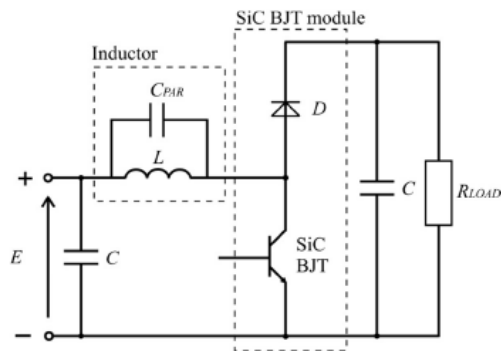


**Figura 6.2.6:** Comportamento a regime del convertitore boost con JFET al SiC con induttore tradizionale (a sinistra) e induttore a bassa capacità parassita (a destra). Nei profili sono rappresentate tensione e corrente del JFET ( $u_{DS}$  e  $i_T$ ), corrente dell'induttore ( $i_L$ ) e corrente del diodo ( $i_D$ ).



**Figura 6.2.7:** Misura della potenza istantanea durante il turn-on del JFET al SiC con induttore tradizionale (a sinistra) e induttore a bassa capacità parassita (a destra).

Se il convertitore boost ha BJT al carburo di silicio invece di JFET, vale lo stesso discorso. Usando l'induttore convenzionale si hanno picchi di corrente molto più pronunciati e quindi perdite maggiori rispetto al caso dell'induttore a bassa capacità parassita equivalente, come si può vedere in figura 6.2.9 e 6.2.10. Infatti con l'induttore convenzionale le perdite del convertitore sono il 20.8% in più rispetto all'altro.



**Figura 6.2.8:** Convertitore boost con BJT al SiC.

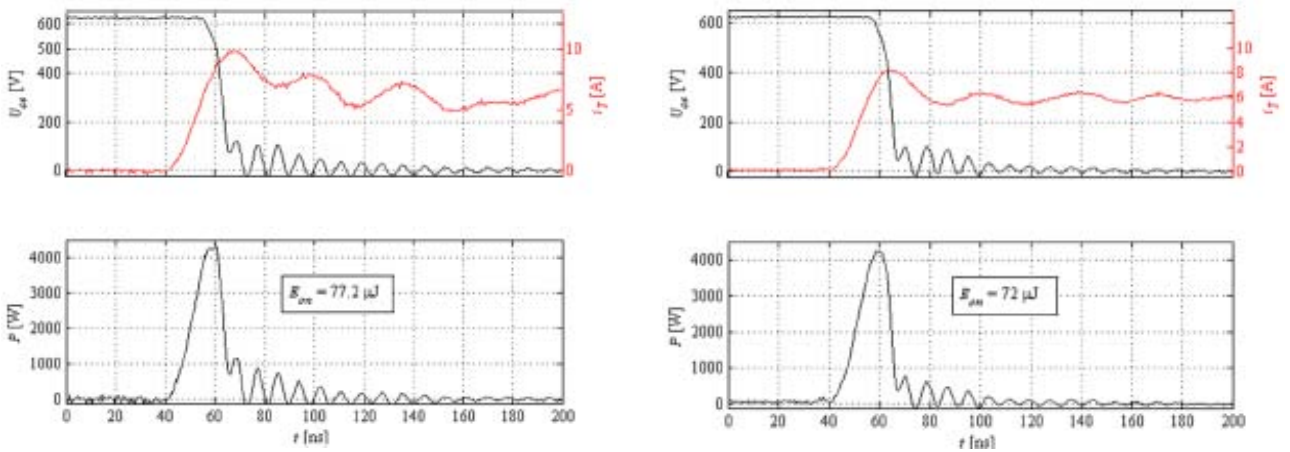


Figura 6.2.9: Profili di tensione e corrente del BJT e misura della potenza istantanea durante il turn-on del BJT al SiC con induttore tradizionale (a sinistra) e induttore a bassa capacità parassita (a destra).

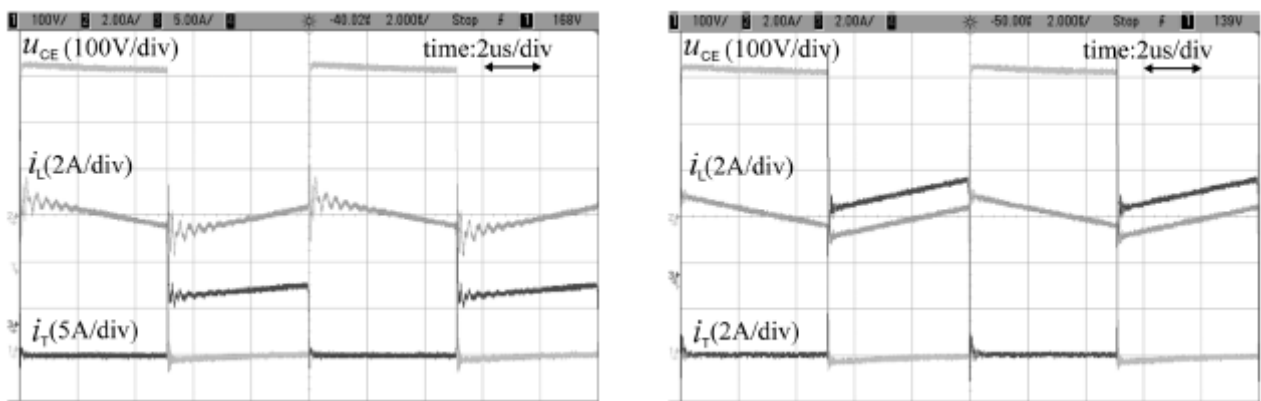
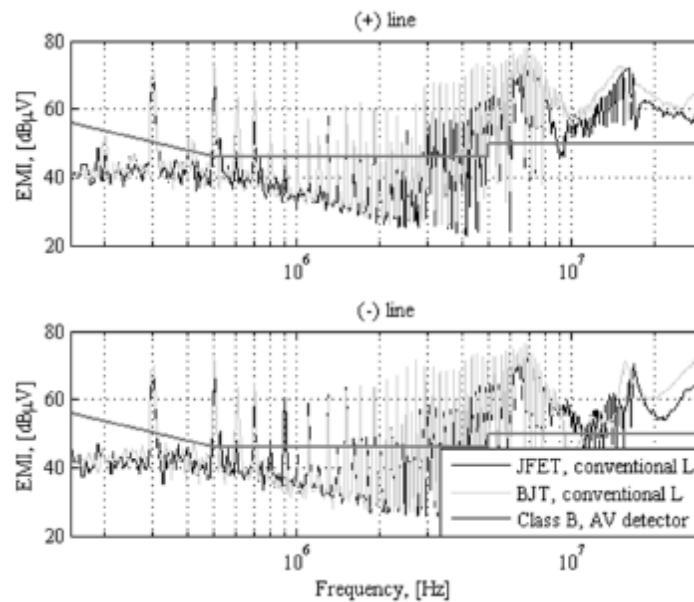
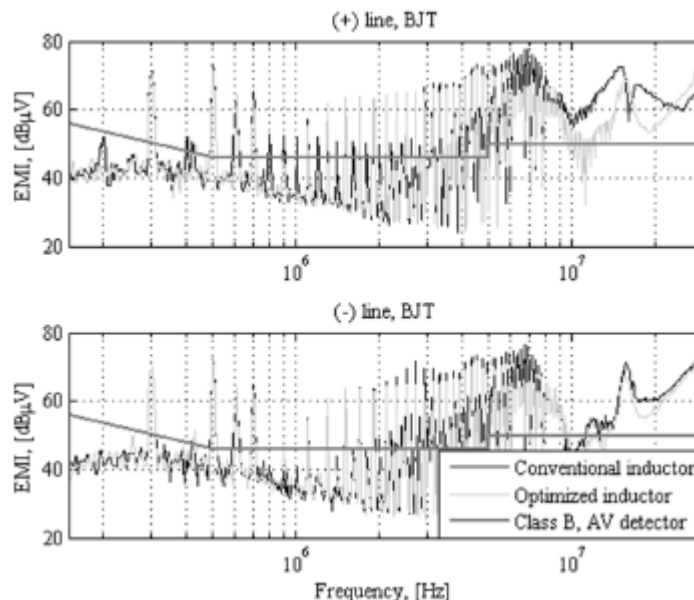


Figura 6.2.10: Comportamento a regime del convertitore boost con BJT al SiC con induttore tradizionale (a sinistra) e induttore a bassa capacità parassita (a destra). Nei profili sono rappresentate tensione e corrente del BJT ( $u_{CE}$  e  $i_T$ ) e la corrente dell'induttore ( $i_L$ ).

In figura 6.2.11 sono riportati i profili dell'interferenza elettromagnetica condotta dei due convertitori quando usano l'induttore convenzionale e i due diversi transistor. Complessivamente entrambi i convertitori hanno delle emissioni elettromagnetiche ben oltre i limiti previsti; in particolare quelle del BJT sono più elevate di quelle del JFET. In figura 6.2.12 invece si possono vedere le misure delle emissioni elettromagnetiche condotte del convertitore boost a BJT al SiC usando i due differenti induttori. Si può vedere che le emissioni nel caso dell'induttore a bassa capacità equivalente sono più basse a media frequenza ( $2 \div 3 \text{ MHz}$ ) e rimangono così anche in alta frequenza, fino a circa  $23 \text{ MHz}$ .



**Figura 6.2.:** Emissioni elettromagnetiche condotte per la linea (+) e la linea (-) dei convertitori boost con JFET al SiC e BJT al SiC quando usano l'induttore di tipo convenzionale.



**Figura 6.2.12:** Emissioni elettromagnetiche per la linea (+) e la linea (-) del convertitore boost con BJT al SiC quando usa entrambi gli induttori.

### 6.3. Convertitori con transistor al GaN

Nel capitolo dedicato ai transistor si è già parlato dei dispositivi in nitruro di gallio e si è giunti alla conclusione che sono degli ottimi candidati per rimpiazzare i transistor al silicio nei convertitori DC/DC (sia isolati che non isolati) per applicazioni nel campo delle telecomunicazioni e dell'informatica. Le configurazioni in cui è più interessante andare a confrontare le prestazioni di *high electron mobility transistor* (HEMT) al GaN e FET al silicio sono quattro: convertitori flyback, convertitori forward, convertitori buck ad alto rapporto ingresso/uscita e chopper a 4 quadranti (convertitori full bridge).

Il convertitore flyback è un convertitore buck-boost in cui l'induttanza è sostituita da un trasformatore, o meglio da due induttanze accoppiate; ciò garantisce un isolamento galvanico tra ingresso e uscita e la moltiplicazione delle tensioni secondo il rapporto del numero di spire tra le induttanze.

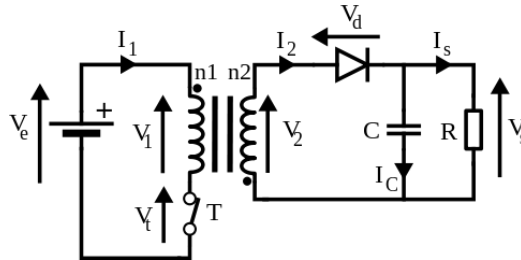


Figura 6.3.1: Schema di base di un convertitore flyback.

Questo tipo di convertitore è usato in applicazioni a basso costo e bassa potenza come ad esempio il *power over Ethernet* (PoE). Per comprendere i vantaggi dei transistor in e-GaN rispetto a quelli al silicio in un convertitore flyback, si può usare appunto un circuito PoE conforme allo standard IEEE 802.3 per le reti LAN. L'equipaggiamento alimentato da connessione Ethernet ha due problemi: la sorgente di potenza è limitata e i prodotti sono molto competitivi. Si paragona dunque un convertitore (48/3.3 V, 13 W) con FET in e-GaN a un altro uguale con MOSFET al silicio, usando un circuito integrato convenzionale per il comando del convertitore PoE. Con riferimento allo schema di convertitore di figura 6.3.2, l'efficienza del convertitore è stata misurata a 333 kHz e a 400 kHz.

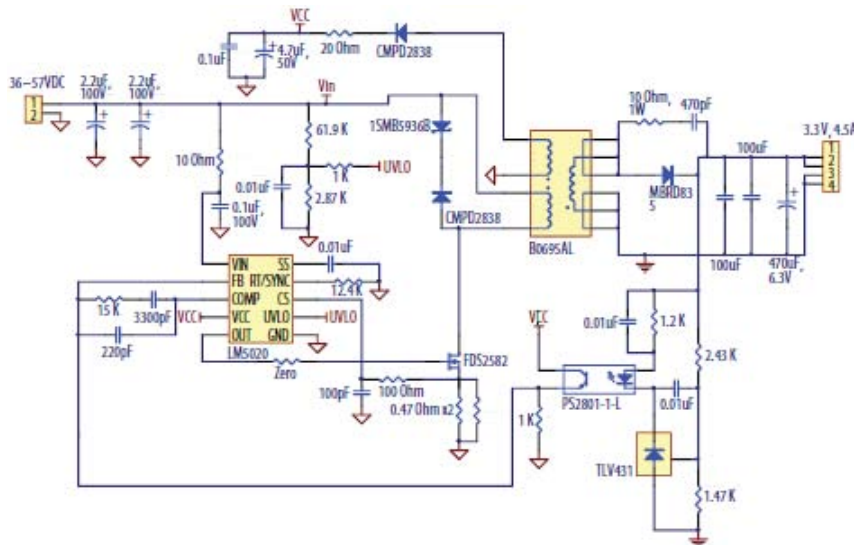


Figura 6.3.2: Schema del convertitore flyback PoE del test.

Guardando i risultati in figura 6.3.3, si nota che l'efficienza del MOSFET al silicio e quella del FET in e-GaN è simile nonostante la *on-resistance* del transistor in e-GaN sia il 50% più alta rispetto a quella del MOSFET: questo perché usando l'e-GaN si hanno minori perdite di commutazione. Ma il punto fondamentale è che aumentando la frequenza a 400 kHz l'efficienza del convertitore che utilizza transistor in e-GaN cala del 0.5% mentre quella del convertitore con il MOSFET cala del 2%.

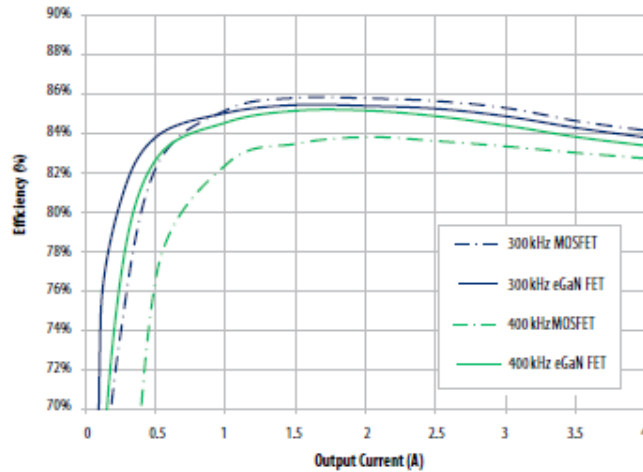


Figura 6.3.3: Confronto dell'efficienza tra FET in eGaN e MOSFET al silicio nel convertitore flyback PoE di test.

Aumentando la frequenza di commutazione in un convertitore di potenza si possono ridurre sia le perdite che le dimensioni del nucleo magnetico. A parità di perdite, la riduzione del volume del nucleo è approssimativamente pari alla radice quadrata del rapporto tra frequenza più bassa e frequenza più alta (in questo caso  $\sqrt{333/400}$ , pari a 0.91: riducendo il volume del nucleo del 9% e con una frequenza di 400 kHz si avrebbero le stesse perdite rispetto al nucleo magnetico con volume del 100% e frequenza 333 kHz). Per volumi di produzione industriale sufficientemente alti, dove il costo del materiale è più alto di quello del trasformatore, è ammissibile ritenere che il costo del materiale diminuisca secondo quanto detto prima.

Il convertitore forward è un convertitore DC/DC con l'aggiunta di un trasformatore di isolamento: a seconda del numero di spire dell'avvolgimento primario e di quello secondario può fungere da convertitore buck o da convertitore boost. Il convertitore forward esegue le stesse operazioni del convertitore flyback ma di solito ha un'efficienza più alta.

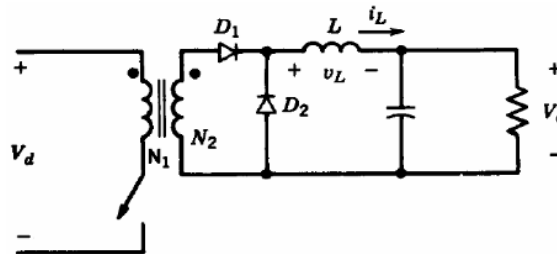


Figura 6.3.4: Schema di base del convertitore forward.

Per questo motivo si può usare ancora un circuito PoE per confrontare i FET in e-GaN con i MOSFET al silicio. Il convertitore (12/5 V, 26 W) è rappresentato in figura 6.3.5 e utilizza un circuito raddrizzatore sincrono con transistor in e-GaN al lato secondario (figura 6.3.6).



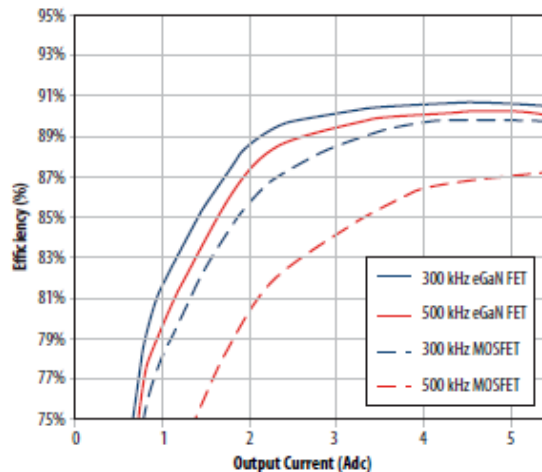


Figura 6.3.7: Confronto dell'efficienza tra FET in eGaN e MOSFET al silicio nel convertitore forward PoE di test.

In realtà però l'efficienza del FET in e-GaN aumenta effettivamente con la frequenza: ciò è dovuto quasi completamente all'utilizzo di due diversi induttori per il circuito a 300 kHz e quello a 500 kHz. Questi induttori sono stati selezionati per mantenere simile il ripple della corrente di uscita tra le due frequenze in questione: il risultato di questa scelta consiste nella riduzione di 5 mΩ della resistenza in continua dell'induttore e nel dimezzamento del suo volume. Se non si fosse applicato questo miglioramento dell'induttore, il rendimento del convertitore con transistor in e-GaN a 300 kHz sarebbe molto simile a quello per una frequenza di 500 kHz. Inoltre il timing del circuito di pilotaggio è stato adattato per ridurre l'altrimenti alta caduta di tensione in stato conduttivo del *body diode*.

Il convertitore buck è un convertitore DC/DC che ha in uscita una tensione ridotta rispetto all'ingresso. Ovviamente è un metodo per ridurre la tensione continua molto più efficiente di un partitore di tensione e torna molto utile in applicazioni come ad esempio ridurre i 18 ÷ 19 V della batteria di un computer portatile alla tensione di pochi volt richiesta dal processore. Attualmente per convertire la tensione di un comune bus DC da 48 V a valori di qualche volt sono richiesti due stadi a causa delle mediocri prestazioni in frequenza dei MOSFET al silicio (è richiesto un duty cycle molto basso): una riduzione diretta da 48 V a qualche volt eliminerebbe la necessità di due stadi di conversione, con conseguente risparmio di denaro e di spazio, a patto che si mantenga l'efficienza complessiva del sistema.

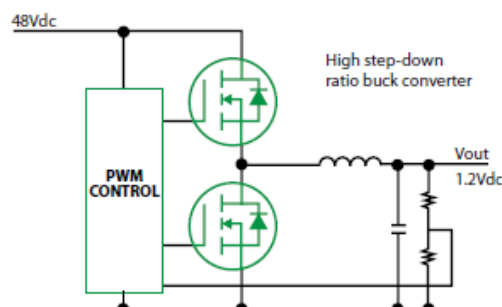


Figura 6.3.8: Schema del convertitore buck ad alto rapporto ingresso/uscita del test.

Con riferimento a figura 6.3.8, si valuta un convertitore buck ad alto rapporto ingresso/uscita (48/1.2 V, 12 W) con FET in e-GaN e uno uguale con MOSFET al silicio che commutano a 200 kHz e 500 kHz. Guardando i risultati alla frequenza di 200 kHz (figura 6.3.9) si vede che il convertitore con dispositivi in e-GaN è più efficiente di circa il 2% nella maggioranza delle condizioni di carico; a dire il vero i MOSFET al silicio hanno un'efficienza leggermente più alta dell'e-GaN a bassi carichi. Questo perché i tempi morti dei FET in e-GaN erano ottimizzati per avere il massimo rendimento per correnti di uscita elevate: non veniva dunque eseguito il *zero voltage*



*switching* a bassi carichi e il *body diode* dei transistor in e-GaN aveva perdite di conduzione non trascurabili a causa della maggiore caduta di tensione in stato conduttivo. Adattando i tempi morti a bassi carichi per minimizzare le perdite (come farebbe un circuito di pilotaggio adattivo), il rendimento del convertitore ad e-GaN aumenta del 5% alla corrente di output di 1 A ed è sempre maggiore rispetto a quello del convertitore al silicio per ogni condizione di carico.

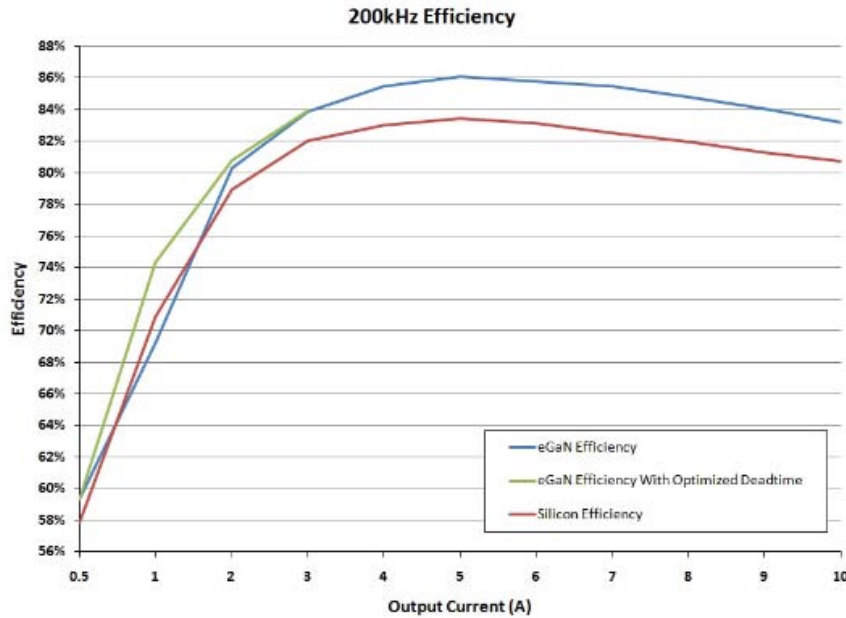


Figura 6.3.9: Confronto dell'efficienza tra FET in eGaN e MOSFET al silicio nel convertitore buck di test.

Si possono anche vedere i risultati sotto forma di perdite in funzione del carico come riportato in figura 6.3.10. I MOSFET al silicio dissipano circa mezzo watt in più dei dispositivi in e-GaN in quasi tutte le condizioni di carico. Anche in questo caso con l'ottimizzazione dei tempi morti per l'e-GaN a basse condizioni di carico si vede che il convertitore con FET in e-GaN ha meno perdite di quello con MOSFET al silicio in ogni condizione di carico.



Figura 6.3.10: Confronto delle perdite tra FET in eGaN e MOSFET al silicio nel convertitore buck di test.

Se si va ad esaminare l'efficienza misurata a 500 kHz (figura 6.3.11) appare evidente la superiorità dei convertitori che usano transistor in e-GaN: infatti la loro efficienza è il 4% più alta delle loro controparti al silicio nella maggioranza delle condizioni di carico.

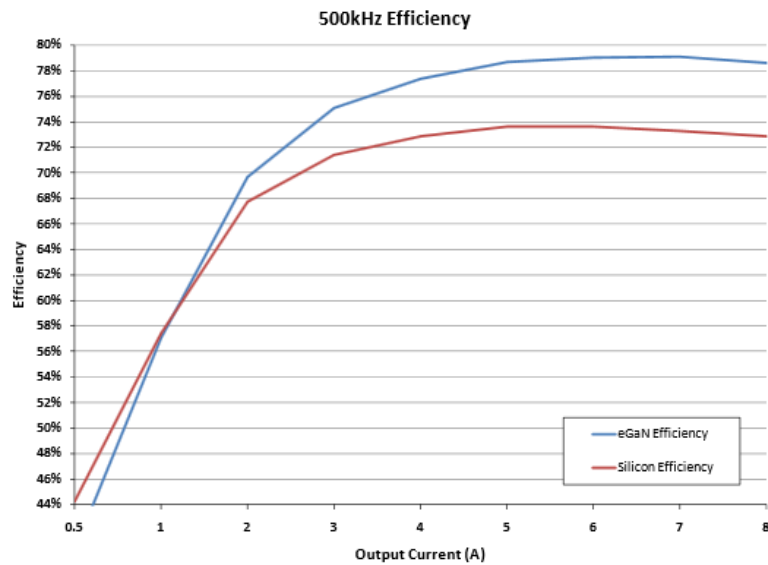


Figura 6.3.11: Confronto dell'efficienza tra FET in eGaN e MOSFET al silicio nel convertitore buck di test.

Andando a guardare i risultati delle perdite misurate, si nota invece che i MOSFET al silicio dissipano circa  $1\text{ W}$  in più per una corrente di uscita di  $8\text{ A}$ , come rappresentato in figura 6.3.12.

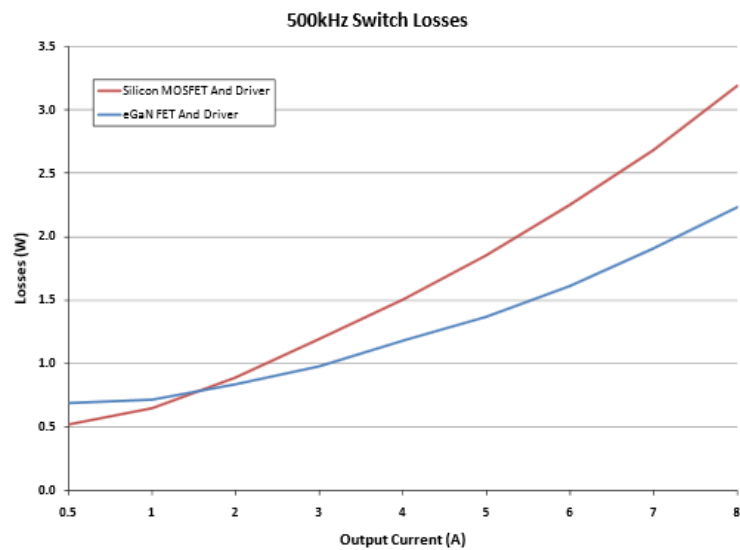


Figura 6.3.12: Confronto delle perdite tra FET in eGaN e MOSFET al silicio nel convertitore buck di test.

A  $500\text{ kHz}$  il tempo di *on-state* dei transistor in e-GaN è di  $100\text{ ns}$  circa. Se si punta alla massima velocità di commutazione con l'*hard switching* il tempo di salita della tensione può arrivare a  $2.5\text{ ns}$ ; se invece l'obiettivo è minimizzare le perdite, con lo *zero voltage switching* è possibile ottenere dei transistori inferiori a  $5\text{ ns}$ . La durata di questi transistori è semplicemente irraggiungibile per i dispositivi al silicio, tuttavia con tensioni e correnti che commutano in pochi nanosecondi entrano in gioco effetti parassiti che con i transistor al silicio erano trascurabili.

Sono stati svolti anche dei test su un tipico convertitore buck ( $15 \div 60/10\text{ V}$ ,  $100\text{ W}$ ) composto da dispositivi in e-GaN e uno uguale composto da MOSFET al silicio; quello a e-GaN veniva fatto funzionare a  $800\text{ kHz}$  mentre quello con MOSFET al silicio aveva una frequenza di  $500\text{ kHz}$ . In questo caso, nonostante il convertitore a dispositivi in e-GaN operi a una frequenza più alta del 60% rispetto a quello con MOSFET al silicio, appare evidente che l'efficienza a basso carico aumenta rapidamente e diventa quasi costante per carichi più grossi (figura 6.3.13).

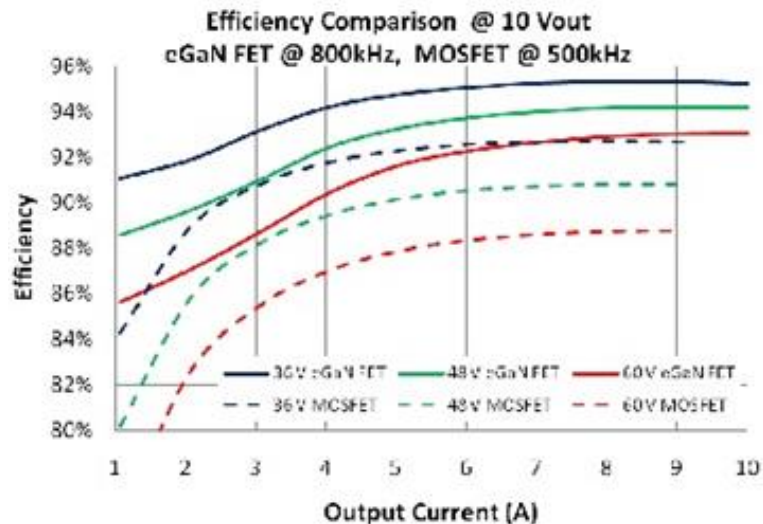


Figura 6.3.13: Confronto dell'efficienza tra FET in eGaN e MOSFET al silicio in un tipico convertitore buck.

Quando sono necessari un ampio intervallo della tensione di ingresso e isolamento elettrico, i progettisti cercano di aumentare la potenza in uscita e al contempo di ridurre le dimensioni della scheda del convertitore. Per tipici convertitori in formato brick (gamma di dimensioni normalizzate), la massima potenza in uscita ottenibile è direttamente limitata dalle massime perdite ammissibili in un dato ambiente con raffreddamento per mezzo di convezione forzata: ciò significa che gli aspetti termici sono ritenuti tanto importanti quanto le perdite elettriche. Per dimostrare il miglioramento di densità di potenza e di rendimento, si consideri un chopper a 4 quadranti isolato in formato 1/8 di brick con rettificazione sincrona al secondario e controllo phase-shifting composto da dispositivi in e-GaN e lo si confronti con la sua controparte a MOSFET al silicio.

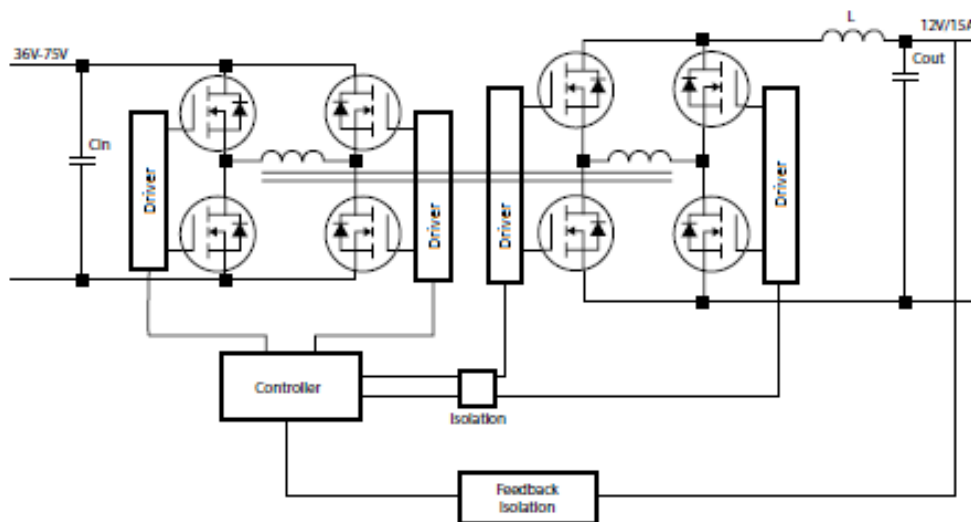


Figura 6.3.14: Schema del chopper a 4 quadranti del test.

Il chopper ( $36 \div 75/12\text{ V}$ ,  $180\text{ W}$ ), rappresentato in figura 6.3.14, viene fatto a funzionare a  $250\text{ kHz}$  nel caso del MOSFET al silicio ed alle frequenze di  $333\text{ kHz}$  e  $500\text{ kHz}$  nel caso dei transistor in e-GaN. Il chopper con componenti in e-GaN è pilotato dal circuito LM5113 a semiponte della National Semiconductor, Inc., dato che i transistor in nitruro di gallio richiedono particolari accorgimenti di comando. È interessante confrontare le schede dei convertitori per rendersi conto della differenza di spazio occupato: ovviamente il convertitore con FET in e-GaN è più piccolo e lascia molto più spazio libero nella scheda.

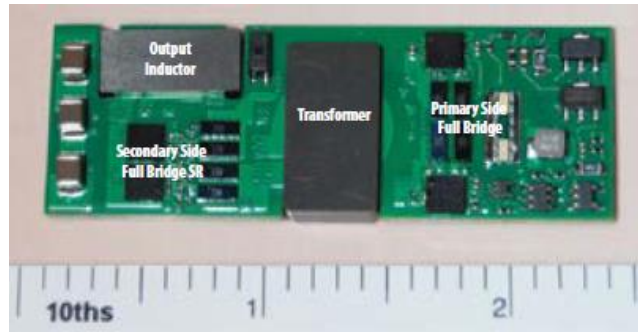


Figura 6.3.15: Chopper del test con transistor in e-GaN.

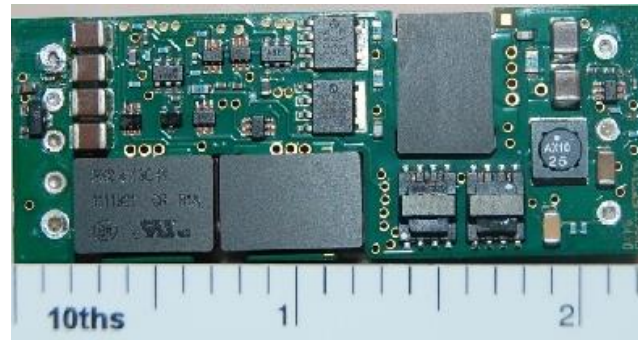


Figura 6.3.16: Chopper del test con MOSFET al silicio.

Nelle figure 6.3.17 e 6.3.18 sono riportati i grafici del confronto dei rendimenti dei due chopper: mentre il chopper con MOSFET al silicio viene fatto funzionare sempre a  $250\text{ kHz}$ , quello con dispositivi in e-GaN opera prima a  $300\text{ kHz}$  e poi a  $500\text{ kHz}$ . Il chopper in e-GaN è stato progettato per una frequenza di  $333\text{ kHz}$ , quindi il trasformatore e l'induttore di uscita non sono ottimizzati per il funzionamento a  $500\text{ kHz}$ ; eppure le perdite del circuito con transistor in e-GaN sono simili a quelle della controparte con MOSFET al silicio, nonostante la frequenza d'esercizio doppia. Con l'eventuale riduzione del numero di spire dell'induttore di uscita e della resistenza degli avvolgimenti del trasformatore si possono ottenere rendimenti per grandi carichi ancora più elevati.

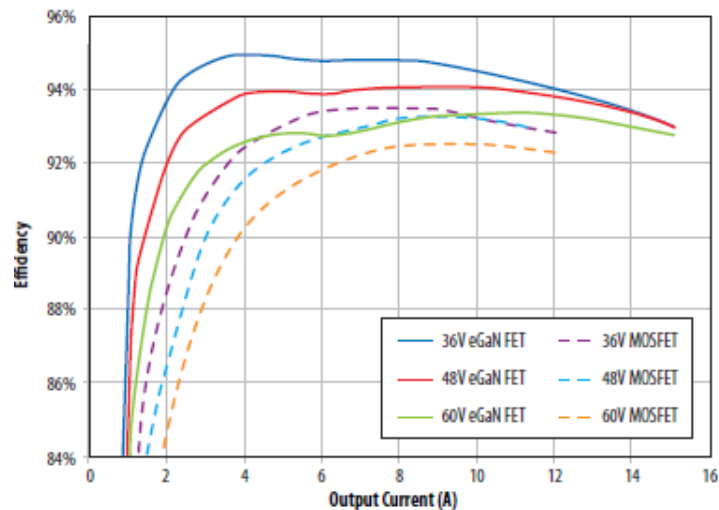
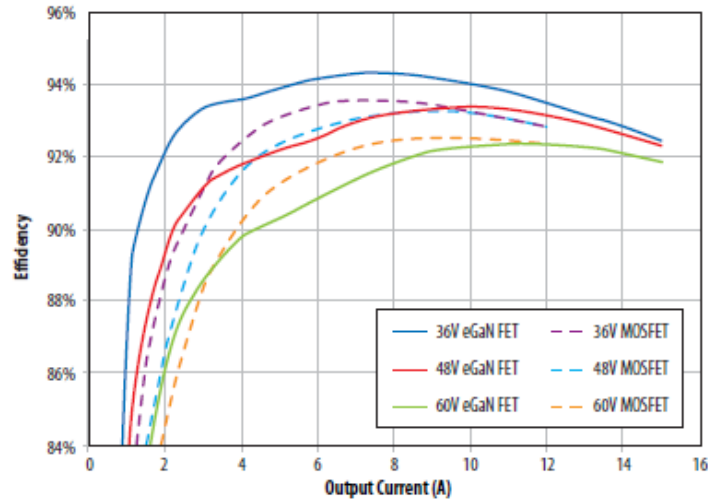
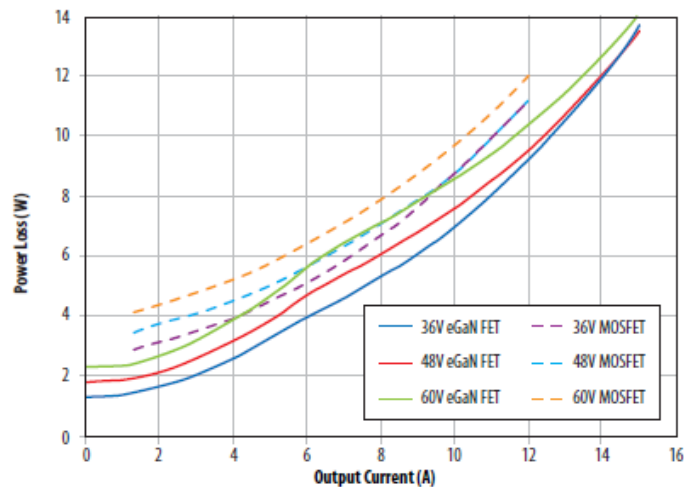


Figura 6.3.17: Confronto tra rendimento del chopper a 4 quadranti di test con FET in eGaN (@  $333\text{ kHz}$ ) e con MOSFET al silicio (@  $250\text{ kHz}$ ).



**Figura 6.3.18:** Confronto tra rendimento del chopper a 4 quadranti di test con FET in eGaN (@ 500 kHz) e con MOSFET al silicio (@ 250 kHz).

I risultati afferenti al grafico di figura 6.3.17 si possono valutare dal punto di vista delle perdite (figura 6.3.19). Il chopper con FET in e-GaN è in grado di fornire una corrente in uscita di 14 A mentre il suo corrispettivo composto da MOSFET al silicio ne dà 12 A. Ciò significa che a parità di perdite la potenza in uscita del chopper con dispositivi in e-GaN è più alta del 16% rispetto a quella del chopper con MOSFET al silicio.



**Figura 6.3.19:** Confronto tra perdite del chopper a 4 quadranti di test con FET in eGaN (@ 333 kHz) e con MOSFET al silicio (@ 250 kHz).

Si è già accennato al fatto che esistono anche i FET in nitruro di gallio con substrato in carburo di silicio. Qualche volta quest'ultimo è preferibile rispetto al silicio nonostante i costi più alti perché la sua elevata conduttività termica permette maggiori densità di potenza ed affidabilità; per il resto i FET in GaN su substrato SiC sono uguali a quelli su substrato di silicio, che tipicamente funzionano a tensioni medio-basse (< 50 V) e, grazie appunto alle loro caratteristiche, sono una scelta allettante per convertitori a *power width modulation* (PWM).

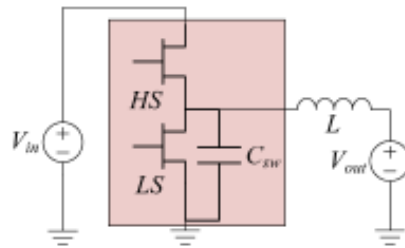


Figura 6.3.20: Schema del convertitore buck a semiponte di riferimento.

Si fa quindi un'analisi considerando un convertitore buck sincrono (figura 6.3.20) con induttore ideale e  $C_{sw}$  che rappresenta la capacità equivalente dell'interruttore che commuta. Il processo di commutazione è considerato istantaneo cosicché le perdite derivano solamente dalle capacità di output del dispositivo e da quella di *gate*. Si può fare una valutazione preliminare della massima efficienza e dimensioni ottenibili facendo commutare il dispositivo superiore nel convertitore in hard switching oppure in soft switching; nel caso del soft switching, il convertitore opera in onda quasi quadra. Questo tipo di funzionamento richiede che il ripple di corrente dell'induttore sia sufficientemente ampio da permettere alla corrente di diventare negativa e caricare  $C_{sw}$  senza perdite; ciò permette ancora l'uso della PWM convenzionale a patto che i tempi morti non occupino un intervallo troppo grande nel tempo di commutazione. Il grafico di questo confronto è riportato in figura 6.3.21 e suggerisce che per un determinato set di condizioni di esercizio (40/20 V, 10 W) è più conveniente utilizzare dispositivi larghi e eseguire il soft switching.

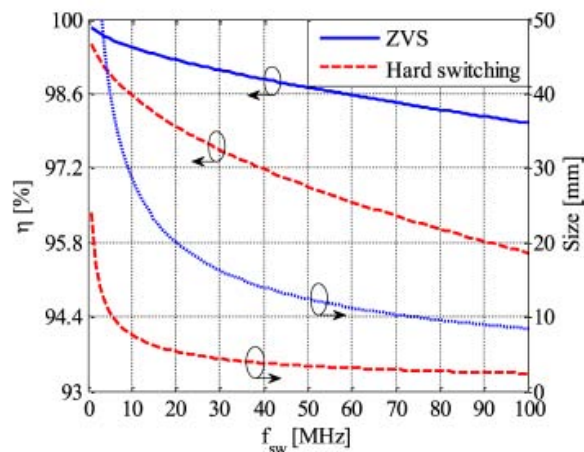
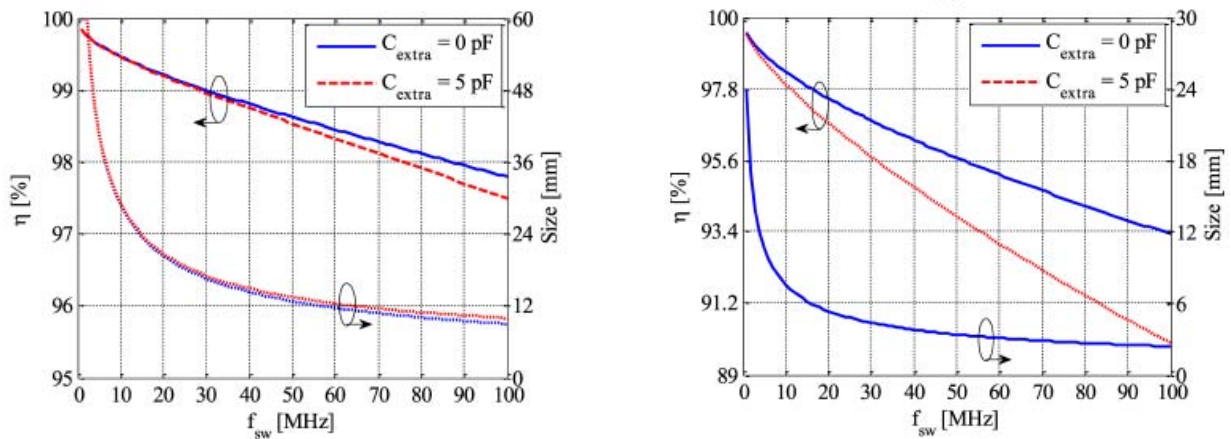


Figura 6.3.21: Massimi rendimento e dimensioni ottenibili con e senza il soft switching.

Come già spiegato nei paragrafi precedenti, il package ha un'influenza notevole sulle prestazioni dei dispositivi a causa degli effetti parassiti e delle limitazioni che impone sul layout del circuito. Durante il processo di ottimizzazione del convertitore è buona norma aggiungere ai transistor in nitruro di gallio una capacità extra che tenga conto del package e di altri contributi parassiti; quindi, alle condizioni di esercizio indicate prima, viene aggiunta una capacità di 5 pF. In figura 6.3.22 sono rappresentati i massimi rendimento e dimensioni ottenibili con e senza l'aggiunta della capacità extra.

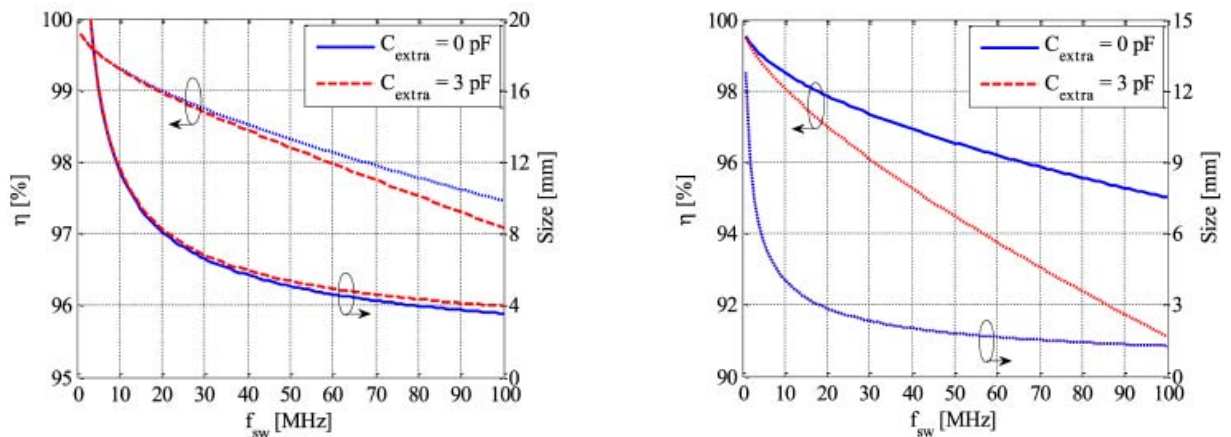




**Figura 6.3.21:** Massimi rendimento e dimensioni ottenibili con e senza l'aggiunta della capacità extra usando il soft switching (a sinistra) e usando l'hard switching (a destra).

Si può vedere che, dato il basso valore di capacità del dispositivo, anche una piccola capacità addizionale ha un grande impatto sulle prestazioni dei transistor. Inoltre dai grafici si evince che si potrebbero usare dei transistor larghi in condizioni di soft switching; tuttavia il prezzo da pagare in termini di costi e difficoltà di packaging è troppo alto e quindi è consigliabile mantenere un approccio più convenzionale e scegliere un transistor di dimensioni piccole che garantisca un funzionamento senza rischi in condizioni di hard switching.

Per minimizzare le capacità parassite, si può integrare la topologia a semiponte sullo stesso *die*, creando un circuito integrato: nel processo di ottimizzazione si calcola che la capacità extra da aggiungere sia di  $3$  pF. Con questo si assume che integrando i circuiti si possa ridurre ulteriormente la capacità parassita rispetto a considerare i dispositivi singolarmente, in quanto le dimensioni del package vengono ridotte. Utilizzando la tecnologia *monolithic microwave integrated circuit* (MMIC) sul modello di convertitore in esame, la tensione di ingresso massima è  $30$  V e la potenza in uscita viene ridotta da  $10$  W a  $3$  W; le prestazioni del convertitore sono rappresentate in figura 6.3.22.



**Figura 6.3.22:** Massimi rendimento e dimensioni ottenibili con e senza l'aggiunta della capacità extra usando il soft switching (a sinistra) e usando l'hard switching (a destra) nel caso di dispositivi integrati.

Lo schema del convertitore buck sincrono in esame è riportato in figura 6.3.23; quello adottato per provare i dispositivi integrati è molto simile. Le condizioni di tensione medio-bassa e bassa corrente in uscita fanno sì che nel progetto del convertitore ci si sia concentrati appunto sulla capacità parassita e i suoi effetti sull'efficienza e le dimensioni dei transistor.

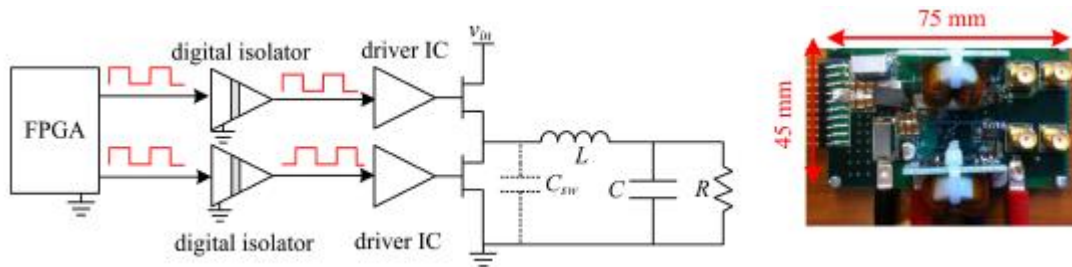


Figura 6.3.23: Schema circuitale del convertitore buck sincrono e prototipo costruito.

Gli impulsi della PWM sono trasmessi alla parte isolata tramite degli isolatori digitali ad alta velocità; dato che essi non possono trasmettere impulsi al di sotto di  $5\text{ ns}$ , il duty cycle va scelto di conseguenza (ad esempio per una frequenza di commutazione di  $10\text{ MHz}$  deve essere compreso tra 0.05 e 0.95 mentre per una frequenza di  $40\text{ MHz}$  deve essere tra 0.12 e 0.88). Per generare la tensione richiesta al secondario degli isolatori digitali è usato un alimentatore isolato in continua. I transistor in  $GaN$  su substrato  $SiC$  sono in *depletion mode* quindi per comandarli il terminale positivo del secondario dell'isolatore è collegato al terminale della *source* del transistor; lo stesso circuito di pilotaggio è utilizzato sia per la parte superiore che quella inferiore della gamba per assicurare l'ottimizzazione dei tempi morti. Le due fonti maggiori di capacità parassite sono l'alimentatore isolato in continua e la PCB: con opportuni provvedimenti si riesce a ridurre il loro contributo combinato a circa  $5\text{ pF}$ .

Due diversi convertitori buck sincroni sono stati verificati a diverse condizioni di carico: il primo composto da dispositivi singoli e alla frequenza di  $10\text{ MHz}$  e il secondo composto da circuiti integrati e alla frequenza di  $40\text{ MHz}$ .

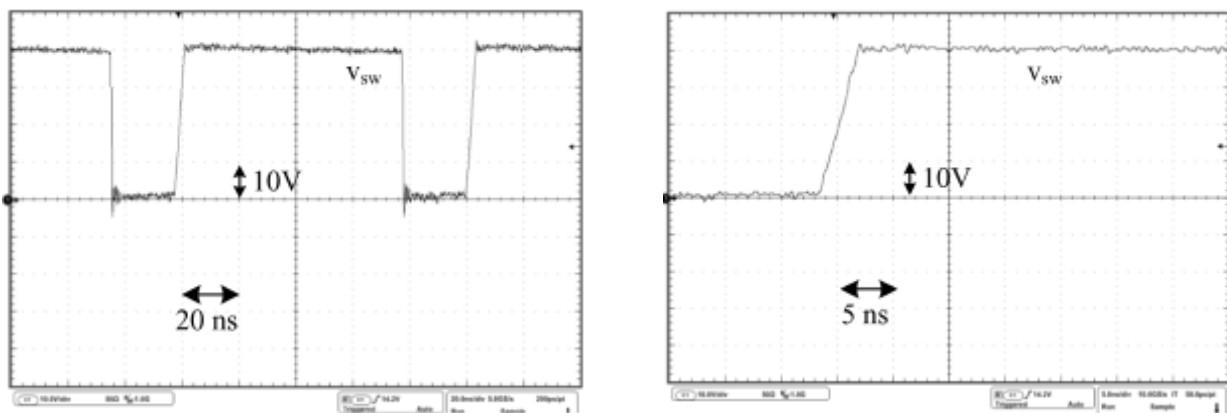


Figura 6.3.24: A sinistra tensione del transistor che commuta ( $V_{in} = 40\text{ V}$ ,  $V_{out} = 20\text{ V}$ ,  $P_{out} = 10\text{ W}$ ,  $f_{sw} = 10\text{ MHz}$ ). A destra il dettaglio della transizione in soft switching del dispositivo superiore del primo convertitore.

La tensione del transistor che commuta del primo convertitore è riportata in figura 6.3.24 mentre il rendimento per diverse condizioni di carico è rappresentato in figura 6.3.25. Il transistor nella parte superiore della gamba funziona in soft switching: la tensione ha dei profili puliti senza sovraelongazioni particolari e i tempi morti sono stati adattati alle condizioni di esercizio. Il convertitore funziona in soft switching tranne che per bassi carichi e ha un rendimento superiore al 90% in gran parte dei livelli di carico.



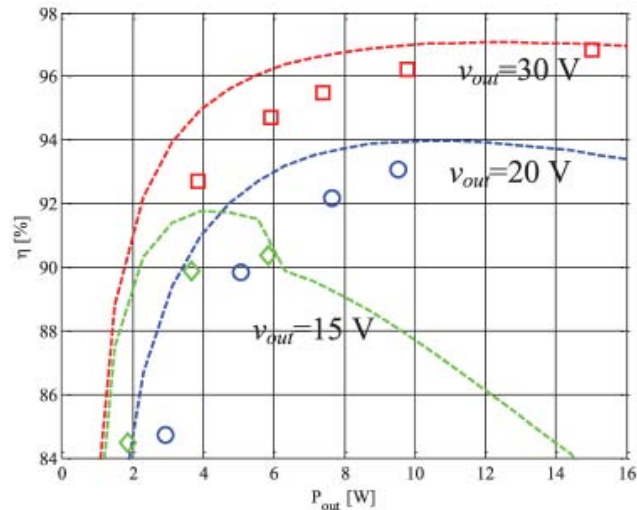


Figura 6.3.25: Rendimento calcolato (tratteggio) e misurato (indicatori) del primo convertitore ( $V_{in} = 40\text{ V}$ ,  $f_{sw} = 10\text{ MHz}$ ).

Nelle figure 6.3.26 e 6.3.27 sono rappresentati rispettivamente la tensione del transistor e il rendimento del secondo convertitore. I profili di tensione sono ancora abbastanza vicini all'ideale, anche se sono presenti più oscillazioni dovute agli effetti parassiti delle connessioni.

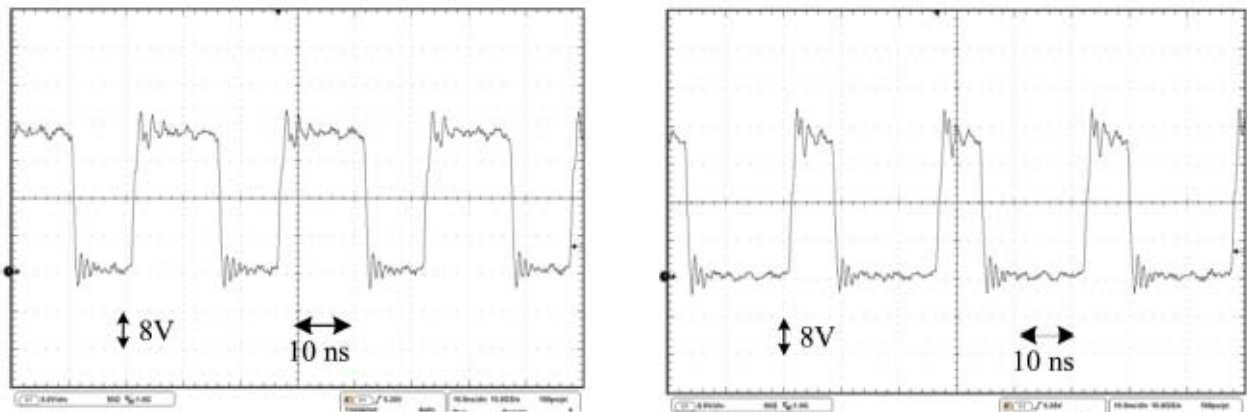


Figura 6.3.26: Tensione del transistor che commuta ( $V_{in} = 30\text{ V}$ ,  $P_{out} = 3.7\text{ W}$ ,  $f_{sw} = 40\text{ MHz}$ ). A sinistra la tensione di uscita è  $V_{out} = 15\text{ V}$ , mentre a destra è  $V_{out} = 7.5\text{ V}$ .

Nonostante la frequenza di commutazione molto alta il rendimento resta sopra l'80% per la maggioranza delle condizioni di esercizio.

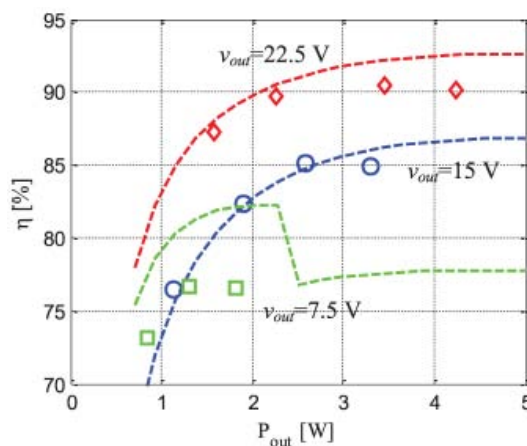


Figura 6.3.27: Rendimento calcolato (tratteggio) e misurato (indicatori) del primo convertitore ( $V_{in} = 30\text{ V}$ ,  $f_{sw} = 40\text{ MHz}$ ).

Recentemente è stato presentato un convertitore boost DC/DC che usa solo dispositivi in nitruro di gallio. I transistor sono HEMT normally-off in *GaN* su silicio con alta tensione di breakdown e i diodi sono diodi Schottky in *GaN* su substrato di zaffiro. Il convertitore opera in hard switching alla frequenza di 1 MHz e duty cycle 0.5; lo schema è rappresentato in figura 6.3.28.

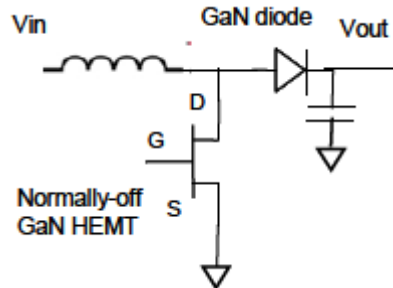


Figura 6.3.28: Schema circuitale del convertitore boost con dispositivi a *GaN*.

Il transistor ha una tensione di breakdown di oltre 1000 V in condizioni statiche, una tensione di soglia di 0.4 V, una corrente nominale di 5 A e una *on-resistance* di 0.64  $\Omega$  a un tensione di *gate* di 3 V. Questi transistor a *GaN* hanno subito un derating per operare a una corrente nominale di 1 A, quindi per un circuito da 3 A se ne usano tre in parallelo; i diodi Schottky a *GaN* (600 V, 4 A) vantano una bassissima corrente di recupero, una caduta di tensione in conduzione di 0.85 V e una *on-resistance* di 0.32  $\Omega$ . Il convertitore ha tre transistor e due diodi; l'induttore di input è in ferrite a basse perdite (induttanza di 112  $\mu\text{H}$  e resistenza equivalente di 0.2  $\Omega$ ), i condensatori di filtro di input e quelli di output hanno una capacità rispettivamente di 10  $\mu\text{F}$  e 0.66  $\mu\text{F}$ . Il circuito di pilotaggio del FET è molto veloce e permette un transitorio di commutazione inferiore ai 3 ns. Per ridurre al massimo gli effetti parassiti e la resistenza termica si utilizza un circuito integrato in cui i dispositivi a *GaN* sono attaccati sopra uno strato di ossido di berillio e montati su un dissipatore.

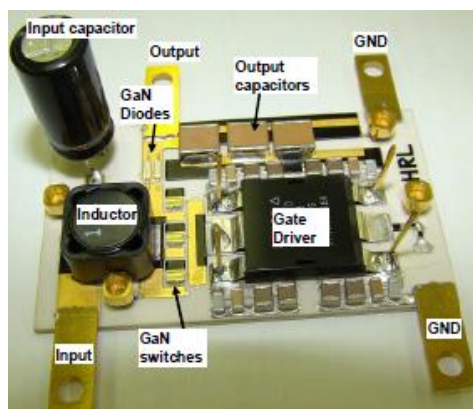


Figura 6.3.29: Convertitore boost con dispositivi a *GaN*.

Il convertitore è ottimizzato per ottenere la migliore prestazione, non per le minime dimensioni. Il suo volume, inclusi i circuiti di comando del *gate*, è di 40  $\text{cm}^3$ ; il circuito di pilotaggio e i suoi condensatori di bypass occupano metà della superficie del circuito.

Il convertitore è stato testato per un intervallo di tensioni e correnti di ingresso (40 ÷ 180 V, 0.2 ÷ 2.5 A) opportunamente filtrate per ridurre le interferenze elettromagnetiche. Il grafico del rendimento rispetto alla potenza in uscita è riportato in figura 6.3.30: la massima efficienza è del 95%, raggiunta a una tensione di uscita di 351 V e una corrente di uscita di 1.21 A. Da questi risultati si ottiene una potenza maggiore e un rendimento simile rispetto ad analoghi convertitori boost con transistor normally-on in *GaN* su substrato di zaffiro o carburo di silicio.

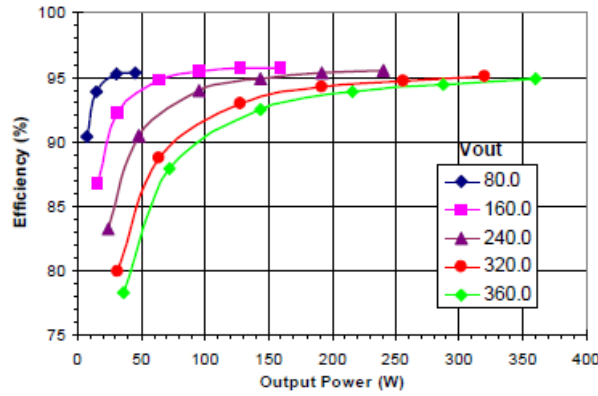
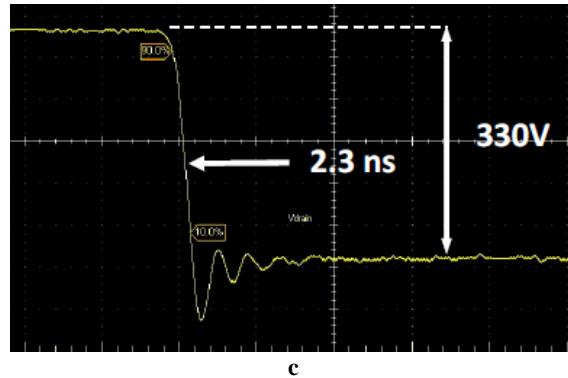


Figura 6.3.30: Rendimento del convertitore boost a GaN a  $f_{sw} = 1\text{ MHz}$  rispetto a varie tensioni di uscita.

Le perdite di commutazione del convertitore sono risultate maggiori del previsto: un'energia di commutazione di  $19\ \mu\text{J}$  è stata stimata alla tensione di uscita di  $350\text{ V}$  e corrente di ingresso di  $2.5\text{ A}$ . Al turn-on la tensione *drain-source* ha un tempo di discesa di  $2.3\text{ ns}$  per  $330\text{ V}$ , come si può vedere in figura 6.3.31: ciò corrisponde a una velocità di commutazione di  $140\text{ V/ns}$ , che è la più rapida riportata per dispositivi da  $600\text{ V}$  nominali.



Tutti i contributi alle perdite del convertitore sono rappresentati nel diagramma a torta di figura 6.3.32. L'energia di commutazione superiore al previsto è imputabile alla *on-resistance* dinamica, che può variare grandemente durante il periodo di commutazione: il convertitore in questione infatti non ha studiato l'influenza della resistenza dinamica.

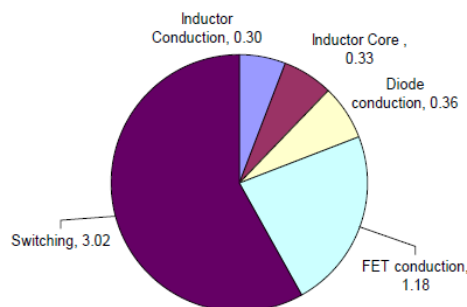


Figura 6.3.32: Ripartizione percentuale dei contributi alle perdite (la somma è 5% perché l'efficienza è 95%).

Questo convertitore boost composto esclusivamente da dispositivi in nitruro di gallio alla frequenza di  $1\text{ MHz}$  ha un rendimento più alto rispetto a quello di un qualsiasi convertitore boost al silicio nonostante la tecnologia GaN sia ancora immatura.

## 6.4. Convertitori con transistor al SiC

Nonostante sia un materiale entrato solo recentemente a livello di produzione industriale come il nitruro di gallio, il carburo di silicio ha una tecnologia un po' più matura del *GaN* e già viene utilizzato nei convertitori: infatti il carburo di silicio è in grado di ridurre le perdite di commutazione ed aumentare l'efficienza della conversione rispetto alle controparti in silicio, come già spiegato nei precedenti capitoli.

Sono stati confrontati due dispositivi al carburo di silicio disponibili sul mercato: un JFET prodotto da Semisouth, Inc. e un MOSFET prodotto da Cree, Inc.. Inoltre si confronteranno questi due componenti con un IGBT al silicio prodotto da International Rectifiers. Nonostante le giunzioni riescano a sopportare una temperatura fino a 400 °C, il limite massimo durante le prove sarà quello imposto dal package, cioè 125 °C.

Transistor	CMF20120D	SJEP120R100	IRG4PH40KPBF
Produttore	Cree	Semisouth	IR
Tecnologia	SiC MOSFET	SiC JFET	Si IGBT
Valori nominali	1200 V, 33 A	1200 V, 30 A	1200 V, 30 A
Parametri in <i>on-state</i>	$R_{ds(on)} = 80 \text{ m}\Omega$	$R_{ds(on)} = 100 \text{ m}\Omega$	$V_{CE} = 2.74 \text{ V}$
Parametri in commutazione	$C_{oss} = 120 \text{ pF}$ con $V_{ds} = 800 \text{ V}$	$C_{oss} = 103 \text{ pF}$ con $V_{ds} = 100 \text{ V}$	$C_{oss} = 77 \text{ pF}$ con $V_{CC} = 30 \text{ V}$

**Tabella 6.2:** Caratteristiche dei dispositivi da usare nel convertitore boost di prova. Valori riferiti a 25 °C.

Per effettuare un paragone tra i due diversi dispositivi, vengono analizzate le perdite allo stesso punto di lavoro; ma siccome è difficile misurare le perdite di un particolare dispositivo senza modificare il sistema, il confronto viene fatto in termini di efficienza totale del sistema complessivo, ottenuta tramite la misura della potenza di input e di output. Lo svantaggio di questo metodo è l'influenza delle perdite di altri componenti del sistema ma, dato che negli esperimenti si sostituiscono solamente i dispositivi in prova, si possono trarre conclusioni attendibili sulle prestazioni dei componenti sotto test.

L'efficienza su cui è basato questo confronto è l'efficienza europea (EE), la cui formula è:

$$EE[\%] = 0.03 \cdot \eta_{5\%} + 0.06 \cdot \eta_{10\%} + 0.13 \cdot \eta_{20\%} + 0.1 \cdot \eta_{30\%} + 0.48 \cdot \eta_{50\%} + 0.2 \cdot \eta_{100\%}$$

Ovviamente l'efficienza sarà ottenuta per diverse frequenze e tensioni di input, con l'obiettivo di analizzare la variazione dell'efficienza di ogni componente in esame sotto differenti condizioni di lavoro.

Per il convertitore DC/DC boost queste ultime sono: tensione di uscita costante a 600 V, tensione di input variabile da 250 V a 500 V per verificare l'impatto del duty cycle sul rendimento; frequenza di commutazione che varia da 10 kHz a 25 kHz, che rientra nei valori accettabili per l'IGBT al silicio e livelli di carico dal 5% al 100%. La potenza nominale è 3.5 kW.

Il convertitore boost con cui si svolgono gli esperimenti è progettato per lavorare in *continuous conduction mode* (CCM) in molte condizioni di lavoro per permettere un miglior confronto tra i diversi transistor perché include anche le perdite di commutazione; ciò nonostante a basso carico il lavoro verrà svolto in *discontinuous conduction mode* (DCM). Per mantenere il più possibile il CCM il valore dell'induttanza è alto, 6 mH, in modo da ottenere un basso ripple di corrente. Nel CCM le perdite di commutazione dei dispositivi sono molto più elevate che in DCM ma siccome l'induttanza viene mantenuta costante il ripple di corrente dell'induttore diminuisce. Questo effetto può in qualche modo nascondere le perdite del dispositivo in prova; comunque sia, le perdite dell'induttore sono di

solito il doppio di quelle del transistor anche se le perdite di qualsiasi elemento del convertitore dipendono dal punto di lavoro.

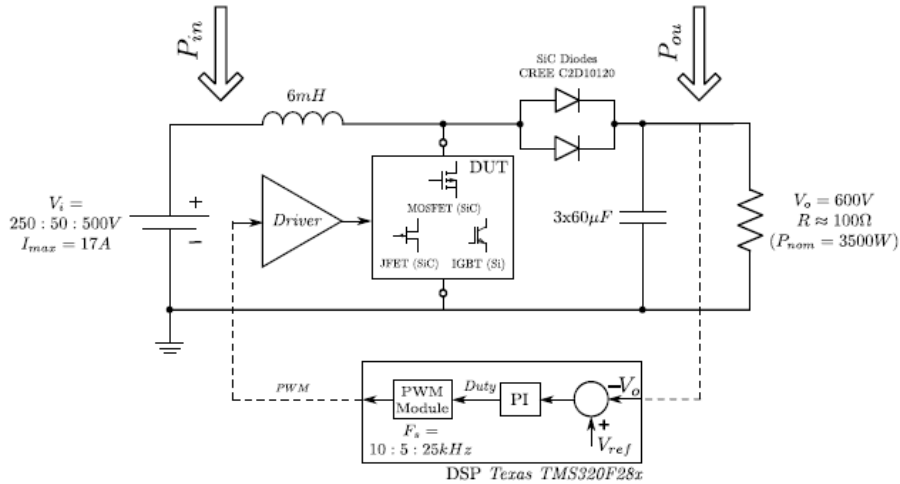


Figura 6.4.1: Diagramma del convertitore boost di prova.

Dalla stima delle perdite si vede che i componenti in *SiC* hanno prestazioni migliori dell'IGBT al silicio, come previsto. In particolare il JFET ha le caratteristiche migliori grazie alla bassa *on-resistance* e capacità di output; il principale inconveniente del JFET è il circuito di pilotaggio e le alte perdite al gate, anche se per potenze maggiori di qualche kW queste perdite sono trascurabili.

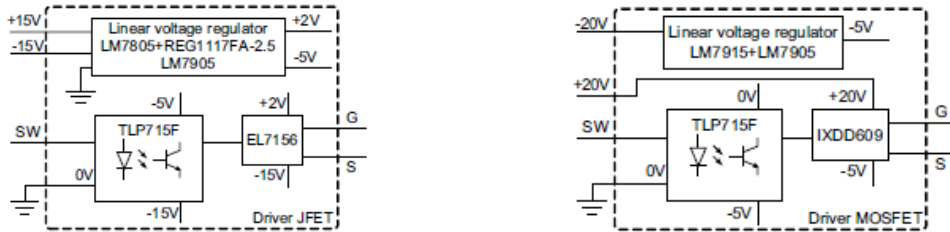


Figura 6.4.2: Schema del circuito di pilotaggio del JFET (a sinistra) e del MOSFET (a destra) in carburo di silicio.

I dispositivi sono controllati da driver costruiti ad hoc, rappresentati in figura 6.4.2; si noti che il *gate* del MOSFET al *SiC* è sensibile alle oscillazioni della tensione applicata quindi il segnale deve rientrare nell'intervallo tra +20 V e -5 V per evitare la distruzione del componente.

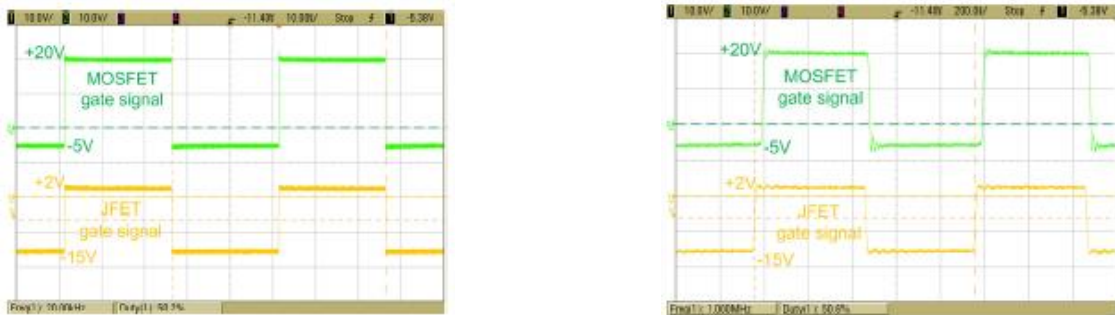


Figura 6.4.3: Segnali generati dai circuiti di comando a 20 kHz (a sinistra) e 1 MHz (a destra).

In figura 6.4.4 è rappresentato un esempio di forme d'onda usando il setup sperimentale spiegato in precedenza. Come si può vedere il ripple di corrente dell'induttore è basso, si è in CCM anche a basso carico e il segnale di gate è abbastanza pulito.

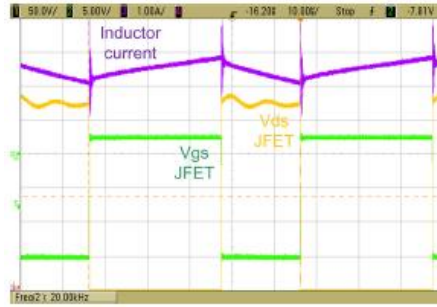


Figura 6.4.4: Esempio di forme d'onda nel convertitore boost di prova.

Invece in figura 6.4.5 è riportato invece il paragone tra i tre dispositivi in esame, con l'efficienza in funzione della tensione di ingresso, alla frequenza di 10 kHz e 25 kHz. Il JFET al SiC è sempre migliore degli altri due componenti; il MOSFET al SiC è meglio dell'IGBT al silicio a basse tensioni, mentre ad alte tensioni di ingresso le differenze tra i due sono difficili da evidenziare misurando soltanto l'efficienza del sistema complessivo.

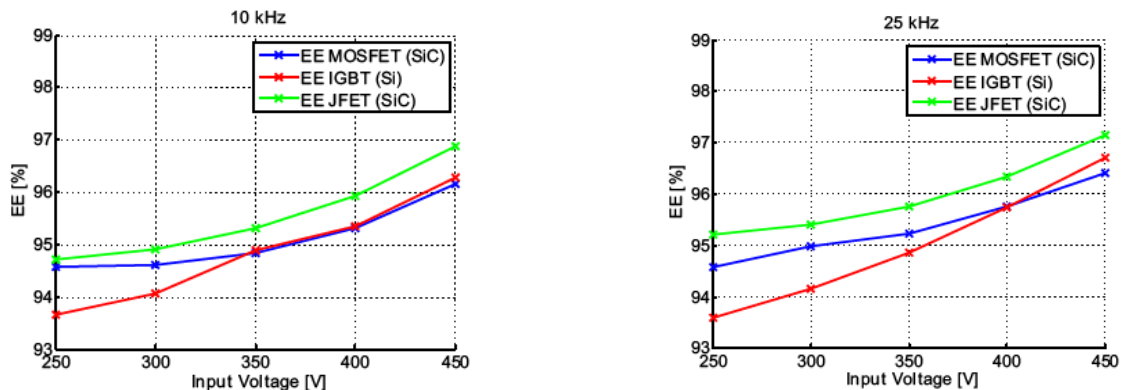


Figura 6.4.5: Rendimento rispetto alla tensione di ingresso per 10 kHz (a sinistra) e per 25 kHz (a destra).

Il confronto tra questi tre dispositivi non è analizzato a dovere quando le perdite nei transistor sono troppo piccole, come nel caso di alte tensioni di ingresso e valori di duty cycle più bassi. In questo caso le perdite del transistor sono molto minori delle perdite della bobina e vengono mascherate da queste ultime. Come evidenziato dal grafico in figura 6.4.6, la riduzione delle perdite della bobina è più grande dell'aumento delle perdite di commutazione al crescere della frequenza; ne consegue che l'efficienza sale.

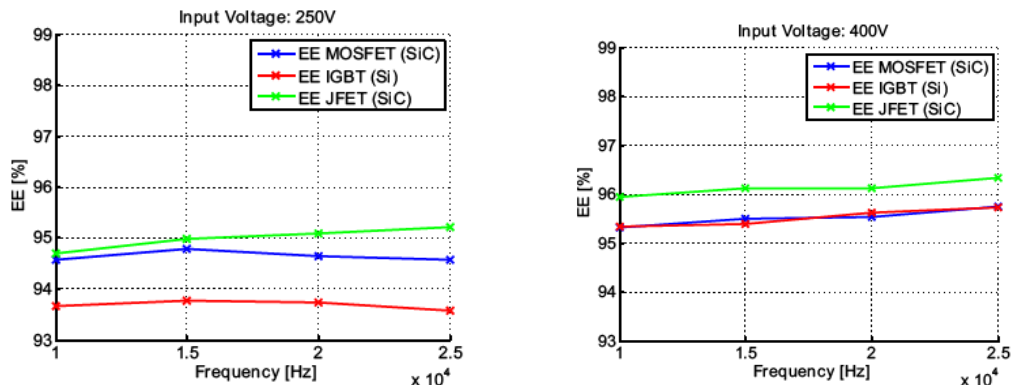


Figura 6.4.6: Rendimento rispetto alla frequenza per tensione di ingresso di 250 V (a sinistra) e 400 V (a destra).

In conclusione, i JFET in carburo di silicio sono la scelta migliore per questo convertitore boost: sostituendoli agli IGBT al silicio si hanno perdite minori e quindi un rendimento più alto; l'unico

intoppo è il costo più alto. I MOSFET in SiC sono generalmente migliori degli IGBT al silicio ma a livelli di potenza più alti hanno un rendimento molto simile.

L'azienda Cree ha condotto un esperimento molto interessante su un convertitore boost da 10 kW a 100 kHz. Tutti gli IGBT in silicio vengono sostituiti da MOSFET in carburo di silicio. I MOSFET in SiC a 100 kHz sono più efficienti degli IGBT in silicio a 10 kHz per tutte le condizioni di carico. I MOSFET al SiC sono il 60% più piccoli e il 20% più economici rispetto agli IGBT al silicio.

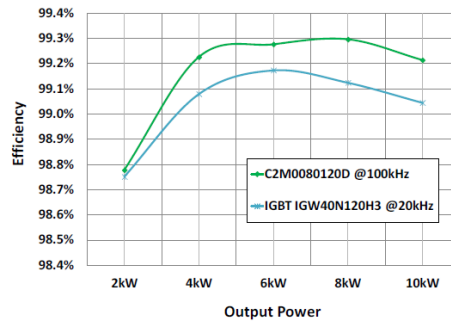


Figura 6.4.7: Confronto dell'efficienza tra MOSFET al SiC e IGBT al silicio.

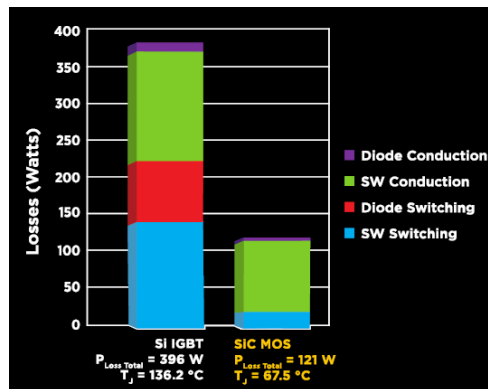


Figura 6.4.8: Confronto delle perdite tra MOSFET al SiC e IGBT al silicio.

Ad una frequenza di 8 kHz e con un motore da 22 kW, il fatto più notevole è l'estrema riduzione delle perdite da parte del *body diode* del transistor: le perdite di conduzione sono ridotte a 1/5 e le perdite di commutazione sono annullate. È un *body diode* affidabile: guardando i grafici nelle figure 6.4.9 e 6.4.10 si vede che la tensione *drain-source* del MOSFET e la tensione del *body diode* in stato di conduzione non variano dopo 1000 ore di stress continuativo. Alla fine usando un modulo al carburo di silicio le perdite vengono ridotte del 70%.

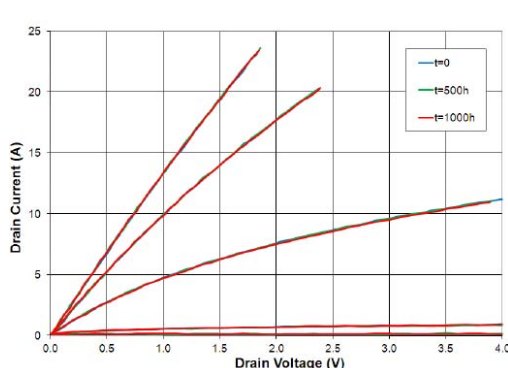


Figura 6.4.9 (sinistra): Variazione della tensione *drain-source* del MOSFET per diversi periodi di stress continuativo.

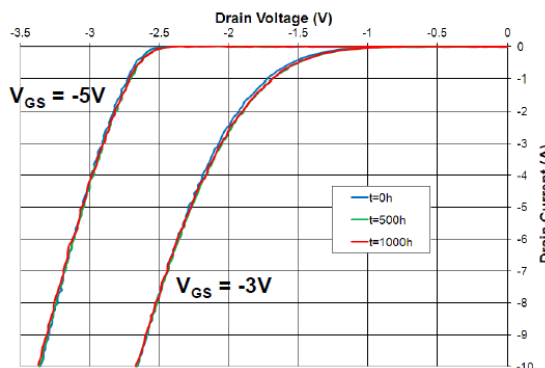


Figura 6.4.10 (destra): Variazione della tensione del *body diode* in conduzione per diversi periodi di stress continuativo.



Alla temperatura di giunzione di 150 °C vengono poi confrontati un MOSFET al carburo di silicio e un IGBT al silicio con lo stesso valore di corrente nominale: si nota che il *SiC* MOSFET è molto più efficiente a carichi leggeri; invece per quanto riguarda l'IGBT, le perdite di commutazione rappresentano il 30% delle sue perdite totali.



Figura 6.4.11: Confronto delle perdite di commutazione tra MOSFET al *SiC* e IGBT al silicio.

Delle considerazioni simili si possono fare per gli inverter. Si prenda come riferimento il modello di inverter trifase nel circuito di figura 6.4.12 e le cui specifiche sono in tabella 6.3.

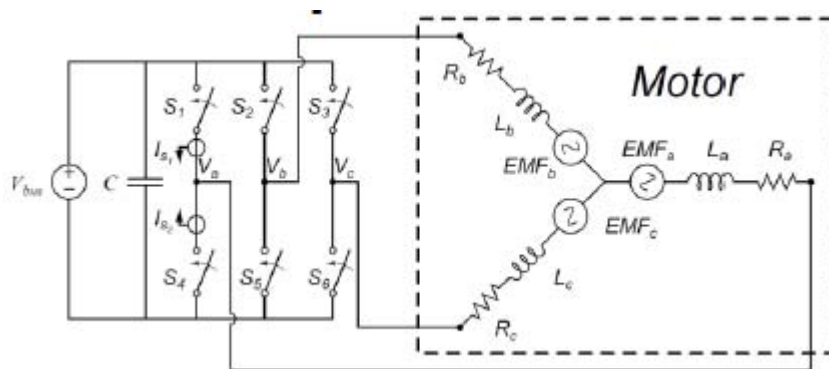


Figura 6.4.12: Modello circuitale dell'inverter e motore.

Specifiche	Valore
Tensione del bus DC [V]	800
Massima tensione fase-fase di uscita (valore efficace) [V]	490
Potenza nominale [kVA]	12
Massima corrente di carico (valore efficace) [A]	15
Modulazione	
Frequenza di riferimento [Hz]	50
Frequenza della portante [kHz]	20, 50, 100
Tempi morti ( <i>SiC/Si</i> ) [ns]	150/400
Resistenza statorica del motore [ $\Omega$ ]	0.1
Induttanza sincrona del motore [mH]	40
Forza controelettrica fase-neutro del motore [V]	339

Tabella 6.3: Specifiche del circuito.



Si fa un confronto tra l'invertitore composto solamente da dispositivi al silicio (IGBT e diodo a giunzione pn superveloce) e quello composto solamente da dispositivi in carburo di silicio (MOSFET e diodo Schottky)

I circuiti di comando sono alimentati da fonti di tensione indipendenti e hanno un tempo di salita e discesa di 10 ns; il valore della resistenza esterna di gate è di 2.5 Ω nel caso del SiC e di 10 Ω nel caso del silicio. La temperatura di giunzione dei dispositivi è assunta pari a 100 °C.

Dispositivo principale	SiC MOSFET	Si IGBT
Tensione di breakdown [V]	1200	1200
Massima corrente di <i>drain</i> /collettore a 25 °C [A]	42	40
Caduta di tensione in conduzione a 20 A e 25 °C [V]	1.6	2.4
Tempo di turn-on [ns]	37	43
Tempo di turn-off [ns]	78	630
Resistenza termica giunzione- <i>case</i> [K/W]	0.51	0.65

Tabella 6.4: Caratteristiche dei transistor principali.

Il diodo Schottky in carburo di silicio ha una carica elettrica capacitiva di 132 nC mentre la giunzione pn superveloce al silicio ha una carica elettrica di recupero di 600 nC.

Si considera che l'invertitore abbia la frequenza di commutazione di 20 kHz, che sia a pieno carico e abbia un fattore di potenza pari a 1 e che le perdite sono definite come la differenza tra la potenza di ingresso al bus DC e la potenza consumata dal motore, senza includere i contributi del circuito di pilotaggio e delle induttanze parassite.

I risultati del confronto sono riportati in tabella 6.5.

	Invertitore SiC	Invertitore Si
Tensione del DC link [V]	800	800
Potenza in ingresso [W]	12604	11944
Perdite nei dispositivi principali [W]	76.02	342.97
Perdite nei diodi [W]	0.54	5.14
Perdite totali [W]	76.56	348.11
Potenza in uscita [W]	12528	11595
Rendimento [-]	99.4%	97.08%

Tabella 6.5: Risultati del confronto tra invertitore con MOSFET in SiC e invertitore con IGBT al silicio.

Sulla base dei risultati si nota subito che le perdite totali nell'invertitore con componenti al silicio sono quasi 5 volte più grandi rispetto a quelle della sua controparte in SiC: quest'ultimo ha ridotto le perdite totali del 78% ottenendo un rendimento più alto del 2.32%.

Nelle figure 6.4.13 e 6.4.14 sono riportati i transitori di commutazione dei dispositivi al carburo di silicio e di quelli al silicio. Nella commutazione dei transistor, si vede benissimo che gli IGBT al silicio presentano la corrente di coda: infatti il transitorio della corrente dell'IGBT è molto lento, circa 300 ns, mentre quello del MOSFET in carburo di silicio è circa 50 ns.

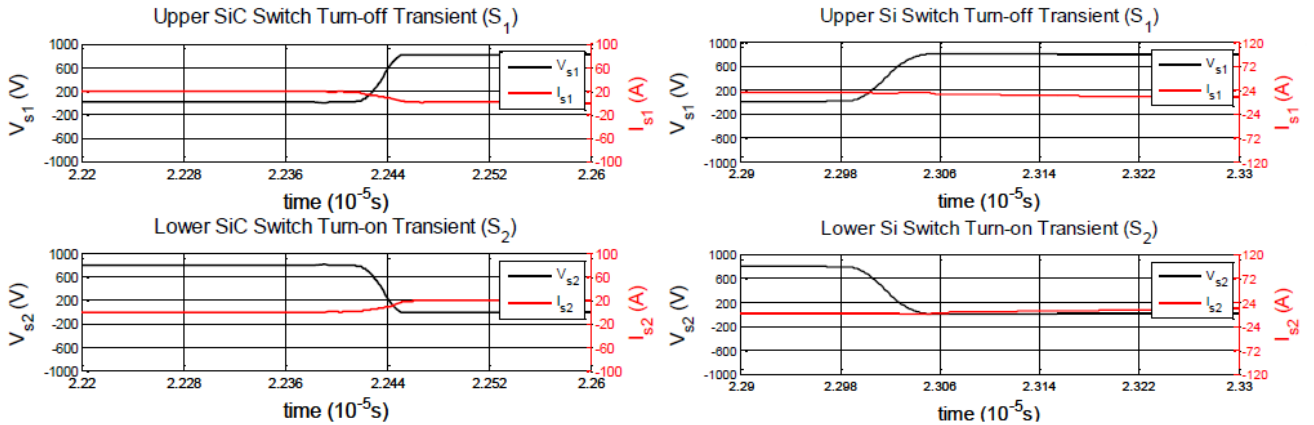


Figura 6.4.13: Transitori del MOSFET in SiC (a sinistra) e dell'IGBT al silicio (a destra).

Nella commutazione dei diodi invece si nota subito la grande differenza nel comportamento di recupero: infatti i diodi Schottky in carburo di silicio hanno una corrente di recupero molto ridotta, come già spiegato nel capitolo dedicato ai diodi; invece i diodi al silicio hanno una corrente di recupero molto pronunciata e di conseguenza un peggiore comportamento in fase di recupero.

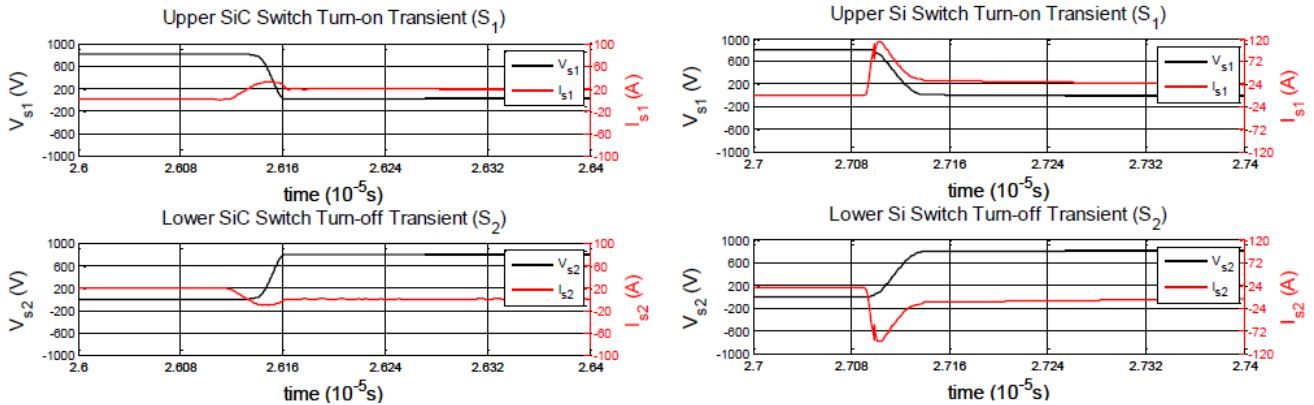


Figura 6.4.14: Transitori del diodo Schottky in SiC (a sinistra) e della giunzione pn superelece al silicio (a destra).

Chiaramente, variando il fattore di potenza anche le prestazioni dell'invertitore variano di conseguenza, come si può riscontrare in figura 6.4.15. Alla frequenza di 20 kHz le perdite del MOSFET non cambiano molto, mentre quelle del diodo Schottky aumentano più di tre volte con la variazione del fattore di potenza. Di conseguenza l'efficienza del convertitore scende dal valore massimo di 99.4% a fattore di potenza unitario ai valori di 98.71% e 98.84%, rispettivamente per angolo di fase sfasato di +60° e -60°. Per altre frequenze i valori delle perdite e del rendimento sono diversi ma il comportamento è analogo a quello illustrato prima.

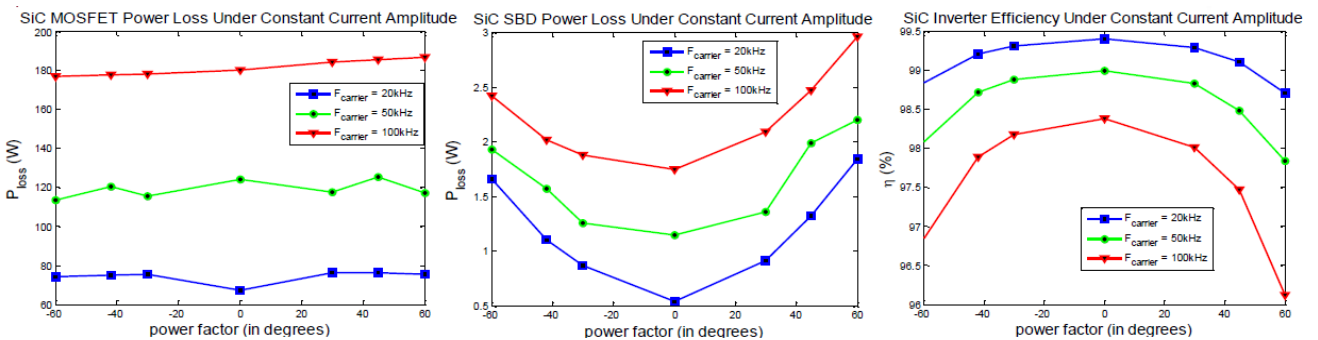


Figura 6.4.15: Comportamento dell'invertitore con componenti in carburo di silicio al variare del fattore di potenza.

La corrente di carico ha un'influenza diretta sulle prestazioni dell'invertitore, come si può vedere in figura 6.4.16. Assumendo un fattore di potenza unitario, se si cala la corrente di carico dal valore massimo di 15 A (valore efficace) fino a un valore di 5 A, sia le perdite che la potenza in uscita diminuiscono notevolmente: però mentre la potenza in uscita è quasi proporzionale alla corrente di carico, le perdite non lo sono. A frequenze più basse le perdite nel MOSFET sono soprattutto perdite di conduzione, cioè perdite nella resistenza tra *drain* e *source* che essendo proporzionali al quadrato della corrente calano velocemente quando il valore di corrente si abbassa; al contrario le perdite di commutazione sono predominanti ad alte frequenze quindi hanno un effetto maggiore sul rendimento.

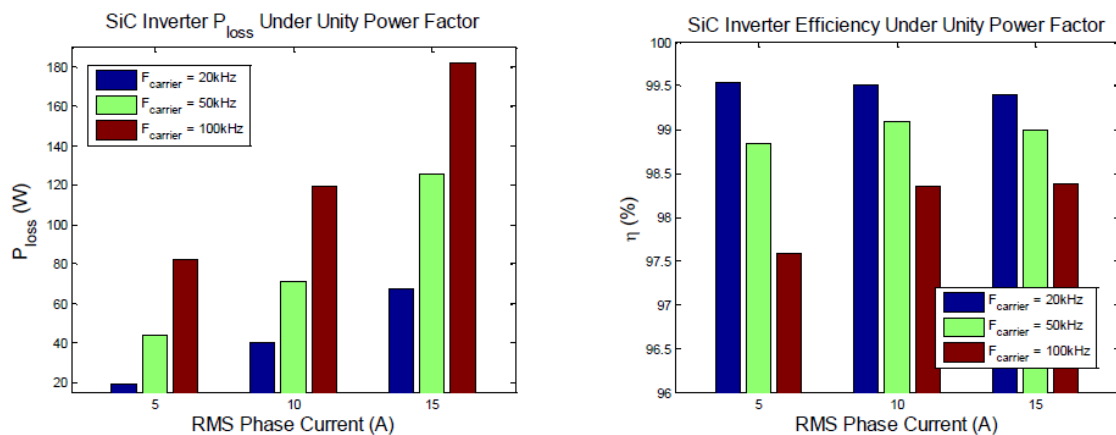


Figura 6.4.16: Comportamento dell'invertitore con componenti in carburo di silicio al variare della corrente di fase.

In conclusione, usando un invertitore composto interamente da dispositivi in carburo di silicio diminuiscono le perdite totali del 78% ed aumenta l'efficienza del 2.3% rispetto all'invertitore con componenti al silicio. Anche alla frequenza di 100 kHz le perdite dell'invertitore SiC, pari a 190 W, sono comunque inferiori di quelle dell'invertitore Si, pari a 343 W.

## 6.5. Conclusioni

Usando i dispositivi a *GaN* e *SiC*, aumenta l'efficienza massima e la massima frequenza di commutazione ammissibile dei convertitori. Nonostante la maggiore difficoltà nel pilotaggio, le maggiori perdite di conduzione (FET *SiC*) oppure le maggiori perdite nei tempi morti (FET *GaN*) e i maggiori costi, è necessario utilizzare componenti al carburo di silicio o nitruro di gallio in applicazioni dove è richiesto un funzionamento in alta frequenza. I convertitori e gli invertitori basati su questi materiali saranno quindi meno ingombranti e adatti per applicazioni come ad esempio i veicoli elettrici.

## 6.6. Bibliografia

- “*Impact of Parasitics on Performance*”, white paper WP009 di EPC-Co, Inc., (<http://epc-co.com/epc/documents/papers/Impact%20of%20Parasitics%20on%20Performance.pdf>);
- “*Driving eGaN® FETs in High Performance Power Conversion Systems*”, application note AN012 di EPC-Co, Inc., (<http://epc-co.com/epc/documents/product-training/AP-PCIM.pdf>);
- “*Improve DC-DC Flyback Converter Efficiency Using eGaN FETs*”, white paper WP003 di EPC-Co, Inc., (<http://epc-co.com/epc/documents/papers/Improve%20DC-DC%20Flyback%20Converter%20Efficiency%20Using%20eGaN%20FETs.pdf>);
- “*High Step-Down Ratio Buck Converters with eGaN Design*” di Johan Strydom e Bob White, pubblicato da How2Power, novembre 2010, ([http://www.how2power.com/newsletters/1011/articles/H2PowerToday1011\\_design\\_EPC.pdf](http://www.how2power.com/newsletters/1011/articles/H2PowerToday1011_design_EPC.pdf));
- “*Analysis of a SiC three-phase voltage source inverter under various current and power factor operations*” di Han Di, J. Noppakunkajorn e B. Sarlioglu, IECON, 2013, pagg.447-452;
- “*SiC and Si transistors comparison in boost converter*” di A. Zapico, I. Gabiola, S. Apiñaniz, F. Santiago, A. Pujana, A. Rodriguez e F. Briz, 15<sup>th</sup> International Power Electronics and Motion Control Conference, 2012, pagg. DS1a.7-1 - DS1a.7-6;
- “*A 95% Efficient Normally-Off GaN-on-Si HEMT Hybrid IC Boost Converter with 425 W Output Power at 1 MHz*” di B. Hughes, Y.Y. Yoon, D.M. Zehnder e K.S. Boutros, IEEE Compound Semiconductor Integrated Circuit Symposium, 2011, pagg.1-3;
- “*High Frequency PWM Buck Converters Using GaN-on-SiC HEMTs*” di M. Rodriguez, Yuanzhe Zhang e D. Maksimovic, IEEE Transactions on Power Electronics, 2014, Volume 29, Issue 5, pagg.2462-2473;
- “*Super Materials: Gan and SiC*” di Scott Allen e Lee Stauffer, webinar moderato da Jason Lomberg e offerto da ECN, 20 novembre 2013 (<http://www.ecnmag.com/webinars/2013/11/ecn-webcast-super-materials-gan-and-sic>);
- “*Design and Evaluation of Reduced Self-Capacitance Inductor in DC-DC Converters with Fast-Switching SiC Transistors*” di M. Zdanowski, K. Kostov, J. Rabkowski. R. Barlik e Hans-Peter Nee, IEEE Transactions on Power Electronics, 2014, Volume 29, Issue 5, pagg.2492-2499;

## ANALISI DI SiC MOSFET

In questo capitolo si faranno delle simulazioni per verificare il comportamento di un inverter trifase con MOSFET in carburo di silicio e confrontarlo con uno che usa IGBT al silicio. Successivamente si indagherà sull'aumento di efficienza di un raddrizzatore monofase da utilizzare in ambiente automotive nel circuito per la ricarica della batteria di un veicolo elettrico tramite wireless energy transfer.

### 7.1. Modello delle perdite di un inverter trifase

Dopo aver fornito una panoramica generale delle applicazioni e dei risultati conseguiti con i dispositivi a base di carburo di silicio e di nitruro di gallio, il passo successivo – nonché scopo di questa tesi – è la progettazione di un inverter trifase con MOSFET al SiC da utilizzare in un veicolo elettrico.

Si prenderà come riferimento l'azionamento di trazione di un veicolo elettrico sul tipo della Nissan LEAF (figura 7.1.1), che va ad alimentare un motore sincrono a magneti permanenti in corrente alternata da 80 kW a 2 poli.

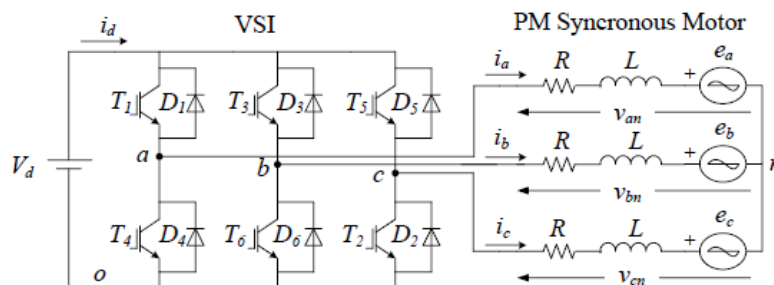


Figura 7.1.1: Schema del circuito di trazione del veicolo.

L'inverter è alimentato da una batteria da 365 V, composta da due serie da 96 celle connesse in parallelo; la corrente ovviamente è variabile e ha un valore massimo di 700 A di picco. L'inverter è formato da 6 dispositivi di potenza con diodi in antiparallelo e ha un valore nominale di 600 V; il comando è effettuato tramite *space vector modulation* (SVM) quindi la massima tensione di fase ottenibile è  $V_d/\sqrt{3}$ . I parametri più importanti sono riportati in tabella 7.1.

Parameter	Symbol	Value
Mass (with driver)	$m$	1550 kg
Air drag coefficient	$C_d$	0.28
Front area	$A_f$	2.23 m <sup>2</sup>
Rolling friction coefficient	$K_{rf}$	0.01
Wheels radius	$r$	0.316 m
Motor nominal power	$P_N$	80 kW
Motor nominal torque	$T_N$	280 N·m
Motor nominal current	$I_N$	250 Arms
Motor constant	$k$	0.73 V·s/rad
Motor d axis inductance	$L_d$	3.3 mH
Motor q axis inductance	$L_d$	1.2 mH
Motor number of pole pairs	$p$	1
Battery nominal voltage	$V_{dN}$	365 V
Range (NEDC)	$r$	200 km

Tabella 7.1: Parametri importanti della Nissan LEAF.

Essenzialmente un invertitore con componenti al carburo di silicio si progetta in modo simile ad uno con dispositivi al silicio: per questo motivo è possibile fare un confronto tra i due casi per stabilire quale sia la soluzione più conveniente per l'applicazione in esame. Pertanto lo stesso invertitore è stato progettato usando dei moduli IGBT della Vishay Semiconductors, Inc. (VS-GT400TH60N) e poi dei moduli MOSFET al SiC della ROHM, Inc. (BSM180D12P2C101). Come è noto, il rendimento dell'invertitore è determinato dalle perdite per cui il loro studio è fondamentale durante la progettazione. Per semplificare i calcoli, si è considerata soltanto una gamba e si è proceduto all'analisi delle perdite durante un periodo di PWM (figura 7.1.2); per ottenere le perdite totali dell'invertitore poi basta moltiplicare il risultato per 3 in quanto nel periodo della corrente di fase le perdite totali sono le stesse per ogni gamba.

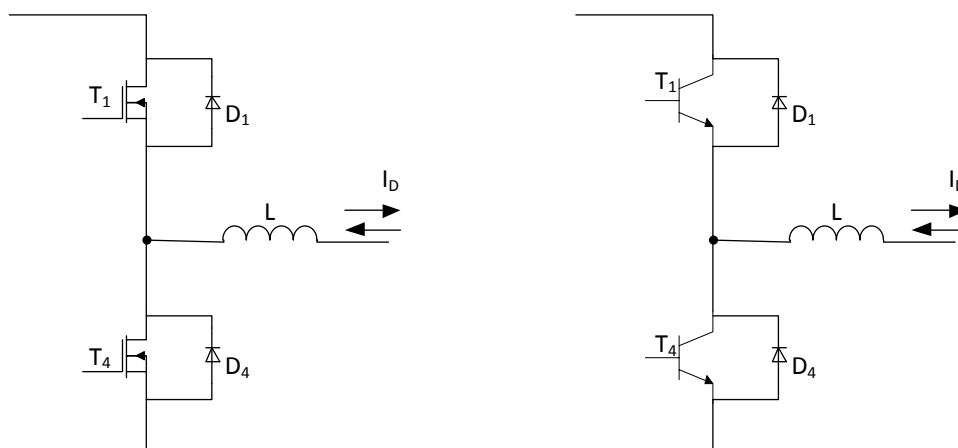


Figura 7.1.2: Gamba di un invertitore con MOSFET n-channel (a sinistra) e IGBT npn (a destra).

Per il calcolo delle perdite si è usato un programma compilato in Matlab™ e si è fatto riferimento al ciclo NEDC (figura 7.1.3), utilizzato a livello europeo per determinare le emissioni di un'autovettura in ambiente urbano ed extraurbano.

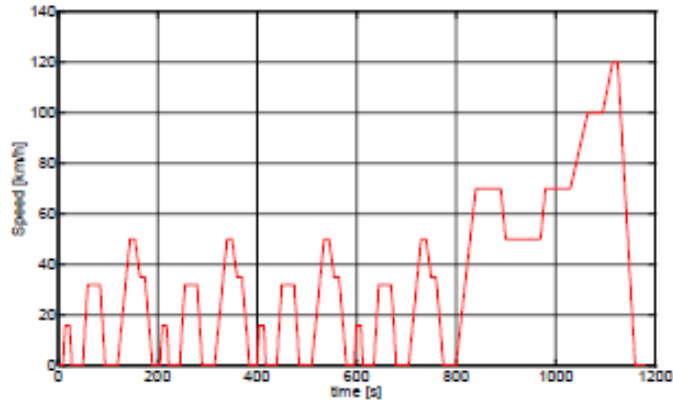


Figura 7.1.3: Ciclo NEDC.

Nel ciclo NEDC l'ambiente urbano è rappresentato nell'intervallo tra 0 e 780 secondi: è un ciclo che simula le condizioni di guida in una grande città ed è caratterizzato da basso carico del motore, emissioni ridotte e velocità massima di 50 km/h. L'ambiente extraurbano invece è rappresentato nell'intervallo da 780 a 1180 secondi: è caratterizzato da uno stile di guida più aggressivo e la massima velocità è 120 km/h. Le emissioni del veicolo vengono calcolate a fine ciclo, dopo che il veicolo ha percorso in 1180 secondi una distanza teorica di 11023 m ad una velocità media di 33.6 km/h.

Quando la velocità del motore è inferiore a quella nominale, le correnti di fase sono controllate in modo che abbiano un profilo sinusoidale e che siano in fase con le forze controelettromotrici, producendo una coppia ricavabile da:

$$T = \frac{3}{2} kI$$

Quando invece la velocità del motore supera quella nominale, la batteria non riesce più fornire la corrente richiesta dal motore e alle correnti di fase viene aumentata la componente in quadratura e aggiunta una componente diretta in modo da controbilanciare, almeno parzialmente, l'aumento delle forze controelettromotrici: la macchina quindi viene deflussata perché si ha una caduta di tensione legata alle induttanze per compensare l'aumento delle correnti e quindi l'aumento di coppia. Siccome la coppia viene prodotta dalle componenti di corrente in fase con le forze controelettromotrici, in questo caso la coppia generata è inferiore a quella nominale e tutto avviene come se il motore funzionasse nella regione di potenza costante. La potenza convertita da elettrica a meccanica è data da:

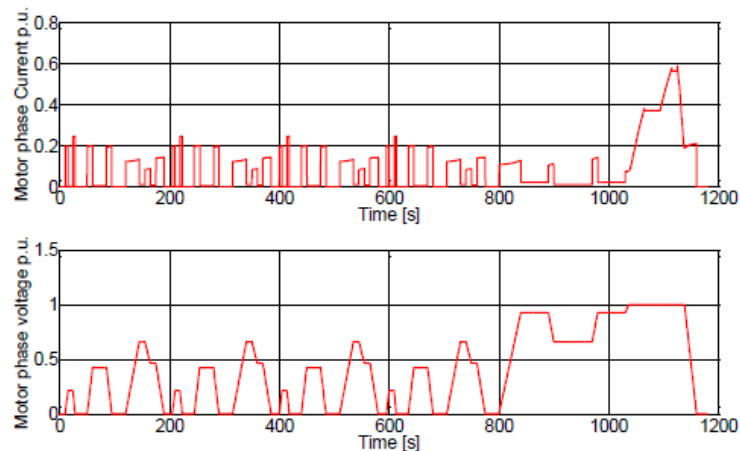
$$P = \frac{3}{2} EI = \frac{3}{2} k\omega I$$

mentre la tensione di fase necessaria ad alimentare il motore (trascurando le resistenze di fase) è espressa da:

$$V = \sqrt{E^2 + (\omega LI)^2} = \omega \sqrt{k^2 + (LI)^2}$$

dove  $E$  è l'ampiezza delle forze controelettromotrici,  $k$  è la costante del motore,  $\omega$  è la velocità angolare,  $I$  è l'ampiezza delle correnti di fase e  $L$  è l'induttanza di fase. Conoscendo il rapporto di trasmissione e il raggio della ruota si possono ricavare la velocità angolare e la coppia generata dal motore durante un ciclo NEDC; usando poi le equazioni riportate sopra si ricava ampiezza e sfasamento della corrente e della tensione di fase del motore in ogni punto del ciclo di guida, come

rappresentato in figura 7.1.4. Nel grafico i valori sono espressi in p.u. con riferimento ai valori nominali.



**Figura 7.1.4:** Ampiezza della corrente (in alto) e della tensione (in basso) di fase del motore.

Supponendo che il motore funzioni sempre a regime e il veicolo percorra una strada piana senza vento avverso, si è stimato che l'energia necessaria per muovere il veicolo durante un ciclo sia pari a circa  $2 MJ$ .

La scelta dei componenti non è stato un facile: il confronto dei datasheet di IGBT e di MOSFET non è stato semplice in quanto manca una standardizzazione effettiva e qualche volta non tutti i parametri necessari per il calcolo sono riportati; in un caso si è vista persino una discordanza tra i valori di energia di turn-on in determinate condizioni di lavoro riportati nei grafici e quelli scritti nel datasheet. Le formule utilizzate per ottenere analiticamente le perdite di turn-on e turn-off più di qualche volta hanno dato risultati discordanti da quelli misurati e scritti nei datasheet; ciò nonostante i valori delle perdite ottenuti sono attendibili, considerando le semplificazioni e approssimazioni ipotizzate.

I MOSFET e gli IGBT sono controllati con la PWM. Si noti che i MOSFET sono in grado di condurre anche in direzione inversa, a differenza degli IGBT, e quindi viene sfruttata questa proprietà. Quindi nell'invertitore con i MOSFET i diodi in antiparallelo conducono solo e soltanto durante i tempi morti, in quanto la tensione *drain-source* è inferiore a quella del diodo in stato conduttivo e di conseguenza la corrente fluisce nel canale del MOSFET, posto che sia completamente aperto (cioè che la tensione *gate-source* sia superiore al valore di plateau); in caso contrario il MOSFET e il diodo in antiparallelo conducono contemporaneamente. Inoltre si è deciso di utilizzare dei dispositivi con valori nominali più elevati invece di mettere in parallelo più dispositivi meno potenti come precauzione di sicurezza e per limitare la complessità del circuito. Durante un singolo periodo di PWM, le perdite di una gamba dell'invertitore sono stimate in funzione della tensione del DC link, della corrente di fase (assunta costante) e del duty cycle. Il periodo di PWM è suddiviso in cinque intervalli, ognuno caratterizzato da una diversa combinazione di comandi di *gate* (figura 7.1.5). Chiaramente non è possibile che due interruttori nella stessa gamba siano attivi entrambi nello stesso intervallo per cui quando l'interruttore in alto è attivo quello in basso è disattivato e viceversa. Di conseguenza anche i comandi di turn-on e turn-off dei transistor nella stessa gamba sono opposti; l'unica eccezione, come è noto, sono i tempi morti in cui entrambi i transistor sono in *off-state*.



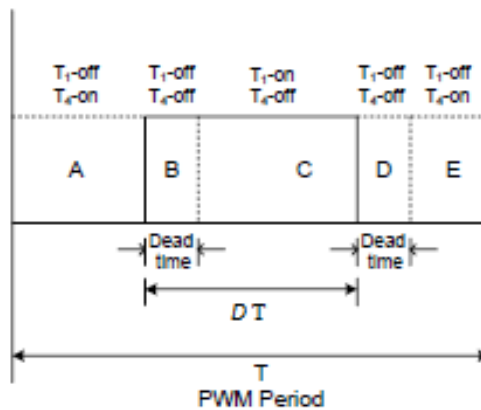


Figura 7.1.5: Periodo di PWM con suddivisione degli intervalli di conduzione.

Corrente	Dispositivo	Intervalli di conduzione				
		A	B	C	D	E
$I_D > 0$	IGBT	$D_4$	$D_4$	$T_1$	$D_4$	$D_4$
	MOSFET	$T_4$	$D_4$	$T_1$	$D_4$	$T_4$
$I_D < 0$	IGBT	$T_4$	$D_1$	$D_1$	$D_1$	$T_4$
	MOSFET	$T_4$	$D_1$	$T_1$	$D_1$	$T_4$

Tabella 7.2: Sequenza di conduzione in funzione del tipo di dispositivo e del verso della corrente.

In tabella 7.2 è riportata la sequenza di conduzione in funzione del tipo di dispositivo e del verso della corrente, con riferimento agli intervalli di conduzione di figura 7.1.5. Sulla base di questa tabella vengono effettuate le successive considerazioni.

I dispositivi possono venire commutati in condizioni di soft switching perché ad esempio prima del turn-off di un IGBT la corrente scorre tutta nel diodo in antiparallelo e quindi si ha un *zero current switching* (ZCS). Questo si può vedere nella commutazione di IGBT con corrente di carico  $I_D$  positiva durante la commutazione tra l'intervallo A e l'intervallo B oppure nel passaggio tra l'intervallo D e l'intervallo E; si noti però che, pur ottenendo il soft switching del transistor e quindi annullando le perdite di commutazione, la corrente continua a scorrere nel diodo con maggiori perdite di conduzione, vanificando i benefici del soft switching.

Nel caso di un MOSFET invece è possibile non ottenere lo ZCS completo perché la tensione ai capi del transistor è limitata dal valore di soglia del diodo e si hanno quindi delle perdite, anche se minori. Questo dipende dal tipo di MOSFET: se la caduta di tensione del diodo in stato conduttivo è superiore alla tensione tra *drain* e *source*, allora la corrente scorrerà solamente nel MOSFET; se invece vale il contrario la corrente scorrerà sia nel diodo che nel MOSFET. Questo si può vedere ad esempio nel passaggio tra l'intervallo D e l'intervallo E.

In certi transistori invece si ha un vero e proprio hard switching in quanto la tensione ai capi del transistor è pari a quella del DC link, come ad esempio la commutazione tra l'intervallo B e l'intervallo C nel caso di un IGBT con corrente di carico positiva.

Le perdite di bloccaggio, proporzionali alla corrente di fuga e alla tensione inversa applicata, sono molto basse e pertanto trascurabili rispetto alle altre perdite; le perdite di commutazione e quelle di comando avvengono durante i transistori tra un intervallo e quello successivo mentre quelle di conduzione si hanno nel funzionamento a regime durante l'intervallo.

Nei MOSFET e negli IGBT le perdite di turn-on avvengono durante il tempo di salita della corrente e il tempo di discesa della tensione mentre quelle di turn-off si hanno durante il tempo di salita della

tensione e il tempo di discesa della corrente. I datasheet riportano i tempi relativi alla corrente, mentre per quanto riguarda quelli riferiti alla tensione è necessario ricavarli analiticamente manipolando i dati contenuti nel datasheet. Nel processo di commutazione la velocità con cui varia la tensione tra *drain* e *source* (oppure tra collettore ed emettitore nel caso di un IGBT) dipende dalla capacità *gate-drain* (oppure *gate-collettore*), cioè la capacità di Miller, che a sua volta dipende dalla tensione ai capi del transistor: data la non linearità è difficile individuare con precisione i tempi di salita e di discesa della tensione. Il profilo di discesa della tensione è approssimato da due segmenti di retta, come si vede in figura 7.1.6, a cui sono associati rispettivamente i due intervalli di tempo riportati di seguito:

$$t_{fv,1} \approx \frac{1}{2} (V_d - R_{DS,on} I_D) R_G \frac{C_{GD,1}}{(V_{G,d} - V_{G,plateau})}$$

$$t_{fv,2} \approx \frac{1}{2} (V_d - R_{DS,on} I_D) R_G \frac{C_{GD,2}}{(V_{G,d} - V_{G,plateau})}$$

con  $R_G$  che è la resistenza di *gate* (somma di quella interna e quella esterna) e  $V_{G,d}$  che è la tensione del comando di *gate*.

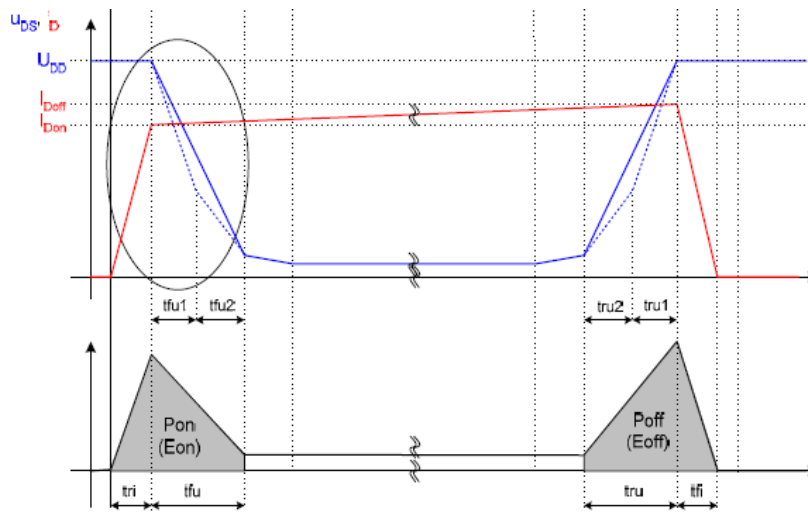


Figura 7.1.6: Transitorio di turn-on e turn-off dei transistor.

La tensione di plateau e le capacità  $C_{GD,1}$  e  $C_{GD,2}$  sono collegate all'effetto Miller; in particolare  $C_{GD,1}$  è la capacità *gate-drain* relativa al valore iniziale della tensione del dispositivo (che sarebbe quella del DC link,  $V_d$ ) mentre  $C_{GD,2}$  è quella relativa a metà del valore iniziale della tensione del dispositivo (vedi figura 7.1.7). Sommando i due intervalli di tempo di cui sopra si ottiene il tempo di discesa della tensione.

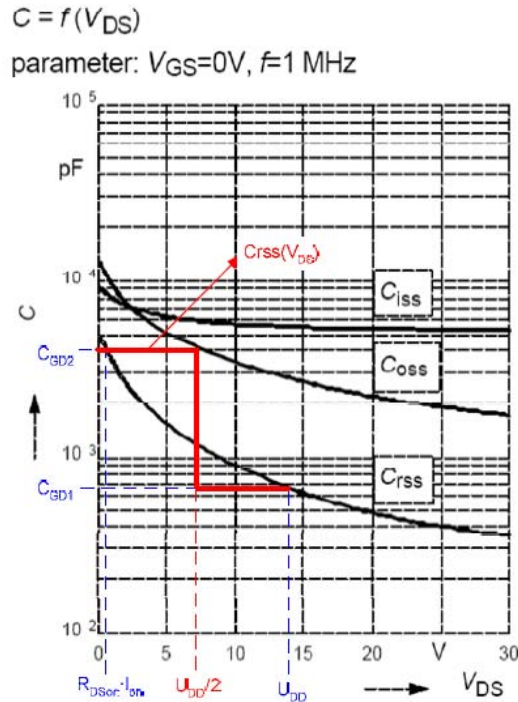


Figura 7.1.7: Processo di determinazione delle capacità  $C_{GD,1}$  e  $C_{GD,2}$ .

Per il calcolo del tempo di salita della tensione il processo è simile e si ha che:

$$tr_{v,1} \approx \frac{1}{2}(V_d - R_{DS,on}I_D)R_G \frac{C_{GD,1}}{(V_{G,plateau})}$$

$$tr_{v,2} \approx \frac{1}{2}(V_d - R_{DS,on}I_D)R_G \frac{C_{GD,2}}{(V_{G,plateau})}$$

e la somma dei due intervalli dà il tempo di salita della tensione.

Al turn-on di un MOSFET, il diodo dell'altro MOSFET nella stessa gamba si disattiva e la capacità di giunzione viene scaricata: si crea così la corrente di recupero che va a scorrere nel MOSFET al momento del turn-on e quindi che va ad aumentare la corrente del MOSFET per un tempo  $t_{rr}$ , definito tempo di recupero. La corrente di recupero ha un andamento triangolare in prima approssimazione, il cui valore massimo è espresso da:

$$I_{rr,pk} = \frac{2Q_{rr}}{t_{rr}}$$

laddove  $Q_{rr}$  è la carica elettrica immagazzinata nel diodo. La corrente di recupero dipende dai seguenti parametri: temperatura, tensione applicata e velocità di salita della corrente durante la commutazione. Infatti per la maggioranza dei diodi al silicio una temperatura elevata ha un'influenza negativa sulla corrente di recupero; i dispositivi al carburo di silicio invece non risentono quasi della differenza di temperatura, come già illustrato nel capitolo dedicato ai diodi SiC. Per quanto riguarda la tensione applicata, più alta è e peggiore sarà il comportamento di recupero. Infine la corrente durante la commutazione dipende dalla tensione applicata; se il diodo è in parallelo con un transistor, la corrente durante la commutazione dipende anche dalla resistenza di gate e quindi varia da diodo a diodo.

Perdite addizionali causate dalla scarica della giunzione del diodo durante il tempo di recupero sono date dalla seguente espressione:

$$E_{on,D} = \frac{1}{4} Q_{rr} \cdot V_{Drr}$$

con  $V_{Drr}$  che è la tensione del diodo durante il comportamento di recupero, approssimabile con  $V_d$  nel caso peggiore.

L'energia di turn-on del MOSFET (senza tenere conto delle perdite di recupero e l'energia del recupero del diodo di ricircolo) è quindi:

$$E_{on,M} = V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2}$$

mentre quella di turn-off è:

$$E_{off,M} = V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2}$$

Di solito l'energia di turn-off del diodo è trascurabile in quanto non avviene il comportamento di recupero; per la precisione, il comportamento di recupero c'è ma la tensione è talmente bassa che le perdite sono minime, anche nel caso della corrente di coda di un IGBT.

Le perdite del circuito di pilotaggio del MOSFET sono date da:

$$E_{drv} = 2V_{GS}Q_G$$

con  $Q_G$  che è la capacità di gate.

Il comportamento dinamico di un IGBT è molto simile a quello di un MOSFET quindi le formule usate fino ad ora valgono sia il MOSFET che per l'IGBT.

Le perdite di conduzione di MOSFET, diodo e IGBT si determinano facilmente in quanto dipendenti dalla rispettiva resistenza. Le formule dunque sono rispettivamente le seguenti:

$$P_{C,M} = R_{ds(on)} \cdot I_D^2$$

$$P_{C,D} = V_F \cdot I_D + R_D \cdot I_D^2$$

$$P_{C,I} = V_{CE(sat)} \cdot I_D + R_C \cdot I_D^2$$

Ciò detto, facendo riferimento alla tabella 7.2 si possono scrivere le formule delle perdite della gamba di un invertitore. In queste formule si assume che  $I_{D(on)}$  sia uguale a  $I_{D(off)}$  e quindi entrambi coincidano con  $I_D$ .

Nel caso di gamba con IGBT e corrente positiva verso il carico si avrà:

$$P_{totali} = [(V_F \cdot I_D + r_d \cdot I_D^2) \cdot t_A + (V_F \cdot I_D + r_d \cdot I_D^2) \cdot t_B + V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2} + \frac{1}{4} Q_{rr} \cdot V_d + (V_{CE(sat)} \cdot I_D + R_C \cdot I_D^2) \cdot t_C + V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_D + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_E + 2Q_G \cdot V_{GE}] \cdot f_s$$

Nel caso di gamba con IGBT con corrente negativa verso il carico si ha:

$$P_{totali} = [(V_{CE(sat)} \cdot I_D + R_C \cdot I_D^2) \cdot t_A + V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_B + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_C + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_D + V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2} + \frac{1}{4} Q_{rr} \cdot V_d + (V_{CE(sat)} \cdot I_D + R_C \cdot I_D^2) \cdot t_E + 2Q_G \cdot V_{GE}] \cdot f_s$$

Come si può vedere nelle espressioni, la corrente scorre solamente nell'IGBT o solamente nel diodo. Le formule non includono ogni contributo teorico perché ci sono le condizioni per il soft switching: infatti non è riportata l'energia di turn-on e di turn-off dell'IGBT che non conduce durante gli intervalli A e E (corrente positiva) e durante l'intervallo C (corrente negativa).

Per quanto riguarda il MOSFET al carburo di silicio le formule sono simili. Nel caso di gamba con MOSFET SiC e corrente positiva verso il carico si ha:

$$P_{totali} = \left\{ [(V_F \cdot I_F + R_D \cdot I_F^2) + R_{ds(on)} \cdot I_T^2] \cdot t_A + V_d \cdot I_T \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_B + V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2} + \frac{1}{4} Q_{rr} \cdot V_d + R_{ds(on)} \cdot I_D^2 \cdot t_C + V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_D + [(V_F \cdot I_F + R_D \cdot I_F^2) + R_{ds(on)} \cdot I_T^2] \cdot t_E + 2Q_G \cdot V_{GS} \right\} \cdot f_s$$

Nel caso di gamba con MOSFET SiC e corrente negativa verso il carico invece si avrà:

$$P_{totali} = \left\{ R_{ds(on)} \cdot I_D^2 \cdot t_A + V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_B + [(V_F \cdot I_F + R_D \cdot I_F^2) + R_{ds(on)} \cdot I_T^2] \cdot t_C + V_d \cdot I_T \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + (V_F \cdot I_D + R_D \cdot I_D^2) \cdot t_D + V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2} + \frac{1}{4} Q_{rr} \cdot V_d + R_{ds(on)} \cdot I_D^2 \cdot t_E + 2Q_G \cdot V_{GS} \right\} \cdot f_s$$

con  $I_F$  che è la corrente che scorre nel diodo e  $I_T$  la corrente del MOSFET quando entrambi sono in conduzione. Questa condizione è possibile perché il MOSFET è un transistor bidirezionale e può condurre in senso inverso; all'atto pratico però è quasi sempre il MOSFET che conduce in quanto la tensione *drain-source* diventa più alta di quella del diodo soltanto quando le correnti sono molto elevate. Ciò nonostante nella formula si è voluto sottolineare la condizione di doppia conduzione durante gli intervalli A e E (corrente positiva) e durante l'intervallo C (corrente negativa).

Tramite il programma in Matlab™ si è proceduto a calcolare le perdite e i risultati sono rappresentati nei grafici di figura 7.1.8 e figura 7.1.9.

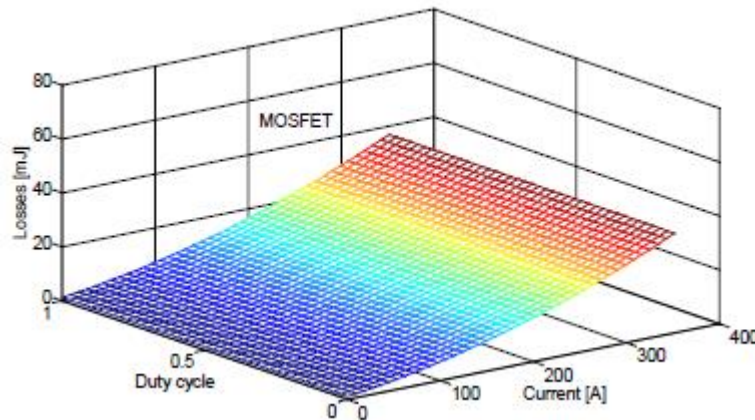


Figura 7.1.8: Perdite di una gamba dell'invertitore con MOSFET al SiC nel caso di corrente di carico positiva.

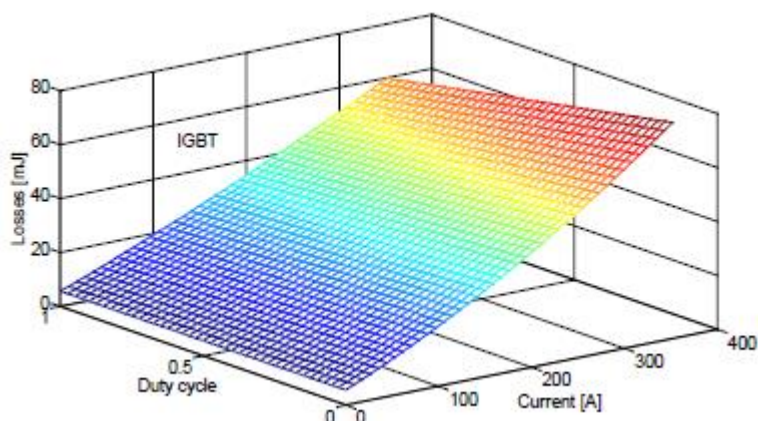


Figura 7.1.9: Perdite di una gamba dell'invertitore con IGBT al silicio nel caso di corrente di carico positiva.

Come si può vedere, le perdite sono state rappresentate sotto forma di superfici tridimensionali. Confrontandole si vede benissimo che utilizzando i MOSFET al carburo di silicio si dimezzano le perdite rispetto agli IGBT al silicio. All'aumentare del duty cycle le perdite della gamba dell'invertitore con MOSFET al SiC non cambiano perché la conduzione dei diodi è limitata solo ai tempi morti; invece nel caso degli IGBT le perdite aumentano perché gli IGBT, che hanno perdite di conduzione minori dei diodi, conducono per un intervallo di tempo molto più corto rispetto ai diodi. Le perdite nel caso dell'IGBT sono quasi proporzionali alla corrente perché il meccanismo delle perdite di conduzione di diodi e IGBT è molto simile e consiste nella somma della caduta di tensione e della caduta resistiva. Nel caso dei MOSFET al carburo di silicio invece le perdite di conduzione sono dovute solo alla componente resistiva per cui le perdite della gamba dell'invertitore crescono più lentamente. Questa differenza tra MOSFET e IGBT nelle perdite di conduzione tende a minimizzarsi man mano che aumenta il valore della corrente. Questi calcoli sono stati computati per una frequenza di commutazione di 10 kHz per l'IGBT e 20 kHz per il MOSFET al carburo di silicio. Dato che non è una frequenza molto alta le prestazioni dinamiche superiori del SiC MOSFET non hanno inciso tanto sul calcolo delle perdite: infatti le perdite sono per la grande maggioranza perdite di conduzione e di conseguenza, dato che per la sua natura il MOSFET presenta solo la caduta resistiva, la gamba con i MOSFET al SiC consuma meno energia durante il ciclo.

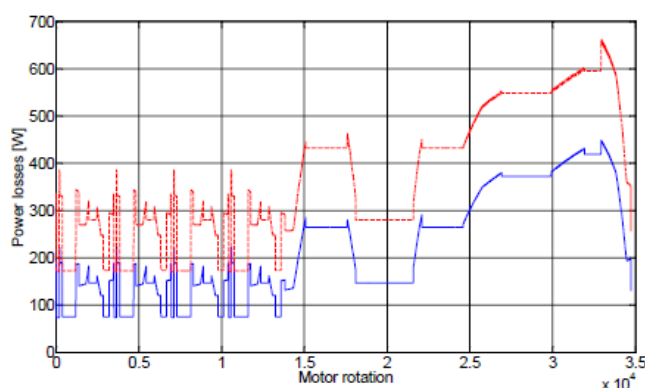
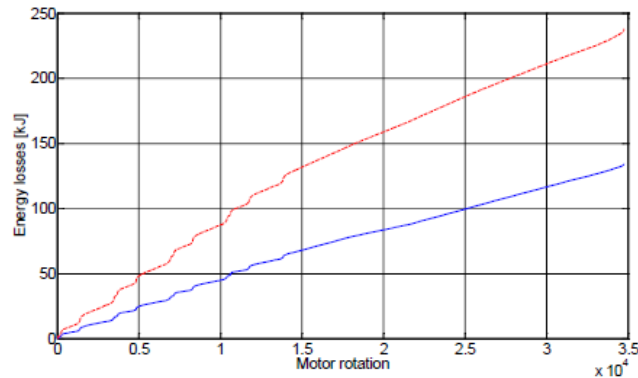


Figura 7.1.10: Perdite dell'invertitore con MOSFET al SiC (linea blu) e IGBT al silicio (linea rossa) durante un ciclo NEDC.

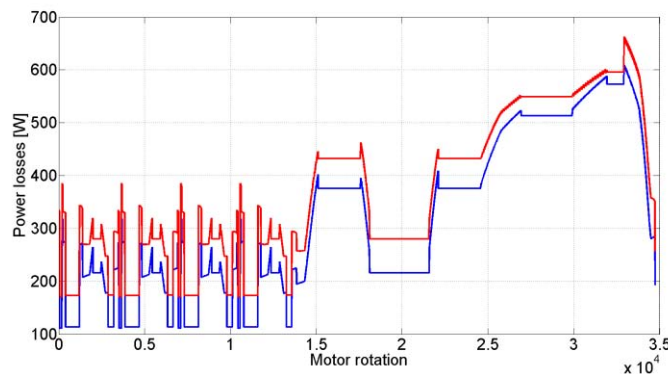
In figura 7.1.10 sono riportate le perdite dell'invertitore durante un ciclo NEDC mentre in figura 7.1.11 è riportato il grafico dell'energia totale consumata dal circuito di trazione durante un ciclo di guida. Si vede benissimo che, oltre a dimezzare le perdite, i MOSFET al SiC hanno minori perdite di commutazione: infatti le transizioni durante il ciclo sono più dolci. La differenza si osserva sin dagli inizi del ciclo; utilizzando un power train con i SiC MOSFET permette di risparmiare circa 100 kJ per ciclo. Ciò corrisponde al 5% del consumo stimato di energia necessaria a muovere il veicolo. Facendo sempre riferimento al ciclo NEDC, in questo modo un veicolo elettrico che ha un'autonomia

di 200 km usando IGBT al silicio può estenderne il valore a 210 ÷ 215 km. Se si usasse una frequenza di commutazione più elevata i benefici derivanti dall'utilizzo di MOSFET al carburo di silicio sarebbero senza dubbio più rilevanti.

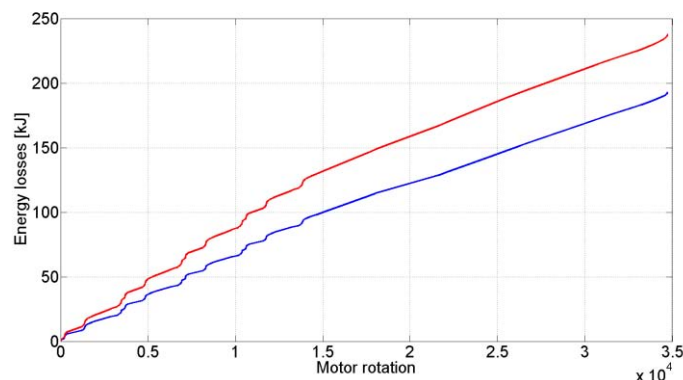


**Figura 7.1.11:** Energia totale spesa dall'invertitore con MOSFET al SiC (linea blu) e IGBT al silicio (linea rossa) durante un ciclo NEDC.

Facendo funzionare l'invertitore con i MOSFET al carburo di silicio a 30 kHz, si vede che le prestazioni sono ancora superiori rispetto all'invertitore con IGBT al silicio che opera a 10 kHz. Nelle figure 7.1.12 e 7.1.13 sono riportati i grafici del confronto delle perdite e dell'energia spesa dagli invertitori.



**Figura 7.1.12:** Perdite dell'invertitore con MOSFET al SiC (linea blu, @30 kHz) e IGBT al silicio (linea rossa, @10 kHz).



**Figura 7.1.13:** Energia totale spesa dell'invertitore con MOSFET al SiC (linea blu, @30 kHz) e IGBT al silicio (linea rossa, @10 kHz).

Anche con una frequenza tripla rispetto agli IGBT, i MOSFET al SiC mostrano di avere un'efficienza maggiore. Questo si traduce in un risparmio di energia complessivo di circa 50 kJ, che corrisponde



ad un aumento dell'autonomia di 5 km. È ormai chiaro che utilizzare un invertitore con MOSFET al carburo di silicio è conveniente perché permette di ridurre le perdite e al contempo di aumentare la frequenza di commutazione rispetto alla controparte che funziona con componenti al silicio. Nell'appendice sono riportati i datasheet dei componenti utilizzati e i programmi di Matlab compilati per il calcolo delle perdite.

## 7.2. Raddrizzatore monofase con ponte a MOSFET

Un circuito raddrizzatore è interposto tra la bobina del lato secondario del sistema di wireless power transfer e il condensatore di livellamento. Lo scopo ovviamente è ottenere in uscita una forma d'onda sempre positiva, che nello specifico significa convertire la corrente da alternata a continua. Il caso di studio per quanto riguarda un veicolo elettrico è un circuito raddrizzatore monofase a ponte.

La soluzione più semplice è senza dubbio utilizzare il ponte di Graetz (figura 7.2.1): due gambe, ciascuna con 2 diodi. Adottando questa configurazione si ha in uscita la forma d'onda composta dalla somma della semionda positiva d'ingresso e della semionda negativa d'ingresso capovolta.

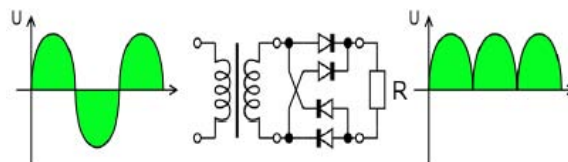


Figura 7.2.1: Raddrizzatore a ponte di Graetz.

Il principale svantaggio di questa topologia è che ci sono sempre due diodi in stato conduttivo con la relativa caduta di tensione e le conseguenti perdite dipendenti dall'ampiezza della corrente. La caduta di tensione di un normale diodo al silicio si aggira intorno ai  $0.7 \div 1 V$ , mentre se si usa un diodo Schottky al silicio la caduta di tensione si dimezza. Usando dei diodi al carburo di silicio, la caduta di tensione è maggiore (fino a  $3 V$ ) quindi è sconsigliato il loro utilizzo a meno che l'applicazione in cui è presente il ponte raddrizzatore è in ambienti estremi dove la maggiore stabilità termica del carburo di silicio permette il funzionamento anche a temperature o a radiazioni elevate.

La soluzione ideale sarebbe sostituire i diodi con dei MOSFET: infatti nella struttura di un MOSFET è presente un diodo parassita per cui è possibile ottenere un ponte con 4 MOSFET, come rappresentato in figura 7.2.2. Chiaramente il diodo parassita del MOSFET ha prestazioni molto scadenti quindi si mette un diodo esterno in parallelo con il MOSFET.

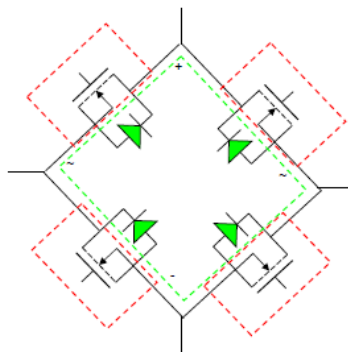


Figura 7.2.2: Raddrizzatore a MOSFET.



Se il transistor è comandato in modo appropriato, i diodi parassiti conducono solamente durante i tempi morti; per il resto sono i transistor a condurre. I circuiti di comando di ogni MOSFET rilevano la tensione *drain-source* del dispositivo: quando quest'ultima è negativa significa che il diodo parassita sta conducendo quindi il MOSFET viene attivato; quando la tensione *drain-source* ritorna a un valore vicino a  $0\text{ V}$ , avviene il turn-off del MOSFET. Questo accorgimento serve a prevenire un cortocircuito tra i dispositivi della stessa gamba e ridurre il tempo di conduzione dei diodi durante la semionda positiva.

Per la progettazione di un raddrizzatore monofase con MOSFET al carburo di silicio che alimenta una batteria ci si è basati su questi principi. Il problema è rappresentato soprattutto dal comando dei MOSFET: infatti, essendo essi dei transistor bidirezionali, è necessario evitare i cortocircuiti e inserire i tempi morti appropriati. Il raddrizzatore è alimentato da una sorgente di tensione sinusoidale da  $140\text{ V}$  (valore efficace) come si può vedere nello schema disegnato in figura 7.2.3.

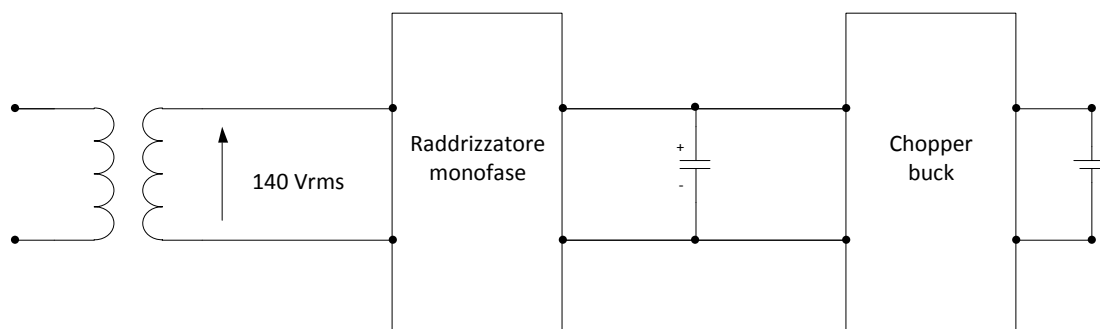


Figura 7.2.3: Circuito di alimentazione del raddrizzatore.

Il raddrizzatore serve ad alimentare una batteria da  $65\text{ V}$ . Il condensatore di livellamento è rappresentato da una capacità di  $200\text{ }\mu\text{F}$  in parallelo ad una resistenza di  $12\text{ }\Omega$ . L'aspetto principale di questo raddrizzatore monofase è che la frequenza di commutazione è  $85\text{ kHz}$ , un valore abbastanza elevato. Per questo motivo non è consigliabile utilizzare dispositivi al silicio, di conseguenza si è scelto di usare dei MOSFET al carburo di silicio. Un altro aspetto importante di questo circuito è che la tensione ai capi della batteria non deve mai diventare inferiore a quella d'ingresso altrimenti si scarica verso la sorgente: questo fenomeno deve essere evitato ed è reso possibile dall'impiego di MOSFET che sono dispositivi bidirezionali. Si considera che all'ingresso ci sia una minima induttanza del valore di  $118\text{ }\mu\text{H}$ .

Il metodo di controllo è stato scelto in modo da far funzionare i MOSFET come se fossero dei diodi: quindi quando la tensione di ingresso ha valore positivo condurrà una coppia di transistor; quando invece la tensione avrà valore negativo è l'altra coppia di transistor che conduce. La tensione in ingresso al raddrizzatore è effettivamente un'onda quadra che è sfasata e la corrente in ingresso ha lo stesso sfasamento; lo sfasamento non è esattamente di  $90^\circ$  ma leggermente minore e dipende dalla corrente che scorre nell'induttanza. La corrente è molto bassa, come se ci fosse un cortocircuito: questo significa che la resistenza equivalente del raddrizzatore è molto alta (dividendo la fondamentale dell'onda quadra per la corrente nell'induttanza) mentre l'induttanza in ingresso alla frequenza di commutazione ha un'impedenza equivalente di  $10\text{ }\Omega$ . I diodi conducono quando i SiC MOSFET sono aperti perché chiaramente la tensione ai capi dei MOSFET sono elevatissime e quindi la corrente fluisce nei diodi. Per questo nello schema del circuito, riportato in figura 7.2.4, si preferisce comandare in corrente e quindi si adopera un sensore di corrente posizionato subito dopo l'induttanza: il segnale rilevato viene comparato per separare la semionda positiva e la semionda negativa. Per creare i tempi morti, si compara il segnale relativo alla corrente dell'induttanza ad un piccolo offset del valore di  $0.5\text{ A}$  invece di compararlo con lo zero. Così facendo all'uscita dei comparatori si ha un segnale relativo alla semionda positiva con valore superiore a  $0.5\text{ A}$  e uno relativo alla semionda negativa con valore inferiore a  $-0.5\text{ A}$ ; quindi l'intervallo di conduzione

diventa minore perché viene ritardato il turn-on e anticipato il turn-off dei transistor. Come già detto, durante i tempi morti conducono solamente i diodi perché i transistor sono aperti.

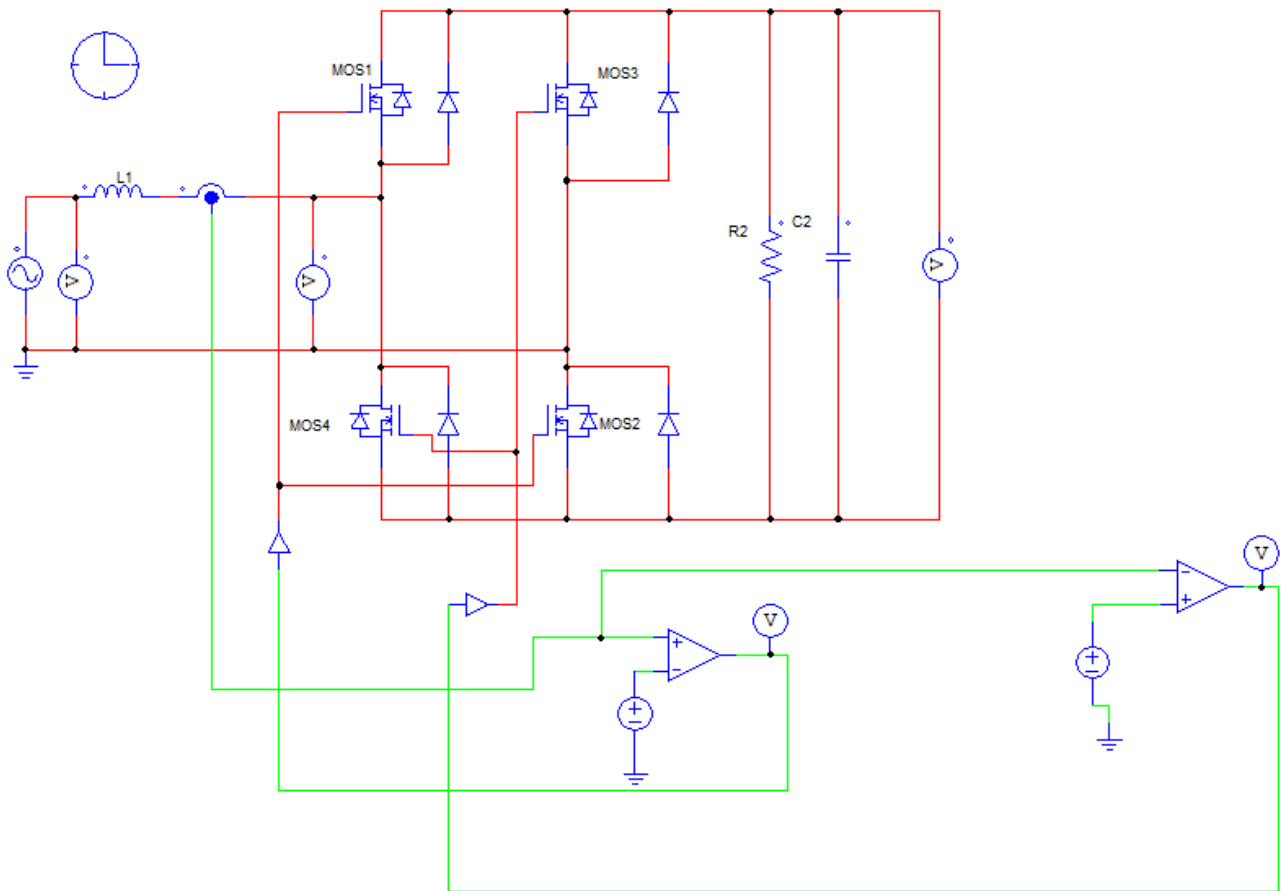
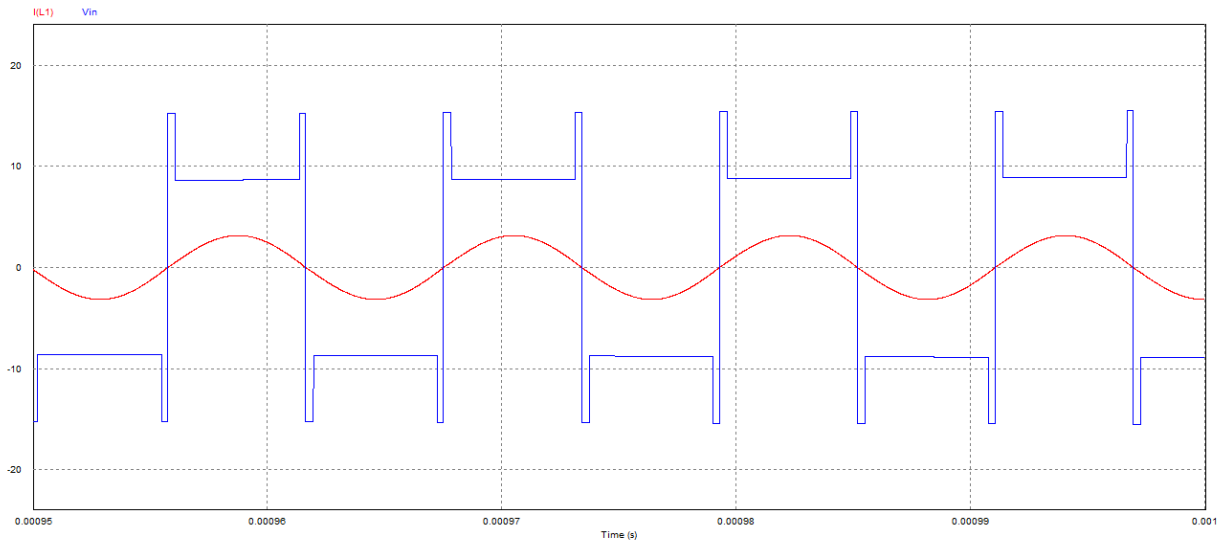
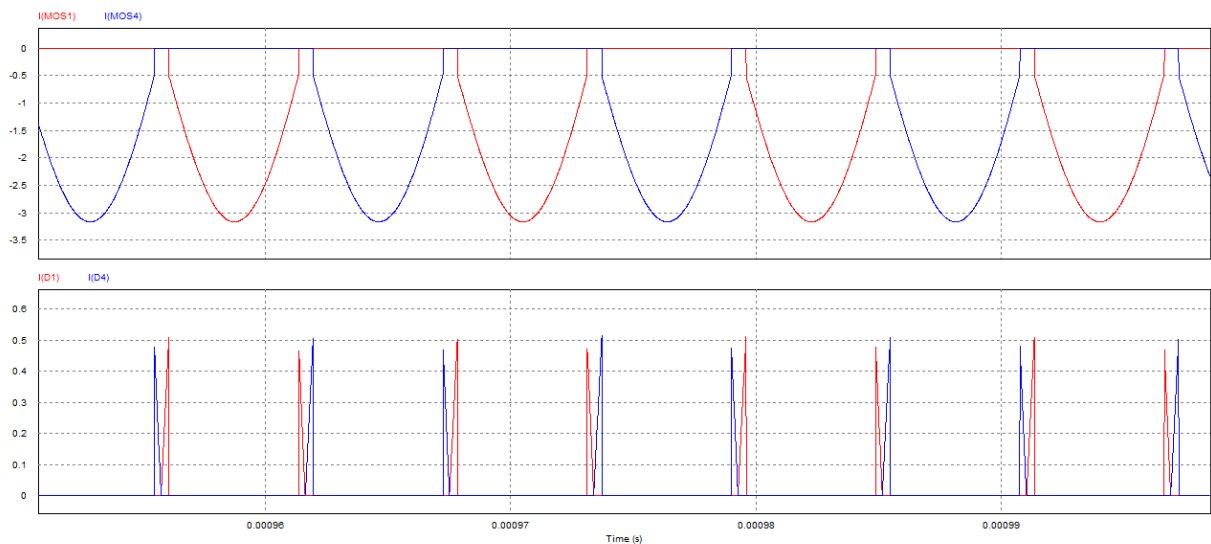


Figura 7.2.4: Schema del raddrizzatore a SiC MOSFET (in rosso) e relativo circuito di pilotaggio (in verde).

Guardando la figura 7.2.5 si vede che la tensione d'ingresso è un'onda quadra che è in fase con la corrente di ingresso; quando la tensione sale o scende ci sono dei picchi dovuti ai diodi che entrano in conduzione durante i tempi morti. In figura 7.2.6 si può vedere la sequenza di conduzione di una gamba del raddrizzatore; a colore uguale corrispondono MOSFET e relativo diodo. La corrente del MOSFET è negativa perché la corrente è misurata nel verso opposto; infatti la corrente nei diodi è sempre maggiore o uguale a zero. Si vede molto bene che quando nessun MOSFET conduce la corrente scorre nei diodi e che il trasferimento della corrente tra MOSFET e diodo è molto netto.



**Figura 7.2.5:** Corrente in ingresso (in rosso) e tensione in ingresso (in blu) nel raddrizzatore a SiC MOSFET.



**Figura 7.2.6:** Intervalli di conduzione di una gamba del raddrizzatore: MOSFET (sopra) e diodi (sotto).

All'inizio la corrente dell'induttanza è quasi sempre positiva per cui lavora soltanto la coppia di SiC MOSFET comandata dal segnale relativo alla semionda positiva della corrente (figura 7.2.7). La coppia di SiC MOSFET pilotata dal segnale relativo alla semionda negativa comincia a operare soltanto a un centinaio di microsecondi dall'inizio, quando la semionda negativa della corrente dell'induttanza è minore del valore di offset di  $-0.5\text{ A}$ . Ciò significa che durante il primo centinaio di microsecondi c'è una coppia di MOSFET che non conduce e quindi sono i relativi diodi in antiparallelo a funzionare; si può dire che durante il transitorio iniziale una coppia di diodi conduce anche al di fuori dei tempi morti (figura 7.2.8). La coppia di MOSFET che lavora durante il transitorio iniziale è quindi sovraccaricata.

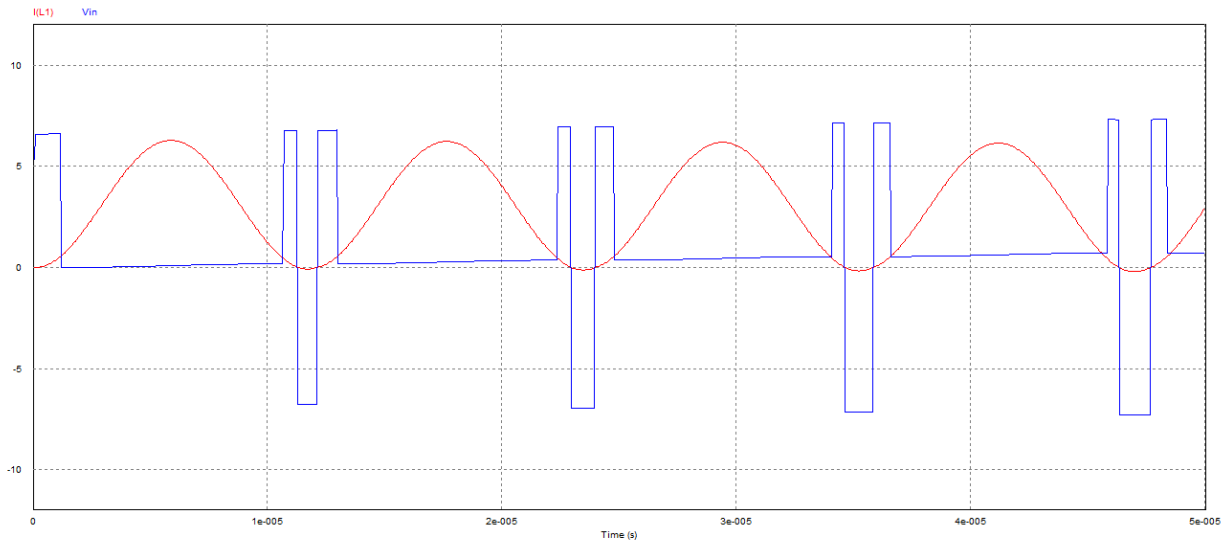


Figura 7.2.7: Corrente in ingresso (in rosso) e tensione in ingresso (in blu) durante il transitorio iniziale.

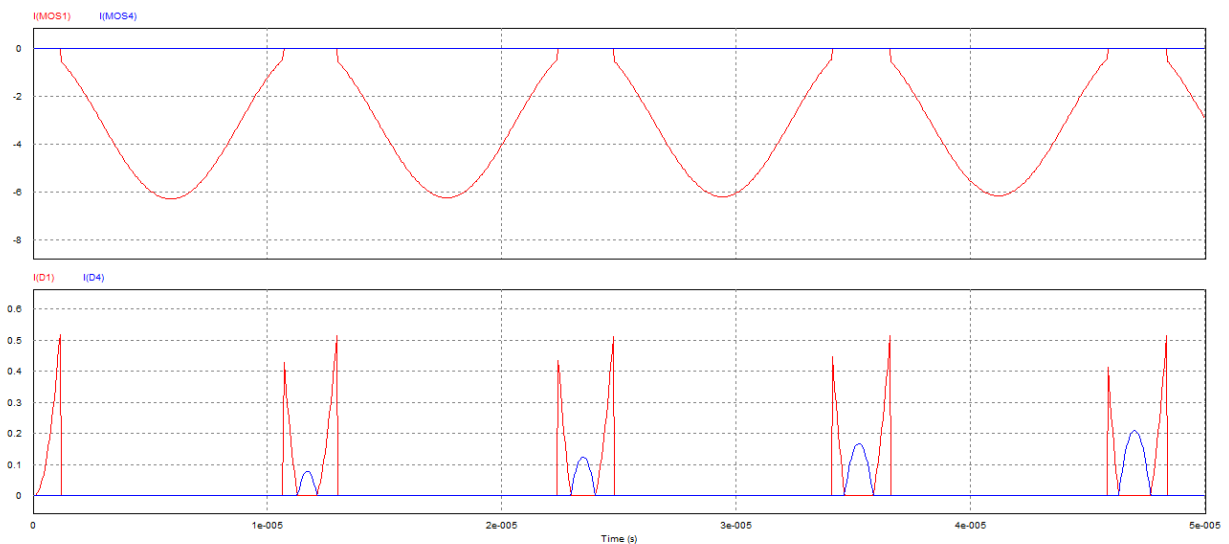


Figura 7.2.8: Intervalli di conduzione durante il transitorio iniziale: MOSFET (sopra) e diodi (sotto).

Grazie al circuito di pilotaggio proposto in questo paragrafo, si è dimostrato che il raddrizzatore a MOSFET funziona esattamente come un raddrizzatore a diodi. Certamente il circuito di comando in questione non è ottimale in quanto per alimentarlo serve una sorgente esterna e occupa uno spazio che è destinato ad altri scopi come ad esempio i dissipatori nel caso del raddrizzatore a diodi, ma ciò è controbilanciato dalle minori perdite e dal fatto che non sono più necessari dissipatori, risparmiando quindi spazio nella scheda. Infatti usando MOSFET al carburo di silicio l'efficienza del raddrizzatore aumenta notevolmente.

Utilizzando le stesse formule per il calcolo delle perdite di un invertitore, si è costruito un modello delle perdite per un periodo della tensione di alimentazione. Le perdite di un raddrizzatore monofase a diodi sono pari a:

$$P_{r,diodi} = 2 \cdot \left[ (V_F \cdot I_D + R_D \cdot I_D^2) + \frac{1}{4} Q_{rr} \cdot V_{Drr} \right]$$

Infatti si ha che due diodi sono sempre in conduzione e al momento della commutazione sono due i diodi che devono scaricare la carica nella giunzione. Dato che la frequenza di commutazione del raddrizzatore in esame è 85 kHz, si usano diodi Schottky che hanno una carica di recupero molto

bassa. Di conseguenza, le perdite di turn-on del diodo diventano trascurabili rispetto a quelle di conduzione, mentre quelle di turn-off vengono trascurate (quest'ultima semplificazione si era fatta anche nel modello delle perdite di un invertitore).

Nel caso di un raddrizzatore monofase con MOSFET al SiC, la formula delle perdite di una gamba è espressa da:

$$P_{r,MOSFET,leg} = \left[ (V_F \cdot I_D + R_D \cdot I_D^2) \cdot 2t_{dead} + \frac{1}{4} Q_{rr} \cdot V_{Drr} + R_{ds(on)} \cdot I_D^2 \cdot (T_s - 2t_{dead}) + V_d \cdot I_{D(on)} \cdot \frac{t_{rise,i} + t_{fall,v}}{2} + V_d \cdot I_{D(off)} \cdot \frac{t_{rise,v} + t_{fall,i}}{2} + 2Q_G \cdot V_{G,d} \right] \cdot f_s$$

Per avere le perdite dell'intero raddrizzatore ovviamente basta moltiplicare il risultato ottenuto dalla espressione precedente per 2.

Si calcolano dunque le perdite del raddrizzatore a diodi e quello a MOSFET al carburo di silicio. Usando diodi Schottky al SiC (C4D20120D della Cree, Inc.) le perdite sono pari a 53.6 W; se invece si usano diodi Schottky al silicio (RB250T-90 della Rohm, Inc.) le perdite ammontano a 35 W. Questo è causato dalla maggiore caduta di tensione in stato conduttivo del diodo Schottky al carburo di silicio; ne consegue che in questo caso non è consigliabile adoperare diodi Schottky al carburo di silicio.

Nel caso dei MOSFET al SiC si utilizza un modulo (BSM120D12P2C005 della Rohm, Inc.) in cui oltre al MOSFET è integrato un diodo in antiparallelo. Con la formula delle perdite riportata prima, si ottiene che le perdite del raddrizzatore diventano pari a 8.1 W. Le perdite di commutazione sono molto basse: quelle di turn-on sono pari a 1.1 W mentre quelle di turn-off sono 0.6 W. Se si usassero dei moduli di MOSFET al silicio con simili tensioni e correnti nominali (ad esempio APTM120A29FTG della Microsemi, Inc.) le perdite del raddrizzatore sarebbero molto più alte: dai calcoli si ricava che sono pari a 57.4 W, laddove le perdite di turn-on sono 3.8 W e quelle di turn-off sono 3.5 W. Questo risultato è causato da una serie di motivi: il comportamento di recupero è molto peggiore, il diodo in antiparallelo ha tensione di soglia e caduta resistiva più alte, i tempi morti sono doppi rispetto ai SiC MOSFET. Addirittura questo MOSFET al silicio è il dispositivo peggiore da adottare nel circuito.

In questo caso usando SiC MOSFET al posto dei diodi al carburo di silicio le perdite diminuiscono dell'85%; se invece si sostituiscono dei diodi al silicio le perdite sono più basse del 77%. Rispetto al caso del MOSFET al silicio le perdite sono diminuite dell'86%. Emerge chiaramente che l'uso di SiC MOSFET è molto più conveniente di tutte le altre soluzioni; una ragione ulteriore per preferire dispositivi SiC a quelli al silicio è data dal fatto che tutti i valori ottenuti per i componenti al carburo di silicio sono relativi a una temperatura di giunzione di 175 °C, mentre quelli dei dispositivi al silicio sono riferiti a 125 °C.

Nell'appendice sono riportati i datasheet dei dispositivi utilizzati nelle prove.

## 7.3. Conclusioni

L'impiego di MOSFET al carburo di silicio nei convertitori statici apporta notevoli benefici per quanto riguarda l'efficienza. Le minori perdite e la maggiore stabilità termica li rendono preferibili ai dispositivi al silicio in quasi ogni applicazione.

Nel caso degli invertitori da usare in ambiente automotive, grazie ai SiC MOSFET si può usare una frequenza di commutazione maggiore e quindi ridurre le dimensioni dei componenti del circuito di trazione. La grande conduttività termica permette il collegamento in parallelo di più dispositivi,

qualora sia necessario, senza il timore di runaway termico, cioè di un aumento incontrollato della temperatura. Anche le perdite diminuiscono, e questo si traduce in un rendimento più alto; la diretta conseguenza è un risparmio di energia che comporta un aumento dell'autonomia del veicolo del 5% con riferimento al ciclo NEDC.

Nel caso di raddrizzatori, sempre da usare nei veicoli elettrici, si è proposto un circuito di controllo che permette a un ponte a SiC MOSFET di funzionare esattamente come un ponte di Graetz, senza però le notevoli perdite causate dai diodi. Anche in questo caso l'impiego di MOSFET al carburo di silicio permette di abbassare le perdite e di operare a frequenze di commutazione più alte; dato che nel caso considerato la corrente raddrizzata non è elevata, l'uso dei diodi Schottky in SiC non è consigliato perché ha una maggiore caduta di tensione in stato conduttivo e quindi ha maggiori perdite rispetto alle controparti al silicio. Il circuito di controllo proposto richiede una sorgente di alimentazione esterno e quindi può essere migliorato.

Negli studi futuri si prevede di esaminare i modelli di invertitore e raddrizzatore che adoperano MOSFET in GaN e valutarne vantaggi e svantaggi rispetto al caso del SiC. Dato che non si è avuto modo di eseguire prove sperimentali per verificare la bontà dei modelli proposti, è necessario costruire il circuito ed eseguire delle misure per confermare quanto riportato in questo capitolo.

## 7.4. Bibliografia

- “*Recent advances in silicon carbide MOSFET power devices*”, di L. D. Stevanovic, K. S. Matocha, P. A. Losee, P.A., J. S. Glaser, J. J. Nasadoski e S. D. Arthur, IEEE Applied Power Electronics Conference and Exposition (APEC), 2010, pagg.401-407;
- “*SiC power device technology*”, di S. Nakata, N. Miura e Y. Nakaki, Advance Magazine, vol. 135, giugno 2011, pagg.2-4;
- “*MOSFET power losses calculation using the data-sheet parameters*” di D.Graovac, M.Purschel e A. Kiep, Infineon (<http://www.scribd.com/doc/34308439/MOSFET-Power-Losses-Calculation-Using-the-Data-Sheet-Parameters>);
- “*IGBT power losses calculation using the data-sheet parameters*” di D.Graovac e M.Purschel, Infineon ([https://www.btipnow.com/library/white\\_papers/IGBT Power Losses Calculation Using the Data-Sheet Parameters.pdf](https://www.btipnow.com/library/white_papers/IGBT_Power_Losses_Calculation_Using_the_Data-Sheet_Parameters.pdf));
- “*The state of the art of electric and hybrid vehicles*”, di C. C. Chan, Proceedings of the IEEE, vol. 90, no. 2, febbraio 2002, pagg.247-275;
- “*A novel high efficient approach to input bridges*” di Davide Giacomini e Luigi Chiné, PCIM Europe, 27-29 maggio 2008, (<http://www.irf.com/technical-info/whitepaper/TP-080527.pdf>);
- “*Effects of Silicon Carbide (SiC) Power Devices on HEV PWM Inverter Losses*”, di B. Ozpineci, L.M. Tolbert e S.K. Islam, Proceedings of IECON '01, 2001, vol. 2, pagg.1061-1066.

## APPENDICE

Nell'appendice sono riportati i parametri dei datasheet dei dispositivi usati e il programma in Matlab™ compilato per ricavare le perdite nell'invertitore.

Parameter	IGBT	SiC MOSFET
$V_{CE,max} - V_{DS,max}$	600 V	600 V
$I_{C,max} - I_{D,max}$	400 A	180 A
$V_G$	15 V	18 V
$R_{CE,on} - R_{DS,on}$	1.25 m $\Omega$	13.8 m $\Omega$
$V_{CE,0}$	0.8 V	-
$R_G$	1.3 $\Omega$	2.08 $\Omega$
$V_{G,plateau}$	9 V	11 V
$t_{ri}$	70 ns	90 ns
$t_{fv}$	75 ns	90 ns
$C_{GC,1}-C_{GD,1}$	400 pF	60 pF
$C_{GC,2}-C_{GD,2}$	1600 pF	300 pF
$R_G$	1.3 $\Omega$	6.7 $\Omega$
$V_D$	1 V	2 V
$R_D$	0.85 m $\Omega$	2 m $\Omega$
$Q_{rr}$	15.5 $\mu$ C	0.67 $\mu$ C

**Tabella A:** Parametri relativi a dei moduli IGBT della Vishay Semiconductors, Inc. (VS-GT400TH60N) e poi dei moduli MOSFET al SiC della ROHM, Inc. (BSM180D12P2C101).



Symbol	Parameter	Typ.	Max.	Unit
$V_F$	Forward Voltage	1.5 2.2	1.8 3	V
$I_R$	Reverse Current	35 65	200 400	$\mu\text{A}$
$Q_C$	Total Capacitive Charge	66		nC
C	Total Capacitance	754 45 38		pF

**Tabella B:** Parametri relativi al diodo Schottky al carburo di silicio della Cree, Inc. (C4D20120D).

Parameter	Symbol	Min.	Typ.	Max.	Unit
Forward voltage	$V_F$	-	-	0.78	V
Reverse current	$I_R$	-	-	300	$\mu\text{A}$
Thermal impedance	$\theta_{jc}$	-	-	2	$^{\circ}\text{C}/\text{W}$

**Tabella C:** Parametri relativi al diodo Schottky al silicio della Rohm, Inc. (RB205T-90).

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit	
Static drain-source on-state voltage	$V_{DS(on)}$	$I_D=120A, V_{GS}=18V$	$T_j=25^\circ C$	-	2.4	3.2	V
			$T_j=125^\circ C$	-	3.5	4.6	V
Drain cutoff current	$I_{DSS}$	$V_{DS}=1200V, V_{GS}=0V$	-	-	2	mA	
Source-drain voltage	$V_{SD}$	$V_{GS}=0V, I_S=120A$	$T_j=25^\circ C$	-	1.7	2.1	V
			$T_j=125^\circ C$	-	2.2	2.7	V
Gate-source threshold voltage	$V_{GS(th)}$	$V_{DS}=10V, I_D=22mA$	1.6	2.7	4.0	V	
Gate-source leakage current	$I_{GSS}$	$V_{GS}=22V, V_{DS}=0V$	-	-	0.5	$\mu A$	
		$V_{GS}=-6V, V_{DS}=0V$	-0.5	-	-	$\mu A$	
Switching characteristics	td(on)	$V_{GS(on)}=18V, V_{GS(off)}=0V$	-	45	-	ns	
	tr	$V_{DS}=600V$	-	50	-	ns	
	trr	$I_D=120A$	-	30	-	ns	
	td(off)	$R_G=3.9\Omega$	-	170	-	ns	
	tr	inductive load	-	60	-	ns	
Input capacitance	$C_{iss}$	$V_{DS}=10V, V_{GS}=0V, f=1MHz$	-	14	-	nF	

Fig.1 Typical Capacitance vs. Drain-Source Voltage

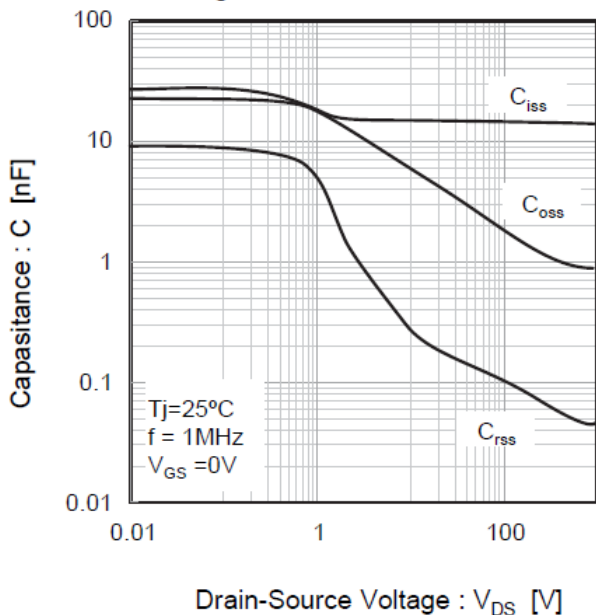
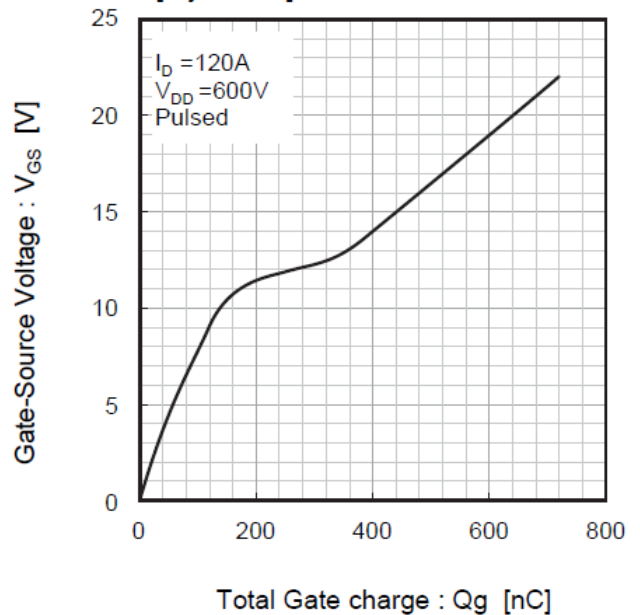


Fig.2 Gate Charge Characteristics [  $T_j=25^\circ C$  ]



**Tabella D:** Parametri e grafici relativi al MOSFET al carburo di silicio della Rohm, Inc. (BSM120D12P2C005).

**Electrical Characteristics**

<i>Symbol</i>	<i>Characteristic</i>	<i>Test Conditions</i>		<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
I <sub>DSS</sub>	Zero Gate Voltage Drain Current	V <sub>GS</sub> = 0V, V <sub>DS</sub> = 1200V	T <sub>j</sub> = 25°C			350	μA
		V <sub>GS</sub> = 0V, V <sub>DS</sub> = 1000V	T <sub>j</sub> = 125°C			1500	
R <sub>DS(on)</sub>	Drain – Source on Resistance	V <sub>GS</sub> = 10V, I <sub>D</sub> = 17A			290	348	mΩ
V <sub>GS(th)</sub>	Gate Threshold Voltage	V <sub>GS</sub> = V <sub>DS</sub> , I <sub>D</sub> = 5mA		3		5	V
I <sub>GSS</sub>	Gate – Source Leakage Current	V <sub>GS</sub> = ±30 V, V <sub>DS</sub> = 0V				±150	nA

**Dynamic Characteristics**

<i>Symbol</i>	<i>Characteristic</i>	<i>Test Conditions</i>		<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
C <sub>iss</sub>	Input Capacitance	V <sub>GS</sub> = 0V			10.3		nF
C <sub>oss</sub>	Output Capacitance	V <sub>DS</sub> = 25V			1.54		
C <sub>rss</sub>	Reverse Transfer Capacitance	f = 1MHz			0.26		
Q <sub>g</sub>	Total gate Charge	V <sub>GS</sub> = 10V			374		nC
Q <sub>gs</sub>	Gate – Source Charge	V <sub>Bus</sub> = 600V			48		
Q <sub>gd</sub>	Gate – Drain Charge	I <sub>D</sub> = 34A			240		
T <sub>d(on)</sub>	Turn-on Delay Time	Inductive switching @ 125°C			20		ns
T <sub>r</sub>	Rise Time	V <sub>GS</sub> = 15V			15		
T <sub>d(off)</sub>	Turn-off Delay Time	V <sub>Bus</sub> = 800V			160		
T <sub>f</sub>	Fall Time	I <sub>D</sub> = 34A R <sub>G</sub> = 2.5Ω			45		
E <sub>on</sub>	Turn-on Switching Energy	Inductive switching @ 25°C			1980		μJ
E <sub>off</sub>	Turn-off Switching Energy	V <sub>GS</sub> = 15V, V <sub>Bus</sub> = 800V I <sub>D</sub> = 34A, R <sub>G</sub> = 2.5Ω			1371		
E <sub>on</sub>	Turn-on Switching Energy	Inductive switching @ 125°C			3131		μJ
E <sub>off</sub>	Turn-off Switching Energy	V <sub>GS</sub> = 15V, V <sub>Bus</sub> = 800V I <sub>D</sub> = 34A, R <sub>G</sub> = 2.5Ω			1714		

**Source - Drain diode ratings and characteristics**

<i>Symbol</i>	<i>Characteristic</i>	<i>Test Conditions</i>		<i>Min</i>	<i>Typ</i>	<i>Max</i>	<i>Unit</i>
I <sub>S</sub>	Continuous Source current (Body diode)	T <sub>c</sub> = 25°C				34	A
		T <sub>c</sub> = 80°C				25	
V <sub>SD</sub>	Diode Forward Voltage	V <sub>GS</sub> = 0V, I <sub>S</sub> = - 34A				1.3	V
dv/dt	Peak Diode Recovery					18	V/ns
t <sub>rr</sub>	Reverse Recovery Time	I <sub>S</sub> = - 34A		T <sub>j</sub> = 25°C		320	ns
		V <sub>R</sub> = 600V		T <sub>j</sub> = 125°C		650	
Q <sub>rr</sub>	Reverse Recovery Charge	di <sub>S</sub> /dt = 200A/μs		T <sub>j</sub> = 25°C	4		μC
				T <sub>j</sub> = 125°C	14		

**Tabella E:** Parametri relativi al MOSFET al silicio della Microsemi, Inc. (APT M120A29FTG).

**Programma di Matlab™ usato per il calcolo delle perdite:**

```

function pippo=ciclo_NEDC_e_perdite()

% Cicli di funzionamento per Nissan Leaf con calcolo delle perdite
% Ciclo NEDC

clc;
clear all;
close all;

t_ECE_a=[0 10 15 24 28 50 60 85 95 120 145 155 165 175 190 195];
v_ECE_a=[0 0 16 16 0 0 32 32 0 0 50 50 35 35 0 0]/3.6;

t_EUDC=[0 20 60 110 120 190 200 250 285 315 335 345 380 400];
v_EUDC=[0 0 70 70 50 50 70 70 100 100 120 120 0 0]/3.6;

t_ECE_b=t_ECE_a(2:end)+195;
v_ECE_b=v_ECE_a(2:end);

t_ECE_c=t_ECE_b+195;
v_ECE_c=v_ECE_b;

t_ECE_d=t_ECE_c+195;
v_ECE_d=v_ECE_c;

t_NEDC=[t_ECE_a t_ECE_b t_ECE_c t_ECE_d t_EUDC(2:end)+t_ECE_d(end)];
v_NEDC=[v_ECE_a v_ECE_b v_ECE_c v_ECE_d v_EUDC(2:end)];

a_NEDC=zeros(size(t_NEDC));

for i=2:length(t_NEDC)
    tp=t_NEDC(i-1);
    t=t_NEDC(i);
    vp=v_NEDC(i-1);
    v=v_NEDC(i);

    a=(v-vp)/(t-tp);

    a_NEDC(i-1)=a;
end;

massa=1474+75*5
area_frontale=2.23;
Cx=0.28;

%pneumatico
%205/55R16

raggio_ruota=(16*0.0254)/2+0.205*0.55;

rapporto_trasmissione=7.94;

coef_resistenza_rotolamento=0.1;

```

```

rendimento_trazione=0.9;
rendimento_recupero=0.9;

g=9.81;

ro_aria=1.2;

forza_attrito=coef_resistenza_rotolamento*g*massa;

t_ciclo=t_NEDC;
a_ciclo=a_NEDC;
disp_ciclo=' Ciclo NEDC modello Nissan Leaf ';

f_pwm_MOSFET=20e3;
f_pwm_IGBT=10e3;

T_pwm_MOSFET=1/f_pwm_MOSFET;
T_pwm_IGBT=1/f_pwm_IGBT;

vel_max=10390;
vel_nom=2730;
v_nom_bat=364.8;
v_max_bat=v_nom_bat*4.2/3.6;
v_min_bat=v_nom_bat*2.5/3.6;
coppia_nom=280;
pot_nom=80e3;

w_max=vel_max*2*pi/60;
w_nom=vel_nom*2*pi/60;

v_nom=v_nom_bat/sqrt(3);
v_min=v_min_bat/sqrt(3);
v_max=v_max_bat/sqrt(3);

Ld_Lq=2.67;

syms Kw Lq Inom

efficienza=0.9;
[sKw, sInom, sLq]=solve(w_max*(Kw-Ld_Lq*Lq*Inom)==v_nom_bat,
w_nom^2*(Kw^2+Lq^2*Inom^2)==v_min_bat^2, w_nom*Kw*Inom==(2/3)*pot_nom/efficienza,
Kw, Inom, Lq)

i_nom=215
kw=0.83
Lq=0.83e-3
Ld=Lq*Ld_Lq

cos_fi=0.8;
eta=0.9;
I_nom_calc=pot_nom/(eta*cos_fi*sqrt(3)*v_nom_bat/sqrt(2))*sqrt(2)
kw_calc=1.25*0.8*v_nom_bat/w_nom/sqrt(3)
Ld_calc=1.6*v_nom_bat/(sqrt(2)*sqrt(3)*I_nom_calc/sqrt(2)*w_nom)
Lq_calc=0.6*v_nom_bat/(sqrt(2)*sqrt(3)*I_nom_calc/sqrt(2)*w_nom)

```

```

Ld=Ld_calc;
Lq=Lq_calc;
kw=kw_calc;
i_nom=I_nom_calc;

w_nom=vel_nom*2*pi/60;
vLq_nom=Lq*w_nom*I_nom_calc;
vmot_nom=sqrt((kw_calc*w_nom)^2+(vLq_nom)^2)

t_fine=t_ciclo(end);

lavoro_meccanico=0;
energia_elettrica=0;
vel=0;
acc=0;
spa=0;

dt=0.01;
t=0:dt:t_fine;

spazio_1_giro_ruota=2*pi*raggio_ruota;
spazio_1_giro_motore=spazio_1_giro_ruota/rapporto_trasmissione;

IGBT=1;
MOSFET=2;

% Calcolo di tutte le grandezze meccanica nel corso del ciclo
ind_camp=1;
ind_tempo=1;
for t_for=t
    if(t_for>=t_ciclo(ind_tempo))
        acc=a_ciclo(ind_tempo);
        ind_tempo=ind_tempo+1;
    end;

    acc_vet(ind_camp)=acc;
    vel_vet(ind_camp)=vel;

    spa_vet(ind_camp)=spa;
    lavoro_meccanico_vet(ind_camp)=lavoro_meccanico;
    energia_elettrica_vet(ind_camp)=energia_elettrica;

    if(abs(vel_vet(ind_camp))>0.1)
        forza_attrito=forza_attrito;
    else
        forza_attrito=0;
    end;

    forza_inerzia=massa*acc;

    forza_resistenza_aria=0.5*Cx*ro_aria*area_frontale*vel^2;

    forza_totale=forza_inerzia+forza_resistenza_aria+forza_attrito;

    potenza_meccanica=forza_totale*vel;

```

```

coppia_motore=forza_totale*raggio_ruota/rapporto_trasmissione;

w_motore=(vel/raggio_ruota)*rapporto_trasmissione;

e_motore=kw*w_motore;

if (potenza_meccanica~=0)
    iq=(2/3)*potenza_meccanica/e_motore;
else
    iq=0;
end;

vL_d=-w_motore*Lq*iq;
vq=e_motore;

v_richiesta=sqrt(vq^2+vL_d^2);

if (v_richiesta<=v_nom)
    id=0;
    saturazione=0;
else
    vq=sqrt(v_nom^2-vL_d^2);
    vL_q=vq-e_motore;
    id=vL_q/(w_motore*Ld);
    saturazione=1;
end;

amp_v_fase=sqrt(vL_d^2+vq^2);
fi_v_fase=atan2(vq,vL_d);
amp_i_fase=sqrt(id^2+iq^2);
fi_i_fase=atan2(iq,id);

fi_i_v=fi_v_fase-fi_i_fase;

potenza_motore_vet(ind_camp)=potenza_meccanica;

coppia_totale_vet(ind_camp)=coppia_motore;

vel_motore_vet(ind_camp)=w_motore;

corrente_fase_motore_vet(ind_camp)=amp_i_fase;

tensione_fase_motore_vet(ind_camp)=amp_v_fase;

fase_corrente_rispetto_tensione(ind_camp)=fi_i_v;

saturazione_vet(ind_camp)=saturazione;

fase_tensione_vet(ind_camp)=fi_v_fase;

fase_corrente_vet(ind_camp)=fi_i_fase;

if (potenza_motore_vet(ind_camp)>0)
potenza_elettrica_vet(ind_camp)=potenza_motore_vet(ind_camp)/rendimento_trazione
;
else

```

```

potenza_elettrica_vet(ind_camp)=potenza_motore_vet(ind_camp)*rendimento_recupero
;
    end;

    vel=vel+acc*dt;
    spa=spa+vel_vet(ind_camp)*dt;
    lavoro_meccanico=lavoro_meccanico+potenza_motore_vet(ind_camp)*dt;
    energia_elettrica=energia_elettrica+potenza_elettrica_vet(ind_camp)*dt;

    ind_camp=ind_camp+1;

end;

num_camp=ind_camp-1;

figure(1)
plot(t,vel_vet*3600/1000,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('Speed [km/h]','fontsize',30);
set(gca,'fontsize',30)
grid on

figure(2)
plot(t,potenza_motore_vet/1000,'r',t,potenza_elettrica_vet/1000,'b','linewidth',
3);
xlabel('Time [s]','fontsize',30);
ylabel('Power [kW]','fontsize',30);
set(gca,'fontsize',30);
grid on

figure(3)
subplot(211)
plot(t,coppia_totale_vet,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('Torque [Nm]','fontsize',30);
set(gca,'fontsize',30);
grid on
subplot(212)
plot(t,vel_motore_vet*60/(2*pi),'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('Motor speed [rpm]','fontsize',30);
set(gca,'fontsize',30);
grid on

figure(4)
subplot(211)
plot(t,corrente_fase_motore_vet/i_nom,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('p.u. motor phase current','fontsize',30);
set(gca,'fontsize',30);
grid on
subplot(212)
plot(t,tensione_fase_motore_vet,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('p.u. motor phase voltage','fontsize',30);
set(gca,'fontsize',30);
grid on

figure(5)
subplot(211)

```



```

plot(t,fase_corrente_vet,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('Phase Current phase [rad]','fontsize',30);
set(gca,'fontsize',30);
grid on
subplot(212)
plot(t,fase_tensione_vet,'r','linewidth',3);
xlabel('Time [s]','fontsize',30);
ylabel('Phase voltage phase [rad]','fontsize',30);
set(gca,'fontsize',30);
grid on

w_motore_avg_p=-inf;
perdite=0;

ind_camp=1;
ind_giro=1;
while ind_camp<num_camp
    initial_position=spa_vet(ind_camp);
    w_motore_ini=vel_motore_vet(ind_camp);
    corrente_ini=corrente_fase_motore_vet(ind_camp);
    tensione_ini=tensione_fase_motore_vet(ind_camp);
    fase_tensione_ini=fase_tensione_vet(ind_camp);
    fase_corrente_ini=fase_corrente_vet(ind_camp);

    final_position=initial_position+spazio_1_giro_motore;

    while((spa_vet(ind_camp)<final_position)&(ind_camp<num_camp))
        ind_camp=ind_camp+1;
    end;

    w_motore_end=vel_motore_vet(ind_camp);
    corrente_end=corrente_fase_motore_vet(ind_camp);
    tensione_end=tensione_fase_motore_vet(ind_camp);
    fase_tensione_end=fase_tensione_vet(ind_camp);
    fase_corrente_end=fase_corrente_vet(ind_camp);

    w_motore_avg=(w_motore_ini+w_motore_end)/2;
    corrente_avg=(corrente_ini+corrente_end)/2;
    tensione_avg=(tensione_ini+tensione_end)/2;
    fase_corrente_avg=(fase_corrente_ini+fase_corrente_end)/2;
    fase_tensione_avg=(fase_tensione_ini+fase_tensione_end)/2;

    w_motore_avg_vet(ind_giro)=w_motore_avg;
    durata_giro_vet(ind_giro)=2*pi/(w_motore_avg);
    corrente_avg_vet(ind_giro)=corrente_avg;
    tensione_avg_vet(ind_giro)=tensione_avg;
    fase_corrente_avg_vet(ind_giro)=fase_corrente_avg;
    fase_tensione_avg_vet(ind_giro)=fase_tensione_avg;

    size(durata_giro_vet)

    if (w_motore_avg~w_motore_avg_p)

        n_pwm=round((2*pi/w_motore_avg)/T_pwm_IGBT);
        angoli_vet=0:(2*pi/n_pwm):2*pi;
        v_fase_a=tensione_avg*sin(angoli_vet+fase_tensione_avg);
        v_fase_b=tensione_avg*sin(angoli_vet+fase_tensione_avg-2*pi/3);
        v_fase_c=tensione_avg*sin(angoli_vet+fase_tensione_avg-4*pi/3);

```

```

v_max=max([v_fase_a; v_fase_b; v_fase_c]);
v_min=min([v_fase_a; v_fase_b; v_fase_c]);

v_offset=(v_max+v_min)/2;

v_fase_a=v_fase_a-v_offset;

duty_cycle=v_fase_a/v_nom_bat + 0.5;

i_fase_a=corrente_avg*sin(angoli_vet+fase_corrente_avg);

perdite_IGBT=calcola_perdite(duty_cycle,i_fase_a,v_nom_bat,2,T_pwm_IGBT);

end

if (w_motore_avg~=w_motore_avg_p)

    n_pwm=round((2*pi/w_motore_avg)/T_pwm_MOSFET);
    angoli_vet=0:(2*pi/n_pwm):2*pi;
    v_fase_a=tensione_avg*sin(angoli_vet+fase_tensione_avg);
    v_fase_b=tensione_avg*sin(angoli_vet+fase_tensione_avg-2*pi/3);
    v_fase_c=tensione_avg*sin(angoli_vet+fase_tensione_avg-4*pi/3);

    v_max=max([v_fase_a; v_fase_b; v_fase_c]);
    v_min=min([v_fase_a; v_fase_b; v_fase_c]);

    v_offset=(v_max+v_min)/2;

    v_fase_a=v_fase_a-v_offset;

    duty_cycle=v_fase_a/v_nom_bat + 0.5;

    i_fase_a=corrente_avg*sin(angoli_vet+fase_corrente_avg);

perdite_MOSFET=calcola_perdite(duty_cycle,i_fase_a,v_nom_bat,1,T_pwm_MOSFET);

end

perdite_IGBT_vet(ind_giro)=3*perdite_IGBT;
perdite_MOSFET_vet(ind_giro)=3*perdite_MOSFET;
w_motore_avg_p=w_motore_avg;

ind_giro=ind_giro+1;

end;

figure(6)
subplot(311)
plot(1:length(w_motore_avg_vet),w_motore_avg_vet/(2*pi),'r',1:length(perdite_MOSFET_vet),perdite_MOSFET_vet*15,'b','linewidth',3);
xlabel('N giro','fontsize',30);
ylabel('Motor speed [rps]','fontsize',30);
set(gca,'fontsize',30);
grid on

```

```

subplot(312)
plot(durata_giro_vet, 'r', 'linewidth', 3);
xlabel('N giro', 'fontsize', 30);
ylabel('Revolution time [s]', 'fontsize', 30);
set(gca, 'fontsize', 30);
grid on
subplot(313)
plot(1:length(w_motore_avg_vet), perdite_MOSFET_vet./durata_giro_vet, 'b', 1:length
(w_motore_avg_vet), perdite_IGBT_vet./durata_giro_vet, 'r', 'linewidth', 3);
xlabel('N giro', 'fontsize', 30);
ylabel('Power losses [W]', 'fontsize', 30);
set(gca, 'fontsize', 30);
grid on

duty_vet=[0:0.025:1];
corr_vet=[0:0.025:1]*i_nom;

for duty=1:length(duty_vet)
    for corr=1:length(corr_vet)

perdite_MOSFET_mat(corr,duty)=calcola_perdite(duty_vet(duty),corr_vet(corr),v_no
m_bat,1,T_pwm_MOSFET);

perdite_IGBT_mat(corr,duty)=calcola_perdite(duty_vet(duty),corr_vet(corr),v_nom_
bat,2,T_pwm_IGBT);
    end;
end;

figure(7)
mesh(corr_vet,duty_vet,1000*perdite_MOSFET_mat');
grid on;
set(gca, 'fontsize', 30);
ylabel('Duty cycle')
xlabel('Current [A]')
zlabel('Losses [mJ]')
axis([0 400 0 1 0 80]);
title('MOSFET')
grid on

figure(8)
mesh(corr_vet,duty_vet,1000*(perdite_IGBT_mat));
grid on;
set(gca, 'fontsize', 30);
ylabel('Duty cycle')
xlabel('Current [A]')
zlabel('Losses [mJ]')
axis([0 400 0 1 0 80]);
title('IGBT')

figure(9)
plot(1:length(w_motore_avg_vet),perdite_MOSFET_vet./durata_giro_vet, 'b', 1:length
(w_motore_avg_vet),perdite_IGBT_vet./durata_giro_vet, 'r', 'linewidth', 3);
xlabel('Motor rotation', 'fontsize', 30);
ylabel('Power losses [W]', 'fontsize', 30);
set(gca, 'fontsize', 30);
grid on

figure(10)
plot(1:length(w_motore_avg_vet),cumsum(perdite_MOSFET_vet)/1000, 'b', 1:length(w_m
otore_avg_vet),cumsum(perdite_IGBT_vet)/1000, 'r', 'linewidth', 3);

```

```

xlabel('Motor rotation','fontsize',30);
ylabel('Energy losses [kJ]','fontsize',30);
set(gca,'fontsize',30);
grid on

```

```

figure(11)
plot(t,energia_elettrica_vet/1000,'r','linewidth',3);
xlabel('t [s]','fontsize',30);
ylabel('Energy [kJ]','fontsize',30);
set(gca,'fontsize',30);
grid on

```

```

function perdite=calcola_perdite(duty,corrente,v_bat,device,T_pwm)

```

```

    if (device==1) %MOSFET

```

```

        n_mosfet=4;

```

```

        dead_time=1e-6;
        Rg_o=0;

```

```

        Irr=32;
        trr=42e-9;
        Qrr=Irr*trr/2
        Vplateau=11
        Rdon=2.5/180
        Rg0=2.08; %estrapolato dai dati degli altri Rohm

```

```

        Cgd2=0.3e-9
        Cgd1=0.06e-9

```

```

        Vg=18
        Rg=Rg0+Rg_o

```

```

        Rdiodo=0.0024
        Vdiodo=2

```

```

        corrente=corrente/n_mosfet;

```

```

        abs_corrente=abs(corrente);

```

```

        perdite=0;

```

```

        tfu1=(v_bat-Rdon*abs_corrente)*Rg*Cgd1/(Vg-Vplateau);
        tfu2=(v_bat-Rdon*abs_corrente)*Rg*Cgd2/(Vg-Vplateau);
        tfu=(tfu1+tfu2)/2;
        tri=90e-9;

```

```

        Eon1_calc=v_bat*abs_corrente.*(tri+tfu)/2;
        Eon2_calc=Qrr*v_bat;
        Eon=Eon1_calc+Eon2_calc;

```

```

    trul=(v_bat-Rdon*abs_corrente)*Rg*Cgd1/Vplateau;
    tru2=(v_bat-Rdon*abs_corrente)*Rg*Cgd2/Vplateau;
    tru=(tru1+tru2)/2;
    tfi=90e-9;
    Eoff=v_bat*abs_corrente.*(tfi+tru)/2;

    EonD=Qrr*v_bat/4;

    Perdite_commutazione=Eon+Eoff+EonD;
    Perdite_conduzione_upper=Rdon*corrente.^2.*(duty*T_pwm-dead_time);

    Perdite_conduzione_diodo=(Rdiodo*corrente.^2+Vdiodo*abs_corrente)*2.*dead_time;
    Perdite_conduzione_lower=Rdon*corrente.^2.*((1-duty)*T_pwm-
    dead_time);

    perdite_TPWM=n_mosfet*(Perdite_commutazione+Perdite_conduzione_upper+Perdite_con
    duzione_lower+Perdite_conduzione_diodo);

    perdite=sum(perdite_TPWM);

else

    dead_time=3e-6;

    n_igbt=2;
    ic=abs(corrente)/n_igbt;
    abs_corrente=ic;
    vg=15;
    vp=9;
    qrr=15500e-09;
    rd=4e-03;
    rg=1.3;
    tdon=35e-09;
    tdoff=180e-09;
    tr=70e-09;
    tf=75e-09;
    cg1=400e-12;
    cg2=1600e-12;

    Vdiodo=1;
    Rdiodo=0.85e-3;

    Rdon=0.5/400;
    Vce0=0.8;

    % calculation for timing
    tfv1=((v_bat-(rd*ic))*rg*((cg1)/(vg-vp)));
    tfv2=(v_bat-rd*ic)*rg*(cg2/(vg-vp));
    tfv=(tfv1+tfv2)/2;
    trv1=(v_bat-rd*ic)*rg*(cg1/vp);
    trv2=(v_bat-rd*ic)*rg*(cg2/vp);
    trv=(trv1+trv2)/2;

```

```

        % calculation for energy
        Eon=v_bat*ic.*((tfv+tr)/2)+0.25*v_bat*qrr;           % Turn-on
switching energy
        Eoff=v_bat*ic.*((trv+tf)/2);                       % Turn-off
switching energy
        EonD=qrr*v_bat/4;

        Perdite_commutazione=Eon+Eoff+EonD;

        Perdite_conduzione_upper_pos=((Rdon*ic+Vce0).*ic.*(duty*T_pwm-
dead_time)).*(corrente>=0);

        Perdite_conduzione_diodo_pos=((Rdiodo*corrente.^2+Vdiodo*abs_corrente).*(1-
duty)*T_pwm+dead_time)).*(corrente>=0);
        Perdite_conduzione_lower_pos=0;

        Perdite_conduzione_upper_neg=0;

        Perdite_conduzione_diodo_neg=(Rdiodo*corrente.^2+Vdiodo*abs_corrente).*(duty*T_p
wm+dead_time)).*(corrente<0);
        Perdite_conduzione_lower_neg=((Rdon*ic+Vce0).*ic.*((1-duty)*T_pwm-
dead_time)).*(corrente<0);

        Perdite_conduzione_upper=Perdite_conduzione_upper_pos+Perdite_conduzione_upper_n
eg;

        Perdite_conduzione_lower=Perdite_conduzione_lower_pos+Perdite_conduzione_lower_n
eg;

        Perdite_conduzione_diodo=Perdite_conduzione_diodo_pos+Perdite_conduzione_diodo_n
eg;

        perdite_TPWM=n_igbt*(Perdite_commutazione+Perdite_conduzione_upper+Perdite_condu
zione_lower+Perdite_conduzione_diodo);

        perdite=sum(perdite_TPWM);

end;

```



## RINGRAZIAMENTI

Alla fine di questo percorso universitario desidero ringraziare tutte le persone che si sono prodigate per me e che, in un modo o nell'altro, mi hanno permesso di diventare quello che sono. Cioè un figo. In primo luogo ringrazio **i miei genitori** per il loro incrollabile supporto economico-spirituale e i continui incoraggiamenti ad andare avanti qualunque cosa dovesse accadere. Sicuramente senza di loro non sarei mai riuscito ad essere proclamato né dottore né dottorino. Se dovessi dedicare questa tesi a delle persone, senza alcun dubbio queste persone sarebbero mia madre e mio padre.

Ovviamente questo ringraziamento va esteso a tutti gli **zii, nonni e cugini di qualsiasi grado**: grazie di cuore per avermi aiutato a raggiungere questa augusta vetta nel campo dell'educazione.

Poi ringrazio tutti i miei amici per il tempo fruttuoso passato insieme a sparare cazzate, a fare festa e più in generale a ciacolare di ogni argomento possibile e immaginabile: alfabeticamente parlando, ringrazio in particolare **Alberto "Fox", Anna, Boris, Enrico, Fabio, Filippo, Francesco "Scatola", Marta, Paola e Pietro**. Ovviamente ci sono anche altri amici ma questi sono i migliori. Vi voglio bene, continuate così!

Un ringraziamento particolare e doveroso lo faccio a **Denis Milani**, istruttore di Krav Maga e del gruppo di allenamento Urban Defence. Nei tre anni durante i quali mi sono allenato sotto la sua guida ho imparato molte cose sugli altri e su me stesso e il mio cambiamento è stato visibile a tutti. È stato davvero un colpo di culo pazzesco conoscerti, Denis! Sei un ottimo istruttore di Krav Maga, ma soprattutto sei un'ottima persona. Spero che tu vada sempre alla grande. KRAAAAAAAAAAV!

Un ringraziamento al **prof. Manuele Bertoluzzo e ai ragazzi del laboratorio di laboratorio di Sistemi Elettrici per l'Automazione e la Veicolistica**, con cui ho passato i miei ultimi 5 mesi di carriera universitaria: grazie a loro ho scoperto che tutto il mondo è paese nonostante le ovvie differenze culturali e che devo studiare di più, molto di più, se voglio diventare un bravo ingegnere.

Un ringraziamento specialissimo al **prof. Giuseppe Buja**, il mio relatore: non tanto per l'aiuto nella tesi, ma per avermi sempre supportato nel mio ambizioso progetto di studiare in Giappone. Infatti è grazie a lui che sono entrato in contatto con dei professori nipponici ed è sempre grazie a lui (e anche al prof. Turri: grazie prof. Turri!) che ho potuto candidarmi alla borsa di studio offerta dal governo giapponese che poi ho vinto – inaspettatamente, se posso dire. Quando sarò in Giappone mi impegnerò al massimo per tenere alto l'onore del prof. Buja e non tradire la fiducia che mi ha accordato.

E a proposito di Giappone, il ringraziamento finale lo dedico a tre persone giapponesi che mi sono molto care: grazie a 絵理石川 **Eri Ishikawa**, 美由紀大森 **Miyuki Oomori** e 励安達 **Rei Adachi**. Passare del tempo con voi è come bere ambrosia dalla coppa degli dei. Non vedo l'ora di rivedervi! Ho molte cose da dirvi, spero che passeremo di nuovo molto tempo insieme come le ultime volte! Rei-san, sei sempre il re del Giappone!