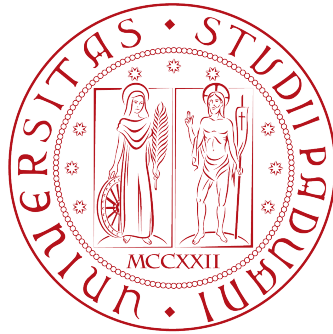


UNIVERSITÀ DEGLI STUDI DI PADOVA

**Dipartimento di Fisica e Astronomia
"Galileo Galilei"**



Corso di Laurea in Fisica

TESI DI LAUREA

**Effetti della radiazione su Transistor
in Tecnologia CMOS 28nm**

Relatore: Prof. Piero Giubilato

Laureando: Davide De Gaspari

Anno Accademico 2015/2016

INDICE

1. <i>Introduzione</i>	4
<i>introduzione</i>	4
2. <i>Danno da radiazione su dispositivi al silicio</i>	5
2.1 Danno da Total Dose	6
2.2 Effetti sui parametri elettrici	8
2.2.1 Spostamento della tensione di soglia	8
2.2.2 Ossidi di isolamento e corrente di leakage	9
2.2.3 Diminuzione della mobilità e della transconduttanza	10
3. <i>Descrizione dell'apparato di misura e della struttura di test</i>	12
3.1 Sorgente di raggi X	12
3.2 Strutture di test	13
3.3 Apparato di misure e condizioni di misura	14
3.4 Misure effettuate	14
3.4.1 Errore	14
3.5 Analisi dei dati	15
4. <i>Risultati Sperimentali</i>	16
4.1 NMOS	16
4.2 PMOS	19
5. <i>Conclusioni</i>	23
<i>Bibliografia</i>	24

1. INTRODUZIONE

Questa tesi si propone di studiare i danni dovuti all'irraggiamento su transistor costruiti in una tecnologia commerciale CMOS bulk in 28nm per possibili future applicazioni al *Large Hadron Collider* (LHC), il grande acceleratore di particelle in funzione al CERN di Ginevra, dopo l'upgrade denominato *High Luminosity-Large Hadron Collider* (HL-LHC), pianificato attorno al 2022.

Questo upgrade prevede di aumentare di un fattore 10 il rate di collisioni arrivando ad una luminosità di $10^{35} \text{ cm}^{-2} \text{ s}^{-1}$, rendendo indispensabile il miglioramento anche degli attuali apparati di rivelazione (CMS e ATLAS). In particolare, per quanto riguarda i rivelatori a pixel, ci sarà bisogno quindi di un aumento del numero dei canali e della loro granularità, in aggiunta ad una necessaria minore dissipazione di potenza per pixel.

L'altro aspetto fondamentale, e di cui si occupa questo lavoro di tesi, è la resistenza a massicce dosi di irraggiamento. I livelli di TID (*Total Ionizing Dose*) previsti nel layer più interno dei rivelatori a pixel in un periodo di 10 anni è di 1 Grad , un ordine di grandezza maggiore rispetto a quello a cui sono sottoposti i pixel nei rivelatori ora in funzione.

La tesi si inserisce nel contesto del progetto **INFN** (Istituto Nazionale di Fisica Nucleare) **Scaltech28** che ha come obiettivo quello di valutare questa tecnologia in termini di qualità del segnale, dissipazione di potenza e tolleranza alle radiazioni.

Questa tesi è divisa come segue:

1. **Descrizione del meccanismo di danno da Dose Totale.**
2. **Descrizione dell'apparato di misura** con illustrazione delle misure effettuate e dell'analisi dei dati
3. **Presentazione dei risultati sperimentali.**
4. **Conclusioni.**

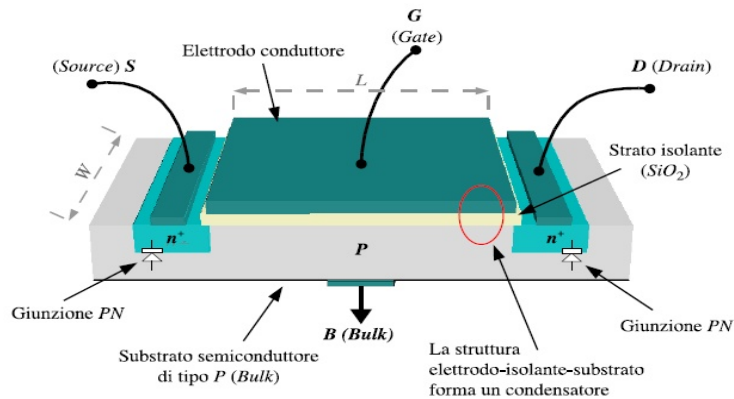


Fig. 2.1: Schema della Strutture del MOSFET a canale n in layout lineare

2. DANNO DA RADIAZIONE SU DISPOSITIVI AL SILICIO

I danni che possono presentarsi su un dispositivo *Metal Oxide Semiconductor Field Effect Transistor* (Fig.2.1) (MOSFET)[1] possono essere classificati in tre tipi:

- **Danno da Total Dose:** è il danno dovuto all'accumularsi di cariche positive intrappolate nell'ossido di silicio (SiO_2) presente nel MOSFET. È causato dal passaggio di radiazione ionizzante che crea coppie elettrone-lacuna. Queste ultime, avendo una minore mobilità, aumentano la concentrazione di carica positiva nell'ossido. Il danno è causato principalmente dall'esposizione a raggi X o γ e a tutte le particelle cariche che attraversano il dispositivo. Gli effetti non dipendono tuttavia dal tipo di particella ma quasi totalmente dalla quantità di energia che essa deposita. È l'unico tipo di danno che verrà analizzato in questa tesi.
- **Danno da Displacement:** detto anche *bulk damage*, si verifica quando una particella urta il silicio scalzando degli atomi dal reticolo cristallino del substrato andando ad alterarne le proprietà elettriche.

che. Questo tipo di danno è dovuto principalmente al passaggio di ioni pesanti o protoni.

- **Danno da single event:** è causato dal passaggio di una particella fortemente ionizzante che libera una grande quantità di carica, causando l'immediato malfunzionamento dell'apparato.

2.1 Danno da Total Dose

In questo capitolo verranno analizzati gli aspetti essenziali che portano alla degradazione dei parametri dei dispositivi CMOS dovuti all'accumulo di carica negli ossidi.

Il modo in cui la radiazione interagisce con la materia dipende dal tipo, dall'energia cinetica, dalla massa e dalla carica della particella che attraversa il dispositivo. Il danno da TID è causato dal passaggio di fotoni o particelle cariche che creano delle coppie elettrone-lacuna.

La zona del MOS che maggiormente risente di quest'effetto è il biossido di silicio (SiO_2). Quando una particella ionizzante attraversa un dispositivo MOS, le cariche generate vengono velocemente sospinte dal campo elettrico di polarizzazione, cosicchè sia nel contatto metallico del *gate* che nel *substrato* (Si) queste scompaiono velocemente. Al contrario nell'ossido, a causa della maggiore resistività, elettroni e lacune si spostano più lentamente. Mentre una parte delle coppie si ricombina subito dopo essere stata creata, l'altra parte (Fig.2.2) viene separata dal campo elettrico presente all'interno dell'ossido. Nel caso in cui il *gate* sia polarizzato positivamente (*NMOS*) gli elettroni migrano verso di esso, mentre le lacune si dirigono verso l'interfaccia Si/SiO_2 attraverso una modalità di trasporto molto più complicata di quella degli elettroni. Nel SiO_2 la mobilità degli elettroni a temperatura ambiente è tipicamente di $20cm^2V^{-1}s^{-1}$ mentre per quanto riguarda le lacune questa dipende molto dalla temperatura e varia da 10^{-4} a $10^{-11}cm^2V^{-1}s^{-1}$. Questa differenza è dovuta al fatto che il modo in cui le lacune si muovono è molto complicato. Esse si muovono mediante un processo, detto *polaron hopping*, il quale consiste nel passaggio delle lacune da un sito ad un altro attraverso uno stato intermedio attivato termicamente[2]. Una volta arrivate a pochi nm dalla giunzione Si/SiO_2 , le lacune hanno un'alta probabilità di restare intrappolate nei molti stati trappola presenti in questa regione, a causa dei difetti reticolari formati nel processo di ossidazione del silicio. L'accumularsi di questa carica positiva in prossimità della regione conduttiva del MOSFET va ad interferire con il normale comportamento del dispositivo.

Nel caso in cui la tensione applicata sia negativa (MOS a canale P) il *gate* attira le lacune e respinge gli elettroni, ma è invariato l'accumulo delle cariche.

Un altro fenomeno che si verifica nei dispositivi MOS è la creazione di stati trappola all'interfaccia, che possono catturare portatori di carica nella zona di separazione tra substrato e ossido in una regione di pochi nanometri[3]. Questi stati (Fig.2.3) sono classificati come donori se si trovano al di sotto dell'Energia di Fermi Intrinseca del Silicio E_i (che si trova a metà tra la banda di valenza e quella di conduzione) e sono neutri se occupati da un elettrone; sono detti accettori se si trovano al di sopra dell'energia E_i e sono neutri se non occupati. In condizioni ideali, se al MOSFET non è applicata nessuna tensione, l'energia intrinseca è pari all'energia di Fermi E_F e tutti gli stati trappola sono neutri. Quando viene applicata una tensione si ha una curvatura dei livelli energetici in prossimità dell'interfaccia ossido-substrato cosicchè gli accettori che si trovano al di sotto dell'energia E_i catturano un elettrone e diventano carichi negativamente, mentre i donori che si trovano ad un livello energetico maggiore di E_i cedono un elettrone e si caricano positivamente. La carica netta intrappolata all'interfaccia varia quindi dal tipo di dispositivo; nel caso degli NMOS si avrà un aumento di carica negativa che andrà a compensare in parte l'effetto dovuto alle lacune, mentre nei PMOS si avrà un ulteriore aumento di carica positiva che andrà a sommarsi a quella portata dalle lacune.

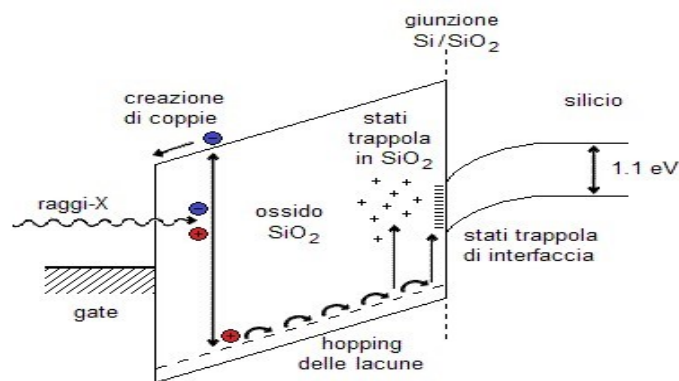


Fig. 2.2: Diagramma delle bande energetiche dell'ossido di gate, hopping delle lacune e stati trappola

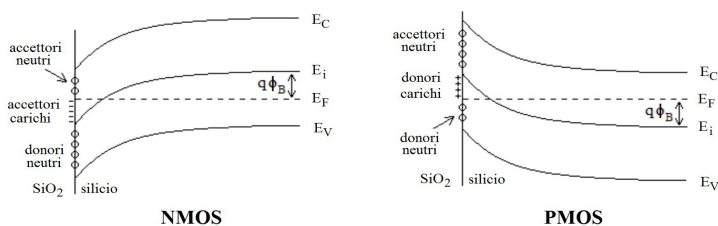


Fig. 2.3: Diagramma delle bande che mostra il riempimento degli stati d'interfaccia

2.2 Effetti sui parametri elettrici

L'esposizione dei dispositivi alla radiazione ne modifica il funzionamento. Osservando il grado di deformazione dalle condizioni di lavoro standard si può valutare l'entità del danno.

2.2.1 Spostamento della tensione di soglia

La *tensione di soglia* (*Threshold Voltage*), indicata con V_T , è definita come il modulo della tensione minima da applicare tra *gate* e *source* affinché nel canale sia presente una densità di carica uguale a quella di portatori di segno opposto che si trovano nel substrato. Per tensioni maggiori, ma non troppo, di V_T il transistor assume un comportamento conduttivo che segue la legge di Ohm. Se il MOSFET viene esposto a radiazione ionizzante questo parametro subisce delle variazioni. Nel caso degli NMOS, la carica positiva che si accumula nell'ossido va ad attirare gli elettroni presenti nel substrato andandando quindi a sommarsi all'effetto della tensione applicata al *gate*, facendo in modo che il canale si apra per V_T inferiori a quelle che si hanno in condizioni standard. Nel caso del PMOS si ha l'effetto opposto; poichè al *gate* è applicata una tensione negativa, sono le lacune che formano il canale. Le lacune intrappolate nell'ossido tendono a respingere quelle del substrato le quali, attratte dal campo elettrico verso la regione di interfaccia, hanno bisogno di una tensione maggiore (in modulo) per attivare il canale.

Un secondo contributo proviene dalle cariche all'interfaccia. Negli NMOS queste cariche sono negative e vanno quindi a contrastare in parte l'effetto delle lacune. Nei PMOS invece le cariche sono positive e andranno ad aumentare l'effetto delle lacune. In generale la variazione della tensione di soglia è esprimibile tramite due contributi che esprimono la carica intrappolata nell'ossido e nell'interfaccia:

$$\Delta V_T = \Delta V_{ot} + \Delta V_{it} = -\frac{1}{C_{ox}}(\Delta Q_{ot} + \Delta Q_{it})$$

In cui $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ e t_{ox} sono la capacità per unità di area e lo spessore dell'ossido di gate, Q_{ot} e Q_{it} sono le densità di carica superficiali nell'ossido e nell'interfaccia. Il termine ΔV_{ot} è sempre negativo mentre il secondo termine ΔV_{it} è positivo per gli NMOS e negativo per PMOS.

Il riempimento degli stati trappola in SiO_2 avviene più rapidamente rispetto alla formazione di stati di interfaccia, i quali hanno bisogno di una dose d'irraggiamento superiore per rendere il loro effetto rilevabile. Perciò negli NMOS (e solo in quelli) si assiste al fenomeno del *rebound*: la tensione inizialmente diminuisce per poi aumentare in seguito all'entrata in gioco delle cariche all'interfaccia.

2.2.2 Ossidi di isolamento e corrente di leakage

Il MOSFET è generalmente circondato da zone di ossido di silicio, il cui scopo è quello di mantenere i componenti isolati elettricamente da altri componenti del chip[4]. La richiesta di transistor sempre più veloci e con una minore dissipazione di potenza, ha spinto verso tecnologie sempre più miniaturizzate (come quella in esame). Nelle tecnologie più spinte il peso degli ossidi di isolamento sugli effetti di TID è maggiore di quello dovuto all'ossido di gate. Infatti, con la diminuzione delle dimensioni del canale (L), anche lo spessore dell'ossido di gate è andato diminuendo, cosichè la densità di carica che può andarsi ad intrappolare è diminuita. Al contrario, gli ossidi di isolamento sono rimasti in confronto di dimensioni notevoli, da $100nm$ a $1\mu m$. Questo può causare un accumulo di carica positiva che può diventare così grande da attirare un gran numero di elettroni. Si può così attivare un canale, esterno a quello primario, tra drain e source: si crea così quello che viene detto un transistor parassita. Tale transistor è normalmente spento, perchè la sua tensione di soglia è molto alta. Ma quando le cariche si accumulano negli ossidi di isolamento, la tensione di soglia si abbassa e il transistor parassita si accende. Questo effetto si nota principalmente come un aumento della corrente a $V_{GS} \sim 0$ (*corrente di leakage*). Per ovviare a questo fenomeno si è

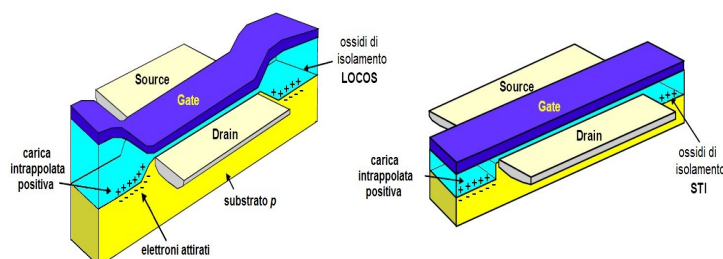


Fig. 2.4: Diversi design, LOCOS e STI, di ossidi di isolamento

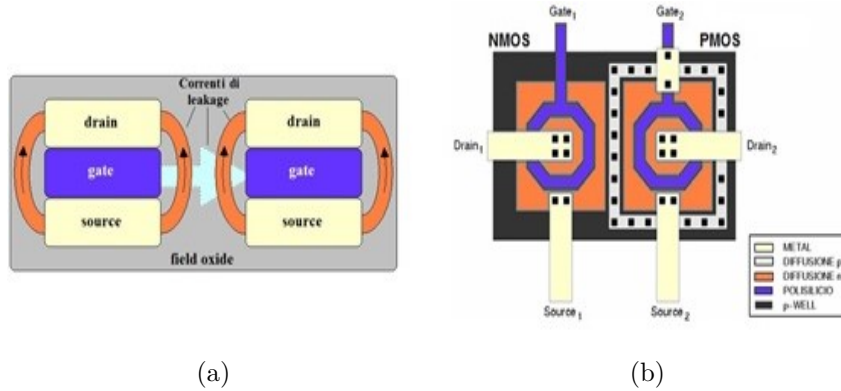


Fig. 2.5: Effetti di total dose su ossidi di isolamento (a) e MOSFET a layout enclosed (b)

cercato da un lato di avere ossidi di isolamento meno spessi passando, dal tradizionale *Local oxidation of Silicon* (LOCOS) al *Shallow trench isolation* (STI) ormai caratteristico in tutti i dispositivi moderni (Fig.2.4). Un altro modo per ovviare a questo problema è la costruzione di transistor in layout *enclosed*. In un *Enclosed layout transistor* (ELT) il gate è progettato in modo da formare un anello intorno al *drain*, impedendo così il formarsi di correnti parassite[5] (Fig.2.5).

Sebbene la tecnologia enclosed possa essere utile nella costruzione di dispositivi *radhard*, la fonderia non ne ha concesso la produzione. Perciò non sono presenti nelle strutture di test.

Nei PMOS invece il canale è formato dalle lacune per cui l'effetto degli ossidi d'isolamento non si presenta, non andando ad aumentare la corrente di Leakage.

2.2.3 Diminuzione della mobilità e della transconduttanza

Un altro parametro che può variare è la transconduttanza g_m . Formalmente essa è la derivata di I_D rispetto a V_G e dipende dalla mobilità delle cariche all'interno del canale. La diminuzione della mobilità dopo l'irraggiamento è dovuta essenzialmente all'aumento all'interfaccia di stati trappola; la conduzione avviene infatti per mezzo del trasporto delle cariche nella zona prossima all'interfaccia Si/SiO_2 . L'andamento della mobilità come funzione del numero di trappole presenti è descritto dalla seguente formula empirica:

$$\mu = \frac{\mu_0}{1 + \alpha \cdot (\Delta N_{it})}$$

dove μ_0 è la mobilità prima dell'irraggiamento, ΔN_{it} è l'incremento delle trappole all'interfaccia e α è un parametro che dipende dalla tecnologia. La degradazione della mobilità porta ad una diminuzione della transconduttanza che è proporzionale alla mobilità μ in zona lineare e a $\mu^{\frac{1}{2}}$ in saturazione.

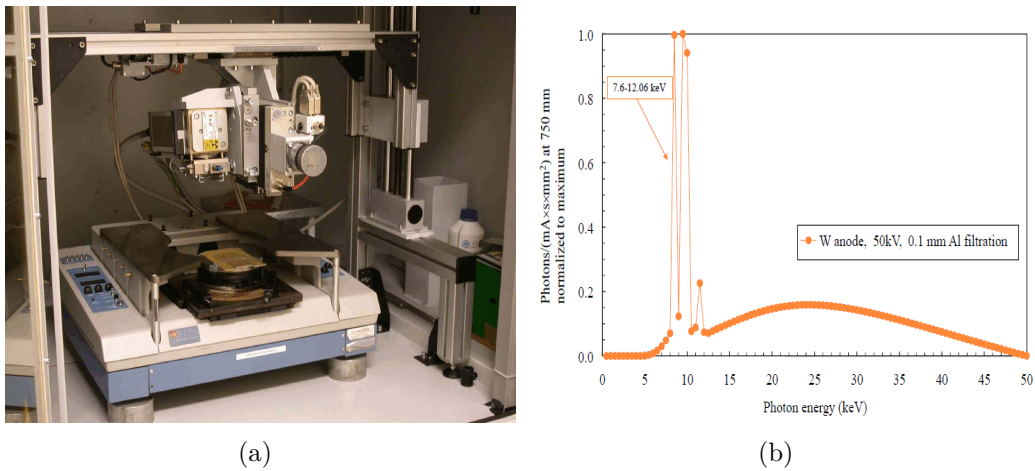


Fig. 3.1: Immagine di facility di irraggiamento(a) e dello spettro energetico(b)

3. DESCRIZIONE DELL'APPARATO DI MISURA E DELLA STRUTTURA DI TEST

3.1 Sorgente di raggi X

La macchina utilizzata per l'irraggiamento delle strutture di test, presente al Dip. Fisica e Astronomia G. Galilei, è una Seifert modello RP149 (Fig. 3.1) [6], che è costituita da un tubo catodico con anodo in tungsteno in grado di operare ad una tensione massima di 50kV e una corrente di 50mA . È possibile il controllo della posizione X-Y del tubo radiogeno, della potenza e dell'intensità del fascio. La distanza del campione dalla sorgente è regolabile manualmente prima dell'inizio della sessione d'irraggiamento. Lo spettro di radiazione dell'anodo di Tungsteno consiste di picchi centrati attorno ai 10keV , a cui si aggiunge la componente di Bremsstrahlung; le componenti a energia più bassa sono filtrate da una lamina di alluminio di $150\mu\text{m}$ (Fig. 3.1(b)). Per modificare il dose rate, misurato mediante un diodo, si può agire sulla corrente di alimentazione della sorgente, o sulla distanza del campione dal tubo.

3.2 Strutture di test

Le strutture di test a disposizione sono costituite da un insieme di singoli transistor, sia di tipo NMOS che di tipo PMOS. I vari dispositivi sono tutti in configurazione lineare e si distinguono solamente per la loro geometria. I transistor sono indicati con le dimensioni W/L, dove con W si indica la larghezza del canale e con L la sua lunghezza. La struttura di test è così composta:

- 9 NMOS di tipo core, standard V_{th}
- 9 PMOS di tipo core, standard V_{th}

I transistor di tipo *core* sono quelli che si trovano più all'interno del chip ed hanno tensioni operative più basse e ossidi più sottili rispetto ai transistor di I/O, che si trovano alla periferia del chip. Tutti i MOSFET sono provvisti di un sistema di protezione *ESD* (*ElectroStatic Discharge*) costituito da diodi, per evitare che scariche elettrostatiche rompano l'ossido di gate.

Un aspetto da sottolineare è che l'ossido di questi transistor non è il SiO_2 bensì un tipo di ossido High-K, di cui però non conosciamo né la composizione né lo spessore. Con l'avanzare dello scaling, infatti, lo spessore del SiO_2 è stato talmente ridotto da scendere sotto la soglia dei $1.5nm$, vale a dire pochi strati atomici. A causa di ciò, la corrente dovuta al tunnel diretto degli elettroni attraverso lo strato di SiO_2 , è cresciuta a livelli inaccettabili. Per questa ragione è risultato necessario rimpiazzare il SiO_2 come ossido di gate con uno strato più spesso di un materiale ad alta costante dielettrica k . Con questa soluzione si può ottenere una piccola corrente di dispersione senza modificare la capacità di gate. Nella trattazione abbiamo assunto che i meccanismi alla base del danno da TID siano in sostanza gli stessi dell' SiO_2 .

W	$3\mu m$	$3\mu m$	$100nm$	$1\mu m$	$1\mu m$	$400nm$	$200nm$	$300m$	$100nm$
L	$1\mu m$	$30nm$	$1\mu m$	$30nm$	$60nm$	$1\mu m$	$1\mu m$	$30nm$	$30nm$

Tab. 3.1: Strutture di test NMOS

W	$3\mu m$	$3\mu m$	$100nm$	$1\mu m$	$1\mu m$	$1\mu m$	$400nm$	$200nm$	$300m$
L	$1\mu m$	$30nm$	$1\mu m$	$30nm$	$60nm$	$90nm$	$1\mu m$	$1\mu m$	$30nm$

Tab. 3.2: Strutture di test PMOS

3.3 Apparato di misure e condizioni di misura

Il chip è stato montato nudo sul chuck di una *probe station* e collegato ad una *probe card* con 32 punte; è stato posizionato più vicino possibile all'uscita del tubo per l'irraggiamento così da avere il massimo dose rate (circa $8M\text{rad}/h$ in SiO_2). Con questo dose rate si raggiunge il valore richiesto di 1Grad in 5 giorni di esposizione.

Durante l'esposizione i transistor sono stati polarizzati nelle peggiori condizioni di bias possibili trovate per la tecnologia in 65nm [7], cioè applicando tensione sia al *gate* che al *drain* mentre *source* e substrato sono stati messi a massa. L'irraggiamento è stato effettuato a temperatura ambiente (non termoregolata).

L'apparato usato è una *switching matrix* Keithley 707 che connette le 4 SMU (*Single-Measuring-Units Measure*) dell'analyzer HP4156 alle punte della *probe card*. Le misure sono state effettuate a step intermedi, in modo da poter studiare l'evoluzione del danno, in modo automatico. Il tipo di misure effettuate sono uguali per ogni step di irraggiamento e sono uguali a quello iniziale.

3.4 Misure effettuate

Le misure principali effettuate sono quelle di I_G in funzione di V_{DS} in condizioni di tensione tra *drain* e *source* fisse ($V_{DS} = 0.1V$ e $V_{DS} = 1.1V$) e di I_D in funzione di V_D con tensione V_G fissa. La tensione V_{GS} viene fatta variare da $-0.2V$ a $1.1V$ per gli NMOS e da $0.2V$ a $-1.1V$ per i PMOS. Il primo set di misure è quello con la struttura di test ancora da irraggiare. In seguito il chip veniva inserito nella macchina per l'irraggiamento.

3.4.1 Errore

I contributi all'errore sulla misura sono influenzati da molteplici parametri; innanzitutto sicuramente dalla sensibilità dello strumento, ma non solo; infatti l'errore è influenzato anche dalla presenza di rumore, disturbi e fluttuazioni che sono tipiche di tutti i componenti elettronici reali. Inoltre le misure potevano essere effettuate in assenza di alcun controllo sulla temperatura del chip, cosa che sarebbe stata interessante per la comprensione della dipendenza del danno dalla temperatura. Per avere una stima dell'errore effettivo compiuto sulle misure si sarebbe dovuto procedere a diverse prese dati sul medesimo dispositivo, oppure andare ad analizzare dispositivi con le stesse caratteristiche costruttive (tuttavia andando ad introdurre un nuovo errore dovuto al fatto che i chip non sono per nulla identici). L'errore reale sulle

misure andrebbe a superare di diversi ordini di grandezza il valore delle misure stesse; stime dei contributi all'errore reale richiederebbero un'analisi che non fa parte degli obiettivi di questo lavoro di tesi.

3.5 Analisi dei dati

Dalla curva caratteristica I_D/V_G si può estrarre il valore della tensione di soglia (a $V_{DS} = 0.1V$) utilizzando due metodi: uno è quello di usare l'intersezione con le ascisse della retta che interpola la curva nella parte lineare, andando ad individuare per quali valori di V_G la corrente è effettivamente diversa da zero. Tuttavia risulta poco preciso ed affidabile. Il secondo metodo si serve della transconduttanza g_m . Per definizione è la derivata di I_D rispetto a V_G . Utilizzando valori discreti di V_G e I_D , la derivata viene calcolata come il rapporto incrementale dei dati. Il valore quindi g_m^i è:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \longleftrightarrow g_m^i = \frac{I_D^{i+1} - I_D^{i-1}}{V_{GS}^{i+1} - V_{GS}^{i-1}}$$

Una volta calcolata la transconduttanza in funzione della tensione di *gate* si ricava la tensione di soglia come:

$$V_T = V_{GS}^{max} - \frac{I_D^{max}}{g_m^{max}}$$

in cui g_m^{max} è il valore massimo assunto dalla transconduttanza, mentre V_{GS}^{max} e I_D^{max} sono la tensione e la corrente corrispondenti a g_m^{max} .

Per osservare la corrente di *leakage* bisogna estrarre la corrente di *off-state* I_{off} , ovvero la corrente a MOSFET spento, prendendo il valore della corrente quando la tensione $V_{GS} = 0$.

Un altro parametro importante è la corrente *On-state* I_{on} , che mostra come varia la corrente di drain quando il transistor è completamente acceso (V_{GS} e V_{DS} pari a 1.1V).

In molti casi le curve di transconduttanza presentano, soprattutto nei transistor più piccoli e per dosi elevate, un andamento irregolare. È perciò utile andare ad smussare le curve (in inglese *smoothing*). In questa tesi per lo *smoothing* è stata fatta la media del punto con i due adiacenti, in questo modo:

$$A_{smt}^i = \frac{A^{i-1} + A^i + A^{i+1}}{3}$$

Dove A è la quantità a cui applichiamo lo *smoothing*. Utilizzando questa tecnica è più semplice andare ad individuare il massimo della curva.

4. RISULTATI SPERIMENTALI

4.1 NMOS

Nel caso degli NMOS gli step di misura sono stati effettuati alle seguenti dosi: 100krad , 500krad , 1Mrad , 5Mrad , 10Mrad , 50Mrad , 130Mrad , 200Mrad , 330Mrad , 520Mrad , 720Mrad , 920Mrad , 1020Mrad . Andando ad analizzare la caratteristica I_D/V_G , si nota una differenza sostanziale nel comportamento dei transistor con W massimo e L minimo e viceversa, come si può vedere dai grafici in Fig.4.1. Nel caso di transistor con W massimo si ha uno spostamento minimo della corrente I_D verso tensioni minori a causa dell'irraggiamento, mentre nei transistor con L grande si ha invece uno spostamento della corrente fino verso valori più bassi di tensione fino al valore di 130Mrad , per poi spostarsi in senso contrario all'aumentare della dose. Andando ad estrarre da quelle curve la tensione di soglia V_T si nota che nel transistor con W massima si ha una diminuzione di V_T attorno al 4% del valore che si ha prima dell'irraggiamento (0.55V). Nel caso del transistor con L massima si nota un fenomeno interessante, come si vede dalla Fig.4.2. Infatti in questo caso si vede un progressivo abbassamento della tensione di

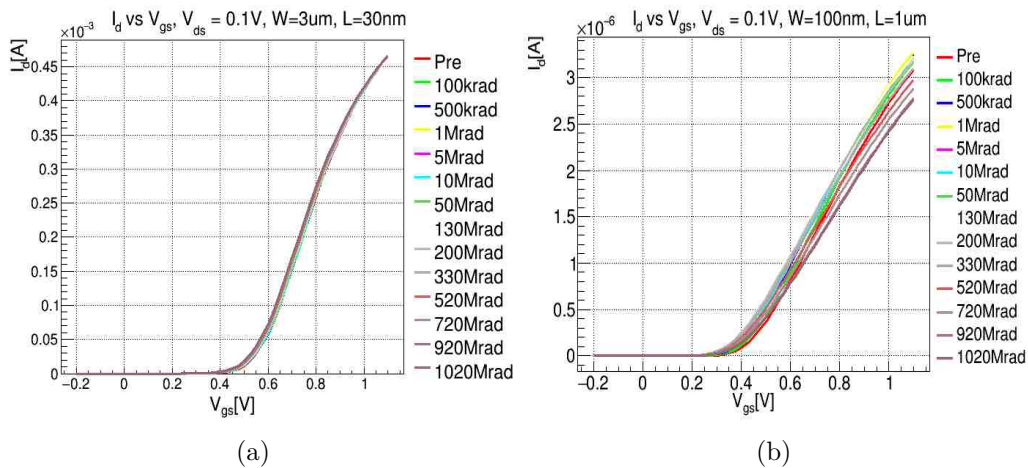


Fig. 4.1: Curva caratteristica I_D/V_G per $W = 100\text{nm}$ e $W = 3\mu\text{m}$

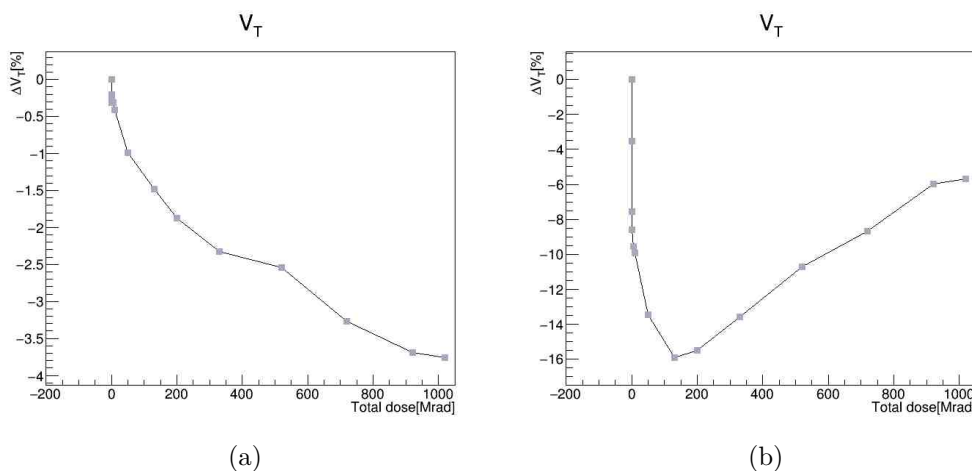


Fig. 4.2: Andamento della tensione di soglia per i transistor $3\mu m/30nm$ (a) e $100nm/1\mu m$ (b)

soglia fino ad una diminuzione massima di circa 16% a $130Mrad$, per poi risalire fino al valore del 5 – 6% a $1Grad$. Questo effetto così pronunciato è visibile solo nel transistor $100nm/1\mu m$. Questo effetto è compatibile con il fenomeno di *rebound* già notato in altre tecnologie [7], ed è causato dalle cariche negative intrappolate all'interfaccia che ad un certo punto cominciano a compensare quelle positive presenti nell'ossido di gate. Anche negli altri transistor è visibile un appiattimento nella variazione della tensione di soglia, ma solo nel $100nm/1\mu m$ questa tende a riportarsi a livelli di pre-irraggiamento. Andandando a plottare gli andamenti di V_T (Fig.4.3) per tutti i transistor, si nota che lo spostamento della tensione di soglia è al massimo del 16%. Questo spostamento non è da considerarsi un danno grave perchè è all'interno della variazione dei parametri costruttivi tra un transistor e l'altro (circa il 20%). Anche la corrente di saturazione (che non riportiamo) ha una variazione limitata (entro il 5-6%) Il danno principale è quello dovuto all'innalzamento delle correnti di leakage. Come si vede dalla figura (Fig.4.4) questa cresce per tutti i transistor dai 3 ai 5 ordini di grandezza, indipendentemente dalla lunghezza e dalla larghezza del canale. Questo è da imputarsi alle cariche che si intrappolano negli STI presenti che nell'NMOS attivano il transistor parassita. Considerando come ultima la transconduttanza (Fig.4.5), si nota che essa si abbassa con l'aumento della dose arrivando, nel caso peggiore, ad un abbassamento di circa il 18% per il transistor $100nm/1\mu m$. Per gli altri varia dall'1% al 8% del valore pre-irraggiamento.

Quindi, considerando l'entità complessiva del danno, si può dire che, non essendoci variazioni importanti di tensione di soglia e di transconduttanza,

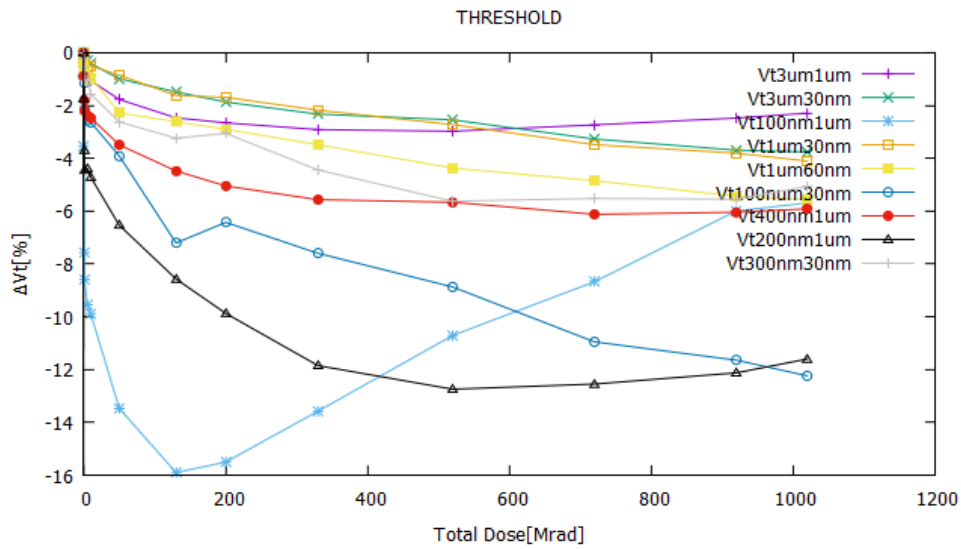


Fig. 4.3: Andamento della tensione di soglia per tutti i transistor

unita al fatto che sebbene I_{OFF} (corrente di leakage) aumenti, il rapporto tra I_{ON}/I_{OFF} (con I_{ON} corrente di saturazione) è maggiore di (10^4) , il funzionamento dei transistor non è compromesso. L'unico deficit, rappresentato

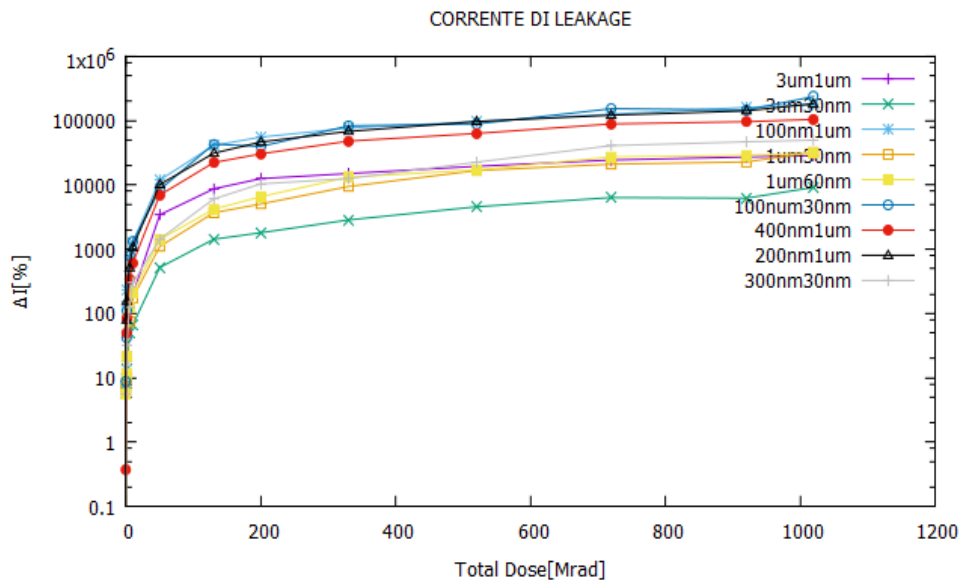


Fig. 4.4: Andamento della corrente di leakage

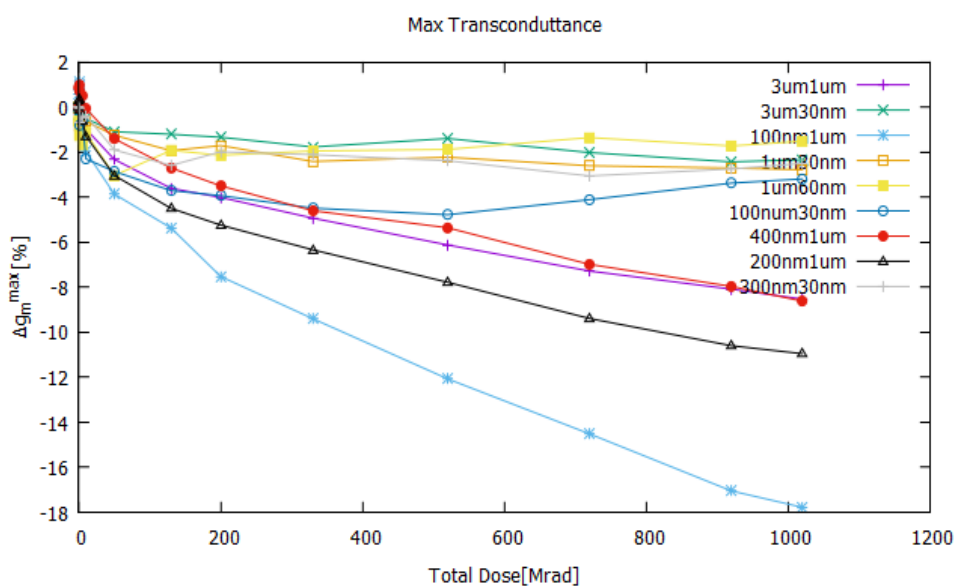


Fig. 4.5: Andamento del massimo della transconduttanza

dall'aumento delle correnti di leakage, potrebbe causare in circuiti digitali complessi l'aumento del consumo di potenza.

4.2 PMOS

Nel caso dei PMOS gli step di misura sono stati effettuati alle seguenti dosi: 100krad , 500krad , 1Mrad , 5Mrad , 10Mrad , 40Mrad , 110Mrad , 150Mrad , 200Mrad , 300Mrad , 500Mrad , 700Mrad , 900Mrad , 1100Mrad . Per tutti i PMOS non si riscontra, come atteso, un particolare aumento delle correnti di leakage perchè tali dispositivi non risentono della presenza di transistor parassiti.

Andando ad analizzare la curva I_D/V_G per il transistor $100\text{nm}/1\mu\text{m}$ in regime lineare, quello che si nota in fig.4.6(a) è che la tensione di soglia aumenta (in valore assoluto) come atteso. L'effetto è dovuto alle cariche presenti sia nell'ossido sia nella zona di interfaccia le quali, essendo nel caso del PMOS entrambe positive, fanno sì che la tensione necessaria per attivare il dispositivo sia sempre più negativa.

Osservando la curva in saturazione si vede che la corrente di drain diminuisce in modo massiccio, arrivando ad una perdita del 90% del valore iniziale. Andando a plottare l'andamento della corrente di saturazione (Fig.4.7) per tutti i dispositivi, si nota che il danno è più severo per alcuni e meno per altri.

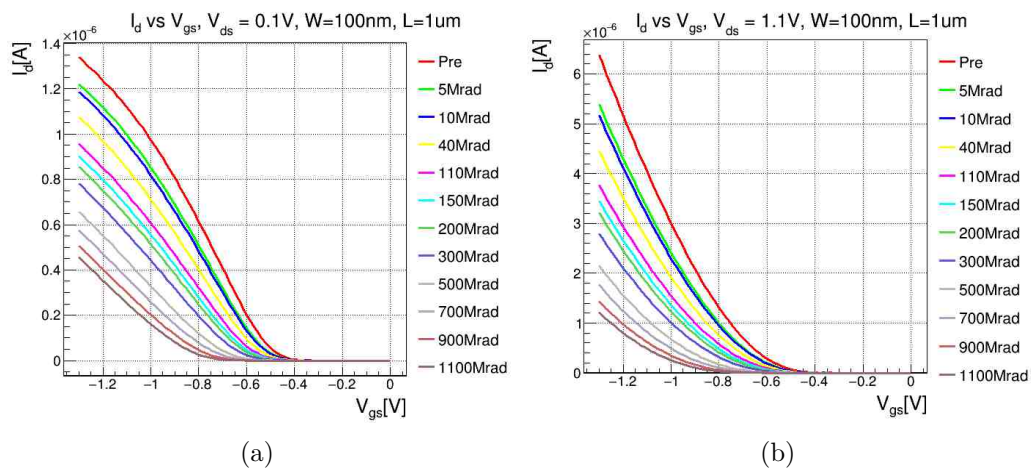


Fig. 4.6: Curva caratteristica I_D/V_G in zona lineare(a) ed in saturazione(b)

Indagando una possibile dipendenza da W si può graficare l'andamento della corrente per transistor con la stessa L e diverso W (Fig. 4.8). Quello che si riscontra è che la perdita di corrente di saturazione dipende dalla larghezza del canale. I dispositivi con canale più ampio dimostrano di possedere una maggiore resistenza alla radiazione. La dipendenza del danno dalla larghezza del canale può essere spiegata con il fenomeno del *Radiation Induced Channel Narrow Effect* (RINCE)[8]. Per questo tipo di dispositivi la carica positiva

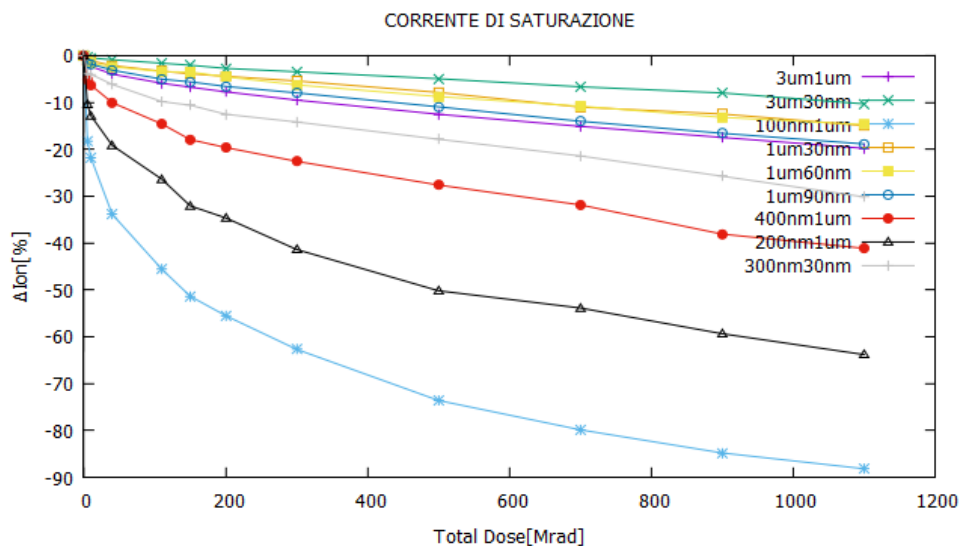


Fig. 4.7: Andamento della corrente di saturazione per tutti i transistor

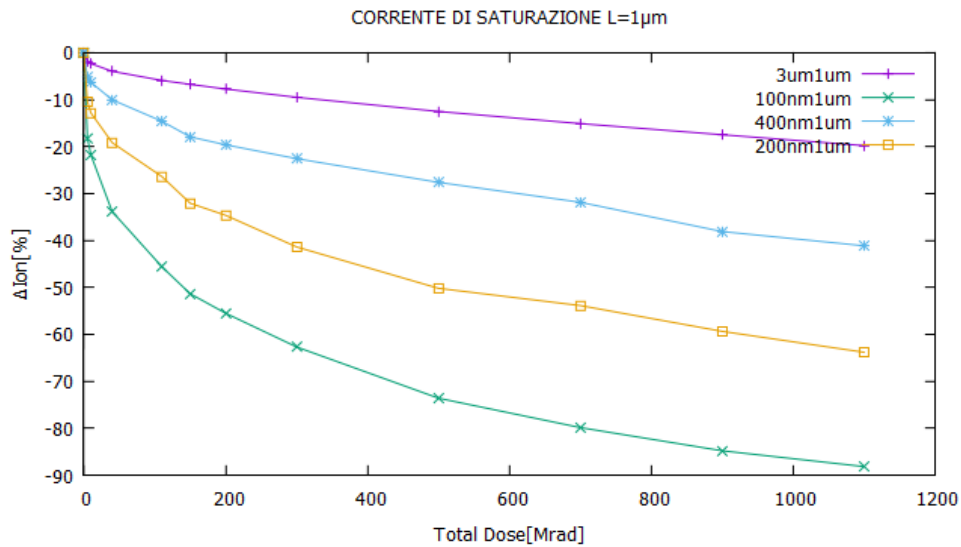


Fig. 4.8: Corrente di saturazione per $L = 1\mu m$

che si accumula negli STI può influenzare il comportamento del transistor principale, impedendo l'inversione del canale. Quello che accade è un restringimento del canale, che a sua volta comporta una diminuzione della corrente di saturazione. Per dispositivi con canale stretto questo effetto è più pronunciato, mentre è limitato se W è sufficientemente largo.

Selezionando i due set di transistor con la stessa larghezza, ma con lunghezza diversa (Fig. 4.9), si nota l'interessante risultato che la corrente di saturazione non dipende in maniera significativa dalla lunghezza del canale. Selezionando

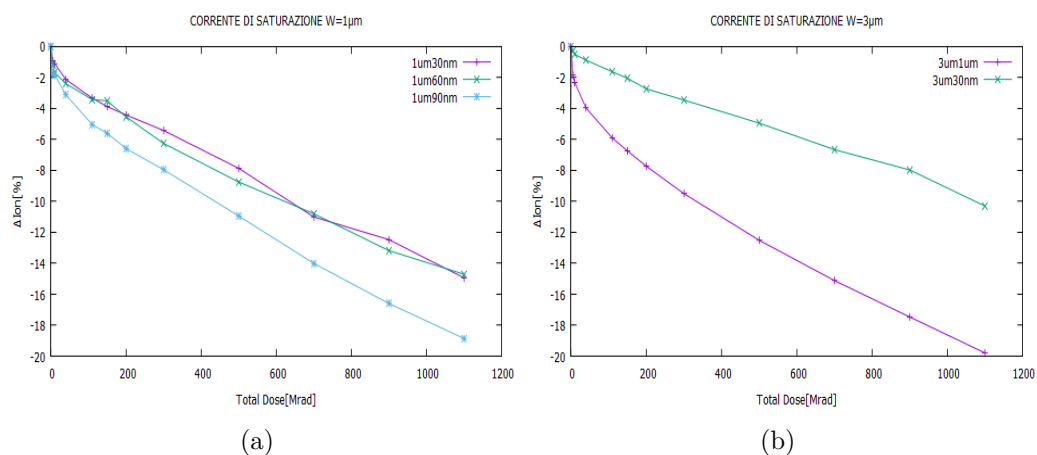


Fig. 4.9: Andamento della corrente di saturazione per $W = 1\mu m$ (a) e $W = 3\mu m$ (b)

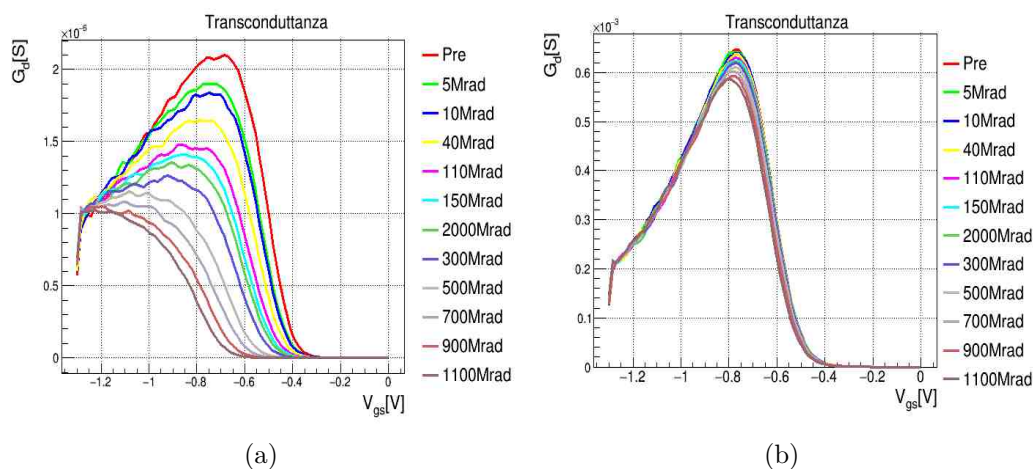


Fig. 4.10: Andamento della transconduttanza per $W = 100\text{nm}$ (a) e $W = 3\mu\text{m}$ (b)

i due set di transistor con la stessa larghezza, ma con lunghezza diversa (Fig. 4.9), si nota l'interessante risultato che la corrente di saturazione non dipende in maniera significativa dalla lunghezza del canale. La diminuzione della corrente non è tuttavia imputabile solo ad una diminuzione della mobilità. Ponendo attenzione al grafico (Fig. 4.10) della transconduttanza g_m infatti, si vede che questa diminuisce arrivando nei peggiori dei casi al 50% del valore totale per i transistor con W piccolo (Fig. 4.11(a)). L'altro contributo alla diminuzione di g_m è dovuto alla variazione di V_T (Fig. 4.11(b)). Infatti nel grafico si nota, oltre ad un abbassamento del massimo, anche uno slittamento verso tensioni maggiori (in modulo).

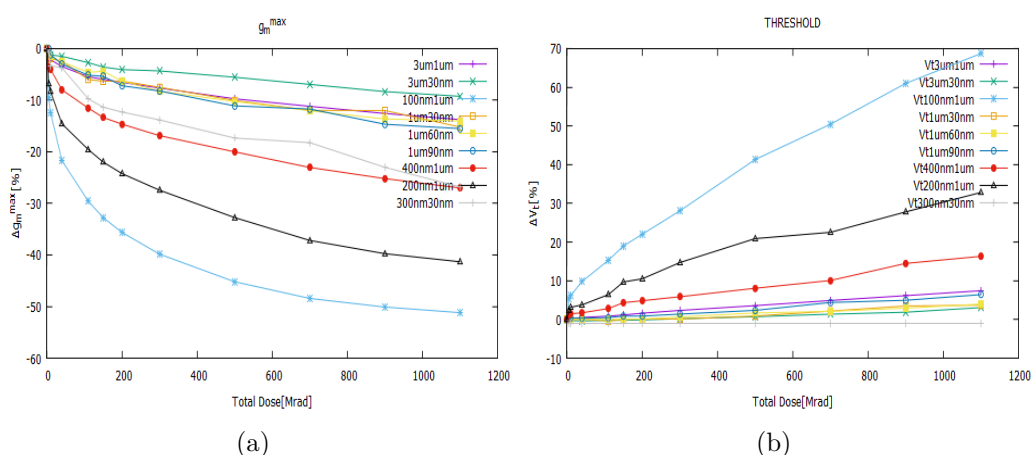


Fig. 4.11: Andamento dei massimi di g_m (a) e della Tensione di soglia(b)

5. CONCLUSIONI

In questo lavoro di tesi è stata testata la resistenza al danno di Dose Totale fino a 1 Grad di transistor realizzati in tecnologia CMOS bulk in 28nm per possibili applicazioni in Fisica delle Alte Energie. Sono stati testati sia transistor a canale n che a canale p, che hanno manifestato comportamenti molto diversi fra loro.

Per quanto riguarda i transistor NMOS, la degradazioni dei parametri è in generale limitata (e comunque sempre entro la variabilità fra chip), tranne per la corrente di leakage, che aumenta fino a tre ordini di grandezza. Tuttavia, poichè il rapporto I_{on}/I_{off} fra corrente di saturazione e corrente di leakage resta sempre superiore a 10^4 , l'aumento della corrente di leakage non compromette il funzionamento dei transistor. La conseguenza principale resta quindi l'aumento del consumo di potenza.

I transistor PMOS, invece, mostrano una degradazione molto più seria dei parametri. La grandezza che varia maggiormente è la corrente di saturazione, che mostra una forte dipendenza dalla larghezza del canale e crolla a circa il 10% del valore iniziale per il transistor con larghezza minima. L'uso di opportuni accorgimenti in fase di progettazione (ad esempio evitare il disegno di PMOS con W minimo in circuiti digitali), limita questo problema, a scapito però di un aumento della corrente. Il fatto che non si sia osservata una dipendenza del danno dalla lunghezza del canale permette, sempre in ambito digitale, di poter disegnare transistor con L minimo e di sfruttare quindi i vantaggi, in termini di velocità, offerti da una tecnologia così spinta.

BIBLIOGRAFIA

- [1] S.M.Sze. **Physics of Semiconductor Devices**. *John Wiley & Sons*, 2007.
- [2] F.B.McLean, H.E.J. Boesch., and T.R.Oldham. **Electron-Hole Generation, Transport, and Trapping in SiO_2** . *Ionizing Radiations Effects in MOS Devies and Circuits*, 1989.
- [3] N.K.Saks, M.G. Ancona, and J.A.Modolo. **Generation of interface states by ionizing radiation in very thin MOS oxides**. *IEE Transaction Nuclear Science*, 33(6), 1986.
- [4] L.Ratti. **Ionizing radiation Effects in Electronic Devices and Circuits**. *Detectors and Eletronics for High Energy Physics, Astrophysics, Space Applications and Medical Physics*, 2013.
- [5] W.Snoeys, F.Faccio, and al. **Layout Techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip**. *Nuclear Instrumentations and Methods in Physics Research*, 439(2):349–360, 2000.
- [6] D.Bisello, A.Candelori, A.Kaminski, A.Litovchenko, E.Noah, and L.Stefanutti. **X-ray radiation source for total dose radiation studies**. *Radiation Physics and Chemistry*, 71:713–715, 2004.
- [7] F.Faccio and G.Cervelli. **Radiation-Induced Edge Effects in Deep Submicron CMOS Transistors**. *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, 52(6):2413–2420, 2005.
- [8] F.Faccio, S.Michelis, D.Cornale, A.Paccagnella, and S.Gerardin. **Radiation-Induced Short Channel (RISCE) and Narrow Channel (RINCE) Effects in 65 and 130 nm MOSFETs**. *IEEE TRANSACTION ON NUCLEAR SCIENCE*, 62(6):2933–2940, 2015.