



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA IN INGEGNERIA ELETTRONICA

**“Studio e Sviluppo di un Sistema di Acquisizione di Segnali Analogici
Isolato per Misure su Reti Elettriche a Bassa Tensione”**

Relatore: Prof. Tommaso Caldognetto

**Laureando: Alessandro Magoga
1195841**

Correlatore: Ing. Dr. Marco Stellini

ANNO ACCADEMICO 2021 – 2022

Data di laurea 17-03-2022

Indice

1	Introduzione	5
2	Descrizione generale	7
3	Descrizione del progetto	9
3.1	Stadio di alimentazione	9
3.1.1	Convertitore DC-DC isolato e regolatori di tensione lineari (LDO)	9
3.1.2	Filtro EMI	12
3.2	Front-end analogico	17
3.2.1	Stadio di ingresso	18
3.2.2	Filtro anti-aliasing	21
3.2.3	Amplificatore differenziale	22
3.2.4	Layout	24
3.3	Conversione analogico/digitale	26
3.3.1	Segnali di controllo e bus digitale	26
3.3.2	Gestione della conversione	29
3.3.3	Layout	31
3.3.4	Alimentazione	33
3.4	Isolatori segnali digitali	34
3.4.1	Layout	36
3.5	Riferimento di tensione	37
3.5.1	Layout	37
3.6	Analisi tempi di propagazione	38
3.7	Trasferimento dei dati acquisiti	41
3.7.1	Descrizione del software	43
4	Verifiche sperimentali	61
4.1	Prototipo del sistema di acquisizione	61
4.2	Stadio di alimentazione	62
4.2.1	Filtro EMI	62
4.2.2	Convertitore DC-DC isolato e regolatori di tensione lineari (LDO)	63
4.3	Caratterizzazione del sistema di acquisizione	64
4.3.1	Risposta in frequenza dello stadio di condizionamento	65

4.3.2	Verifica dei segnali di controllo	69
4.3.3	Prestazioni del sistema complessivo	70
5	Conclusioni	91
A	Strumenti di misura	93
A.1	Rohde & Schwarz RTA4004	93
A.2	Keysight 34410A	95
A.3	APM SP300VAC3000W	96
A.4	Chroma 63804	98
B	Schemi elettrici, PCB e BOM	99

Capitolo 1

Introduzione

Il tema dell'approvvigionamento e della produzione di energia ha assunto negli ultimi anni un ruolo sempre più centrale. A livello mondiale, infatti, si è verificato un importante aumento del consumo di energia elettrica che ha portato molti paesi ad adottare soluzioni basate sull'aumento della produzione mediante l'uso di fonti alternative, non fossili, e incentivato la transizione verso l'uso di sistemi di trasporto elettrici e/o ibridi. L'ambizioso obiettivo dell'UE è quello di diventare il primo continente *carbon-neutral* entro il 2050. L'uso di fonti rinnovabili, infatti, presenta una serie di effetti benefici come la riduzione della produzione dei gas a effetto serra, la diversificazione delle fonti energetiche disponibili e l'abbandono definitivo dei combustibili fossili ai fini della produzione di energia su larga scala [1]. E' chiaro, quindi, che le apparecchiature elettriche ed elettroniche coinvolte negli aspetti di produzione e conversione di energia e il loro interfacciamento alla rete, sono e saranno sempre più fondamentali.

Un report prodotto dall'azienda Hitachi [2], dichiara: "PE (Power Electronics) is at the heart of electrical power conversion, where electronics transform voltages and currents from one level and shape to another e.g. in a USB charger that converts 230V, 50/60Hz to 5V DC. Power conversion with PE is very efficient, and it is not uncommon to have efficiencies greater than 95%. Therefore, it is not surprising that 70% of all electrical energy today is processed by Power Electronics, and this will increase in the coming decades."

Quindi, indubbiamente, l'elettronica di potenza ricopre una posizione di riferimento in termini di trasformazione e trasmissione dell'energia prodotta a livello globale. Il massiccio utilizzo di sistemi di conversione a commutazione, infatti, ha reso di fondamentale importanza le tematiche relative alla conformità di prodotto, al fine di rispettare i limiti legislativi imposti in merito all'immissione di potenza in rete.

Le normative italiane di riferimento sono la CEI 0-16 [3] e CEI 0-21 [4]. Nelle norme in questione, si definiscono i criteri tecnici per la connessione e l'interfacciamento alle reti elettriche, la descrizione delle prescrizioni da seguire in materia di sicurezza e affidabilità e le soglie da rispettare dal punto di vista dei disturbi introdotti dai dispositivi di conversione allacciati alla rete stessa.

Questo progetto, quindi, nasce con l'obiettivo di realizzare un sistema di acquisizione

analogico-digitale isolato per poter acquisire tensione e corrente di sistemi di conversione connessi su rete a bassa tensione, al fine di valutare gli aspetti relativi alla *Power Quality*. Con il termine, ci si riferisce all'idoneità dell'energia elettrica in uso ad alimentare gli apparecchi utilizzatori e pone l'attenzione sul legame esistente tra una forma d'onda reale e ideale, dal punto di vista dei parametri che le descrivono, valutando le discrepanze tra di esse. In particolare si analizzano caratteristiche come frequenza, ampiezza dell'onda fondamentale, armoniche e, per sistemi a più fasi, la correlazione che esiste tra le varie fasi del sistema sotto esame.

Capitolo 2

Descrizione generale

Il sistema sviluppato è in grado di acquisire simultaneamente i valori istantanei di tensione e corrente di una rete monofase, garantendo l'isolamento ingresso-uscita. Il progetto si è soffermato sulla realizzazione e le analisi delle prestazioni di un singolo modulo, tuttavia l'obiettivo è quello di realizzare, tramite un'espansione modulare, l'acquisizione in parallelo di segnali trifase ottenuti da 3 moduli separati e interfacciati tra di loro mediante l'uso di un bus. Dal punto di vista dell'acquisizione dei dati e del controllo della conversione, al fine di garantire tempi di realizzazione accettabili e allo stesso tempo creare una solida base di partenza per garantire una certa flessibilità nello sviluppo di futuri aggiornamenti del sistema, è stato fatto uso di una piattaforma hardware basata su microcontrollore, collegata ad un modulo di acquisizione tramite un opportuno *socket*. E' possibile, quindi, trasferire i dati ricavati ad un computer per poterli analizzare in modo approfondito e trarre conclusioni sulle specifiche di *Power Quality* di una rete, ossia dell'affinità esistente tra la forma d'onda di riferimento delle reti in bassa tensione (ideale) e quella reale. Come descritto dalla direttiva Bassa Tensione (BT) o *Low Voltage Directive* (LVD), l'isolamento elettrico è un aspetto fondamentale per questo tipo di sistemi, dato che il segnale in ingresso proviene direttamente da una rete elettrica con tensioni nel range $75\text{VDC} \div 1500\text{VDC}$ o $50\text{VAC} \div 1000\text{VAC}$ [5]. Date le richieste di massima fedeltà di misura, l'isolamento della sezione analogica non garantirebbe prestazioni sufficienti dal punto di vista della linearità e della limitazione della banda, caratteristiche tipiche dei dispositivi di isolamento analogici. E' stato, quindi, adottato un isolamento della sezione digitale, risolvendo simultaneamente tutte queste problematiche. In figura 2.0.1 è presente un confronto relativo alle due possibili soluzioni. L'acquisizione del canale di tensione è garantito da un sistema di misura differenziale per l'analisi della tensione su carico in bassa tensione. Per quanto riguarda la misura di corrente, questa è stata eseguita mediante l'uso di un trasformatore di corrente (TA), inserito in serie al carico e con resistenza di shunt posta sul PCB.

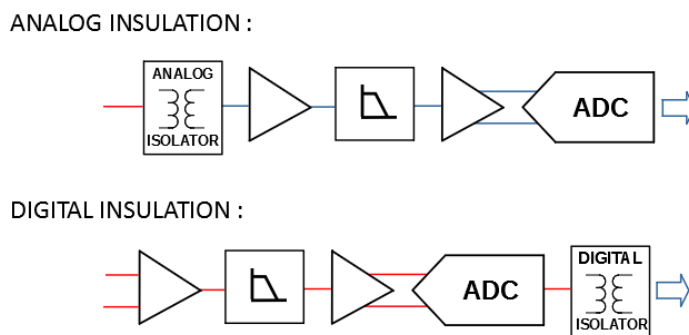


Figura 2.0.1: Confronto tra l'isolamento della sezione analogica e digitale

L'obiettivo a lungo termine, è di realizzare un sistema modulare, utilizzando una serie di moduli in parallelo. In questo modo, è possibile misurare le specifiche sulla *Power Quality* per diversi tipi carico e sistemi di alimentazione. In figura 2.0.2 è presente uno schema riassuntivo che mostra lo schema a blocchi interno a ogni modulo: possiamo trovare i canali di acquisizione simmetrici, il convertitore analogico-digitale, l'isolamento digitale e la sezione di alimentazione isolata.

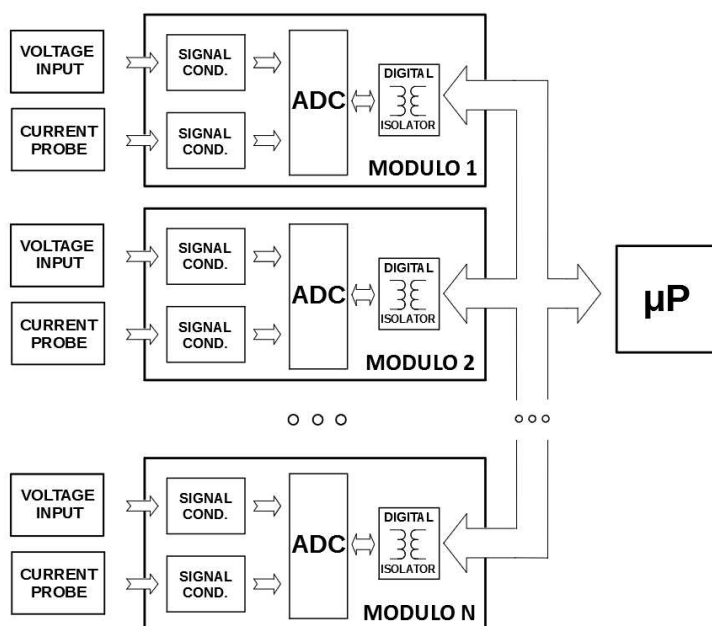


Figura 2.0.2: Schema del sistema modulare di acquisizione

Verranno qui ripresi gli aspetti realizzativi principali della precedente versione del progetto in esame, con l'analisi dei singoli blocchi citati in figura 2.0.2. A seguire, viene descritta la realizzazione del prototipo finale, dotato delle sezioni circuitali studiate in precedenza (front-end e alimentazione), della sezione di conversione analogico-digitale e trasmissione seriale, sia dal punto di vista dell'hardware che del software sviluppati.

Capitolo 3

Descrizione del progetto

3.1 Stadio di alimentazione

3.1.1 Convertitore DC-DC isolato e regolatori di tensione lineari (LDO)

Lo stadio di alimentazione è suddiviso in 2 sezioni principali: una per quella isolata e l'altra per quella non isolata. Verranno ripresi qui alcuni concetti e decisioni a livello progettuale già trattati nella precedente versione del progetto [6] e verranno analizzati i principali aggiornamenti effettuati. Il layout a livello di PCB, nelle sezioni già sviluppate, è rimasto inalterato per le buone prestazioni elettriche e termiche riscontrate in precedenza [6]. In figura 3.1.1, viene riassunto il sistema di alimentazione utilizzato.

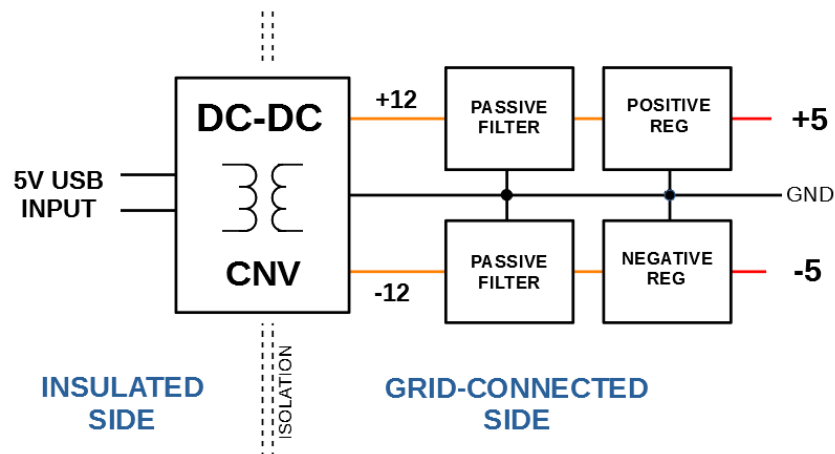


Figura 3.1.1: Schema relativo alla sezione di alimentazione

In figura 3.1.3a, è possibile osservare l'alimentazione della sezione non isolata, dove si è fatto uso del convertitore DC-DC isolato TVN 3-0922 prodotto dalla Traco Power [13] e dei regolatori di tensione LDO LT3045 [15] per la generazione della tensione +5V e LT3094 [16] per la generazione della tensione -5V.

Dal punto di vista degli aggiornamenti effettuati rispetto alla versione precedente, si è aggiunto un LED nella sezione di ingresso per indicare lo stato di alimentazione del sistema e si è rimosso il filtro LC in uscita dal convertitore DC-DC isolato in quanto, dalle precedenti analisi, si è notato che le prestazioni di regolazione in uscita erano più

che sufficienti dal punto di vista dell'ondulazione residua generata dal convertitore. La sezione relativa alla generazione delle tensioni $\pm 12V$ e di generazione dell'isolamento è garantita dal convertitore DC-DC [13]. E' stato introdotto l'uso di un filtro RC al fine di ridurre il rumore ad alta frequenza prodotto dal convertitore stesso. Il filtro è stato dimensionato utilizzando resistenze di formato 2512 da 1Ω prodotte dalla Vishay [8], con potenza nominale di 1W e condensatori ceramici da $10\mu F$. In questo modo si garantisce il raggiungimento di una temperatura di regime sul resistore sufficientemente bassa. Nel *worst-case*, ogni regolatore può fornire una corrente media di uscita pari a 500mA. Dalla curva di *derating* del dispositivo in figura 3.1.2, è possibile ricavare la massima temperatura di esercizio.

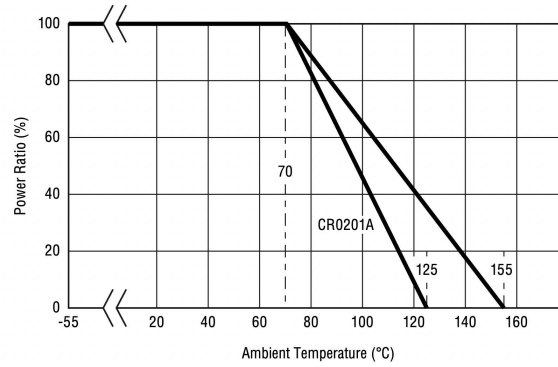


Figura 3.1.2: Curve di *derating* per il resistore utilizzato [8]

La resistenza termica del componente è data dal rapporto tra l'escursione $\Delta T = T_{MAX} - T_a = 155^\circ C - 70^\circ C = 85^\circ C$ e la potenza nominale dissipabile $P_N = 1W$.

$$R_{th} = \frac{\Delta T}{P_N} = 85 \frac{^\circ C}{W} \quad (3.1)$$

Pertanto, all'equilibrio termico, la temperatura finale del resistore sarà pari a $T = T_a + R_{th}P_D$, con $T_a =$ temperatura ambiente $= 30^\circ C$, $I_{nom,+} = 125mA$ (secondo le specifiche del TVN 3-0922 [13]), $P_D = R_{nom}I_{nom}^2 = 1\Omega(0.125A)^2 \approx 15.63mW$. Si ottiene $T \approx 31.33^\circ C$, il che ci permette di dissipare senza problemi la potenza in questione senza alcun tipo di *derating*.

La seconda sezione di alimentazione, separata spazialmente dalla prima, è stata aggiunta allo scopo di alimentare la sezione isolata e, in particolare, il banco di isolatori utilizzati per l'isolamento delle linee dati in uscita dall'ADC, che devono essere collegate alla scheda di sviluppo al fine di trasferire i dati convertiti. A partire da una tensione di ingresso pari a +5V (fornita dalla linea USB), il regolatore LT3045 [15] fornisce una tensione regolata pari a +3.3V, in modo da poter interfacciare direttamente la sezione isolata degli isolatori con gli ingressi del microcontrollore utilizzato che, nel caso in esame, può gestire tensioni di ingresso nel range $0V \div +3.3V$. Per il progetto di questa sezione, si è filtrato l'ingresso proveniente dalla linea $+V_{USB}$ utilizzando un filtro RC e si è settata la tensione di uscita mediante la resistenza di *setting* del regolatore LT3045, come descritto nel datasheet del componente [15]. Tale resistenza fornirà un riferimento stabile in

quanto percorsa da una corrente di $100\mu\text{A}$, prodotta internamente al dispositivo stesso. La caduta di potenziale ai suoi capi definisce direttamente la tensione di uscita (a meno della tolleranza di fabbricazione del resistore), secondo la relazione che intercorre tra la corrente generata internamente al pin SET ($I_{SET} = 100\mu\text{A}$) e la resistenza scelta (R_{SET}). Si ha:

$$V_{SET} = I_{SET}R_{SET} \quad (3.2)$$

E dalla 3.2 si ottiene subito il valore di R_{SET} . Il condensatore posto in parallelo alla resistenza di *setting* ha lo scopo di migliorare il PSRR, ridurre il rumore e garantire la stabilità della regolazione anche a fronte di transitori, con l'unico svantaggio relativo all'aumento del tempo di *startup*. In figura 3.1.3b, è possibile osservare l'alimentazione della sezione isolata.

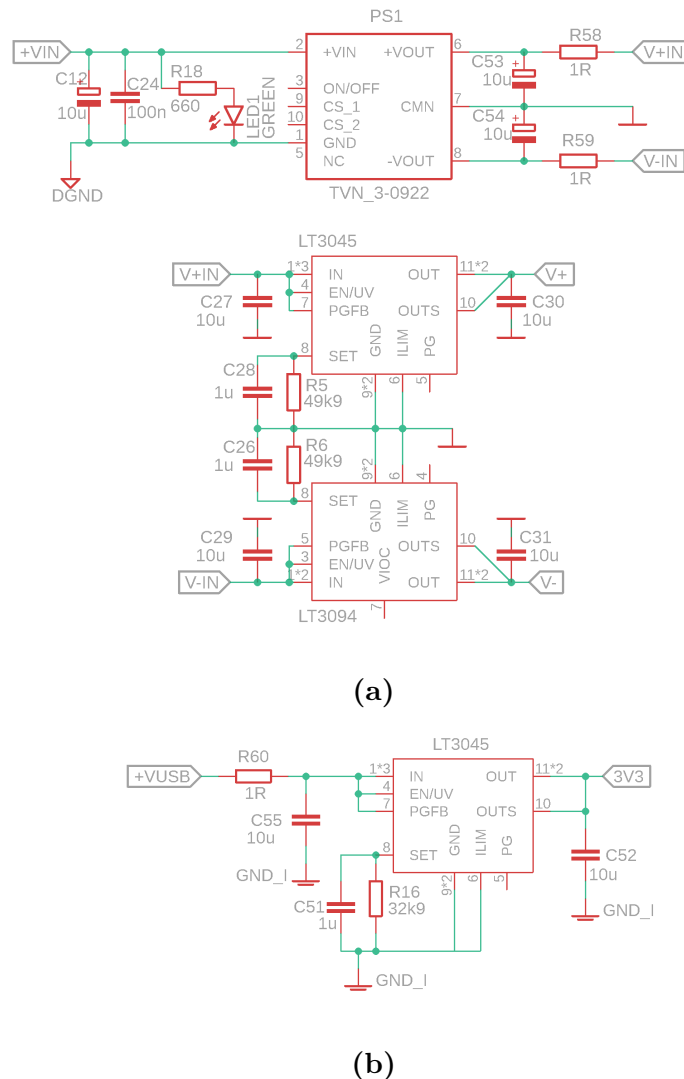


Figura 3.1.3: Sezione di alimentazione: (a) Stadio di alimentazione per la sezione non isolata e (b) Stadio di alimentazione per la sezione isolata

Layout

Il layout a livello di PCB è stato mantenuto rispetto al precedente studio [6]. Per l'alimentazione della sezione non isolata, si sottolinea il fatto che è stata creata un'ampia zona di massa, collegata ai pad termici dei regolatori lineari, al fine di migliorare le prestazioni termiche e garantire una dissipazione del calore sia nel *bottom layer* che nel *top layer*, grazie al collegamento realizzato mediante l'uso di schiere di *vias* tra le 2 regioni. Si è curato il posizionamento del filtro RC discusso nella sezione 3.1, ponendolo molto in prossimità ai regolatori, al fine di garantire il minor accoppiamento possibile con i disturbi. Considerazioni analoghe valgono per l'alimentazione della sezione isolata, dove si è creato un piano di massa di dimensioni inferiori date le minori richieste dal punto di vista dello smaltimento del calore. I condensatori elettrolitici C45 e C53, invece, sono stati posizionati in prossimità del convertitore DC-DC al fine di migliorare le prestazioni durante le situazioni di transitorio di carico.

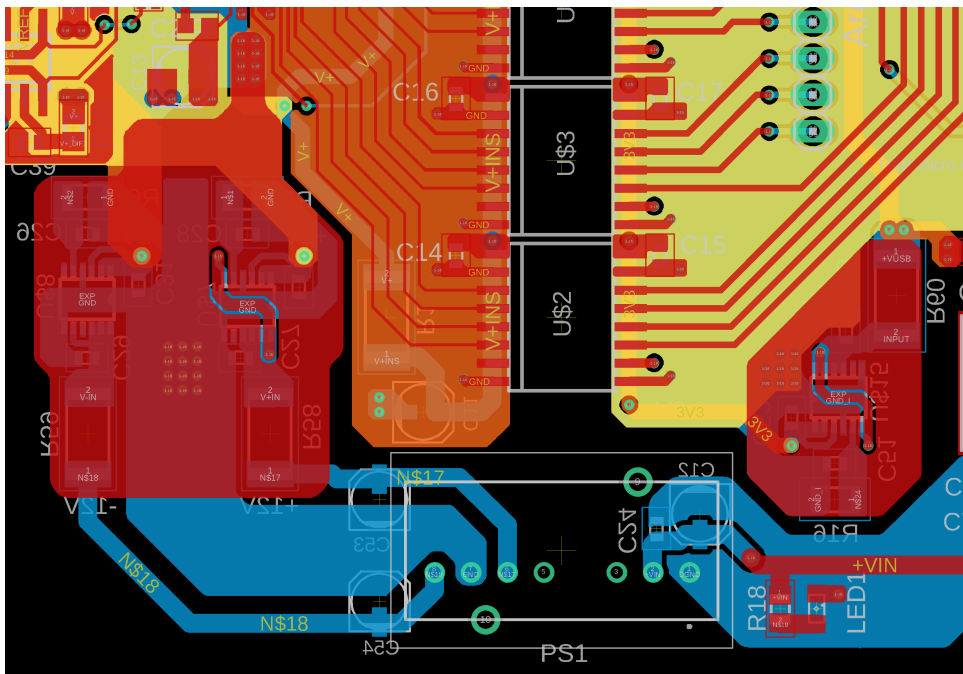


Figura 3.1.4: Layout della sezione di alimentazione

3.1.2 Filtro EMI

Dato che l'applicazione in esame sfrutta un sistema di alimentazione switching è di fondamentale importanza prestare attenzione al tema relativo l'immissione di armoniche nella rete BT.

Il datasheet del Traco Power TVN 3-0922 dichiara il rispetto della normativa EN 55032 [13] dal punto di vista di emissioni condotte tramite l'uso di un filtro LC per supportare i limiti in classe A e filtro II per quelli in classe B. Al fine di migliorare tali specifiche, è stato fatto uso di un filtro EMI che sfrutta 2 ferriti e un'induttore di modo comune. Le prime hanno lo scopo di dissipare i disturbi condotti in alta frequenza sotto forma di calore sul componente stesso mentre il secondo agisce, in sinergia con la

capacità di uscita, come filtro per i disturbi di modo comune. Sapendo che la frequenza di switching del convertitore è attorno ai 100 kHz, con modulazione PFM, i disturbi emessi dal convertitore saranno caratterizzati da armoniche a frequenza multipla della f_s , pertanto nell'ordine delle centinaia di kHz fino ai MHz.

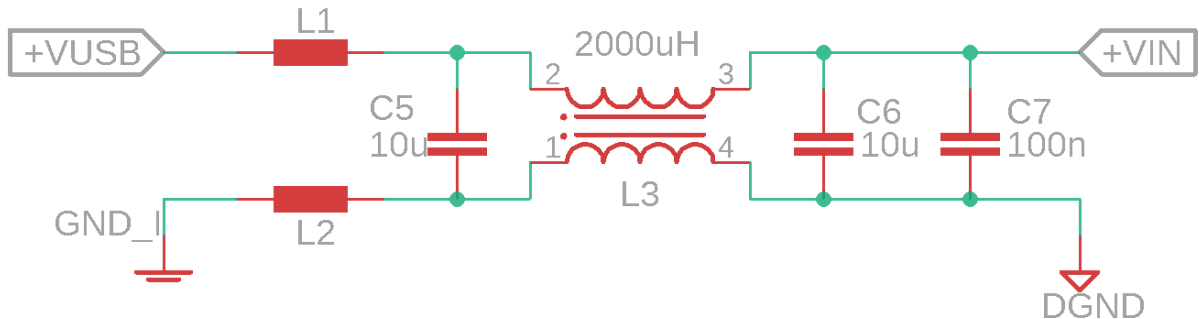


Figura 3.1.5: Schema elettrico relativo al filtro EMI

Dato che il progetto dei filtri EMI è fortemente legato all'aspetto sperimentale e di sviluppo sulla base di diverse iterazioni, in quanto i disturbi generati sono fortemente legati al sistema che viene alimentato, il filtro è stato sviluppato con la struttura in figura 3.1.5 e mediante simulazione utilizzando il software LTSpice.

Sono state utilizzate 2 ferriti BLM21PG331SN1 prodotte da Murata [9], che garantiscono un'impedenza di 330 Ohm a 100 MHz, corrente massima di 1.5A e resistenza DC = 0.07 Ω , fattore molto importante al fine di ridurre al minimo la differenza di potenziale che si crea nella linea di massa all'aumentare della corrente assorbita.

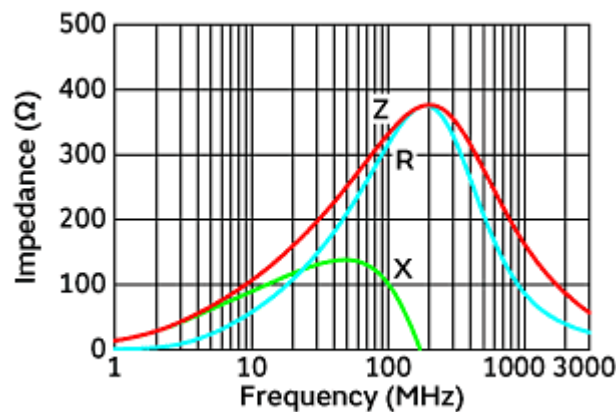


Figura 3.1.6: Andamento in frequenza della ferrite BLM21PG331SN1

Come si nota dalla figura 3.1.6, l'impedenza massima si ha intorno ai 200MHz, ossia nel range di frequenze che si vogliono attenuare. Inizialmente, il comportamento preponderante è quello induttivo, per poi diventare puramente resistivo alla frequenza di risonanza e quindi capacitivo a seguire. Tale comportamento pone delle restrizioni sulla

regione di funzionamento ottimo del dispositivo in quanto può attenuare in modo significativo solo un range ristretto di frequenze, rispetto alla banda posseduta dai disturbi generati. Durante la scelta del componente si è posta particolare attenzione alla corrente continua massima tollerabile. All'aumentare della corrente, infatti, il componente può sopportare valori di assorbimento via via decrescenti (*derating*) in quanto la temperatura interna aumenta sensibilmente. Inoltre, la corrente influenza anche il valore di impedenza della ferrite stessa: all'aumentare della corrente DC il componente tende a "saturare" e l'induttanza tende a diminuire, anche in modo significativo, riducendo drasticamente il valore di impedenza, anche del 90%. Come mostrato nella sezione 4.2.1, l'assorbimento massimo è di $\approx 350\text{mA}$, pertanto ci si trova in una regione di funzionamento priva di necessità di *derating* o rischio rottura.

L'induttore di modo comune scelto è il modello 744221 della serie *WE-SL2 SMT Common Mode Line Filter* prodotto dalla Würth Elektronik [10]. Un'induttore di modo comune è in grado di filtrare i segnali di modo comune grazie all'elevata impedenza che un segnale risente per l'alto valore di induttanza generato nel range di frequenze di interesse, al contrario, i segnali di modo differenziale non incontrano un'elevata impedenza per frequenze sufficientemente basse.

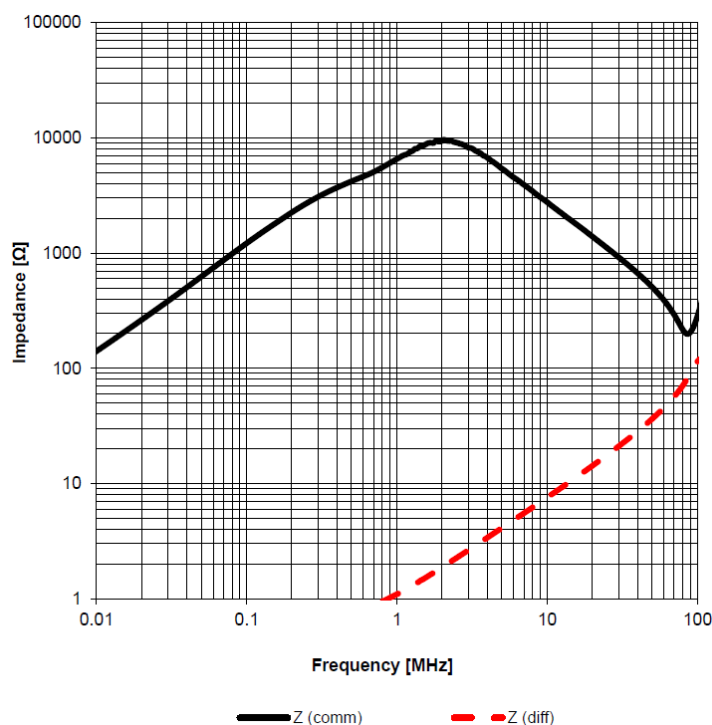
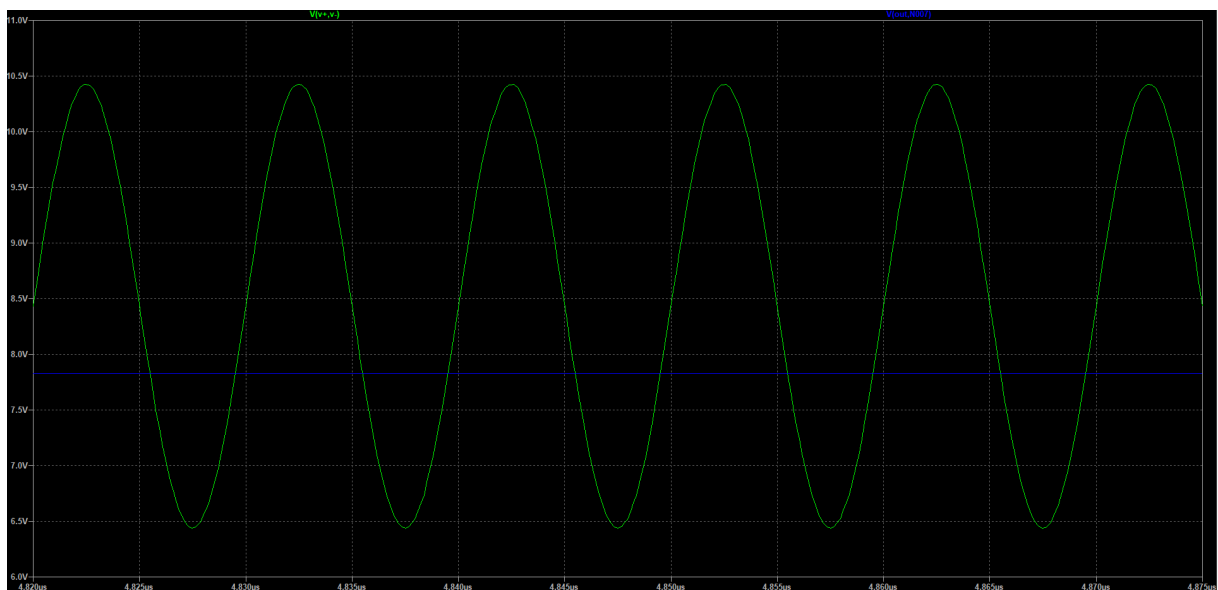


Figura 3.1.7: Andamento in frequenza dell'induttore di modo comune WE-SL2 744221

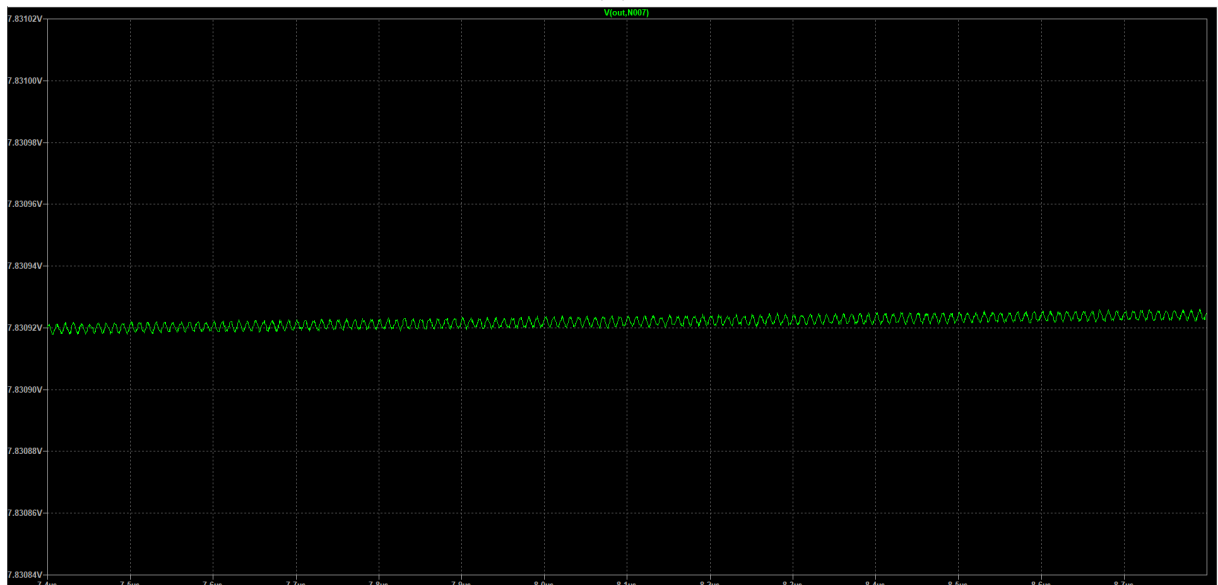
Combinando gli effetti dissipativi dei disturbi ad alta frequenza grazie alle ferriti applicate alla linea di massa e di alimentazione e di filtraggio del modo comune dei disturbi nel range di frequenze di interesse, si possono ottenere ottime prestazioni in termini della riduzione dei disturbi.

Al fine di garantire buone prestazioni di filtraggio, si sono inseriti i parametri dei modelli delle ferriti, dell'induttore di modo comune e dei condensatori utilizzati all'interno

del software di simulazione LTSpice e si è simulata la presenza di disturbi di modo comune e differenziale alla frequenza di 100MHz. Come si può notare dai risultati ottenuti in simulazione in figura 3.1.8, l'ondulazione di modo differenziale iniziale è di $\approx 2V_{pp}$ mentre all'uscita del filtro l'ondulazione risulta essere proporzionale al μV_{pp} , mentre in figura 3.1.9, a partire da un'ondulazione di modo comune di circa $2V_{pp}$, l'uscita presenta un'ondulazione residua di circa $10mV_{pp}$.

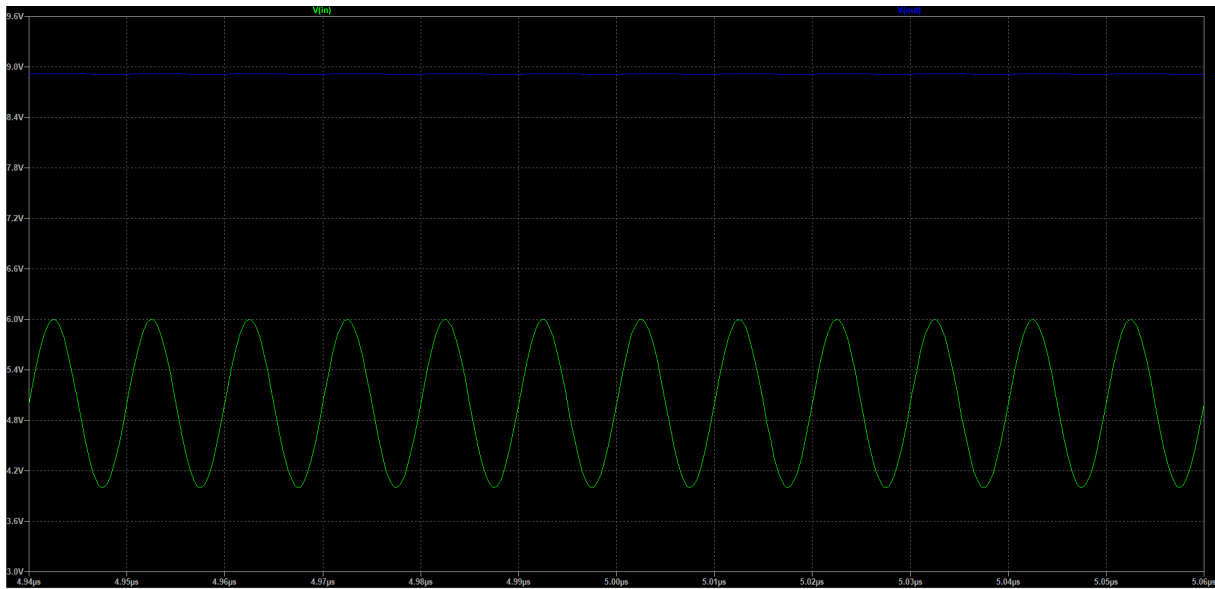


(a)

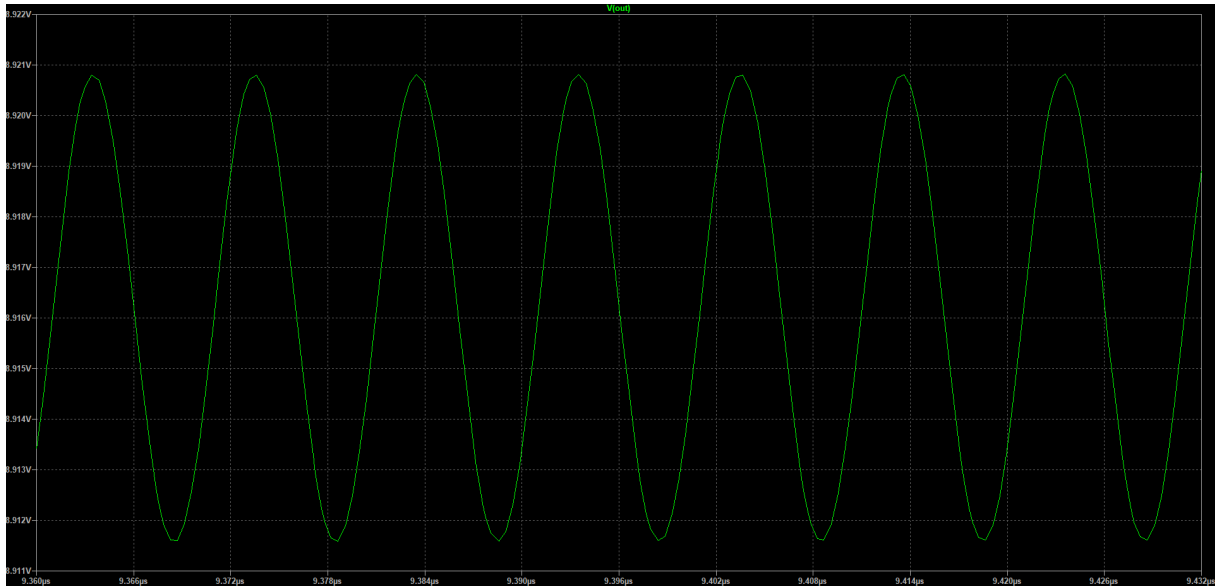


(b)

Figura 3.1.8: Simulazione SPICE: (a) Attenuazione dei disturbi di modo differenziale: confronto ingresso-uscita e (b) dettaglio sull'ondulazione di modo differenziale residua



(a)



(b)

Figura 3.1.9: Simulazione SPICE: (a) Attenuazione dei disturbi di modo comune: confronto ingresso-uscita e (b) dettaglio sull'ondulazione di modo comune residua

I risultati sperimentali sono stati analizzati nella sezione 4.2.1.

Layout

Il layout del filtro EMI è presente in figura 3.1.10 ed è stato pensato al fine di minimizzare la distanza percorsa dalle linee $+V_{USB}$ e GND , allo scopo di ridurre la caduta di potenziale e gli elementi parassiti nel percorso svolto dalla corrente. La zona di massa è stata trasferita dal *top layer* (in rosso) al *bottom layer* (in azzurro) al fine di collegare direttamente i pin relativi al convertitore DC-DC.

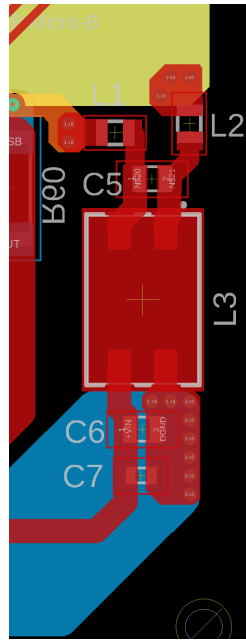


Figura 3.1.10: Layout del filtro EMI

3.2 Front-end analogico

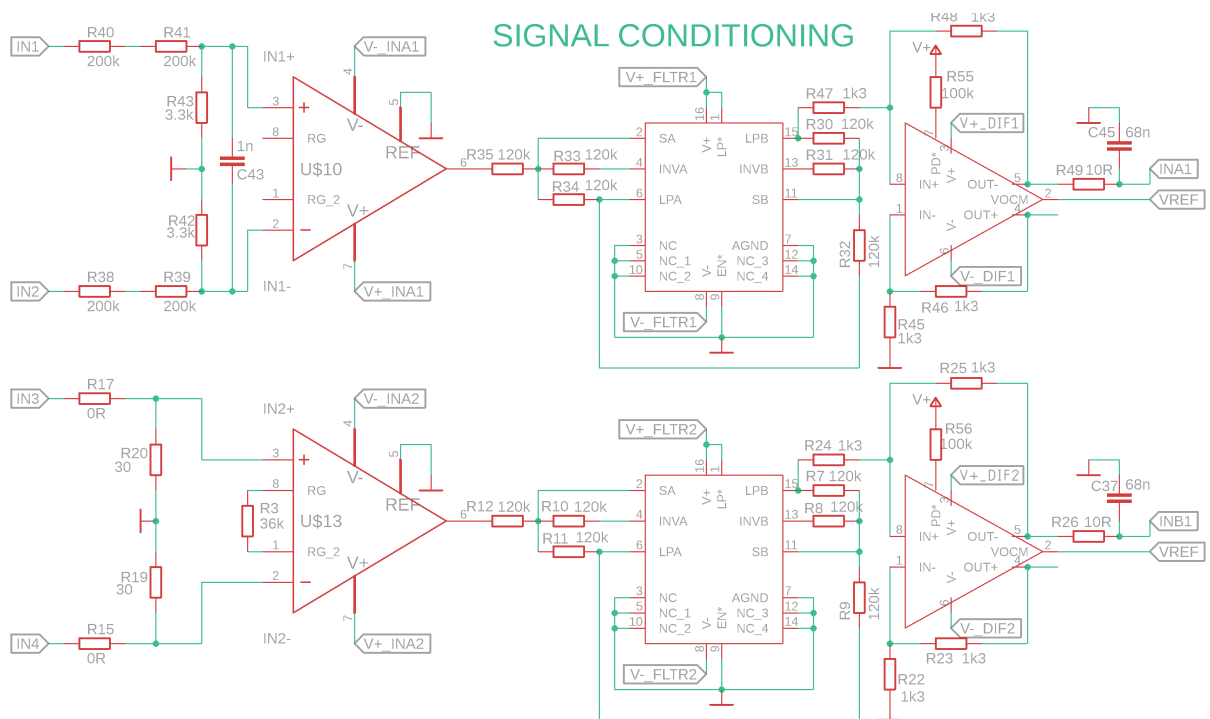


Figura 3.2.1: Schema elettrico: sezione di condizionamento

La struttura, le caratteristiche e il layout a livello di PCB dello stadio sono già stati dettagliatamente analizzati e descritti nella fase iniziale del progetto [6]. Qui verranno citate le caratteristiche fondamentali di questa sezione e i principali aggiornamenti effettuati.

3.2.1 Stadio di ingresso

Il condizionamento dei segnali in ingresso è ottenuto tramite partitore resistivo e successivo amplificatore differenziale da strumentazione. L'uso di un tale amplificatore operazionale è giustificato dal fatto che è strettamente necessario mantenere una misura il più fedele possibile al valore reale e garantire la tenuta alla massima tensione di ingresso. Il partitore è stato realizzato con struttura bilanciata visibile in figura 3.2.2 e permette di ottenere una tensione V_p duale rispetto al potenziale di riferimento.

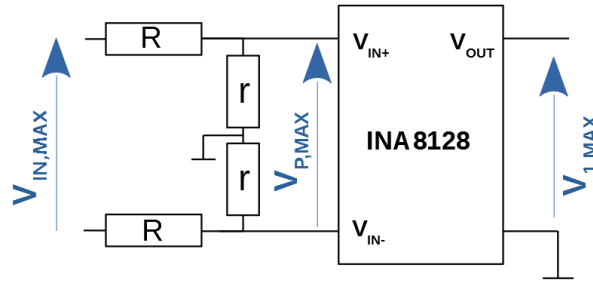


Figura 3.2.2: Struttura dello stadio di ingresso

Adottando questo approccio, è possibile garantire l'annullamento del modo comune del segnale di ingresso, che viene poi fornito ad un filtro del 4° ordine.

Canale di tensione

Il dimensionamento di R e r per lo stadio di tensione è stato eseguito tenendo in considerazione anche la massima potenza dissipata sui resistori stessi. Ne è derivato un valore pari a $R = 400k\Omega$, in 2 package di dimensione standard 2512, al fine di aumentare la distanza fisica tra la parte ad alta e bassa tensione del PCB. Al fine di evitare effetti di carico, è stata scelta una soluzione che utilizza un buffer di tensione. In particolare, si è fatto uso dell'amplificatore da strumentazione INA828 [12], evoluzione del precedente INA128, che era stato usato nella scorsa versione del prototipo del Front-end. L'INA828 migliora alcuni parametri della precedente versione pur mantenendo le stesse caratteristiche a livello di struttura interna tranne che per l'uso di transistor *super-beta*, adatti a usi per guadagni di corrente elevati ($\beta > 1000$), riducendo, quindi, le correnti di *bias* di ingresso (dato che $\beta = \frac{I_c}{I_b}$) e il loro *drift* rispetto alle variazioni di temperatura [24]. Il chip, inoltre, garantisce una tensione di alimentazione compresa tra 4.5V e 36V, protezioni dalle sovratensioni fino a 40V e un offset di tensione massimo di 50 μ V e guadagni minimo e massimo rispettivamente pari a 1 e 1000. Inoltre, rispetto al modello precedente, grazie all'uso dei transistor *super-beta*, il CMRR passa da 120dB a 140dB e le correnti di *bias* da 5nA a 0.6nA.

Al fine di migliorare le prestazioni elettriche e il layout del PCB, garantendo una maggiore separazione dei segnali di ingresso, si è preferito l'uso della versione a singolo input. In figura 3.2.3a è possibile osservare la struttura interna del dispositivo mentre in

figura 3.2.3b è presente la struttura semplificata e le equazioni di uscita e guadagno, dove bisogna ricordare che nel nostro caso $V_{REF} = 0$.

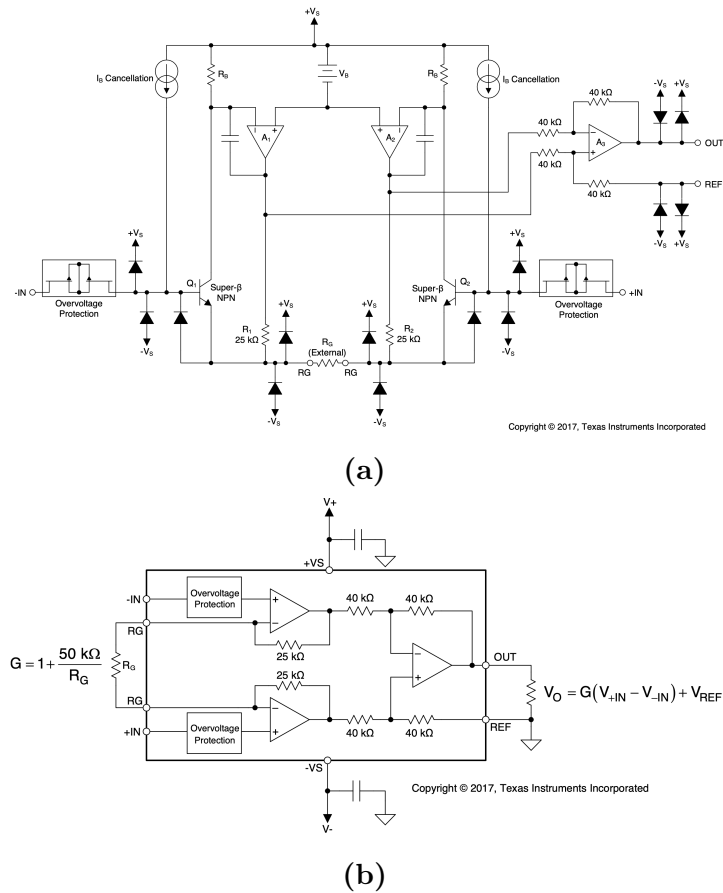


Figura 3.2.3: INA828: (a) Diagramma a blocchi funzionale e (b) Diagramma semplificato di una applicazione tipica per l'INA828 ad alimentazione duale con equazioni di uscita e guadagno

Il guadagno per lo stadio di tensione è stato impostato secondo la relazione 3.3, nota dal datasheet del componente [12]:

$$G = 1 + \frac{50k\Omega}{R_G} \quad (3.3)$$

Per il canale di tensione, il guadagno è stato impostato a 1 in modo da garantire le massime prestazioni possibili. Lo swing di tensione minimo e massimo in uscita è incluso nel range $5V - 0.15V = 4.85V \div -5V + 0.15V = -4.85V$, sempre forniti dal datasheet [12]. Al fine di mantenere la linearità dell'ingresso e la linearità dello stadio, come svolto in precedenza [6], si è ristretto l'intervallo di misura secondo:

$$V_{P_{MAX}} = (V+) - 1.4V = 3.3V \quad (3.4)$$

E' importante notare che l'impostazione del guadagno unitario è d'obbligo al fine di garantire il massimo rapporto segnale-rumore.

Canale di corrente

Rispetto allo studio svolto in precedenza, la misura di corrente è stata svolta utilizzando un trasformatore per misure di corrente alternata (TA) prodotto dalla LEM e, in particolare, il modello TT 50-SD [7], con fondo scala di $50A_{RMS}$ e corrente relativa al secondario di $16.66mA_{RMS}$, con *clamping voltage* generato dai diodi interni in configurazione anti-parallela di $7.5V$ e isolamento garantito fino a $300V_{RMS}$. La sonda, inoltre, permette di operare in condizioni di stress fino a $100A$ di picco e $1200A$ per 1 minuto. Noto il rapporto di trasduzione, che è lineare nel range operativo nominale, è immediato realizzare il dimensionamento della resistenza di shunt al fine di convertire la misura di corrente in una di tensione.

$$V_{shunt} = V_{P_{MAX}} = R_{shunt}I_{shunt} = 2rI_{shunt} \quad (3.5)$$

In figura 3.2.2 è presente la struttura bilanciata comune a entrambi i canali di ingresso tuttavia, per il canale di corrente, la resistenza R è stata eliminata e le resistenze r sono state dimensionate al fine di garantire un opportuno rapporto di trasduzione. Dal datasheet del componente, come mostrato in figura 3.2.4, il trasformatore presenta buone caratteristiche di accuratezza (entro lo 0.5% circa) fino a una corrente nominale di $\approx 60A_{RMS}$ e la fase risulta essere pressoché statica fino allo stesso valore di corrente. Volendo contemporaneamente misurare correnti fino al valore nominale di $50A_{RMS}$, garantire soddisfacenti valori di accuratezza e una sufficiente caduta di tensione sullo shunt resistivo di ingresso, al fine di poter utilizzare il più basso fattore di amplificazione possibile per l'amplificatore INA828 e quindi il miglior rapporto segnale-rumore, si è scelta:

$$r = \frac{V_{shunt}}{2I_{shunt}} = 30\Omega \quad (3.6)$$

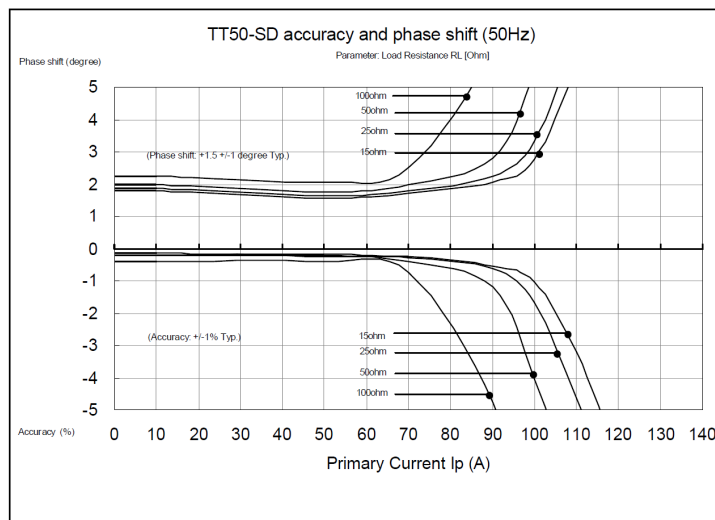


Figura 3.2.4: Diagramma di fase e accuratezza della sonda di corrente LEM TT 50-SD in funzione di R_{shunt}

Si sono utilizzati 2 resistori SMD nel formato 1206 con tolleranza $\pm 1\%$, al fine di garantire una maggiore correlazione tra la trasduzione teorica e quella sperimentale. Dato

che il segnale di ingresso, alla corrente di $50A_{RMS}$, avrà una tensione di picco pari a $V_{pk} = \sqrt{2}R_{shunt}I_{shunt_N} = \sqrt{2} * 60\Omega * 16.66mA \approx 1.413V$, al fine di garantire un'uscita in tensione il più possibile simmetrica rispetto allo stadio di tensione, che presenta un *voltage swing* compreso tra $-3.3V$ e $3.3V$ [6] [paragrafo 3.1], è stato usato un fattore di amplificazione $G = \frac{3.3V}{1.413V}$, che fornisce $G = 2.335$. Dal datasheet dell'INA828 [12], al fine di garantire un tale guadagno, è necessario porre $R_G = \frac{50k\Omega}{G-1} \approx 37.47k\Omega$. Data l'assenza di corrispondenza tra il valore cercato di R_G e le serie disponibili in commercio, è stato utilizzata $R_G = 36k\Omega$, in modo da evitare generazione di distorsioni negli stadi successivi causate da ampiezze oltre i range consigliati dai rispettivi costruttori.

3.2.2 Filtro anti-aliasing

Il Teorema del Campionamento di Nyquist-Shannon definisce la minima frequenza (detta di Nyquist) necessaria al fine di campionare un segnale caratterizzato da una certa banda, senza perdere informazioni ed evitare il fenomeno dell'*aliasing*. La frequenza di campionamento utilizzata deve essere maggiore del doppio della massima frequenza del segnale in ingresso. Ossia detta f_s la frequenza di *sampling* e f_c la frequenza di *cutoff* a $-3dB$ del segnale in ingresso, si ha:

$$f_s \geq 2f_c \quad (3.7)$$

Al fine di limitare la banda passante, si è adottata una soluzione basata sull'LTC1563-2 della Linear Technology [11], ossia un filtro passa basso del quarto ordine.

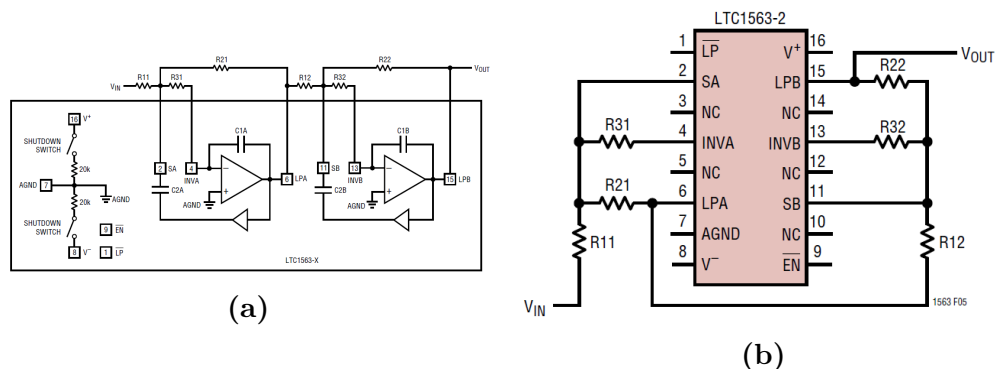


Figura 3.2.5: LTC1563-2: (a) Diagramma a blocchi funzionale e (b) Schema elettrico semplificato di una applicazione tipica per l'LTC1563-2

Rispetto alla precedente fase progettuale, la struttura e il layout del filtro *anti-aliasing* sono rimasti invariati. Dai test precedentemente effettuati si è ottenuta la risposta in frequenza in figura 3.2.6, dove si nota che, al fine di ottenere una banda più piatta possibile nel range $[0 \div 10kHz]$, si è scelta una frequenza di taglio pari a circa $20kHz$.

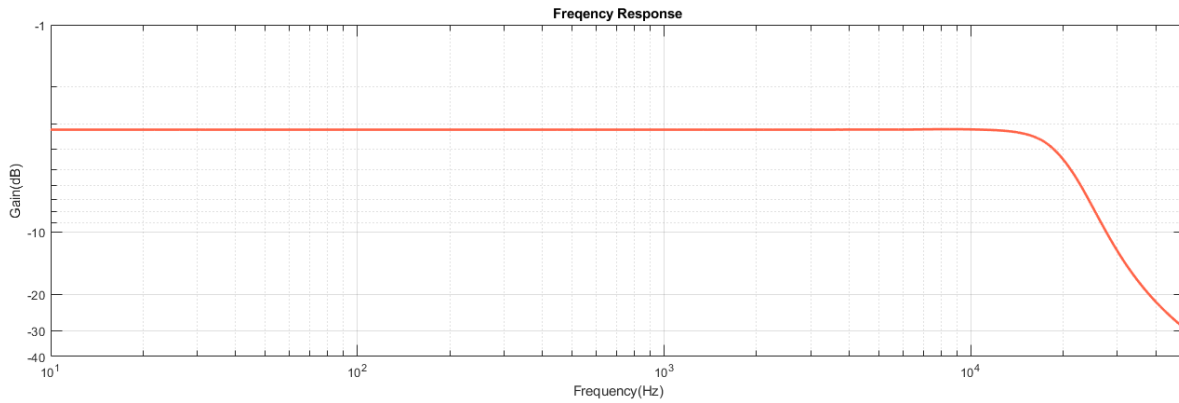


Figura 3.2.6: Risposta in frequenza teorica del filtro *anti-aliasing* del quarto ordine

Considerando gli aspetti citati sopra, per la sezione di acquisizione si è fatto uso di una frequenza di campionamento $f_s = 40kHz$. In realtà, dato che il filtro non è ideale, sarà sicuramente presente una certa quantità di *aliasing* in quanto le frequenze del segnale sopra a 20 kHz non sono attenuate completamente, tuttavia, l'uso di un filtro del 4° ordine garantisce una forte attenuazione delle frequenze sopra a quella limite. Futuri aggiornamenti del progetto potrebbero sfruttare l'uso in cascata di 2 filtri del quarto ordine al fine di ottenere una pendenza di -160dB/Dec e tecniche di *oversampling* per la riduzione del rumore e il miglioramento della qualità dei dati acquisiti.

3.2.3 Amplificatore differenziale

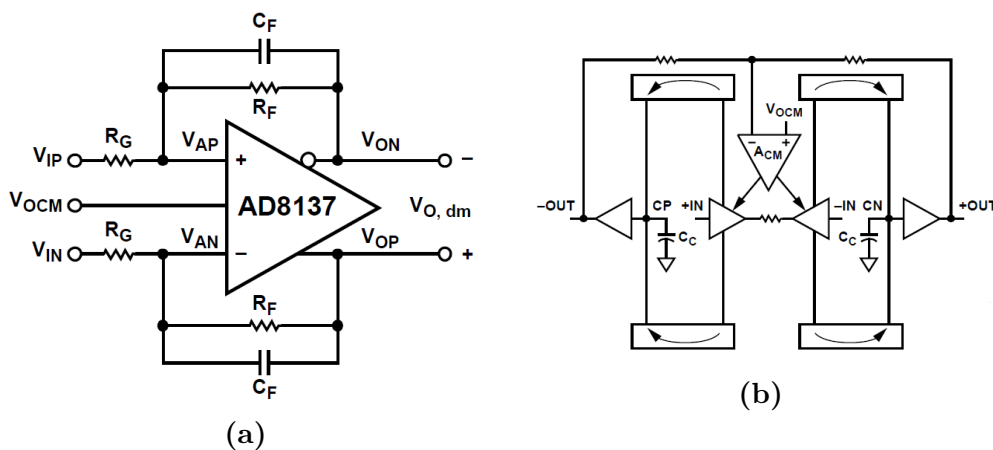


Figura 3.2.7: AD8137: (a) Schema elettrico di un'applicazione tipica e (b) schema interno

Al fine di pilotare opportunamente l'ADC è stato utilizzato un amplificatore differenziale che, a partire da un segnale *single-ended*, genera un'uscita differenziale, traslando allo stesso tempo il valore medio dei 2 segnali V_{OP} e V_{ON} , del valore V_{OCM} , come mostrato in figura 3.2.7b. Inizialmente si era scelto di mantenere invariata la struttura dello stadio tuttavia, dopo alcuni test, si sono rese necessarie alcune modifiche alla topologia del circuito. Le

caratteristiche dello stadio in questione, infatti, sono state parzialmente modificate al fine di garantire il corretto funzionamento della sezione di acquisizione. L'ADC utilizzato [17], dalle verifiche sperimentali, non può essere utilizzato con la topologia pensata in fase di progetto. Al fine di poter immettere un segnale differenziale tra gli ingressi INA1-INAN e INB1-INBN, sarebbe necessario sommare al contributo differenziale una tensione di modo comune pari al valore medio tra la tensione di alimentazione e il riferimento del sistema, ossia pari a 2.5V, poiché l'ADC non compie alcuna traslazione di livello. Infatti, dato che la tensione campionata dall'ADC è pari alla differenza ($INx - INxN$), il suo valore oscillerà attorno allo 0V, pertanto la semionda negativa del segnale da acquisire verrebbe tagliata dai diodi di protezione interni al convertitore stesso. Per rendere utilizzabile lo stadio, si è preferito modificare la topologia della sezione differenziale, realizzando a tutti gli effetti un'uscita *single-ended* per entrambi i canali di ingresso. In particolare, sono stati scollegati dall'ADC i segnali INAN e INBN eliminando i resistori R26, R49 ed i condensatori C38 e C46. Infine, INAN e INBN sono stati collegati al riferimento del sistema, in modo da generare 2 segnali *single-ended* in ingresso all'ADC. Tuttavia, l'uscita ora risulterà essere di ampiezza dimezzata rispetto al caso differenziale, in quanto solo una delle due uscite dell'amplificatore contribuisce alla generazione del segnale da convertire. Al fine di colmare questa discrepanza, garantendo lo sfruttamento di tutta la dinamica dell'ADC, è necessario modificare il fattore di amplificazione dello stadio differenziale. Il valore picco-picco della tensione differenziale in uscita è data dalla seguente espressione:

$$V_{O_{dm}} = V_{OP} - V_{ON} = \frac{R_F}{R_G} V_i \quad (3.8)$$

Al fine di sfruttare l'intera dinamica dell'ADC, si era calcolato un rapporto $\frac{R_F}{R_G} \approx \frac{1.8}{1.3} = 1.385$. Sapendo che è necessario raddoppiare il fattore di amplificazione calcolato in precedenza, è da sfruttare un fattore di amplificazione $A_v = 1.385 * 2 = 2.77$. Tuttavia, dato che il *voltage swing* dei pin di uscita (tensioni V_{OP} e V_{ON}), come espresso dal data-sheet [18], varia in un range $V_{S-} + 0.55V$ e $V_{S+} - 0.55V$, è necessario limitare il guadagno massimo possibile, a fine di evitare effetti di distorsione.

Mediante simulazione SPICE, si è notato che il comportamento del segnale di uscita risulta essere non-lineare già per tensioni più prossime a quella centrale, pari a 2.5V. Pertanto, al fine di garantire la linearità in tutto il range di funzionamento e l'assenza di *clipping*, si è optato per un range [0.8V, 4.2V]. Al fine di garantire questo range di funzionamento, risolvendo 3.8 con $V_{OP} = 4.2V$, $V_{ON} = 0.8V$, è possibile scegliere $R_F = 1.3k\Omega$, che garantisce un guadagno unitario e lo swing senza distorsione all'interno del range desiderato. Purtroppo, l'uscita *single-ended* utilizzata rende vano il sistema differenziale progettato in precedenza [6], dato che i disturbi di modo comune non vengono più filtrati all'ingresso dell'ADC. Tuttavia, la soluzione consiste nell'utilizzare un ADC *True-differential*, che accetta segnali differenziali in ingresso, garantendo il netto miglioramento delle prestazioni. Nell'appendice B è presente lo schema elettrico con gli aggiornamenti discussi.

3.2.4 Layout

Il layout dei componenti a livello di singolo canale è stato pressoché mantenuto rispetto al precedente studio [6] per le ottime prestazioni elettriche ottenute dal punto di vista della banda e dei disturbi. Tuttavia, rispetto alla precedente versione, in parallelo al canale di tensione è stato aggiunto il canale di corrente che, dal punto di vista del layout, differisce solo per la presenza di 2 alloggiamenti per resistori di *package* 2512 al posto di 4, per le diverse caratteristiche di condizionamento da seguire. Tutta la regione di Front-end è stata riempita nel *top* e *bottom layer* con piani di massa speculari, al fine di garantire la massima reiezione dei disturbi provenienti dall'esterno. Al fine di garantire la presenza di percorsi a bassa impedenza verso la sorgente di alimentazione, sono stati inseriti, a intervalli regolari, dei *vias* di comunicazione tra i due layer in questione. Al fine di garantire una buona distribuzione dell'alimentazione a tutti i dispositivi del Front-end, si è scelto di optare per un PCB a 4 layer con i 2 layer centrali adibiti rispettivamente alla linea di alimentazione $+5V$ e $-5V$, minimizzando così l'impedenza vista dai percorsi di corrente che collegano le alimentazioni dei dispositivi. Questo tipo di realizzazione genera a tutti gli effetti un condensatore a superfici piane e parallele che si estende in tutta la regione sotto esame. Questa caratteristica, ancora una volta, migliora le caratteristiche elettriche in quanto realizza un ulteriore schermatura contro i disturbi esterni.

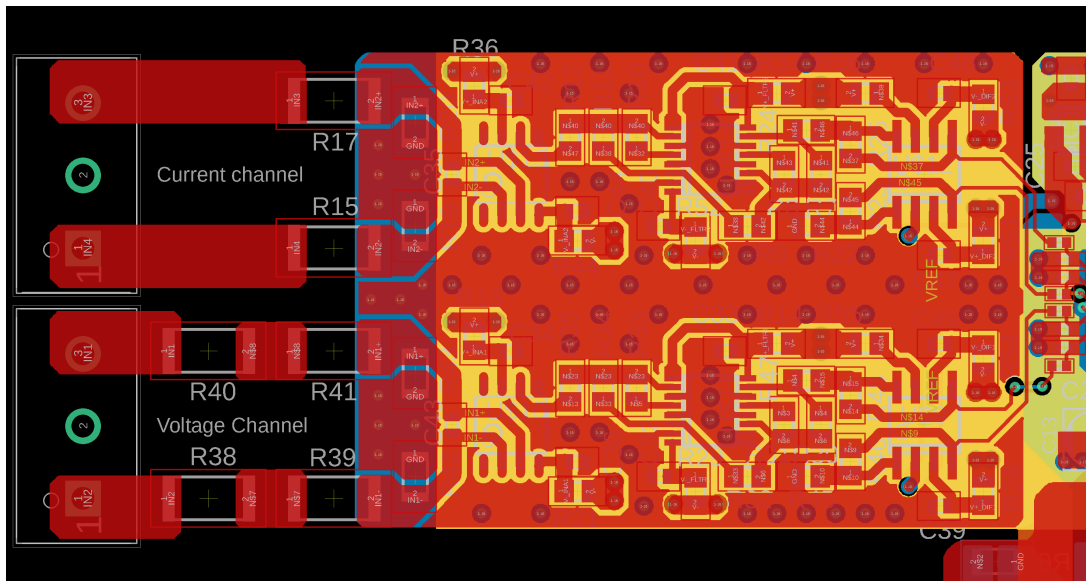


Figura 3.2.8: Layout della sezione di Front-end

Per quanto riguarda il partitore di ingresso, per entrambi i canali si è deciso di adottare una struttura il più simmetrica possibile ed è stato fatto uso di un connettore a 3 posizioni con passo di 1cm, al fine di aumentare la distanza tra i segnali, in quanto le tensioni in gioco possono arrivare fino a $400V_{pk}$. L'uso di ampie zone di rame per collegare gli ingressi ai resistori stessi e i resistori tra loro, è stato pensato al fine di garantire una maggiore dissipazione del calore, limitando l'effetto di deriva termica che comporta la variazione della resistenza effettiva dei componenti. In sezione 4.3.3 verrà analizzata la temperatura

massima raggiunta dai resistori durante la fase di acquisizione. Si è cercato di ridurre al minimo la lunghezza delle piste e mantenere il parallelismo tra di esse, in modo da far sì che eventuali disturbi si accoppino sotto forma di rumore di modo comune, dato che questi vengono pressoché eliminati dall'amplificatore INA828 [12], grazie all'elavato valore CMRR, con valore tipico pari a $100dB$ [12] [p.5]. Dal punto di vista della sezione spazialmente adiacente, relativa allo stadio di condizionamento e filtraggio, è stata posta particolare attenzione alle possibili capacità parassite del layout scelto, che tipicamente si chiudono verso massa. In particolare, si sono posti i resistori utilizzati il più vicino possibile ai componenti a essi collegati, diminuendo al minimo la lunghezza delle piste, quindi anche gli elementi parassiti associati. La banda del sistema, infatti, è direttamente collegata ai parassiti presenti nel circuito: limitare il loro effetto è fondamentale al fine di garantire una banda piatta fino alla frequenza di taglio scelta. Tutti i componenti utilizzati per la sezione in questione sono stati scelti di tipo SMD: l'uso di componenti THT, infatti, degrada le prestazioni per la presenza di maggiori parassiti interni e per la necessità del passaggio attraverso diversi layer, che aumenta l'impedenza effettiva.

3.3 Conversione analogico/digitale

L'ADC scelto per la conversione dati è l'AD7655 [17], ossia convertitore a 16 bit e 500kSPS basato su tecnologia PulSAR (che integra il sistema *Successive Approximation Register*). L'architettura SAR impiega un DAC a redistribuzione di carica ed è fornita di un circuito interno per la correzione degli errori. Il costruttore (Analog Devices), dichiara un SNR di 86 dB, THD di -96dB, entrambi calcolati a 100kHz, isolamento canale-canale di -92dB, una banda in ingresso (valutata a -3dB) pari a 10 MHz e un errore di non-linearità integrale (ossia la massima distanza tra un codice in uscita che si trova sulla retta ideale relativa alla transcaratteristica di conversione e il valore effettivo misurato in uscita) pari a $\pm 6LSB$. In figura 3.3.1 sono presenti l'ADC nella configurazione utilizzata per il progetto e il *pinout* del dispositivo.

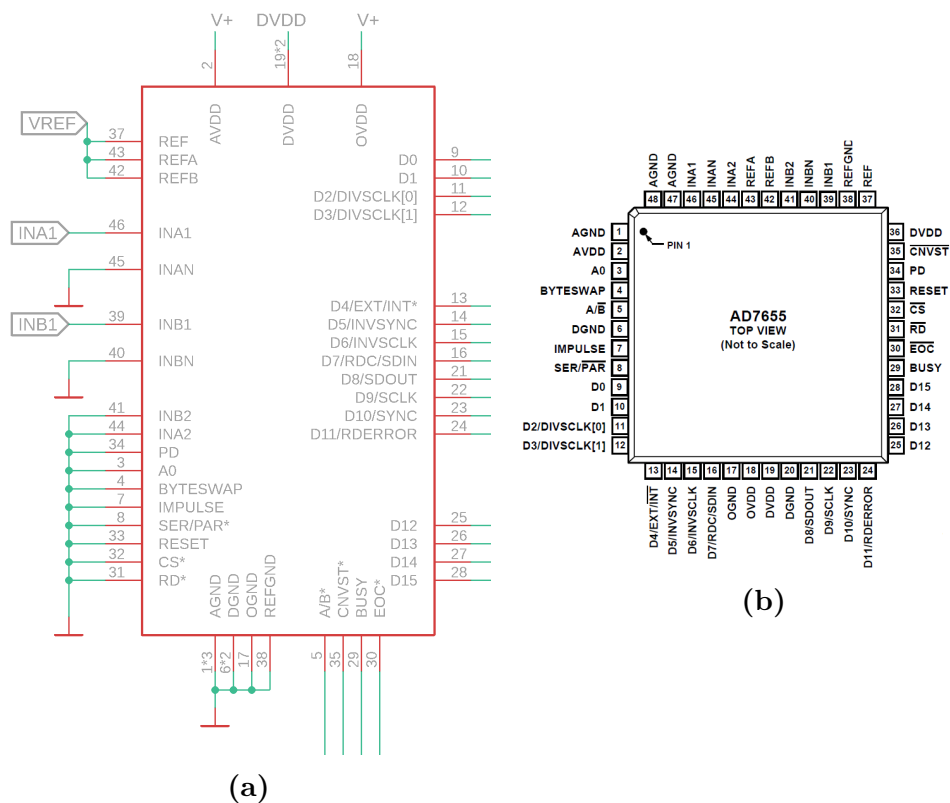


Figura 3.3.1: AD7655: (a) Schema elettrico dei collegamenti e (b) *pinout* del dispositivo

3.3.1 Segnali di controllo e bus digitale

Tramite il pin di controllo A0 (*Multiplexer Select*), è possibile gestire la selezione del canale di ingresso che si intende acquisire (canale 1 o 2). Dato che si prevede l'acquisizione di due soli ingressi, A0 è stato collegato al riferimento, in modo da campionare i segnali differenziali relativi agli ingressi INA1 e INB1.

Campionando simultaneamente i segnali di tensione e corrente, è possibile, quindi, ricavare il valore esatto della potenza istantanea in fase di elaborazione dei dati. Per ognuno dei circuiti di *sample-and-hold* è presente un pin $INxN$, che permette di eseguire il *sensing* separato delle masse analogiche dei segnali posti all'ingresso. Usando questo ingresso, è possibile collegare all'ADC un segnale differenziale, al posto che *single-ended*, in modo da migliorare la reiezione dei disturbi di modo comune. Tuttavia, per quanto descritto nella sezione 3.2.3, per il progetto in esame si è adottata una struttura a ingressi *single-ended*.

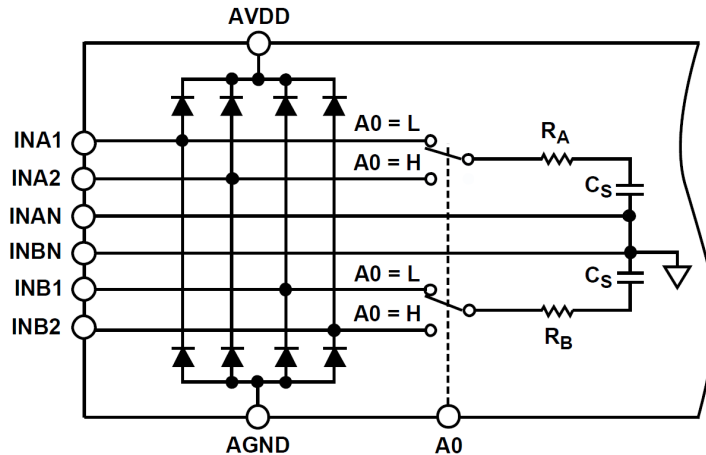


Figura 3.3.2: Struttura interna della sezione di ingresso dell'AD7655

Il segnale $\overline{SER/PAR}$ è stato utilizzato per impostare l'ADC in modalità di trasmissione parallela dei campioni convertiti e ciò rende più facile il *debug* e l'osservazione dei singoli bit di ogni parola di codice, oltre che migliorare il *throughput*, trattandosi di un sistema parallelo. Un'ulteriore aspetto che ha portato alla scelta di tale convertitore è la modalità di avvio della conversione, la quale può essere comodamente inizializzata tramite il segnale \overline{CNVST} , di cui è possibile scegliere il periodo in modo da potersi adattare alle frequenze di campionamento più opportune e, allo stesso tempo, rendendo controllabile e gestibile a livello pratico la quantità di dati da acquisire, soprattutto in funzione delle caratteristiche e velocità di elaborazione della scheda di sviluppo scelta. La tabella 3.3.1 riassume le linee del bus digitale e lo stato dei segnali di controllo dell'ADC, utilizzati attivamente in fase di conversione. Tra i segnali del bus complessivo composto da 20 bit, di cui 16 linee dati e 4 di controllo, è di particolare rilevanza il segnale \overline{CNVST} (*conversion start*), che porta i circuiti *sample-and-hold* nella condizione *hold* ed avvia la conversione analogico-digitale del segnale quantizzato e campionato. Ne deriva che questo segnale deve essere generato da un clock molto preciso e con basso *jitter* temporale in modo da evitare di introdurre mancanza di omogeneità nella spaziatura temporale dei campioni acquisiti. Per semplicità realizzativa, questo segnale è stato filtrato grazie a un filtro del primo ordine, in modo da ridurre gli effetti di *ringing* e *overshoot* che verrebbero trasmessi all'ingresso dell'ADC. Future revisioni del sistema potrebbero prevedere l'utilizzo di clock specifici per applicazioni a basso *jitter* temporale per migliorare le prestazioni della sezio-

ne di *sampling*, come descritto nel datasheet dell'ADC [17]. In figura 3.3.3, sono presenti gli andamenti temporali tipici di un periodo di conversione, mentre in tabella 3.3.2 sono presenti i principali segnali di controllo statici e la loro impostazione statica.

Tabella 3.3.1: Definizione linee del bus digitale

Pin No.	Mnemonic	Type	Description
9	D0	DO	16 bit output
10	D1	DO	
11	D2	DO	
12	D3	DO	
13	D4	DO	
14	D5	DO	
15	D6	DO	
16	D6	DO	
21	D8	DO	
22	D9	DO	
23	D10	DO	
24	D11	DO	
25	D12	DO	
26	D13	DO	
27	D14	DO	
28	D15	DO	
29	<i>BUSY</i>	DO	Valore alto quando ha inizio una conversione, e basso quando i dati in uscita sono pronti. Fronte di discesa = clock di lettura.
30	\overline{EOC}	DO	Assume valore basso a ogni fine conversione.
5	A/\overline{B}	DI	Se impostato a valore alto si leggono i dati del canale A nell'interfaccia parallela di uscita, mentre con il segnale basso quelli del canale B .
29	\overline{CNVST}	DI	Segnale di inizializzazione della conversione. Il fronte di discesa su questo ingresso porta il <i>sample-and-hold</i> nello stato <i>hold</i> e viene avviata una nuova conversione.

Tabella 3.3.2: Definizione linee di controllo dell'ADC

Pin No.	Mnemonic	State	Description
3	A0	LOW	INA1 e INB1 campionati simultaneamente
4	BYTESWAP	LOW	LSB è su D[7:0] e MSB su D[15:8]
7	IMPULSE	LOW	Risparmio energetico OFF
8	$\overline{SER/PAR}$	LOW	Parallel Output Mode
31	\overline{RD}	LOW	Quando sia RD che CS sono a livello logico basso:
32	\overline{CS}	LOW	uscita abilitata
33	RESET	LOW	Reset disabilitato
34	PD	LOW	Spegnimento disabilitato

Tabella 3.3.3: Definizione linee di ingresso dell'ADC

Pin No.	Mnemonic	Description
46	INA1	Ingresso positivo canale A
45	INAN	Ingresso negativo canale A
39	INB1	Ingresso positivo canale B
40	INBN	Ingresso negativo canale B
37	REF	Ingresso riferimento di tensione +2.5V
38	REFGND	Ground ingresso riferimento di tensione +2.5V

3.3.2 Gestione della conversione

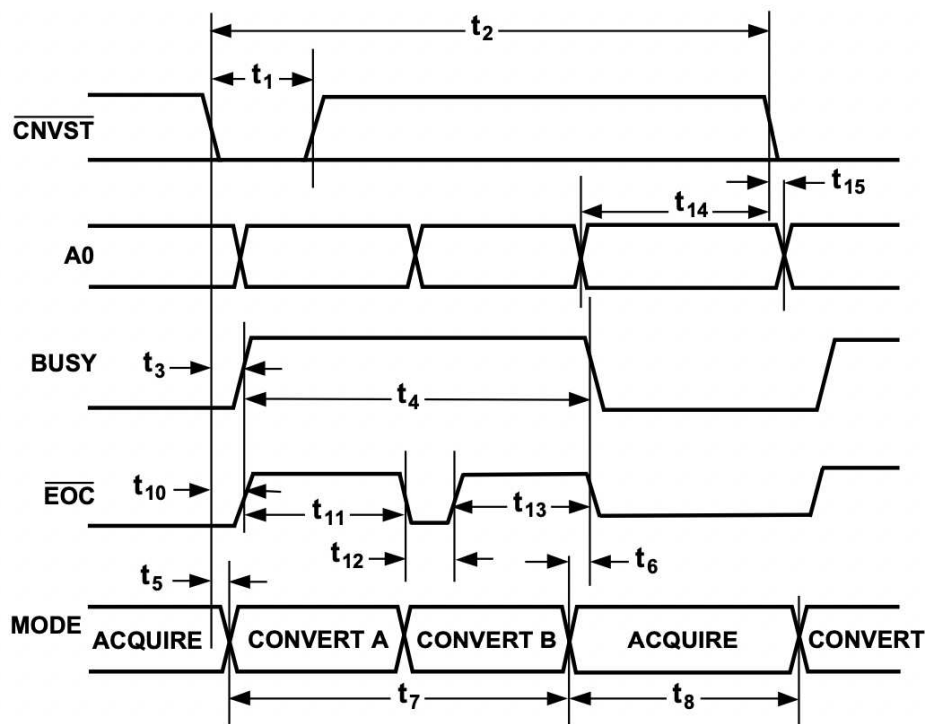


Figura 3.3.3: Diagramma temporale dei principali segnali utilizzati per la conversione A/D dal dispositivo

Dalla figura 3.3.3 si osserva che, il segnale \overline{CNVST} inizializza l'intero processo di conversione tramite un fronte di discesa. Nella sezione iniziale, il datasheet [17] fornisce in modo specifico le tempistiche tipiche, minime e massime per i segnali di controllo del dispositivo. Si nota che la durata minima per consentire l'inizializzazione della conversione è di $t_1 = 5ns$. Dato che i pin \overline{CS} e \overline{RD} sono stati collegati a massa, il chip è sempre attivo e pronto ad acquisire l'ingresso in ogni istante. Dopo un tempo tipico di $t_5 = 2ns$ ha inizio il processo di conversione del dato presente all'ingresso A. Il segnale $BUSY$, dopo un tempo massimo $t_3 = 32ns$ rispetto al fronte di discesa del segnale \overline{CNVST} , passa da stato LOW ad $HIGH$, in modo da indicare che il dispositivo sarà occupato per un periodo massimo $t_4 = 1.75\mu s$. È importante sottolineare che il processo di conversione non può essere riavviato o abortito, fino a quando questo non termina con il passaggio di $BUSY$ da $HIGH$

a *LOW*. Dopo un tempo massimo $t_{10} = 30ns$ a partire dal fronte di discesa del segnale di start, anche il segnale \overline{EOC} passa a stato logico alto, indicando che il dato sull'ingresso A è in fase di conversione. La linea \overline{EOC} rimarrà alta durante la conversione del canale A per un tempo massimo $t_{11} = 1\mu s/1.25\mu s$. Al termine della conversione del canale A, è presente un *delay* minimo $t_{12} = 45ns$, che separa le 2 fasi di conversioni successive, cui segue il ritorno allo stato logico alto per $t_{13} = 0.75\mu s$, che delinea la conversione del dato B. Il tempo di conversione reale dei dati è pari a $t_7 = t_4 = 1.75\mu s$. Si nota che i due tempi sono identici, tranne per il fatto che la linea *BUSY* presenta un ritardo rispetto allo stato reale del dispositivo, dovuto ai tempi di propagazione dei segnali interni. L'ultima fase è quella di acquisizione e ha durata minima pari a $t_8 = 250ns$ cioè, durante questa fase, è possibile accedere alle linee digitali per poter acquisire i dati convertiti e salvati in buffer interni all'ADC stesso.

Dal punto di vista dei campioni in uscita dall'ADC, è importante identificare come poter accedere ai dati acquisiti, rendendoli accessibili sulle linee del bus (16-bit). In figura 3.3.4a, viene mostrato lo stato del *DATABUS* durante l'operazione di conversione. La linea A/\overline{B} delinea quale canale acquisire, cioè quale canale rendere disponibile sul Bus 16-bit. Inoltre si nota che, a seconda dello stato della linea A/\overline{B} , il bus fornirà lo stato dei dati acquisiti precedenti o attuali, in dipendenza dal fatto che la conversione per il canale selezionato sia stata completata. Quindi, è importante temporizzare opportunamente i segnali adibiti all'acquisizione al fine di evitare di leggere campioni acquisiti su *timeframe* diversi, quindi non sincronizzati. In particolare, sarà necessario tenere in considerazione i tempi di propagazione relativi alle piste sul PCB e dei tempi di propagazione interni ai dispositivi coinvolti durante la fase di conversione, al fine di eseguire la lettura a partire da un istante temporale in cui i dati sono stabilizzati e non durante una fase in cui i dati sono relativi a un *timeframe* precedente o durante una fase di transizione. Al fine di garantire queste specifiche, nella sezione 3.6 sarà analizzato il tema relativo ai tempi di propagazione e alle scelte progettuali attuate al fine di garantire l'acquisizione corretta dei dati.

Dato che è stata scelta la modalità di lettura in parallelo, il canale A può essere letto immediatamente dopo il passaggio della linea \overline{EOC} a stato *LOW*, mentre il canale B è ancora in conversione. Dato che le linee \overline{CS} e \overline{RD} sono mantenute allo stato logico basso, è sempre possibile leggere dati nel BUS, sia che siano essi appena stati convertiti che convertiti in precedenza, tuttavia, come già citato, è necessario prestare particolare attenzione nel rispettare le tempistiche descritte dal costruttore per poter leggere correttamente i campioni appena convertiti, altrimenti la lettura viene eseguita su campioni precedentemente acquisiti.

Dalla figura 3.3.4b, inoltre, si nota che è presente un ritardo di valore massimo pari a $t_{20} = 40ns$ tra quando viene invertito lo stato della linea A/\overline{B} a quando il valore assunto sulle linee dati è valido (dovuto ai vari tempi di propagazione dei segnali interni). Solo dopo questa attesa è possibile leggere correttamente il canale desiderato.

Al termine della conversione e in caso di acquisizione in sistemi trifase, il *DATABUS* entra in modalità ad alta impedenza (*HI-Z*), in modo da poter essere letto da un altro modulo. Tale meccanismo di funzionamento può essere implementato tramite il segnale di abilitazione dell'interfaccia isolata degli isolatori di tensione (pin V_{E2}), come verrà analizzato in sezione 3.4. Attualmente, il progetto è basato su un singolo modulo di acquisizione, pertanto il Bus sarà sempre collegato al sistema di trasmissione seriale e sempre aperto alla comunicazione bidirezionale con l'ADC.

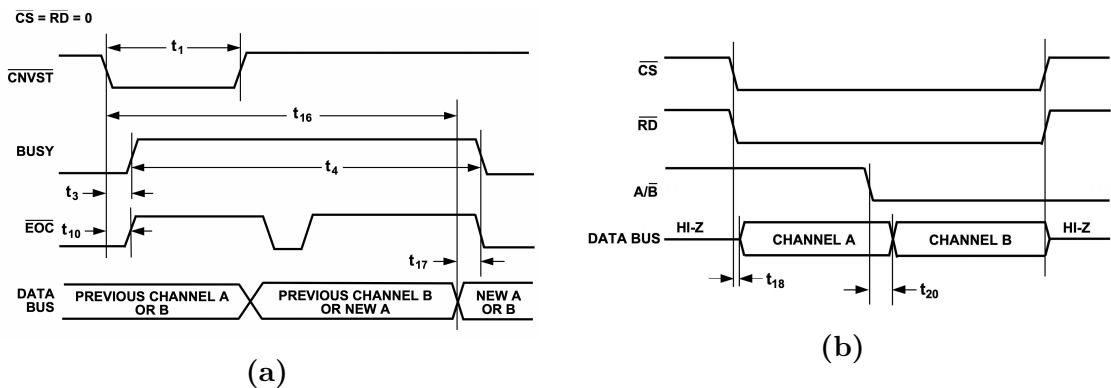


Figura 3.3.4: Diagrammi temporali del *DATABUS*: (a) Validità dei dati convertiti e (b) Selezione del canale da acquisire

3.3.3 Layout

Come consigliato dal datasheet del dispositivo AD7655[17], le sezioni analogica e digitale sono state separate in modo da garantire l'isolamento tra le 2 parti e unite solamente in un unico punto, molto vicino all'AD7655. Il PCB sfrutta quindi un collegamento di tipo *star ground*, in cui i diversi riferimenti sono collegati in un unico punto comune del circuito. Ciò permette di ottenere la separazione fisica delle sezioni analogica e digitale, evitando che il rumore prodotto da una sezione si accoppi con l'altra e, in particolare, che i disturbi tipici dei segnali digitali (caratterizzati da fronti ripidi e quindi con ampio contenuto armonico) possano influenzare negativamente le prestazioni della sezione digitale. Si è evitato il passaggio di linee direttamente sotto al convertitore, in modo da evitare di introdurre rumore parassita sul *die* del dispositivo. La massa analogica è stata inserita in tutta la zona sottostante al dispositivo, realizzando a tutti gli effetti uno schermo contro il rumore proveniente dall'ambiente. Inoltre, è stato necessario isolare con la massa digitale tutti i segnali ad alta velocità di commutazione (per esempio \overline{CNVST}) ed evitare il loro passaggio in prossimità della parte analogica, molto suscettibile ai disturbi. E' stato evitato il *crossover* dei segnali analogici e digitali in quanto la sovrapposizione spaziale di un segnale digitale su uno analogico provocherebbe l'accoppiamento di rumore ad alta frequenza sul secondo e, nel caso in cui non fosse stato possibile evitare il *crossover*, le tracce sovrapposte su 2 layer diversi sono state realizzate a 90° l'una rispetto all'altra, in modo da ridurre al minimo l'accoppiamento tra esse. Gli ingressi analogici, che provengono dagli amplificatori operazionali AD8137[18], sono stati filtrati tramite dei filtri

del primo ordine (RC) posti molto vicini all'ADC, in modo da migliorare la reiezione dei disturbi all'ingresso. Anche la sezione relativa al riferimento di tensione (generato dall'ADR3425 [19]) è stata posta in vicinanza al convertitore, in modo da ridurre la distanza del collegamento del segnale V_{REF} , riducendone quindi l'impedenza. Tutti questi aspetti contribuiscono a diminuire il *crosstalk* tra le varie linee e aumentare le prestazioni dell'ADC in merito ai vari parametri prestazionali, tra cui *SNR* e *THD*. La zona relativa ai segnali digitali è caratterizzata dalla presenza di un layer di massa interno ed esteso a tutta la sezione digitale (rappresentato in arancione in figura 3.3.5). Tale piano giunge fino al banco di isolatori e ciò garantisce una forma di isolamento per i segnali digitali che tuttavia, rispetto a quelli analogici, possono maggiormente tollerare i rumori ambientali indotti. In figura 3.3.5, è presente la sezione relativa al layout discusso.

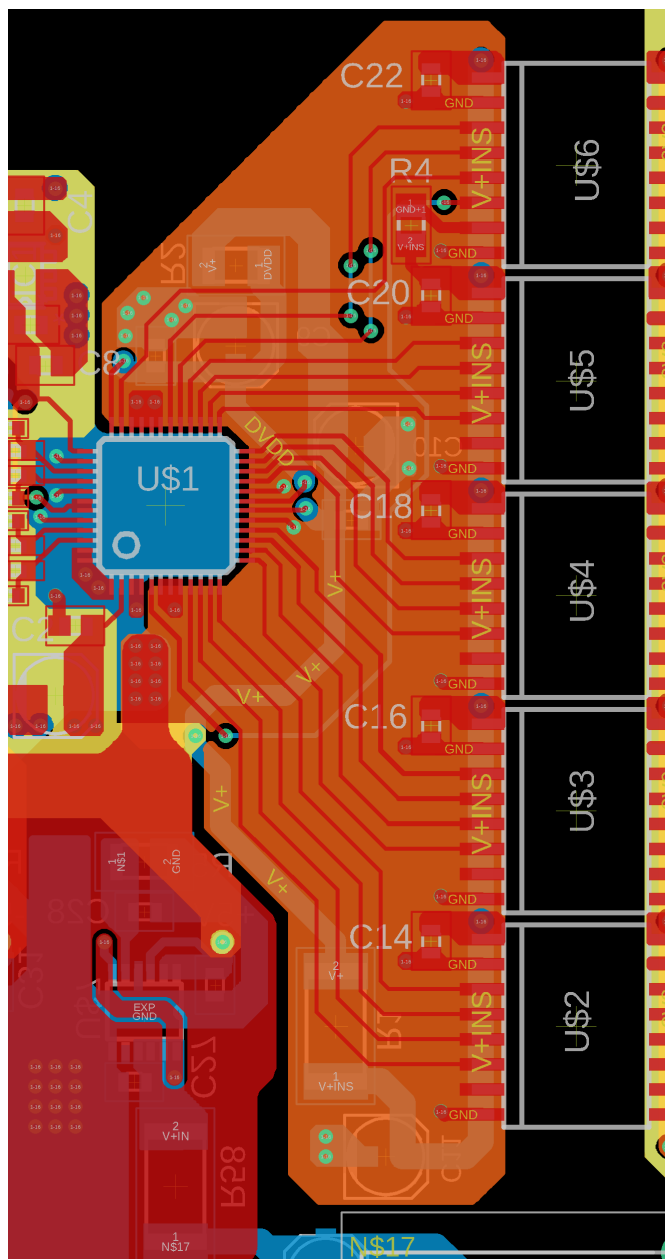


Figura 3.3.5: Layout della sezione dell'ADC

3.3.4 Alimentazione

In merito all'alimentazione dell'ADC, sono presenti 3 diversi pin di supply: un'alimentazione analogica a +5V (AVDD), una digitale a +5V (DVDD) e una di input/output (OVDD). Per ottenere le migliori prestazioni possibili garantendo un elevato PSRR, sarebbe necessario fornire queste alimentazioni in modo indipendente. Tuttavia, al fine di ridurre il numero di alimentazioni separate, l'alimentazione DVDD è stata fornita a partire da AVDD attraverso un semplice filtro RC, come consigliato dal datasheet [17] e presente nello schematico relativo alla sezione di alimentazione e filtraggio [B.0.1]. In questo modo vengono limitati i disturbi in alta frequenza (attribuibili perlopiù alle commutazioni generate dalla sezione digitale) verso la sezione analogica. Inoltre, grazie al valore elevato del PSRR su una banda di frequenze piuttosto ampia, l'ADC risulta essere poco dipendente dalle caratteristiche della sezione di alimentazione, come è possibile osservare in figura 3.3.6.

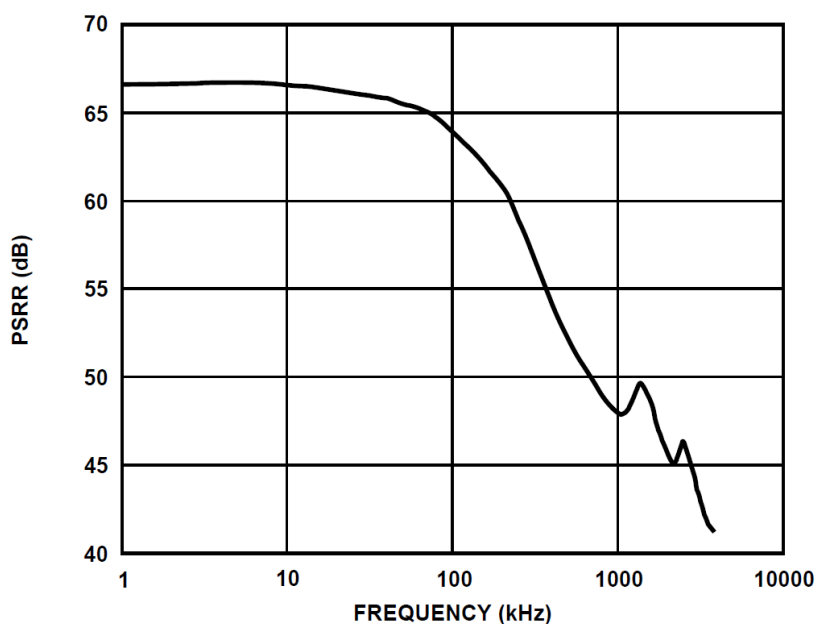


Figura 3.3.6: ADC - *Power Supply Rejection Ratio*

Sono state utilizzate piste sufficientemente larghe in modo da generare la minor impedenza possibile verso lo stadio di alimentazione ed è stato fatto uso di condensatori di disaccoppiamento ceramici da $100nF$ in modo da ridurre l'impedenza equivalente vista dal convertitore e di condensatori elettrolitici da $10\mu F$ per diminuire l'ampiezza del ripple presente sulla linea di alimentazione (in realtà questi sono molto limitati grazie all'uso di regolatori di tensione lineari con *ripple* di uscita estremamente basso).

3.4 Isolatori segnali digitali

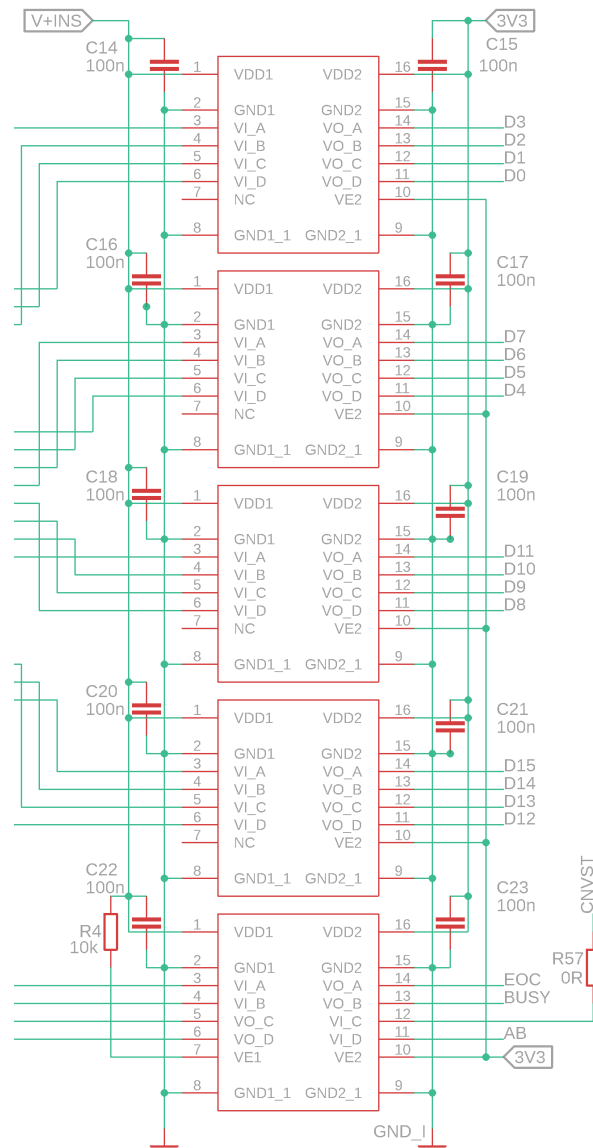


Figura 3.4.1: Schema elettrico: sezione di isolamento digitale

I dispositivi in questione sono stati utilizzati per attuare l'isolamento digitale del segnale. Infatti, come già citato, le operazioni di condizionamento e acquisizione sono eseguite tutte nella parte non isolata della scheda che è connessa alla tensione di rete all'ingresso. In figura 3.4.2a è possibile notare la struttura interna semplificata dell'isolatore ADuM1400 [20], caratterizzato dalla presenza di 4 canali unidirezionali. In figura 3.4.2b, si può notare, invece, la struttura interna dell'ADuM1402 [20], caratterizzato da 2 coppie di segnali in direzione opposta.

Questo tipo di isolatori, che sfruttano la tecnologia iCoupler [21], combinano una circuiteria CMOS ad elevata velocità e trasformatori monolitici a nucleo d'aria per ottenere velocità di trasmissione superiori ai fotoaccoppiatori, eliminando l'uso dei LED e fotodiodi, quindi evitando le caratteristiche di trasferimento e temperatura non-lineari e garantendo

do un ciclo di vita sicuramente maggiore delle tecnologie ottiche. Inoltre, i dispositivi iCoupler [21] arrivano a consumare da un sesto fino ad un decimo di potenza rispetto a fotoaccoppiatori a velocità di trasmissione comparabili. Come citato dal datasheet [20], tutti i modelli possono essere alimentati con un range di tensioni $+2.7V \div +5.5V$, rendendo molto semplice l'interfaccia con il sistema di trasmissione seriale (Arduino Nano 33 IoT [22]), che lavora con tensione operativa pari a $+3.3V$. Alimentando la sezione di uscita degli isolatori con una tensione di $+3.3V$, si riesce, quindi, ad interfacciarsi direttamente alla scheda di sviluppo, senza dover introdurre alcuna traslazione di livelli logici.

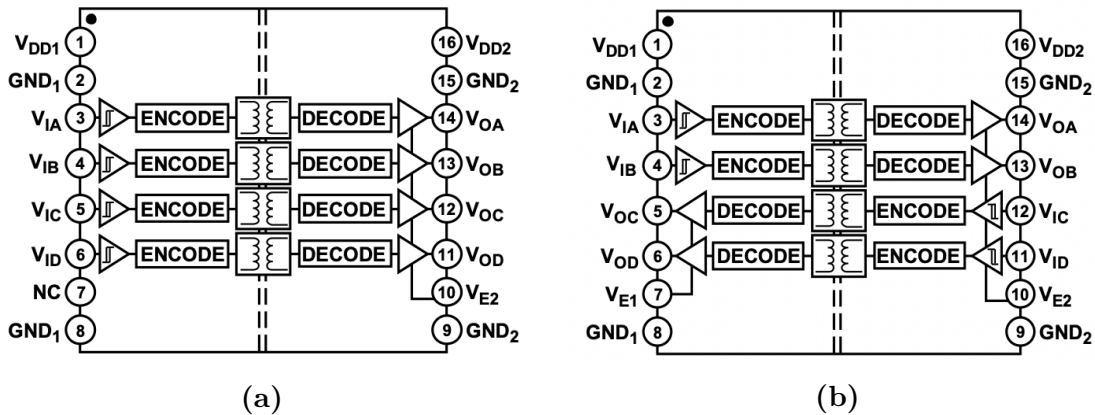


Figura 3.4.2: ADuM140x Pinout: (a) ADuM1400 con 4 linee unidirezionali e (b) ADuM1402 con 2 coppie unidirezionali

Gli isolatori della famiglia ADuM140x [20], garantiscono l'isolamento galvanico della misura e ogni linea in uscita dall'ADC è isolata tramite questi dispositivi. L'intero Bus da 20 bit in uscita dall'ADC viene convogliato in questi isolatori di tipo *quad-channel*, che non necessitano di una particolare circuiteria esterna tranne che per la presenza di condensatori di disaccoppiamento tra l'alimentazione e il riferimento di ogni singolo dispositivo. In particolare, dato che sono presenti 18 segnali di tipo DO e 2 di tipo DI, sono stati utilizzati 4 modelli ADuM1400, che garantiscono il passaggio delle 16 linee in senso unidirezionale (verso il microcontrollore) e 1 modello ADuM1402, che presenta 2 linee verso l'ADC e 2 verso il microcontrollore.

Aspetto fondamentale del progetto è la possibilità di controllare le varie uscite agendo sul pin V_{E2} , abilitandole o disabilitandole e, di fatto, impostando in alta impedenza le porte degli isolatori dei vari moduli. Ciò permette ad un singolo modulo di potersi interfacciare con altri moduli in parallelo, in modo che uno solo di essi comunichi con il sistema di trasmissione scelto, mentre gli altri sono scollegati dal bus. In questa fase di progetto l'attenzione è stata posta su un singolo modulo, pertanto l'ingresso di abilitazione è stato collegato direttamente alla tensione di alimentazione, mantenendo collegate le porte degli isolatori e rendendo, così, più semplice il controllo.

Nel caso di più moduli connessi, oltre al segnale di selezione del porto A/\overline{B} , anche il segnale \overline{CNVST} , data l'elevata necessità di sincronia, dovrà essere condiviso in parallelo a tutti i moduli di acquisizione connessi. Inoltre, il segnale *BUSY*, intrinsecamente,

fornisce un'indicazione sui dati acquisiti: la lettura del fronte di discesa di tale segnale può essere usata proprio per discriminare la sequenza di lettura delle schede o per leggere in modo sequenziale i dati proveniente da ogni modulo. Infatti la linea passa allo stato *HIGH* quando viene inizializzata una conversione e il fronte di discesa delinea, invece, il termine dell'operazione. Sono necessari, quindi, solo 2 segnali per ogni modulo (oltre al Bus 18-Bit) al fine di controllare e sequenziare opportunamente l'acquisizione simultanea. Questo meccanismo di gestione dei moduli è delineato in modo schematico in figura 3.4.3.

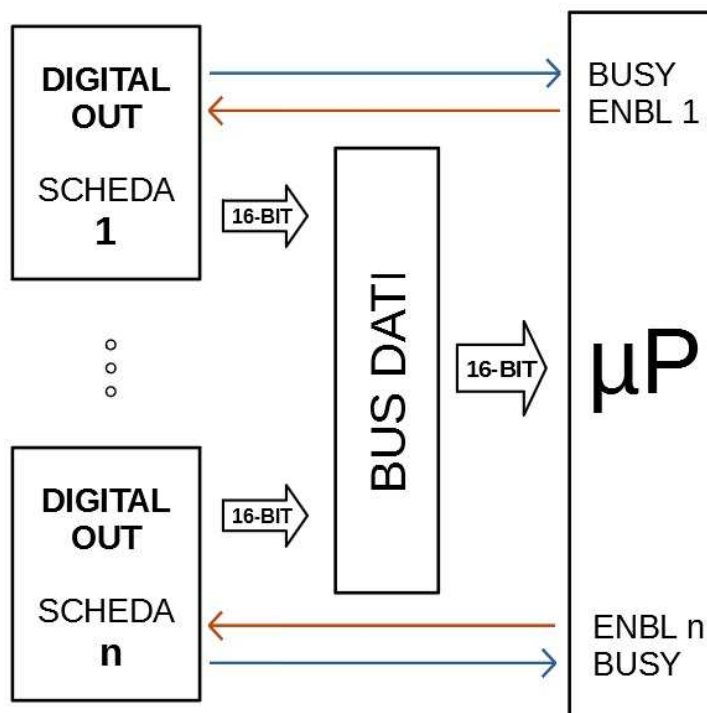


Figura 3.4.3: Gestione del bus digitale con n moduli

3.4.1 Layout

Gli isolatori sono stati allineati tra loro e con il convertitore DC-DC isolato, per garantire una linea di isolamento continua. I condensatori ceramici di bypass sono stati posti in prossimità delle linee di alimentazione dei dispositivi per entrambe le sezioni, isolata e non.

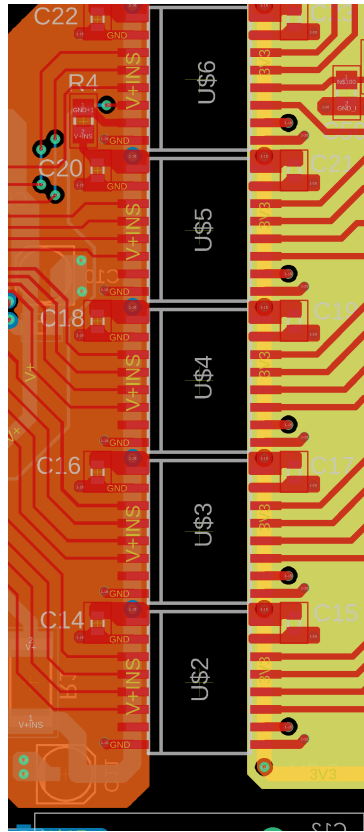


Figura 3.4.4: Layout della sezione di isolamento

3.5 Riferimento di tensione

Il dispositivo ADR3425 [19], fornisce un riferimento di tensione pari a $+2.5V$ con accuratezza di $\pm 0.1\%$ e basso coefficiente di temperatura (valore tipico pari a $8\text{ppm}/^\circ\text{C}$). Si è preferito l'uso di questo tipo di riferimento al posto di circuiti integrati più comuni quali il TL431, in quanto è molto importante garantire un'elevata stabilità del valore di tensione di riferimento in funzione di tempo, temperatura e transitori di carico. La mancata precisione e oscillazione del valore di riferimento generato provoca, infatti, una riduzione delle prestazioni dell'ADC, che non sarebbe adeguatamente sfruttato e le caratteristiche tipiche andrebbero a scemare velocemente.

3.5.1 Layout

La configurazione utilizzata è quella tipica per il componente in funzionamento da riferimento costante di tensione. E' stato utilizzato un condensatore da $100nF$ per ridurre eventuali disturbi ad alta frequenza provenienti dall'alimentazione. In uscita è stato posto un condensatore da $100nF$ per garantire la stabilità dell'anello di retroazione (in quanto la tensione di uscita è riportata come valore di riferimento al pin di retroazione del dispositivo) e per filtrare ancora una volta eventuale rumore ad alta frequenza. Infine, si è utilizzato un condensatore ceramico da $10\mu F$ per migliorare la risposta ai transitori di ca-

rico, dato che l'impedenza della porta di riferimento dell'ADC può variare dinamicamente nel tempo. Ovviamente, l'uso di condensatori di taglia maggiore, garantisce migliori prestazioni tuttavia, inevitabilmente, viene aumentato il tempo per il raggiungimento della condizione di regime del componente. Dal punto di vista del PCB, il componente è stato posto molto vicino all'ADC e sufficientemente in prossimità ai driver AD8137 [18], che necessitano del riferimento di tensione, per ridurre al minimo la lunghezza delle piste.

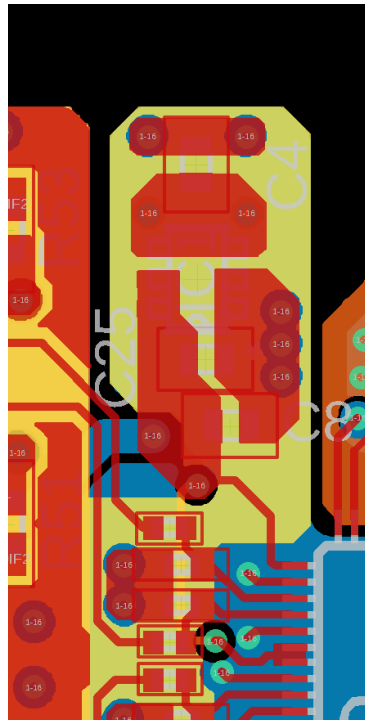


Figura 3.5.1: Layout della sezione del riferimento di tensione

3.6 Analisi tempi di propagazione

Aspetto fondamentale da tenere in considerazione durante la fase di progetto e, in particolare, nella sezione relativa alla gestione del flusso di dati proveniente dall'ADC, è la considerazione del tempo di propagazione relativo alle linee realizzate sul PCB e dei tempi di propagazione interni dei componenti utilizzati.

A livello generale detta L la lunghezza della linea, c_0 la velocità di un'onda elettromagnetica nel vuoto, ϵ_r la costante dielettrica relativa del mezzo e μ_r la permeabilità magnetica del mezzo, si ha [33]:

Material	Er	Er _{eff}	V microstrip	V stripline	t _{pd} microstrip	t _{pd} stripline
Vacuum or air	1	1	11.8 in/ns	11.8 in/ns	85 ps/in	
Isola 370HR	4.0	2.92	6.90 in/ns	5.9 in/ns	145 ps/in	170 ps/in
Isola I-SPEED	3.64	2.69	7.20 in/ns	6.18 in/ns	139 ps/in	162 ps/in
Isola I-META	3.45	2.57	7.36 in/ns	6.35 in/ns	136 ps/in	158 ps/in
Isola Astra MT77 or Tachyon 100G or Rogers 3003	3.0	2.28	7.8 in/ns	6.8 in/ns	128 ps/in	147 ps/in
Rogers 4000 series	3.55 – 3.66	2.63 – 2.7	~7.20 in/ns	~6.20 in/ns	~139 ps/in	~161 ps/in

Figura 3.6.1: Tabella relativa ai tempi di propagazione in funzione del materiale usato per la realizzazione del PCB e della collocazione delle piste

- $c_0 = 3 * 10^8 m/s$
- $\epsilon_r \approx 4$ (a seconda del materiale utilizzato per la produzione del PCB la costante dielettrica cambia, ma un valore pari a 4, di solito, fornisce il *worst-case*), con $\epsilon_{r,EFF} = 2.92$
- $\mu_r \approx 1$

Il tempo di propagazione è dato da:

$$t_{pd} = \frac{L}{\frac{c_0}{\sqrt{\epsilon_{r,EFF}\mu_r}}} \approx 5.696L[ns] \quad (3.9)$$

Dato che la pista più lunga presente nel PCB è quella relativa al segnale A/\overline{B} , con lunghezza totale di 48mm nella parte non isolata e 72.6mm nella parte isolata, il tempo di propagazione totale è dato da $\tau_{trace_{TOT}} = \tau_{trace_1} + \tau_{trace_2} \approx 413ps + 274ps = 687ps$. Dato che il tempo di propagazione dovuto alla lunghezza delle piste è ordini di grandezza più piccolo rispetto ai tempi di propagazione interni (che sono nell'ordine dei *ns*), verranno considerati solo questi ultimi e, al fine di garantire un margine sufficientemente grande, il risultato sarà aumentato del 10%. Il caso in esame, come già detto, costituisce il *worst-case* dal punto di vista dei tempi di propagazione dei segnali di controllo, le altre linee saranno caratterizzate da tempi di propagazione sicuramente inferiori.

Dal punto di vista dei tempi di propagazione relativi ai dispositivi utilizzati, i più critici sono quelli riguardanti la fase di lettura dei dati dal bus 16-bit e, in particolare, durante la fase di selezione del dato (A o B) presente sulle linee di uscita dell'ADC. Questa risulta essere una fase particolarmente delicata in quanto, dato che il microcontrollore eseguirà la routine di lettura acquisendo in modo consecutivo i dati convertiti relativi all'ingresso A e poi al B, è necessario che si attenda un tempo sufficiente al fine di leggere i dati in modo corretto: nel caso in cui si attendesse un tempo troppo breve, a causa dei tempi di propagazione interni la lettura dei dati potrebbe essere eseguita sul campione precedentemente acquisito e non sull'effettivo campione più recente, come analizzato nella sezione 3.3 e in particolare in figura 3.3.4a.

Al fine di garantire la correttezza dei dati in lettura, dai datasheet dei componenti in esame si sono ricavati i tempi di propagazione dei dispositivi coinvolti nella trasmissione. Dal datasheet dell'AD7655 [17], si ricava che il ritardo relativo alla richiesta di uno dei dati convertiti sul Bus tramite il segnale A/\overline{B} è $t_{20} = 40ns$ (usando la nomenclatura del datasheet) e può essere visualizzato in figura 3.3.4b. Dal datasheet della famiglia di isolatori ADuM140x [20] e, in particolare nella sezione di specifiche relative all'alimentazione 5V / 3.xV e della variante ADuM1402WTRWZ, si ricava: $t_{PHL_1} = t_{PLH_1} = 100ns$ e un tempo di salita/discesa dal 10% al 90% $t_r = 3ns$. Mentre per l'ADuM1400CRWZ si ha: $t_{PHL_2} = t_{PLH_2} = 40ns$ e un tempo di salita/discesa dal 10% al 90% $t_r = 2ns$.

In condizioni nominali di funzionamento il microcontrollore seleziona uno dei 2 ingressi da leggere (A o B), il segnale giunge all'isolatore della sezione di linee di controllo (ossia l'ADuM1402WTRWZ), prosegue nella sezione non isolata e viene letto dall'ADC che fornisce sulle 16 linee di uscita il campione richiesto. A questo punto, i segnali, in parallelo, vengono trasmessi al banco di 4 isolatori (ADuM1400CRWZ) e inviati al microcontrollore.

Per le considerazioni fatte in precedenza, per le tempistiche ricavate dai datasheet dei componenti coinvolti, trascurando i tempi di propagazione e moltiplicando per un fattore pari al 10% del valore ricavato, il tempo di propagazione totale tra la richiesta e l'arrivo dei dati al microcontrollore è dato da:

$$\tau_{pdTOT} = 1.1[t_{PHL_1} + t_r + t_{20} + t_{PHL_2} + t_r] = 1.1[100ns + 3ns + 40ns + 40ns + 2ns] \approx 204ns \quad (3.10)$$

Tale risultato sarà utilizzando durante la realizzazione del software al fine di garantire la lettura con le specifiche richieste.

Dato che la lettura viene eseguita quando i dati risultano essere stabili, ossia in assenza di transizioni di stato *HIGH-LOW* o *LOW-HIGH*, la specifica relativa alla *Pulse Width Distortion* (PWD) non viene considerata, in quanto concerne la larghezza degli impulsi in uscita rispetto all'impulso in ingresso, determinati da due consecutive transizioni di stato, ossia: $|t_{PHL} - t_{PLH}|$. La specifica *Minimum Pulse Width* (PW), invece, rappresenta la larghezza minima degli impulsi applicabili al fine di garantire il livello di distorsione PWD indicato dalla casa produttrice. Nel caso degli isolatori ADuM1400CRWZ PW = 11.1ns, mentre per l'ADuM1402WTRWZ questa è pari a 100ns. Ciò comporta la necessità di prestare particolare attenzione alla generazione dei segnali di controllo, al fine di garantire livelli accettabili di distorsione del segnale in uscita dagli isolatori. Analizzando le tempistiche dei vari segnali utilizzati, A/\overline{B} presenta una larghezza di impulso minima pari al tempo di propagazione ricavato in precedenza ossia $\approx 200ns$, il segnale *BUSY* ha durata pari al tempo di conversione ossia $\approx 2\mu s$, il segnale \overline{EOC} presenta distanza temporale minima tra i 2 impulsi che lo caratterizzano pari a $t_{12} = 45ns$, pertanto potrebbe generare qualche problema di distorsione, tuttavia non è stato utilizzato in questa fase di progetto. Infine, il segnale \overline{CNVST} , dalle specifiche deve essere generato con un impulso di larghezza minima pari a $t_1 = 5ns$. Si può scegliere di utilizzare un valore che sia sufficientemente maggiore di 100ns.

3.7 Trasferimento dei dati acquisiti

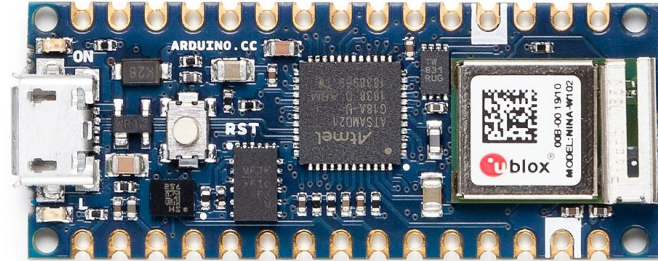


Figura 3.7.1: Arduino Nano 33 IoT

Per garantire il trasferimento dei dati convertiti, si è fatto uso di una scheda di sviluppo Arduino Nano 33 IoT [22], che permette la lettura dei 16-bit di dati e successivo invio tramite la porta seriale (interfaccia USB). Si è scelto questo approccio per una serie di motivi:

- La scheda di sviluppo permette di poter acquisire i dati grazie al microcontrollore integrato senza dover sviluppare tutta l'elettronica complementare (alimentazione, *bootloader*, ecc.) necessaria nel caso di realizzazione ad-hoc.
- Il microcontrollore presente all'interno della scheda è un SAMD21 Cortex®-M0+ 32bit a 48 MHz, che permette di eseguire istruzioni di base, quali la lettura dei porti in un singolo ciclo di clock, con periodo $T_{CLOCK} \approx 20.83ns$, aspetto molto importante, viste le richieste di *timing* molto restrittive imposte dall'ADC. Inoltre, essendo parte di una famiglia di microcontrollori basati sull'architettura ARM, il codice realizzato può essere in buona parte utilizzato direttamente (a meno di qualche modifica) per funzionare con altri microcontrollori più performanti e dotati di *instruction set* più ampi.
- Tra i vari pin, la scheda è in grado di fornire un'uscita in tensione pari a +5V proveniente dalla tensione della linea USB che alimenta la scheda di sviluppo stessa. Con ciò, è possibile alimentare il sistema e trasferire i dati a terminale con un singolo cavo USB Micro-B.
- La famiglia di microcontrollori Cortex-M presenta una bassa latenza per l'accesso alle routine del servizio di interruzione. Nel caso del Cortex-M0 è di 16 cicli di clock e 15 per l'M0+ che, con un processore a 48 MHz, realizzano una latenza complessiva

rispettivamente di 333ns e 312ns. Dove si assume che l'accesso alla memoria sia istantaneo (*zero wait state*) e che non vi siano altre richieste di interruzione.

Tabella 3.7.1: Caratteristiche della scheda di sviluppo Arduino Nano 33 IoT

MICROCONTROLLER	SAMD21 Cortex®-M0+ 32bit low power ARM MCU
RADIO MODULE	u-blox NINA-W102
SECURE ELEMENT	ATECC608A
IMU	LSM6DS3
OPERATING VOLTAGE	3.3V
INPUT VOLTAGE (LIMIT)	21V
DC CURRENT PER I/O PIN	7 mA
CLOCK SPEED	48MHz
CPU FLASH MEMORY	256KB
SRAM	32KB
EEPROM	/
DIGITAL INPUT/OUTPUT PINS	14
PWM PINS	11 (2, 3, 5, 6, 9, 10, 11, 12, 16 / A2, 17 / A3, 19 / A5)
ANALOG INPUT PINS	8 (ADC 8/10/12 bit)
ANALOG OUTPUT PINS	1 (DAC 10 bit)
EXTERNAL INTERRUPTS	All digital pins (all analog pins can also be used as interrupt pins, but will have duplicated interrupt numbers)
LED BUILTIN	PIN 13
UART	1
SPI	1
I2C	1
USB	Native in the SAMD21 Processor

Come già citato, l'Arduino Nano 33 IoT è stato utilizzato come interfaccia per la trasmissione seriale dei dati acquisiti dall'ADC e come fonte di alimentazione per il sistema complessivo.

Osservando lo schema elettrico dell'Arduino in figura 3.7.2a e 3.7.2b si nota che, oltre a una circuiteria per la protezione contro scariche ESD, è presente in serie alla linea +5V un diodo Schottky PMEG6020, il quale garantisce il flusso unidirezionale della corrente (da PC verso Arduino) seppur mantenendo una bassa caduta di potenziale ai suoi capi e in grado di sopportare una $I_{DCMAX} \approx 2A$, il che è più che sufficiente per poter alimentare l'intero sistema. Ciò ha permesso di garantire la trasmissione dei dati e l'alimentazione dell'intera *board* con un singolo cavo USB Micro-B.

Un'ulteriore limitazione alla corrente massima che può scorrere nella linea +5V (V_{IN}) è la larghezza delle piste della linea di alimentazione stessa, le quali sono risultate sufficienti a far scorrere in modo continuo nel tempo correnti di circa $0.5A \div 0.6A$, corrispondenti

alla corrente massima in ingresso al TVN 3-0922 [13], con tensione di alimentazione a +5V, in quanto il convertitore può erogare una potenza massima di circa 3W. In tabella 3.7.1, sono state riportate le specifiche principali della scheda di sviluppo.

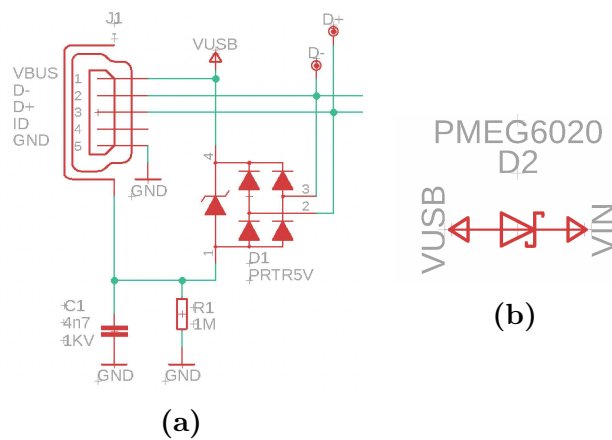


Figura 3.7.2: Arduino Power Input: (a) Connettore USB micro-B (b) Diodo Schottky PMEG6020 di protezione

3.7.1 Descrizione del software

Per realizzare il sistema di trasmissione, è stato utilizzato l'ambiente Arduino IDE basato su programmazione in linguaggio C, ma facendo uso del sistema CMSIS (*Common Microcontroller Software Interface Standard*) [26] in unione alle primitive standard fornite da Arduino. Il sistema CMSIS rappresenta un livello di astrazione per microcontrollori ARM Cortex che definisce le interfacce standard da utilizzare per la programmazione e garantisce una più ampia riusabilità del software prodotto. In particolare definisce l'*Hardware Abstraction Layer* (HAL) per i processori della famiglia Cortex-M, standardizzando le definizioni del *SysTick*, *NVIC*, *System Control Block registers*, *FPU*, *MPU*, ecc., oltre a definire metodi di organizzazione degli *header* e di inizializzazione. L'uso di questo sistema, basato sull'accesso ai singoli registri del μC tramite delle strutture dati opportune, garantisce di ottenere delle performance migliori rispetto all'uso delle primitive standard fornite da Arduino, le quali sono più semplici nell'uso ma aumentano i tempi di esecuzione in quanto aggiungono ridondanza e istruzioni aggiuntive per eseguire una particolare operazione.

Al fine di sfruttare al meglio le funzionalità del μC utilizzato è stata svolta, grazie al foglio tecnico relativo [23], un'analisi delle periferiche e delle linee di comunicazione interne messe a disposizione al fine di garantire le prestazioni migliori per l'applicazione.

Dalla figura 3.7.3, si può notare che l'elemento che collega il microcontrollore al resto dei dispositivi interni è l'AHB (*Advanced High-Performance Bus*) Matrix, ossia un bus a 32-Bit *multi-master / multi-slave* in grado di eseguire trasferimenti multipli per ogni ciclo di clock. Ciò permette al μC di accedere alle porte I/O con un ritardo pari a un singolo ciclo di clock, senza dover attendere multipli *wait-states*. L'AHB è l'implementazione da

parte di Microchip dell'Arm *Advanced Microcontroller Bus Architecture* (AMBA®) [27], ossia della specifica *on-chip* di tipo *open standard* per interconnettere i vari blocchi funzionali nei vari microcontrollori e SoC. In particolare, dopo varie revisioni, il Cortex-M0+, utilizza la specifica AMBA-3 AHB-lite. Il vantaggio che è possibile ottenere con questo tipo di sistema è, oltre all'elevata velocità di accesso, il fatto di non rendere necessario alcun tipo di configurazione da parte dell'utente per potervi accedere, dato che è utilizzato come sistema standard. Dalla figura 3.7.3 è possibile, inoltre, osservare alcuni dei blocchi funzionali utilizzati, in particolare le sorgenti di clock presenti nel SYSTEM CONTROLLER, la gestione delle alimentazioni con il POWER MANAGER e la gestione del clock con il GENERIC CLOCK CONTROLLER. Di grande importanza è il blocco EXTERNAL INTERRUPT CONTROLLER, utilizzato per configurare interruzioni di codice generati da eventi sui pin di I/O (ad esempio: ISR generate su *rising/falling edge*). Alcuni dei timer forniti, sono stati utilizzati al fine di generare segnali PWM, oppure per generare interruzioni da pin I/O o per eseguire misure temporali a scopo di *debug*. I pin di collegamento verso l'esterno sono suddivisi, come di consueto, in diversi PORT. In particolare, il μC utilizzato offre PORTA e PORTB. L'accesso ai pin I/O può essere eseguito tramite AHB-APB BRIDGE o tramite l'IOBUS. La differenza è che mentre l'AHB-APB BRIDGE genera una connessione ai porti condivisa da molte altre periferiche (con possibilità di rallentamenti significativi in caso di traffico dati elevato), l'IOBUS permette alla CPU di collegarsi direttamente ai porti di ingresso e ciò garantisce operazioni di R/W in un singolo ciclo di clock. Il microcontrollore, inoltre, è compatibile nativamente con il sistema USB 2.1 e possiede una velocità di trasmissione massima teorica di 12 Mbps, tuttavia questo valore è limitato dal dispositivo a cui è collegato il μC , oltre che dalla grandezza dei blocchi di dati trasmessi, in quanto blocchi di dimensione maggiore garantiscono velocità di trasmissione più alte. Si tratterà il problema nello specifico nella sezione 3.7.1.

Nella tabella 3.7.2, sono riassunte le principali periferiche utilizzate.

Tabella 3.7.2: Periferiche SAMD21 utilizzate

Function	Module
Clock sources	GLCK4, GCLK5, GCLK6
Timer/Counter	TCC0, TC4
Interrupts	EIC (External Interrupt Controller)
Peripheral	All digital pins (D0 ÷ D21)

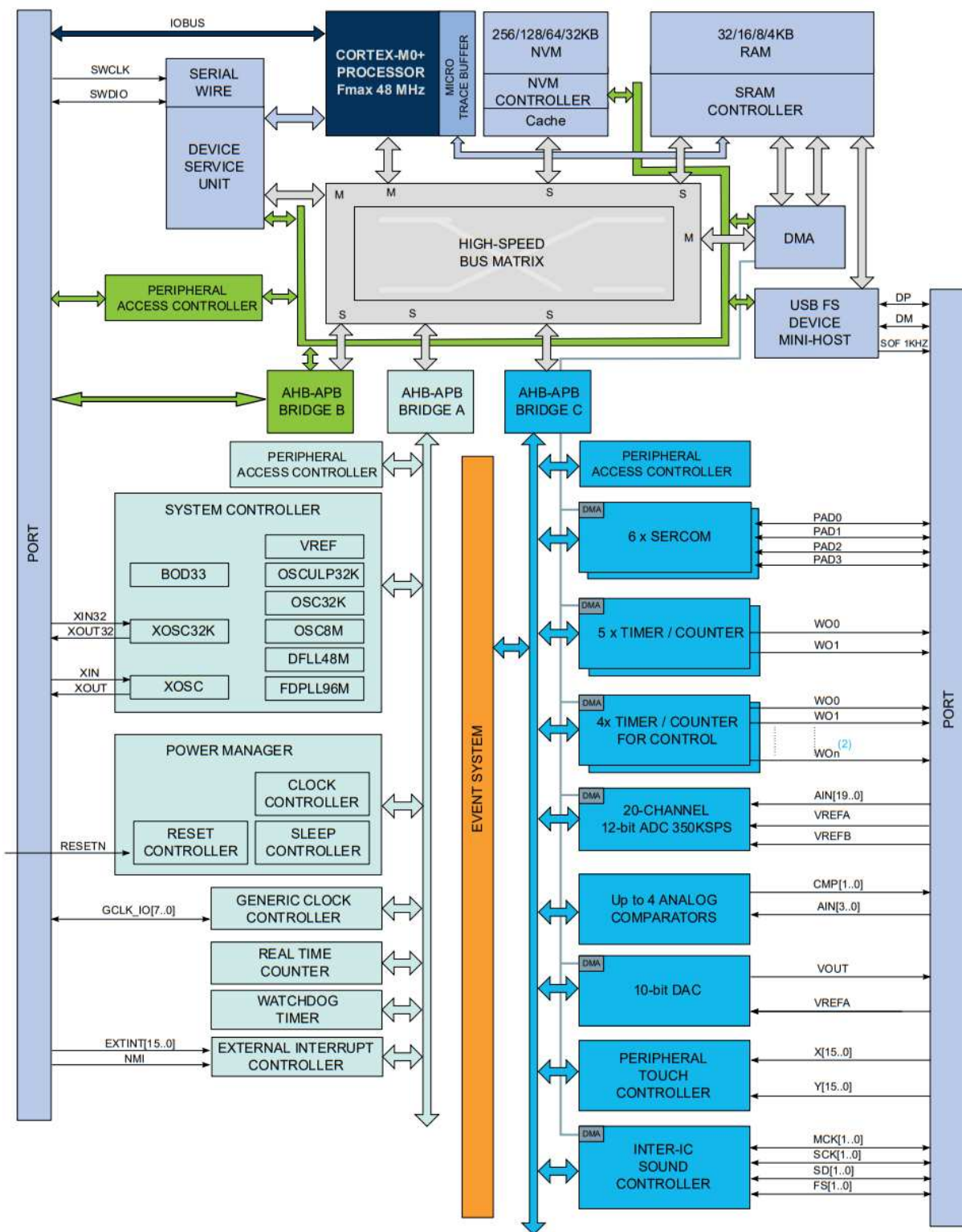


Figura 3.7.3: SAMD21 Internal Block Diagram

Il software in questione ha l'obiettivo di trasmettere ad un terminale (interfaccia UART) i dati relativi alle misure di tensione e corrente e poterli analizzare ed elaborare (ad esempio con il software MathWorks MATLAB [34]). L'elevata quantità di dati trasmessi per unità di tempo ha portato ad attuare un sistema di trasmissione asincrono (rispetto alla fase di lettura dei dati) con salvataggio dei dati acquisiti su buffer di supporto. Una volta salvati i campioni, essi vengono inviati mediante la porta seriale del

μC .

Il codice è stato strutturato nel seguente modo:

- Dichiarazione variabili
- Inizializzazione dispositivi (*setup*)
- Interruzioni: lettura ingressi e scrittura in *buffer*
- Sezione principale (*loop*): lettura del *buffer*, invio dati e controllo terminazione

Di seguito saranno approfondite le varie sezioni.

Dichiarazione variabili

Vengono qui inizializzate tutte le variabili globali utilizzate. A seconda della grandezza del dato da salvare sono state dichiarate come variabili *unsigned* a 8, 16 o 32 bit. Grazie al fatto che il μC in uso è basato su architettura a 32 bit, a parità di velocità del clock, le operazioni di manipolazione di variabili di questa lunghezza sono eseguite mediamente in $\frac{1}{4}$ del tempo di un processore a 8 bit, in quanto quest'ultimo può caricare nel registro di lavoro principale solo una porzione alla volta di tale variabile numerica. L'uso delle variabili globali è da preferirsi in questo tipo di applicazioni dato che si evitano allocazioni consecutive durante l'esecuzione del codice da parte del μC . Allocando ogni variabile solo una volta, aumenta il tempo di *setup* ma garantisce prestazioni migliori in fase di *runtime*. Altro aspetto molto importante è l'uso del qualificatore *volatile*. Questo tipo di prefisso viene utilizzato prima di un tipo di dato per modificare il modo in cui il compilatore e il programma trattano la variabile associata. Tale qualificatore impone al compilatore il caricamento della variabile dalla RAM del microcontrollore piuttosto che dalla FLASH, in quanto quest'ultima rappresenta solo una locazione di memoria temporanea e può contenere variabili con valore diverso da quello che in realtà il programma utilizza in un particolare istante temporale, quindi di valore errato. Tutte le volte in cui una variabile viene modificata da un'operazione o funzione che è fuori dalla sezione di codice in cui appare è opportuno definire le variabili con il qualificatore descritto. Nell'applicazione in esame, questo tipo di situazione si presenta con l'uso di variabili che vengono modificate da delle *Interrupt Service Routine (ISR)*.

Inizializzazione dispositivi (setup)

In questa sezione sono stati inizializzati tutti i dispositivi e le periferiche utilizzate. Oltre all'inizializzazione di clock, timers, pin e EIC (*External Interrupt Controller*), è stata abilitata la comunicazione seriale con attesa di connessione: il codice non procede fintanto che la porta seriale non è connessa a un dispositivo esterno. In questo modo si eviterà di trasmettere dati se Arduino non è connesso a un PC con comunicazione seriale aperta verso la rispettiva porta. Inoltre, dato che il microcontrollore in uso è compatibile con lo standard USB 2.1, la velocità di trasmissione non sarà impostata direttamente dal

software descritto nel listato 3.1, ma sarà gestita dai protocolli adibiti alla gestione della trasmissione USB. Tramite direttiva `#IFDEF`, è possibile scegliere se programmare il μC in modalità *debug* o meno. Se questa modalità è attivata, oltre ai campioni acquisiti saranno inviate informazioni utili in fase di progetto: la frequenza di campionamento effettiva, il numero di dati acquisiti e i tempi di esecuzione di alcune sezioni di codice. Nel listato 3.1 è presente un estratto della funzione in questione.

Listing 3.1: Setup Function

```

void setup() {
    // Setup devices
    clockConfig();

    timerConfig();

    pinConfig();

    eicConfig();

    // Setup Serial

    // Speed is ignored because it is Native USB
    SerialUSB.begin(baudRate);
    // Wait for USB port connection
    while (!SerialUSB) {};

    // Enable (via IFDEF directive) printing of execution information
    #ifdef DEBUG_MODE

    debug();

    // Calculate sample frequency from period
    sampleFreq = (uint32_t) 48000000 / (2*pwmPeriod);
    // Calculate max delta time from store to send
    maxDeltaTime = (double) ((storageDim/sampleFreq)*1000000.0);

    #endif

    // Enable interrupts
    enable_interrupts();

    // Start timer (debug)
    startTime = TC4->COUNT32.COUNT.reg;
}

```

Nel listato 3.2, è possibile trovare un esempio di *setup* del clock generico 5 (GCLK5). In particolare, dato che si tratta del clock associato alla gestione dell'*External Interrupt Controller* (EIC), quest'ultima periferica è stata preventivamente abilitata tramite il *power manager*. Successivamente, il clock principale (a 48 MHz) generato dal DFLL è stato fornito al GCLK5. Il *prescaler* è stato impostato a 1 per avere la massima risoluzione temporale e il GCLK5 è stato, quindi, collegato all'*External Interrupt Controller*. In

questo modo, a seconda dell'evento di *trigger* desiderato, è possibile generare interruzioni dai segnali in ingresso collegati ai pin di interesse e gestirli dall'EIC. La gestione delle interruzioni dai pin I/O viene analizzata di seguito.

Listing 3.2: Clock setup Example

```
// GCLK5
// Clock sent to EIC to trigger external interrupts

PM->APBAMASK.reg |= PM_APBAMASK_EIC; // Turn on EIC peripheral

// Enable and configure generic clock generator 5
GCLK->GENCTRL.reg = GCLK_GENCTRL_GENEN | // EN generic clock
                   GCLK_GENCTRL_SRC_DFLL48M | // Source: DFLL 48MHz
                   GCLK_GENCTRL_ID(5); // Select GCLK5
while (GCLK->STATUS.bit.SYNCBUSY); // Wait for synch

// Set clock divider to 1 and apply to generic clock generator 5
GCLK->GENDIV.reg = GCLK_GENDIV_DIV(1) | // Divide 48 MHz by 1
                  GCLK_GENDIV_ID(5); // Apply to GCLK5 5
while (GCLK->STATUS.bit.SYNCBUSY); // Wait for synch

// Enable GCLK5 and connect it to EIC
GCLK->CLKCTRL.reg = GCLK_CLKCTRL_ID(GCM_EIC) | // Send to EIC
                  GCLK_CLKCTRL_GEN_GCLK5 | // GCLK5
                  GCLK_CLKCTRL_CLKEN; // Enable clock
while (GCLK->STATUS.bit.SYNCBUSY); // Wait for synch
```

Nel listato 3.3, invece, è stato riportato un esempio di configurazione del *timer/counter* 0 per applicazioni di controllo (TCC0). Dato che si vuole generare, in questo caso, il segnale PWM relativo al segnale \overline{CNVST} , per prima cosa il *prescaler* è stato impostato a 1 ed è stata configurata la generazione di un segnale PWM con polarità invertita (in quanto lo start avviene con un fronte di discesa sul segnale \overline{CNVST} , come descritto nella sezione 3.3.2). Successivamente, è necessario attendere la sincronizzazione del timer dopo le modifiche effettuate e sono stati impostati periodo e *duty cycle*. Infine, viene caricato il valore di *compare*, il quale rimane costante durante l'esecuzione del codice, dato che l'acquisizione avviene a frequenza costante.

Listing 3.3: Timer setup Example

```
// TCC0 Setup
// Divide counter by 1 giving 48 MHz (20.83 ns) on each TCC0 tick
TCC0->CTRLA.reg |= TCC_CTRLA_PRESCALER(TCC_CTRLA_PRESCALER_DIV1_Val)
;

// Use "Normal PWM" (single-slope PWM): count up to PER and match on
CC[n]
TCC0->WAVE.reg = TCC_WAVE_WAVEGEN_NPWM | // Use Normal PWM waveform
TCC_WAVE_POL(0xF); // Invert output polarity
while (TCC0->SYNCBUSY.bit.WAVE); // Wait for synch

// Set the period
```



```

TCC0->PER.reg = pwmPeriod;
while (TCC0->SYNCBUSY.bit.PER);           // Wait for synch

// Set PWM with 50% duty cycle
// n for CC[n] is determined by: n = x % 4 where x is from WO[x]
TCC0->CC[1].reg = pwmDutyCycle;
while (TCC0->SYNCBUSY.bit.CC1);          // Wait for synch

```

La configurazione dei pin di I/O è strettamente legata alla struttura di gestione di tali porte di ingresso. In particolare, come si può notare in figura 3.7.4, sono presenti diversi registri di configurazione e un sincronizzatore per eseguire operazioni R/W in modo sincronizzato, sulla base del clock presente sull'APB Bus. Tramite il registro PULLEN è possibile abilitare la resistenza di *pullup* interna al μC , il registro OUT, invece, abilita o disabilita l'uscita (nel caso in cui il pin in questione sia stato impostato come output), mentre il registro DIR permette di configurare ogni pin come input o output. Quando si seleziona un pin come input, è importante impostare il registro INEN per il pin desiderato, in modo da abilitare la scrittura del risultato nel bus. Abilitando questo pin, inoltre, è possibile eseguire un'operazione di *read-back* di un qualsiasi pin impostato come uscita, in modo da poter verificare il suo stato.

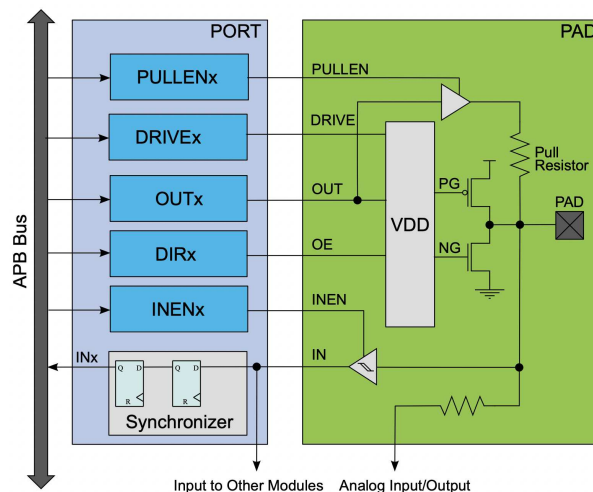


Figura 3.7.4: SAMD21 PORT structure

Il listato 3.4 mostra un esempio di configurazione di un input pin (in questo caso è il pin relativo al segnale \overline{EOC}), mentre il listato 3.5 mostra un esempio di configurazione degli output pin (pin relativo al segnale A/\overline{B}).

Aspetto molto importante è la differenza tra le 2 configurazioni: mentre la 3.5 utilizza l'IOBUS per il trasferimento veloce dei dati, la 3.4 utilizza, invece, il bus standard (condiviso con le varie periferiche). Ancora una volta, si nota che implementare l'uso del bus di comunicazione diretto (IOBUS) risulta essere veloce e conveniente per l'utente finale.

Listing 3.4: Esempio setup pin input

```

// PB03 is EOC input
PORT->Group[PORTB].PINCFG[3].bit.INEN = 1; // Enable input pin

```

```

|| PORT->Group[PORTB].PINCFG[3].bit.PULLEN = 0; // Disable pullup
|| PORT->Group[PORTB].DIRCLR.reg = PORT_PB03; // Set pin as IN

```

Listing 3.5: Esempio setup pin output

```

|| // PA17 is A/B control output
|| PORT_IOBUS->Group[PORTA].DIRSET.reg = AB; // Set pin as OUT
|| PORT_IOBUS->Group[PORTA].PINCFG[17].bit.INEN = 1; // Set read back
|| PORT_IOBUS->Group[PORTA].OUTCLR.reg = AB; // Set output low

```

Infine, come mostrato nel listato 3.6, l'uso dell'IOBUS per trasferimenti veloci con la CPU, è possibile impostando, nel registro CTRLA, la modalità *Continuous Sampling*, al fine di garantire la lettura continua in background dei pin di ingresso e trasferire subito i dati acquisiti verso la CPU. Come già citato, in questo modo si può eseguire la lettura in un singolo ciclo di clock.

Listing 3.6: Setup della modalità *Continuous Sampling*

```

|| // Enable continuous pin scanning on all pins, so that we can read
|| // from the high speed PORT_IOBUS without getting stale data
|| PORT_IOBUS->Group[PORTA].CTRL.reg = 0xFFFFFFFF;
|| PORT_IOBUS->Group[PORTB].CTRL.reg = 0xFFFFFFFF;

```

Nel listato 3.7 viene riportata l'inizializzazione dell'*External Interrupt Controller* (EIC), necessario per poter generare delle *interrupt requests* a partire da eventi provenienti dai pin di ingresso. In particolare, è stato impostato un'interruzione con *trigger* sul fronte di discesa del segnale in input al pin PB09 (*BUSY*). In questo modo, a partire dal segnale in questione, descritto nella sezione 3.3 e in particolare in figura 3.3.3, è possibile eseguire la lettura delle linee di uscita dell'ADC non appena i *sample* convertiti sono pronti per essere letti.

Il microcontrollore sotto esame permette di configurare la periferica da associare ad ogni pin di I/O. Per esempio, è possibile connettere un pin all'ADC, al DAC, al TCC, e così via. Ciò è possibile abilitando il *Peripheral Multiplexer* per il pin che si vuole configurare. Tale dispositivo permette di selezionare a quale periferica collegare direttamente il pin tramite il registro di configurazione PMUXx. Dove 'x' identifica se il registro è relativo a pin pari o dispari. Sono presenti, infatti, i registri PMUXO per i pin dispari (cioè i pin $[2n+1]$) e il PMUXE per i pari (cioè i pin $[2n]$). Il pin in questione è dispari pertanto l'accesso al registro si ottiene inserendo, come argomento della struttura di accesso, il valore $2*9+1 = 19$. Dalla tabella relativa alla sezione del datasheet [23] *I/O Multiplexing* e descritta in figura 3.7.5, sapendo che il microcontrollore in uso è il SAMD21G, si nota che il pin PB09 è associato all'EXTINT[9], ossia alla linea 9 dell'EIC.

Pin ⁽¹⁾			I/O Pin	Supply	B ⁽²⁾⁽³⁾						C	D	E	F	G	H
SAMD21E	SAMD21G	SAMD21J			A	REF	ADC	AC	PTC	DAC						
1	1	1	PA00	VDDANA	EXTINT[0]							SERCOM1/ PAD[0]	TCC2/WO[0]			
2	2	2	PA01	VDDANA	EXTINT[1]							SERCOM1/ PAD[1]	TCC2/WO[1]			
3	3	3	PA02	VDDANA	EXTINT[2]			AIN[0]		Y[0]	VOUT			TCC3/ WO[0]		
4	4	4	PA03	VDDANA	EXTINT[3]	ADC/ VREFA DAC/ VREFA		AIN[1]		Y[1]				TCC3/ WO[1]		
		5	PB04	VDDANA	EXTINT[4]			AIN[12]		Y[10]						
		6	PB05	VDDANA	EXTINT[5]			AIN[13]		Y[11]						
		9	PB06	VDDANA	EXTINT[6]			AIN[14]		Y[12]						
		10	PB07	VDDANA	EXTINT[7]			AIN[15]		Y[13]						
	7	11	PB08	VDDANA	EXTINT[8]			AIN[2]		Y[14]		SERCOM4/ PAD[0]	TC4/WO[0]	TCC3/ WO[6]		
	8	12	PB09	VDDANA	EXTINT[9]			AIN[3]		Y[15]		SERCOM4/ PAD[1]	TC4/WO[1]	TCC3/ WO[7]		

Figura 3.7.5: SAMD21 I/O Multiplexing

Oltre all'abilitazione della periferica EIC ed eventuale *wakeup* in caso di μC in stato di *sleepmode*, è stata discriminata la parità del numero identificativo del pin in questione ed abilitato solo il pin relativo, dato che ogni multiplexer è associato a 2 pin di I/O contigui. Successivamente, è stata abilitata l'interruzione in modalità *falling edge* tramite il registro CONFIG[1] (in quanto i registri di configurazione sono suddivisi in 2 sezioni: CONFIG[0] per i pin da 0 a 7 e CONFIG[1] per i pin da 8 a 15) ed in particolare è stato impostato il bit relativo all'EXTINT[9] (ossia EIC_CONFIG_SENSE1_FALL).

Inoltre, è possibile scegliere se abilitare un filtro al fine di garantire una lettura più precisa della condizione di interruzione. Il filtro è un detto "di maggioranza" in quanto esegue il *sampling* dell'ingresso su 3 campioni spaziatamente di 1 ciclo di clock l'uno dall'altro. Questa configurazione risulta essere utile in tutti i casi in cui l'ingresso é poco stabile, al fine di evitare interruzioni spurie associate all'evento di input. Nel caso in esame il filtro è stato disattivato, garantendo una latenza massima di 4 cicli di clock della periferica EIC + 3 cicli di clock dell'APB Bus, come descritto nel datasheet [23] [p.369, tabella 21.2].

Infine è stata abilitata la ISR relativa all'EXTINT[9].

Listing 3.7: EIC setup

```
// EIC on Pin "BUSY" (PB09) --> Interrupt only on falling edge
void eicConfig(){
    // EIC Setup (on PB03)
    EIC->CTRL.bit.ENABLE = 1; // Enable EIC
    while (EIC->STATUS.bit.SYNCBUSY == 1) {} // Wait for synch
    // Enable wakeup capability on pin during sleep mode
    EIC->WAKEUP.reg |= EIC_WAKEUP_WAKEUPEN9;

    // Pin parity check
    if (g_APinDescription[19].ulPin & 1) // Is pin ODD?
    {
        uint32_t temp;
```

```

// Get whole current setup for both odd and even pins and remove
// even one
temp = (PORT->Group[g_APinDescription[19].ulPort].PMUX[
    g_APinDescription[19].ulPin >> 1].reg) & PORT_PMUX_PMUXE( 0xF ) ;
// Set new muxing for ODD pins
PORT->Group[g_APinDescription[19].ulPort].PMUX[g_APinDescription
    [19].ulPin >> 1].reg = temp|PORT_PMUX_PMUXO(0) ;
// Enable port mux
PORT->Group[g_APinDescription[19].ulPort].PINCFG[g_APinDescription
    [19].ulPin].reg |= PORT_PINCFG_PMUXEN ;
}
else // EVEN pin
{
    uint32_t temp;

    // Get whole current setup for both odd and even pins and remove
    // odd one
    temp = (PORT->Group[g_APinDescription[19].ulPort].PMUX[
        g_APinDescription[19].ulPin >> 1].reg) & PORT_PMUX_PMUXO( 0xF ) ;
    // Set new muxing for EVEN pins
    PORT->Group[g_APinDescription[19].ulPort].PMUX[g_APinDescription
        [19].ulPin >> 1].reg = temp|PORT_PMUX_PMUXE(0) ;
    // Enable port mux
    PORT->Group[g_APinDescription[19].ulPort].PINCFG[g_APinDescription
        [19].ulPin].reg |= PORT_PINCFG_PMUXEN ;
}

// Interrupt is triggered whenever BUSY (PB09) signal has a FALLING
// EDGE (indicates that conversion is finished), without input
// majority vote filter
EIC->CONFIG[1].reg |= EIC_CONFIG_SENSE1_FALL; // Configure interrupt
EIC->INTENSET.reg = EIC_INTENSET_EXTINT9;    // Enable Interrupt
while (EIC->STATUS.bit.SYNCBUSY == 1);      // Wait for synch
}

```

Interruzioni: lettura ingressi e scrittura in buffer

Nella realizzazione del software, la generazione del segnale \overline{CNVST} è stata attuata mediante l'utilizzo dei timer interni al μC , in particolare il timer TCC0, utilizzato in modalità *free-run* per generare un segnale PWM a 40kHz, al fine di avviare periodicamente la conversione dei dati da parte dell'ADC. In particolare, per generare il segnale \overline{CNVST} , è stato usato un DFLL con uscita a 48MHz e si è utilizzato un periodo con valore in multipli del periodo di clock pari a 1200, in quanto il periodo di clock è $T \approx 20.83ns$.

La lettura dei dati avviene in modo sincronizzato con l'esecuzione dell'interruzione generata dal fronte di discesa del segnale *BUSY*. L'alternativa consiste nell'eseguire la lettura dei canali A e B durante il fronte di discesa del segnale \overline{EOC} , tuttavia questa scelta progettuale comporta una maggiore complessità dovuta alla necessità di distinguere i 2 casi (canale A o B) in modo da acquisire opportunamente i dati. Per semplificare la gestione del sistema e garantire la presenza di una sola interruzione (che velocizza l'esecuzione del codice), si è scelto di analizzare il segnale *BUSY*.

Per garantire l'invio di dati senza alcun tipo di perdita o ritardo si è fatto uso di un buffer circolare [25].

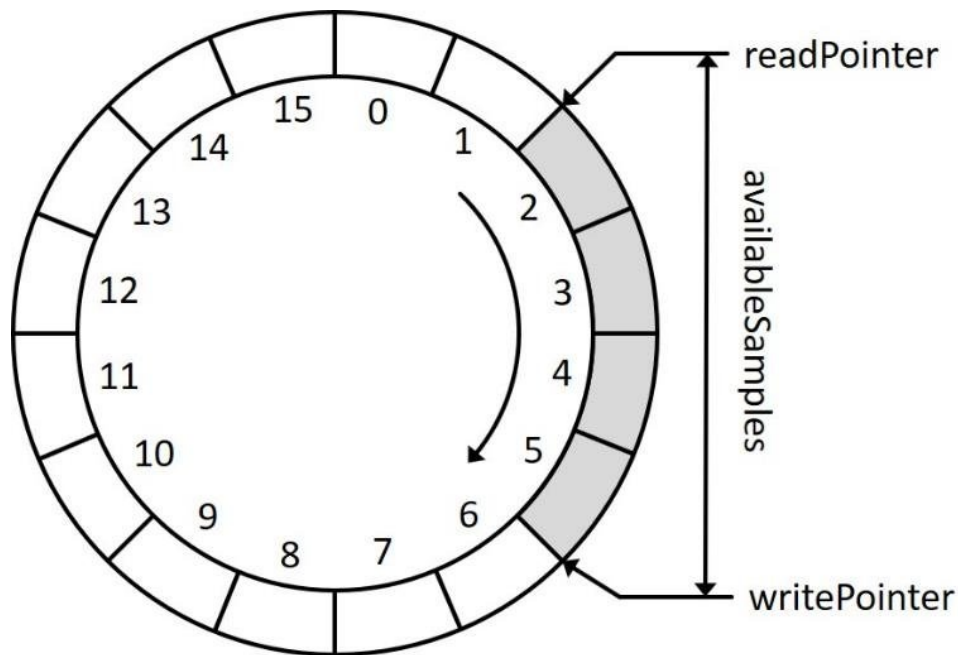


Figura 3.7.6: Struttura del buffer circolare

In figura 3.7.6 è presente la struttura base del sistema: i dati acquisiti vengono scritti in un *array* di elevata dimensione (allocato in RAM) e successivamente letti nella fase di invio tramite la porta seriale. In particolare, ogni qualvolta un dato risulta essere disponibile, questo viene salvato nella locazione puntata da *writePointer* e quest'ultimo viene incrementato. Nella fase di invio, invece, una certa quantità di dati inferiore o uguale ad *availableSpace* viene trasmessa a partire dalla locazione puntata da *readPointer*. Questo sistema presenta il grande vantaggio di garantire il salvataggio immediato dei dati che vengono letti dalle porte del μC , senza alcun tipo di ritardo che sarebbe introdotto da un invio completo e immediato tramite la porta seriale, che potrebbe portare a rallentamenti e mancati invii, in quanto, simultaneamente, il μC è impegnato nell'esecuzione delle routine relative alla trasmissione seriale.

Inoltre, questo sistema permette di realizzare un rapporto asincrono tra la fase di acquisizione e invio, permettendo l'invio simultaneo di più dati (nel caso caso in esame tale fattore è stato impostato a 7), garantendo così un miglioramento netto delle prestazioni. Infatti, l'invio di un singolo dato per ogni fase di acquisizione, risulta essere inefficiente in quanto si realizzano, al fine di completare una singola trasmissione, chiamate a diverse routine e ciò genera un elevato *overhead*. Sfruttando la presenza di diversi dati in attesa di invio, invece, viene ridotto il rallentamento e si migliora l'efficienza del codice. Pertanto, dopo aver completato 7 acquisizioni, i dati salvati vengono inviati e, solo dopo aver acquisito altri 7 dati, questi verranno nuovamente inviati. Nel listato 3.8 è presente il codice relativo alla lettura del Bus 16-bit.

Listing 3.8: Interrupt Service Routine: acquisizione dati

```
void EIC_Handler(void) {

    // Read first channel [INA] (Voltage)
    inA_1 = PORT_IIOBUS->Group[PORTA].IN.reg;
    inB_1 = PORT_IIOBUS->Group[PORTB].IN.reg;

    // Copy inA_1 / inB_1 bits to inAB and reorder
    inAB = ((inB_1 >> 10) & 1) << 15;
    inAB |= ((inB_1 >> 11) & 1) << 14;
    inAB |= ((inA_1 >> 7) & 1) << 13;
    inAB |= ((inA_1 >> 5) & 1) << 12;
    inAB |= ((inA_1 >> 4) & 1) << 11;
    inAB |= ((inA_1 >> 6) & 1) << 10;
    inAB |= ((inA_1 >> 18) & 1) << 9;
    inAB |= ((inA_1 >> 20) & 1) << 8;
    inAB |= ((inA_1 >> 21) & 1) << 7;
    inAB |= ((inA_1 >> 16) & 1) << 6;
    inAB |= ((inA_1 >> 19) & 1) << 5;
    inAB |= ((inB_1 >> 8) & 1) << 4;
    inAB |= ((inA_1 >> 10) & 1) << 3;
    inAB |= ((inA_1 >> 11) & 1) << 2;
    inAB |= ((inB_1 >> 2) & 1) << 1;
    inAB |= ((inA_1 >> 2) & 1);

    // Select channel B on the BUS
    PORT_IIOBUS->Group[PORTA].OUTCLR.reg = AB;

    // Update counters
    convSample++;
    convCounter++;

    // If needed: dummy operations for timing purposes

    // Read second channel [INB] (Current)
    inA_2 = PORT_IIOBUS->Group[PORTA].IN.reg;
    inB_2 = PORT_IIOBUS->Group[PORTB].IN.reg;

    // Copy inA_2 / inB_2 bits to inAB and reorder
    inAB |= ((inB_2 >> 10) & 1) << 31;
    inAB |= ((inB_2 >> 11) & 1) << 30;
    inAB |= ((inA_2 >> 7) & 1) << 29;
    inAB |= ((inA_2 >> 5) & 1) << 28;
    inAB |= ((inA_2 >> 4) & 1) << 27;
    inAB |= ((inA_2 >> 6) & 1) << 26;
    inAB |= ((inA_2 >> 18) & 1) << 25;
    inAB |= ((inA_2 >> 20) & 1) << 24;
```

```

inAB |= ((inA_2 >> 21) & 1) << 23;
inAB |= ((inA_2 >> 16) & 1) << 22;
inAB |= ((inA_2 >> 19) & 1) << 21;
inAB |= ((inB_2 >> 8) & 1) << 20;
inAB |= ((inA_2 >> 10) & 1) << 19;
inAB |= ((inA_2 >> 11) & 1) << 18;
inAB |= ((inB_2 >> 2) & 1) << 17;
inAB |= ((inA_2 >> 2) & 1) << 16;

// After reading V + I --> Save data
// Checks if index is inside the array bounds and save on the next
location
if(storageIndex < storageDim) {
    dataStorage[storageIndex] = inAB;
    dataSaved = true;
    storageIndex++;
}
// Checks if index is correct or not -> If it is outside the array
max index -> Index = 0
if(storageIndex >= storageDim) {
    storageIndex = 0;
    // If data has not been saved -> Save it
    if(!dataSaved) {
        dataStorage[storageIndex] = inAB;
        dataSaved = false;
    }
}

// Send data every 'sendBufDim' samples to improve Serial transfer
speed (larger packets --> faster serial)
if(convCounter == sendBufferDim) {
    // Set data available flag
    dataAvailable = true;
    convCounter = 0;
}

// Select channel A on the BUS (this is done at the end so that at
the next cycle channel A is already on the bus)
// The only problem is that the very first sample will be not
correct, from the next one everything will be correct.
// To solve this, we can sample n+1 samples and in MATLAB we can
discard the first (incorrect sample) -> This way we can solve the
// propagation delay problem and acquire at the same speed because
we did not increase the instruction number
PORT_IIOBUS->Group[PORTA].OUTSET.reg = AB;

// Clear interrupt flag
EIC->INTFLAG.reg = EIC_INTFLAG_EXTINT9;
}

```

L'interruzione, come già descritto in precedenza, viene eseguita durante il fronte di discesa del segnale *BUSY*, che determina il completamento della conversione di entrambi i sample (V, I). Per prima cosa si acquisisce il sample presente sul bus (relativo al valore di tensione), salvandolo su due variabili di appoggio: una relativa ai segnali collegati a *PORTA* e l'altra per il *PORTB*. Al fine di tenere in considerazione il tempo di propagazione massimo τ_{pdTOT} , si è preferito impostare il segnale A/\overline{B} a stato logico alto (per portare il sample del canale A sulle linee digitali) alla fine della routine di interruzione, e non immediatamente dopo l'acquisizione del primo canale. In questo modo, alla fine di ogni conversione, i dati relativi al sample di tensione saranno già presenti sul bus: ciò garantisce l'uso di un numero ridotto di istruzioni, senza la necessità di doverne inserire alcune adibite al solo scopo di ritardare l'esecuzione del programma. L'unico aspetto negativo consiste nel dover eliminare il primo campione acquisito in una sessione di acquisizione, in quanto contenente un valore non valido, perché relativo a uno stato sconosciuto del valore presente sulle linee digitali in uscita dall'ADC. Il problema si risolve facilmente in fase di post-acquisizione, andando ad eliminare sistematicamente il primo dato acquisito. A questo punto, si esegue un riordinamento dei bit acquisiti al fine di ottenere la word relativa al valore di tensione in un dato istante temporale, inserendola in un numero intero senza segno a 32 bit (*inAB*), che conterrà anche il sample di corrente relativo allo stesso istante temporale. Questo passaggio è necessario perché, leggendo sequenzialmente i segnali collegati alle porte del μC , ovviamente l'ordine di lettura non rispecchia l'ordine di scrittura del numero binario acquisito. Infatti, i segnali sono stati collegati alle porte ai fini di ridurre al minimo i passaggi tra diversi layer del PCB e la lunghezza delle piste e non al fine di garantire la lettura diretta della parola a 16 bit. Istruzioni analoghe vengono eseguite per il secondo canale (per acquisire il sample relativo al valore di corrente) e, successivamente, viene eseguita un'operazione di riordinamento del tutto simile a quella realizzata per il primo canale. A questo punto, la word di 32 bit contenente i sample di tensione e corrente può essere salvata. Si procede, quindi, al salvataggio dei due sample sul buffer circolare: si verifica anticipatamente che il buffer possa contenere il nuovo sample in una locazione contigua a quella precedentemente utilizzata, altrimenti si procede a salvare il nuovo dato a partire dalla locazione iniziale, da qui deriva la natura circolare del buffer utilizzato. Il flag di abilitazione della trasmissione seriale è abilitato solo quando si è acquisita una quantità sufficientemente elevata di dati, descritta da *sendBufferDim*, per le questioni di efficienza e velocità di esecuzione espresse in precedenza. A questo punto, viene selezionato il canale A dell'ADC impostando in *HIGH* la linea A/\overline{B} . In questo modo, nel periodo di campionamento successivo, sarà già presente il sample relativo al canale A (tensione) sulle linee digitali. Al termine della ISR si resetta il flag di interruzione al fine di permettere l'esecuzione di una nuova interruzione al prossimo fronte di discesa del segnale *BUSY*.

Invio dati tramite porta seriale

Come già citato, l'invio dei dati è stato realizzato mediante una comunicazione seriale, sfruttando l'interfaccia USB offerta dal microcontrollore. Al fine di garantire una migliore portabilità del software, si è fatto uso delle primitive Arduino, rendendo facile l'implementazione con *board* più performanti. L'istruzione `Serial.write(dataBuffer, n)` messa a disposizione da Arduino IDE, garantisce la trasmissione di un buffer `dataBuffer` di lunghezza n senza che questo venga formattato e convertito prima della trasmissione stessa (al contrario di istruzioni come `Serial.print()`, la quale esegue una serie di controlli di tipo e successive conversioni al fine di poter trasmettere diversi tipi di dato tramite la porta seriale). L'assenza di eccessivo *overhead* è un aspetto cruciale del progetto: ulteriore ritardo dovuto a queste conversioni produrrebbe tempi di esecuzione troppo lunghi e non sarebbe possibile garantire un tempo sufficiente per acquisire ed inviare i dati. Il bit-rate relativo al flusso di dati trasmesso è dato dalla 3.11.

$$R = f_s L \quad (3.11)$$

Dove f_s rappresenta la frequenza di campionamento del sistema e L la lunghezza di ogni dato convertito. Si hanno $f_s = 40kHz$, $L = 32bit$ (in quanto vengono convertiti simultaneamente corrente e tensione, costituiti da 16 bit ciascuno). Tuttavia, considerando che:

- La trasmissione è stata ottimizzata inviando numeri esadecimali al fine di limitare il numero di caratteri inviati. Infatti, nel caso di massimo numero di caratteri inviati per trasmettere i sample V-I, in base 10 si dovrebbero trasmettere 10 caratteri, mentre in esadecimale solamente 4, per esempio: $2^{32} - 1$ è il massimo intero rappresentabile in 32 bit ed è pari a $(4294967295)_{10} = (FFFF)_{16}$, pertanto saranno inviati 4 caratteri per un sample di corrente e altri 4 per uno di tensione al posto di 20 caratteri totali che si avrebbero in base 10.
- La trasmissione seriale avviene mediante l'invio di caratteri ASCII, dove ogni carattere viene trasmesso sotto forma di numero a 8 bit.
- Al fine di delimitare opportunamente i dati è stato usato il carattere ASCII *Line Feed* (o LF) al termine di ogni campione trasmesso.

Pertanto il numero di bit trasmessi per ogni coppia di sample (V, I) è:

$$L = 72bit$$

E il bit-rate effettivo, che include tutti gli aspetti citati, è:

$$R = 2.88Mbit/s = 360kB/s$$

Tale bit-rate pone delle restrizioni particolari sul microcontrollore e interfaccia USB di cui è dotato. Usando il SAMD21, si ha a disposizione un'interfaccia compatibile con lo standard USB 2.1 e può raggiungere una velocità teorica massima pari a 12 Mbit/s. Inoltre, il massimo *payload* in trasmissione è pari a 1023 bytes. Tuttavia, dai test di trasmissione effettuati, la velocità effettiva si è dimostrata essere fortemente dipendente dal sistema operativo / hardware utilizzato in fase di trasmissione, dalla dimensione del buffer utilizzato e dalla gestione del software. Come già descritto, si è fatto uso di un buffer circolare per trasmettere i campioni. Si è notato, infatti, il netto miglioramento delle prestazioni inviando pacchetti di 7 campioni corrente-tensione alla volta e ciò è da attribuirsi al fatto che l'operazione di scrittura su porta seriale mediante interfaccia USB richiede l'esecuzione di una serie di routine. Inviando più campioni per ogni chiamata viene diminuito, quindi, tale *overhead*. Inizialmente, inviando solo un campione al termine della fase di acquisizione dello stesso, si sono trovate forti discrepanze nella gestione della trasmissione da parte dei sistemi Windows e macOS, i quali gestiscono in modo diverso il flusso di dati in ingresso. Nuovamente, aumentando la dimensione del buffer tali discrepanze sono andate via via scemando e le prestazioni sono risultate circa al pari tra i due sistemi. Nel listato 3.9, è presente un estratto del loop principale, in cui si esegue l'invio di un blocco di campioni acquisiti per periodo di acquisizione.

Listing 3.9: Main loop: trasmissione seriale

```

void loop() {
    // Send data: data is sent in HEX to reduce "Serial.write" overhead
    if(dataAvailable) {

        // Reset conversion index
        i = 0;

        for(loopIndex=0; loopIndex <= (sendBufferDim - 1); loopIndex++) {
            // Data conversion: from uint32_t to char[]
            while(dataStorage[sendIndex] != 0) {
                rem = dataStorage[sendIndex] % 16;
                dataBuffer[i++] = (rem > 9) ? (rem - 10) + 'a' : rem + '0';
                dataStorage[sendIndex] = dataStorage[sendIndex]/16;
                charCount++;
            }

            #ifdef FILL_WITH_ZEROS
            while(charCount < 8) {
                dataBuffer[i++] = '0';
                charCount++;
            }
            #endif

            #ifdef REVERSE_STRING
            // Point to the last character (not the string terminator)
            // --i;
            ii = i - 1;
            j = ii - charCount + 1;

            // Reorder numbers
            while(ii > j) {

```

```

    // Save leftmost number in a temp variable
    temp = dataBuffer[ii];
    // Swap leftmost number with rightmost number
    dataBuffer[ii] = dataBuffer[j];
    // Assign to the rightmost number the leftmost number
    dataBuffer[j] = temp;
    --ii;
    ++j;
}
#endif

// Clear character counter
charCount = 0;

// Append "LF" ASCII terminator (appended after each 32bit data
value)
dataBuffer[i++] = 10;

// Update counters
sentSample++;
sendIndex++;

// If all the buffer has been used --> Start reading from the
first index
if(sendIndex == storageDim) {
    sendIndex = 0;
}

}

// Send data (Send n samples at a time to improve data rate)
SerialUSB.write(dataBuffer, i);

// Indicate that no new data needs to be sent
dataAvailable = false;
}
else if(convSample >= sampleToAcquire) {
    // If maximum time is reached then stop acquisition and continue
    sending the remaining samples
    if(!timeTaken) {
        EIC->INTENCLR.reg |= EIC_INTENCLR_EXTINT9;

        sendComplete = true;
        dataAvailable = false;
        timeTaken = true;
    }
    if(sentSample < convSample) {

// The code is not written because it is analogous to the previous
section

    }
    else {
        dataAvailable = false;
        endTime2 = TC4->COUNT32.COUNT.reg;
        stopAcquire();
    }
}
}
}
}
}
}

```

Il processo di trasmissione seriale ha inizio con il controllo del flag *dataAvailable*: quando sono stati acquisiti *sendBufferDim* samples si avvia la trasmissione. Si procede quindi ad inviare i dati, salvati nel buffer circolare, come caratteri a 8 bit in esadecimale, al fine ridurre al minimo la lunghezza della parola da trasmettere. I dati vengono trasmessi a lunghezza fissa, a prescindere dal valore campionato dall'ADC, in modo da poter distinguere senza ambiguità il sample relativo al valore di tensione e quello relativo al valore di corrente. La sezione *FILL_WITH_ZEROES* esegue, infatti, il riempimento dei caratteri non utilizzati aggiungendo degli 'zeri' quando sono presenti parole con meno di 4 caratteri, al fine di mantenere la stessa lunghezza per ogni coppia di sample tensione-corrente inviata. Al fine di ridurre al minimo il tempo di esecuzione, la sezione *REVERSE_STRING* non è stata compilata: la stringa è stata inviata senza alcun tipo di rotazione che avrebbe lo scopo di garantire il posizionamento dell'MSB a sinistra e dell'LSB a destra. Questa operazione è stata eseguita dopo la trasmissione utilizzando il software MATLAB [34]. Si procede con l'aggiornamento dei contatori e si controllano i *bound* del buffer: in caso di raggiungimento della coda del buffer si riparte inviando i dati dalla locazione iniziale. Infine, si esegue l'invio effettivo della coppia di dati tensione-corrente. Una volta inviato il numero di campioni desiderato (*sampleToAcquire*), si blocca l'acquisizione (interrompendo il verificarsi di ulteriori interruzioni) e, se sono presenti dati rimanenti sul buffer, si termina la trasmissione dei dati residui. L'intero processo è ora terminato.

Capitolo 4

Verifiche sperimentali

4.1 Prototipo del sistema di acquisizione

In figura 4.1.1 è presente il PCB relativo ad un singolo modulo di acquisizione.

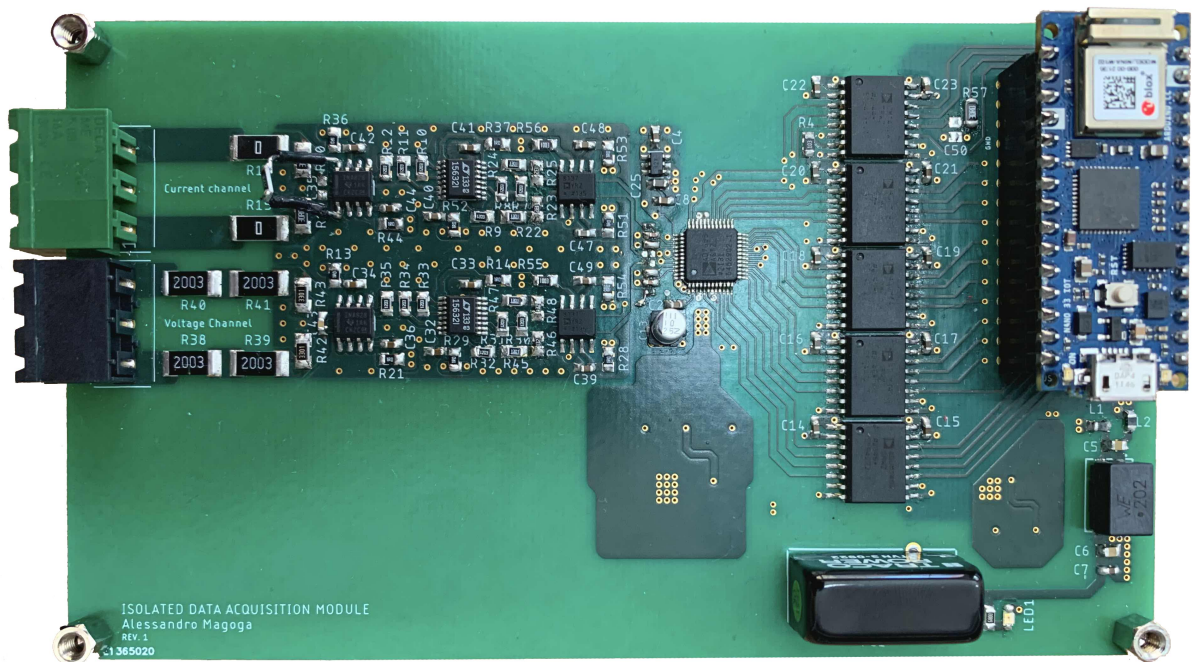


Figura 4.1.1: Prototipo del sistema di acquisizione

E' stato eseguito il montaggio di tutti i componenti su scheda a partire da quelli passivi e dal sistema di alimentazione, in modo da valutare preventivamente la presenza delle tensioni calcolate in fase di progetto. Successivamente, si è eseguito il montaggio della sezione di condizionamento 3.2, dell'ADC 3.3 e del banco di isolatori digitali 3.4. Ad ogni step di montaggio, si sono controllate le temperature di esercizio mediante l'uso della termocamera [32], in modo da diagnosticare preventivamente la presenza di malfunzionamenti dei dispositivi integrati e di cortocircuiti.

4.2 Stadio di alimentazione

4.2.1 Filtro EMI

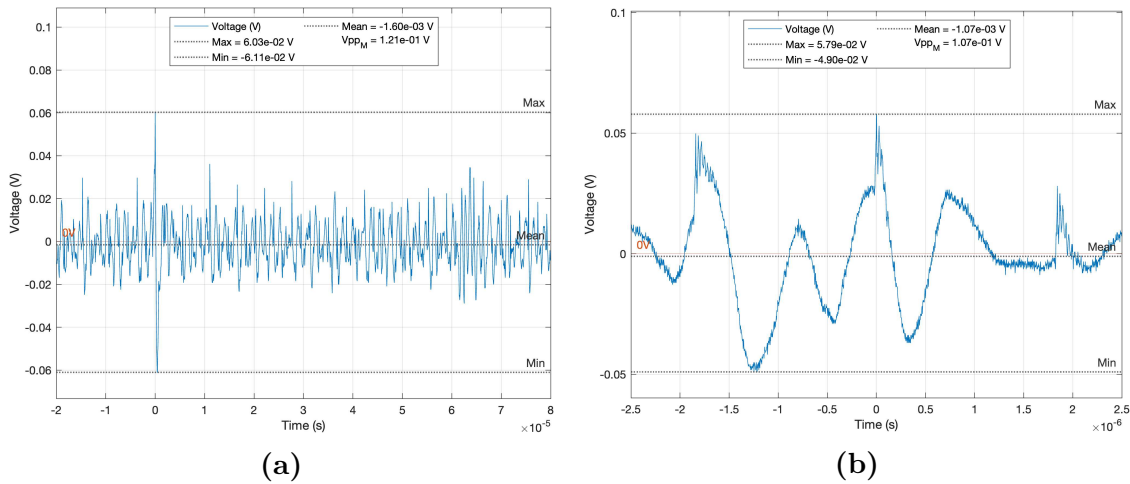


Figura 4.2.1: Disturbi nella sezione non filtrata dal filtro EMI: (a) Visualizzazione su larga scala temporale dei disturbi generati dal convertitore DC-DC presenti nella sezione non isolata (b) Dettaglio sui disturbi generati dal convertitore DC-DC

Come si nota dalle figure 4.2.1, il valore picco-picco massimo dei disturbi generati dal convertitore è di oltre 100mV, e risiede in un range di frequenze multiple della frequenza di switching, pari a 100kHz. Tuttavia, dato che il dispositivo sfrutta una modulazione PFM (*Pulse Frequency Modulation*), f_s può variare in funzione della corrente di carico, pertanto la frequenza di switching del convertitore non è costante. Questi disturbi tendono a propagarsi sulle linee di alimentazione che collegano il convertitore stesso all'alimentazione esterna (disturbi condotti) e devono essere limitati secondo le normative vigenti.

Al fine di ridurre l'ampiezza effettiva di tali disturbi, è stato utilizzato il filtro EMI discusso nella sezione 3.1.2 e si sono ricavati i risultati in figura 4.2.2.

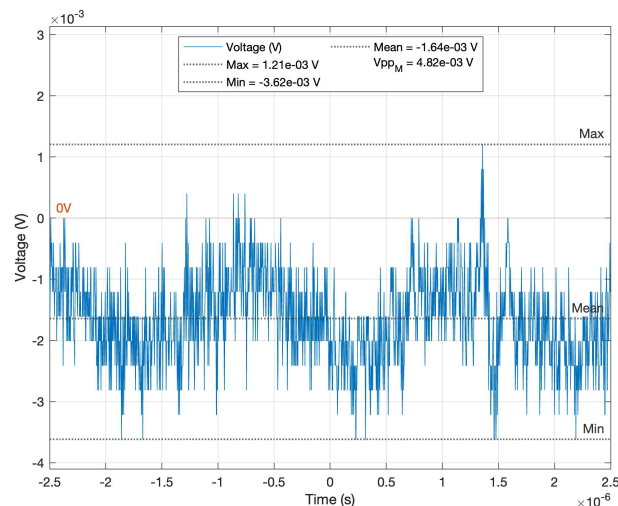


Figura 4.2.2: Disturbi nella sezione filtrata

Si nota che, ora, l'ampiezza massima dei disturbi misurata è pari a circa 5mV, ossia si è ridotto l'effetto di un fattore 20 circa, confermando l'efficacia del filtro.

4.2.2 Convertitore DC-DC isolato e regolatori di tensione lineari (LDO)

Per quanto riguarda l'alimentazione, il motivo per cui si è reso necessario l'utilizzo dei regolatori lineari risiede nell'ondulazione residua che viene generalmente prodotta in uscita dai convertitori switching. In figura 4.2.3 è possibile notare l'ampia differenza nel *ripple* residuo in uscita dai due sistemi di alimentazione. L'elevato PSRR del regolatore lineare permette di eliminare pressoché totalmente l'ondulazione residua del convertitore DC-DC e il *ripple* residuo in uscita dai regolatori lineari risulta essere quasi nullo.

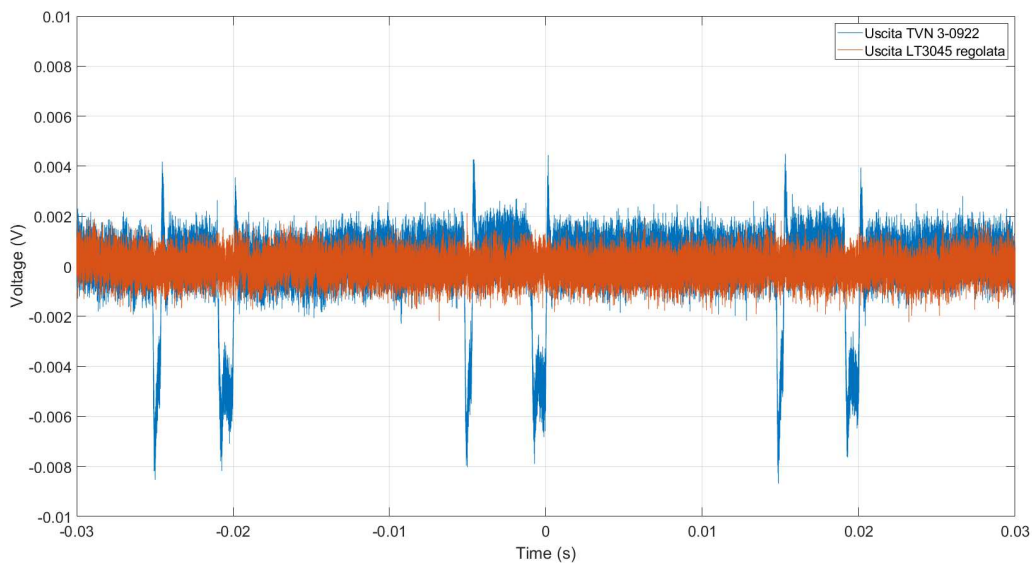


Figura 4.2.3: Confronto tra l'uscita del convertitore DC-DC TVN 3-0922 e il regolatore lineare LT3045 (accoppiamento AC)

Dal punto di vista della corrente assorbita, il sistema risulta consumare circa 350 mA durante la fase di acquisizione. Al fine di garantire condizioni di lavoro ottimali e temperature entro i limiti descritti dai costruttori (soprattutto per i regolatori lineari di tensione e il convertitore DC-DC), è stato possibile stimare le temperature di esercizio a regime mediante l'uso della termocamera [32].

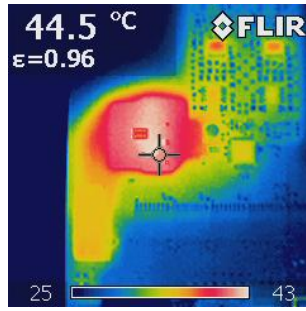


Figura 4.2.4: Riscaldamento dell'area di rame

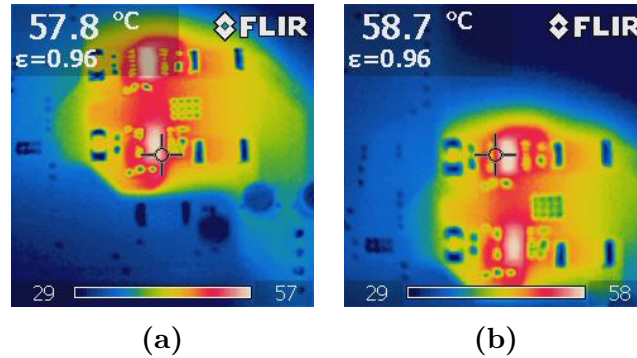


Figura 4.2.5: Temperature sui regolatori di tensione lineari a regime

Dalle analisi eseguite con la termocamera, come mostrato nelle figure 4.2.4 e 4.2.5, è possibile confermare che le temperature misurate sono all'interno del range massimo per i dispositivi sotto test. Infatti, dalle specifiche ricavate dal datasheet dei regolatori lineari [15], [16], si ha: $P_{D,MAX} = I_{OUT,(MAX)}(V_{IN,(MAX)} - V_{OUT}) + I_{GND}V_{IN,(MAX)} \approx 150mA * (12V - 5V) + 12.5mA * 12V \approx 1.2W$. Pertanto la temperatura di giunzione massima è data da: $T_{j,MAX} = T_a + P_{D,MAX}R_{th}$, con $T_a \approx 30^\circ C$, $R_{th} \approx 35 \frac{^\circ C}{W}$. Si ottiene: $T_{j,MAX} \approx 72^\circ C$, pertanto i regolatori lineari, anche nel *worst-case*, riescono a dissipare il calore generato senza alcun tipo di rischio di surriscaldamento eccessivo, essendo $T_{j,LIM} = 125^\circ C$.

Inoltre, si può notare l'importanza del piano di massa introdotto nella zona dei regolatori di tensione. Il piano di massa è collegato direttamente all'*E-Pad* dei regolatori lineari [15], [16] e ciò garantisce un ampio trasferimento del calore che si propaga direttamente sul rame e da quest'ultimo in aria per irraggiamento.

4.3 Caratterizzazione del sistema di acquisizione

La campagna di test si è sviluppata in diverse fasi. I primi test hanno avuto come obiettivo l'analisi dello stadio di Front-end 3.2, dove si è fatto uso di un generatore di segnali integrato all'oscilloscopio [28] per l'esecuzione delle prime misure, al fine di verificare in forma generale le caratteristiche di questo primo stadio, la sua linearità e la risposta in frequenza, ricavando il diagramma di Bode. Successivamente, lo studio si è concentrato

sull'analisi in potenza con assorbimento da parte di un carico attivo, dove si è eseguita la linearizzazione del sistema complessivo e la misura di entrambe le grandezze sotto test.

4.3.1 Risposta in frequenza dello stadio di condizionamento

Durante la prima fase, si è posta l'attenzione sulla banda effettiva del sistema e, in particolare, sulla risposta in frequenza misurata tra l'ingresso del sistema complessivo e l'uscita dell'amplificatore differenziale AD8137, al fine di verificare le specifiche desiderate in termini di banda passante e fase. Per generare i segnali di test, si è fatto uso del generatore integrato all'oscilloscopio Rohde & Schwarz RTA4004 [28]. Il generatore in questione permette di generare segnali in tensione fino a $5V_{pp}$, valore di gran lunga inferiore rispetto al range di tensioni analizzabili dal sistema, che può accettare fino a $400V_p$ all'ingresso di misura di tensione. Al fine di generare un segnale elettricamente isolato dall'oscilloscopio e di ampiezza sufficientemente elevata per poter essere processata senza livelli eccessivi di rumore dallo stadio di tensione (per la presenza di un partitore di tensione che porta ad un abbassamento di un fattore ≈ 121), si è fatto uso di un trasformatore a 50Hz con primario 0-230V e secondario 0-9V a presa centrale, al fine di generare un segnale AC da applicare all'ingresso del sistema stesso. E' importante che il trasformatore utilizzato sia adatto a lavorare nel range di frequenze che si vogliono studiare. Pertanto, è stata determinata la risposta in frequenza del trasformatore, mostrata in figura 4.3.1.

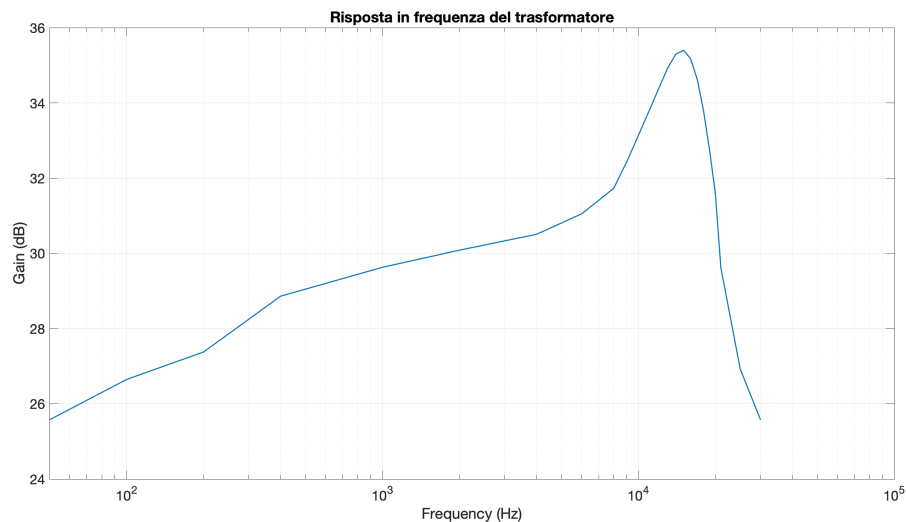


Figura 4.3.1: Modulo della risposta in frequenza del trasformatore utilizzato

Come si può notare, il guadagno introdotto dal trasformatore è fortemente variabile all'interno del range di frequenze di interesse. Quindi, al fine di ottenere la risposta in frequenza dello stadio di condizionamento, è stata misurata la tensione di ingresso al partitore di tensione (rispetto al nodo di riferimento) e quella in uscita dallo stadio differenziale (sempre rispetto al nodo di riferimento), per entrambi i canali di tensione e corrente, come mostrato nello schema elettrico relativo alla sezione di Front-end [B.0.1].

Iniettando il segnale del DSO al secondario del trasformatore, otterremo quindi un innalzatore di tensione con rapporto spire teorico pari a $\frac{230}{9} \approx 26$. Per esempio, applicando un segnale in corrente alternata pari a 1Vpp, si otterrà in uscita dal primario un segnale di circa 26Vpp.

Il setup utilizzato è visibile in figura 4.3.2.

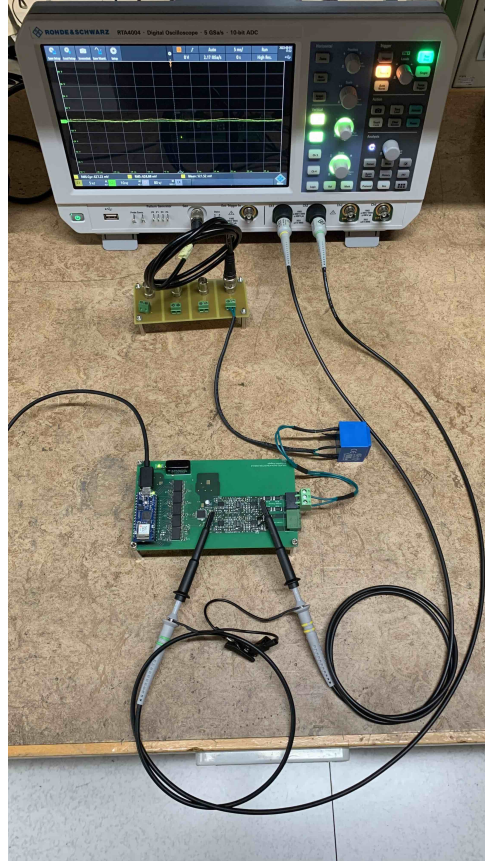
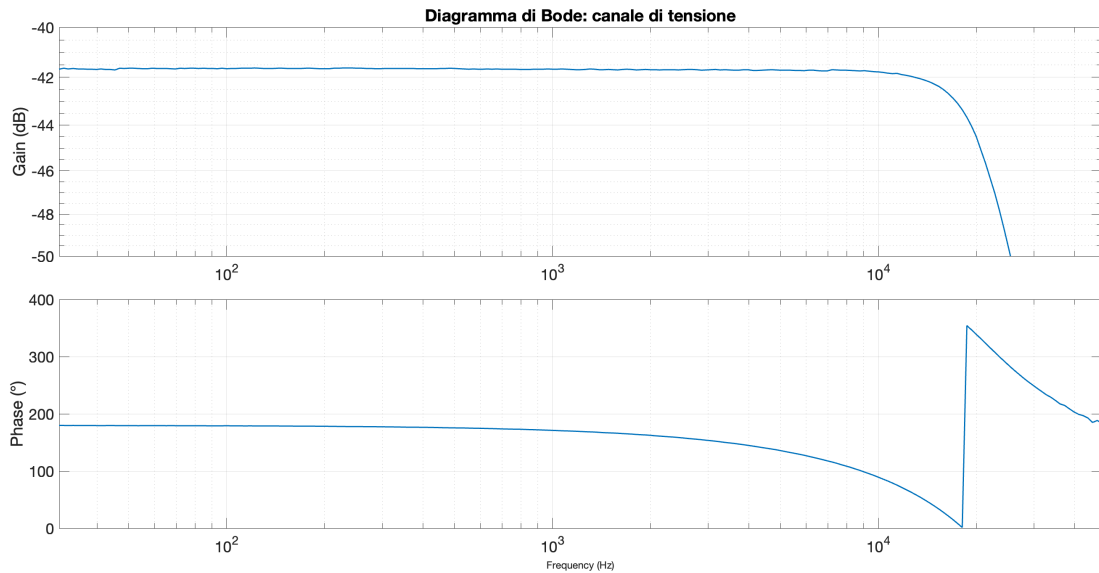


Figura 4.3.2: Setup di misura

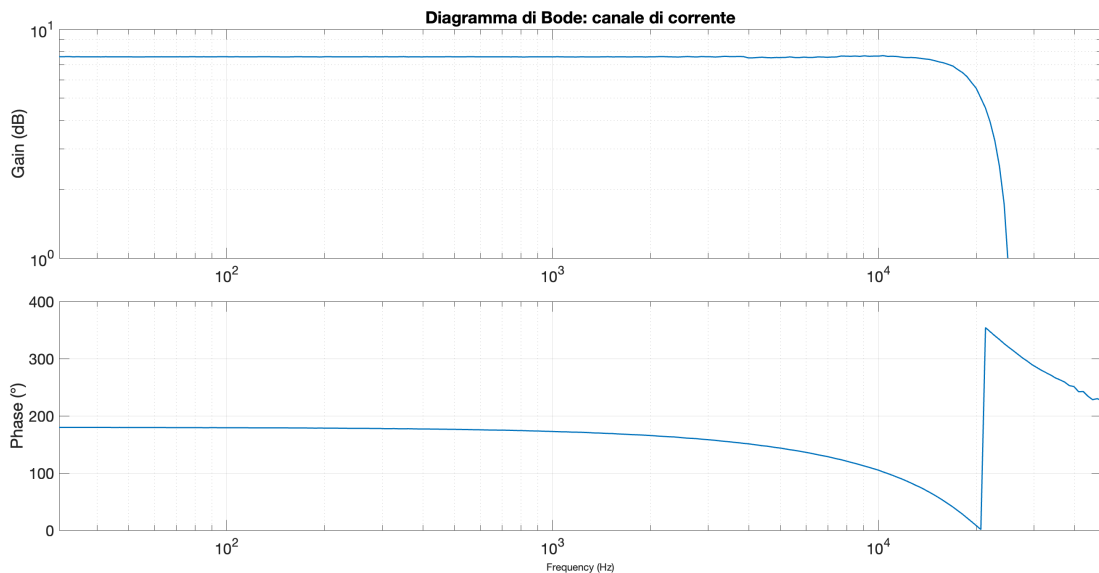
Il segnale prodotto dal generatore integrato all'oscilloscopio [28], viene collegato all'ingresso del trasformatore tramite una *board* di collegamento per interfacciare il cavo BNC al connettore CTB9302/3 presente sul prototipo. A questo punto il segnale in uscita dal trasformatore, amplificato in ampiezza, viene iniettato nella scheda di acquisizione sul canale di tensione. Per il canale di corrente, invece, il segnale è stato iniettato invertendo il collegamento del trasformatore e si è impostata una tensione sufficientemente alta sul generatore di segnali del DSO, dato che in questo caso il trasformatore riduce la tensione in ingresso al canale in questione. I probe dell'oscilloscopio sono stati posizionati come in figura 4.3.2, in modo da poter acquisire il segnale in ingresso al partitore resistivo e quello in uscita dall'amplificatore differenziale AD8137 [18].

Al fine di eseguire la misura, è stata utilizzata la funzione *Bode* dell'oscilloscopio [28]. Questo ambiente, permette di impostare il range di frequenze di interesse su cui eseguire lo *sweep* in frequenza, oltre al numero di punti per decade, al fine di aumentare la granularità della misura effettuata.

I risultati sono riportati nelle figure 4.3.3a e 4.3.3b.



(a) Diagramma di Bode relativo al canale di tensione

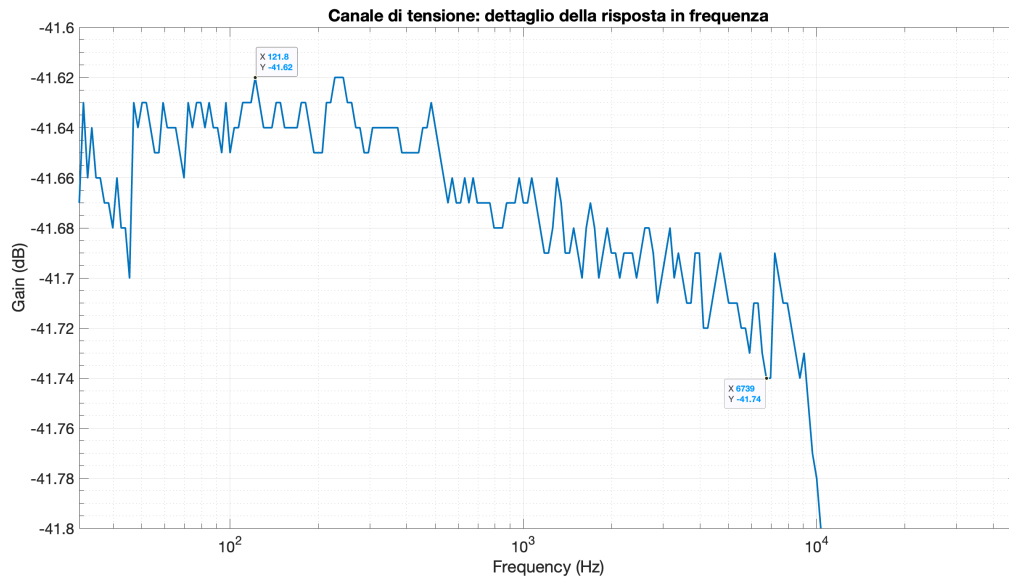


(b) Diagramma di Bode relativo al canale di corrente

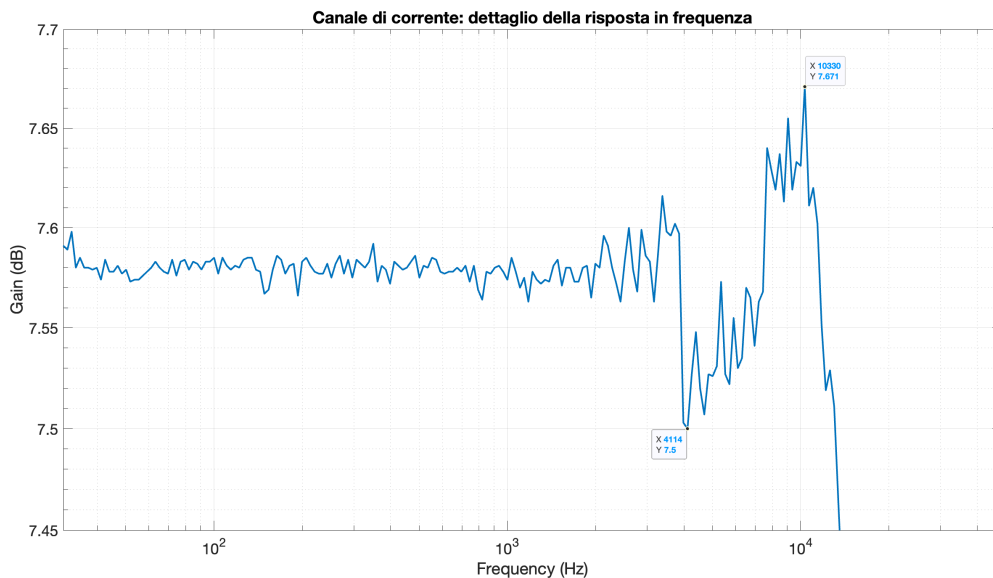
Figura 4.3.3: Diagrammi di Bode dei canali di ingresso

Osservando la traccia dei diagrammi di Bode rappresentati in figura 4.3.3, si nota molto bene che i canali di ingresso presentano un guadagno costante fino alla frequenza di taglio, ossia attorno ai 20kHz. In prossimità della frequenza di taglio si nota un'inversione di fase, in quanto il filtro è del 4 ordine. E' importante che la banda risulti piatta e che la fase risulti rimanere il più costante possibile all'interno del range di interesse. In particolare, modulo e fase presentano caratteristiche molto buone fino alla frequenza di 10kHz, dopo la quale cominciano a manifestarsi gli effetti di riduzione del modulo e di inversione di fase tipici di ogni filtro passa-basso.

Al fine di poter analizzare il comportamento in prossimità della frequenza di taglio del sistema, è stato ricavato il dettaglio del modulo della risposta in frequenza.



(a) Dettaglio sul canale di tensione



(b) Dettaglio sul canale di corrente

Figura 4.3.4: Dettaglio sul modulo della risposta in frequenza

Come mostrato nelle figure 4.3.4a e 4.3.4b, si notano delle leggere asimmetrie sul modulo della risposta in frequenza. In particolare, il canale di tensione sembra essere caratterizzato da una leggera attenuazione del modulo in prossimità della frequenza di taglio, con uno scarto tra valore massimo e minimo pari a circa 0.12dB. Il canale di corrente, al contrario, presenta un fenomeno di risonanza all'avvicinarsi della frequenza di taglio, con una variazione pari a circa 0.171dB.

Le cause che possono giustificare dei simili andamenti risiedono nella presenza di elementi parassiti distribuiti su tutta la catena di condizionamento. In particolare, la risposta del filtro *anti-aliasing* è determinata dalle capacità integrate nel chip e dai resistori esterni: le capacità parassite esterne che si inseriscono in parallelo o verso la massa del sistema

isolato, possono alterare la funzione di trasferimento, come discusso nella sezione 3.2.4.

Inoltre, data l'assenza di *test point* fisici all'interno della scheda, la variabilità, seppur bassa, può essere causata dal poco efficace contatto elettrico tra le sonde di tensione utilizzate e le parti metalliche dei componenti nel circuito.

Infine, si è svolta una normalizzazione dei guadagni al fine di poter confrontare in modo diretto le prestazioni dei due stadi e valutare le frequenze di taglio effettive.

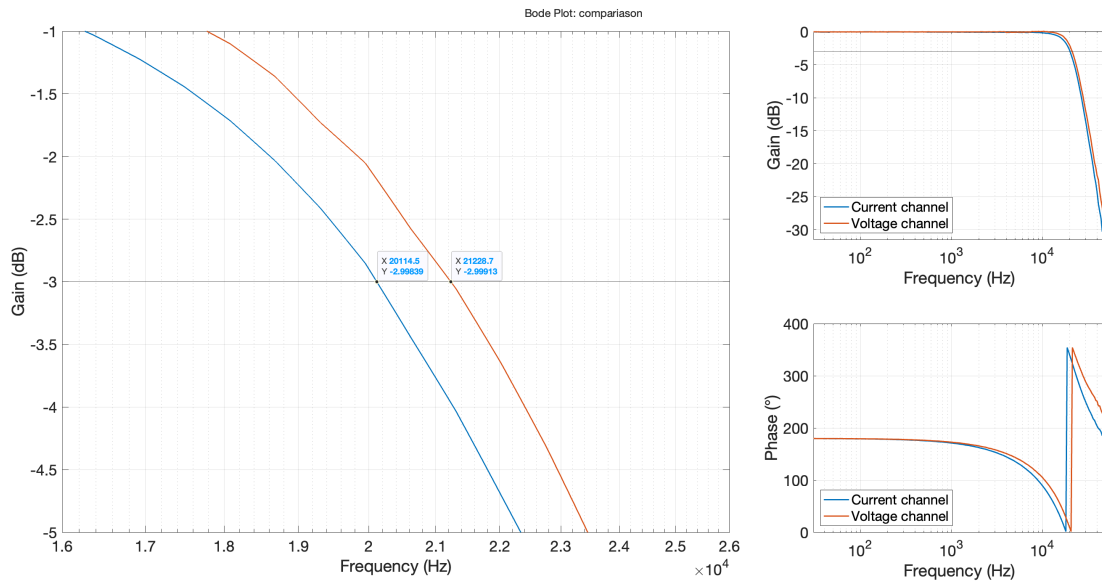


Figura 4.3.5: Confronto tra le risposte in frequenza dei due stadi

Come si può notare in figura 4.3.5, l'andamento di modulo e fase è pressoché identico, con differenze più marcate avvicinandosi alla frequenza di taglio. Il canale di tensione presenta una frequenza di taglio a -3dB rispetto al valore normalizzato del modulo, pari a $20.11kHz$, che produce uno scarto percentuale rispetto al valore teorico pari allo 0.55%. Per il canale di corrente, invece, si è ottenuta una frequenza di taglio a $21.22kHz$, con scarto percentuale del 6.1%. La causa principale di questa differenza risiede perlopiù nella tolleranza di fabbricazione dei resistori scelti. In particolare, sono stati scelti resistori con tolleranza dello 0.5%. Al fine di diminuire questa discrepanza, per i futuri sviluppi del progetto è consigliabile l'uso di resistori con tolleranza dello 0.1%. Inoltre, come già notato, la possibile presenza di capacità parassite può alterare la funzione di trasferimento reale, modificando nuovamente la frequenza di taglio e la risposta in frequenza del sistema.

4.3.2 Verifica dei segnali di controllo

Al fine di poter completare con successo i test successivi, si è posta l'attenzione sullo stadio di conversione analogico-digitale e, in particolare, sulle linee di controllo dirette verso l'ADC in uso. In figura 4.3.6, è presente la forma d'onda relativa al segnale *CNVST*, che avvia la conversione dati, abilitando l'ADC. L'acquisizione, una volta iniziata, non può

essere interrotta e deve essere riavviata quando la precedente è stata completata: ciò fornisce un sistema molto semplice per poter controllare a piacere la velocità di conversione, mediante un segnale periodico di controllo. Dalla figura 4.3.6 si nota che, come raccomandato dal datasheet, il segnale $CNVST$ presenta fronti verticali con tempo di salita molto rapido ed è privo di sovranelongazioni e/o *ringing* nelle fasi di transizione di stato. Grazie a questa analisi preliminare possiamo confermare che l'ADC è controllato opportunamente dal punto di vista dell'avvio delle conversioni. Altri test simili sono stati effettuati sulle linee $BUSY$, EOC e A/\overline{B} , al fine di potersi assicurare del corretto funzionamento del sistema. Come già citato nel capitolo 3.6, è stata posta particolare attenzione alla generazione del segnale A/\overline{B} , al fine di evitare sovrapposizione di campioni o acquisizioni errate, entrambe causate dalle tempistiche non nulle relative alla propagazione dei segnali sia per quanto concerne la propagazione sul PCB che all'interno dei dispositivi.

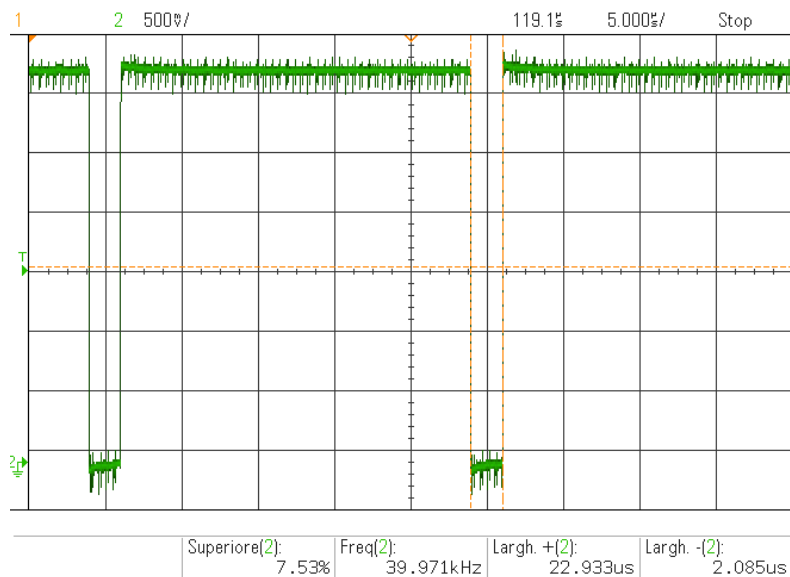


Figura 4.3.6: Andamento temporale del segnale $CNVST$

Come si può notare, la frequenza di generazione del segnale $CNVST$ è di circa 40kHz, con larghezza dell'impulso di attivazione della conversione pari a circa $2\mu s$, valore impostato in fase di realizzazione del software. Si ricorda che, come descritto in sezione 3.3.1 e 3.3.2, la durata di tempo minima dell'impulso di valore logico basso da generare è pari $t_1 = 5ns$. Impulsi di durata inferiore non possono essere interpretati correttamente dalla logica di avvio conversione dell'ADC stesso [17] [pagina 5].

4.3.3 Prestazioni del sistema complessivo

La seconda fase di test, invece, si è concentrata sul sistema complessivo, analizzando la relazione tra ingresso analogico e uscita digitale del sistema, per entrambi i canali di acquisizione. Dato che il prototipo di acquisizione ha mostrato dei buoni risultati a bassa potenza, come mostrato in sezione 4.3.1, si è eseguita una campagna di misure atte a

determinare le prestazioni del sistema con carichi ad elevata potenza, verificando, inoltre, la linearità dei canali di acquisizione al variare della tensione di alimentazione e della corrente di carico.

Tra gli obiettivi finali del progetto si vogliono ricavare gli andamenti temporali delle forme d'onda di tensione e corrente e analizzarne i parametri fondamentali, grazie all'uso del software per il calcolo numerico MATLAB [34]. In particolare, si analizzeranno grandezze come il valore RMS, di picco, picco-picco, il contenuto in frequenza e la distorsione armonica dei segnali di tensione e corrente: sono tutti parametri essenziali al fine di valutare la *Power Quality* della rete sotto test. Inoltre, al fine di determinare il fattore di potenza, è stato valutato il rapporto tra la potenza attiva e la potenza apparente, calcolato su una serie di periodi del segnale, avente fondamentale con frequenza pari a 50Hz (circa 25 periodi). $PF = \frac{P}{S} = \frac{VI \cos(\phi)}{VI}$, dove P = potenza attiva, S = potenza apparente e ϕ = sfasamento tensione-corrente.

In particolare, la potenza attiva è stata calcolata come $P = \frac{\sum_{i=1}^n v_i i_i}{n}$ con: v_i, i_i = campioni i-esimi di tensione e corrente, n = numero di campioni in un periodo di acquisizione. Mentre, la potenza apparente come $S = V_{RMS} I_{RMS}$. Da queste considerazioni, per la relazione tra P, Q, S: $Q = \sqrt{S^2 - P^2}$.

Per poter ricostruire il valore istantaneo delle grandezze analizzate, dal quale si possono ricavare tutte le specifiche richieste, si sono dovuti tenere in considerazione tutti i guadagni (o attenuazioni) introdotti dai rispettivi canali di acquisizione. Al fine di ottenere la massima fedeltà della misura, si sono valutati preventivamente i valori di tutte le resistenze utilizzate all'interno di ogni canale di acquisizione, in modo da rendere minimo l'errore residuo commesso sulla misura finale e ricostruita grazie alla catena di acquisizione descritta in 2.0.1.

Valutazione delle caratteristiche del sistema: contributi d'errore e taratura

Come per ogni altro sistema di acquisizione, è di fondamentale importanza garantire la linearità della misura all'interno di tutto il range analizzabile dallo strumento.

Dato che ogni sistema di misura presenta sempre degli errori sistematici che intervengono nella misura, questi sono stati preventivamente eliminati, avviando un'acquisizione a ingressi scollegati. L'offset introdotto intrinsecamente da ogni stadio di acquisizione, quindi, è stato caratterizzato e annullato prima di eseguire alcun tipo di misura, al fine di minimizzare gli effetti additivi che si verrebbero a creare.

Inoltre, la procedura alla quale devono essere periodicamente sottoposti tutti gli strumenti di misura è la taratura, ossia un processo con il quale si aumenta il livello di accuratezza dello strumento (ossia si diminuisce la distanza tra il valore misurato rispetto al valore vero della misura stessa, che è sempre ignoto) al fine di poter minimizzare la distanza con il valore fornito da uno strumento di riferimento. Per poter tarare il sistema in esame, infatti, si è fatto uso di una taratura basata sul confronto con una grandezza campione. La grandezza campione viene misurata con uno strumento tarato, di riferi-

mento, e il risultato ottenuto viene confrontato con quello ricavato dal sistema da tarare. In questo modo, è possibile determinare la distanza rispetto al valore presumibilmente vero, a meno di un certo intervallo di incertezza relativo allo stesso strumento tarato. Più bassa è l'incertezza dello strumento tarato e migliori saranno le prestazioni in termini di accuratezza e precisione dello strumento sotto test. La fase di taratura risulta essere di fondamentale importanza in quanto è necessario valutare la correlazione esistente tra la misura effettuata dal sistema sotto esame e la misura effettuata dallo strumento di riferimento, il quale deve sicuramente possedere un'incertezza inferiore. Al fine di valutare lo stato di taratura dello strumento sotto esame, è necessario valutare la retta di calibrazione, calcolandone coefficiente angolare e offset.

La retta di calibrazione, infatti, rappresenta nel piano bidimensionale i valori misurati dal sistema sotto test su un asse e i valori di riferimento nell'altro. Idealmente, si vorrebbe ottenere una perfetta corrispondenza tra il valore fornito dallo strumento di riferimento e il valore misurato dal sistema da tarare, tuttavia l'offset della retta risulterà essere sempre diverso da 0 e la pendenza mai esattamente pari a 1. La taratura si pone l'obiettivo di garantire il minor scostamento possibile della retta reale da quella ideale, che possiede coefficienti $m = 1, q = 0$. Al fine di misurare la distanza tra la misura fornita dallo strumento di riferimento e quello da tarare, si è fatto uso della teoria sulla regressione lineare [35]. Il metodo, ha come obiettivo il ricavare la retta che meglio interpola i dati ottenuti, ossia di ottenere i coefficienti di regressione, che descrivono l'equazione lineare, i quali minimizzano le distanze tra i valori in output previsti ed effettivi. La minimizzazione delle distanze può essere ottenuta in varie modalità: in questo caso si è fatto uso del metodo dei minimi quadrati [35].

Il metodo in questione, si basa sul ricavare la retta interpolante che è a minima distanza (valore minimo dei residui $r_i = y_i - mx_i - q$) rispetto ai vari punti misurati, minimizzando la somma dei quadrati degli elementi r_i .

Si tratta di minimizzare quindi:

$$\sum_{i=1}^n (y_i - mx_i - q)^2 \quad (4.1)$$

Dalla teoria associata al metodo dei minimi quadrati, il coefficiente angolare della retta interpolante è ricavabile mediante 4.2, mentre il termine noto da 4.3.

$$m = \frac{\sum_{i=1}^n x_i y_i - n \bar{x} \bar{y}}{\sum_{i=1}^n x_i^2 - n \bar{x}^2} \quad (4.2)$$

$$q = \frac{\bar{y} \sum_{i=1}^n x_i^2 - \bar{x} \sum_{i=1}^n x_i y_i}{\sum_{i=1}^n x_i^2 - n \bar{x}^2} \quad (4.3)$$

Dove la retta che si ottiene con i coefficienti m e q ricavati (detti di regressione) passa per il baricentro dei punti dati e viene detta retta di regressione. Al fine di velocizzare il processo di determinazione di m e q , si è fatto uso della funzione *polyval* di MATLAB che

accetta come parametri 2 vettori relativi ai dati della variabile dipendente e indipendente, restituendo i coefficienti m e q della retta di regressione. I coefficienti m e q sono quindi inseriti all'interno della catena di acquisizione e sono rappresentati in figura 4.3.7 con m e q . Gli aspetti citati, relativi alla teoria delle misure, sono stati considerati all'interno della catena di acquisizione, in sinergia con le operazioni da svolgere al fine di ricostruire le grandezze sotto test, ossia tensione e corrente sulla linea.

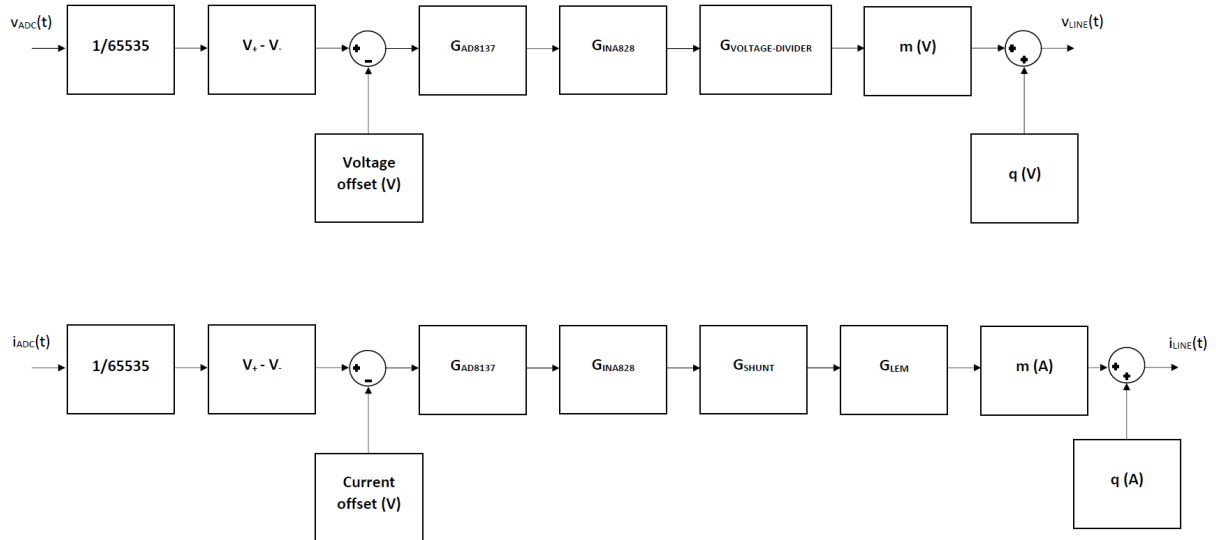


Figura 4.3.7: Catena di elaborazione dei dati

Nello specifico, in figura 4.3.7, viene mostrato il processo di elaborazione per la ricostruzione dei valori di tensione e corrente sulla linea analizzata.

In particolare, per il canale di tensione, il valore acquisito dall'ADC viene opportunamente scalato secondo la proporzione: $(V_+ - V_-) : 65535 = V_{ADC} : x$, con V_{ADC} pari alla grandezza in Volt scalata nel range $[0V \div 5V]$, $(V_+ - V_-)$ pari alla tensione di alimentazione dell'ADC e x pari alla parola decimale in uscita dall'ADC. Al fine di eliminare il valor medio residuo, che è pari alla tensione V_{REF} generata dal riferimento di tensione ADR3425 [19], sono stati sottratti l'offset di $\approx 2.5V$ (misurato con precisione tramite un multimetro digitale) e l'errore sistematico introdotto dalla catena di acquisizione a carico scollegato. Nella catena di acquisizione seguono i guadagni introdotti rispettivamente dall'AD8137 [18], dall'INA828 [12] e dal partitore resistivo di ingresso. Ogni guadagno è stato calcolato tenendo in considerazione, tramite misura preventiva, i valori relativi ai resistori utilizzati. Il canale di corrente è del tutto simmetrico a quello di tensione tuttavia, realizzando una conversione corrente-tensione, è presente il guadagno relativo alla resistenza di shunt (pari a $\approx 60\Omega$) e il guadagno relativo al trasformatore di corrente LEM TT 50-SD [7]. In questo caso, la presenza di guadagni aggiuntivi renderà il canale di corrente più incline a generare un'errore di trasduzione, che diventa maggiore all'aumentare del valore di corrente letto.

Al fine di eseguire la calibrazione, si è fatto uso del multimetro digitale Keysight 34410A, che possiede ottime caratteristiche di accuratezza, come espresso nella sezione

[A.2]. Per la misura di corrente, dato che il multimetro presenta un fondo scala di 3A, è stato usato direttamente il valore misurato dal carico attivo [31] ed è stata eseguita un'ulteriore analisi della tensione presente sulla R_{shunt} , in modo da fornire una misura a bassa incertezza, grazie all'uso del multimetro in questione [29]. È importante osservare che, come riportato nei datasheet della sorgente [30] e del carico [31] utilizzati, dato che l'accuratezza e la risoluzione della sorgente sono migliori rispetto a quelli del carico, si è preferito assumere come stima del valore vero il risultato fornito dal carico attivo. Si rimanda alla sezione relativa all'analisi degli strumenti di misura utilizzati per il confronto dei parametri in questione [A].

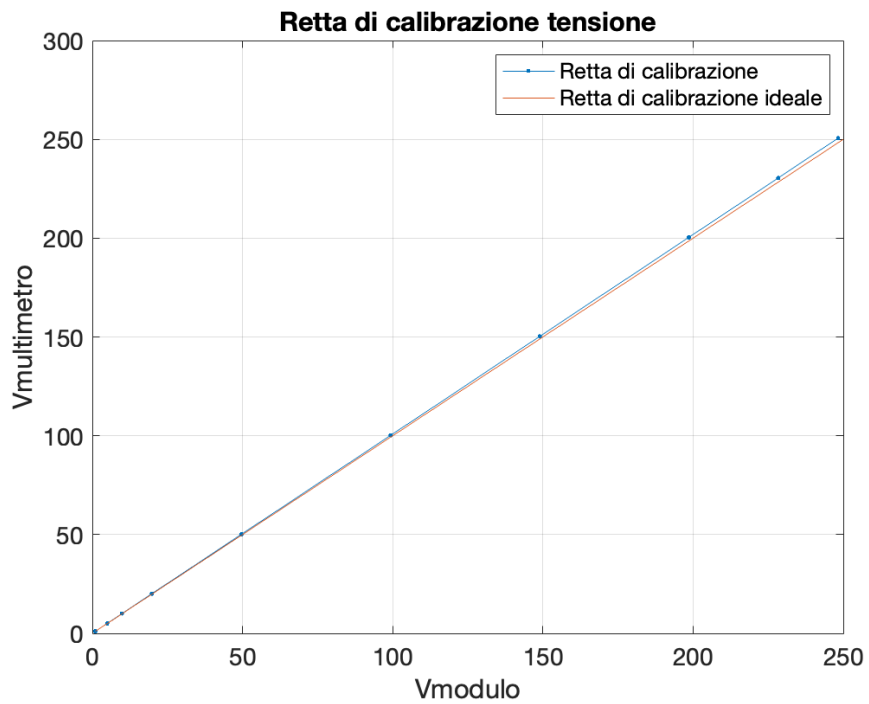
Tabella 4.3.1: Misure relative alla calibrazione delle sezioni di misura di tensione e corrente

$V_{MULT}(V)$	$V_{MODULO}(V)$	Errore relativo %	$I_{LOAD}(A)$	$I_{MODULO}(A)$	Errore relativo %
1.0505	0.9928	5.4926%	0.50	0.5019	-0.3800%
5.0550	4.9563	1.9525%	1.00	1.0012	-0.1200%
10.0475	9.8991	1.4770%	2.00	2.0005	-0.0250%
20.0440	19.8049	1.1929%	4.00	4.0009	-0.0225%
50.1270	49.6100	1.0314%	6.00	6.0000	0.0000%
100.192	99.2973	0.8939%	8.00	8.0025	-0.0312%
150.35	148.9928	0.9027%	10.00	9.9994	0.0060%
200.41	198.6021	0.9021%	15.00	14.9710	0.1933%
230.48	228.3545	0.9222%	20.00	19.9649	0.1755%
250.57	248.266	0.9195%	30.00	29.9528	0.1573%

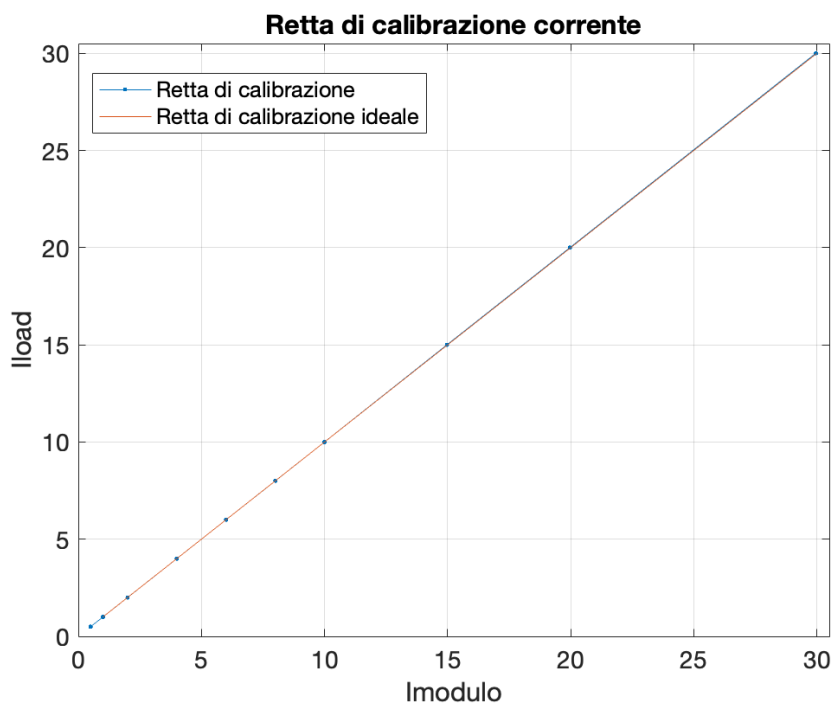
Durante le misure sulla linearità del sistema, il canale di tensione è stato linearizzato utilizzando la sorgente in modalità DC (al fine di ridurre al minimo l'incertezza di misura), mentre per il canale di corrente la sorgente è stata impostata in AC, dato che la sonda è in grado di eseguire misure solo su carichi in corrente alternata.

Dai risultati ottenuti 4.3.1, è possibile notare immediatamente che, per il canale di tensione, l'errore commesso rispetto alla tensione di riferimento è particolarmente rilevante per valori di tensione relativamente piccoli rispetto al fondo scala del sistema ($400V_{pk}$). Al contrario, per il canale di corrente, il rapporto di trasduzione teorico e le non linearità del sistema tendono a produrre un errore sulla misura maggiore per valori crescenti della grandezza misurata.

Applicando la teoria sulla regressione lineare discussa in 4.3.3, si ricavano i coefficienti m e q delle rette di regressione (rette di calibrazione) ai fini di linearizzare la lettura di entrambe le grandezze sotto test nel range studiato. Per la calibrazione in tensione si ottengono: $m = 1.00897688$, $q = 0.04945372$, mentre per quella in corrente: $m = 1.00186795$, $q = -0.0075161$.



(a)



(b)

Figura 4.3.8: Rette di calibrazione per lo stadio di tensione (a) e corrente (b)

Come si può notare dalle figure 4.3.8a e 4.3.8b, i canali di acquisizione non necessitano di profondi interventi dal punto di vista della linearità, infatti i coefficienti m e q ricavati sono molto prossimi a quelli di una retta di calibrazione ideale, che comporterebbe una perfetta condizione di taratura e linearità.

Verifica della linearità

Una volta completata la caratterizzazione degli errori sistematici e la linearizzazione di entrambi gli stadi, si è eseguita una campagna di test volti a testare le prestazioni del sistema di misura. Per le misure in questione è stato utilizzato il setup presente nelle figure 4.3.9a, 4.3.9b, 4.3.9c, 4.3.9d.

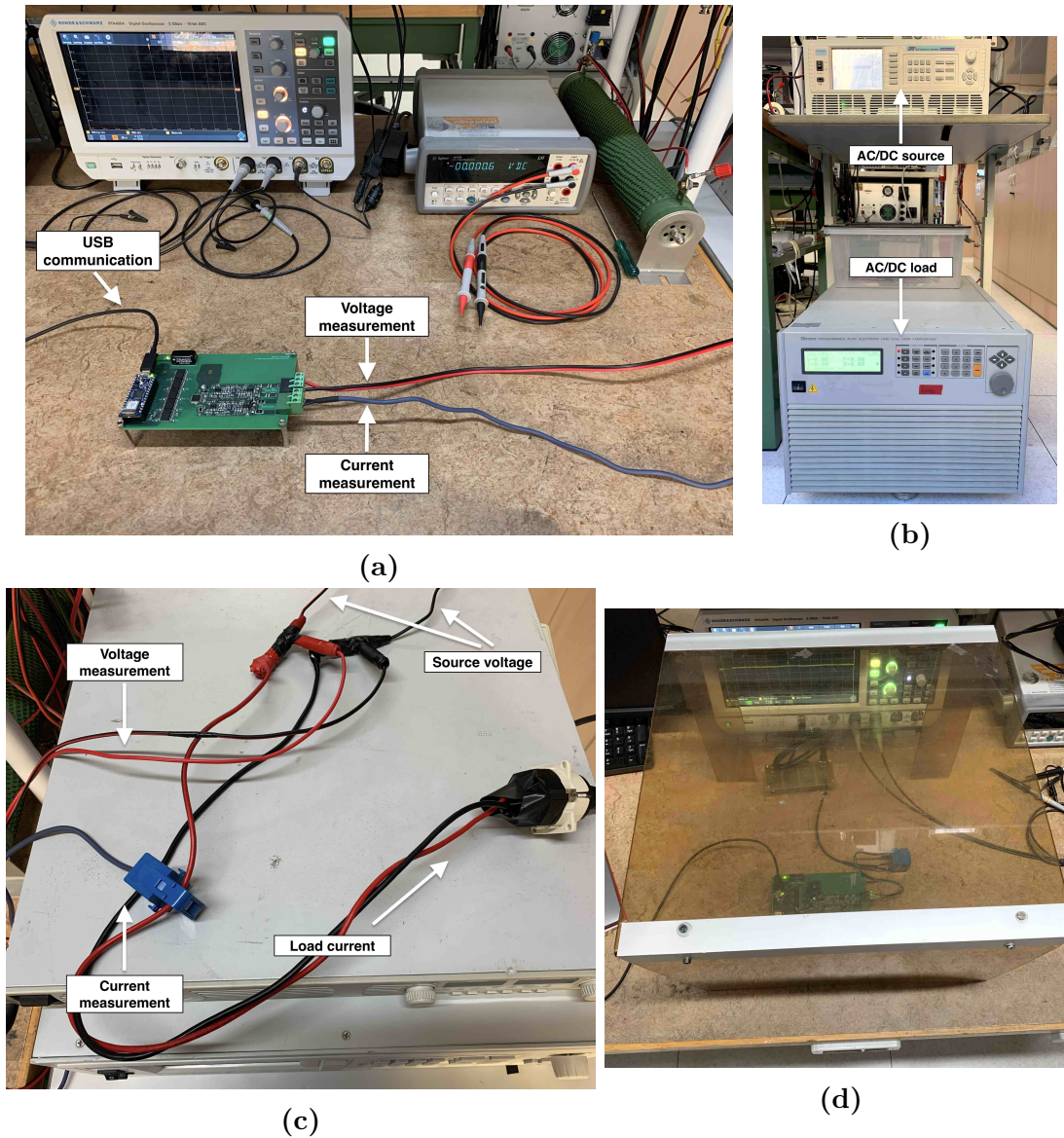


Figura 4.3.9: Setup per le misure in potenza

In particolare l'uscita della sorgente [30] è stata collegata all'ingresso del carico [31] per mezzo di cavi di sezione $> 1\text{mm}^2$, in grado di sopportare, senza surriscaldamenti, anche correnti di 10A in modo continuativo. La tensione è stata misurata in parallelo ai cavi di collegamento e la corrente attraverso la sonda LEM TT 50-SD [7], come mostrato in 4.3.9c. Ai fini di mantenere livelli sufficienti di sicurezza, il modulo di acquisizione è stato protetto con una copertura isolante semi-trasparente, come mostrato in figura 4.3.9d e indossati occhiali protettivi.

Le prime misure hanno l'obiettivo di creare un confronto in termini dell'accuratezza dei risultati ottenuti prima di eseguire la calibrazione e dopo. Sono state ripetute le misure in tensione e corrente svolte in sezione 4.3.3, al fine di valutare i nuovi errori relativi percentuali.

Tabella 4.3.2: Misure in tensione DC

$V_{MULT}(V)$	$V_{MODULO}(V)$	Errore relativo %
1.0550	1.0835	-2.701%
5.0600	5.0532	0.134%
10.0480	10.0443	0.037%
20.0480	20.0433	0.023%
50.1280	50.1178	0.020%
100.1920	100.2132	-0.021%
150.3500	150.3391	0.007%
200.4100	200.3584	0.026%
230.4800	230.4322	0.021%
250.5650	250.5289	0.014%

Tabella 4.3.3: Misure di corrente: *Reference = Load* [31]

$I_{LOAD}(A)$	$I_{MODULO}(A)$	Errore relativo %
0.10	0.0984	1.600%
0.50	0.5033	-0.660%
1.00	1.0049	-0.490%
2.00	2.009	-0.450%
5.00	5.0125	-0.250%
10	10.0208	-0.208%
15	14.9914	0.057%
20	19.9911	0.045%
25	25.0166	-0.066%
30	30.0096	-0.032%
35	34.9565	0.124%
40	39.9195	0.201%

Tabella 4.3.4: Misure di corrente: *Reference = DMM* [29]

$I_{MULT}(A)$	$I_{MODULO}(A)$	Errore relativo %
0.1022	0.0984	3.719%
0.5015	0.5033	-0.353%
1.0021	1.0049	-0.283%
2.0051	2.0090	-0.193%
5.0083	5.0125	-0.084%
10.0181	10.0208	-0.027%
14.9811	14.9914	-0.069%
19.9864	19.9911	-0.024%
24.9070	25.0166	-0.440%
29.9771	30.0096	-0.108%
34.8977	34.9565	-0.169%
39.8930	39.9195	-0.066%

Eseguendo nuovamente le misure indicate nelle tabelle 4.3.2, 4.3.3 e 4.3.4, si nota il netto miglioramento dell'accuratezza del sistema e, in particolare, dato che il metodo di linearizzazione utilizzato (basato sui minimi quadrati) tende a enfatizzare e colmare le differenze per valori più elevati di tensione e corrente, si ha un particolare aumento dell'accuratezza per valori di carico maggiori, in quanto, in proporzione, sono relativi a resti quadratici più elevati. Inoltre, al fine di misurare le correnti di riferimento si è preferito prendere in considerazione, come miglior stima del valore vero della misura effettuata, il valore indicato sul display del carico [31]. Al fine di verificare che la misura fosse corretta, questa si è ripetuta utilizzando come riferimento la differenza di potenziale ai capi della

resistenza di shunt 4.3.4. Conoscendo $R_{shunt} = 60.2\Omega$ e il rapporto di trasduzione della sonda di corrente 3.2, si ricava subito il valore di corrente associato. L'errore relativo percentuale, in questo caso, è maggiore rispetto al caso in cui si è preso come riferimento il carico attivo, tuttavia la misura è affetta da un'elevata incertezza in quanto si devono tenere in considerazione dei fattori di guadagno aggiuntivi e non perfettamente lineari (dato che la caratteristica di trasduzione non sarà mai perfettamente lineare) e il valore di R_{shunt} misurato è affetto nuovamente da una certa incertezza. Per questi motivi si è preferito prendere come riferimento la misura fornita dal carico attivo. Inoltre, è necessario ricordare che la sonda LEM TT 50-SD [7] utilizzata, presenta un'accuratezza tipica entro l'1% fino al valore nominale di corrente, pari a 50A. Pertanto le misure sono più che all'interno della soglia in questione. In ogni caso, le misure effettuate, per valori sufficientemente elevati di tensione e corrente, hanno prodotto buoni risultati dato il basso scarto percentuale dai valori di riferimento.

Successivamente, si sono eseguite una serie di misure in regime alternato al fine di confermare la linearità anche per i segnali in tensione.

Tabella 4.3.5: Misure di tensione in AC

$V_{MULT}(V_{RMS})$	$V_{MODULO}(V_{RMS})$	Errore relativo %
5.0110	4.9599	1.0198%
19.9550	19.9496	0.0271%
49.8720	49.8796	-0.0152%
79.8130	79.8394	-0.0331%
99.7410	99.7626	-0.0217%
119.6950	119.7518	-0.0475%
149.6130	149.6605	-0.0317%
199.4700	199.4579	0.0061%
229.4080	229.4586	-0.0221%
248.3450	249.4242	-0.4346%

Come si può notare dalla tabella 4.3.5, anche per le misure in AC i risultati sono stati soddisfacenti, garantendo bassi scarti percentuali e valori elevati di accuratezza.

Si sottolinea che, durante le fasi di test, i resistori del partitore di ingresso (canale di tensione) non hanno presentato problemi di surriscaldamento, come mostrato in 4.3.10.

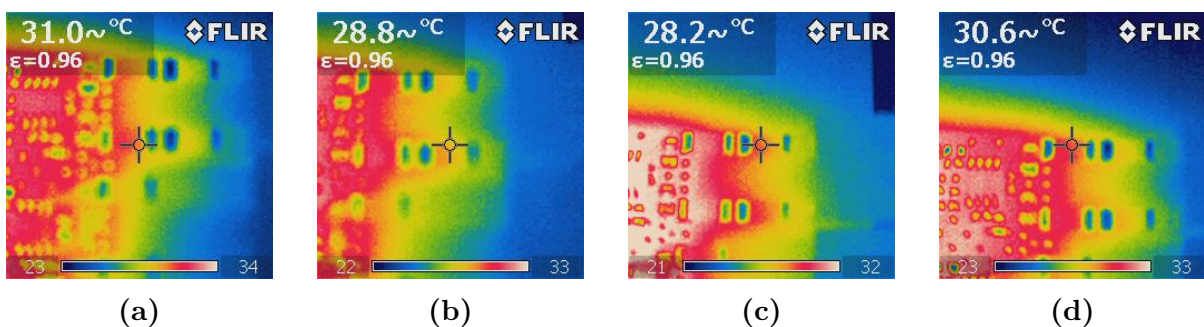


Figura 4.3.10: Temperature di esercizio del partitore resistivo di ingresso

Iniezione di armoniche

In questa sezione, viene analizzato il contenuto armonico dei segnali iniettati all'ingresso del sistema di misura. La sorgente AC, in particolare, offre la possibilità di generare segnali con offset DC e contenuto armonico in tensione (espresso in valore di picco) fino alla 40^a armonica [30]. Per la maggior parte delle prove eseguite in questa sezione, il canale di corrente non è stato utilizzato, in modo da focalizzare l'attenzione sul solo contenuto armonico in tensione e confrontarlo con i valori impostati sulla sorgente [30].

Segnale 1) $V_{DC} = 0V$, $V_1 = 200V$, $V_{10} = 10V$, $V_{20} = 10V$

Il primo segnale utilizzato, ha lo scopo di verificare il comportamento del sistema di acquisizione al fine di analizzare armoniche alle frequenze 500Hz e 1kHz. Come si può notare dalla figura 4.3.11, la forma d'onda di tensione è ampiamente distorta, con un elevato *ripple* residuo.

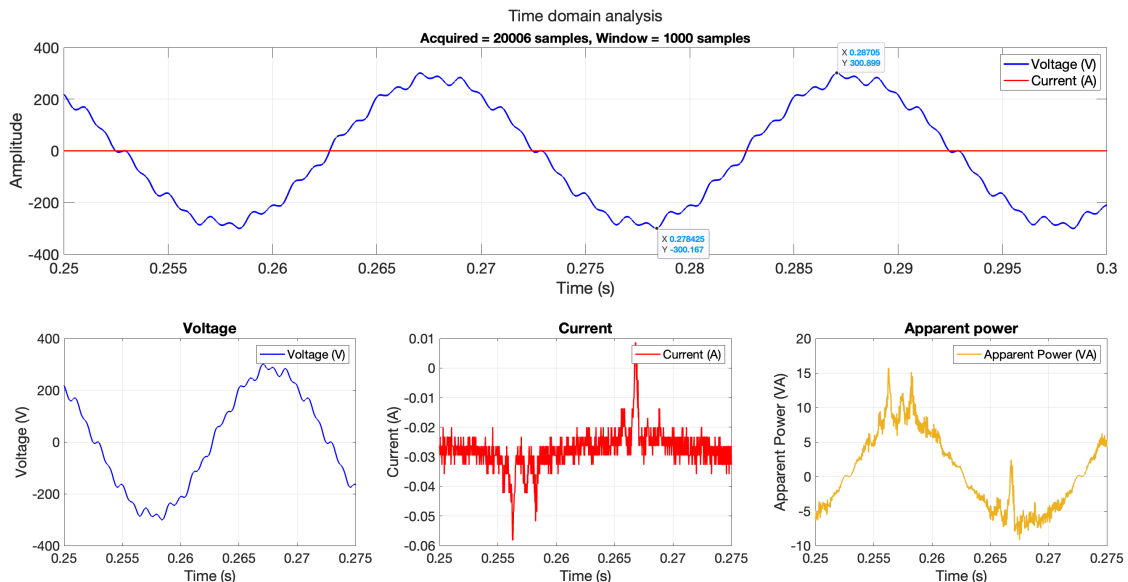


Figura 4.3.11: Andamento temporale del segnale 1

E' da notare che la corrente media misurata in condizioni di ingresso scollegato non è perfettamente pari a zero. Ciò è dovuto al fatto che la linearizzazione svolta ha introdotto un offset minimo, al fine di ottenere una minimizzazione degli scarti per valori più elevati di corrente. Di fatto, ciò migliora le prestazioni del sistema in condizioni di misura su carichi a potenza più elevata.

In figura 4.3.12, è possibile analizzare lo spettro delle ampiezze del segnale di tensione. Si notano la fondamentale a 50Hz con valore di picco pari a $V_1 = \sqrt{2} * 142.045V \approx 200.88V$, $V_{10} = \sqrt{2} * 6.9086V \approx 9.77V$, $V_{20} = \sqrt{2} * 6.1147V \approx 8.647V$. Si nota subito una leggera attenuazione per l'armonica a 500Hz e una più consistente per quella a 1000Hz. Al fine di valutare la bontà della misura effettuata, è stata eseguita la medesima analisi FFT con l'oscilloscopio Rohde & Schwarz RTA4004 [28]. Al contrario degli oscilloscopi

convenzionali, quest'ultimo presenta un sistema di acquisizione a 10 bit che, comunque, risulta essere insufficiente per poter determinare le prestazioni su un sistema di acquisizione basato su ADC a 16 bit. Pertanto, la comparazione effettuata ha il solo scopo di valutare qualitativamente le misure eseguite, realizzando un confronto con il modulo di acquisizione sotto test. Le misure eseguite con la funzione FFT dell'oscilloscopio hanno prodotto: $V_1 \approx 201.3065V$, $V_{10} = 9.624V$, $V_{20} \approx 8.9406V$, pertanto in linea con i risultati ricavati dal sistema di acquisizione. Le misure successive confermeranno l'accuratezza del valore fornito in uscita dalla sorgente entro $250\text{Hz} \sim 300\text{Hz}$. Oltre a questo range, infatti, l'ampiezza delle armoniche comincia a diminuire in modo significativo, come mostrato in questo primo caso.

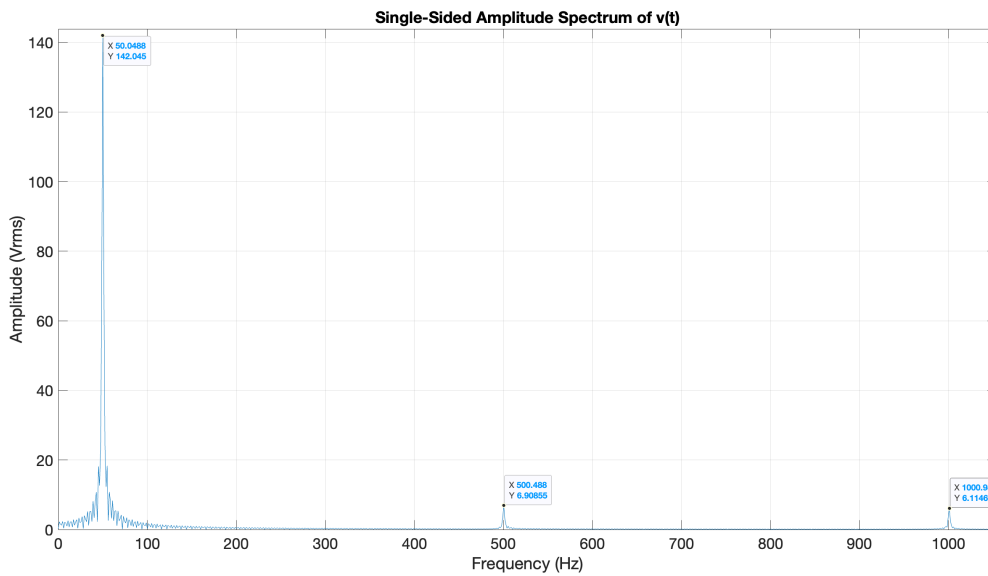


Figura 4.3.12: Analisi FFT del segnale 1

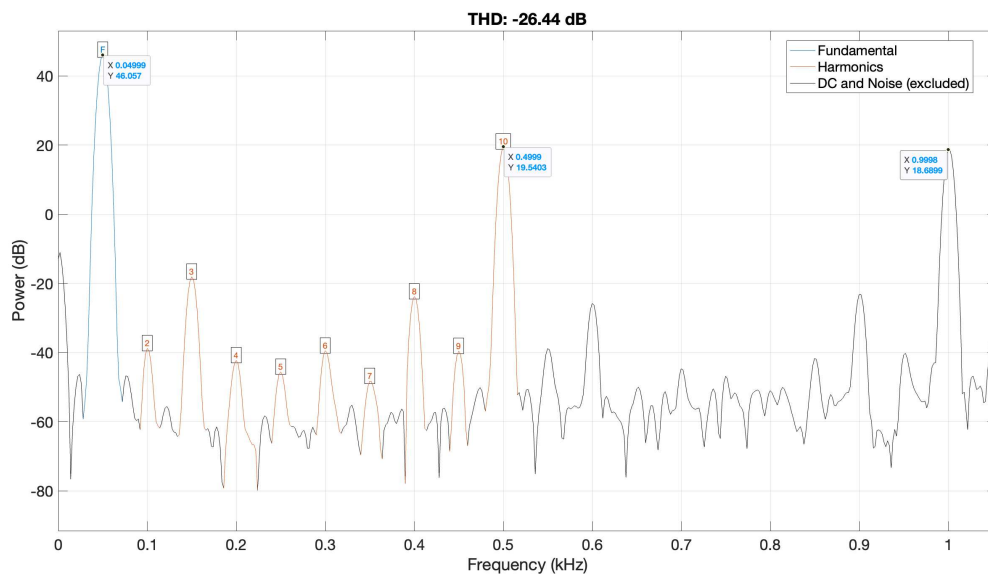


Figura 4.3.13: Analisi THD del segnale 1

Come si può notare in figura 4.3.13, la misura del THD eseguita sulle prime 10 armoniche ha prodotto come risultato -26.44dB. Tuttavia, eseguendo la misura sulla prime 200 armoniche, si è ottenuto un valore pari -23.732dB (= 6.508%) in quanto, oltre al rumore di fondo e alle armoniche immesse dall'inverter della sorgente [30], viene considerata anche l'armonica a 1000Hz.

Segnale 2) $V_{DC} = 0V$, $V_1 = 25V$, $V_2 = V_3 = V_4 = V_5 = 5V$

In figura 4.3.14, è possibile notare l'andamento temporale della forma d'onda di tensione: la fondamentale di 25V di picco è sovrapposta alle altre 4 armoniche di ampiezza pari a 5V.

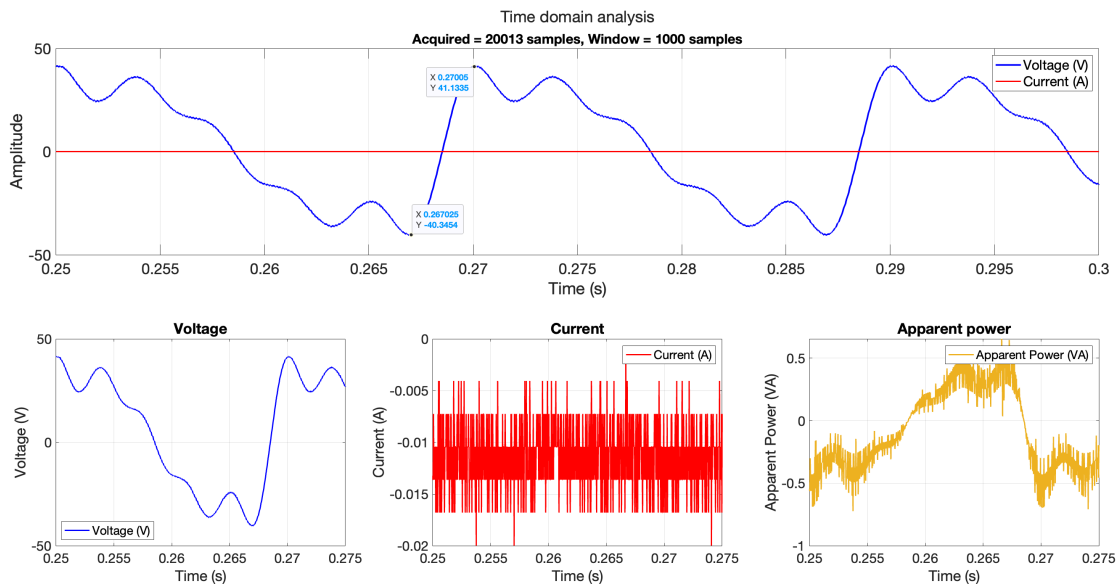


Figura 4.3.14: Andamento temporale del segnale 2

Dal punto di vista del contenuto armonico effettivo, in figura 4.3.15 si nota la presenza di $V_{DC} \approx 0V$, $V_1 = \sqrt{2} * 17.694V \approx 25.02V$, $V_2 \approx V_3 \approx V_4 \approx V_5 \approx \sqrt{2} * 3.5V \approx 4.95V$, pertanto in linea con i valori impostati sulla sorgente [30]. E' importante considerare le caratteristiche di uscita della sorgente AC [30]: essa presenta un'accuratezza di 0.1V, pertanto ciò può essere la causa dei piccoli scostamenti che si possono notare tra le armoniche di ampiezza V_2 , V_3 , V_4 e V_5 .

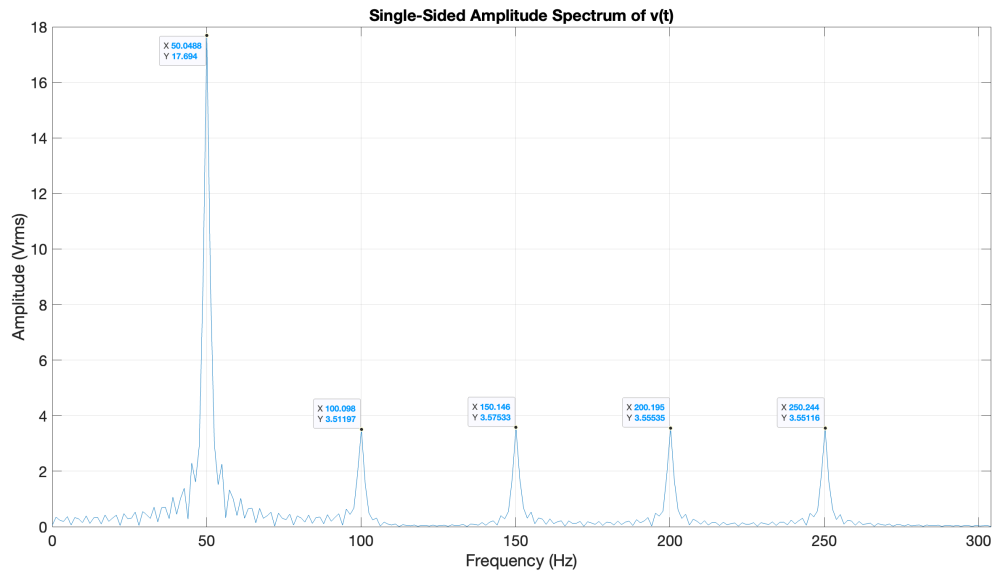


Figura 4.3.15: Analisi FFT del segnale 2

Infine, come mostrato in figura 4.3.16, la distorsione armonica totale è pari a -7.922dB ($= 40.172\%$), eseguita sulle prime 200 armoniche.

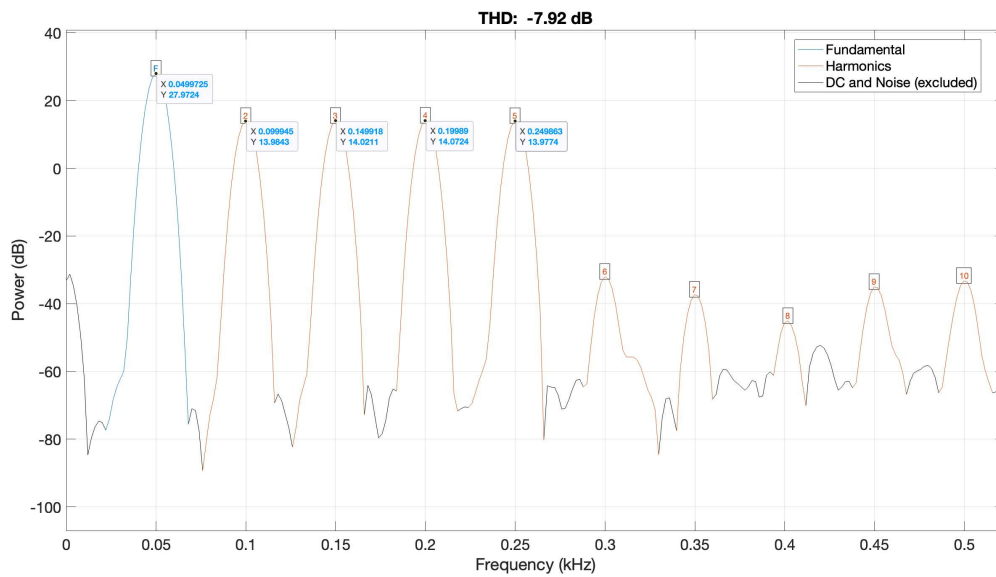


Figura 4.3.16: Analisi THD del segnale 2

Segnale 3) $V_{DC} = 10V$, $V_1 = 50V$, $V_2 = 10V$

In figura 4.3.17, è possibile notare l'andamento temporale della forma d'onda di tensione: la fondamentale è sovrapposta alla prima armonica di ampiezza pari a 10V e la forma d'onda è traslata di un valore medio pari a 10V.

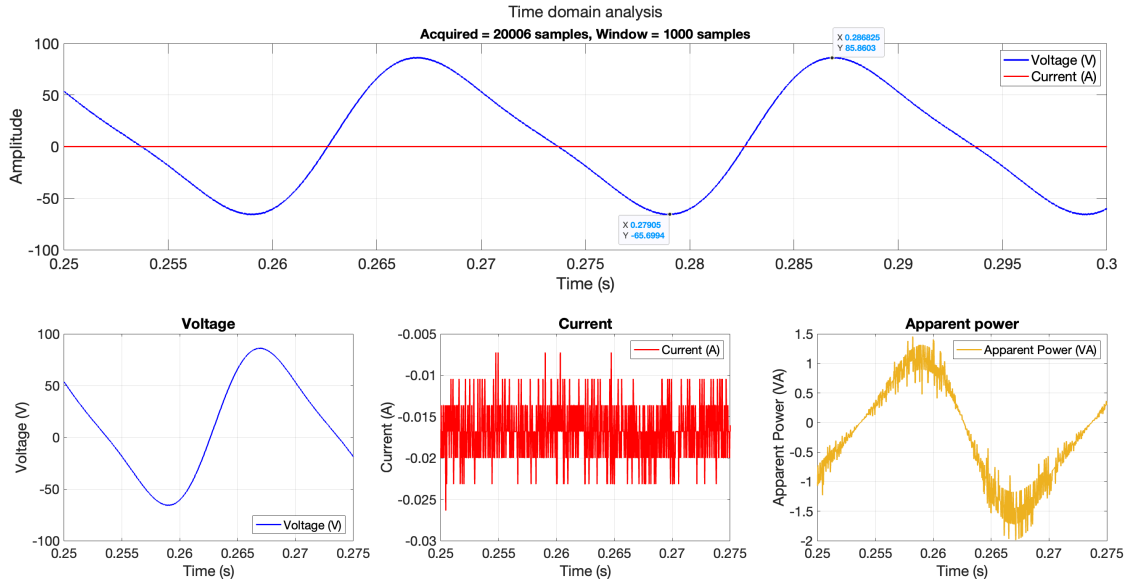


Figura 4.3.17: Andamento temporale del segnale 3

Dal punto di vista del contenuto armonico effettivo, in figura 4.3.18 si notano la presenza di $V_{DC} \approx 9.981V$, $V_1 = \sqrt{2} * 35.4794V \approx 50.175V$, $V_2 = \sqrt{2} * 7.1922V \approx 10.1713V$, pertanto in linea con i valori impostati sulla sorgente [30].

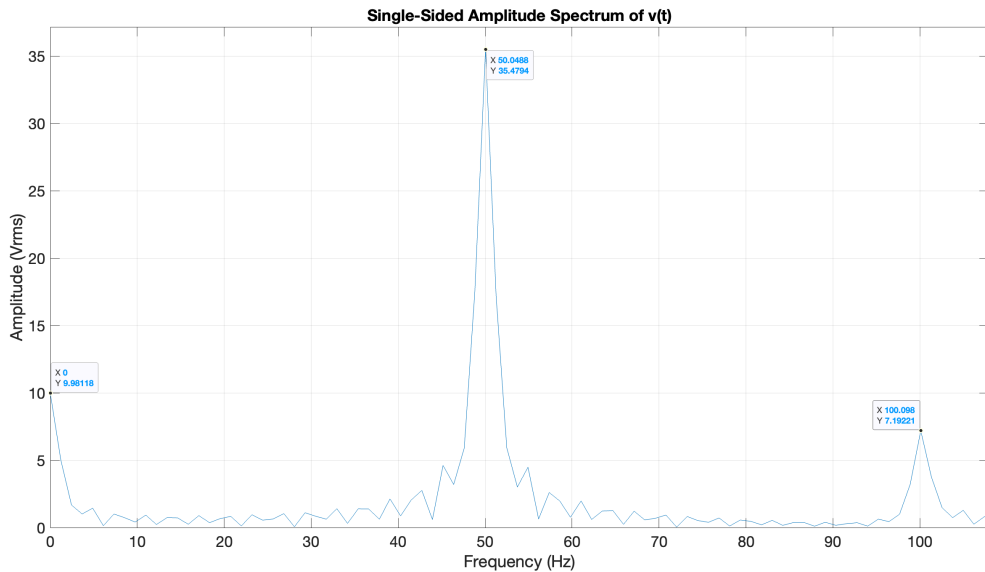


Figura 4.3.18: Analisi FFT del segnale 3

Infine, come già riscontrato in precedenza, si nota la presenza di un certo contenuto armonico, anche se in forma minima, per frequenze maggiori di 100Hz, generate dall'inverter

della sorgente [30]. La distorsione armonica totale è risultata essere pari a -13.931dB ($= 20.112\%$), valore causato dal forte impatto sulla fondamentale delle armoniche introdotte artificialmente.

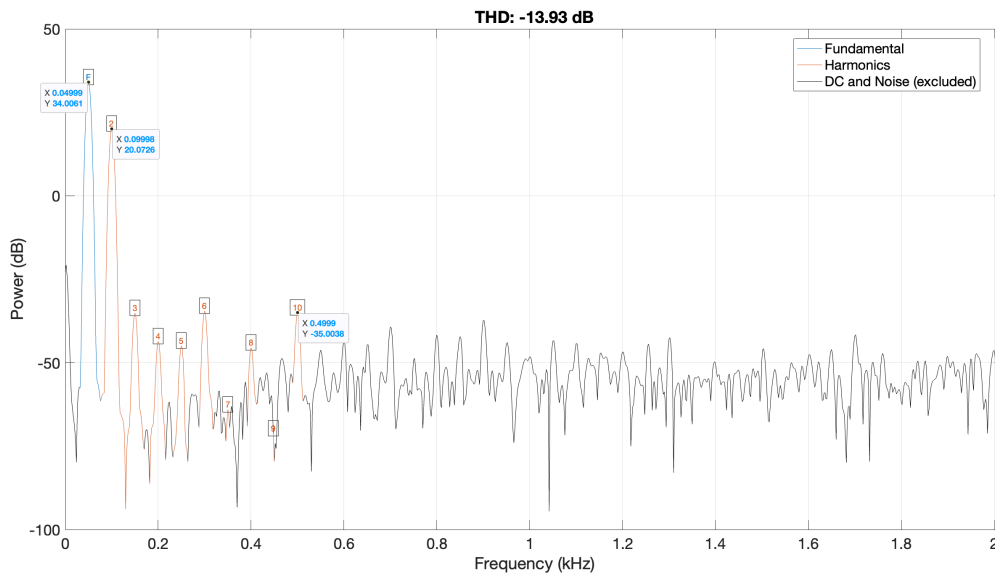


Figura 4.3.19: Analisi THD del segnale 3

Segnale 4) Onda quadra con $V_{DC} = 50\text{V}$, $V_H = 100\text{V}$, $V_L = -100\text{V}$

In figura 4.3.20, è possibile notare l'andamento temporale della forma d'onda di tensione e di corrente.

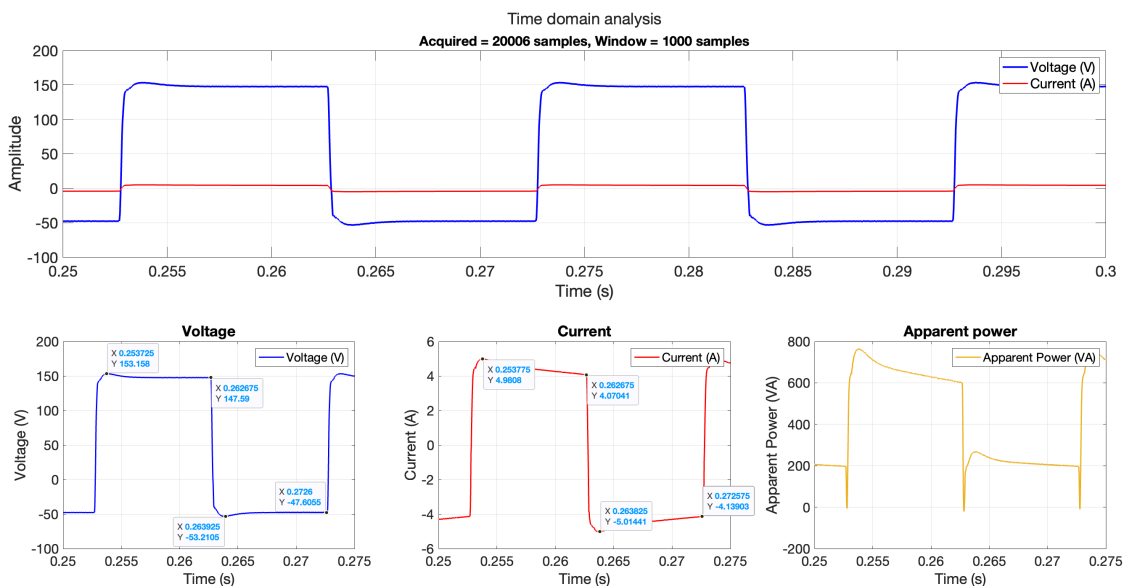


Figura 4.3.20: Andamento temporale del segnale 4

Dal punto di vista del contenuto armonico effettivo, in figura 4.3.21 si nota la presenza di $V_{DC} \approx 50.01\text{V}$, $V_1 \approx 62.6\text{V}$, $V_2 \approx 21.36\text{V}$, $V_3 \approx 12.52\text{V}$ e a seguire. Per verificare

la correttezza del risultato ottenuto si può confrontare il contenuto armonico di una forma d'onda quadra con caratteristiche ideali, avente espressione: $f(t) = \frac{4V_H}{\pi}(\cos(\omega t) - \frac{1}{3}\cos(3\omega t) + \frac{1}{5}\cos(5\omega t) - \frac{1}{7}\cos(7\omega t) + \dots)$

Valutando, per esempio, le prime tre armoniche del segnale di tensione ideale associato e utilizzando i valori di tensione ricavati dalle analisi in figura 4.3.20, si ha:

- $V_1 = 4 \frac{V_H - V_{AVG}}{2\pi} = 4 \frac{(148V - 50.01V)}{2\pi} \approx 62.38V$
- $V_2 = \frac{4}{3} \frac{V_H - V_{AVG}}{2\pi} = \frac{4}{3} \frac{(148V - 50.01V)}{2\pi} \approx 20.79V$
- $V_3 = \frac{4}{5} \frac{V_H - V_{AVG}}{2\pi} = \frac{4}{5} \frac{(148V - 50.01V)}{2\pi} \approx 12.48V$

Analogamente, per la corrente:

- $I_1 = 4 \frac{\bar{I}_H}{2\pi} = 4 \frac{(4.98A + 4.07A)}{2 \cdot 2\pi} \approx 2.88A$
- $I_2 = \frac{4}{3} \frac{\bar{I}_H}{2\pi} = \frac{4}{3} \frac{(4.98A + 4.07A)}{2 \cdot 2\pi} \approx 0.96A$
- $I_3 = \frac{4}{5} \frac{\bar{I}_H}{2\pi} = \frac{4}{5} \frac{(4.98A + 4.07A)}{2 \cdot 2\pi} \approx 0.576A$

I risultati confermano la correttezza della misura eseguita, tuttavia, la piccola differenza che si manifesta nelle misure è derivante dalla scelta del valore massimo dell'ampiezza dell'onda rettangolare, dato che questa non è costante durante la parte alta e bassa del segnale. Questo aspetto si manifesta soprattutto per il segnale di corrente, il quale valore alto è stato interpretato come il valore medio tra il massimo e il minimo durante il periodo alto del segnale. Anche applicando le approssimazioni citate, i risultati sperimentali concordano con le ampiezze teoriche delle armoniche relative all'onda quadra sotto esame.

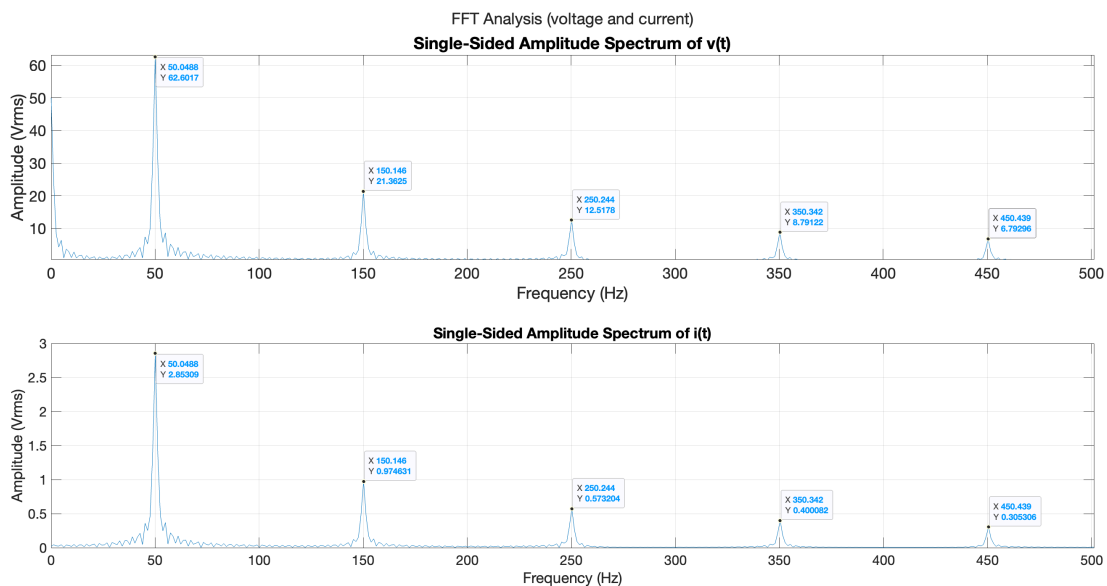


Figura 4.3.21: Analisi FFT del segnale 4

Infine, la distorsione armonica totale, eseguita analizzando le prime 200 armoniche, è pari a -6.596dB (= 46.795%) per la tensione e -6.618dB (= 46.676%) per la corrente. Dalla

figura 4.3.22, inoltre, si nota lo spettro tipico di un segnale a onda quadra, caratterizzato dalla presenza di armoniche dispari rispetto alla fondamentale.

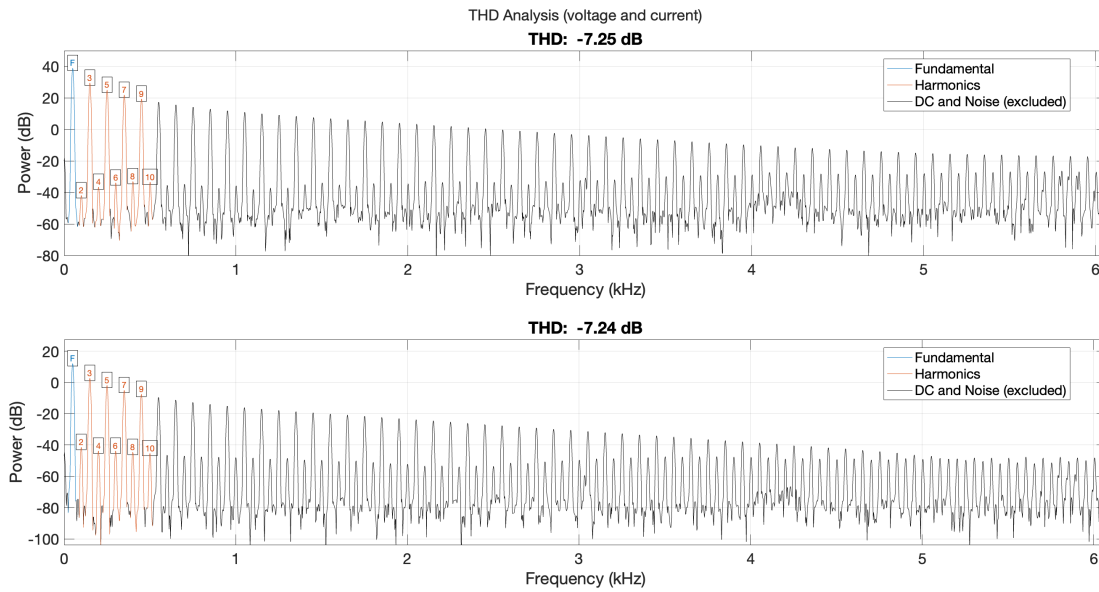


Figura 4.3.22: Analisi THD del segnale 4

Segnale 5) $V_{DC} = 0V$, $V_1 = 50V$, $V_{10} = 20V$, $V_{20} = 20V$, $V_{30} = 10V$, $V_{40} = 5V$

Il segnale in questione emula la presenza di una serie di armoniche a 500Hz, 1kHz, 1.5kHz e 2kHz, oltre alla fondamentale.

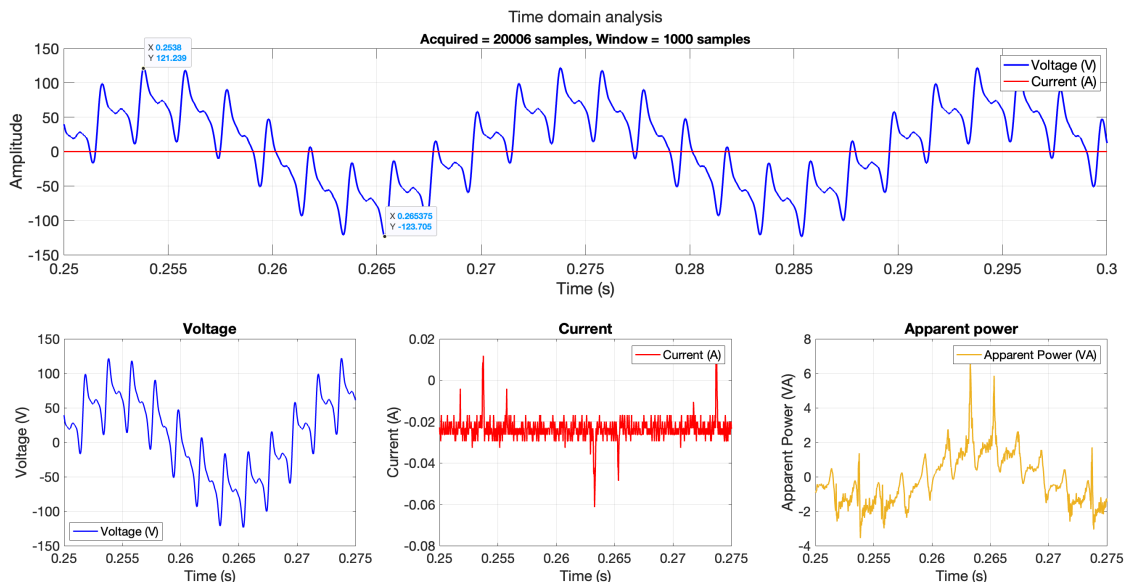


Figura 4.3.23: Andamento temporale del segnale 5

Analizzando le ampiezze delle armoniche iniettate, dal *plot* FFT in figura 4.3.24, si nota che $V_1 = \sqrt{2} * 35.429V \approx 50.104V$, $V_{10} = \sqrt{2} * 13.53V \approx 19.135V$, $V_{20} = \sqrt{2} * 12.4141V \approx 17.556V$, $V_{30} = \sqrt{2} * 5.713V \approx 8.079V$, $V_{40} = \sqrt{2} * 2.488V \approx 3.519V$.

Come eseguito per il segnale 1, dato che il range di frequenze analizzate supera quello in cui la sorgente produce risultati sufficientemente accurati, si sono confrontati qualitativamente i risultati mediante l'uso dell'oscilloscopio [28]. Mediante analisi FFT, si sono ottenuti: $V_1 \approx 50.227V$, $V_{10} \approx 19.191V$, $V_{20} \approx 17.6535V$, $V_{30} \approx 8.2573V$, $V_{40} \approx 3.701V$, confermando qualitativamente la correttezza della misura.

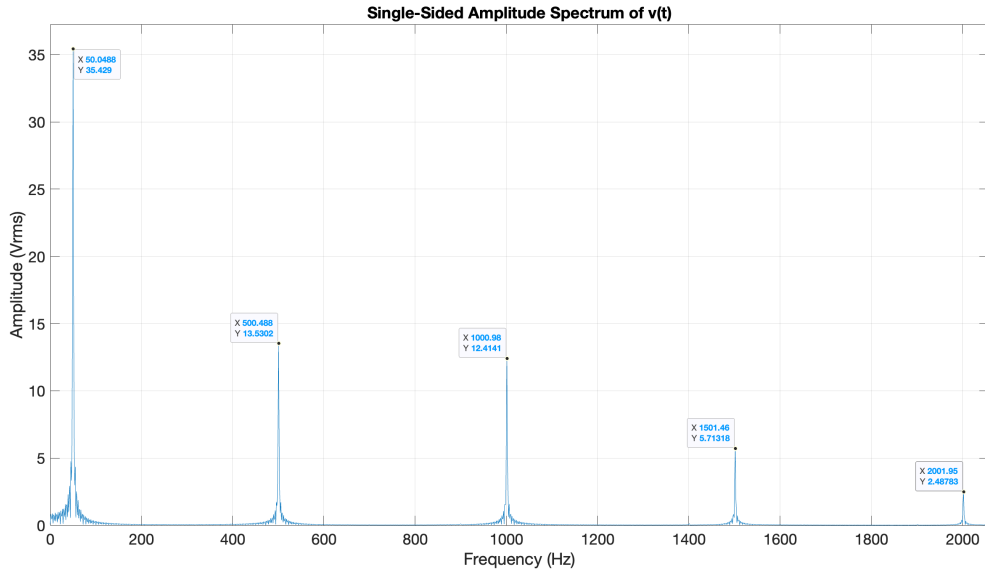


Figura 4.3.24: Analisi FFT del segnale 5

Infine, analizzando il parametro THD sulle 200 prime armoniche, si è ottenuto un valore pari a -5.185dB ($= 55.05\%$), causato dall'ampio *ripple* introdotto dalla sorgente.

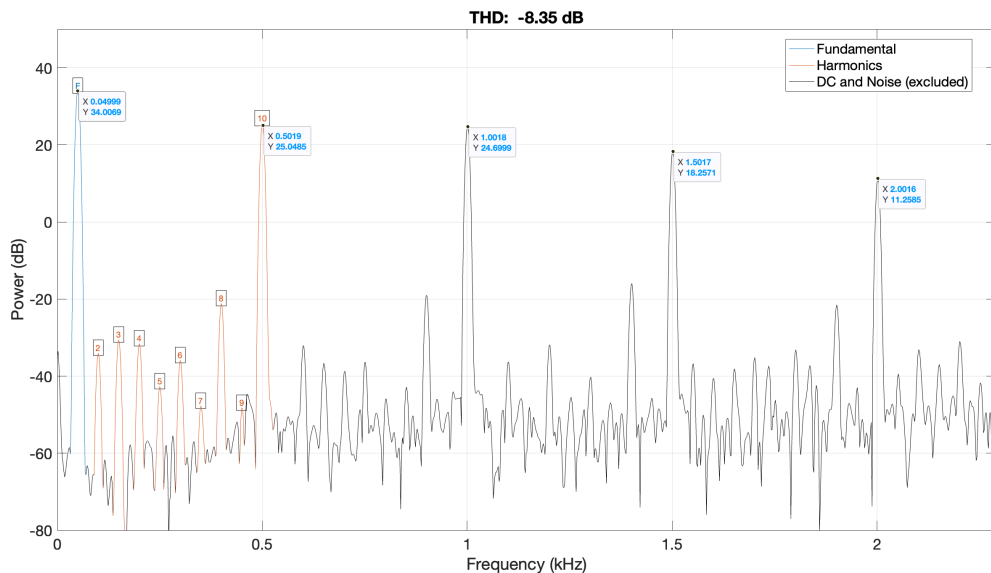


Figura 4.3.25: Analisi THD del segnale 5

Misure di tensione, corrente, potenza e *power factor*

Le seguenti misure simulano situazioni di assorbimento al variare del parametro $PF = \text{power factor}$. Il carico attivo in uso, infatti, permette di simulare condizioni di assorbimento varie, fornendo la possibilità di variare il *crest factor* e il *power factor* del carico. Modificando questi parametri, è possibile simulare condizioni di assorbimento di potenza attiva e reattiva variabili, secondo: $PF = \cos(\Phi) = \frac{P}{S} = \frac{VI\cos(\Phi)}{VI}$. In particolare, si è eseguita una campagna di misure con carico in modalità a corrente alternata costante (impostato a $5A_{RMS}$) e tensione di alimentazione pari a $V_{RMS} = 230V$.

Carico: $V_{RMS} = 230V$, $I_{RMS} = 5A$

La tabella 4.3.6 riassume le misure svolte, dove si sono riportati i valori di tensione, corrente e potenza (P, Q e S). I valori sono stati misurati dal modulo di acquisizione (con elaborazione dei dati mediante MATLAB [34]) e dal carico attivo (leggendoli direttamente dal display di controllo dello strumento).

Per semplicità di scrittura, salvo diversamente dichiarato, le grandezze relative a tensione, corrente e potenza saranno sempre espresse in *RMS*. In tabella, le misure relative al modulo di acquisizione sotto test saranno indicate con 'M', mentre quelle relative al carico attivo con 'L'.

Tabella 4.3.6: Potenze misurate per diversi valori di *power factor* (PF)

V (V)		I (A)		P (W)		Q (VAR)		S (VA)		PF	
M	L	M	L	M	L	M	L	M	L	M	L
229.2	228.7	4.98	5.00	1141.6	1144.4	41.1	12.7	1142.4	1144.6	0.99	1
229.4	228.9	4.98	5.00	891.9	916.5	713.6	685.4	1142.3	1144.4	0.78	0.8
229.2	229.1	4.98	5.00	543.4	574.2	1003.5	991.4	1141.2	1145.9	0.48	0.5
229.3	229.4	4.98	5.00	207.8	233.1	1123.6	1123	1142.7	1147.3	0.18	0.2
229.4	229.3	4.98	5.00	100.5	118	1138	1140.9	1142.4	1146.9	0.09	0.1

Tabella 4.3.7: Fase: calcolata a partire dai valori P, Q, S raccolti

Phase (°)											
PF = 1		PF = 0.8		PF = 0.5		PF = 0.2		PF = 0.1			
M	L	M	L	M	L	M	L	M	L	M	L
2.144	1.0711	38.67	36.79	61.56	59.93	79.52	78.28	84.95	84.09		

Dai risultati ottenuti e riportati in tabella 4.3.6, la principale differenza che si nota è nel calcolo della potenza attiva e reattiva. Infatti, il collegamento sorgente-carico è stato realizzato con cavi di lunghezza totale pari a 3m circa, pertanto, di fatto, si introduce un carico distribuito e caratterizzato da una certa caduta di potenziale. L'effetto di questo carico parassita, si concretizza con una leggera alterazione del fattore PF misurato, dato

che si deve includere l'impedenza relativa ai cavi di collegamento, i quali provocano una leggera variazione del valore di fase calcolato. Anche se minima, questa differenza di fase può introdurre delle differenze sostanziali sulla potenza attiva e reattiva misurate. Infatti, come mostrato dai risultati nella tabella 4.3.6 e 4.3.7, anche se il fattore PF è pari a 1, la presenza di elementi parassiti nel collegamento realizzato provoca uno sfasamento, anche se minimo, tra tensione e corrente, che modifica i risultati ottenuti.

Inoltre, si nota che sia per i segnali di tensione che di corrente acquisiti si verifica una distorsione di *zero-crossing*, causata dalle non idealità dell'inverter interno alla sorgente.

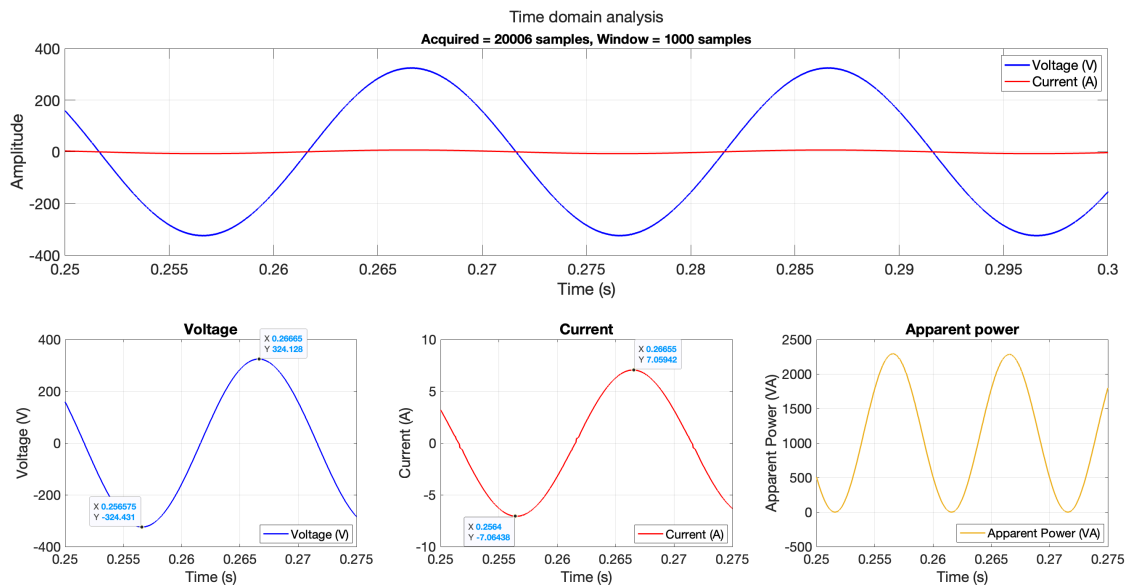
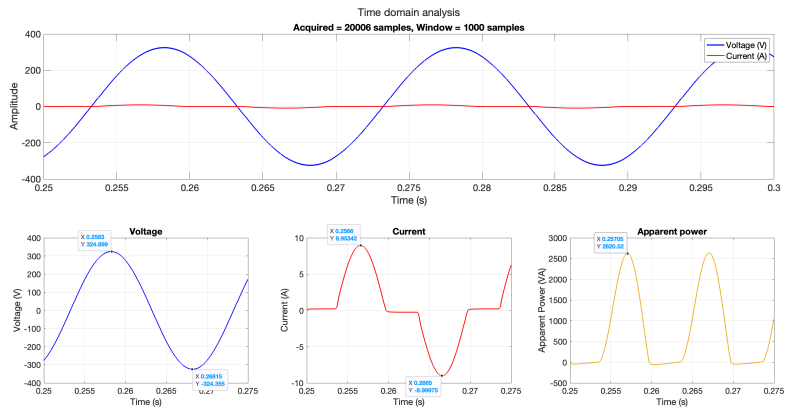
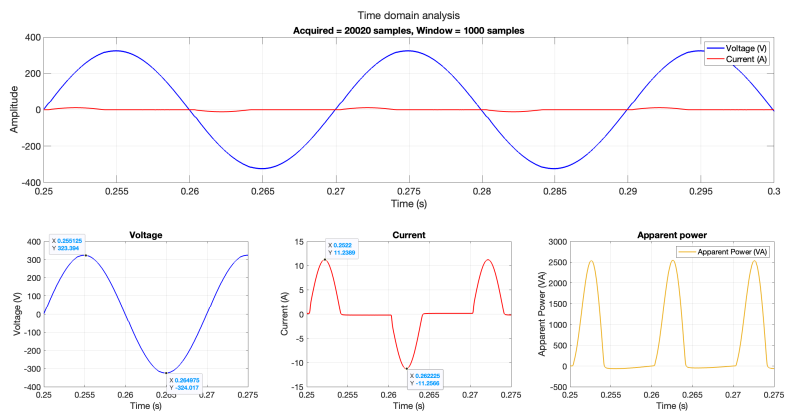


Figura 4.3.26: Analisi del carico con $PF = 1$

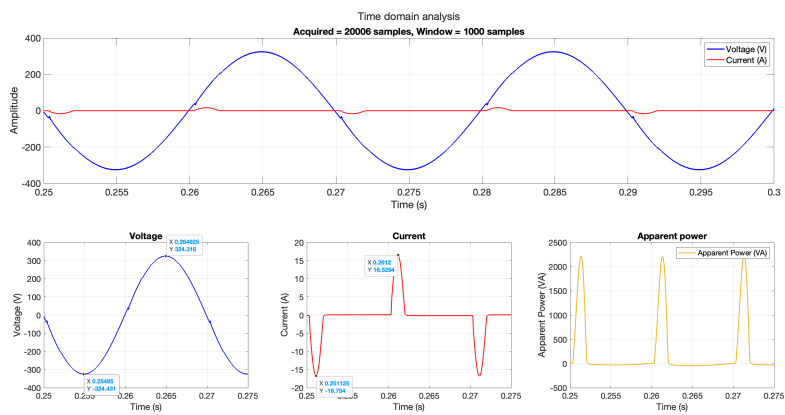
Nelle figure 4.3.26, 4.3.27, vengono riportati gli andamenti temporali di tensione, corrente e potenza apparente. È importante notare che la forma d'onda di corrente risulta essere particolarmente distorta, con un *crest factor* che aumenta al diminuire del fattore di potenza. Tale comportamento è dovuto al sistema di emulazione del *power factor* da parte del carico attivo. Il carico, infatti, assorbe potenza in modo impulsivo, sintomo della presenza di un carico non-lineare, al fine di generare diversi valori di *power factor*. Inoltre, come si nota in figura 4.3.27, si verifica un effetto incrementale di distorsione della forma d'onda di tensione, causato dall'aumento progressivo del valore impulsivo di corrente di picco del carico attivo non lineare.



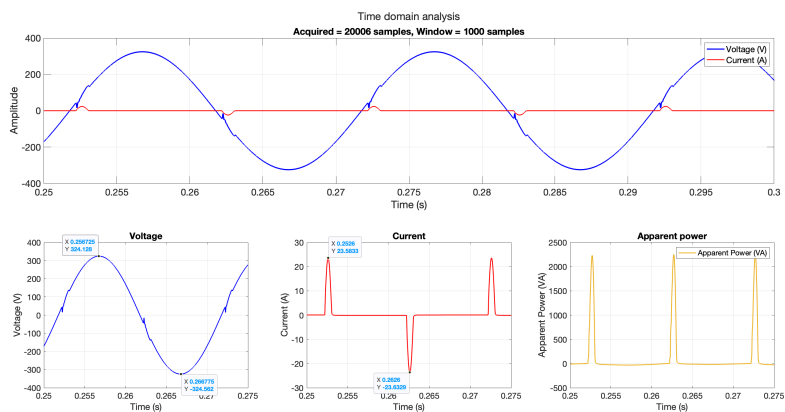
(a)



(b)



(c)



(d)

Figura 4.3.27: Andamenti temporali al variare del parametro PF: (a) $PF = 0.8$, (b) $PF = 0.5$, (c) $PF = 0.2$, (d) $PF = 0.1$

Capitolo 5

Conclusioni

Il progetto ha avuto come obiettivo lo sviluppo di un modulo di acquisizione di segnali analogici isolato a doppio canale e l'elaborazione dei sample acquisiti, al fine di determinare la *Power Quality* di un sistema elettrico in bassa tensione.

Dal punto di vista sperimentale, lo sviluppo ha prodotto dei buoni risultati sia per quanto riguarda il prototipo complessivo che per la gestione dell'acquisizione tramite microcontrollore ed analisi dei dati mediante l'uso di MATLAB [34].

Tra i vari aspetti su cui è opportuno concentrare lo sviluppo, vi è la possibilità di creare un layout che garantisca l'isolamento canale-canale all'interno del prototipo stesso. Inoltre, come mostrato nella sezione 3.2.3, è opportuno modificare l'ADC utilizzato [17], sostituendolo con un dispositivo equivalente dal punto di vista delle prestazioni ma con ingresso differenziale. Al fine di garantire l'isolamento canale-canale, inoltre, sarà opportuno separare fisicamente i percorsi di condizionamento e utilizzare 2 ADC a ingressi singoli, uno per canale di acquisizione. Saranno necessarie revisioni minori da apportare al fattore di amplificazione dello stadio di *drive* dell'ADC (garantito dagli amplificatori differenziali AD8137 [18]), in modo da modificare opportunamente lo *swing* del segnale in ingresso all'ADC che si sceglierà.

Inoltre, al fine di aumentare la frequenza di campionamento e fornire la possibilità di gestire l'acquisizione con tecniche di *oversampling*, si può prevedere l'uso di un microcontrollore più performante, eventualmente integrando tutta la circuiteria necessaria al suo funzionamento all'interno del modulo di acquisizione stesso, senza l'uso di schede di sviluppo esterne. Scegliendo un microcontrollore della famiglia Cortex-M i futuri aggiornamenti del software saranno integrabili con maggiore semplicità all'interno del sistema scelto.

Tabella 5.0.1: Aggiornamenti previsti

Componente attuale	Componente aggiornato	Descrizione
Arduino Nano 33 IoT	STM32Fxxx	Famiglia di microcontrollori Cortex-M prodotti dalla ST-Microelectronics [36]
AD7655	AD7676	ADC di tipo <i>True Differential</i> [37]

Appendice A

Strumenti di misura

Verranno ora analizzate le caratteristiche principali degli strumenti utilizzati durante la fase di test del modulo di acquisizione.

A.1 Rohde & Schwarz RTA4004



Figura A.1.1: Oscilloscopio digitale Rohde & Schwarz RTA4004

L'oscilloscopio digitale Rohde & Schwarz RTA4004 [28] è stato utilizzato al fine di ricavare le misure per la caratterizzazione della sezione di acquisizione 4.3.1, 4.3.3, oltre alla valutazione delle prestazioni dello stadio di alimentazione 4.2.1, 4.2.2. Nella tabella [A.1.1] vengono riassunte le specifiche di interesse per lo strumento in questione.

Tabella A.1.1: Specifiche principali dell'oscilloscopio digitale Rohde & Schwarz R&S RTA4004

Vertical System		
Input channels	R&S®RTA4004	4 channels
Analog bandwidth (-3 dB)	R&S®RTA4004 with -B24x option	200/350/500 MHz/1 GHz
Rise time (calculated)	R&S®RTA4004 with -B24x option	<1ns, <700ps, <350ps
Vertical resolution		10 bit, up to 16 bit with high resolution decimation
DC gain accuracy	input sensitivity > 5 mV/div	±1%
	input sensitivity ≤ 5 mV/div to ≥ 1 mV/div	±1.5%
	input sensitivity < 1 mV/div	±2.5%
Input sensitivity	at 1MΩ	0.5 mV/div to 10 V/div
Maximum input voltage	at 1MΩ	300 V (RMS), 400 V (Vp), derates at 20 dB/decade to 5 V (RMS) above 250 kHz
Horizontal System		
Timebase range		selectable between 0.5 ns/div and 500 s/div
Timebase accuracy	during calibration interval	±1 ppm
Acquisition System		
Maximum realtime sampling rate	normal mode	2.5 Gsample/s
	interleaved mode	5 Gsample/s
Memory depth per channel	normal mode	100 Msample per channel
	interleaved mode	200 Msample per channel
Waveform generator		
Resolution		14 bit
Sample rate		250 Msample/s
Output impedance		50 Ω ±1 % (meas.)
Amplitude	in to high Z	20 mV to 10 V (V _{pp})
	in to 50 Ω	10 mV to 5 V (V _{pp})
	accuracy	1.5 %
DC offset	in to high Z	± 5 V
	in to 50 Ω	± 2.5 V
	accuracy	1.5 % or ±3 mV whatever is greater

Durante le misure, si è fatto uso della modalità FFT del DSO, che permette di acquisire un segnale e calcolarne la Trasformata di Fourier, definendo *Start*, *Stop*, *Center*, *Span frequency* e la scala verticale (dBm, dBV, dB μ V, V(RMS)). Un'altra funzionalità comoda in fase di analisi è la modalità *Bode* la quale, collegando l'ingresso del sistema sotto test a un canale di acquisizione e l'uscita ad un altro, permette di tracciare il diagramma di Bode della Funzione di Trasferimento associata. In particolare, è possibile impostare parametri quali la frequenza iniziale, la frequenza finale, i punti per decade e il range di variabilità di modulo e fase.

A.2 Keysight 34410A



Figura A.2.1: Multimetro digitale Keysight 34410A

Il multimetro digitale Keysight 34410A [29] è stato utilizzato durante tutte le fasi di test, in particolare, al fine di confrontare i risultati ottenuti dalle acquisizioni svolte nella sezione 4.3.3 e, più in generale, al fine di valutare la correttezza delle tensioni misurabili all'interno del prototipo.

Il Keysight 34410A dispone di un sistema di misura a 6 1/2 digit ed è in grado di eseguire 10000 letture/s a 5 1/2 digit e 1000 letture/s a 6 1/2 digit. Può eseguire misure di tensione continua e alternata (calcolando il vero valore RMS), di corrente continua e alternata (fino a 3A), di resistenza a 2 e 4 fili. Tra le altre funzionalità, è possibile eseguire test di continuità e sui diodi. Inoltre, permette di eseguire la misura di periodo e frequenza di un segnale periodico. Dal datasheet del dispositivo è possibile risalire alle specifiche sull'accuratezza [29].

$$\text{Accuracy Specification } \pm (\% \text{ of reading} + \% \text{ of range})$$

Le misure effettuate sono state eseguite tutte in tensione continua o alternata. Durante le analisi, inoltre, le misurazioni hanno avuto ampia variabilità, spaziando dai mV fino alle centinaia di V. Tramite la tabella [A.2.1] è possibile risalire all'incertezza di misura.

Tabella A.2.1: Specifiche di accuratezza in tensione per il multimetro digitale Keysight 34410A

Function	Range	Frequency	1 Year Tcal $\pm 5\text{ }^{\circ}\text{C}$	Temperature Coefficient/ $^{\circ}\text{C}$
DC Voltage	100.0000 mV		0.0050 + 0.0035	0.0005 + 0.0005
	1.000000 V		0.0035 + 0.0007	0.0005 + 0.0001
	10.00000 V		0.0030 + 0.0005	0.0005 + 0.0001
	100.00000 V		0.0040 + 0.0006	0.0005 + 0.0001
	1000.000 V		0.0040 + 0.0006	0.0005 + 0.0001
True RMS AC Voltage	100.0000 mV to 750.000 V	3 Hz – 5 Hz	0.50 + 0.03	0.010 + 0.003
		5 Hz – 10 Hz	0.10 + 0.03	0.008 + 0.003
		10 Hz – 20 kHz	0.06 + 0.03	0.005 + 0.003
		20 kHz – 50 kHz	0.10 + 0.05	0.010 + 0.005
		50 kHz – 100 kHz	0.40 + 0.08	0.020 + 0.008
		100 kHz – 300 kHz	1.20 + 0.50	0.120 + 0.020

A.3 APM SP300VAC3000W

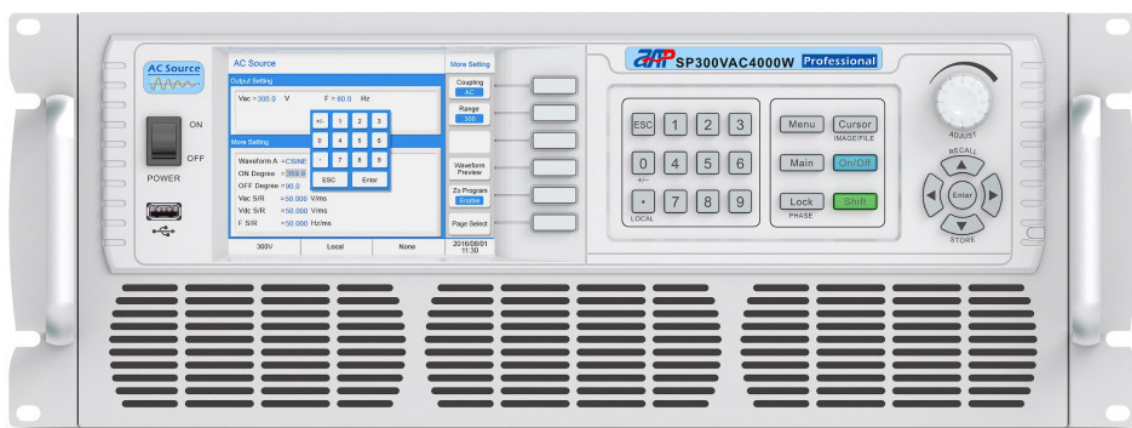


Figura A.3.1: Sorgente programmabile AC/DC APM SP300VAC3000W

La sorgente AC/DC APM SP300VAC3000W [30] è stata utilizzata al fine di ricavare le misure relative alla caratterizzazione del sistema complessivo 4.3.3.

Tabella A.3.1: Specifiche principali della sorgente APM SP300VAC3000W

Input		
Voltage		190 ~ 265VAC
Frequency		47 ~ 63Hz
Max. Current		20A
Output		
AC Power		3000VA
Max. Current (r.m.s)	0 ~ 150V(L)	27.6A
	0 ~ 300V(H)	13.8A
Max. Current (Peak)	0 ~ 150V(L)	165.6A
	0 ~ 300V(H)	82.8A
Voltage (AC)	Range	0 ~ 300VAC, 150V/300V/Auto
	Resolution	0.1V
	Accuracy	0.2% of setting + 0.2%F.S.
Voltage (DC)	Range	0 ~ 424VDC
	Resolution	0.1V
	Accuracy	0.2% of setting + 0.2%F.S.
	Max. Power	3000W
	Max. Current (L/H Range)	L 19.6A H 9.8A
Measurement		
Voltage	Range	AC 0 ~ 300VAC DC 0 ~ 424VDC
	Resolution	0.1V
	Accuracy	0.2% of setting + 0.2%F.S.
Current	Range	H 0.3A ~ 27.6A
		M 0.2A ~ 20A
		L 0.1A ~ 5A
		mA 0.02A ~ 1.5A
	Resolution	0.01A
Accuracy		H/M 0.4%+0.6%F.S.
		L/mA 0.4%+1.0%F.S.
Power	Range	0 ~ 3060W
	Resolution	0.1W
	Accuracy	0.4% of setting + 1.0% F.S. at PF>0.2, Voltage>5V
Power Factor (PF)	Range	0.00 ~ 1.00
	Resolution	0.01
	Accuracy	W/VA, Calculated value
Harmonic	Range	2 ~ 40 orders

La sorgente è stata utilizzata nella modalità AC, DC e AC+DC (al fine di generare segnali alternati con offset in DC). In sezione 4.3.3 sono stati sfruttate le opzioni di sintesi di segnali sinusoidali e ad onda quadra. Inoltre, tra le varie funzionalità della sorgente, è stata usata l'*Harmonic Synthesis* al fine di generare armoniche in tensione (fino alla 40^a),

come svolto nella sezione 4.3.3.

A.4 Chroma 63804



Figura A.4.1: Carico attivo programmabile AC/DC Chroma 63804

Il carico attivo AC/DC Chroma 63804 [31] è stato utilizzato al fine di ricavare le misure relative alla caratterizzazione del sistema complessivo 4.3.3.

Tabella A.4.1: Specifiche principali del carico Chroma 63804

Specification		
Power		4500W
Current		0 to 45Arms (135Apeak, continue)
Voltage		50 to 350Vrms (500Vpeak)
Frequency		45 to 440Hz, DC
AC Section		
Constant Current Mode	Range	0 to 45Arms, Programmable
	Accuracy Resloution	0.1% + 0.2%F.S. 5mA
Power Factor	Range	0 to 1 lead or lag, Programmable
	Accuracy	1%F.S.
	Resloution	0.001
Measurement Section	DVM Range	350V _{RMS} (500V _{pk})
	DVM Accuracy	0.1% + 0.1%F.S.
	DVM Resolution	10mV
	DAM Range	45A _{RMS} (200A _{peak})
	DAM Accuracy(<70Hz)	0.1% + 0.2%F.S.
	DAM Accuracy(>70Hz)	0.1%(1+CF * kHz)+0.2%F.S.
	DAM Resloution	1.0mA

Appendice B

Schemi elettrici, PCB e BOM

Questo capitolo conclude il progetto in esame. Verranno illustrati lo schema elettrico, il PCB finale e la lista dei componenti utilizzati (BOM).

Tabella B.0.1: *Bill Of Materials*

Part	Value	Device	Package
C1	100n	C-EUC1608	C1608
C2	100n	C-EUC1608	C1608
C3	100n	C-EUC1608	C1608
C4	100n	C-EUC1608	C1608
C5	10u	C-EUC0805	C0805
C6	10u	C-EUC0805	C0805
C7	100n	C-EUC1608	C1608
C8	100n	C-EUC1608	C1608
C9	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C10	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C11	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C12	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C13	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C14	100n	C-EUC1608	C1608
C15	100n	C-EUC1608	C1608
C16	100n	C-EUC1608	C1608
C17	100n	C-EUC1608	C1608
C18	100n	C-EUC1608	C1608
C19	100n	C-EUC1608	C1608
C20	100n	C-EUC1608	C1608
C21	100n	C-EUC1608	C1608
C22	100n	C-EUC1608	C1608
C23	100n	C-EUC1608	C1608
C24	100n	C-EUC1608	C1608
C25	10u	C-EUC1608	C1608

Part	Value	Device	Package
C26	1u	C-EUC1608	C1608
C27	10u	C-EUC1608	C1608
C28	1u	C-EUC1608	C1608
C29	10u	C-EUC1608	C1608
C30	10u	C-EUC1608	C1608
C31	10u	C-EUC1608	C1608
C32	100n	C-EUC1608	C1608
C33	100n	C-EUC1608	C1608
C34	100n	C-EUC1608	C1608
C36	100n	C-EUC1608	C1608
C37	68n	C-EUC0402	C0402
C39	100n	C-EUC1608	C1608
C40	100n	C-EUC1608	C1608
C41	100n	C-EUC1608	C1608
C42	100n	C-EUC1608	C1608
C43	1n	C-EUC1608	C1608
C44	100n	C-EUC1608	C1608
C45	68n	C-EUC0402	C0402
C47	100n	C-EUC1608	C1608
C48	100n	C-EUC1608	C1608
C49	100n	C-EUC1608	C1608
C51	1u	C-EUC1608	C1608
C52	10u	C-EUC1608	C1608
C53	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C54	10u	CPOL-EUUD-4X5,8	UD-4X5,8_NICHICON
C55	10u	C-EUC1608	C1608
IC1	ADR3425ARJZ-R2	ADR3425ARJZ-R2	RJ_6_ADI
J1	CTB9302_3	CTB9302_3	/
J2	CTB9302_3	CTB9302_3	/
J3	PINHD-1X15	PINHD-1X15	1X15
J4	PINHD-1X15	PINHD-1X15	1X15
L1	BLM21PG331SN1	R-EU_R0805	R0805
L2	BLM21PG331SN1	R-EU_R0805	R0805
L3	2000uH	WE-SL2-744221_744221	WE-SL2
LED1	GREEN	LEDSML0805	SML0805
PS1	TVN_3-0922	TVN_3-0922	TVN32419
R1	1R	R-EU_R2512	R2512
R2	30R	R-EU_M1206	M1206

Part	Value	Device	Package
R3	36k	R-EU_M1206	M1206
R4	10k	R-EU_R0805	R0805
R5	49k9	R-EU_M1206	M1206
R6	49k9	R-EU_M1206	M1206
R7	120k	R-EU_R0805	R0805
R8	120k	R-EU_R0805	R0805
R9	120k	R-EU_R0805	R0805
R10	120k	R-EU_R0805	R0805
R11	120k	R-EU_R0805	R0805
R12	120k	R-EU_R0805	R0805
R13	1R	R-EU_R0805	R0805
R14	1R	R-EU_R0805	R0805
R15	0R	R-EU_R2512	R2512
R16	32k9	R-EU_M1206	M1206
R17	0R	R-EU_R2512	R2512
R18	660	R-EU_R0805	R0805
R19	30	R-EU_M1206	M1206
R20	30	R-EU_M1206	M1206
R21	1R	R-EU_R0805	R0805
R22	1k3	R-EU_R0805	R0805
R23	1k3	R-EU_R0805	R0805
R24	1k3	R-EU_R0805	R0805
R25	1k3	R-EU_R0805	R0805
R26	10R	R-EU_R0402	R0402
R28	1R	R-EU_R0805	R0805
R29	1R	R-EU_R0805	R0805
R30	120k	R-EU_R0805	R0805
R31	120k	R-EU_R0805	R0805
R32	120k	R-EU_R0805	R0805
R33	120k	R-EU_R0805	R0805
R34	120k	R-EU_R0805	R0805
R35	120k	R-EU_R0805	R0805
R36	1R	R-EU_R0805	R0805
R37	1R	R-EU_R0805	R0805
R38	200k	R-EU_R2512	R2512
R39	200k	R-EU_R2512	R2512
R40	200k	R-EU_R2512	R2512
R41	200k	R-EU_R2512	R2512

Part	Value	Device	Package
R42	3.3k	R-EU_M1206	M1206
R43	3.3k	R-EU_M1206	M1206
R44	1R	R-EU_R0805	R0805
R45	1k3	R-EU_R0805	R0805
R46	1k3	R-EU_R0805	R0805
R47	1k3	R-EU_R0805	R0805
R48	1k3	R-EU_R0805	R0805
R49	10R	R-EU_R0402	R0402
R51	1R	R-EU_R0805	R0805
R52	1R	R-EU_R0805	R0805
R53	1R	R-EU_R0805	R0805
R54	1R	R-EU_R0805	R0805
R55	100k	R-EU_R0805	R0805
R56	100k	R-EU_R0805	R0805
R57	0R	R-EU_R0805	R0805
R58	1R	R-EU_R2512	R2512
R59	1R	R-EU_R2512	R2512
R60	1R	R-EU_R2512	R2512
U\$1	AD7655	AD7655	LQFP48
U\$2	ADUM1400	ADUM1400	SOIC16R
U\$3	ADUM1400	ADUM1400	SOIC16R
U\$4	ADUM1400	ADUM1400	SOIC16R
U\$5	ADUM1400	ADUM1400	SOIC16R
U\$6	ADUM1402	ADUM1402	SOIC16R
U\$7	LT3045	LT3045	MSOP12
U\$8	LT3094	LT3094	MSOP12
U\$9	AD8137	AD8137	SO8
U\$10	INA828	INA828IDD0008A_M	D0008A_M
U\$11	LTC1563-2	LTC1563-2	SSOP16
U\$12	AD8137	AD8137	SO8
U\$13	INA828	INA828IDD0008A_M	D0008A_M
U\$14	LTC1563-2	LTC1563-2	SSOP16
U\$15	LT3045	LT3045	MSOP12

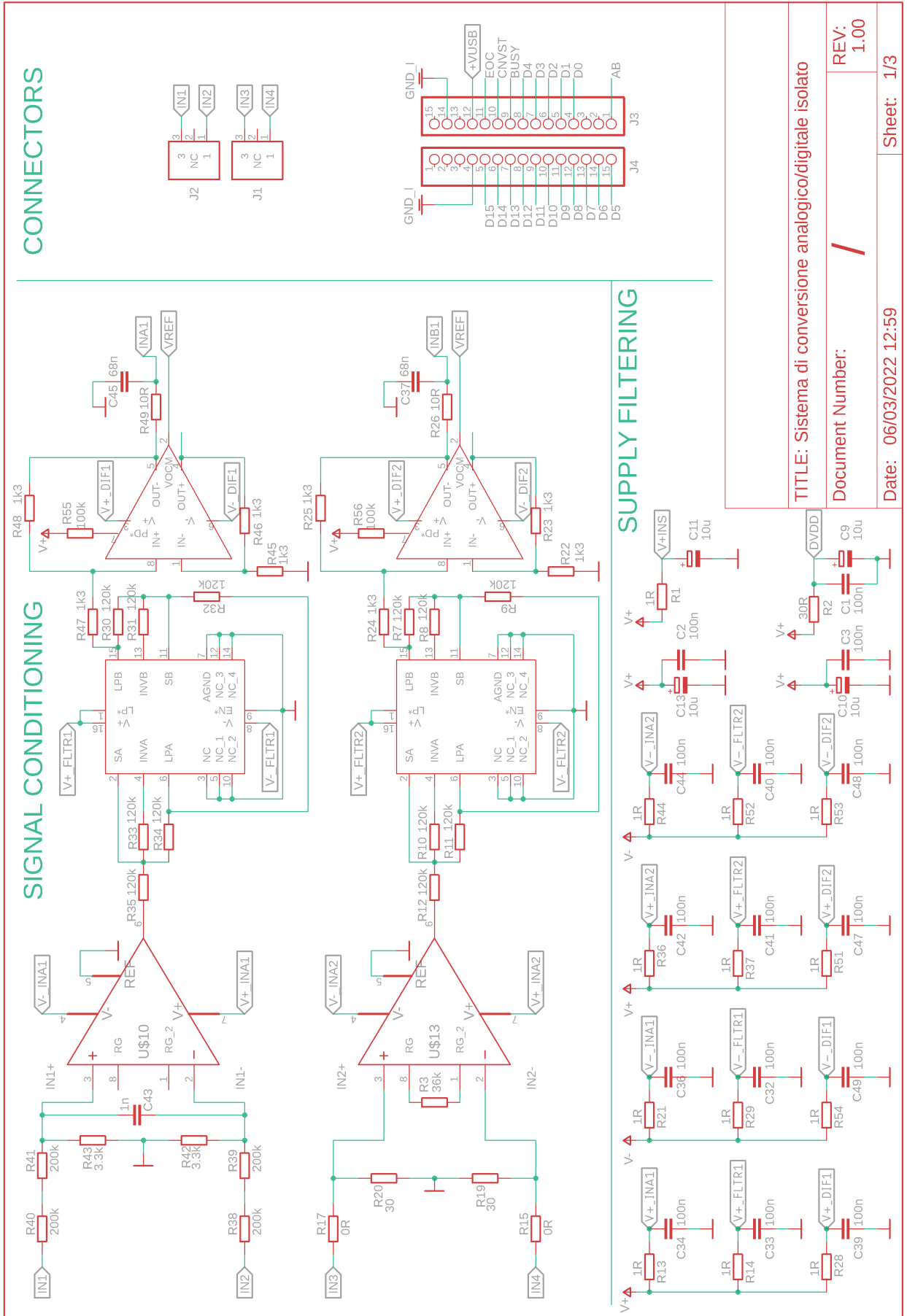


Figura B.0.1: Schema elettrico, pagina 1

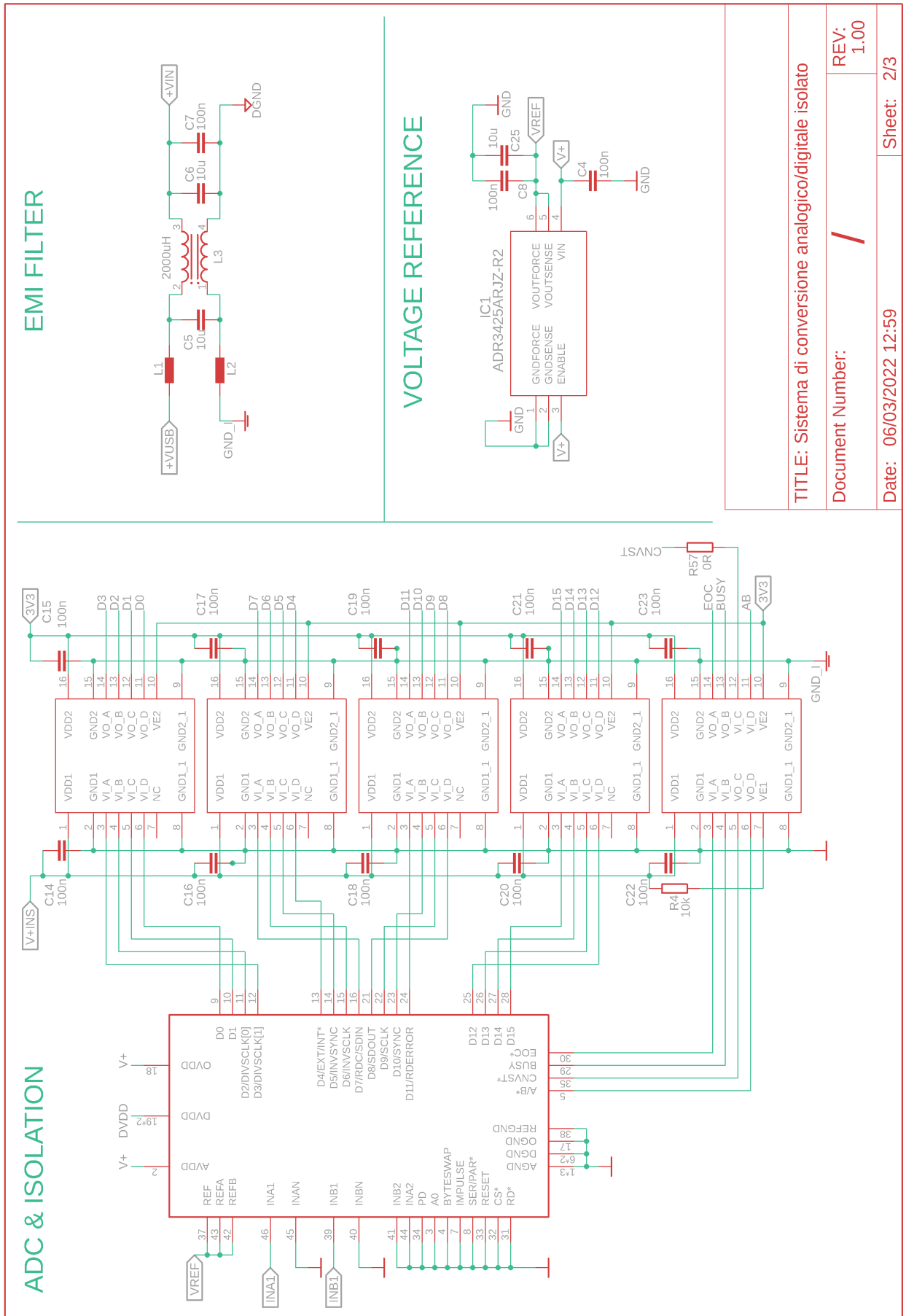
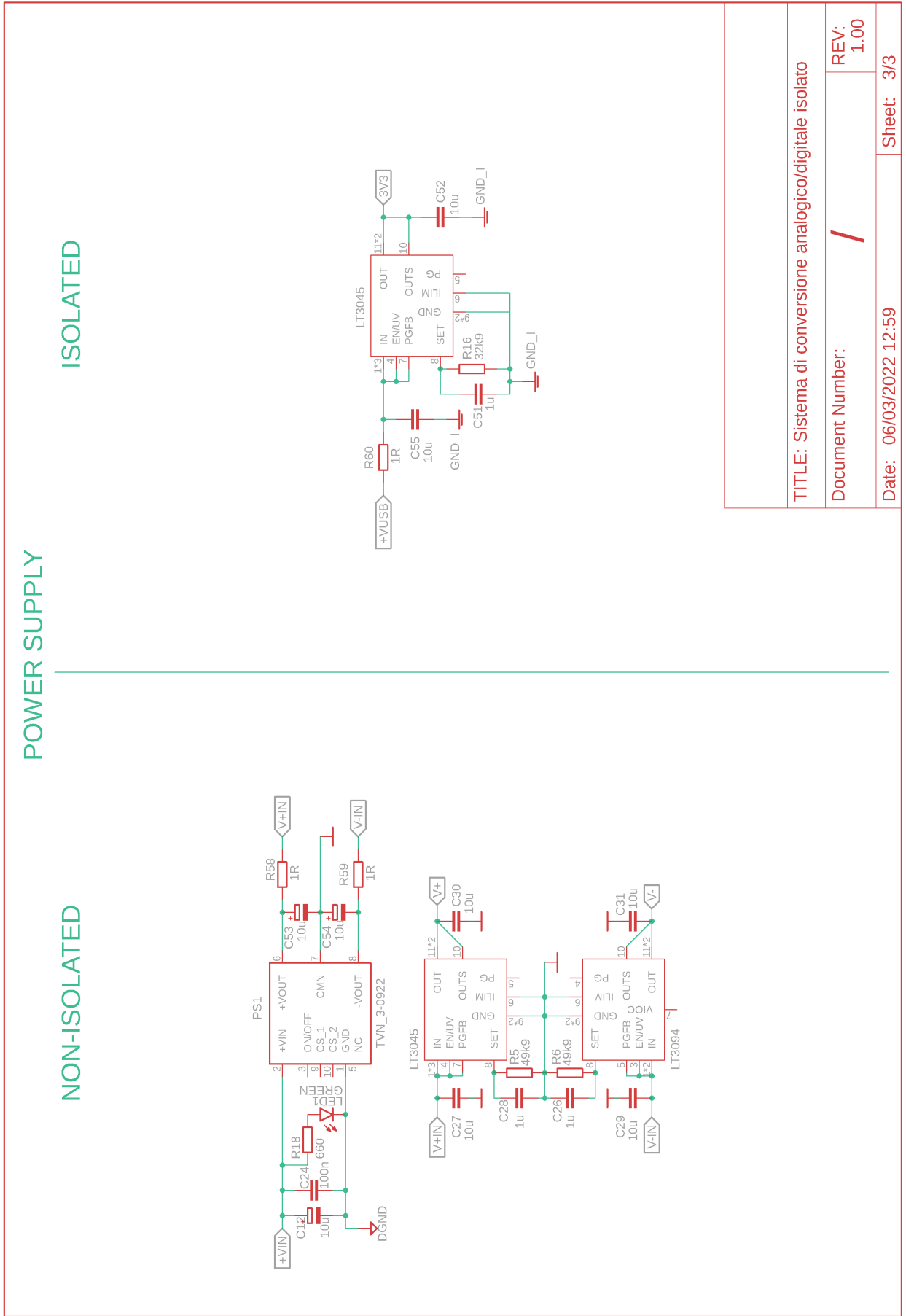


Figura B.0.2: Schema elettrico, pagina 2



TITLE: Sistema di conversione analogico/digitale isolato

Document Number: /

REV:
1.00

Date: 06/03/2022 12:59

Sheet: 3/3

Figura B.0.3: Schema elettrico, pagina 3

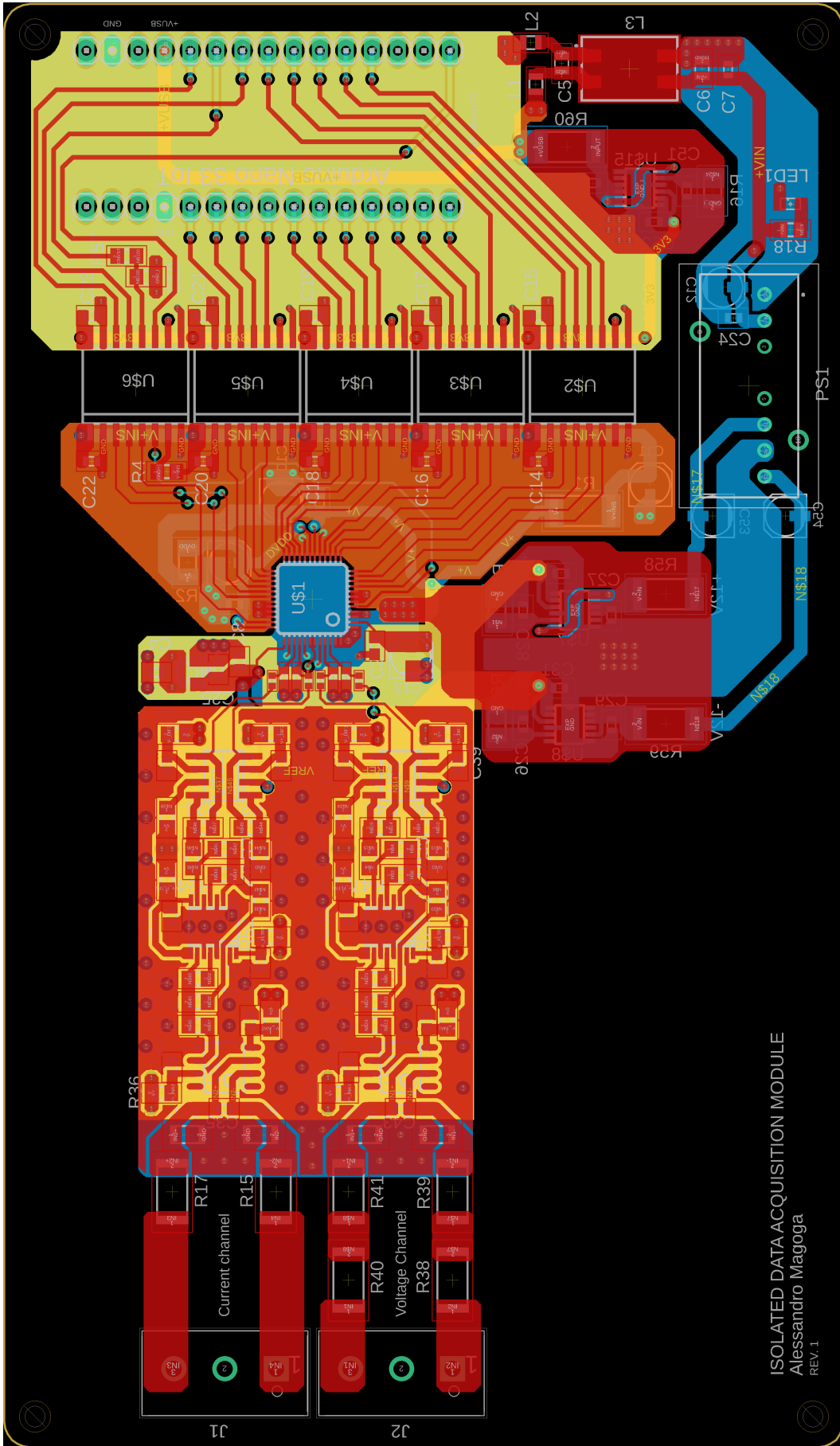


Figura B.0.4: PCB (Top View)

Bibliografia

- [1] Eurostat. «Renewable energy statistics». In: (2022). URL: https://ec.europa.eu/eurostat/statistics-explained/index.php?title=Renewable_energy_statistics
- [2] Hitachi. «Power Electronics: Revolutionizing the world's future energy systems». In: (2021). URL: <https://search.abb.com/library/Download.aspx?DocumentID=9AKK107992A7015&LanguageCode=en&DocumentPartId=&Action=Launch#:~:text=Power%20Electronics%20is%20revolutionizing%20the,can%20be%20increasingly%20found%20everywhere!&text=PE%20is%20at%20the%20heart,50%2F60Hz%20to%205V%20DC>.
- [3] CEI. «CEI 0-16». In: (2019). URL: https://www.ceinorme.it/doc/norme/016021_2019/0-16_2019.pdf
- [4] CEI. «CEI 0-21» In: (2019). URL: https://www.ceinorme.it/doc/norme/016021_2019/0-21_2019.pdf
- [5] European Commission. «Low Voltage Directive (LVD)». In: (2014). URL: <https://eur-lex.europa.eu/legal-content/IT/TXT/PDF/?uri=CELEX:32014L0035&from=EN>
- [6] Marco Vetti. «Studio e Sviluppo di un Sistema di Conversione Analogico/Digitale isolato per Applicazioni di Misura su Rete Elettrica a Bassa Tensione» In: (2020).
- [7] LEM. «AC Current transformer TT 50-SD». In: (2015). URL: https://www.lem.com/sites/default/files/products_datasheets/tt50sd_e.pdf
- [8] Vishay. «CRCW2512200KFKTG». In: (2021). URL: <https://www.mouser.it/datasheet/2/427/dcrcw-1762150.pdf>
- [9] Murata. «BLM21PG331SN1». In: (2022). URL: <https://www.murata.com/en-eu/api/pdfdownloadapi?cate=cgsubChipFerriBead&partno=BLM21PG331SN1%23>
- [10] Würth Elektronik. «744221 Datasheet WE-SL2 SMT Common Mode Line Filter». In: (2020). URL: <https://www.we-online.com/catalog/datasheet/744221.pdf>
- [11] Analog Devices. «LTC1563-2». In: (2005). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/156323fa.pdf>

- [12] Texas Instruments. «INA828». In: (2018). URL: https://www.ti.com/lit/ds/symlink/ina828.pdf?ts=1645605164653&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FINA828
- [13] Traco Power. «TVN 3-0922». In: (2021). URL: https://www.tracopower.com/sites/default/files/products/datasheets/tvn3_datasheet.pdf
- [14] Traco Power. «TVN 3-0922. Application Notes». In: (2021). URL: <https://www.tracopower.com/int/it/model/tvn-3-0922>
- [15] Analog Devices. «LT3045». In: (2021). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/lt3045.pdf>
- [16] Analog Devices. «LT3094». In: (2020). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/LT3094.pdf>
- [17] Analog Devices. «AD7655». In: (2016). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7655.pdf>
- [18] Analog Devices. «AD8137». In: (2012). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD8137.pdf>
- [19] Analog Devices. «ADR3425». In: (2018). URL: https://www.analog.com/media/en/technical-documentation/data-sheets/ADR3412_ADR3420_ADR3425_ADR3430_ADR3433_ADR3440_ADR3450.pdf
- [20] Analog Devices. «ADuM140X». In: (2016). URL: https://www.analog.com/media/en/technical-documentation/data-sheets/ADuM1400_1401_1402.pdf
- [21] Analog Devices. «iCoupler Technology: An Alternative to Optocouplers». In: (2020). URL: <https://www.analog.com/en/products/landing-pages/001/icoupler-technology-alternative-to-optocouplers.html>
- [22] Arduino. «Nano 33 IoT». In: (2022). URL: <https://docs.arduino.cc/hardware/nano-33-iot>
- [23] Microchip. «ATSAMD21G18». In: (2021). URL: <https://ww1.microchip.com/downloads/en/DeviceDoc/SAM-D21DA1-Family-Data-Sheet-DS40001882G.pdf>
- [24] Texas Instruments. «Super-beta Input Amplifiers: Features and Benefits». In: (2020). URL: https://www.ti.com/lit/an/sboa305/sboa305.pdf?ts=1638719196861&ref_url=https%253A%252F%252Fwww.google.com%252F
- [25] ResearchGate. «Phonocardiography and Photoplethysmography With Simple Arduino Setups to Support Interdisciplinary STEM Education - Scientific Figure on ResearchGate.». In: (2019). URL: <https://www.researchgate.net/publication/334288006/figure/fig6/AS:778193816539136@1562547272084/>

[A-circular-buffer-allows-asynchronous-write-and-read-operations-and-can-store-jpg](#)

- [26] Keil. «CMSIS-Core (Cortex-M)». In: (2021). URL: <https://www.keil.com/pack/doc/CMSIS/Core/html/index.html>
- [27] Arm. «AMBA Overview». In: (2022). URL: <https://developer.arm.com/architectures/system-architectures/amba>
- [28] Rohde & Schwarz. «R&S®RTA4000 Oscilloscope». In: (2019). URL: https://scdn.rohde-schwarz.com/ur/pws/dl_downloads/dl_common_library/dl_brochures_and_datasheets/pdf_1/RTA4000_dat_en_5215-1776-32_v0500.pdf
- [29] Keysight. «Keysight Technologies 34410A and 34411A Multimeters». In: (2015). URL: <https://www.keysight.com/it/en/assets/7018-01326/data-sheets/5989-3738.pdf>
- [30] APM Technologies. «Middle Power Single Phase AC Source». URL: <https://www.butterfly.com/PDF/apm-technologies/sp-vac/APM-SP-VAC-datasheet-EN.pdf>
- [31] Chroma Systems Solutions. «Programmable AC-DC Electronic load Model 63800 Series». In: (2014). URL: <https://www.chromausa.com/product/programmable-ac-electronic-load-63800/>
- [32] Flir. «FLIR i50 (2010 model)». In: (2010). URL: http://www.west-1.com/uploads/tdpdf/t197650_eng_tds.pdf
- [33] Sierra Circuits. «What is Signal Propagation Delay in a PCB?». In: (2020). URL: <https://www.protoexpress.com/blog/signal-propagation-delay-pcb/#:~:text=Let's%20calculate%20the%20propagation%20delay,it's%20equal%20to%2085ps%2Fin.>
- [34] MathWorks. «MATLAB». In: (2022). URL: <https://it.mathworks.com/products/matlab.html>
- [35] Dott. Stefano Bonnini, Dott.ssa Susanna Ragazzi. «La regressione lineare semplice». In: (2006). URL: <http://math.unife.it/informatica/insegnamenti/statistica-applicata/materiale/levine-capitolo-12.pdf>
- [36] STMicroelectronics. «STM32 32-bit Arm Cortex MCUs». In: (2022). URL: <https://www.st.com/en/microcontrollers-microprocessors/stm32-32-bit-arm-cortex-mcus.html>
- [37] Analog Devices. «AD7676». In: (2002). URL: <https://www.analog.com/media/en/technical-documentation/data-sheets/AD7676.pdf>