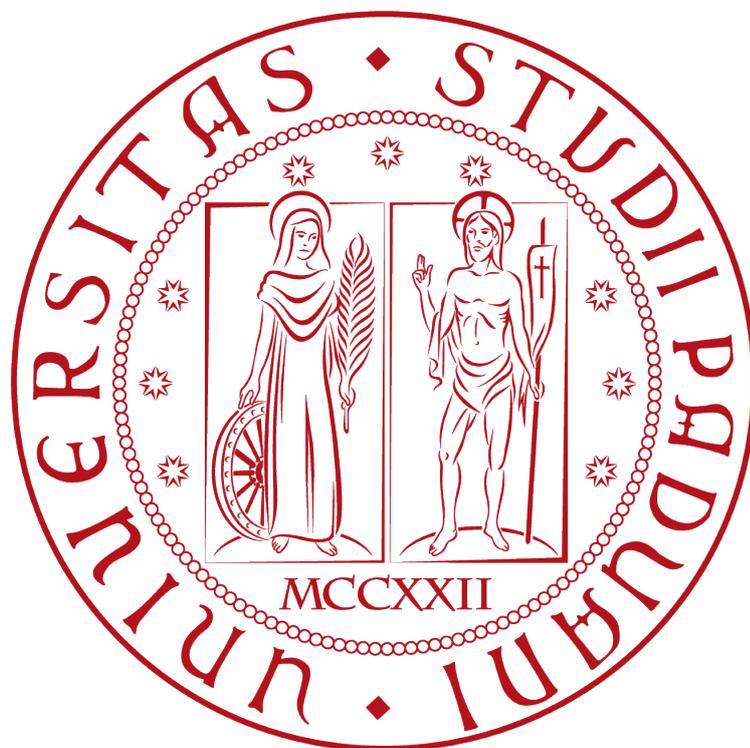


UNIVERSITÀ DEGLI STUDI DI PADOVA

FACOLTÀ DI INGEGNERIA
Corso di Laurea in Ingegneria Elettronica



Progettazione di esperienze di laboratorio
per studenti di un istituto tecnico
industriale

Tutor universitario/Relatore:
Prof.
Gaudenzio MENEGHESSO

Presentata da:
Stefano BULBARELLA

Tutor aziendale:
Prof.
Roberto ANTILI

Anno Accademico 2011/2012

Progettazione di esperienze di laboratorio per studenti di un istituto tecnico industriale

Stefano Bulbarella

21 novembre 2011

Indice

Introduzione	iii
1 Il convertitore analogico digitale a singola rampa	1
1.1 Analisi della prova	1
1.1.1 La scelta della tipologia	1
1.1.2 Funzionamento	2
1.2 Blocchi fondamentali	3
1.2.1 Amplificatori operazionali e loro impiego	3
1.2.2 Il contatore ad 8 bit e la logica combinatoria	7
1.3 Realizzazione	10
1.3.1 Simulazione	13
1.3.2 Realizzazione pratica	15
1.3.3 Limiti teorici	19
1.4 Verifica delle prestazioni	23
2 Semaforo intelligente	29
2.1 Analisi della prova	29
2.2 La macchina a stati finiti	29
2.2.1 Circuiti sequenziali	30
2.2.2 Il modello di Huffman, macchine di Mealy e di Moore	34
2.3 Progettazione	35
2.3.1 La codifica degli stati	36
2.3.2 Equazioni di stato	38
2.4 Simulazione	41
2.5 Realizzazione e schema elettrico finale	41
2.6 Verifica funzionamento	44
2.7 Ampliamento prova	44
3 Semplice amplificatore audio in classe A	49
3.1 Il transistor BJT	49
3.1.1 Struttura del BJT	49
3.1.2 Effetto transistor e amplificazione	50
3.1.3 Il modello del trasporto	51
3.1.4 Modi di funzionamento	52
3.1.5 Caratteristiche $i-v$ del BJT	53
3.2 L'amplificatore a BJT	55
3.2.1 La rete di polarizzazione a quattro resistori	56

3.2.2	Modelli per piccoli segnali	58
3.2.3	Amplificatore ad emettitore comune	60
3.3	Progettazione amplificatore in configurazione CE	61
3.3.1	Amplificazione di tensione e di corrente	61
3.3.2	Resistenza di ingresso e di uscita per configurazione CE	64
3.3.3	Dimensionamento	66
3.3.4	Dimensionamento C_{IN} e C_{OUT}	67
3.4	Simulazione	69
3.4.1	Caratteristica di uscita BD139	69
3.4.2	Simulazione circuito finale	71
3.5	Verifica funzionamento	73
3.5.1	Applicazione	79
3.6	Ampliamento prova	79
Conclusioni		83

Introduzione

La curiosità di toccare con mano alcuni tra i componenti base dell'elettronica e di sperimentare le conoscenze acquisite durante il corso di studi ormai concluso mi hanno spinto a scegliere il tirocinio piuttosto che l'elaborato o un qualsiasi altro esame facoltativo. La ricerca del posto in cui svolgere il tirocinio non è stata lunga, cercavo un luogo in cui potessi aver la possibilità di progettare qualcosa da solo ma allo stesso tempo avevo bisogno di strumentazione e supporto tecnico di persone più esperte di me dal lato pratico; ecco che la figura di assistente di laboratorio in un istituto tecnico risulta ideale. Il buon rapporto non chiuso con la mia ex scuola media superiore, *I.T.I.S. Euganeo* ed il sostegno di ex professori ancora in carica all'Euganeo ha contribuito a rafforzare l'idea dell'esperienza lavorativa che si è realizzata nel secondo semestre dell'anno accademico 2010/2011. E' stato necessario diminuire le ore del tirocinio da 500 a 250 (passando quindi al tirocinio corto) perchè in qualità di assistente di laboratorio non potevo svolgere più di 18 ore settimanali; questo ha ridimensionato il programma iniziale permettendomi comunque di preparare tre prove di laboratorio adatte a tre classi di diverso livello ed indirizzo. Dopo un periodo di ambientamento e soprattutto dopo aver verificato il livello degli studenti ai quali erano destinate le prove ho avuto la totale libertà di trovare argomenti interessanti da approfondire con la realizzazione pratica di un dispositivo esempio, abbastanza semplice da garantire il corretto funzionamento ed abbastanza complesso da stimolare la curiosità degli studenti. Una volta scelte le prove ho potuto personalmente montare e provare i dispositivi, trovandomi davanti alcuni problemi che in fase di progetto non sembravano poter compromettere il funzionamento; è stata poi molto interessante anche la parte di test dei dispositivi, utilizzando apparecchiature discrete ho potuto valutare le prestazioni dei dispositivi, individuando punti deboli e limiti circuitali.

Capitolo 1

Il convertitore analogico digitale a singola rampa

1.1 Analisi della prova

Per arrivare alla realizzazione di un convertitore ad integrazione semplice è necessario risolvere alcuni problemi che si incontrano nel passaggio dallo schema a blocchi, che ne spiega il funzionamento, ad un circuito reale che comprende una parte digitale ed una analogica; in particolare si dovrà prestare particolare attenzione alla compatibilità dei vari blocchi, dimensionare adeguatamente i componenti tenendo conto delle loro non idealità e trovare soluzioni circuitali semplici per implementare i segnali di controllo esterni. Dopo aver risolto tali problemi ed aver trovato una prima soluzione circuitali si passerà alla simulazione via software che darà un primo riferimento sul comportamento reale del circuito; se necessarie verranno fatte alcune correzioni per poi passare alla realizzazione pratica su basetta. In caso di mal funzionamento se ne cercheranno le cause con l'aiuto degli strumenti in laboratorio, verranno quindi progettate soluzioni fino a quando il circuito avrà una buona affidabilità. Per completare la prova il circuito funzionante verrà testato sotto diverse condizioni di lavoro verificandone le capacità ed i limiti probabilmente imposti dal montaggio provvisorio dei componenti, nel caso particolare di un convertitore AD sarà interessante valutare le sue prestazioni in fatto di passo di quantizzazione e tempi di conversione.

1.1.1 La scelta della tipologia

Nella scelta delle esperienze da proporre agli alunni ho cercato un dispositivo che sia il più comune possibile, un qualcosa che i ragazzi potessero immaginare all'interno di un sistema molto più complesso che si usi nella quotidianità; a questo proposito il passaggio della distribuzione televisiva al mondo digitale mi ha dato l'idea di realizzare un convertitore analogico/digitale. Dalla mie conoscenze potevo prendere diversi tipi di convertitori, sono stati considerati i convertitori *Flash*, ad approssimazione successive, ad integrazione semplice e a doppia rampa; ognuno di questi presenta caratteristiche diverse, diversi punti critici e soprattutto diversa complessità circuitali. Iniziando l'analisi dal convertitore *Flash* è subito emersa la sua complessità circuitali, in questo caso infatti l'intervallo di quantizzazione

dipende dal numero di amplificatori operazionali utilizzati il ch  fa aumentare in maniera improponibile il numero di integrati da utilizzare; altro contro di questo convertitore   la necessit  di utilizzare resistori con bassa incertezza ed insensibili alle variazioni termiche, componenti quindi difficili e costosi rispetto alla classiche resistenze gi  presenti nel laboratorio. La semplice comprensione del funzionamento non avrebbe interessato gli alunni pi  attenti, rendendo la prova noiosa e poco istruttiva; per questi motivi ho deciso di scartare la prima opzione. Il convertitore ad approssimazioni successive sarebbe stato molto interessante da proporre, merito del suo pratico metodo di confronto che permette di arrivare alla conversione; la complessit  circuitale sarebbe stata buona, ma la presenza del registro SAR avrebbe costretto gli alunni ad uscire dal programma, prendendo tale blocco come una scatola chiusa semi sconosciuta. Inoltre per realizzare questo tipo di convertitore sarebbe stata necessario includere nell'esperienza la progettazione del blocco di riconversione digitale/analogico, uscendo dalla scopo prefissato e rendendo la prova troppo lunga e laboriosa. L'analisi del convertitore ad integrazione semplice, chiamato anche a singola rampa invece ha portato alla scoperta di molti aspetti positivi. Il primo impatto con lo schema di progetto fa pensare ad una prova non troppo complessa, analizzando poi in dettaglio i blocchi presenti si vede che sono tutti facilmente comprensibili da una classe quarta, la quale ha gi  incontrato gli argomenti necessari nell'anno scolastico corrente ed in quello passato per quanto riguarda tutta la parte digitale combinatoria e sequenziale. L'impiego dell'amplificatore operazionale prima come generatore di rampa (circuitto integratore) e poi come semplice comparatore raggruppa le pi  importanti nozioni su un pezzo fondamentale dell'elettronica, la logica combinatoria ed il contatore danno uno spazio anche a delle basi molto importanti dell'elettronica digitale. La presenza di un contatore binario integrato ad 8 bit ha confermato la fattibilit  del progetto, che sar  effettivamente scelto come prova di laboratorio da proporre ad una classe quarta. In fine   stato preso in considerazione anche il convertitore a doppia rampa il quale presenta una complessit  circuitale del tutto simile a quello scelto, aumentando per  la complessit  di comprensione del funzionamento; se pur interessante non ho ritenuto buona questa configurazione, pensando che l'aumento della difficult  di comprensione non porta nessun vantaggio agli studenti.

1.1.2 Funzionamento

Il funzionamento del convertitore a singola rampa si basa sulla misura del tempo che impiega una rampa analogica a raggiungere un determinato valore di tensione, quello appunto da misurare. La rampa viene generata da un semplice circuito costituito da un amplificatore operazionale il quale permette di caricare a corrente costante un condensatore (ottenendo quindi ai capi del condensatore una tensione crescente con derivata costante); la linearit  della rampa consente di trovare una relazione biunivoca tra il suo livello di tensione ed il tempo impiegato per raggiungerlo. Per misurare, in maniera discreta, il tempo che la rampa impiega per raggiungere la tensione da convertire sar  sufficiente introdurre un segnale di clock, e contare quanti periodi di clock rientrano tra l'istante in cui inizia il processo di conversione e l'istante in cui finisce; per ottenere il segnale di fine conversione si introdurr  un comparatore che possa interrompere il conteggio nel momento in cui

la rampa supera la tensione da convertire. Gli impulsi di clock verranno conteggiati da un contatore digitale integrato, il quale riceverà in ingresso la moltiplicazione booleana tra il segnale di clock ed il segnale di fine conversione di modo da fermare il conteggio in corrispondenza della commutazione alto-basso del comparatore. Durante la progettazione si è subito posto il problema della mancanza di un segnale di inizio conversione, per il buon funzionamento del circuito è necessario che l'istante in cui la capacità inizia a caricarsi corrisponda all'inizio del conteggio, questo implica che ci deve essere un solo comando esterno che contemporaneamente permette all'integratore di iniziare la sua carica e abilita il blocco di conteggio. Sono state pensate diverse soluzioni, ma la necessità di semplificare al massimo il numero di componenti ha escluso tutte quelle che prevedevano l'introduzione di altri comparatori o dispositivi più complessi come i transistor BJT; tuttavia è stata trovata una soluzione che necessita solamente di un doppio switch e di una porta AND (già disponibile in quanto l'integrato utilizzato per la prima porta AND necessaria al convertitore ne include altre tre identiche). Con un doppio switch è possibile commutare due collegamenti con un solo movimento, la prima commutazione servirà per aprire o chiudere il cortocircuito sul condensatore dell'integratore, mentre la seconda fornirà un livello logico alto o basso che controllerà il segnale in ingresso al contatore; facendo corrispondere l'apertura del cortocircuito con un livello logico alto in ingresso alla seconda porta AND si sincronizza l'inizio del conteggio con l'inizio della salita della rampa.

1.2 Blocchi fondamentali

1.2.1 Amplificatori operazionali e loro impiego

L'amplificatore operazionale (nel seguito indicato con la sigla AO) è un circuito integrato che trae la sua denominazione dal fatto che viene impiegato nella realizzazione di circuiti atti ad effettuare somme, differenze, moltiplicazioni ed altre operazioni su segnali, non è adatto a trattare potenze troppo elevate ma risulta ideale per elaborare segnali di minime potenze. La circuiteria interna è composta da molteplici stadi costituiti per la maggior parte da transistori; la tipologie degli stadi amplificatori sono le più diverse in relazione alle caratteristiche richieste, risulta di particolare interesse lo studio dello stadio finale ai fini della realizzazione del circuito comparatore.

Il simbolo circuitale (Figura 1.1) mostra i due ingressi, in alto v_2 rappresenta l'ingresso invertente, in basso con v_1 è indicato l'ingresso non invertente e con il simbolo V_o si indica l'uscita; vengono di solito omesse le alimentazioni. Nel caso ideale la tensione di uscita dell'AO è pari alla tensione di ingresso differenziale $V_{inDiff} = V_1 - V_2$ moltiplicata per un fattore indicato con A_{OL} rappresentante il *guadagno ad anello aperto*; vengono di solito alimentati con tensione duale, applicando una tensione positiva nel ramo di alimentazione V_+ ed una negativa (rispetto al riferimento di massa) nel ramo V_- , tuttavia è possibile alimentare questi dispositivi con tensioni singole, ovvero collegando il ramo V_- al riferimento di massa con conseguente tensione minima in uscita nell'intorno di 1 Volt. Le caratteristiche principali di un AO sono quelle di un buon amplificatore di tensione, presenta quin-

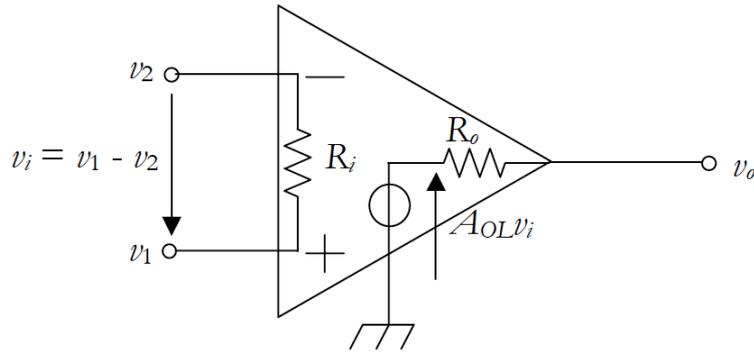


Figura 1.1: Simbolo circuitale Amplificatore Operazionale. Viene inoltre indicata la circuiteria interna equivalente, costituita dalla resistenza di ingresso R_i , dalla resistenza di uscita R_o e dal generatore di tensione controllato in tensione $A_{OL}v_i$.

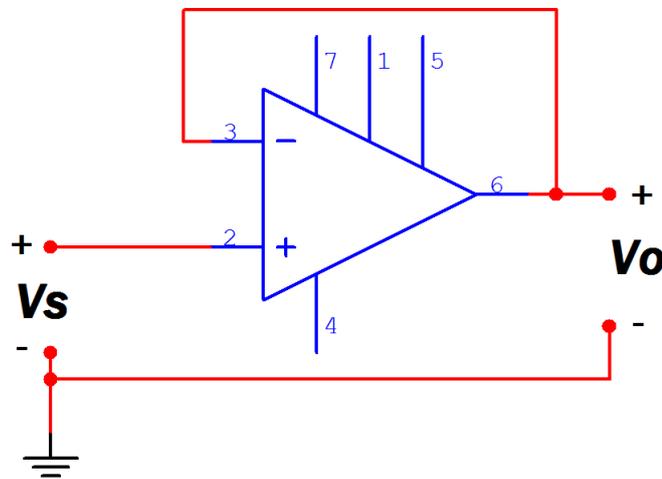


Figura 1.2: Classico esempio di retroazione negativa in un amplificatore operazionale. La tensione $V_o(t)$ sarà, in prima approssimazione, uguale alla tensione $V_s(t)$. Nel circuito sono state omesse le alimentazioni.

di una resistenza infinita all'ingresso ($R_i \simeq \infty$), resistenza nulla all'uscita ($R_o \simeq 0$), banda ($BW \simeq \infty$) e guadagno ($A_{OL} \simeq \infty$) infiniti.

L'integratore

Dalle considerazioni fatte sugli amplificatori operazionali ideali emerge che quando le tensioni degli ingressi sono una diversa dall'altra l'uscita deve portarsi al massimo valore di tensione (in realtà circa il 90% dell'alimentazione) a causa dell'elevato guadagno, se però si collega l'uscita dell'AO con uno dei suoi ingressi si verrà a creare una situazione di equilibrio come si può vedere nel caso dell'inseguitore di tensione (Figura 1.2).

Nel caso costituito da un inseguitore di tensione si ipotizzi che inizialmente la tensione V_1 , e di conseguenza anche V_2 e V_o , siano nulle; se successivamente la tensione V_1 viene portata ad un valore maggiore di zero, l'uscita dell'AO inizierà

a crescere a causa della tensione differenziale positiva portandosi ad un valore uguale a quello del morsetto non invertente di modo da ristabilire la condizione di tensione differenziale proporzionale al guadagno e quindi molto piccola. Diretta conseguenza dell'esempio descritto è il principio di *cortocircuito virtuale*, secondo il quale in un amplificatore operazionale retroazionato negativamente la tensione dei morsetti d'ingresso è uguale. Sulla base delle considerazioni fatte si consideri ora il circuito di figura 1.3, trascurando l'alimentazione duale necessaria all'AO si comincia a studiare il circuito nel dominio di Laplace, a partire dalla semplificazione di cortocircuito virtuale tra gli ingressi. Il collegamento diretto del terminale non invertente al riferimento di massa consente di considerare nullo anche il potenziale nel terminale invertente, di conseguenza è calcolabile la corrente i_1 attraverso la resistenza R_1 :

$$i_1(s) = \frac{V_+}{R_1} \quad (1.1)$$

Considerando la resistenza di ingresso infinita dell'AO si conosce anche la corrente che attraversa il condensatore posto in retroazione negativa, si ha infatti $i_1 = i_{c1}$ permettendo quindi di calcolare la tensione di uscita come la tensione ai capi del condensatore C_1 :

$$V_o(s) = -Z_{C_1}(s) \cdot i_1(s) = -\frac{V_+}{sR_1 \cdot C_1} \rightarrow W(s) = \frac{V_+(s)}{V_o(s)} = -\frac{1}{sR_1 \cdot C_1} \quad (1.2)$$

L'espressione di V_o nel dominio del tempo è facilmente ricavabile dall'espressione di $V_o(s)$ antitrasformando:

$$V_o(t) = -\frac{1}{C_1} \int_0^t \frac{V_+(\tau)}{R_1} d\tau - V_{c1}(0) \quad (1.3)$$

Collegando il terminale non invertente direttamente alla tensione di alimentazione negativa risulta $V_+ = -V_{cc}$ e di conseguenza l'andamento della tensione si uscita sarà una rampa con pendenza $1/R_1 \cdot C_1$. Il tempo necessario affinché la rampa raggiunga il massimo valore di tensione, pari quindi a V_{cc} , è pari al prodotto $R_1 \cdot C_1$ che equivale anche al tempo massimo teorico necessario per la conversione. Dalla $W(s)$ sono facilmente ricavabili i diagrammi di bode dell'integratore, per quanto riguarda il guadagno si avrà una retta con pendenza $20dB/dec$, dovuta all'unico polo presente, che interseca l'asse delle ordinate nel punto $1/(R_1 \cdot C_1)$; la fase sarà invece costante a $-3\pi/2$ dovuto al fatto che la funzione di trasferimento è invertente e presenta un unico polo. Una volta terminato il processo di conversione è necessario resettare l'integratore azzerando la rampa di modo che sia pronto per la successiva conversione; essendo la tensione di uscita uguale a quella ai capi della capacità sarà sufficiente scaricare la capacità attraverso una resistenza R_r azionando un comando esterno. Il dimensionamento di R_r va fatto di modo che il tempo di reset sia sufficientemente corto e che l'uscita dell'operazionale, in condizioni di reset, sia trascurabile rispetto alla tensione minima convertibile (in condizioni di reset il circuito diventa quasi un amplificatore in configurazione non invertente). In figura 1.4 si vede il completamento del circuito integratore con la resistenza R_r e lo switch S_1 di reset.

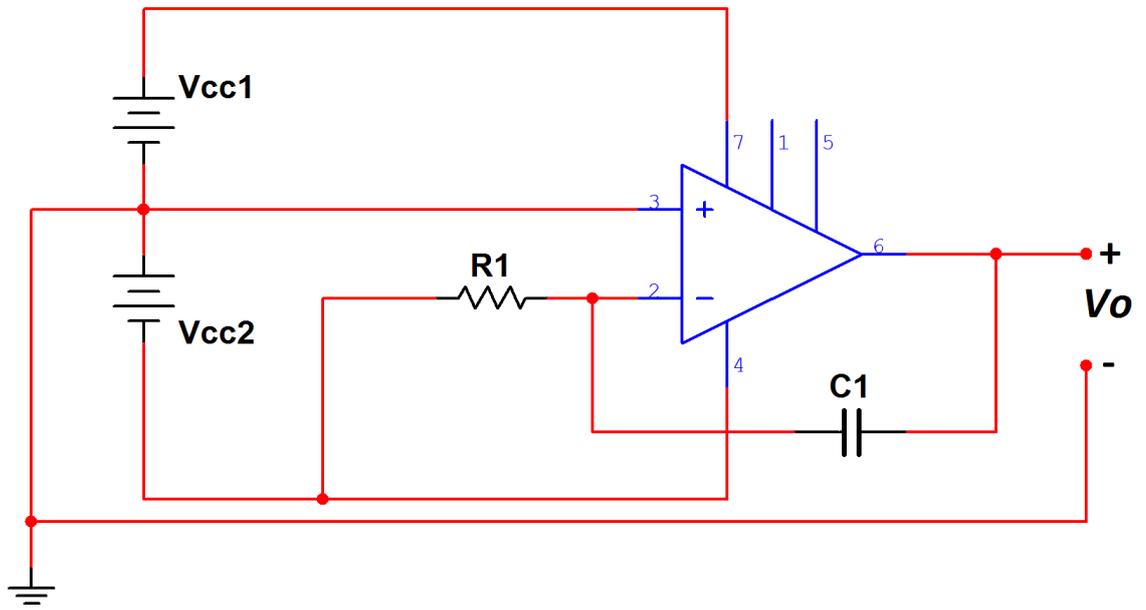


Figura 1.3: Schema elettrico circuito integratore.

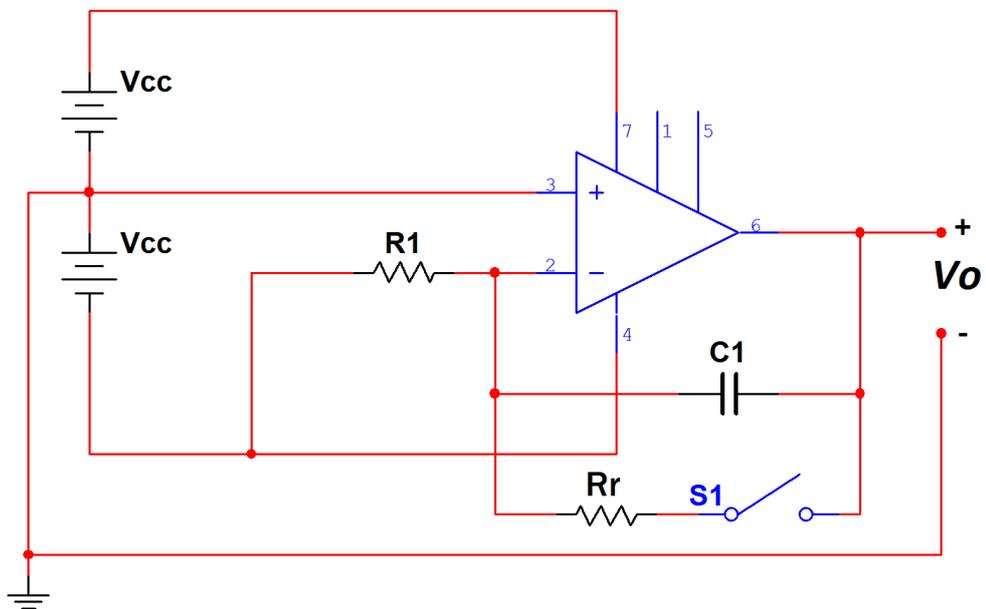


Figura 1.4: Schema elettrico circuito integratore con reset.

Il comparatore

Il comparatore utilizzato per ottenere il segnale di fine conversione è stato realizzato con un amplificatore operazionale in configurazione ad anello aperto. Il principio di funzionamento si basa sulle caratteristiche dell'amplificatore operazionale, applicando sull'ingresso invertente una tensione di riferimento e sull'ingresso non invertente la tensione da comparare l'uscita dell'AO assumerà un valore pari alla tensione di alimentazione positiva nel caso in cui la tensione da comparare sia superiore a quella di riferimento (avendo agli ingressi una tensione differenziale positiva l'elevato guadagno porta l'uscita alla saturazione); assumerà invece un valore pari alla tensione di alimentazione negativa nel caso opposto. Come anticipato l'uscita del comparatore dovrà comandare l'ingresso di una porta logica con tecnologia TTL, per questo motivo non è possibile alimentare il comparatore con la tensione duale utilizzata per l'integratore, idealmente sarebbe sufficiente alimentare il ramo positivo con V_{cc} e collegare il ramo di alimentazione negativa al riferimento di massa, di modo che l'uscita assuma valori 0 - 5 Volt; una tale alimentazione non garantisce però le caratteristiche dell'AO nel caso in cui si usi un circuito general purpose, in particolare lo zero logico corrisponderà a circa 1 Volt, valore troppo elevato per la logica TTL che leggerebbe erroneamente un uno logico. La soluzione al problema è stato l'utilizzo di particolari amplificatori operazionali progettati in modo da funzionare correttamente anche con alimentazione singola ed ideali per l'utilizzo da comparatori, tali dispositivi prendono il nome di *amplificatori operazionali a collettore aperto*. In questi particolari dispositivi lo stadio finale è costituito da un amplificatore a singolo transistor al cui collettore è collegata direttamente solo l'uscita dell'AO e l'emettitore è collegato a massa; nel caso in cui il transistor sia in conduzione l'uscita si porterà a livello basso, invece nel caso in cui il transistor sia interdetto il collettore è flottante, ecco che per avere l'uno logico è necessaria una resistenza di pull-up esterna (Figura 1.5). La resistenza di pull-up deve essere dimensionata in modo che l'uscita dell'AO possa andare a zero nel caso di uscita bassa (quindi dovrà avere un valore abbastanza elevato), d'altra parte non dovrà causare un'eccessiva caduta di tensione nel caso di uscita alta (problema in genere poco rilevante in quanto gli ingressi delle porte logiche sono generalmente connessi al gate di un MOSFET).

1.2.2 Il contatore ad 8 bit e la logica combinatoria

Per misurare il tempo che intercorre tra l'inizio della rampa ed il segnale di fine conversione fornito dal comparatore è stato utilizzato un contatore binario; con l'ausilio di un generatore di clock di frequenza prefissata è possibile, contando il numero degli impulsi generati nell'intervallo di conversione, misurare in maniera discreta il tempo di conversione. E' intuibile che il numero di bit a disposizione del contatore è in diretta relazione con l'intervallo di quantizzazione del convertitore, per rendere l'esperienza interessante si è scelto di utilizzare un contatore ad 8 bit, in laboratorio era però disponibile solo l'integrato 74LS393 il quale comprende due contatori binari a 4 bit (Figura 1.6).

I contatori presenti nel 74LS393 sono realizzati ciascuno utilizzando quattro flip-flop T in cascata lavora con tensioni TTL, presenta caratteristiche di velocità bel

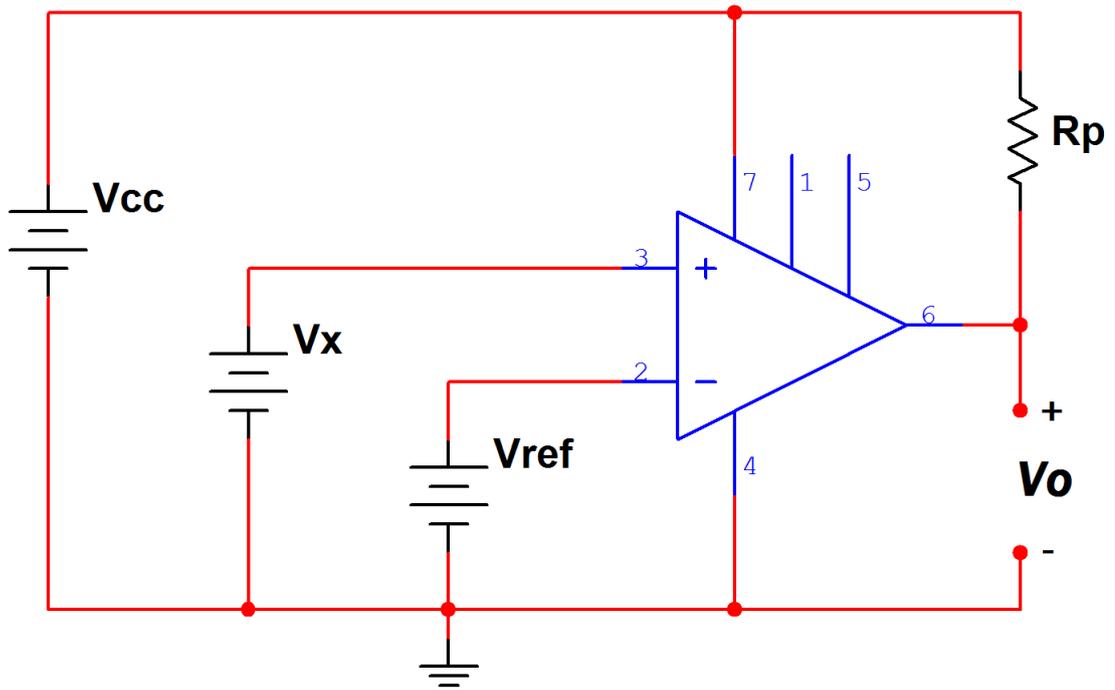


Figura 1.5: Schema elettrico circuito Comparatore con resistenza di pull-up.

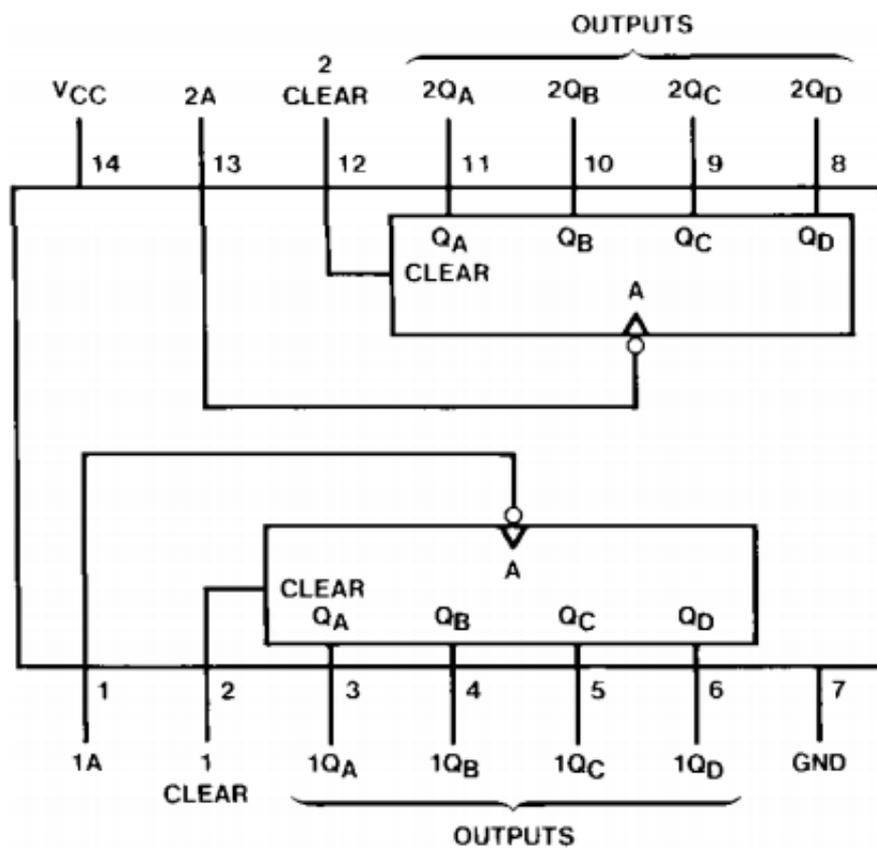


Figura 1.6: Schema delle connessioni e logica interna dell'integrato 74LS393. Il dispositivo contiene due contatori binari a 4 bit del tutto simili.

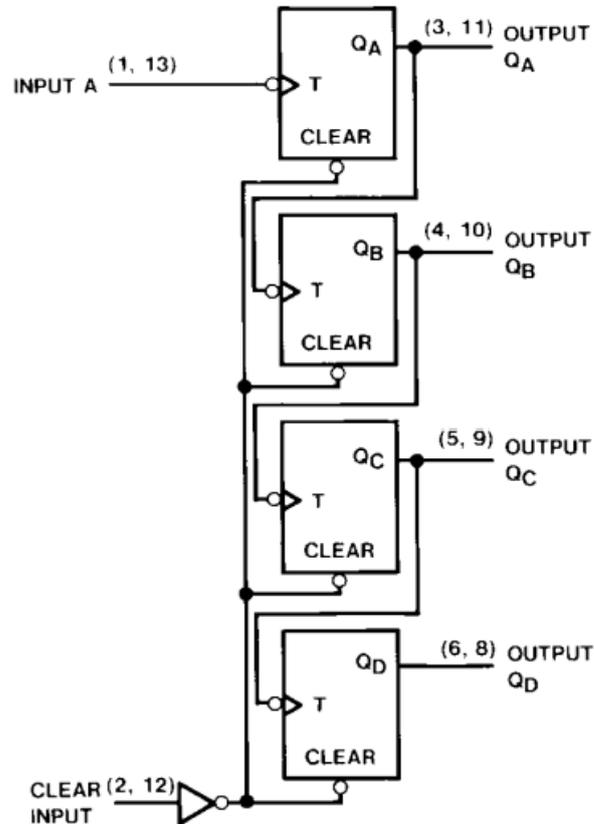


Figura 1.7: Schema delle connessioni e logica interna dei contatori presenti nell'integrato 74LS393. Dallo schema logico si vede la classica struttura di un contatore, può anche esser vista come la più semplice macchina a stati finiti ciclica.

al di sopra di quanto richiesto (la Firchild dichiara una frequenza massima di clock di circa $20MHz$) e potenze massime di uscita sufficienti a controllare direttamente (a meno di una resistenza) un diodo LED grazie ai buffer presenti in ogni uscita. Per ottenere il contatore ad 8 bit richiesto dalla prova si sono posti in cascata i due contatori presenti nell'integrato connettendo il bit più significativo del primo con l'ingresso di conteggio del secondo, sono stati poi cortocircuitati i due piedini di clear di modo poter azzerare i contatori contemporaneamente attraverso uno switch collegato direttamente alle alimentazioni V_{cc} e GND . La logica combinatoria necessaria per la realizzazione del convertitore AD viene implementata utilizzando un singolo circuito integrato TTL compatibile, il 74LS08 (Figura 1.8) il quale comprende quattro porte AND a due ingressi; anche in questo caso le specifiche di velocità e assorbimento di potenza sono ben al di sopra di quelle richieste (dai dati Firchild risulta una frequenza massima di commutazione attorno a 50 MHz); la necessità di collegare la prima porta AND direttamente all'uscita del comparatore rende importante il valore massimo di tensione accettato in ingresso dalla porta per uno zero logico, dal datasheet tale valore risulta 0,8 Volt.

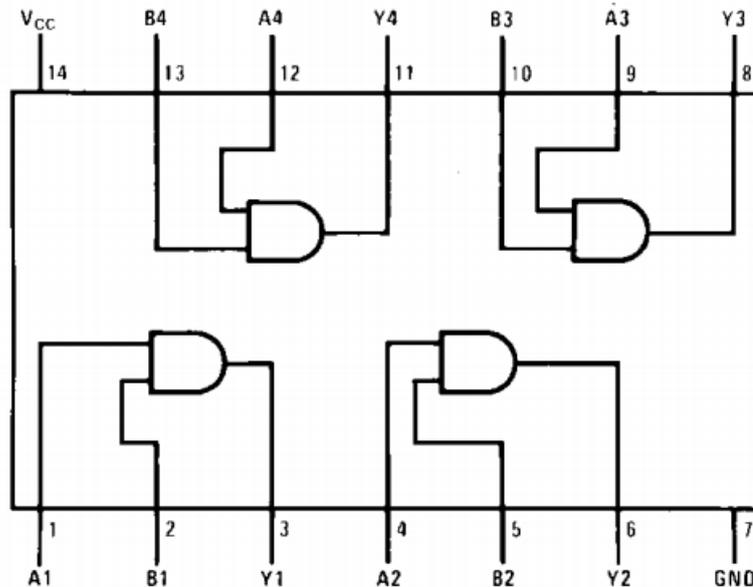


Figura 1.8: Schema delle connessioni e logica interna dell'integrato 74LS08.

1.3 Realizzazione

Una volta descritto il funzionamento del convertitore a singola rampa di arriva allo schema a blocchi di Figura 1.9, oltre ai blocchi fondamentali già descritti vengono indicati i segnali coinvolti nel processo di conversione ed i segnali di controllo:

- V_x : Segnale da convertire in ingresso all'ADC.
- $V_r(t)$: Rampa analogica generata dall'integratore.
- EOC : Segnale di fine conversione generato dal comparatore.
- $Clock$: Riferimento temporale per il contatore.
- SOC : Segnale di controllo fornito dall'esterno, da inizio alla conversione controllando l'integratore e permette al contatore di iniziare il conteggio degli impulsi di clock.
- $Clear$: Azzera le uscite del contatore prima dell'inizio di una nuova conversione, anche questo è un segnale di controllo fornito dall'esterno.

Il primo grado di libertà incontrato nella realizzazione del convertitore sono state le tensioni di alimentazione, i vincoli imposti non erano molti in quanto la tensione duale da applicare all'integratore non era imposta (gli unici limiti erano costituiti dalle caratteristiche dall'AO impiegato) mentre le alimentazioni del comparatore, della logica combinatoria e del contatore dovevano essere singole a 5 Volt; si è quindi scelto di utilizzare un'unica alimentazione duale a ± 5 Volt. Un primo problema riscontrato nella progettazione è stato creare il segnale di inizio conversione SOC , cioè sincronizzare l'inizio del conteggio con l'inizio della fase di

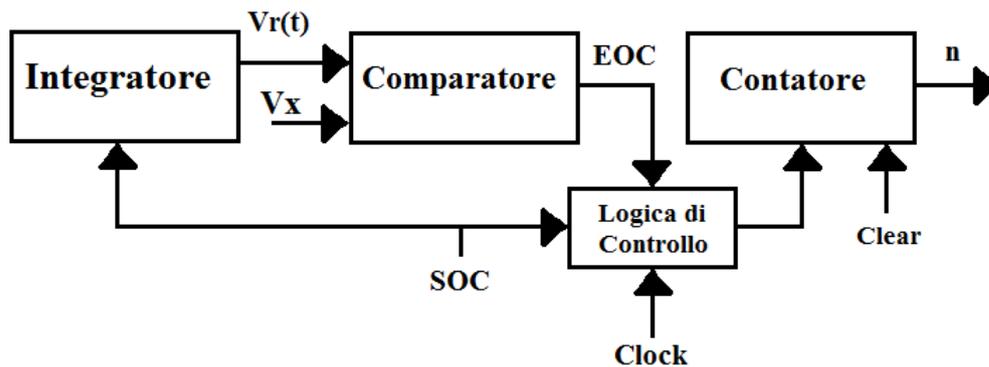


Figura 1.9: Schema a blocchi del convertitore ad integrazione semplice.

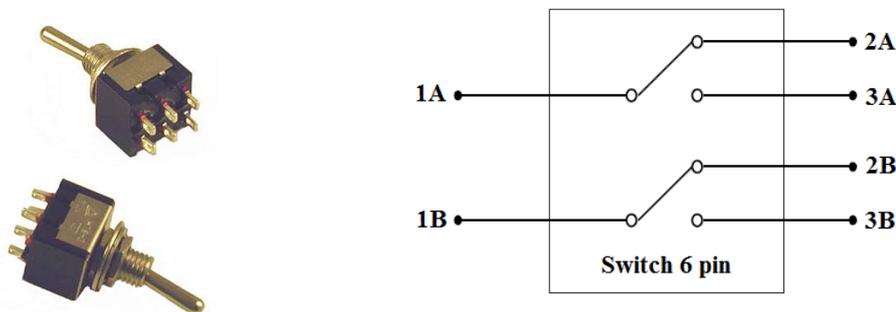


Figura 1.10: A sinistra, immagine Switch 6 pin impiegato per controllare sincronicamente l'inizio della rampa con l'inizio del conteggio degli impulsi di clock; a destra, schema elettrico interno delle connessioni dello switch.

carica dell'integratore. Per controllare la rampa si usa un interruttore che apre e chiude il contatto con la resistenza di reset (Figura 1.4), invece il contatore inizia il suo conteggio appena viene fornito il livello logico alto sulla seconda porta AND (anche questo comandato da uno switch) permettendo alla porta di essere trasparente al clock; in questo modo ci sarebbero due switch da commutare contemporaneamente per dare inizio alla conversione, cosa improponibile pensando che il convertitore opererà con frequenze di qualche decina di Hertz. Le soluzioni trovate inizialmente prevedevano l'impiego di ulteriori circuiti integrati contenenti flip flop e l'introduzione di transistori che potessero sostituire lo switch dell'integratore, per non aumentare la complessità del circuito e non inserire componenti che teoricamente non sono ancora stati trattati dagli alunni ai quali viene proposta la prova si è scelto di utilizzare un particolare tipo di switch a 6 pin (Figura 1.10), il quale permette di deviare due linee con un unico movimento, lo schema elettrico equivalente è mostrato in Figura 1.10.

Con lo switch a 6 pin è quindi possibile aprire il circuito di reset dell'integratore e contemporaneamente dare inizio al conteggio, questa soluzione se pur decisamente semplice da implementare può in alcuni casi provocare il conteggio di impulsi non derivanti dal segnale di clock, bensì generati dai rimbalzi del contatto meccanico dello switch. Per eliminare il problema sarebbe sufficiente un circuito antirimbalo costituito da due porte logiche NAND (Figura 1.11) il quale, sfruttando i tempi

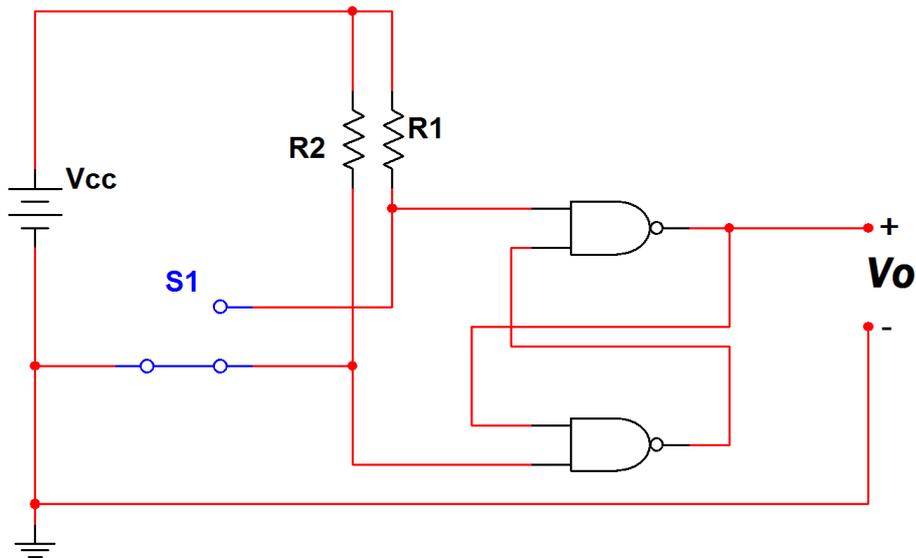


Figura 1.11: Schema elettrico circuito antirimbalo.

non nulli di commutazione delle porte logiche, permette di mantenere un'uscita costante nel caso in cui ci siano in ingresso impulsi ad alta frequenza. Tuttavia in fase realizzativa si è visto che solo in pochi casi si avevano problemi di rimbalo (è necessario infatti che il clock si trovi allo stato alto per permettere ai rimbaldi di avanzare erroneamente il conteggio), poi considerando che la prova andava proposta con frequenze di clock di qualche Hertz si è scelto di non utilizzare il circuito di antirimbalo e semplicemente avvisare gli studenti che in caso il conteggio non parta da zero la prova andava rifatta.

Nella realizzazione del blocco comparatore si è scelto di non introdurre gli amplificatori operazionali a collettore aperto in quanto avrebbero costituito un aumento di difficoltà, a livello comprensivo, che si poteva evitare; è stato quindi impiegato un AO general purpose alimentato singolarmente con 5 Volt che riesce comunque a garantire un livello logico basso in uscita di 0,7 Volt, sufficientemente basso per l'ingresso di una porta logica TTL. Da notare è il fatto che non è stato possibile utilizzare un integrato con due AO in quanto i due devono essere alimentati a tensioni diverse. Per quanto riguarda l'ultimo blocco, il contatore, si è pensato di utilizzare un interruttore per azzerare il conteggio, purtroppo nella logica TTL quando un ingresso viene lasciato flottante (interruttore aperto) viene letto comunque un livello logico alto, per disabilitare il clear è quindi necessario collegare tale piedino direttamente al riferimento di massa; per questo motivo è stato inevitabile l'utilizzo di un altro switch che potesse commutare tra Vcc e massa il collegamento sul clear. Per visualizzare l'uscita digitale binaria del contatore sono stati usati otto diodi LED, collegati al contatore tramite una resistenza opportunamente dimensionata; l'impiego dei Display a sette segmenti è stato proposto come ampliamento della prova.

1.3.1 Simulazione

Per la prima simulazione si è scelto di dimensionare il convertitore di modo che sia visibile, su dei diodi LED collegati alle uscite del contatore, il conteggio degli impulsi di clock; disponendo solo di alcuni valori di resistenza e capacità il dimensionamento parte dai componenti dell'integratore, verrà poi calcolata la frequenza di clock di modo che il massimo numero visualizzabile corrisponda al massimo valore convertibile. Scegliendo una capacità $C_1 = 330\mu F$ ed una resistenza $R_1 = 180K\Omega$ il tempo necessario affinché la rampa raggiunga il valore massimo è di circa un minuto. La resistenza di reset è stata scelta $R_r = 47\Omega$, in questo modo in condizioni di reset si dovrebbe avere, a causa della pseudo configurazione di amplificatore invertente, si dovrebbe avere una tensione molto minore del passo di quantizzazione. Con i valori appena scelti si calcola la corrente costante che carica il condensatore I_c e l'espressione che descrive la tensione ai capi del condensatore $V_C(t)$ (idealmente pari alla tensione d'uscita dell'integratore):

$$I_c = \frac{-V_{cc}}{R_1} \rightarrow V_C(t) = \left(\frac{V_{cc}}{R_1 \cdot C_1} \right) \cdot t \quad (1.4)$$

Il tempo necessario per completare la carica si trova imponendo $V_C(t) = V_{cc}$, nel caso particolare risulta:

$$t_{carica} = R_1 \cdot C_1 = 59,4s \quad (1.5)$$

Avendo quindi dimensionato i componenti dell'integratore si può procedere con la simulazione, viene scelta una resistenza di reset $R_r = 47\Omega$ considerata sufficiente per evitare picchi di corrente all'inizio della scarica del condensatore C_1 . Dalla simulazione (circuito in Figura 1.4) si è rilevato l'andamento della tensione $V_r(t)$ (Figura 1.12), per studiarne completamente l'andamento si mostra un ciclo di carica completa ed un successivo reset della rampa. In condizioni di reset si misura $V_r = 1,3mV$, mentre in condizioni di fine carica $V_r = 3,5V$ presentando una buona linearità fino a circa $V_{maxL} = 3,3V$; il tempo necessario per arrivare a $3,3V$ vale $T_{3,3V} = 39,3s$; teoricamente si calcola:

$$T_{3,3V} = \frac{t_{carica} \cdot V_{maxL}}{V_{cc}} = 39,2s \quad (1.6)$$

verificando i dati della simulazione. Ovviamente il convertitore progettato potrà convertire tensioni inferiori al valore di V_{maxL} , tuttavia per aumentare il range di tensioni convertibili sarebbe sufficiente aumentare le tensioni di alimentazione dell'integratore con conseguente riduzione della frequenza di clock e perdita di risoluzione. Il tempo necessario per il reset della rampa vale $137ms$ in questo caso trascurabile rispetto ai tempi di conversione.

Procedendo con il dimensionamento dal valore di tempo massimo di carica si trova la frequenza di clock che permette di arrivare al massimo numero visualizzabile, $n_{max} = 2^8 - 1 = 255$ nel caso in cui la tensione V_x da misurare sia pari alla tensione di alimentazione V_{cc} :

$$f_{ck} = \frac{n_{max}}{t_{carica}} = 4,29Hz \quad (1.7)$$

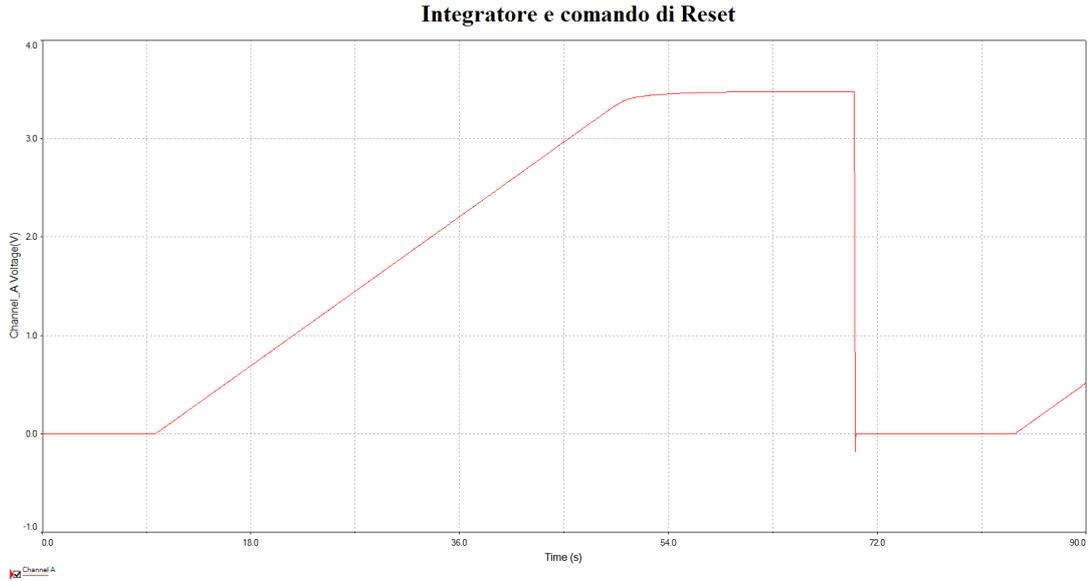


Figura 1.12: Andamento della tensione di uscita dell'integratore nelle condizioni considerate per la simulazione.

Considerando ora che la tensione $V_C(t)$ raggiunga il valore della tensione da misurare V_x dopo un tempo $\tau = n \cdot T_{ck}$ si può esplicitare il valore del passo di quantizzazione, parametro fondamentale del convertitore che ne stabilisce la risoluzione:

$$V_x = V_C(\tau) = \left(\frac{V_{cc}}{R_1 \cdot C_1} \right) \cdot \tau = \left(\frac{V_{cc}}{R_1 \cdot C_1} \right) \cdot n \cdot T_{ck} = \Delta q \cdot n \quad (1.8)$$

$$\Delta q = \left(\frac{V_{cc}}{R_1 \cdot C_1} \right) \cdot T_{ck} = 19,6mV \quad (1.9)$$

Viene quindi riprodotto l'intero circuito progettato per verificarne il corretto funzionamento, nella simulazione sono stati utilizzati i componenti che verranno poi realmente impiegati:

- *TL081* : Amplificatore operazionale integrato;
- *74LS08*: Circuito integrato contenente quattro porte AND;
- *74LS393* : Circuito integrato contenente due contatori binari a quattro bit.

Si ipotizza di dover misurare una tensione $V_x = 2V_{olt}$; il numero in uscita previsto è $n = V_x / \Delta q = 102$; prima di considerare il circuito finale viene esaminata la parte composta dall'integratore e dal comparatore per verificare il comportamento dell'AO in configurazione da comparatore con alimentazione singola e la linearità della rampa generata (Figura 1.13). Dal grafico ottenuto con l'oscilloscopio simulato (Figura 1.14) si misura che la commutazione è avvenuta esattamente in corrispondenza alla soglia di 2 Volt, il tempo necessario affinché la rampa raggiunga la tensione V_x teoricamente si calcola:

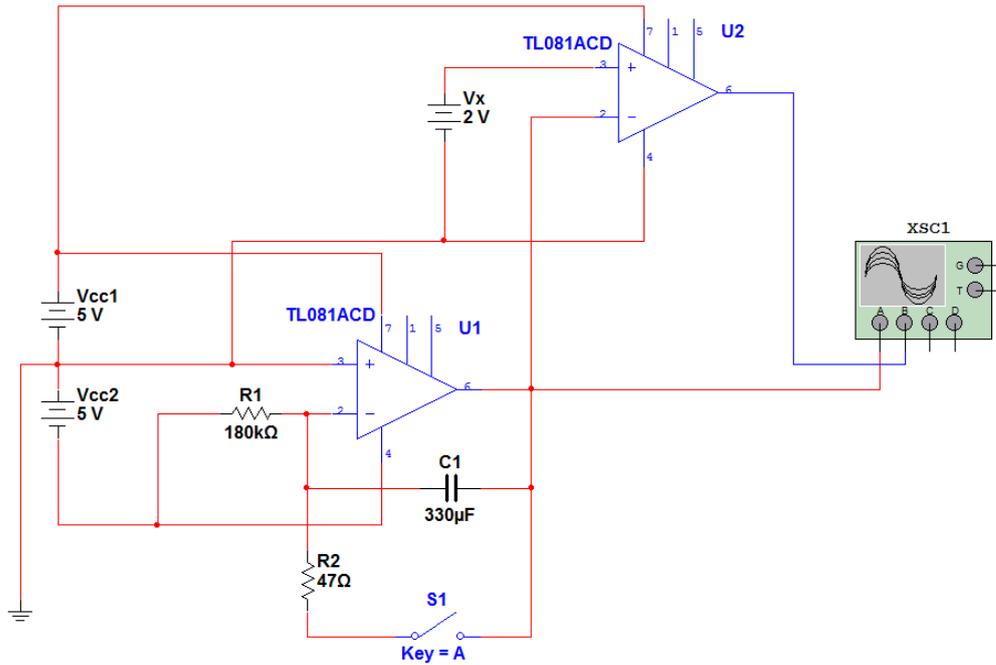


Figura 1.13: Schema elettrico dei primi due blocchi del convertitore.

$$T_x = \left(\frac{R_1 \cdot C_1 \cdot V_x}{V_{cc}} \right) = 23,76s \quad (1.10)$$

Dalla simulazione il tempo T_x impiegato per la conversione è di 23.78 secondi verificando perfettamente il calcolo teorico. Le tensioni di uscita del comparatore sono $V_H = 3,5V$ per quanto riguarda il livello logico alto, e $V_L = 1,5V$ nel caso di livello logico basso, come previsto l'uscita bassa del comparatore potrebbe non essere sufficiente per essere letta come tale da una porta AND TTL compatibile, viene quindi completato il circuito con la logica combinatoria, con il contatore e la serie di LED che indicheranno l'uscita del convertitore AD (Figura 1.15).

Dalla simulazione risulta il Grafico 1.16 nel quale sono plottate le uscite dell'integratore, del comparatore e della logica combinatoria. La simulazione ha fornito in uscita un $n = 102$ come risultava dai calcoli teorici, il funzionamento è stato quindi verificato in ogni suo passaggio, in particolare risulta che il livello logico basso del comparatore è sufficiente per comandare la porta AND.

1.3.2 Realizzazione pratica

L'esito positivo della simulazione ha portato alla realizzazione del circuito su bauletta millefori, dapprima non sono stati impiegati strumenti di misura ma soltanto dei diodi LED che potessero indicare il corretto funzionamento del clock, del comparatore e della logica combinatoria. Con il dimensionamento pari a quello fatto per la simulazione il convertitore ha fornito in uscita il valore $n = 94$, sebbene il risultato fosse stato sbagliato si è notato che la parte digitale dell'ADC (logica combinatoria e contatore) ha funzionato come previsto, si è quindi scelto di impiegare

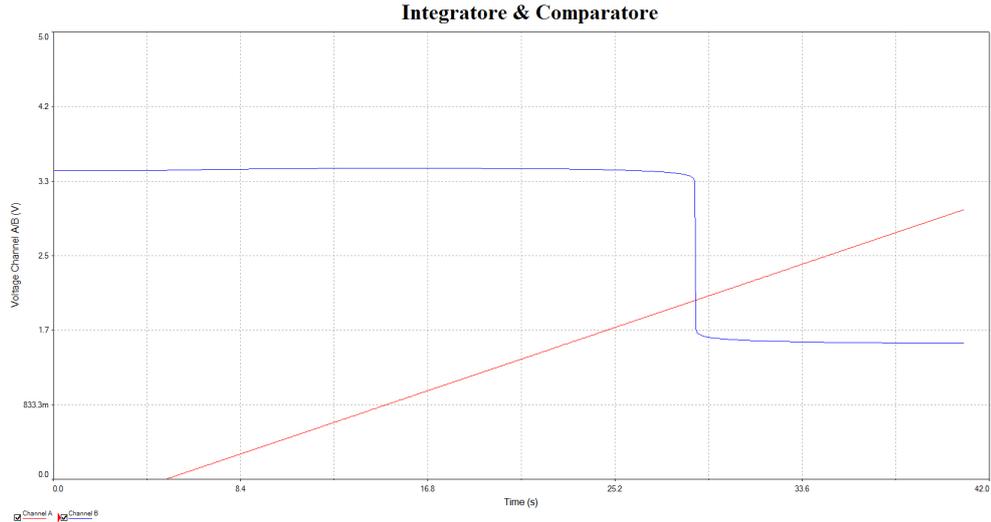


Figura 1.14: Andamento delle tensioni in uscita dall'integratore (traccia rossa) ed in uscita dal comparatore (traccia blu).

l'oscilloscopio digitale sopra descritto per comprendere le cause del problema. Il collegamento con il pc ha permesso di acquisire le tracce rilevate nel circuito reale (Figura 1.17), il primo canale (indica in rosso) è stato impiegato per visualizzare l'uscita dell'integratore (lasciando il collegamento con l'ingresso del comparatore) mentre il secondo canale rileva l'uscita del comparatore collegata all'ingresso della logica combinatoria.

Si nota come alla rampa sia sovrapposto un segnale di rumore che genera un'ondulazione irregolare di circa 0,5 V dovuta probabilmente alle connessioni provvisorie, in corrispondenza della tensione di commutazione è evidente che si trova un picco che fa scattare il comparatore prima dell'effettivo raggiungimento alla tensione da convertire; inoltre le ondulazioni della rampa fanno commutare il comparatore molto lentamente, aumentando in maniera inaccettabile il tempo di commutazione. Per ovviare al problema è stato inserito, in uscita dall'integratore, un filtro passa basso del primo ordine avente frequenza di taglio molto superiore alla frequenza di attraversamento del diagramma del modulo della funzione di trasferimento dell'integratore per non modificarne il tempo di carica. Per il filtro utilizzato (Figura 1.19) si calcola la frequenza di taglio come.

$$f_{tg} = \frac{1}{2 \cdot \pi \cdot R_1 \cdot C_1} \quad (1.11)$$

Nel caso particolare si sceglie $R_1 = 100\Omega$, $C_1 = 10\mu F$ di modo che la frequenza di taglio sia $f_{tg} = 159Hz$ abbondantemente alta. I risultati ottenuti per via teorica vengono confermati dai diagrammi di Bode (Grafico 1.19) del filtro ottenuti con il simulatore. Viene inoltre ripetuta la simulazione dell'intero circuito comprendente il filtro per verificare il corretto funzionamento e che il nuovo blocco non modifica sensibilmente il comportamento dell'integratore. Nella realizzazione il comparatore fornisce in uscita $n = 99$ risultato non ancora corretto; con l'impiego dell'oscilloscopio si sono cercati i motivi della sbagliata conversione. Dal grafico acquisito si nota la monotonia della rampa e l'ininfluenza del filtro sui tempi di carica (Grafico 1.20),

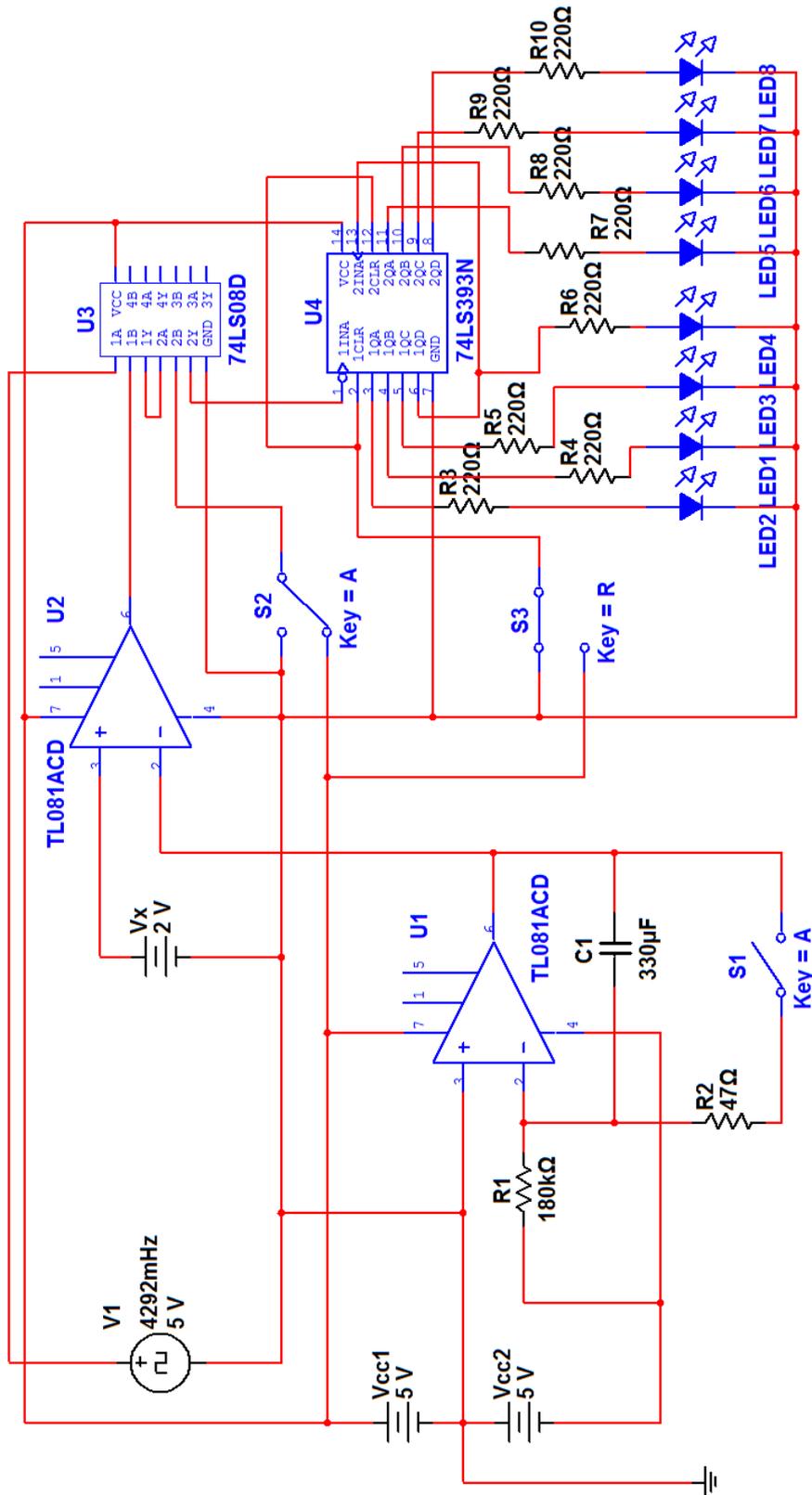


Figura 1.15: Schema elettrico completo del convertitore AD. Gli switch denominati S_1, S_2 e comandati entrambi dalla chiave A rappresentano lo switch a 6 pin di cui sopra. Il clock è fornito da un generatore di onda quadra alla frequenza calcolata teoricamente. In serie ai diodi LED sono state messe delle resistenze da 220Ω in quanto l'uscita TTL del contatore $V_H = 5V$ rischierebbe di danneggiare i LED. Con la chiave R è invece comandato lo switch di clear del contatore. 17

Convertitore completo

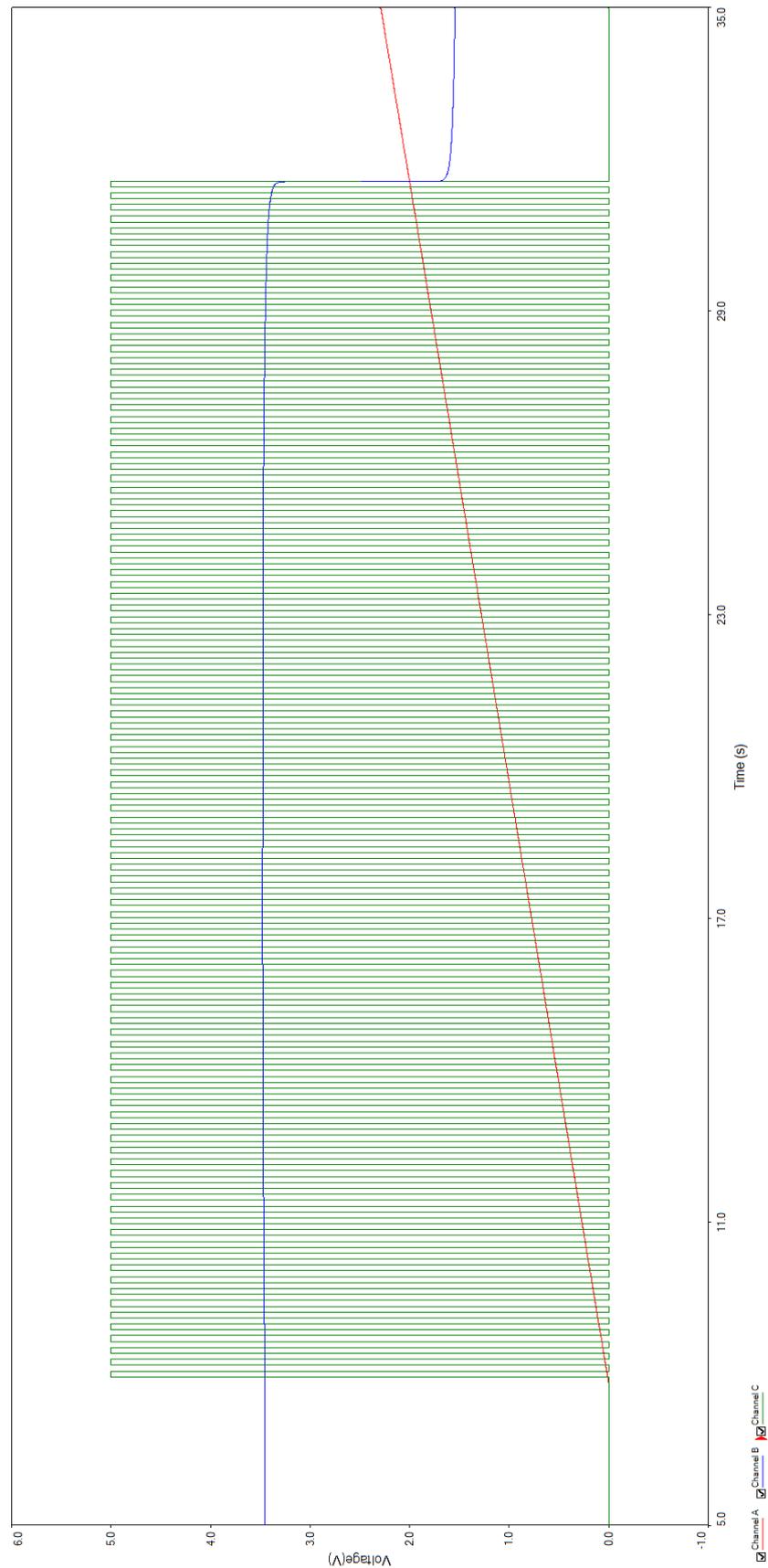


Figura 1.16: Grafico della simulazione completa. In rosso viene tracciato l'andamento della rampa, in blu l'uscita del comparatore ed in verde si vedono gli impulsi di clock, in uscita dalla logica combinatoria, che verranno conteggiati.

Prima realizzazione

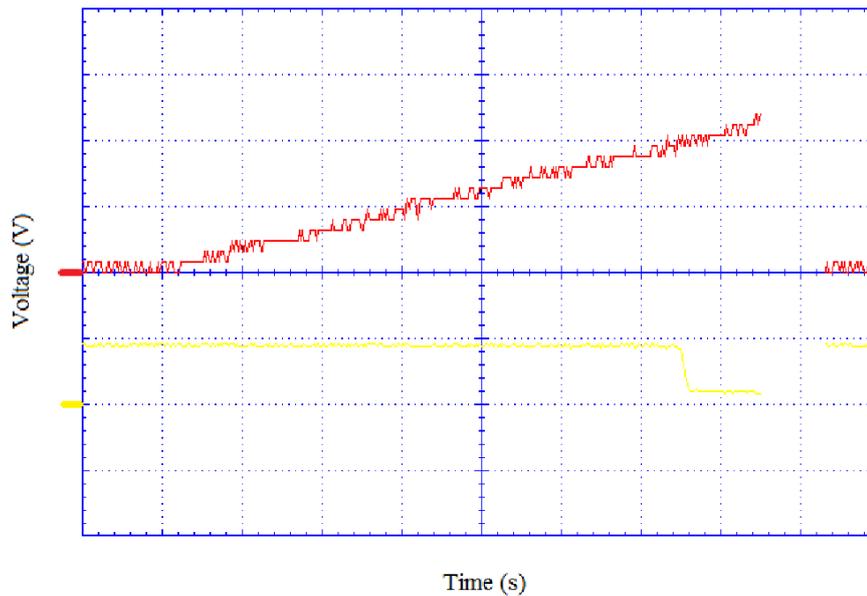


Figura 1.17: Immagine acquisita con l'oscilloscopio digitale. In rosso (primo canale) viene tracciata la rampa, in giallo (secondo canale) l'uscita del comparatore. Sull'asse delle ordinate si trova il riferimento di tensione pari a 1Volt/div per il primo canale, e 5 Volt/div per il secondo canale. l'asse comune delle ascisse indica il riferimento temporale impostato a 5 sec/div.

interessante è notare quanto più ripido sia il fronte di commutazione del comparatore rendendo più precisa la misura temporale; considerando che la frequenza di clock era esattamente corrispondente a quella impostata nel generatore di funzioni l'unico motivo d'errore di conversione poteva esser dovuto al tempo T_x diverso da quello teorico. Procedendo con la misura del tempo di conversione attraverso i cursori si trova $T_x = 23s$ in accordo con il numero di impulsi conteggiati (teoricamente $T_x = n \cdot T_{clock}$), a questo punto risulta evidente che la tolleranza del valore di resistenza R_1 e di capacità C_1 hanno inciso fortemente nel tempo di conversione; una misura fatta con il tester ha fornito i valori reali $R_1 = 176550\Omega$, $C_1 = 325\mu F$ che giustificano il tempo di conversione ed il numero di impulsi conteggiati. In seguito alla realizzazione pratica si è scelto di far misurare i componenti in quanto quelli disponibili in laboratorio presentavano tolleranze del 10% , valore troppo elevato per ottenere una conversione accurata.

1.3.3 Limiti teorici

Per determinare i limiti teorici del circuito si vanno ad analizzare le caratteristiche dei componenti fornite dai datasheet, trattandosi di un dispositivo di conversione analogico digitale le caratteristiche principali saranno il range di tensioni convertibili, la massima velocità di conversione e la risoluzione intesa come intervallo di quantizzazione. Il range di tensioni convertibili è funzione della massima tensione raggiungibile dalla rampa e quindi dipende dalle alimentazioni applicate all'amplificatore operazionale; per l'integrato *TL081* valgono i valori massimi riportati

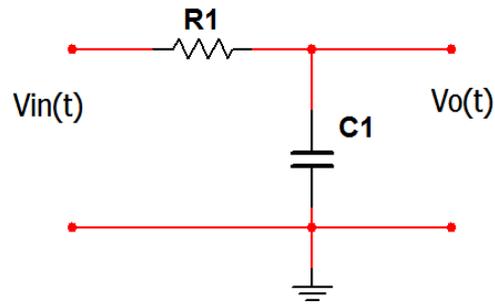


Figura 1.18: Schema elettrico del filtro di primo ordine utilizzato per eliminare i disturbi sovrapposti alla rampa.

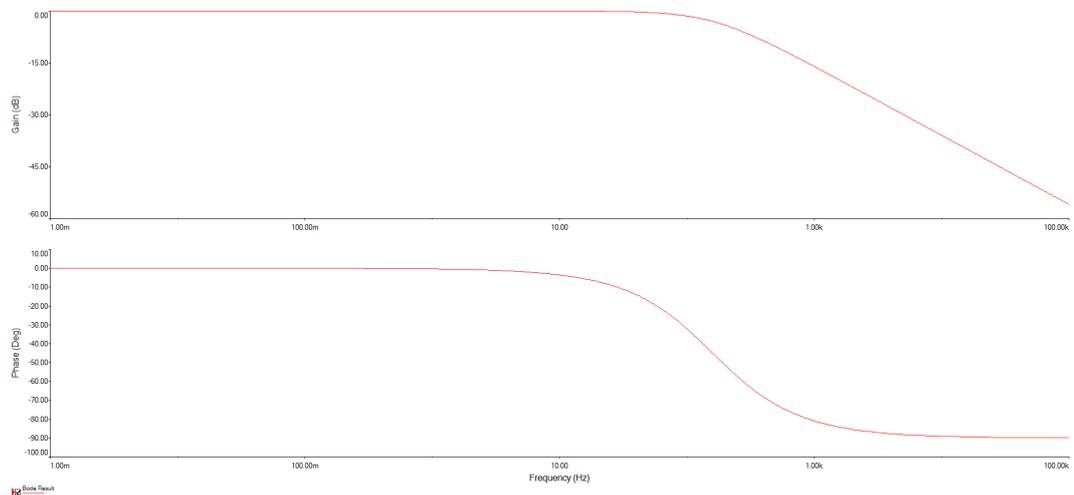


Figura 1.19: Diagrammi di Bode. La frequenza di taglio misurata utilizzando i cursori del simulatore è esattamente $f_{tg} = 159Hz$.

Seconda realizzazione

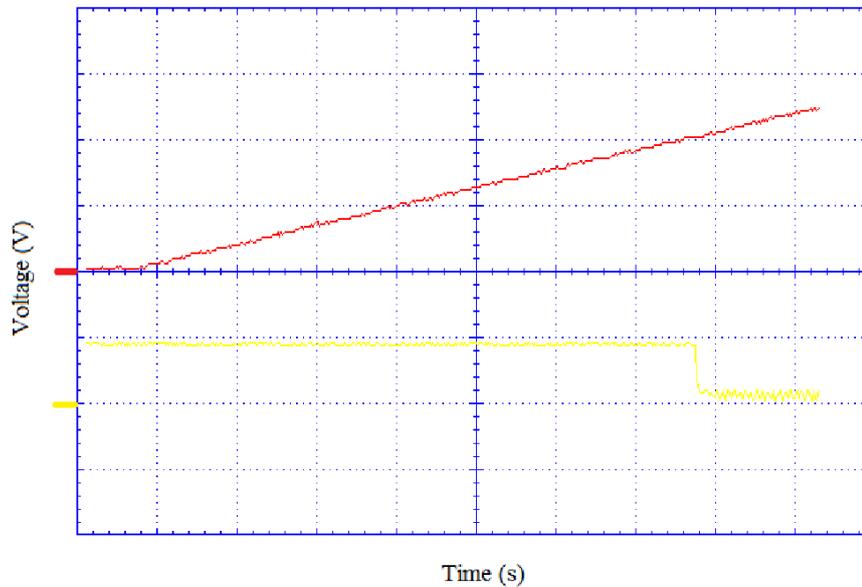


Figura 1.20: Immagine acquisita dall'oscilloscopio mantenendo le impostazioni precedentemente indicate.

Symbol	Parameter	TL081M, AM, BM	TL081I, AI, BI	TL081C, AC, BC	Unit
V_{cc}	Supply voltage - note ¹⁾		± 18		V
V_i	Input Voltage - note ²⁾		± 15		V
V_{id}	Differential Input Voltage - note ³⁾		± 30		V

Figura 1.21: Valori massimi di alimentazioni per il TL081.

in tabella 1.21; va comunque specificato che la rampa non potrà in ogni caso raggiungere il valore della tensione di alimentazione e che quindi la massima tensione misurabile sarà sempre 2 - 3 volt inferiore a quella di alimentazione.

La risoluzione del convertitore dipende invece dal clock in ingresso al contatore, alzare la frequenza di clock significa diminuire il quanto temporale con conseguente aumento della precisione sulla misura (si ricordi come in questo convertitore sono legati la precisione di conversione e la precisione di misura del tempo di salita della rampa); di contro aumentare troppo la frequenza di clock rende necessario un elevato numero di bit in uscita che possono comunque esser facilmente ottenuti impiegando quattro contatori a 4 bit in due circuiti integrati *74LS393*. L'aumento della frequenza di clock deve tener conto anche delle caratteristiche del contatore impiegato, nel caso particolare del *74LS393* si trovano nel datasheet i valori minimi di *Rise time* e di *Fall time* ai quali è inversamente proporzionale la frequenza massima di clock (Figura 1.22).

Calcolo tempo di conversione teorico minimo

Per calcolare il tempo di conversione teorico si tiene conto del tempo di commutazione del comparatore, cioè il tempo che intercorre tra l'istante in cui la tensione della rampa eguaglia quella da misurare e quello in cui avviene l'effettiva com-

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
			Min	Max	Min	Max	
f_{MAX}	Maximum Clock Frequency	A to Q_A	25		20		MHz
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	A to Q_A		20		24	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	A to Q_A		20		30	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	A to Q_D		60		87	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	A to Q_D		60		87	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	Clear to Any Q		39		45	ns

Figura 1.22: Dal datasheet della Fairchild le *Switching Caratteristiche* dell'integrato 74LS393. Viene indicata nella prima riga la frequenza massima di clock, si specificano in seguito i tempi minimi per i cambi di stato del clock.

Symbol	Parameter	$R_L = 2\text{ k}\Omega$				Units
		$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	4	13	6	18	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	3	11	5	18	ns

Figura 1.23: Dal datasheet della Fairchild le *Switching Caratteristiche* delle porte logiche integrate nel 74LS08.

mutazione dell'uscita da livello logico alto a basso; dal datasheet si trova che per il TL081 lo *Slew Rate* è di $8\text{ V}/\mu\text{s}$, ipotizzando che la variazione di tensione sia attorno ai 4 Volt sono necessari circa 500 ns perchè sia disponibile il segnale da fornire alla logica combinatoria. Non meno importanti sono i ritardi introdotti dalla logica combinatoria, infatti dopo la commutazione del comparatore sarà necessario un certo tempo prima che le porte AND cambino lo stato logico in uscita; a tal proposito si riportano i tempi di commutazione relativi all'integrato realmente utilizzato, il 74LS08 (Figura 1.23).

Considerando che la logica combinatoria è costituita dalla cascata di due porte AND si calcola un tempo di propagazione massimo di 36 ns, che sommato al ritardo di commutazione costituisce il ritardo di conversione inteso come il tempo che intercorre tra l'istante di effettiva fine conversione all'interruzione del conteggio. Elencate le caratteristiche dei componenti impiegati nella realizzazione del convertitore analogico digitale si può calcolare il tempo minimo di conversione; si ipotizzi che il range di tensioni ammesso in ingresso sia 0 - 3 Volt (il generatore di rampa venga quindi alimentato con tensione duale a 5 volt) e che siano disponibili in uscita 8 bit. Nella determinazione del tempo di conversione si considera che il ritardo di conversione sia al massimo equivalente al periodo di clock, di modo che il conteggio possa includere al massimo un solo impulso di clock in eccesso. Si calcola quindi la frequenza massima del clock $F_{CKmax} = 1/536\text{ ns} \simeq 1,9\text{ MHz}$; valore accettabile in quanto risulta inferiore alla capacità del contatore; dalla trattazione fatta risulta che il tempo massimo di conversione (cioè il tempo necessario per convertire $V_x = V_{maxIN} = 3\text{V}$ indicato con $t_{MaxConv}$) è di:

$$f_{CKmax} = \frac{n_{max}}{t_{carica}} \rightarrow t_{carica} = t_{MaxConv} = 142\mu s \quad (1.12)$$

$$V_{maxIN} = \frac{V_{cc} \cdot t_{carica}}{R_1 \cdot C_1} \rightarrow R_1 \cdot C_1 = 2,37 \cdot 10^{-4} \quad (1.13)$$

$$\Delta q = \frac{V_{maxIN}}{n_{max}} = 11,7mV \quad (1.14)$$

1.4 Verifica delle prestazioni

Conclusa la parte di progettazione e di verifica del corretto funzionamento del dispositivo si sono eseguite una serie di misure e rilevamenti delle forme d'onda interessanti dei blocchi principali allo scopo di capire i punti deboli del convertitore e comprendere i motivi per i quali il risultato ottenuto dalla prova sperimentale si discosta da quello ottenuto per via teorica. Il sistema di prova del dispositivo (Figura 1.24) è composto, oltre che dagli strumenti necessari al funzionamento (ovvero generatore di clock e alimentatore), da due oscilloscopi che permettono il collegamento al PC attraverso porta USB; in questo modo sarà possibile importare immagini degli oscilloscopi e effettuare misure di precisione sulle forme d'onda. In particolare sarà interessante misurare l'intervallo di tempo trascorso dall'inizio della rampa al raggiungimento del valore V_X da convertire e la tensione alla quale il comparatore commuta fornendo il segnale di fine conversione. Considerando i limiti del contatore si ipotizza che il conteggio sia esatto a meno di qualche rimbalzo (visibile se presente nell'oscilloscopio) dovuto alla non monotonicità della rampa.

Indicato con il numero 1 si trova l'oscilloscopio con canale 1 collegato all'uscita dell'integratore e con canale 2 collegato all'uscita della logica combinatoria (segnale in ingresso al comparatore); indicato con il numero 2 si trova l'oscilloscopio con canale 1 collegato all'uscita della rampa e canale 2 collegato all'uscita del comparatore. Con il primo oscilloscopio si potrà verificare la presenza di rimbalzi (impulsi ravvicinati non dovuti al clock) all'inizio e/o alla fine della conversione, con il secondo oscilloscopio si valuterà invece la commutazione del comparatore. Da entrambi gli oscilloscopi sarà inoltre possibile misurare il tempo di conversione e valutare la tensione alla quale viene interrotto il conteggio (valutando quindi anche la sincronia tra la commutazione del comparatore e l'interruzione del conteggio). Per verificare la linearità della rampa sono state eseguite misure di diversi valori di V_X per ogni per ogni convertitore testato; per convertitori operanti a frequenze al di sotto dei 100 Hz si è potuto acquisire le immagini, per frequenze più alte viene solo osservato il valore digitale convertito. In Tabella 1.25 sono riportate le prime misure per valori di tensione V_X e frequenza di clock F_{CK} diverse, confrontando il valore ottenuto con la conversione (riportato in numero decimale) con il valore convertito teorico.

Una prima analisi dei dati raccolti dagli oscilloscopi mostra che la tensione di commutazione non è esattamente la V_X impostata attraverso il trimmer, considerando che il comparatore ha un tempo di propagazione trascurabile rispetto al periodo di clock si ipotizza che l'errore sulla tensione di commutazione sia introdotto proprio dal non corretto posizionamento del trimmer o dalla misura a bassa

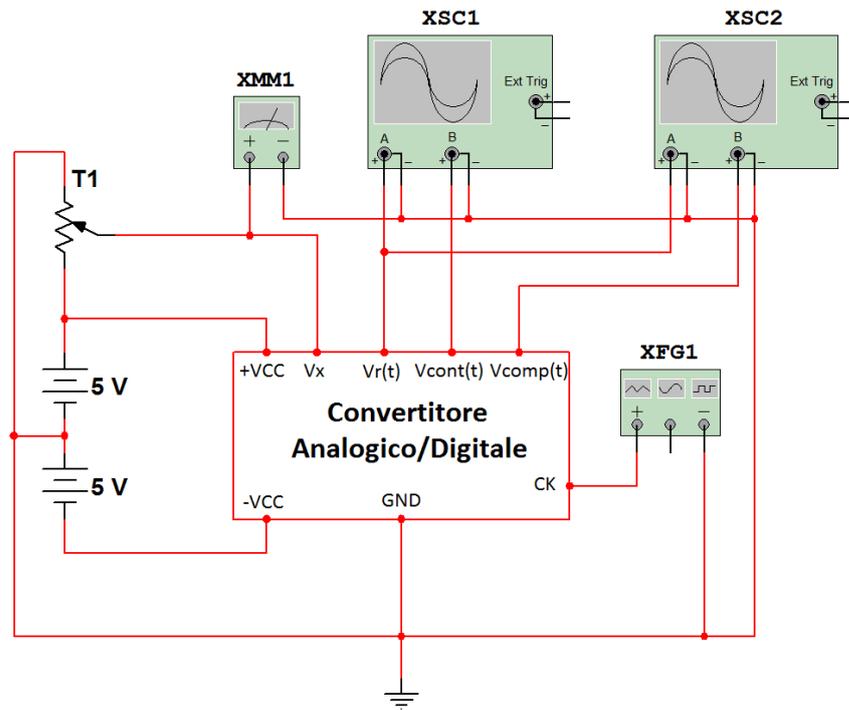


Figura 1.24: Schema di collegamento per la verifica delle prestazioni del convertitore progettato. Variando i valori di R_1 e C_1 , quindi variando anche la frequenza di lavoro, vengono acquisite le forme d'onda d'interesse attraverso due oscilloscopi. La tensione da misurare V_X è fornita da un potenziometro e misurata con un tester.

<i>Prova</i>	V_x (V)	C_1 (μF)	R_1 ($k\Omega$)	R_3 (Ω)	C_3 (μF)	F_{CK} (Hz)	Valore conv. misurato	Valore conv. teorico
1	1	102,6	176,8	100	47	14,06	47	51
2	2	102,6	176,8	100	47	14,06	100	102
3	3	102,6	176,8	100	47	14,06	151	153
4	4	102,6	176,8	100	47	14,06	202	204
5	1	47,7	176,8	100	47	30,24	51	51
6	2	47,7	176,8	100	47	30,24	105	102
7	3	47,7	176,8	100	47	30,24	155	153
8	4	47,7	176,8	100	47	30,24	211	204
9	4	47,7	176,8	100	10	30,24	213	204
10	3	9,68	176,8	100	10	149,00	159	153
11	3	9,68	166,8	82	0,124	149,00	158	153
12	3	49,3	1036,0	82	0,124	4,99	154	153
13	3	3,62	80,7	47	0,124	872,89	178	153
14	2	3,62	80,7	47	0,124	872,89	117	102
15	1	3,62	80,7	47	0,124	872,89	54	51
16	3	3,62	80,7	47	0,124	872,89	179	153

Figura 1.25: Tabella riassuntiva dei primi dati sperimentali raccolti. Per ogni prova riportata sono state salvate le immagini acquisite dagli oscilloscopi oltre agli screen-shot del software che permetteva di misurare i parametri principali delle forme d'onda prelevate dal dispositivo.

<i>Prova</i>	V'_x comm. (V)	Tempo conv. misurato (s)	Tempo conv. teorico (s)	ΔT_{conv} (s)	$N_{teorico}$	ΔN	ΔN_{tempo} teorico
1	0,98	3,342	3,555	-0,213	50	-3	-3
2	2,04	7,032	7,401	-0,369	104	-4	-5
3	3,04	10,708	11,029	-0,321	155	-4	-5
4	4,08	14,375	14,802	-0,427	208	-6	-6
5	0,98	1,613	1,653	-0,041	50	1	-1
6	2,08	3,442	3,508	-0,066	106	-1	-2
7	3,08	5,167	5,195	-0,028	157	-2	-1
8	4,08	6,967	6,882	0,085	208	3	3
9	4,08	7,033	6,882	0,151	208	5	5
10	3,12	1,046	1,068	-0,022	159	0	-3
11	3,12	1,051	1,068	-0,018	159	-1	-3
12	3,02	30,849	30,851	-0,002	154	0	0
13	3,04	0,2031	0,1776	0,0255	155	23	22
14	2,08	0,1353	0,1215	0,0138	106	11	12
15	1,00	0,0651	0,0584	0,0066	51	3	6
16	3,04	0,2041	0,1776	0,0265	155	24	23

Figura 1.26: Tabella riassuntiva dei dati sperimentali raccolti attraverso i dispositivi di misura. Viene ricalcolato il valore teorico della conversione in funzione della reale tensione di commutazione V'_x ed il tempo di conversione teorico; quest'ultimo confrontato con il tempo di conversione misurato e con la frequenza di clock fornisce l'errore $\Delta N_{tensione}$ relativo al tempo di conversione.

risoluzione della tensione impostata V_X ; si calcola quindi nuovamente il numero di impulsi $N_{teorico}$ (pari al valore digitale convertito) corrispondente alle singole prove utilizzando la tensione di commutazione reale V'_x (Tabella 1.26). E' ora possibile valutare l'errore reale introdotto dal dispositivo convertitore indicato con $\Delta N = N_{misurato} - N_{teorico}$. Confrontando i tempi di conversione misurati con quelli teorici sar  valutabile anche l'errore $\Delta N_{tempo} = (T_{C,misurato} - T_{C,teorico}) * F_{ck}$ giustificato dalla diversa pendenza della retta (conseguenza della misura grossolana dei componenti discreti dell'integratore e da alcune semplificazioni introdotte nello studio di tale blocco). Considerando il periodo di clock esattamente corrispondente all'inverso della frequenza visualizzata nel display del generatore di segnali a meno di un tempo trascurabile rispetto a quello di conversione, si andranno a valutare i casi in cui ΔN si discosta di pi  di una unita da ΔN_{tempo} .

Le prove in cui l'errore di conversione non   riconducibile esclusivamente alla tempo di conversione sono la numero 5, 10, 11, 15. In particolare nella prova numero dieci il tempo di conversione misurato si discosta di tre periodi di clock in difetto rispetto al numero visualizzato, che per altro risulta corretto in riferimento alla tensione di commutazione reale V'_x . Si riportano in Figura 1.27 e Figura 1.28 le forme d'onda della rampa, del comparatore e l'uscita della logica combinatoria. Da tali grafici sono stati misurati il tempo di conversione e la tensione reale di commutazione, un'analisi pi  attenta mostra che (Figura 1.27) i cursori utilizzati per la misura del temp di conversione non sono stati posizionati bene, infatti il

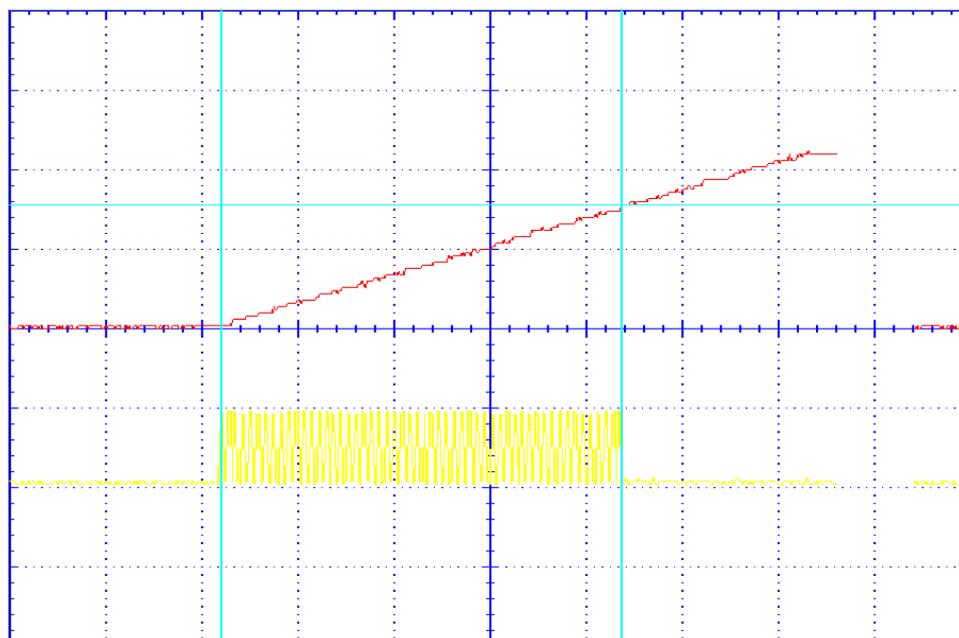


Figura 1.27: Immagine acquisita dal primo oscilloscopio. In rosso viene tracciata la forma d'onda del segnale $V_r(t)$ con scale 2 V/div e 250 ms/div; in giallo è visualizzata l'uscita della logica combinatori con scala 5 V/div e scala temporale uguale a quella del canale 1.

primo cursore parte dopo almeno un impulso di clock (forma d'onda colorata di giallo) spiegando il difetto temporale riscontrato.

Si conclude che l'errore di conversione introdotto è esclusivamente dipendente dal calcolo del tempo di integrazione, la misura dei componenti R_1 e C_1 non è stata fatta con sufficiente accuratezza oppure le componenti parassite dovute a montaggio su bread-board ha alterato i valori teorici. Nelle prove 13, 14, 15, 16 si nota che l'errore di conversione è in qualche modo direttamente proporzionale alla tensione V_X cosa che fa pensare ad un errore grossolano della misura dei componenti discreti dell'integratore. Sono state fatte misure a frequenze ben più elevate di quelle riportate in Tabella 1.25 senza l'utilizzo di oscilloscopi; i risultati sono stati più che soddisfacenti, i dati vengono riportati in Tabella 1.29.

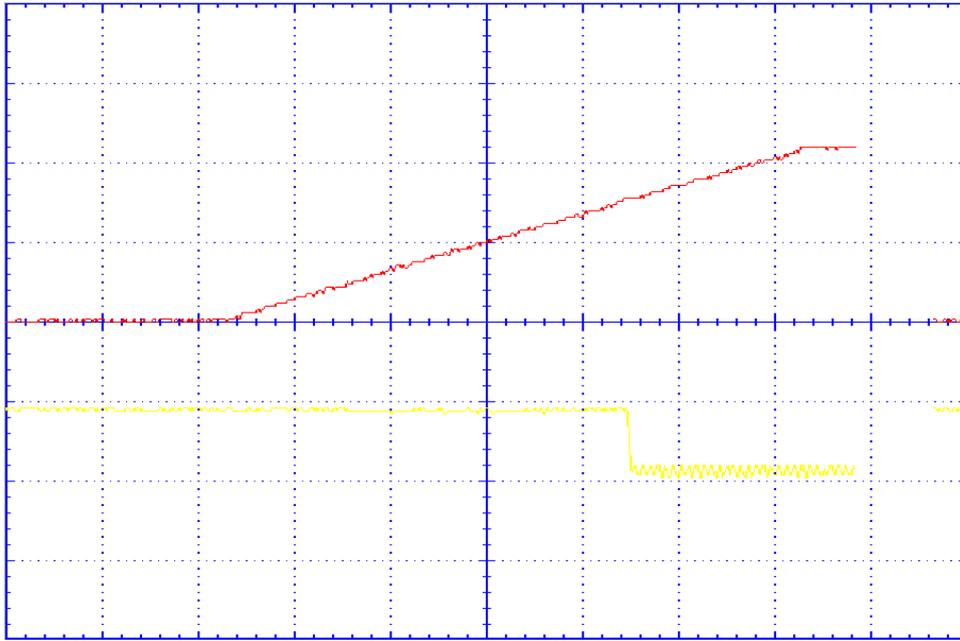


Figura 1.28: Immagine acquisita dal secondo oscilloscopio. In rosso viene tracciata la forma d'onda del segnale $V_r(t)$ con scale 2 V/div e 250 ms/div; in giallo è visualizzata l'uscita del comparatore con scala 5 V/div e scala temporale uguale a quella del canale 1.

V_x (V)	C_1 (μF)	R_1 (Hz)	F_{CK} (Ω)	C_3 (nF)	R_3 (Ω)	F_{tg} (kHz)	Valore conv. misurato	Valore conv. teorico
2	1,075	80,7	2939	82	124	16	98	102
3	1,075	80,7	2939	82	124	16	151	153
3	1,075	80,7	2939	82	124	16	155	153
3	1,075	80,7	2939	82	124	16	150	153
1	1,075	80,7	2939	82	124	16	55	51
1	1,075	80,7	2939	82	124	16	51	51
1	0,1287	80,7	24552	47	124	27	47	51
1	0,1287	80,7	24552	47	124	27	57	51
1	0,1287	80,7	24552	47	124	27	59	51
3	0,1287	80,7	24552	47	15	225	151	153
3	0,1287	80,7	24552	47	15	225	145	153
3	0,1287	80,7	24552	47	15	225	146	153
3	0,1287	80,7	24552	47	15	225	152	153
3	0,1287	80,7	24552	47	15	225	145	153
3	0,1287	80,7	24552	47	15	225	153	153

Figura 1.29: Tabella riassuntiva dei primi dati sperimentali raccolti. Per ogni prova riportata sono state salvate le immagini acquisite dagli oscilloscopi oltre agli screen-shot del software che permetteva di misurare i parametri principali delle forme d'onda prelevate dal dispositivo.

Capitolo 2

Semaforo intelligente

2.1 Analisi della prova

Nella ricerca di un'esperienza da proporre ad una classe quarta nell'indirizzo informatico ho ritenuto opportuno (in base anche alle conoscenze apprese dai ragazzi nelle poche ore previste per l'elettronica) proporre la realizzazione di un circuito digitale, circuito che potrebbe esser semplicemente sostituito da un micro-controllore opportunamente programmato via software. Per rendere l'esperienza interessante e permettere agli alunni di personalizzarne alcune parti ho deciso di realizzare un circuito sequenziale, da questa scelta sono nate due ipotesi di dispositivi comuni realizzabili attraverso una macchina a stati finiti: l'apertura di una serratura attraverso un tastierino numerico, ed un semaforo a quattro strade. Nella progettazione del tastierino mi sono accorto che se pur di facile comprensione richiedeva un elevato numero di componenti che, come verrà di seguito spiegato sono funzione del numero di stati utilizzati; per questo motivo la scelta è ricaduta sulla realizzazione del semaforo arricchita da un ipotetico sensore che possa accendere il semaforo solo nel caso in cui la strada meno trafficata tra le due incrocianti si trovi eccessivamente intasata. Nella progettazione di questa esperienza non avevo particolari vincoli se non quello di rendere realistico il dispositivo, ho potuto quindi scegliere la configurazione degli stati nel modo secondo me più interessante, ottenendo un dispositivo funzionale e limitando il numero di integrati da utilizzare.

2.2 La macchina a stati finiti

Una macchina a stati finiti, denominata anche *automa finito*, è un dispositivo che presenta ingressi ed uscite, in particolare lo stato delle uscite non dipende esclusivamente dalla configurazione degli ingressi come avviene per i dispositivi basati su logica combinatoria, bensì dipendono anche dalla storia (inteso come precedenti configurazioni di ingressi ed uscite) della macchina. Indicando con il termine *Stati* particolari condizioni stabili della macchina si determinano le configurazioni delle uscite conoscendo la configurazione degli ingressi e lo stato corrente; in generale una macchina a stati evolve in presenza di un evento sull'ingresso o sullo stato stesso (macchine asincrone), se invece può evolvere soltanto in presenza di eventi (istanti di campionamento) forniti da un segnale di sincronizzazione (clock) si parla

di macchine sincrone.

Definizione: Una macchina a stati finiti sincrona M é un sistema sincrono caratterizzato da un alfabeto di ingresso finito $\mathcal{X} = \xi_1, \xi_2, \dots, \xi_p$, un alfabeto di uscita $\mathcal{Z} = \zeta_1, \zeta_2, \dots, \zeta_q$, un insieme finito di stati $\mathcal{S} = \sigma_1, \sigma_2, \dots, \sigma_r$ e da una coppia di relazioni $\lambda : \mathcal{X} \times \mathcal{S} \rightarrow \mathcal{Z}$ e $\delta : \mathcal{X} \times \mathcal{S} \rightarrow \mathcal{S}$:

- Uscita: $z_k = \lambda(x_k, s_k)$
- Stato futuro: $s_{k+1} = \delta(x_k, s_k)$

Ove $x_k \in \mathcal{X}$, $z_k \in \mathcal{Z}$, $s_k \in \mathcal{S}$ rappresentano rispettivamente il simbolo di ingresso, di uscita e lo stato all'istante k ; le funzioni λ e δ permettono di conoscere rispettivamente il valore dell'uscita e lo stato dopo un'evoluzione.

Le macchine a stati finiti possono essere completamente descritte attraverso il grafo di transizione degli stati (STG) oppure attraverso la tabella di transizione degli stati, da uno di questi due é possibile realizzare la macchina utilizzando degli elementi di memoria (più comunemente definiti come circuiti sequenziali); verranno poi utilizzati dei criteri che permetteranno di semplificare la realizzazione e diminuiranno il numero di componenti utilizzati senza compromettere il funzionamento del dispositivo.

2.2.1 Circuiti sequenziali

Vengono chiamati *circuiti logici sequenziali* tutti quei circuiti la cui uscita all'istante t_n non dipende solo dal valore degli ingressi in t_n , ma anche da valori all'istante t_{n-1} ; in altre parole questi dispositivi hanno memoria. L'esempio più semplice di circuito sequenziale é l'elemento bistabile formato dalla cascata di due inverter (Figura 2.1), la cui caratteristica di trasferimento (Figura 2.2) mostra la presenza di due punti stabili (A e B) e di un punto metastabile (C). Se l'ingresso del primo invertitore viene forzato a livello logico alto (oppure l'ingresso del secondo viene forzato a livello logico basso) il circuito si troverà nel punto B, viceversa si troverà nel punto A; in entrambi i casi il circuito rimarrà stabilmente in quel punto di lavoro memorizzando di fatto un bit. Nel caso in cui si porti il circuito nel punto C una minima variazione v della tensione verrà amplificata fino a raggiungere uno dei due punti stabili (Figura 2.3).

Il flip-flop SR

Il modo tradizionale di forzare un cambiamento di stato di un elemento bistabile consiste nel contrastare l'anello di retroazione. Il circuito più semplice e famoso che implementa tale principio é il *flip-flop SR (Set Reset)*, di cui é riportata una possibile implementazione nella Figura 2.4, il circuito é simile a quello appena proposto con la differenza che invece di usare invertitori sono state impiegate due porte logiche NOR. Il secondo ingresso di ciascuna porta NOR é connesso agli ingressi di controllo (S e R) che permettono di forzare le uscite Q e \bar{Q} a un certo stato. Queste uscite sono complementari (a eccezione del caso in cui $S=R=1$), con

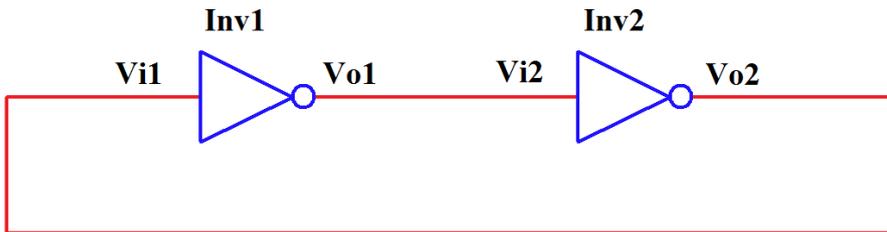


Figura 2.1: Classico esempio di circuito bistabile formato dalla cascata di due invertitori.

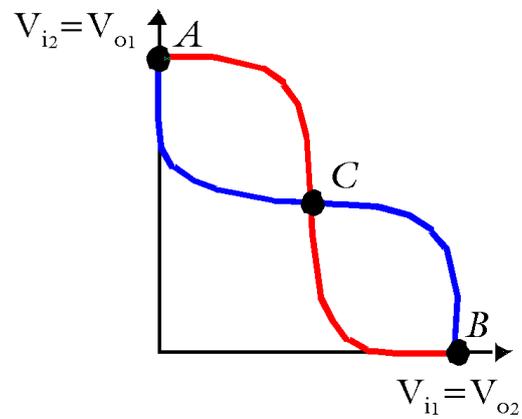


Figura 2.2: Caratteristica di trasferimento del circuito 2.1. In rosso è segnata la caratteristica del primo stadio, in blu quella del secondo

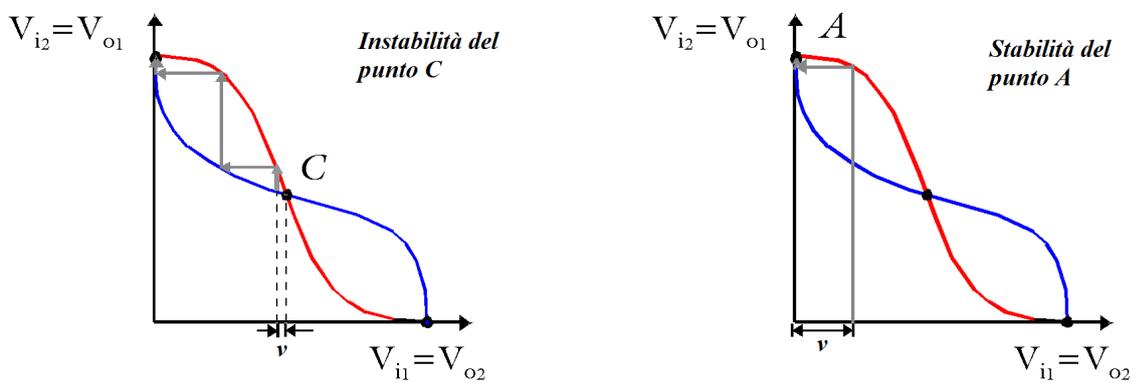


Figura 2.3: La bistabilità nel circuito 2.1.

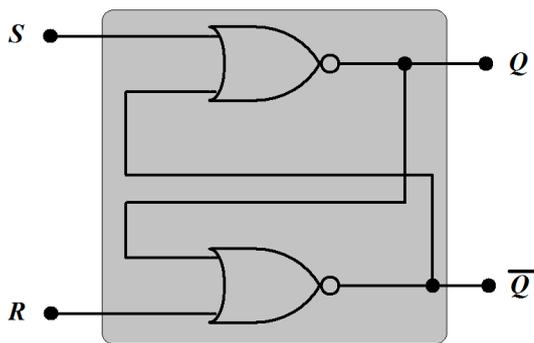


Figura 2.4: Flip-Flop SR realizzato con porte NOR.

S	R	Q	Q^*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	n	n
1	1	n	n

Figura 2.5: Tabella di verità del flip-flop SR. Con la lettera n sono indicate le configurazioni proibite.

$S=R=0$ il flip-flop è in uno stato quiescente ed entrambe le uscite mantengono il proprio valore; se viene applicato un impulso positivo all'ingresso S l'uscita Q viene forzata ad 1; viceversa con un impulso a 1 su R effettua il reset del flip-flop forzando l'uscita Q a zero. Questi risultati sono raccolti nella tabella caratteristica del flip-flop SR (Tabella 2.5). Quando sia S che R sono alti entrambe Q e \bar{Q} vengono forzate a zero, dato che questa configurazione non rispetta il vincolo che Q e \bar{Q} siano complementari, la si considera vietata. Un altro problema di questa configurazione è che quando i segnali di controllo tornano entrambi a zero, lo stato del bistabile è indeterminato e dipende da quale ingresso commuta più lentamente a zero.

Il flip-flop JK

Per ovviare al problema della configurazione proibita nel flip-flop SR si introduce un nuovo tipo di circuito bistabile che garantisce un'uscita calcolabile per ogni configurazione degli ingressi, si indica con la sigla JK e si presenta come un ampliamento del bistabile SR. Dallo schema logico interno, riportato in Figura 2.6, si studia il caso in cui $J = 1$ e $K = 1$ notando che per questa particolare configurazione degli ingressi si ha un'inversione degli stati logici in uscita; questo particolare stato viene denominato *Toggle*. La tabella di verità che ne descrive il funzionamento (Tabella 2.7) mette in evidenza i quattro stati in cui si può trovare il flip-flop:

- *Hold* : Mantiene l'uscita allo stato precedente.
- *Reset* : Porta l'uscita Q a livello logico basso indipendentemente dallo stato precedente.
- *Set* : Porta l'uscita Q a livello logico alto indipendentemente dallo stato precedente.
- *Toggle* : Inverte lo stato del flip-flop.

Le particolari caratteristiche di questo bistabile permettono di esprimere una tabella di verità più ridotta di quella riportata in Tabella 2.7 in quanto per ingressi

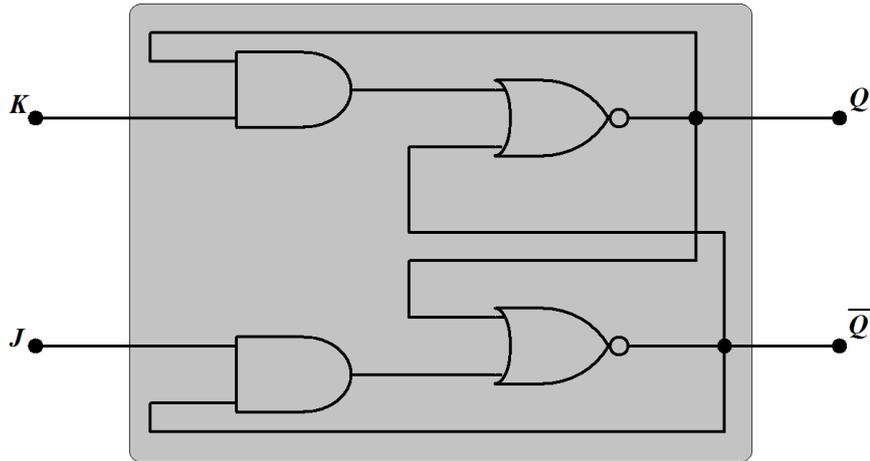


Figura 2.6: Flip-Flop JK realizzato con porte NOR e porte AND.

Stato	J	K	Q	Q*
Hold	0	0	0	0
	0	0	1	1
Reset	0	1	0	0
	0	1	1	0
Set	1	0	0	1
	1	0	1	1
Toggle	1	1	0	1
	1	1	1	0

Figura 2.7: Tabella di verità del flip-flop JK

J	K	Q	Q*
0	X	0	0
1	X	0	1
X	1	1	0
X	0	1	1

Figura 2.8: Tabella di verità del flip-flop JK semplificata inserendo le condizioni di don't care.

adiacenti il valore dello stato futuro non cambia a parità di stato iniziale (riga 1-3; 2-6; 4-8; 5-7 della Tabella 2.7). La tabella ridotta riportata in 2.8 contiene delle condizioni di *don't care* le quali indicano che per qualsiasi valore di quell'ingresso l'uscita futura assumerà il valore indicato. Esistono altri tipi di bistabili, derivati da quelli descritti, che in alcuni casi possono semplificare la complessità circuitale della macchina; si ricordano i flip-flop D ed i flip-flop T.

Considerando l'obiettivo finale della progettazione della macchina a stati risulta utile sincronizzare i cambiamenti di stato con un segnale di *Clock* di modo da poter controllare il periodo di campionamento degli ingressi e di conseguenza la velocità di cambiamento di stato. Per realizzare una macchina sincrona si useranno dei flip-flop JK *positive edge-triggered* detti anche *registri*, i quali possono cambiare stato solo in corrispondenza dello stato logico alto (oppure basso nel caso di *negative edge-triggered*); lo schema logico interno e il simbolo circuitale sono riportati in Figura 2.9 e Figura 2.10.

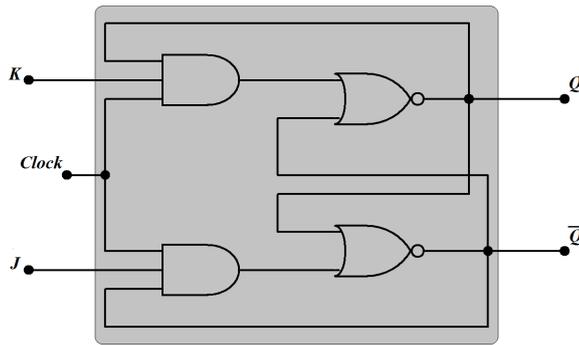


Figura 2.9: Registro JK sincrono positive edge-triggered. Quando il clock è a livello logico basso il registro non può cambiare il suo stato.

D	S	R	Q	Q^*
0	0	1	0	0
0	0	1	1	0
1	1	0	0	1
1	1	0	1	1

Figura 2.11: Tabella di verità del Flip-Flop D.

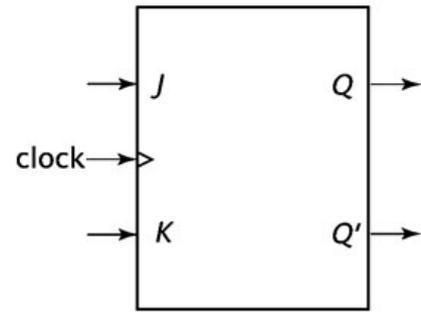


Figura 2.10: Simbolo circuitale del registro JK.

	T	J	K	Q	Q^*
Hold	0	0	1	0	0
	0	0	1	1	1
Toggle	1	1	0	0	1
	1	1	0	1	0

Figura 2.12: Tabella di verità del Flip-Flop T.

Altri tipi di registri

Dai due fondamentali elementi di memoria sopra elencati sono derivabili altri due tipi di registri utilizzati nella progettazione di macchine a stati finiti. Dal registro SR, collegando il piedino di Reset a quello di Set attraverso un invertitore logico, si ottiene il Flip-Flop D (la cui tabella di verità è riportata in Tabella 2.11); dal registro JK in maniera analoga è invece ricavabile il Flip-Flop T (Tabella 2.12).

In fase di progettazione la scelta del registro da utilizzare determinerà la forma delle equazioni di stato dell'automa, di conseguenza anche la complessità circuitale del blocco δ dipende dalla scelta dell'elemento di memoria.

2.2.2 Il modello di Huffman, macchine di Mealy e di Moore

Come anticipato nell'introduzione delle macchine a stati finiti le funzioni λ (per determinare l'uscita) e δ (per determinare lo stato futuro) sono entrambe dipendenti dallo stato precedente, il quale deve esser memorizzato in un elemento di memoria, il registro. Il modello che schematizza il funzionamento di un automa a stati finiti è noto come *Modello di Huffman* (Figura 2.13). Il blocco che realizza le funzioni λ e δ sarà formato da una rete logica combinatoria, mentre il blocco di memoria dovrà comprendere almeno n registri, con $n = \log_2(\text{Stati})$ di modo da poter mantenere in memoria lo stato in cui si trova l'automa prima dell'evoluzione. E' importante notare che la funzione δ dipende dal tipo di registri impiegati nel

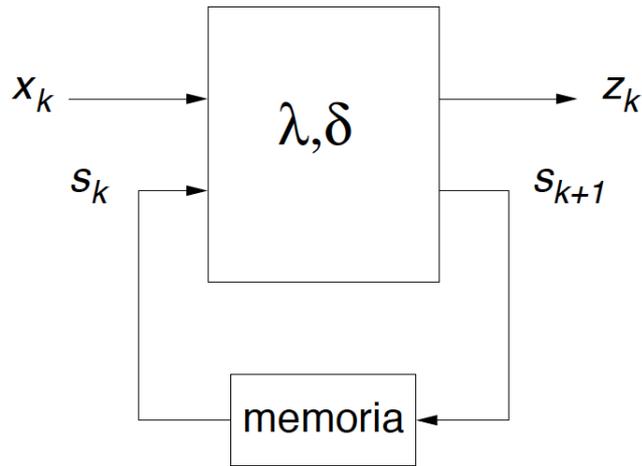


Figura 2.13: Modello di Huffman per automi a stati finiti.

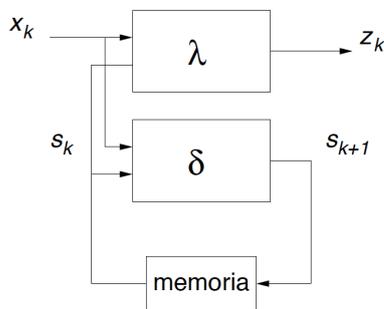


Figura 2.14: Diagramma macchina di Mealy. Gli ingressi sono variabili di entrambe le funzioni.

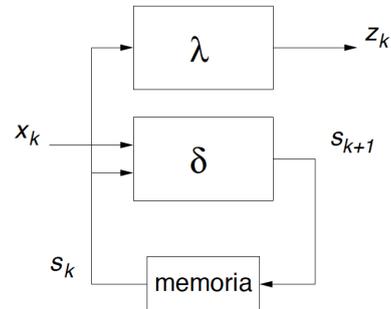


Figura 2.15: Diagramma macchina di Moore. Gli ingressi sono variabili della sola funzione δ .

blocco di memoria, mentre la funzione λ dipende dall'ingresso e dalla *codifica degli stati*.

Gli automi finiti si distinguono in due categorie in base alle variabili della funzione λ :

- *Macchine di Mealy* : L'uscita \mathcal{Z} dipende sia dallo stato che dall'ingresso \mathcal{X} ($\lambda : \mathcal{S} \times \mathcal{X} \rightarrow \mathcal{Z}$), schematizzazione in Figura 2.14.
- *Macchie di Moore* : L'uscita \mathcal{Z} dipende esclusivamente dallo stato \mathcal{S} ($\lambda : \mathcal{S} \rightarrow \mathcal{Z}$), schematizzazione in Figura 2.15.

2.3 Progettazione

Durante la progettazione ho pensato che per rendere la prova interessante sarebbe stato utile proporre un dispositivo il più simile possibile a quello realmente impiegato nelle strade, per questo motivo ho progettato una macchina con tre stati

che corrisponderanno al segnale di stop con luce rossa, di via libera con luce verde e di cambio stato con l'accensione contemporanea delle due luci. Così facendo sarebbero necessari tre stati, e di conseguenza due registri, lasciando uno stato inutilizzato e rendendo la macchina progettata piuttosto banale. Ho pensato quindi di introdurre un quarto stato, che rappresenti lo spegnimento del semaforo nel caso in cui la strada incrociante meno trafficata (e senza diritto di precedenza) sia libera o comunque ci siano poche macchine che aspettano di immettersi nella strada principale. Il dispositivo che idealmente fornisce un livello logico alto quando le auto restano ferme all'incrocio oltre un determinato tempo (può ad esempio essere una semplice fotocellula) costituirà l'unico ingresso x dell'automa progettato. Il modello di Moore risulta adatto alla macchina da realizzare in quanto l'ingresso x servirà soltanto per dare inizio, oppure terminare il ciclo Verde-Rosso passando per lo stato Arancio, e non influenzerà le uscite che saranno esclusivamente dipendenti dallo stato in cui si trova la macchina. Dalle considerazioni fatte risulta il grafo degli stati del semaforo intelligente che descrive le transizioni degli stati in funzione dell'ingresso (Figura 2.16); oltre ai quattro stati già descritti, sopra gli archi viene riportato il valore dell'ingresso che permette la transizione indicata. Dal grafo degli stati è quindi immediatamente ricavata la tabella degli stati (Tabella 2.17). Per quanto riguarda le uscite della macchina da progettare si è pensato ad una coppia di bit, d'ora in poi indicati con Z_0 e Z_1 per identificare i tre colori che può assumere il semaforo. L'associazione più semplice è data da (Tabella 2.18):

- *STATO A*: Semaforo spento, $Z_0 = 0; Z_1 = 0$.
- *STATO B*: Semaforo verde, $Z_0 = 1; Z_1 = 0$.
- *STATO C*: Semaforo rosso, $Z_0 = 0; Z_1 = 1$.
- *STATO D*: Semaforo arancione, $Z_0 = 1; Z_1 = 1$.

Dove il colore arancione del semaforo viene per ora sostituito dall'accensione contemporanea del verde e del rosso. Ovviamente quando si parla di semaforo rosso si intende che per una delle due strade sarà rosso e per l'altra sarà verde e viceversa nello stato complementare; gli stati *B* e *C* sono quindi scambiati senza compromettere il funzionamento del dispositivo.

2.3.1 La codifica degli stati

Come anticipato per realizzare una macchina di Moore con quattro stati logici saranno necessari almeno due registri. Prima di calcolare le espressioni booleane (che verranno implementate dalla parte combinatoria) per determinare lo stato futuro, è necessario assegnare dei valori numerici agli stati mediante un processo che prende il nome di *Codifica degli stati*. Per determinare una relazione biunivoca tra lo stato logico ed il valore numerico delle uscite dei registri è spesso utile (al fine di diminuire la complessità circuitale della parte combinatoria) seguire alcuni criteri di attribuzione:

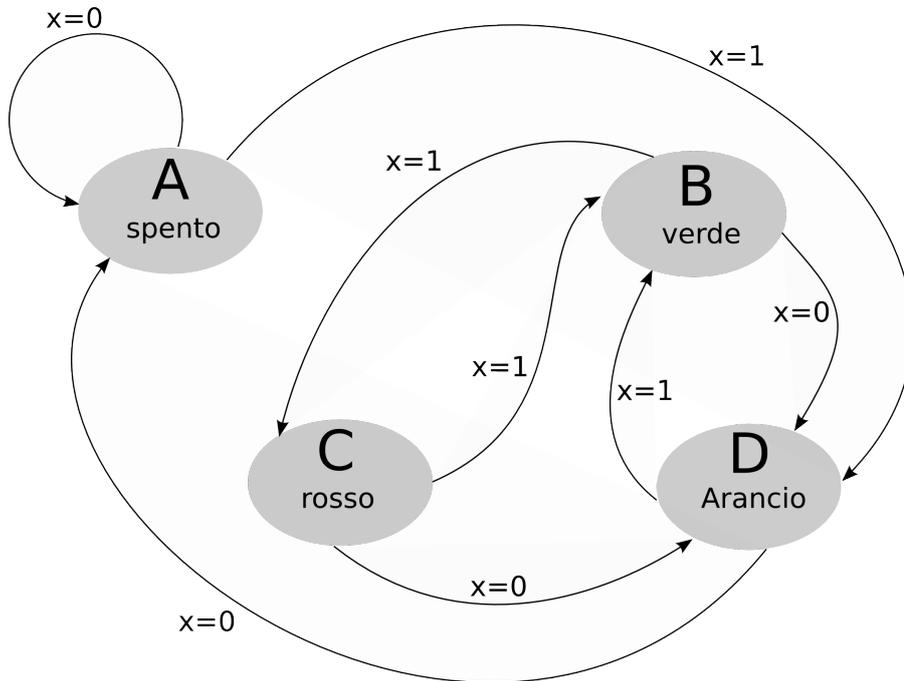


Figura 2.16: Grafo rappresentante l'evoluzione degli stati del semaforo.

X	Stato presente	Stato futuro
0	A	A
0	B	D
0	C	D
0	D	A
1	A	D
1	B	C
1	C	B
1	D	B

Figura 2.17: Tabella di verità della macchina a stati da progettare.

Stato	Z_0	Z_1
A	0	0
B	0	1
C	1	0
D	1	1

Figura 2.18: Codifica delle uscite in funzione dello stato.

Stato	Q_1	Q_2
A	0	1
B	0	0
C	1	0
D	1	1

Figura 2.19: Tabella di verità del flip-flop JK.

Stato	Q_1	Q_2
A	0	0
B	0	1
C	1	0
D	1	1

Figura 2.20: Codifica delle uscite in funzione dello stato.

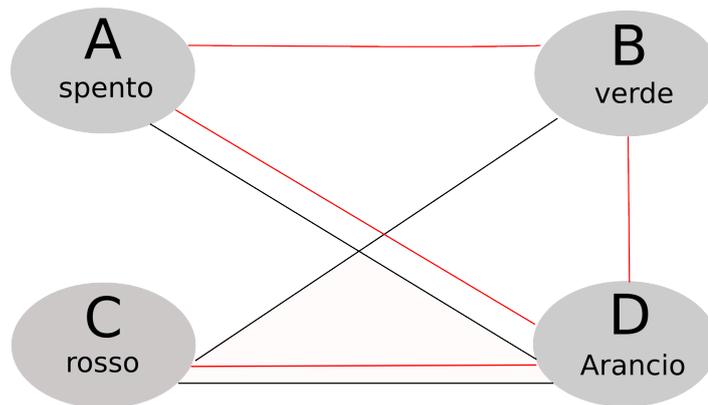


Figura 2.21: Grafo delle adiacenze. Gli archi neri rappresentano le adiacenze suggerite dal criterio 1, mentre quelli rossi rappresentano le adiacenze suggerite dal criterio 3.

- **CRITERIO 1** : Codifiche adiacenti per stati che, a parità di ingressi, hanno lo stesso stato futuro.
- **CRITERIO 2** : Codifiche adiacenti per stati che, a parità di ingressi, hanno le stesse uscite.
- **CRITERIO 3** : Codifiche adiacenti per stati che sono stati futuri dello stesso stato per codifiche adiacenti degli ingressi.

Si nota che il criterio 2 non è applicabile nel caso da progettare in quanto ogni stato ha uscite differenti; si cerca quindi di costruire un grafo che identifichi con un arco l'adiacenza tra due stati suggerita dal criterio 1 e/o 2 (Figura 2.21). La successiva codifica degli stati cercherà di coprire il maggior numero di archi possibile assegnando agli stati il valore degli ingressi Q_1 e Q_2 degli elementi di memoria. Si trovano due soluzioni con copertura equivalente (6 archi) riportate in Tabella 2.19 e Tabella 2.20. Tuttavia va considerato che la complessità circuitale verrebbe diminuita prendendo come uscite della macchina direttamente i bit Q_1 e Q_2 di codifica degli stati, ecco che la codifica riportata in Tabella 2.20 permette di evitare l'impiego del blocco λ della Figura 2.15 considerando $Z_0 = Q_1$ e $Z_1 = Q_2$.

2.3.2 Equazioni di stato

Dopo aver scelto la codifica riportata in Tabella 2.20 è possibile ampliare la tabella di transizione degli stati (2.17) indicando i bit nei singoli elementi di memoria sia

X	<i>Stato presente</i>	<i>Stato futuro</i>	Q_1	Q_2	Q_1^*	Q_2^*
0	A	A	0	0	0	0
0	B	D	0	1	1	1
0	C	D	1	0	1	1
0	D	A	1	1	0	0
1	A	D	0	0	1	1
1	B	C	0	1	1	0
1	C	B	1	0	0	1
1	D	B	1	1	0	1

Figura 2.22: Tabella di verità del semaforo con l'utilizzo della codifica riportata in Tabella 2.20.

X	<i>Stato presente</i>	<i>Stato futuro</i>	Q_1	Q_2	Q_1^*	Q_2^*	J_1	K_1	J_2	K_2
0	A	A	0	0	0	0	0	X	0	X
0	B	D	0	1	1	1	1	X	X	0
0	C	D	1	0	1	1	X	0	1	X
0	D	A	1	1	0	0	X	1	X	1
1	A	D	0	0	1	1	1	X	1	X
1	B	C	0	1	1	0	1	X	X	1
1	C	B	1	0	0	1	X	1	1	X
1	D	B	1	1	0	1	X	1	X	0

Figura 2.23: Tabella di verità del semaforo con l'utilizzo della codifica riportata in Tabella 2.20 e l'impiego di registri JK. Con J_1, K_1 sono indicati gli ingressi del primo elemento di memoria; con J_2, K_2 quelli del secondo. Le X indicano le condizioni di don't care.

per quanto riguarda gli stati presenti che quelli futuri (Tabella 2.22).

Escludendo da subito la possibilità di scegliere il registro SR come elemento di memoria (a causa dei possibili problemi derivanti dalla condizione non permessa in ingresso) si sono considerati i registri JK, T e D. Per primo si è ipotizzato l'impiego del registro JK, considerando la Tabella 2.8 si determinano le configurazioni degli ingressi per ciascuna riga della Tabella 2.22 ottenendo la Tabella 2.23.

Utilizzando le mappe di karnaugh è ora possibile determinare le espressioni logiche degli ingressi J_i, K_i in funzione dell'ingresso X dell'automa e dello stato corrente Q_i . In riferimento alla Tabella 2.23 sono costruite le mappe di karnaugh (riportate in Figure 2.24, 2.25, 2.26, 2.27); eseguendo la minima copertura dei livelli logici alti e comprendendo le condizioni di don't care che semplificano l'espressione finale si sono raggiunte le seguenti espressioni logiche:

- $J_1 = X + Q_2$
- $K_1 = Q_2 + X$
- $J_2 = Q_1 + X$
- $K_2 = X\bar{Q}_1 + \bar{X}Q_1 = X \oplus Q_1$

		Q1			
		X Q2			
0	00	01	11	10	
		1	X	X	
1	X	1	X	X	

Figura 2.24: Calcolo dell'espressione logica di J_1 in funzione di X, Q_1, Q_2 .

		Q1			
		X Q2			
0	00	01	11	10	
	X	X	1		
1	X	X	1	1	

Figura 2.25: Calcolo dell'espressione logica di K_1 in funzione di X, Q_1, Q_2 .

		Q1			
		X Q2			
0	00	01	11	10	
		X	X	1	
1	1	X	X	1	

Figura 2.26: Calcolo dell'espressione logica di J_2 in funzione di X, Q_1, Q_2 .

		Q1			
		X Q2			
0	00	01	11	10	
	X		1	X	
1	X	1		X	

Figura 2.27: Calcolo dell'espressione logica di K_2 in funzione di X, Q_1, Q_2 .

In caso si utilizzino registri di tipo JK sono quindi necessarie soltanto 3 porte logiche OR ed una XOR per realizzare la funzione δ .

In maniera analoga vengono calcolate le equazioni di stato nel caso si utilizzino registri di tipo D e di tipo T ; nel primo caso, indicando con D_1 e D_2 gli ingressi dei due elementi di memoria, le equazioni avrebbero una forma del tipo:

- $D_1 = Q_1 \bar{Q}_2 \bar{X} + \bar{Q}_1 Q_2 + X \bar{Q}_1$
- $D_2 = \bar{X} \bar{Q}_1 Q_2 + Q_1 \bar{Q}_2 + X Q_1 + X \bar{Q}_2$

Il numero di porte logiche necessarie in questo caso è molto più alto rispetto alla realizzazione precedente, in particolare verrebbero impiegate porte AND , OR e un invertitore. Nel caso si usino registri di tipo T le due equazioni di stato potrebbero essere del tipo:

- $T_1 = Q_2 + X$
- $T_2 = \bar{Q}_1 X + Q_1 \bar{X} + Q_1 \bar{Q}_2$

Anche la soluzione con questo ultimo elemento di memoria potrebbe esser presa in considerazione, tuttavia la necessità di introdurre un invertitore logico per disporre del segnale \bar{X} crea un aumento del numero di circuiti integrati necessari; viene quindi scelto il registro JK per realizzare l'automa descritto.

2.4 Simulazione

La scelta dei componenti per la realizzazione dell'automa non deve tener conto di particolari caratteristiche di velocità, i circuiti integrati della famiglia TTL (Transistor-Transistor-Logic) presenti in laboratorio risultano quindi ideali per la realizzazione. Sarà necessario anche per questa prova un generatore di clock, il quale fornirà un'onda quadra con ampiezze 0-5 V e frequenza nell'ordine di qualche decimo di Hertz (la frequenza del clock determinerà il tempo di commutazione del semaforo); il segnale di ingresso X verrà realizzato attraverso uno switch che permetterà di simulare il livello logico proveniente dall'ipotetico sensore; sarà infine necessaria un'alimentazione di 5 V. I circuiti integrati utilizzati sono quindi:

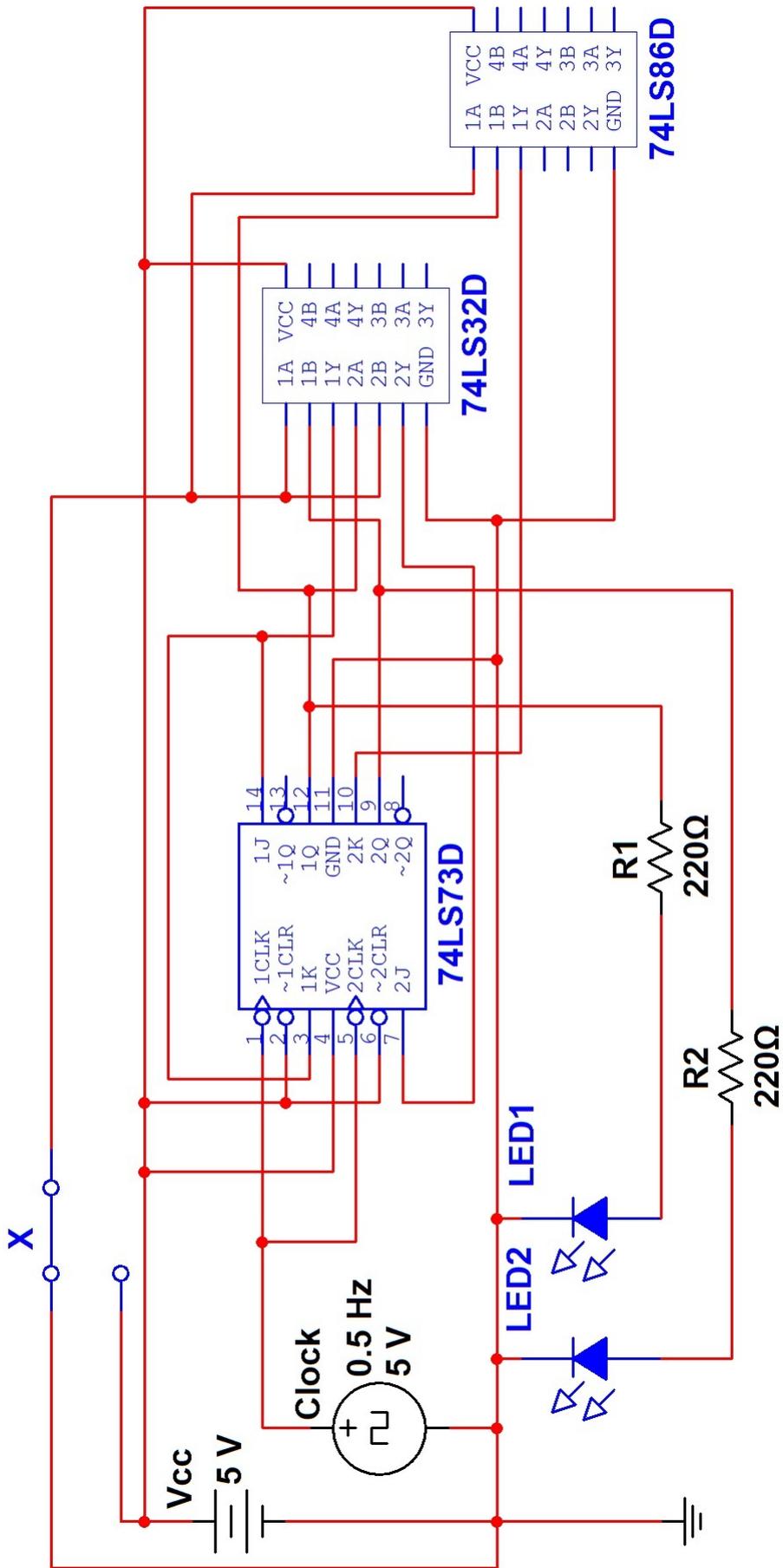
- *74LS73* : Doppio registro JK negative edge triggered con clear attivo basso (nel caso particolare il clear non viene utilizzato e viene tenuto sempre a livello logico alto).
- *74LS32* : Quattro porte OR.
- *74LS86* : Quattro porte XOR.

Verranno poi impiegati due diodi LED per segnalare il livello logico nelle uscite Q_1 e Q_2 (opportunamente collegati in serie ad una resistenza di 220 Ω per evitare sovratensioni) e verificare così il corretto funzionamento del dispositivo. Il circuito simulato con Multisim (Figura 2.28) non ha mostrato problemi, con $X = 0$ la macchina si porta allo stato di spegnimento passando per lo stato di semaforo arancione; con $X = 1$ si entra nel ciclo verde-rosso passando ancora per lo stato arancione. La frequenza di clock viene impostata a $f_{ck} = 0.5Hz$ di modo che il tempo necessario al cambio di stato sia due secondi.

Per rendere più realistico il dispositivo, e capirne meglio l'impiego, si è deciso di ampliare il circuito con l'aggiunta di altri 6 LED che vanno a simulare le quattro stazioni semaforiche necessarie. Utilizzando Q_1 per pilotare i due LED verdi nei semafori posti sulla strada principale, e Q_2 per pilotare i rispettivi due rossi, sarà sufficiente collegare i LED verdi posti nella strada incrociante all'uscita Q_1 dell'automa e di conseguenza Q_2 ai rossi corrispondenti (Figura 2.29).

2.5 Realizzazione e schema elettrico finale

In seguito alla simulazione positiva del circuito di Figura 2.28 si è proceduto con la realizzazione dell'automa su Bred-Board verificandone senza problemi il funzionamento come previsto. Come da progetto sono stati aggiunti altri sei LED (circuito in Figura 2.29); in questo caso però il risultato non è stato lo stesso ottenuto mediante la simulazione. Il dispositivo così ampliato non rispettava più il funzionamento previsto, all'accensione l'automa si trovava in uno stato casuale e non effettuava alcuna transizione di stato, neanche in corrispondenza della commutazione dell'ingresso X . Si è inoltre notato che i quattro LED contemporaneamente accesi non avevano l'intensità prevista, mostrando soltanto un minimo di luminosità. Un'analisi del datasheet del circuito integrato 74LS73 ha mostrato



42
 Figura 2.28: Primo circuito del semaforo simulato con Multisim.

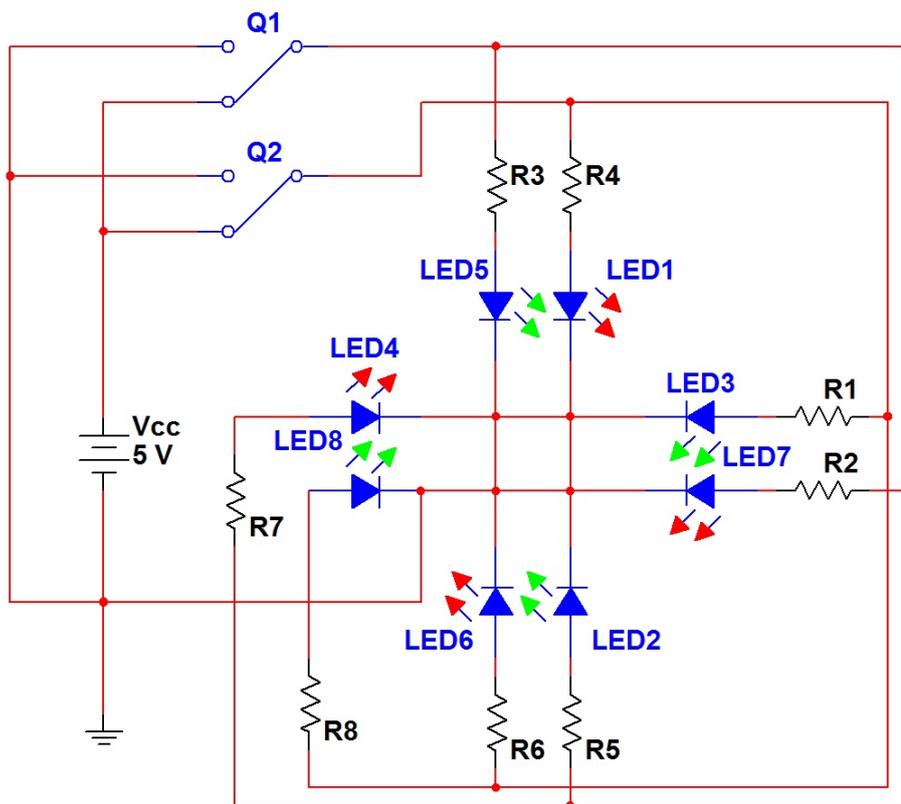


Figura 2.29: Connessioni delle otto lampade semaforiche che simulano l'impiego dell'automata. Tutte le resistenze hanno un valore pari a 220Ω necessario per evitare sovratensioni sui diodi LED.

che il funzionamento è stato compromesso dall'elevata corrente necessaria ai diodi LED, dalle caratteristiche risulta infatti che ogni registro integrato può fornire, in condizioni ottimali, circa dieci milliAmpère, sufficienti nel caso di pilotaggio di un solo diodo LED ma decisamente inferiori a quelli necessari per alimentare il circuito di Figura 2.29. La soluzione ideale al problema sarebbe stata l'aggiunta di un buffer per ogni uscita dell'automa (Figura 1.2) oppure, soluzione ancor più adeguata, l'inserimento di un comparatore (Figura 1.5 con tensione di soglia $V_{TH} \simeq 2.5V$) tra le uscite dei registri ed il circuito di Figura 2.29; in questo modo si avrebbe avuto un'ulteriore rigenerazione del segnale. Tuttavia entrambe le soluzioni trovate richiedono l'impiego di almeno un altro circuito integrato comprendente due amplificatori operazionali, complicando la realizzazione e uscendo dal campo digitale in cui è totalmente impostata la prova. Il problema relativo alla bufferizzazione delle uscite dell'automa può essere risolto anche utilizzando direttamente le porte logiche disponibili negli integrati 74LS32 e 74LS86, in particolare due porte OR e ben tre porte XOR. Utilizzando semplici proprietà booleane si vede come le porte disponibili possono essere utilizzate come buffer o come invertitori, valgono infatti:

- $X_{OR} = A + B; A = B \rightarrow X_{OR} = A = B.$
- $X_{XOR} = \bar{A}B + A\bar{B}; A = 0 \rightarrow X_{XOR} = B, A = 1 \rightarrow X_{XOR} = \bar{B},$
 $B = 0 \rightarrow X_{XOR} = A, B = 1 \rightarrow X_{XOR} = \bar{A}.$

Si è scelto quindi di utilizzare le due porte logiche *OR* del 74LS32 come buffer non invertenti (cortocircuitando gli ingressi); pilotando con Q_1 i LED rossi della prima strada e di conseguenza con Q_2 quelli verdi. Per pilotare gli altri quattro LED si sono utilizzate due delle tre porte *XOR* disponibili, collegando uno degli ingressi a massa si sono ottenuti altri due buffer necessari per pilotare con Q_1 i LED verdi della seconda strada e con Q_2 i rispettivi LED rossi. Il circuito elettrico definitivo è mostrato in Figura 2.30.

2.6 Verifica funzionamento

Per verificare il corretto funzionamento si utilizza un generatore di funzioni per creare il segnale di clock, l'alimentazione sarà in genere fornita da un alimentatore stabilizzato in tensione (Figura 2.31). Il collegamento tra la macchina a stati finiti e il blocco di simulazione delle quattro stazioni semaforiche avrà un numero di connessioni che dipende dal numero di buffer inseriti; nel caso si ipotizzi di spostare i buffer direttamente sul blocco contenente i LED saranno sufficienti le connessioni per i segnali Q_1 e Q_2 . Nel caso considerato come schema elettrico finale del progetto (Figura 2.28 con Figura 2.30) le connessioni saranno quattro.

2.7 Ampliamento prova

Un possibile ampliamento della prova suggerito dagli studenti è l'aggiunta del LED arancione che sostituisce nello stato *D* l'accensione dei due LED verde e rosso. Considerando dapprima una sola stazione semaforica sarà sufficiente ottenere il

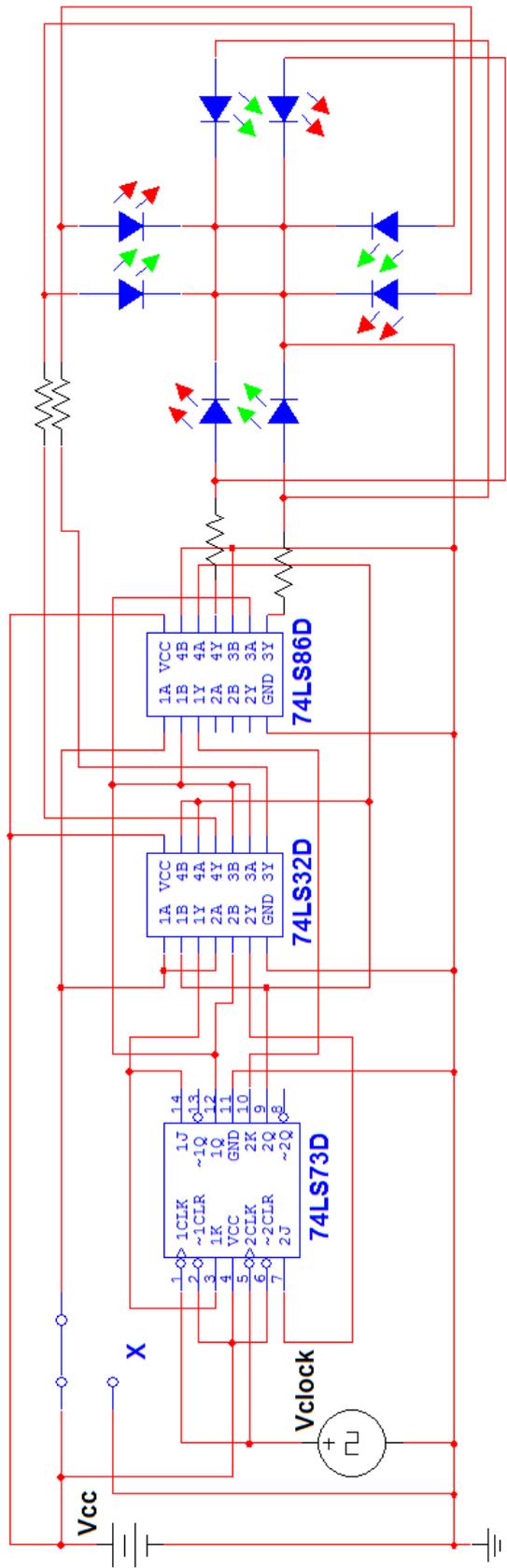


Figura 2.30: Circuito finale per la simulazione del semaforo completo delle connessioni bufferizzate ai LED.tutte le resistenze impiegate hanno un valore pari a 100Ω.

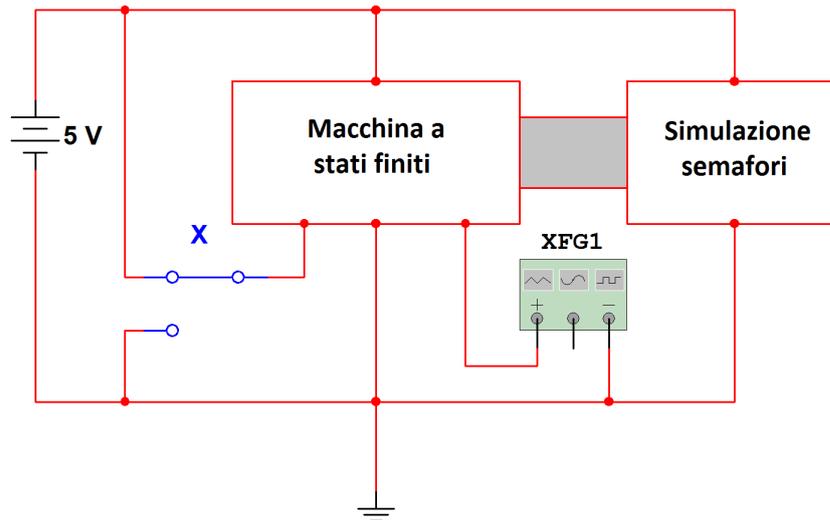


Figura 2.31: Schema di montaggio per la verifica del corretto funzionamento del semaforo progettato. Una verifica preliminare potrebbe esser fatta controllando solo lo stato logico delle uscite Q_1 e Q_2 evitando il blocco di simulazione dei semafori come in Figura 2.28.

segnale di comando per il LED arancione eseguendo il prodotto logico AND tra Q_1 e Q_2 , tale prodotto verrà negato per ottenere il segnale che permetterà di spegnere il LED rosso (oppure verde) nel caso sia acceso quello arancione; i LED rossi (e verdi) verranno quindi pilotati dal prodotto logico di Q_1 (Q_2) con la negazione del segnale arancio. Indicando le nuove uscite dell'automata con le iniziali del colore corrispondente (V, R, A) risulta:

- $A = Q_1 * Q_2$.
- $V = Q_1 * \bar{A}$.
- $R = Q_2 * \bar{A}$.

L'ampliamento progettato comporterebbe l'impiego aggiuntivo di tre porte AND e di una porta XOR per ogni coppia di semafori (di conseguenza sei porte AND e due XOR per l'intero progetto), è quindi indispensabile aggiungere due circuiti integrati 74LS08 contenenti ciascuno quattro porte AND . Per quanto riguarda le porte XOR necessarie, in seguito all'aggiunta dei buffer, ne sarebbe disponibile soltanto una nell'integrato 74LS86; tuttavia nel caso venga aggiunto il LED arancione diventa inutile bufferizzare le uscite dell'automata come in Figura 2.30, in questo modo le XOR disponibili diventano 3, più che sufficienti per implementare il circuito di Figura 2.32.

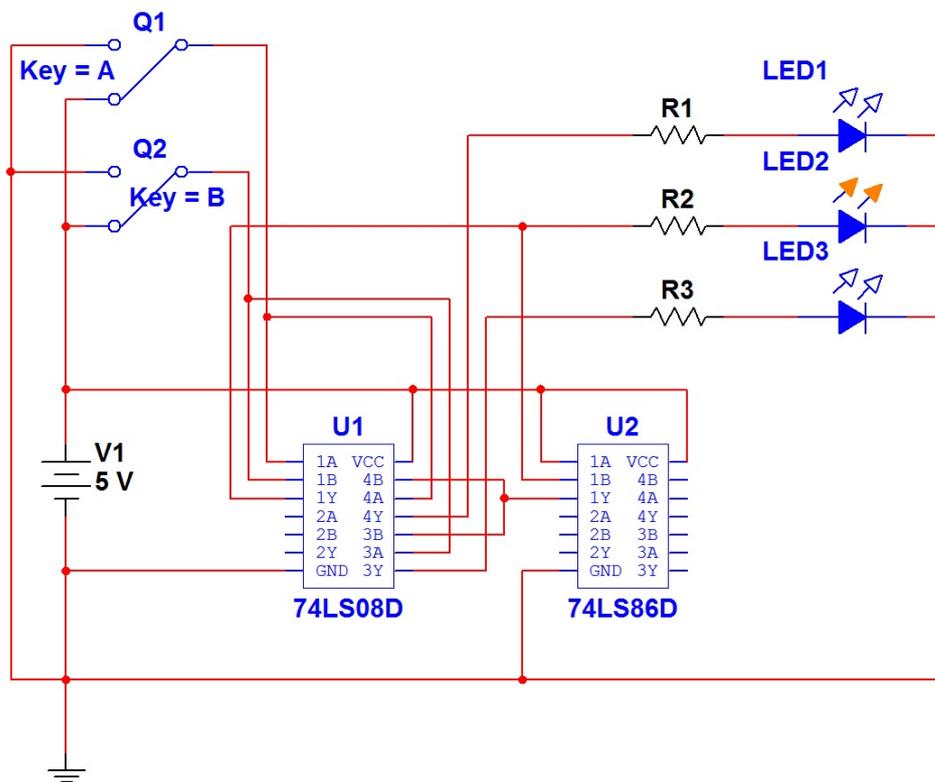


Figura 2.32: Simulazione di una stazione semaforica con LED arancione. Nella configurazione $Q_1 = 0$ e $Q_2 = 0$ i LED verdi e rossi sono spenti, mentre resta acceso soltanto il LED arancione; tutte le resistenze impiegate hanno un valore pari a 220Ω .

Capitolo 3

Semplice amplificatore audio in classe A

Un'esperienza di laboratorio impostata su dispositivi audio sarebbe stata con buona probabilità ideale per suscitare l'interesse degli studenti, ho pensato quindi di introdurre un altro elemento base dell'elettronica, il transistor BJT, ed inserirlo in una applicazione classica e di comune utilizzo. La progettazione di un semplice amplificatore in classe A a singolo transistor risulta quindi ideale per capire al meglio le caratteristiche di questo componente, inoltre la possibilità da parte degli studenti di provare il dispositivo, di personalizzarlo e di valutarne la qualità ha determinato la decisione di proporre questa come terza prova da progettare durante il periodo di tirocinio nell'istituto tecnico superiore. Dopo una breve introduzione sulla struttura e sulle caratteristiche del transistor BJT si passerà alla sua polarizzazione (a singolo generatore con quattro resistori) per poi arrivare alle tre configurazioni base di amplificazione. In fine si utilizzerà il modello ai piccoli segnali per studiarne abbastanza semplicemente le caratteristiche di ingresso/uscita e il comportamento in frequenza nei diversi casi.

3.1 Il transistor BJT

Il *transistore bipolare a giunzione* fu inventato alla fine degli anni quaranta da un gruppo di ricercatori dei Bell Laboratories: Bardeen, Brattain e Shockley. Il transistor bipolare è costituito da una successione di tre regioni di semiconduttore drogato, e presenta due forme: il transistor *npn* e il transistor *pnp*. Il suo funzionamento è basato sul trasporto dei portatori minoritari, per diffusione e deriva, nella regione centrale (cioè nella base del dispositivo). Poiché gli elettroni hanno mobilità e diffusività maggiori rispetto alle lacune, le pre stazioni del transistor *npn* sono naturalmente maggiori rispetto a quelle di un *pnp*.

3.1.1 Struttura del BJT

La struttura del transistor bipolare a giunzione consiste in una successione di tre regioni di materiale semiconduttore a drogaggio alternato di tipo *p* e *n*; tali regioni sono dette *Emettitore* (E), *Base* (B) e *Collettore* (C) del transistor, la base è

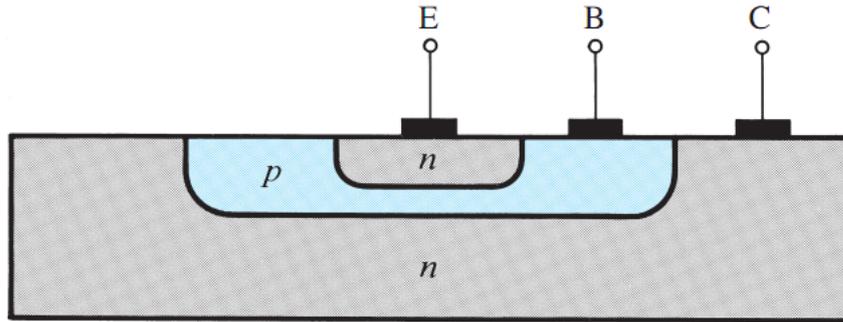


Figura 3.1: Esempio semplificato della struttura del bjt npn.

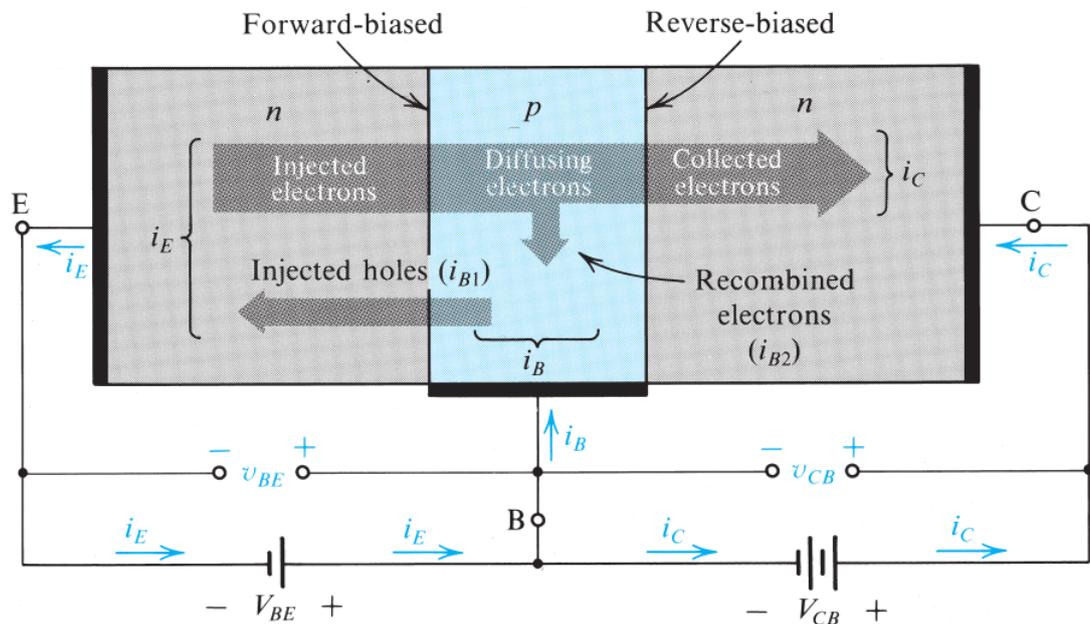


Figura 3.2: Descrizione delle correnti e delle tensioni coinvolte nel funzionamento del transistor bipolare a giunzione npn.

sempre drogata in maniera opposta alle altre due regioni. La parte più importante del transistor è la regione di base, situata al di sotto della regione molto drogata (n^+) di emettitore (Figura 3.1); il flusso di portatori in questa regione definisce le caratteristiche $i-v$ del BJT. Nel transistor npn mostrato in Figura 3.2 le correnti di collettore i_C e di base i_B entrano rispettivamente nei terminali di collettore (C) e di base (B), mentre la corrente di emettitore i_E esce dal terminale di emettitore (E) in accordo con i versi convenzionali.

3.1.2 Effetto transistor e amplificazione

La Figura 3.3 mostra una schematizzazione del transistor bipolare npn ; a prima vista il BJT sembra costituito semplicemente da due giunzioni pn collegate tra loro con l'anodo in comune (*back to back*). La base che separa le due giunzioni è

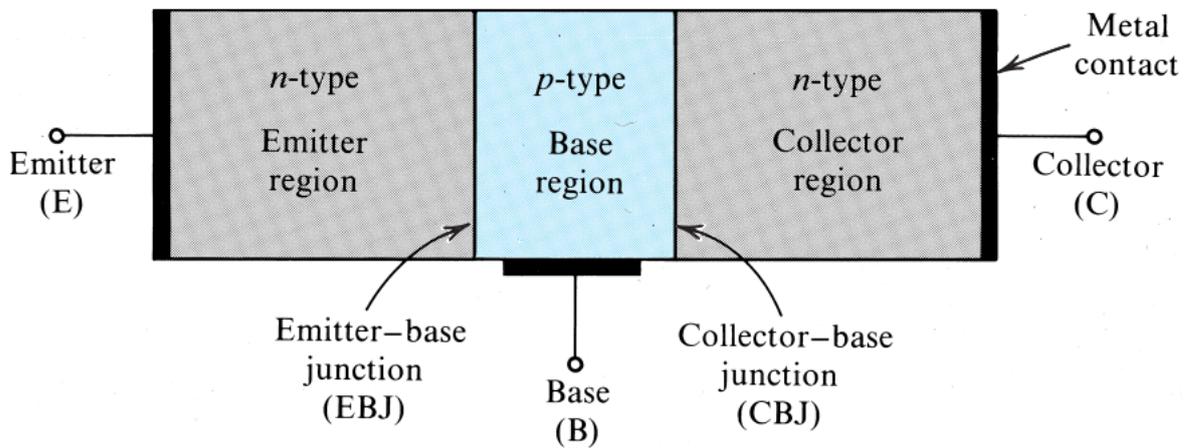


Figura 3.3: Schematizzazione del transistor bipolare a giunzione npn.

molto sottile rispetto alle altre regioni, e determina l'interazione dei due diodi. Le caratteristiche che deve avere la base di un BJT sono:

- Spessore di base molto sottile se confrontato con la lunghezza di diffusione dei portatori minoritari nella base.
- Drogaggio di emettitore molto maggiore del drogaggio di base.

La prima condizione garantisce che tutti gli elettroni iniettati dall'emettitore raggiungano la giunzione B-C (base-collettore) polarizzata in inversa (il loro tempo di permanenza in base è molto minore del loro tempo di ricombinazione), la quale raccoglie tutti gli elettroni e li spinge (grazie al campo elettrico favorevole) verso il collettore dando così luogo ad una corrente di collettore. L'effetto ottenuto mediante l'impiego della base stretta viene chiamato *effetto transistor*; se tale condizione non venisse soddisfatta tutti gli elettroni iniettati dall'emettitore riuscirebbero a ricombinarsi in base e la giunzione B-C non darebbe alcun contributo per formare una corrente di collettore. La seconda condizione (assumendo che la prima venga rispettata) garantisce invece che a fronte di una piccola quantità di lacune iniettate in base si ha un gran numero di elettroni che se iniettati dall'emettitore raggiungono il collettore (il basso drogaggio della base rispetto a quello di emettitore limita l'effetto di ricombinazione in base), amplificando di fatto la corrente i_B .

3.1.3 Il modello del trasporto

Per studiare il comportamento del transistor bipolare a giunzione inserito in una rete elettrica viene comunemente utilizzato il *modello del trasporto*, di fatto versione semplificata del più complesso modello di *Gummel-Poon*. Il modello del trasporto permette di calcolare il valore approssimato (cioè tenendo conto solo dei termini principali) delle correnti ai terminali del BJT conoscendo le tensioni ai terminali e determinati parametri costruttivi del dispositivo; per un transistor di tipo *npn* valgono le seguenti equazioni:

<i>Giunzione Base-Emettitore</i>	<i>Giunzione Base-Collettore</i>	<i>MODO</i>
Inversa	Inversa	SPENTO
Diretta	Diretta	SATURAZIONE
Diretta	Inversa	ATTIVA diretta
Inversa	Diretta	ATTIVA inversa

Tabella 3.1: Modi di funzionamento del transistor BJT in funzione delle stato delle giunzioni B-E, B-C.

$$i_C = I_S \left[e^{\frac{V_{BE}}{V_T}} - e^{\frac{V_{BC}}{V_T}} \right] - \frac{I_S}{\beta_R} \left[e^{\frac{V_{BC}}{V_T}} - 1 \right] \quad (3.1)$$

$$i_E = I_S \left[e^{\frac{V_{BE}}{V_T}} - e^{\frac{V_{BC}}{V_T}} \right] - \frac{I_S}{\beta_F} \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] \quad (3.2)$$

$$i_B = \frac{I_S}{\beta_F} \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] + \frac{I_S}{\beta_R} \left[e^{\frac{V_{BC}}{V_T}} - 1 \right] \quad (3.3)$$

Da questo sistema di equazione si vede che sono necessari tre parametri per caratterizzare un dato dispositivo: I_S , β_F , β_R . Con I_S viene indicata la corrente di saturazione del transistor, la quale è proporzionale all'area della sezione trasversale della regione attiva di base; il termine V_T rappresenta la tensione termica (che a temperatura ambiente vale 0.025 V). I coefficienti β_F e β_R prendono il nome rispettivamente di *Guadagno di corrente diretto a emettitore comune* e *Gaudagno di corrente inverso a emettitore comune*. Il termine che appare in entrambe le espressioni della corrente di collettore ed emettitore è dato da:

$$i_T = I_S \left[e^{\frac{V_{BE}}{V_T}} - e^{\frac{V_{BC}}{V_T}} \right] \quad (3.4)$$

e rappresenta la corrente trasportata attraverso la regione di base del transistor. Dall'espressione di i_T si nota la simmetria che esiste tra le tensioni base-emettitore e base-collettore nel definire la corrente principale del dispositivo.

3.1.4 Modi di funzionamento

Il comportamento del transistor in funzione delle stato di polarizzazione della giunzione E-B (Emettitore-Base) e della giunzione B-C (Base-Collettore); ciascuna delle giunzioni pn del transistor bipolare può essere polarizzata direttamente oppure inversamente, sicchè vi sono quattro possibili regioni di funzionamento, come mostrato nella Tabella 3.1.

Quando entrambe le giunzioni sono polarizzate inversamente il transistor non è attraversato da correnti apprezzabili e può essere assimilato come un circuito aperto, questo modo di funzionamento corrisponde alla *Regione di interdizione o cut off*. Se entrambe le giunzioni sono polarizzate direttamente il transistor si trova nella *Regione di saturazione*, e si comporta in modo simile ad un corto circuito. Nella *Regione attiva diretta* la giunzione base-emettitore è polarizzata direttamente, mentre la giunzione base-collettore è polarizzata inversamente; nella *Regione attiva inversa* le giunzioni sono polarizzate in maniera complementare. La regione

attiva diretta è probabilmente la condizione di funzionamento più importante del BJT (anche se quelle di saturazione ed interdizione sono molto utilizzate in campo digitale); in questa regione il transistor presenta un elevato valore del guadagno di tensione e di corrente, e può quindi essere utilizzato come amplificatore in applicazioni analogiche. Nella maggior parte dei casi in regione attiva diretta per un BJT di tipo *npn* valgono le disequazioni:

$$V_{BE} > 4 * V_T \qquad V_{BC} < -4 * V_T \qquad (3.5)$$

Dalle equazioni del modello del trasporto vengono quindi trascurati, in prima approssimazione, i termini esponenziali dove compare V_{BC} ; considerando poi che il valore tipico della corrente di saturazione del transistor è nell'ordine dei picoAmpère si semplificano le equazioni fino ad arrivare alla forma:

$$I_C = I_S \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] \qquad (3.6)$$

$$I_E = \frac{I_S}{\alpha_F} \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] \qquad (3.7)$$

$$I_B = \frac{I_S}{\beta_R} \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] \qquad (3.8)$$

Trovando la relazione tra il parametro α_F ed il parametro β_F e considerando che deve essere $i_E = I_B + I_C$ si ottengono due equazioni ausiliarie per la regione attiva diretta.

$$\alpha_F = \frac{\beta_F}{\beta_F + 1} \qquad I_C = \beta_F I_B \qquad I_E = (\beta_F + 1) I_B \qquad (3.9)$$

3.1.5 Caratteristiche *i-v* del BJT

Il comportamento del BJT è rappresentato completamente dalle caratteristiche di uscita e di trasferimento. Le caratteristiche di uscita rappresentano le relazione tra la corrente di collettore e la tensione collettore-emettitore oppure tra la corrente di collettore e la tensione collettore-base del transistor; le caratteristiche di trasferimento fanno riferimento invece alla relazione tra la corrente di collettore e la tensione base-emettitore.

Le caratteristiche di uscita

La Figura 3.4 mostra i circuiti per la misura delle caratteristiche di uscita a emettitore comune (l'emettitore è comune alle maglie di ingresso e di uscita) per un BJT *npn*. In questi circuiti la base del transistor è pilotata da un generatore di corrente costante, e le caratteristiche di uscita rappresentano il grafico di I_C in funzione di V_{CE} utilizzando la corrente di base I_B come parametro. Una qualsiasi coppia di valori (I_C, V_{CE}) determina un punto nel grafico (Figura 3.5), tale punto prende il nome di *punto di lavoro* Q . Per analizzare il grafico si parta dall'ipotesi di $V_{CE} \geq 0$, condizione che identifica il primo ed il quarto quadrante della caratteristica. Per $I_B = 0$ il transistor è interdetto, mentre per i valori di I_B maggiori di zero la corrente I_C aumenta con I_B . Per $V_{CE} > V_{BE}$ il transistor *npn* si trova

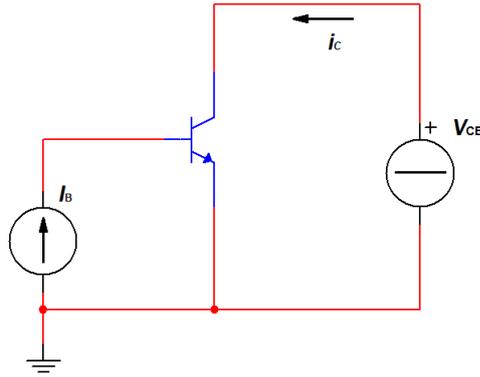


Figura 3.4: Circuiti di misura per le caratteristiche di uscita di un BJT ad emettitore comune. La caratteristica di uscita viene tracciata facendo variare sia la corrente di base che la tensione collettore-emettitore.

nella regione attiva diretta, e la corrente di collettore è dipendente da V_{CE} , ed è approssimativamente pari a $\beta_F I_B$. Per $V_{CE} < V_{BE}$ il transistor entra nella regione di saturazione, in cui la tensione tra i terminali di collettore ed emettitore assume valori ridotti. Nel terzo quadrante ($V_{CE} < 0$) i ruoli del collettore e dell'emettitore si invertono. Per $V_{CB} \leq V_{CE} \leq 0$ il transistor rimane in saturazione; per $V_{CE} < V_{CB}$ il transistor entra nella regione attiva inversa, in cui le caratteristiche $i-v$ diventano nuovamente indipendenti da V_{CE} , e $I_C \simeq -(\beta_R + 1)I_B$. Nel terzo quadrante le curve risultano ravvicinate a causa dei tipici valori bassi del parametro β_R .

Le caratteristiche di trasferimento

Le caratteristiche di trasferimento a emettitore comune del BJT rappresentano la relazione tra la corrente di collettore e la tensione base-emettitore del transistor. Un esempio relativo al transistor di tipo *npn* è riportato in Figura 3.5 per il caso di $V_{CB} = 0$. La caratteristica di trasferimento è praticamente identica a quella di un diodo a giunzione; questa circostanza può anche essere espressa matematicamente ponendo $V_{CB} = 0$ nell'espressione della corrente di collettore:

$$I_C = I_S \left[e^{\frac{V_{BE}}{V_T}} - 1 \right] \quad (3.10)$$

E' sufficiente una variazione di qualche decina di mV di V_{BE} per produrre una variazione della corrente di collettore di un fattore dieci.

Effetto Early e semplificazione del modello del trasporto

Dalla Figura 3.5, ed in particolare dall'equazione 3.6 valida per il funzionamento in regione attiva diretta risulta evidente l'indipendenza della corrente di collettore dalla tensione v_{CE} . Le caratteristiche dei dispositivi reali, tuttavia, mostrano che la corrente di collettore tende ad aumentare con l'aumentare della tensione v_{CE} ; risultati sperimentali hanno mostrato che estrapolando le curve relative alla caratteristica di uscita, si ottiene un unico punto di intersezione con l'asse delle

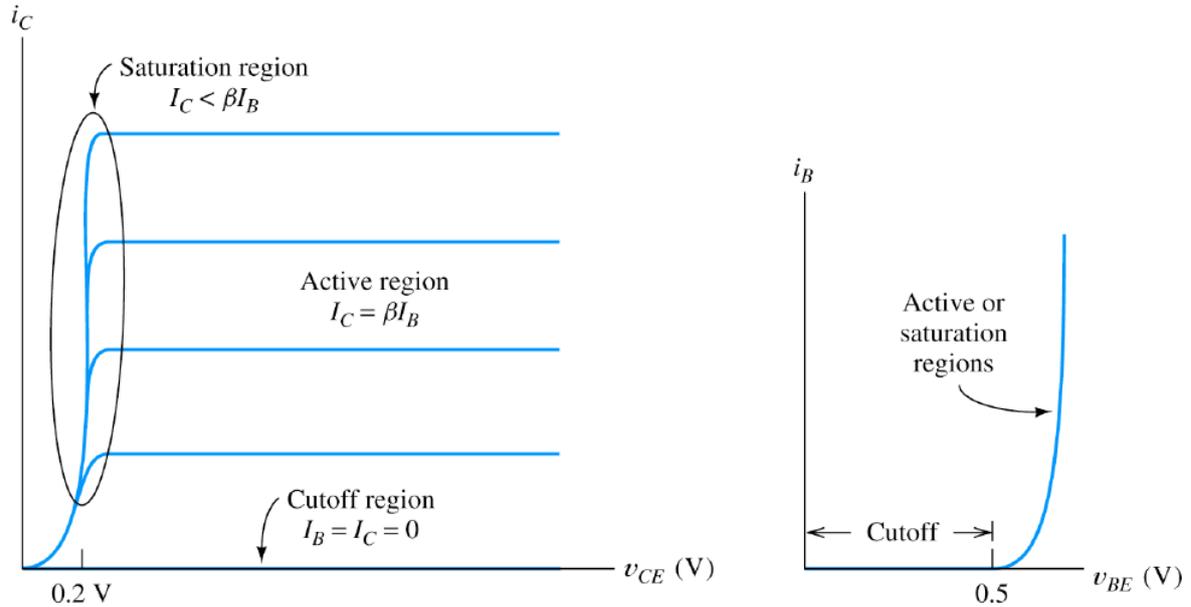


Figura 3.5: A sinistra: caratteristica di uscita di un transistor BJT *npn* (oppure *pnp* se invertito il segno dell'asse delle scisse) ad emettitore comune. I valori riportati nelle scale sono tipici di transistori commerciali. A destra: caratteristica di trasferimento del BJT nella regione attiva diretta.

tensioni (Figura 3.6). La tensione $v_{CE} = V_A$ corrispondente al punto di intersezione è detta *tensione di Early*. La causa dell'effetto Early è la variazione dello spessore della base W_B indotta dalla tensione base-collettore. Al crescere della tensione inversa ai capi della giunzione collettore-base lo spessore della regione di svuotamento aumenta e lo spessore della base diminuisce. La dipendenza della corrente di collettore dalla tensione collettore-emettitore può essere facilmente inclusa nel modello matematico semplificato relativo alla regione attiva diretta, modificando le equazioni 3.6 e 3.8:

$$i_C = I_S \left[e^{\left(\frac{v_{BE}}{V_T}\right)} \right] \left[1 + \frac{v_{CE}}{V_A} \right] \quad (3.11)$$

$$i_B = \frac{I_S}{\beta_{F0}} \left[e^{\left(\frac{v_{BE}}{V_T}\right)} \right] \quad (3.12)$$

$$\beta_F = \beta_{F0} \left[1 + \frac{v_{CE}}{V_A} \right]$$

dove β_{F0} rappresenta il valore di β_F estrapolato per $V_{CE} = 0$. La corrente di base rimane invece indipendente dalla tensione v_{CE} .

3.2 L'amplificatore a BJT

Dopo aver studiato in maniera sufficientemente completa il transistor BJT, si passa allo studio del circuito che sfruttando le caratteristiche del BJT permette di

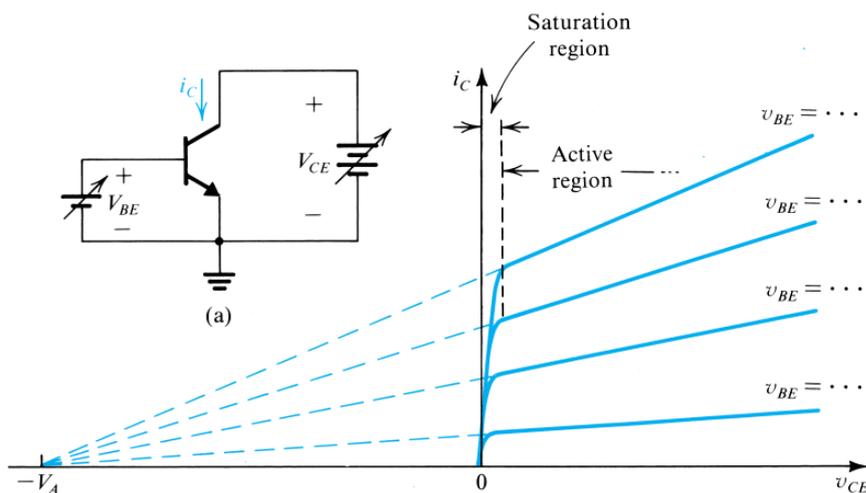


Figura 3.6: Caratteristica di uscita del BJT npn con evidente effetto Early.

avere un'amplificazione di un segnale periodico nel tempo. Tutte le considerazioni e le approssimazioni verranno fatte tenendo conto delle tensioni tipiche e delle frequenze coinvolte in un dispositivo amplificatore in banda audio. In particolare si supporrà di dover applicare un carico di 16Ω , carico che comporta alcune restrizioni sulla scelta dei componenti utilizzati. Lo studio teorico del comportamento del circuito sarà la base per scegliere i valori dei componenti, l'aiuto poi di un foglio di calcolo elettronico permetterà di svolgere velocemente i calcoli relativi a configurazioni diverse; il confronto dei risultati deciderà la configurazione più adatta.

3.2.1 La rete di polarizzazione a quattro resistori

Lo scopo della polarizzazione è quello di stabilire un assegnato punto di lavoro Q . Nel transistor bipolare il punto di lavoro è rappresentato dai valori della corrente di collettore e della tensione collettore-emettitore per il caso *npn* (per il caso *pnj* la cosa è complementare, nel senso che si considera la coppia di valori I_C e V_{EC}). La conoscenza del punto di lavoro permetterà di passare ad un modello circuitale che faciliterà notevolmente lo studio di un circuito amplificatore a BJT. Uno dei migliori circuiti per la stabilizzazione del punto di lavoro del transistor è la rete di polarizzazione a quattro resistori mostrata in Figura 3.7. Le resistenze R_1 e R_2 formano un partitore di tensione, che tende a stabilire una tensione costante alla base del BJT. Le resistenze R_E e R_C sono utilizzate per definire la corrente di emettitore e la tensione collettore-emettitore. L'obiettivo dell'analisi del circuito è quindi determinare i valori di I_C e V_{CE} . Si consideri di dividere la tensione di alimentazione con due generatori uguali per dividere la maglia di ingresso e quella di uscita, si sostituisca poi la maglia di ingresso con un circuito equivalente secondo Thévenin come mostrato in Figura (fig 5.36 b pag 243). I valori di V_{EQ} e R_{EQ} sono dati dalle relazioni:

$$V_{EQ} = V_{CC} \frac{R_2}{R_1 + R_2} \qquad R_{EQ} = \frac{R_1 R_2}{R_1 + R_2} \qquad (3.13)$$

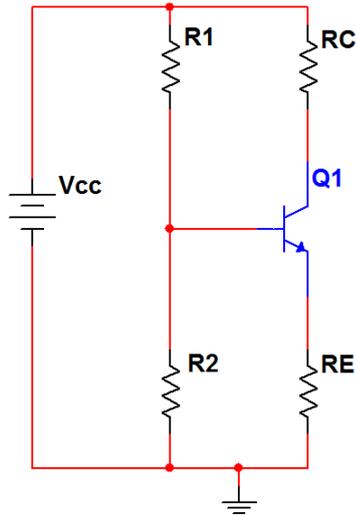


Figura 3.7: Rete di polarizzazione a quattro resistori.

Ipotizzando che il transistor si trovi in regione attiva diretta (condizione che verrà successivamente verificata) e utilizzando la legge di Kirchhoff per le tensioni riferita alla maglia di ingresso risulta:

$$V_{EQ} = R_{EQ}I_B + V_{BE} + R_E I_E \quad (3.14)$$

Poichè stiamo assumendo che il dispositivo si trovi in regione attiva diretta, risulta $V_{BE} = 0,7V$ e $I_E = (\beta_F + 1)I_B$, permettendo di calcolare il valore della corrente di base I_B con la seguente relazione:

$$I_B = \frac{V_{EQ} - V_{BE}}{(\beta_F + 1)R_E + R_{EQ}} \quad (3.15)$$

Conoscendo il valore di I_B ed utilizzando le relazioni semplificate trovate per il funzionamento in regione attiva diretta, si calcola direttamente il valore della corrente di collettore $I_C = \beta_F I_B$. Per determinare V_{CE} si analizza la maglia di uscita:

$$V_{CE} = V_{CC} - R_C I_C - R_E I_E \quad (3.16)$$

Tutte le correnti calcolate sono positive, e inoltre, essendo $V_{BE} = 0,7V$ in condizioni standard risulta $V_{BC} = V_{BE} - V_{CE} < -0,7V$ con conseguente polarizzazione inversa della giunzione base-collettore e conferma della regione di funzionamento attiva diretta. Per concludere l'analisi della rete di polarizzazione si cerca la relazione tra la tensione V_{CE} e la corrente I_C di modo da poter tracciare la curva sulla quale si sposta il punto di lavoro modificando la resistenza di collettore e quella di emettitore. Dall'equazione delle tensioni secondo Kirchhoff della maglia di uscita risulta:

$$V_{CE} = V_{CC} - \left(R_C + \frac{R_E}{\alpha_F} \right) I_C \quad (3.17)$$

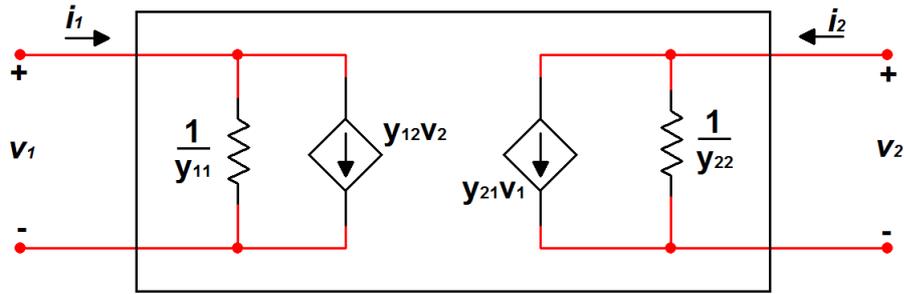


Figura 3.8: Rappresentazione di un doppio bipolo mediante i parametri y .

Dall'equazione sopra risulta che la curva di carico è una retta, per disegnarla sono necessari due punti. Scegliendo $I_C = 0$ si ha $V_{CE} = V_{CC}$, mentre per V_{CE} risulta:

$$I_C = \frac{V_{CC} - V_{CE}}{R_C + \frac{R_E \beta_F + 1}{\beta_F}} \rightarrow I_C = \frac{V_{CC}}{R_C + \frac{R_E \beta_F + 1}{\beta_F}} \quad (3.18)$$

L'intersezione della retta di carico con la curva della caratteristica $i-v$ di uscita del transistor relativa alla corrente I_B calcolata utilizzando l'equazione della magli di ingresso, definisce il punto di lavoro Q Figura (figura intersezione curva caratteristica e retta di carico).

3.2.2 Modelli per piccoli segnali

Il BJT è un dispositivo a tre terminali, e il suo modello per piccoli segnali è basato sul doppio bipolo a parametri y mostrato in Figura 3.8. Si possono esprimere le relazioni fra le tensioni e le correnti del doppio bipolo utilizzando i parametri y :

$$i_1 = y_{11}v_1 + y_{12}v_2$$

$$i_2 = y_{21}v_1 + y_{22}v_2$$

Vedendo il BJT come un doppio bipolo le variabili di ingresso sono $v_1 = v_{be}$ e $i_1 = i_b$, mentre le variabili di uscita sono $v_2 = v_{ce}$ e $i_2 = i_c$. Il modello sopra viene quindi riscritto come:

$$i_b = y_{11}v_{be} + y_{12}v_{ce}$$

$$i_c = y_{21}v_{be} + y_{22}v_{ce}$$

Le variabili di ingresso e di uscita considerate nel modello rappresentano le componenti variabili delle tensioni e delle correnti totali, ovvero, le piccole variazioni rispetto ai valori corrispondenti al punto di lavoro (V_{BE}, V_{CE}, I_B, I_C):

$$\begin{aligned} v_{BE} &= V_{BE} + v_{be} & v_{CE} &= V_{CE} + v_{ce} \\ i_B &= I_B + i_b & i_c &= I_C + i_c \end{aligned}$$

ovvero,

$$\begin{aligned} v_{be} &= \Delta_{v_{BE}} = v_{BE} - V_{BE} & v_{ce} &= \Delta_{v_{CE}} = v_{CE} - V_{CE} \\ i_b &= \Delta_{i_B} = i_B - I_B & i_c &= \Delta_{i_C} = i_C - I_C \end{aligned}$$

Si possono quindi scrivere i parametri y del BJT in termini delle componenti di segnale delle tensioni e delle correnti, ovvero in termini delle derivate delle tensioni e delle correnti totali, come mostrano le equazioni:

$$\begin{aligned} y_{11} &= \left. \frac{\partial i_B}{\partial v_{BE}} \right|_{\text{punto } Q} \\ y_{12} &= \left. \frac{\partial i_B}{\partial v_{CE}} \right|_{\text{punto } Q} \\ y_{21} &= \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{\text{punto } Q} \\ y_{22} &= \left. \frac{\partial i_C}{\partial v_{CE}} \right|_{\text{punto } Q} \end{aligned}$$

Utilizzando le equazioni 3.25 e 3.12 trovate nel modello del trasporto semplificato valido nel caso di funzionamento in regione attiva diretta e considerando le relazioni differenziale introdotte per lo studio per piccoli segnali è possibile ottenere l'espressione dei parametri y del BJT in funzione delle grandezze che caratterizzano il punto di lavoro Q ; risulta quindi:

$$y_{11} = \left. \frac{\partial i_B}{\partial v_{BE}} \right|_{\text{punto } Q} = \frac{I_C}{\beta_F V_T} \left[1 - \left(\frac{i_C}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right] \quad (3.19)$$

$$y_{12} = \left. \frac{\partial i_B}{\partial v_{CE}} \right|_{\text{punto } Q} = 0 \quad (3.20)$$

$$y_{21} = \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{\text{punto } Q} = \frac{I_S}{V_T} \left[e^{\left(\frac{V_{BE}}{V_T}\right)} \right] \left[1 + \frac{V_{CE}}{V_A} \right] = \frac{I_C}{V_T} \quad (3.21)$$

$$y_{22} = \left. \frac{\partial i_C}{\partial v_{CE}} \right|_{\text{punto } Q} = \frac{I_S}{V_A} \left[e^{\left(\frac{V_{BE}}{V_T}\right)} \right] = \frac{I_C}{V_A + V_{CE}} \quad (3.22)$$

Nell'espressione di y_{11} si introduce il parametro β_0 che rappresenta il guadagno di corrente per piccoli segnali a emettitore comune, la 3.19 diventa:

$$y_{11} = \frac{I_C}{\beta_0 V_T} \quad \beta_0 = \frac{\beta_F}{\left[1 - I_C \left(\frac{1}{\beta_F} \frac{\partial \beta_F}{\partial i_C} \right)_{\text{punto } Q} \right]}$$

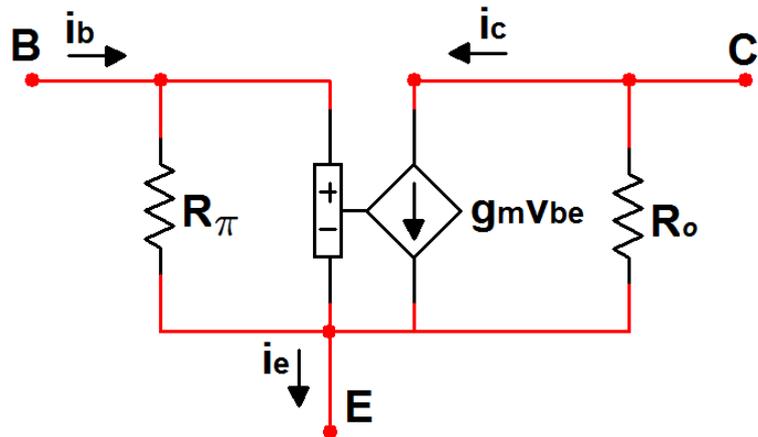


Figura 3.9: Modello π -ibrido per il transistor BJT *npn*.

Il modello π -ibrido

I parametri y_{21} , y_{22} e v_{11} del modello a piccoli segnali del BJT, detti anche *parametri differenziali* sono storicamente rappresentati mediante alcuni simboli particolari definiti dalle seguenti equazioni:

- *Trasconduttanza*: $g_m = y_{21} = \frac{I_C}{V_T}$.
- *Resistenza differenziale d'ingresso*: $r_\pi = \frac{1}{y_{11}} = \frac{\beta_0 V_T}{I_C} = \frac{\beta_0}{g_m}$.
- *Resistenza differenziale di uscita*: $r_o = \frac{1}{y_{22}} = \frac{V_A + V_{CE}}{I_C} \simeq \frac{V_A}{I_C}$.

La Figura 3.9 mostra la rappresentazione, mediante doppio bipolo, del modello a piccoli segnali del BJT, detto anche *modello a π -ibrido per piccoli segnali*.

3.2.3 Amplificatore ad emettitore comune

E' ora possibile studiare il comportamento del circuito amplificatore ad emettitore comune mostrato in Figura 3.10. Sostanzialmente si riconosce la rete di polarizzazione a quattro resistori, alla quale è stato aggiunto un primo blocco (in ingresso, collegato alla base del transistor) che permette di iniettare il segnale da amplificare, ed un secondo blocco (in uscita, collegato al collettore) che permette invece di prelevare il segnale amplificato. Il blocco di ingresso è costituito da un condensatore C_{IN} , da una resistenza R_{IN} e da un generatore di tensione ac V_{IN} ; la resistenza ed il generatore simulano il dispositivo che fornirà il segnale da amplificare. La resistenza R_L presente nel blocco di uscita simula invece il carico che verrà applicato all'amplificatore. Dalle equazioni relative al modello del trasporto risulta che per ottenere una sensibile variazione delle correnti i_C , i_E e i_B è necessario far variare la tensione v_{BE} che compare nel termine esponenziale; poichè v_{BE} è data qualitativamente dalla differenza della tensione sulla base e quella sull'emettitore, il segnale di ingresso può essere applicato a uno di questi due terminali. L'applicazione del segnale ac in ingresso all'amplificatore e il prelievo del segnale in uscita non devono modificare il punto di lavoro stabilito dalla polarizzazione, a tale scopo

si realizza un accoppiamento in ac mediante i condensatori C_{IN} e C_O . Le capacità si comportano infatti come circuiti aperti per le componenti continue, e pertanto non alterano il punto di lavoro Q . Il valore dei condensatori è scelto di modo da avere una impedenza trascurabile per il campo di frequenze di interesse, supponendo per esempio che il dispositivo sia utilizzato in campo audio si può considerare una banda da 20 a 20000 Hz. I condensatori C_{IN} e C_O vengono chiamati *condensatori di accoppiamento* o *condensatori di blocco* per le componenti continue. Il condensatore C_L permette invece di limitare superiormente la banda, verrà quindi dimensionato in modo da provocare una frequenza di taglio di circa 20000 Hz. Per semplificare l'analisi e il progetto degli amplificatori si utilizza il principio di sovrapposizione degli effetti; il punto di lavoro verrà determinato utilizzando il circuito equivalente in dc (ottenuto considerando i condensatori come circuiti aperti), mentre la risposta ai segnali tempo varianti verrà studiata utilizzando il circuito equivalente in ac derivante dal modello π -ibrido.

3.3 Progettazione amplificatore in configurazione CE

Il dispositivo che si intende realizzare prende il nome di *Amplificatore in classe A*, a causa della sua particolare polarizzazione che gli permette di amplificare interamente un segnale sinusoidale applicato in base. Si consideri quindi il circuito in Figura 3.10 nel quale la resistenza R_{IN} rappresenta la resistenza di uscita del generatore di funzioni (nel caso particolare pari a 50Ω); mentre la resistenza R_3 rappresenta il carico sul quale verrà prelevata la tensione V_o . Dopo aver calcolato il punto di lavoro con l'analisi in dc, si proseguirà con lo studio in ac fatto cortocircuitando i condensatori C_{IN} e C_{OUT} e azzerando il generatore V_{cc} ; passando quindi al modello di Figura 3.11. Verranno quindi calcolate le resistenze di ingresso e quella di uscita, per poi valutare il guadagno di tensione e di corrente del dispositivo in funzione dei componenti discreti utilizzati.

3.3.1 Amplificazione di tensione e di corrente

Per valutare l'amplificazione di tensione e di corrente introdotta dal dispositivo si passa al modello π -ibrido di Figura 3.11, nel quale viene trascurata la resistenza r_0 in quanto si assume $R_L \gg r_0$. E' conveniente trasformare lo schema equivalente ai piccoli segnali, sostituendo il circuito connesso in base con un generatore equivalente di Thévenin, e riunendo in un'unica resistenza equivalente R'_L le due resistenze in parallelo R_C e R_3 come mostrato in Figura 3.12. Con riferimento al calcolo di R_{EQ} utilizzato nella determinazione del punto di lavoro si definisce la tensione a vuoto v'_{in} del generatore equivalente e la resistenza R'_{IN} calcolata come il parallelo tra R_{IN} e R_{EQ} :

$$v'_{in} = v_{IN} \cdot \frac{R_{EQ}}{R_{IN} + R_{EQ}} \quad R'_{IN} = \frac{R_{EQ} \cdot R_{IN}}{R_{EQ} + R_{IN}} \quad R'_L = \frac{R_C \cdot R_L}{R_C + R_L} \quad (3.23)$$

Considerando la maglia di ingresso vale la seguente equazione:

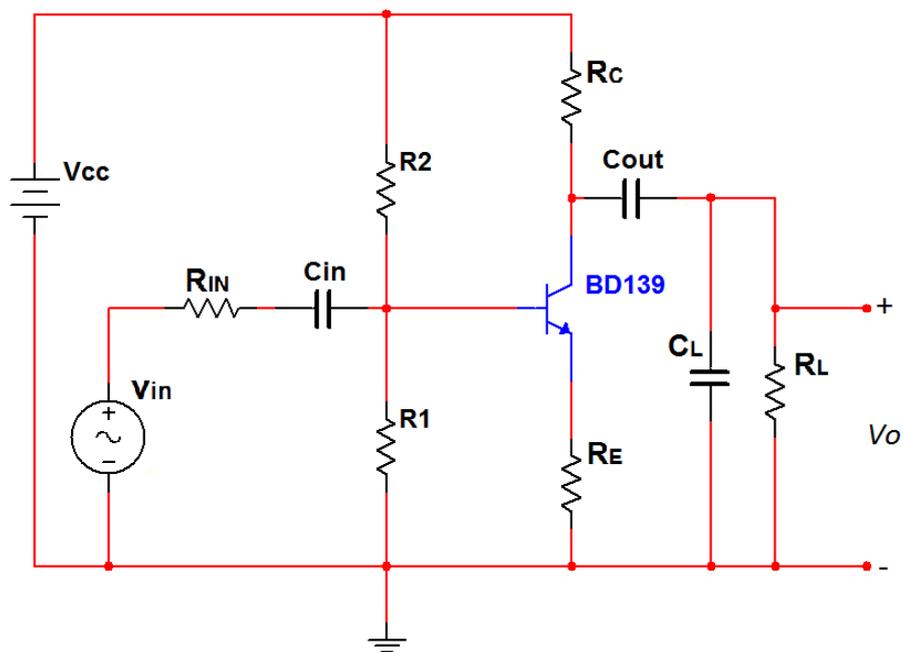


Figura 3.10: Amplificatore a BJT in configurazione ad emettitore comune.

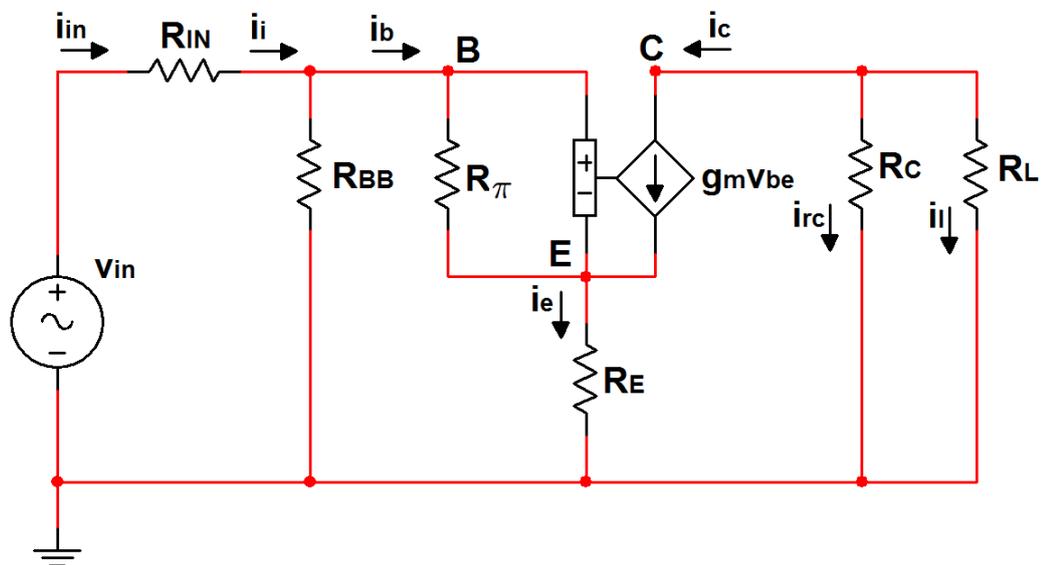


Figura 3.11: Analisi ai piccoli segnali del circuito di Figura 3.10, circuito equivalente per lo studio in ac.

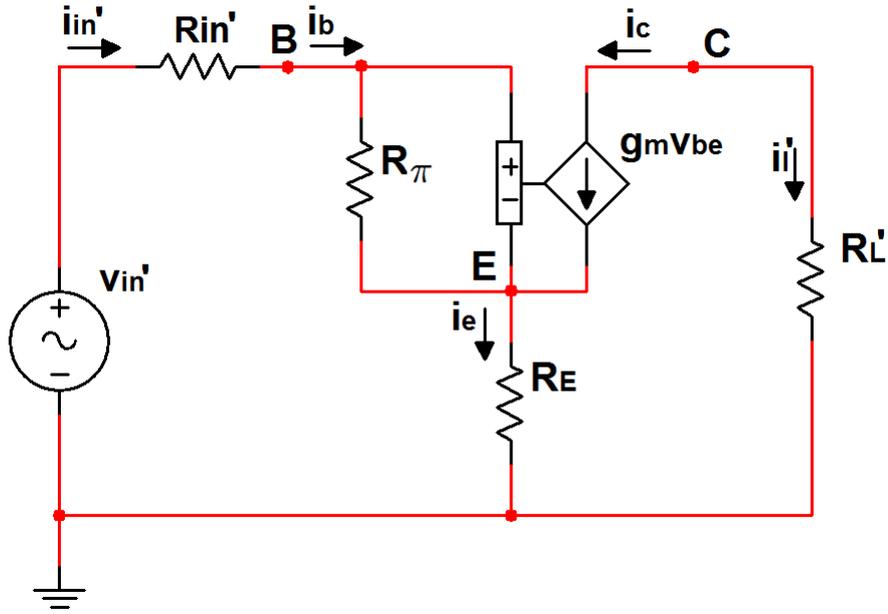


Figura 3.12: Circuito ridotto secondo Thévenin del modello ai piccoli segnali di Figura 3.11.

$$v'_{in} - R'_{IN}i_b - v_{be} - R_E i_e = 0 \quad (3.24)$$

Con le relazioni 3.9 scritte sul modello ai piccoli segnali valgono inoltre le relazioni:

$$i_b = \frac{g_m}{\beta_0} \cdot v_{be} \quad i_e = \frac{\beta_0 + 1}{\beta_0} \cdot g_m \cdot v_{be}$$

Le quali permettono di esprimere i_b ed i_c in funzione della sola v'_{IN} a meno dei parametri noti.

$$v'_{in} - \left[\frac{1}{\beta_0} \cdot g_m \cdot R'_{IN} + 1 + \frac{\beta_0 + 1}{\beta_0} \cdot g_m \cdot R_E \right] \cdot v_{be} = 0$$

$$v_{be} = v'_{IN} \cdot \frac{g_m}{1 + \frac{1}{\beta_0} \cdot g_m \cdot R'_{IN} + \frac{\beta_0 + 1}{\beta_0} \cdot g_m \cdot R_E}$$

A questo punto si può scrivere $i_c = \beta_0 \cdot i_b$ in funzione della sola v'_{IN} e altri valori noti:

$$i_c = v'_{in} \cdot \frac{\beta_0}{R'_{IN} + r_\pi + (\beta_0 + 1) \cdot R_E} \quad (3.25)$$

Considerando che dallo schema equivalente ai piccoli segnali in Figura 3.12 vale la relazione $v_o = -R'_L \cdot i_c$ si esprime il guadagno di tensione. Dalla 3.25 risulta:

$$A'_v = -\frac{v_o}{v'_{in}} = \frac{g_m \cdot R'_L}{1 + \frac{g_m}{\beta_0} \cdot [R'_{IN} + (\beta_0 + 1) \cdot R_E]} \quad (3.26)$$

Il guadagno in corrente relativo allo schema ridotto in Figura AIUTO viene indicato con A'_i , e vale:

$$A'_i = \frac{i'_l}{i'_{in}} = \frac{-i_c}{i_b} = -\beta_0 \quad (3.27)$$

Come era intuibile avendo espresso il significato del para β_0 . E' interessante notare che nella configurazione ad emettitore comune i guadagni di tensione e corrente sono negativi. Per esprimere il guadagno di tensione in funzione della tensione di ingresso v_{in} basta tener conto della relazione 3.23, si definisce il guadagno di tensione totale A_v come:

$$A_v = \frac{v_o}{v_{in}} = \frac{R_{BB}}{R_{BB} + R_{IN}} \cdot A'_v \quad (3.28)$$

Per calcolare l'amplificazione di corrente totale A_i è necessario ricavare le espressioni di i_{in} e i_l (in riferimento alla Figura 3.11) in funzione delle grandezze già determinate. Il calcolo di i_l è diretta conseguenza delle equazioni 3.23 e vale:

$$i_l = -i_c \cdot \frac{R_C}{R_C + R_L}$$

Per determinare l'espressione di i_{in} si deve invece considerare il circuito in Figura 3.11 dal quale derivano le seguenti equazioni (con il termine i_{rbb} si identifica la corrente che attraversa la resistenza R_{BB}):

$$i_i = i_{rbb} + i_b = \frac{v_b}{R_{BB}} + i_b = i_b \cdot \left(\frac{r_b}{R_{BB}} + 1 \right)$$

Il termine r_b definito come il rapporto tra v_b e i_b prende il nome di *resistenza di ingresso in base del BJT ad emettitore comune con resistenza di emettitore* e viene calcolato esplicitando la tensione v_b (tensione al terminale di base):

$$v_b = v_{be} + R_E \cdot i_e = v_{be} \cdot \left(1 + \frac{(\beta_0 + 1) \cdot R_E}{r_\pi} \right)$$

e considerando le relazioni già trovate di v_{be} ed i_b :

$$r_b = \frac{v_b}{i_b} = [r_\pi + (\beta_0 + 1) \cdot R_E] \quad (3.29)$$

L'amplificazione totale di corrente risulta quindi:

$$A_i = \frac{i_l}{i_i} = \frac{i_l}{-i_c} \cdot \frac{i_b}{I_i} \cdot \frac{-i_c}{i_b} = \frac{R_C}{R_C + R_L} \cdot \frac{R_{BB}}{R_{BB} + r_b} \cdot A'_i \quad (3.30)$$

3.3.2 Resistenza di ingresso e di uscita per configurazione CE

Per calcolare la resistenza di ingresso nel punto P come indicato in Figura 3.13 si suppone di sconnettere tutta la parte esterna, cioè il generatore di tensione v_{in} e la resistenza R_{IN} , e di collegare in P un generatore di prova V_x . Dallo schema la corrente i_x può essere espressa in funzione di v_x con la seguente:

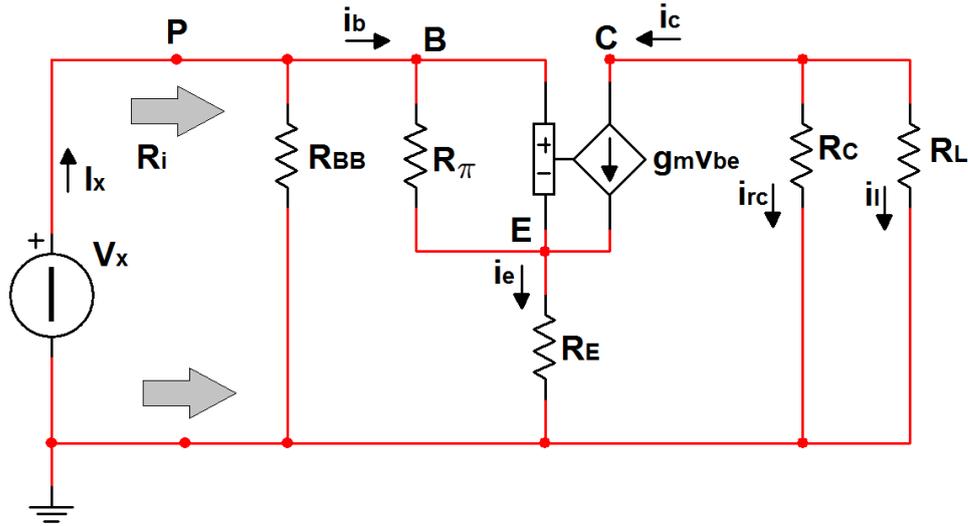


Figura 3.13: Circuito per il calcolo della resistenza di ingresso R_i vista dal punto P .

$$i_x = \frac{v_x}{R_{BB}} + i_b = \frac{v_x}{R_{BB}} + \frac{v_b}{r_b} = v_x \cdot \left(\frac{1}{R_{BB}} + \frac{1}{r_b} \right) = v_x \cdot \left(\frac{1}{R_{BB}} + \frac{1}{r_\pi + (\beta_0 + 1) \cdot R_E} \right)$$

Poichè per definizione $R_i = v_x/i_x$ si ottiene l'espressione della resistenza di ingresso vista dal punto P come:

$$R_i = \frac{v_x}{i_x} = \frac{R_{BB} \cdot [r_\pi + (\beta_0 + 1) \cdot R_E]}{R_{BB} + r_\pi + (\beta_0 + 1) \cdot R_E} \quad (3.31)$$

In maniera analoga per calcolare la resistenza di uscita R_o intesa come la resistenza vista dal punto Q si suppone di sconnettere tutta la parte sterna, che in questo caso si riduce alla resistenza di carico R_L , e di annullare nel circuito rimanente tutti i generatori indipendenti (cortocircuitando quindi v_{in}) e di collegare in Q un generatore di prova v_x (Figura 3.14).

Dallo schema sono evidenti le seguenti equazioni:

$$i_x = i_{Rc} + i_c \quad v_c = v_o = v_x \rightarrow i_{Rc} = \frac{v_x}{R_C}$$

Prima di procedere con l'analisi della maglia di uscita è utili fare alcune osservazioni sulla corrente i_c . Supponendo ad esempio che sia $i_c > 0$ tale corrente di collettore si dovrebbe suddividere nei rami di base ed emettitore in ragione inversa alle rispettive resistenze equivalenti. Nella base si dovrebbe avere dunque una corrente di verso opposto a quello indicato in Figura 3.14, e si dovrebbe provocare quindi una caduta di tensione v_{be} negativa. Ma considerando che $i_c = g_m \cdot v_{be}$ e, poichè si è supposto che $i_c > 0$ dovrebbe essere $v_{be} > 0$, il che è in disaccordo con quanto precedentemente trovato. Per quanto detto non può essere $i_c > 0$; in modo simile si dimostra che non si può avere una corrente di collettore negativa causata da v_x . Dimostrato che i_c non può essere altro che nulla si trova la relazione che definisce la resistenza di uscita R_o :

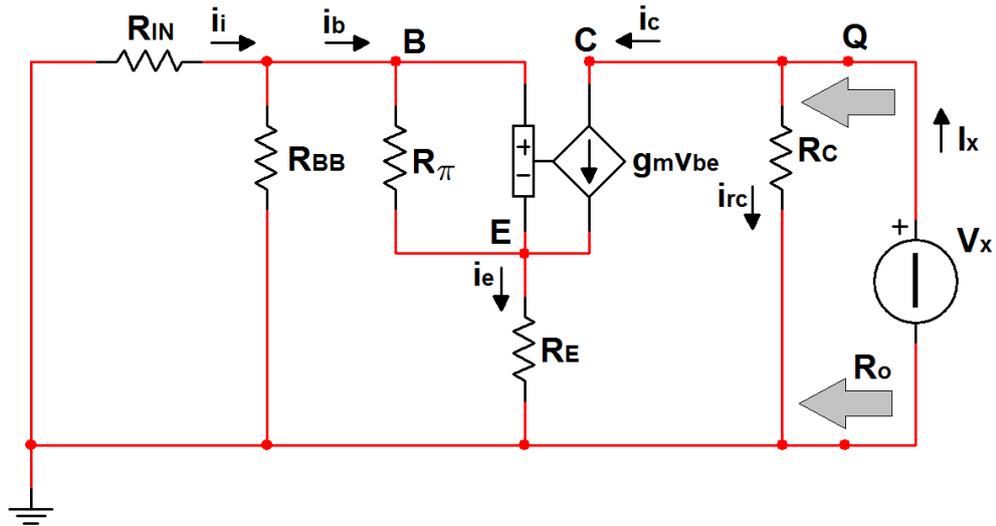


Figura 3.14: Circuito per il calcolo della resistenza di uscita R_o vista dal punto Q .

$$R_o = \frac{v_x}{i_x} = R_C \quad (3.32)$$

3.3.3 Dimensionamento

Il transistor *npn* utilizzato nella simulazione e nella realizzazione è il *BD139*, disponibile da subito in laboratorio presenta caratteristiche adatte alla realizzazione del dispositivo in questione. Il datasheet preso in considerazione è anche questa volta fornito dalla Fairchild, il quale fornisce tutti i parametri utili al dimensionamento della rete di polarizzazione. Con l'aiuto di un foglio di calcolo e considerando i valori limite di tensione e corrente sopportabili dal BJT si sono potute fare velocemente diverse ipotesi di polarizzazione. Il problema fondamentale nel dimensionamento della rete a quattro resistori è stato dato dalla resistenza di carico molto bassa, resistenza che doveva simulare il diffusore impiegato per la verifica del funzionamento. Impostata da subito una $R_L = 16\Omega$ si è arrivati alla rete, con riferimento alla Figura 3.7, con le seguenti caratteristiche:

- $V_{CC} : 18 V$.
- $R_1 : 470 \Omega$.
- $R_2 : 37 \Omega$.
- $R_C : 50 \Omega$.
- $R_E : 2,2 \Omega$.

I parametri β_0 e V_{be} necessari per trovare il punto di lavoro sono stati presi dal datasheet, essendo entrambi dipendenti dalla rete in cui viene inserito il transistor si è dovuto fare dapprima un'ipotesi, per poi verificarla con i dati ed i grafici forniti dal datasheet. Ipotizzando quindi di avere un $\beta_0 = 110$ e una $V_{be} = 0,7$ (valori

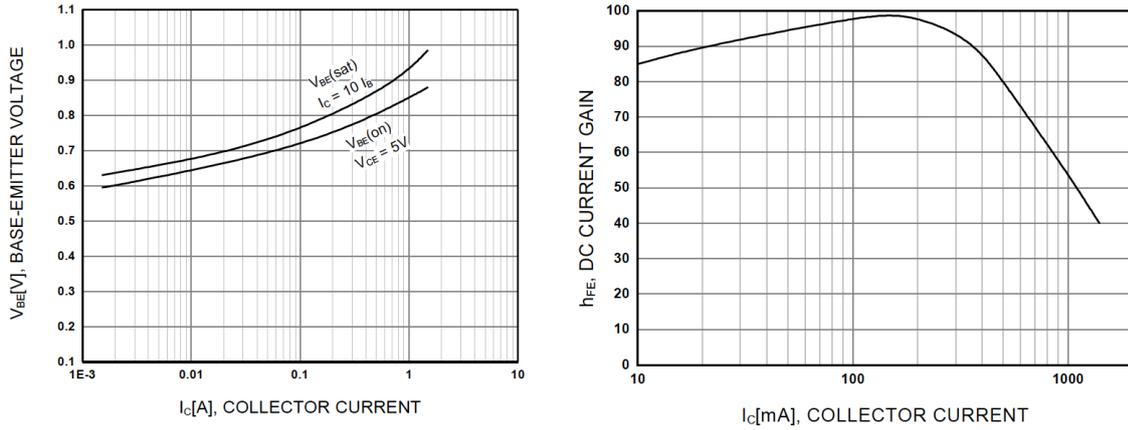


Figura 3.15: A sinistra è riportato il grafico di V_{be} in funzione della corrente di collettore per $V_{CE} = 5V$ e per le condizioni di saturazione del BJT. A destra è riportato il grafico di β_0 (che in genere nel datasheet prende il nome di h_{fe}) in funzione di I_C con una $V_{CE} = 5V$.

indicati come tipici) il punto di lavoro è calcolato in $I_C = 214,7mA$ e $V_{CE} = 6,8V$ confermando la zona di funzionamento attiva diretta. Per verificare che i valori di β_0 e V_{be} scelti siano corretti si utilizzano due grafici forniti dal datasheet (Figura 3.15), nei quali è riportata la dipendenza dei due parametri in funzione della corrente di collettore.

Dalla Figura 3.15, si stima un valore di $V_{be} \simeq 0,77V$ e un $\beta_0 \simeq 100$; il punto di lavoro viene ricalcolato in $I_C = 211,9mA$ e $V_{CE} = 6,93V$. Passando allo studio ai piccoli segnali i parametri del modello π -ibrido risultano (anche in questo caso si trascura il contributo di r_0):

$$g_m = 8,24 \text{ siemens} \quad r_\pi = 12,27\Omega$$

Con conseguente amplificazione di tensione e corrente calcolate secondo le formule dimostrate in 3.28 e 3.30:

$$A_v = -1,94 \quad A_i = -9,67$$

Utilizzando le espressioni 3.31 ed 3.32 si calcolano le resistenze di ingresso e di uscita:

$$R_i = 29,9\Omega \quad R_o = R_C = 50\Omega$$

3.3.4 Dimensionamento C_{IN} e C_{OUT}

Il dimensionamento dei condensatori di accoppiamento C_{in} e C_{out} tiene conto della banda nella quale dovrà operare l'amplificatore progettato, ovvero $B = [20; 20000]Hz$. Per il dimensionamento di C_{IN} si tiene conto della resistenza di ingresso R_i e si considera il circuito equivalente in Figura 3.16; considerando come V_o la tensione ai capi della resistenza di ingresso R_i si calcola il rapporto V_o/V_i . Calcolando il modulo della funzione complessa V_o/V_i e uguagliandolo a $1/\sqrt{2}$ si

trova la pulsazione ω_L per la quale V_o subisce un'attenuazione di 3 db rispetto al segnale in ingresso; $f_{TL} = \omega_L/2\pi$ sarà la frequenza di taglio inferiore del circuito amplificatore. Indicando con Z_{IN} l'impedenza risultante dalla serie $R_{IN} - C_{IN}$ valgono le seguenti:

$$Z_{IN}(j\omega) = R_{IN} + \frac{1}{j\omega C_{IN}} = \frac{1 + j\omega C_{IN}R_{IN} + j\omega C_{IN}R_i}{j\omega C_{IN}} \quad (3.33)$$

$$I(j\omega) = \frac{V_{IN}(j\omega)}{Z_{IN}(j\omega)}; \quad V_o(j\omega) = R_i \cdot I(j\omega)$$

$$\frac{V_o(j\omega)}{V_{IN}(j\omega)} = \frac{j\omega C_{IN}R_i}{1 + j\omega C_{IN}R_{IN} + j\omega C_{IN}R_i} \quad (3.34)$$

Per dividere l'espressione 3.34 in parte reale ed immaginaria moltiplico numeratore e denominatore per il complesso coniugato del denominatore ottenendo:

$$W_i(j\omega) = \frac{V_o(j\omega)}{V_{IN}(j\omega)} = \frac{j\omega R_i C_{IN} + \omega^2 C_{IN}^2 R_i (R_{IN} + R_i)}{1 + \omega^2 C_{IN}^2 (R_{IN} + R_i)^2} \quad (3.35)$$

$$\Re[W_i(j\omega)] = \frac{\omega^2 C_{IN}^2 R_i (R_{IN} + R_i)}{1 + \omega^2 C_{IN}^2 (R_{IN} + R_i)^2}$$

$$\Im[W_i(j\omega)] = \frac{\omega R_i C_{IN}}{1 + \omega^2 C_{IN}^2 (R_{IN} + R_i)^2}$$

Ipotizzando di cercare una $f_{TL} \simeq 20Hz$ si calcola il valore di C_{IN} necessario per avere un'attenuazione di 3 db alla pulsazione $\omega_L \simeq 125rad/s$. Eguagliando il modulo della funzione di trasferimento (indicata con $W(j\omega)$) al reciproco di $\sqrt{2}$ ed imponendo $\omega = \omega_L$ risulta:

$$|W_i(j\omega)| = \sqrt{\Re[W_i(j\omega)]^2 + \Im[W_i(j\omega)]^2} = \frac{1}{\sqrt{2}} \quad \omega = \omega_L \rightarrow C_{IN} \simeq 100\mu F \quad (3.36)$$

Il risultato ottenuto porta a scegliere un condensatore commerciale da $100 \mu F$ con conseguente frequenza di taglio di $f_{TL} \simeq 19Hz$.

In maniera analoga si studia il comportamento del circuito di uscita composto dalla capacità di accoppiamento C_{OUT} , dalla capacità di filtro C_L e dalla resistenza di carico R_L ; il circuito equivalente è mostrato in Figura 3.17. Si considerano le due impedenze equivalenti Z_o e Z_L date rispettivamente dalla serie di R_o , C_{OUT} e dal parallelo di C_L , R_L :

$$Z_o(j\omega) = R_o + \frac{1}{j\omega C_{OUT}} \quad Z_L(j\omega) = \frac{R_L}{1 + j\omega R_L C_L} \quad (3.37)$$

Utilizzando la regola del partitore di tensione si trova l'espressione della funzione di trasferimento $W_o(j\omega)$, dalla quale, sostituendo le equazioni 3.37 e moltiplicando numeratore e denominatore per il complesso coniugato del denominatore, è possibile separare parte immaginaria e parte reale:

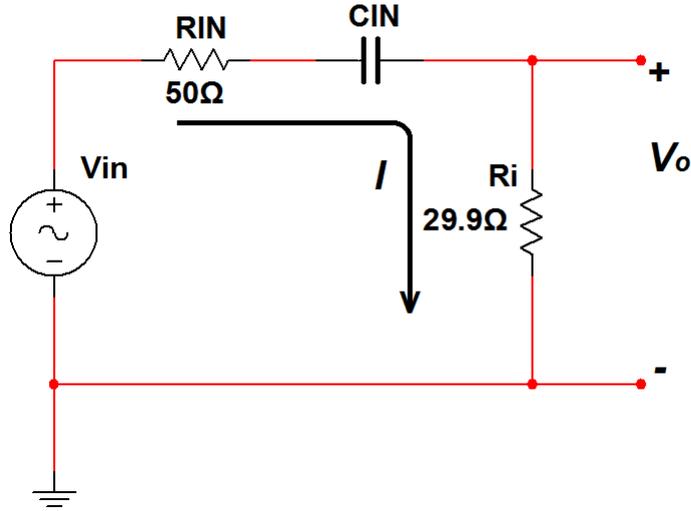


Figura 3.16: Circuito equivalente per il dimensionamento della capacità di accoppiamento in ingresso C_{IN} . La resistenza $R_{IN} = 50\Omega$ indica la resistenza di uscita del generatore di funzioni e con $R_i = 29,9\Omega$ si indica la resistenza di ingresso del circuito mostrato in Figura 3.10.

$$W_o(j\omega) = \frac{V_o(j\omega)}{V_{IN}(j\omega)} = \frac{j\omega R_L C_{OUT}}{(1 + j\omega R_o C_{OUT})(1 + j\omega R_L C_L) + j\omega R_L C_{OUT}} \quad (3.38)$$

$$\Re[W_o(j\omega)] = \frac{R_L C_{OUT} \omega^2 (R_L C_L + R_o C_{OUT} + R_L C_{OUT})}{(R_o R_L C_{OUT} C_L \omega^2)^2 + \omega^2 (R_L C_L + R_o C_{OUT} + R_L C_{OUT})^2}$$

$$\Im[W_o(j\omega)] = -\frac{R_o R_L^2 \omega^3 C_{OUT}^2 C_L}{(R_o R_L C_{OUT} C_L \omega^2)^2 + \omega^2 (R_L C_L + R_o C_{OUT} + R_L C_{OUT})^2}$$

Trattandosi di fatto di un circuito passa banda, impostati due valori di C_{OUT} e C_L si trovano due pulsazioni per quali il modulo di $W_o(j\omega)$ vale $1/\sqrt{2}$. Utilizzando $C_{OUT} = 220\mu F$ e $C_L = 330nF$ si trovano $F_{TL} \simeq 11Hz$ e $F_{TH} \simeq 30kHz$, risultato in accordo con la banda richiesta dal dispositivo.

3.4 Simulazione

3.4.1 Caratteristica di uscita BD139

Con l'utilizzo del simulatore si è potuto generare la caratteristica di uscita del transistor BD139 riportata in Figura 3.18. Considerando ora solo la caratteristica di uscita tracciata per $I_B = 2,12mA$ e la retta che congiunge il punto $V_{CE} = 0; I_C = V_{CC}/R_C = 0,36A$ che prende il nome di *Retta di carico* si ottiene il punto di polarizzazione Q ; il quale anche graficamente conferma i risultati ottenuti per via teorica (Figura 3.19).

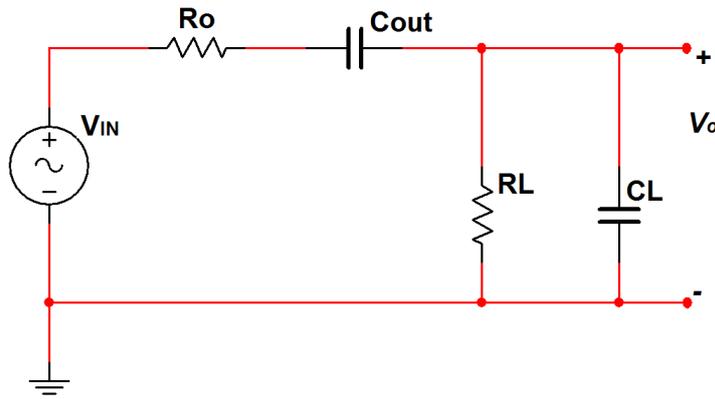


Figura 3.17: Circuito equivalente per il dimensionamento della capacità di accoppiamento in uscita C_{OUT} e la capacità di filtro C_L . La resistenza $R_o = R_C = 50\Omega$ indica la resistenza di uscita dell'amplificatore, con $R_L = 16\Omega$ si indica la resistenza di carico del circuito mostrato in Figura 3.10.

Simulazione caratteristica di uscita BD139

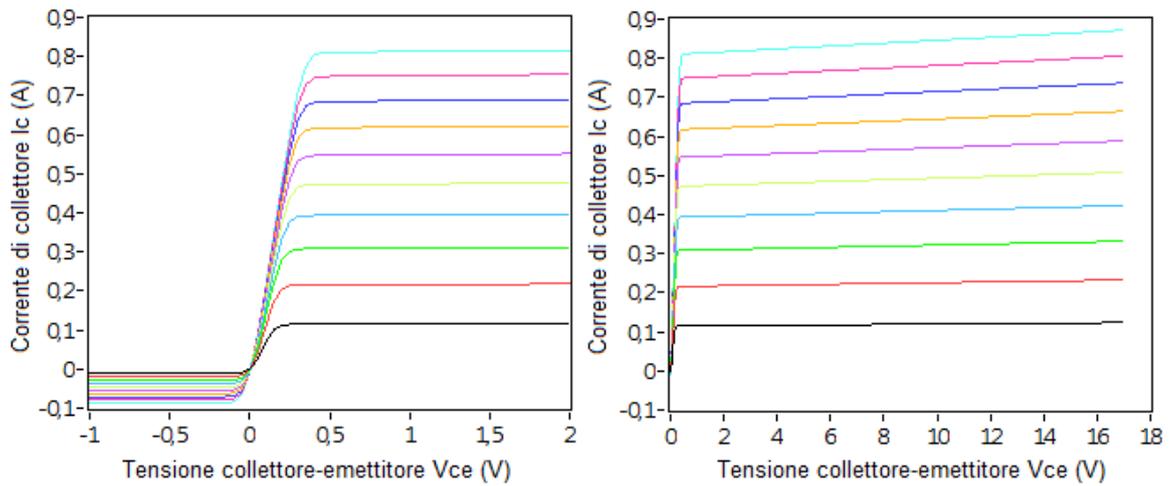


Figura 3.18: Caratteristica di uscita del BJT BD139 ottenuta con il simulatore. A sinistra si possono vedere le quattro regioni di funzionamento; a destra viene evidenziata la zona attiva diretta. I grafici sono stati ottenuti imponendo una corrente iniziale di base $I_B = 0,1mA$ (traccia di colore nero) poi aumentata di step di $0,1mA$ fino a raggiungere $I_B = 0,8mA$ nella traccia azzurra.

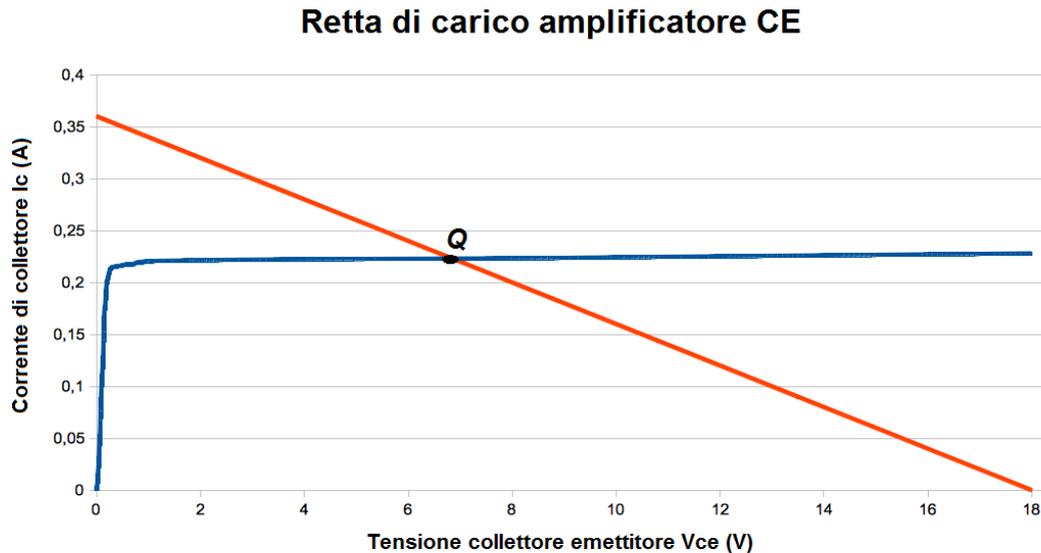


Figura 3.19: Rappresentazione della retta di carico del circuito dimensionato.

3.4.2 Simulazione circuito finale

Per verificare i risultati ottenuti per via teorica si utilizza ancora una volta il simulatore Multisim. Con riferimento ai valori dei componenti discreti riportati sopra è stata eseguita la simulazione del circuito 3.10, si è potuta valutare l'amplificazione di tensione e la risposta in frequenza tramite il *Bode plotter*. Lo schema delle connessioni è riportato in Figura 3.20; sono stati aggiunti ulteriori strumenti di misura virtuali per valutare il corretto calcolo del punto di lavoro Q .

Gli strumenti virtuali hanno fornito le seguenti misure riguardo al punto di lavoro, confermando i calcoli teorici:

- $I_B = 1,93mA$.
- $I_C = 210mA$.
- $V_{CE} = 7,23V$.

Impostando ora il generatore V_{IN} di modo che fornisca una sinusoide a 1000 Hz con $V_p = 1V$ si è ottenuto (mediante l'oscilloscopio virtuale) la forma d'onda del segnale in uscita (canale 2, visualizzato in rosso) rapportato al segnale di ingresso (canale 1, visualizzato in verde) riportata in Figura 3.21. Il risultato del Bode Plotter è invece riportato in Figura 3.22.

Con l'aiuto dei cursori disponibili nell'oscilloscopio virtuale si misura $V_{INp} = 1V$ ed una $V_{op} = -1,78V$, confermando in buona approssimazione i risultati trovati per via analitica. Le misure della banda fatte utilizzando il diagramma di bode fornito dallo strumento XBP1 anno fornito una $F_{TL} = 24,5Hz$ ed una $F_{TH} = 39KHz$; valori abbastanza vicini a quelli calcolati durante il dimensionamento dei condensatori di filtro e bypass. L'ultima parte della simulazione consiste nella

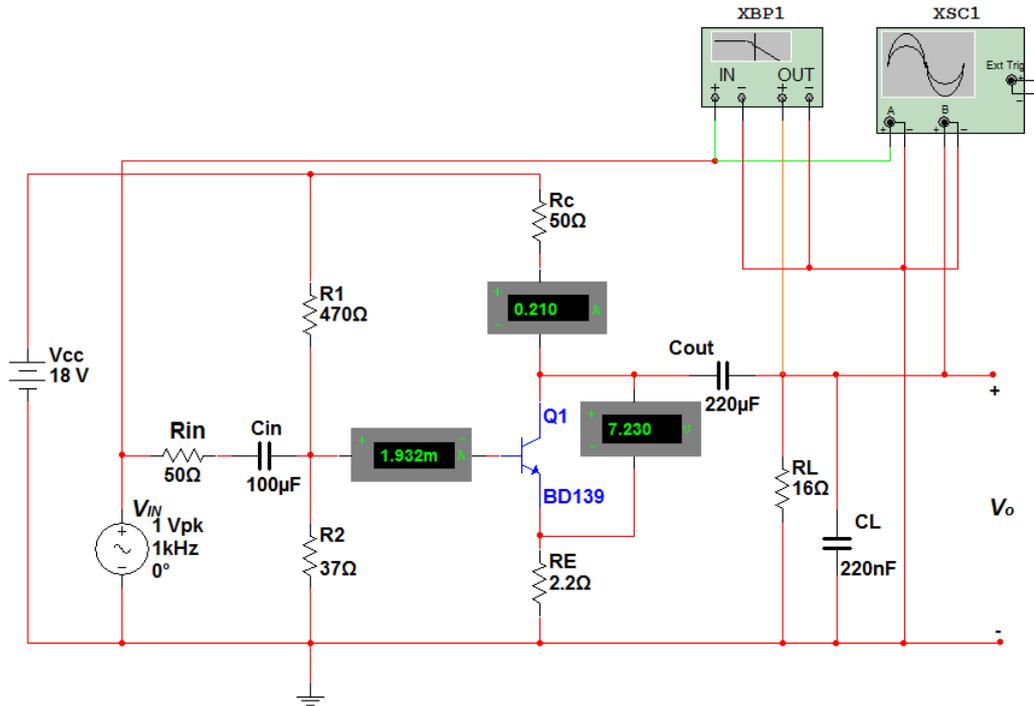


Figura 3.20: Schema dei collegamenti per la simulazione e misura dei valori calcolati analiticamente. Con la sigla *XBP1* è indicato il *Bode Plotter*, strumento che consente di valutare i diagrammi di bode della funzione di trasferimento $W(j\omega)$ e con *XSC1* viene indicato l'oscilloscopio che valuterà l'andamento dei segnali coinvolti nel dominio del tempo.

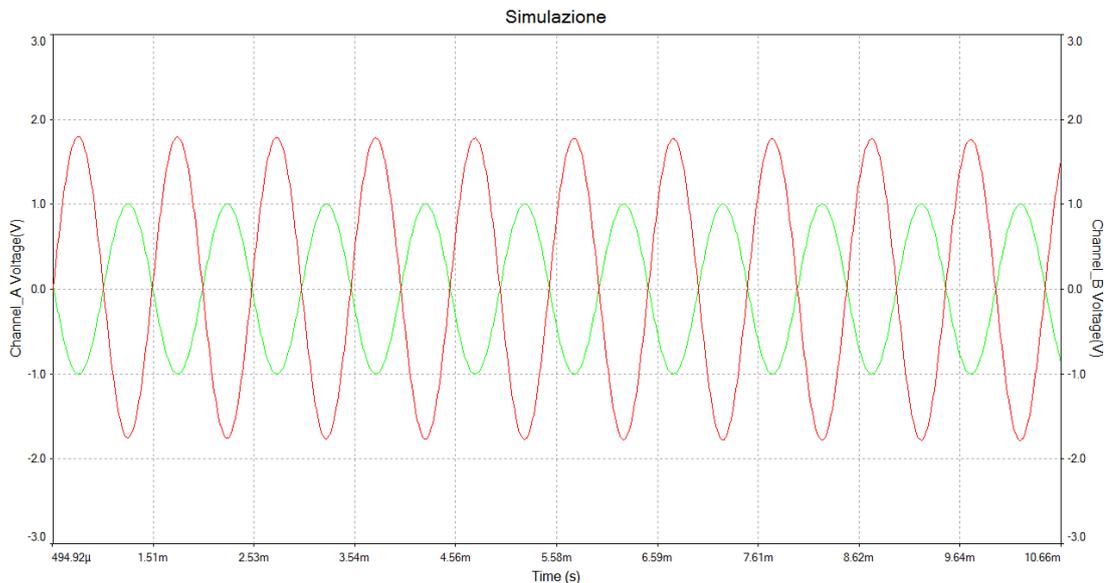


Figura 3.21: Immagine fornita dal software di simulazione. In verde viene riportato il segnale di ingresso, in rosso il segnale di uscita V_o .

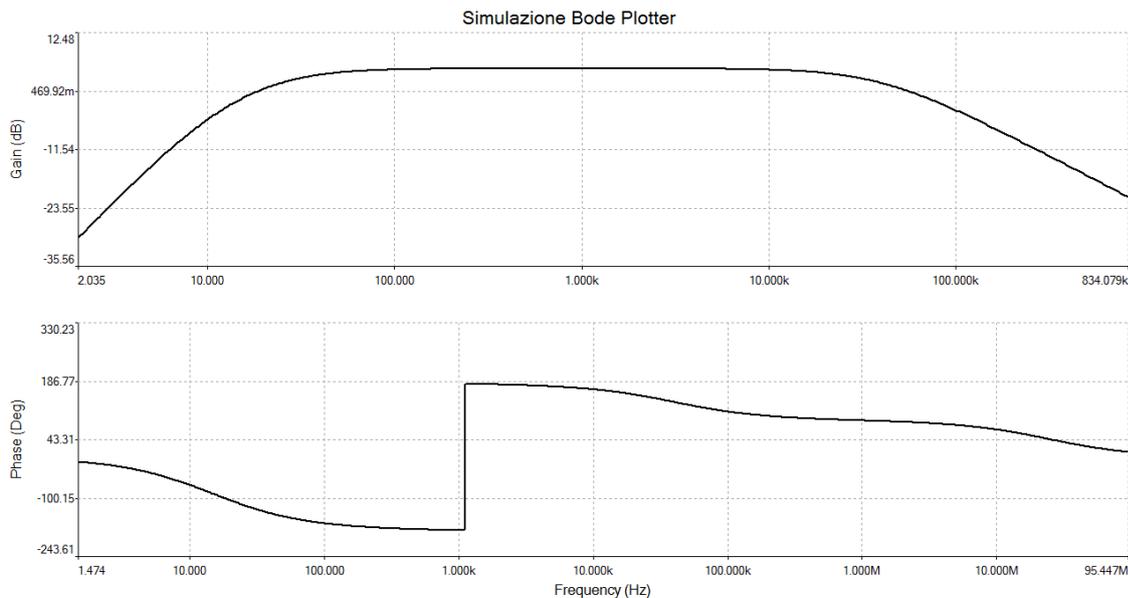


Figura 3.22: Risultato della simulazione fatta con lo strumento virtuale *Bode Plotter*. Nella parte alta è riportato l'andamento del modulo della funzione di trasferimento $W(j\omega) = V_o(j\omega)/V_{IN}(j\omega)$; nella parte bassa viene evidenziata la fase in funzione della frequenza nella banda di interesse.

valutazione delle potenze dissipate dagli elementi resistivi. Nel collettore (ed in buona approssimazione anche nell'emettitore) scorre una corrente di circa $200mA$, con conseguente dissipazione di potenza per effetto joule di $P_{RC} = I_C^2 \cdot R_C \simeq 2W$ e $P_{RE} \simeq I_C^2 \cdot R_E \simeq 0,1W$. Non ci sono quindi problemi per il dimensionamento del resistore di emettitore, al contrario invece per il resistore di collettore è necessario scegliere un componente che sopporti una dissipazione di circa 2 Watt; la soluzione adottata è stata porre in parallelo due resistenze del valore di 100Ω con massima dissipazione di potenza di 5 Watt cadauna. Un problema analogo si presenta nel dimensionamento dei resistori R_1 ed R_2 , nei quali si può assumere una dissipazione di potenza:

$$P_{R1} \simeq \left(\frac{V_{cc}}{R_1 + R_2} \right)^2 \cdot R_1 \simeq 0,61W \quad P_{R2} \simeq \left(\frac{V_{cc}}{R_1 + R_2} \right)^2 \cdot R_2 \simeq 0,05W$$

Non è quindi possibile utilizzare una classica resistenza da $1/4$ Watt per R_1 ; in laboratorio erano da subito disponibili resistenze da $470\Omega, 5Watt$ che sono quindi state utilizzate nel circuito finale.

3.5 Verifica funzionamento

Per verificare il corretto funzionamento del dispositivo si verifica dapprima la corretta polarizzazione del transistor impiegando tre multimetri digitali (Figura 3.23) per misurare la corrente di collettore, la corrente di base e la tensione collettore-emettitore.

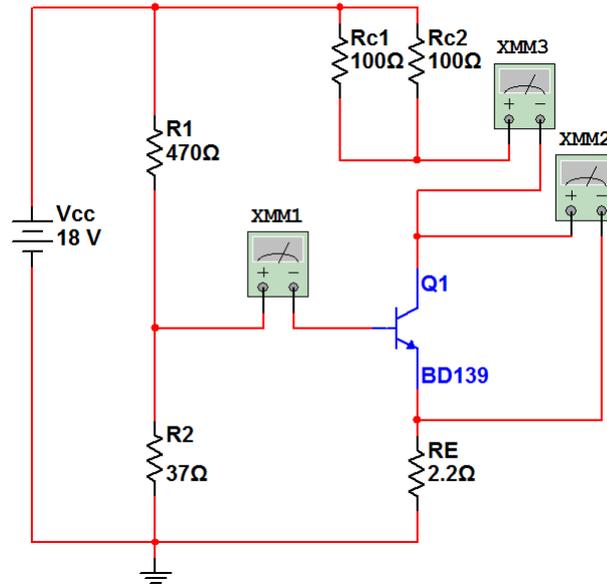


Figura 3.23: Circuito di verifica del punto di lavoro. Con XMM1 si indica il multimetro impiegato per misurare la corrente di base, con XMM3 il multimetro che misura la corrente di collettore e con XMM2 il multimetro impiegato per la misura della tensione V_{ce} .

La prima misura ha fornito i valori $I_C = 180,6mA$, $V_{ce} = 8,1V$ e $I_B = 1,73mA$, valori ben lontani da quelli calcolati per via teorica. Un'analisi del circuito ha portato a supporre che il problema della non corretta polarizzazione derivi dal valore della resistenza R_2 , infatti una variazione di poche unità del suo valore comporta una sensibile variazione del punto di lavoro. La soluzione adottata è stata sostituire il resistore R_2 con il parallelo di una resistenza da 47Ω e di un trimmer da 100Ω come illustrato in Figura 3.24. Agendo sul potenziometro si è potuto impostare un valore di $I_C \simeq 205mA$ alla quale corrispondeva una corrente di base $I_B \simeq 2mA$ ed una $V_{ce} = 6,2V$, valori questa volta accettabili.

L'impiego del generatore di funzioni e dell'oscilloscopio (con riferimento alla Figura 3.20) ha potuto rendere possibile la verifica dei parametri calcolati, ovvero il guadagno in tensione, la resistenza di ingresso e la resistenza di uscita. Per valutare le caratteristiche principali del dispositivo si è scelto di impostare il generatore di funzioni di modo da fornire un'onda sinusoidale a frequenza 1 kHz ed ampiezza picco-picco 1 Volt . Sono state eseguite misure in condizioni diverse, poi acquisite tramite PC, dalle quali sono ricavabili i parametri sopraelencati. Dalla Figura 3.25 e dalla Figura 3.26 è possibile ricavare, attraverso la caduta di tensione valutata dopo aver collegato il generatore di funzioni all'ingresso del dispositivo progettato, il valore della resistenza di ingresso tramite:

$$V_{Ri} = R_i \cdot \left(\frac{V_{IN}}{R_{in} + R_i} \right) \rightarrow R_i = \frac{V_{Ri} \cdot R_{in}}{V_{IN} - V_{Ri}}$$

Dove con V_{in} si indica la tensione a vuoto fornita dal generatore di funzioni (Figura 3.25), con V_{Ri} la tensione misurata dopo aver collegato l'ingresso del di-

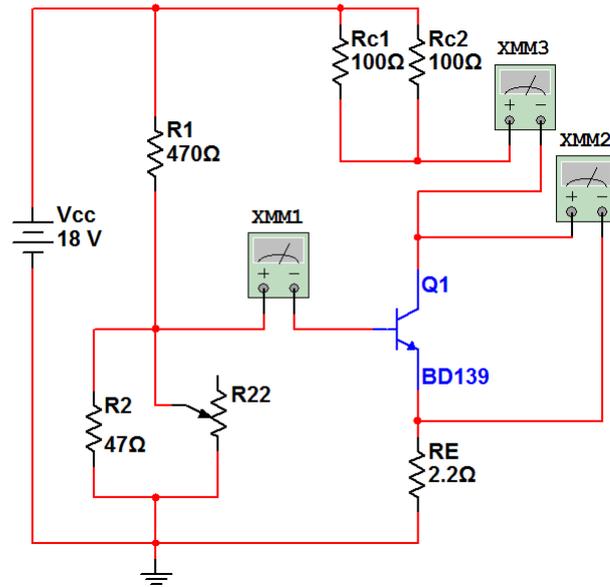


Figura 3.24: Modifica del circuito 3.23, necessaria per poter regolare il punto di lavoro attorno ai valori calcolati per via teorica.

spositivo al GDF (Figura 3.26) e con R_{IN} la resistenza di uscita del GDF. Il valore di R_i così calcolato è di $31,8 \Omega$ in accordo con il calcolo teorico.

Analogamente si misurano le tensioni in uscita dl dispositivo in presenza ed in assenza di carico per verificare i calcoli relativi alla resistenza di uscita R_o . La Figura 3.27 mostra la tensione V_o a vuoto, mentre la tensione visualizzata in Figura 3.28 rappresenta la V_o in presenza del carico $R_L = 16\Omega$. Indicando con R_o la resistenza di uscita del dispositivo, con riferimento alla Figura 3.14 valgono:

$$V_L = R_L \cdot \left(\frac{V_o}{R_o + R_L} \right) \rightarrow R_o = \frac{R_L \cdot (V_o - V_L)}{V_L}$$

Dai calcoli relativi alla prova sperimentale risulta una resistenza di uscita dell'amplificatore $R_o \simeq 56\Omega$, in buon accordo con il valore calcolato per via analitica. Valutando ora il dispositivo con ingresso collegato ed uscita a carico si valuta l'amplificazione di tensione A_v . Con riferimento alla Figura 3.12 e dai grafici in 3.25 (la tensione di ingresso è definita come la tensione erogata a vuoto dal GDF) e 3.28 si determina il guadagno in tensione in pieno accordo con i risultati attesi:

$$A_v = \frac{V_L}{V_{IN}} = \frac{-1,9}{0,412} = -1,8V$$

Per valutare la banda passante del dispositivo si considerano i dati forniti dalla simulazione, per semplicità si genera un segnale da porre in ingresso con ampiezza regolata di modo da avere in uscita una $V_{OPP} = 2V$ e frequenza posta inizialmente pari alla frequenza di taglio inferiore e successivamente pari alla frequenza di taglio superiore. Vengono quindi riportate in Figura 3.29 e Figura 3.30, le immagini acquisite dall'oscilloscopio nei due casi descritti.

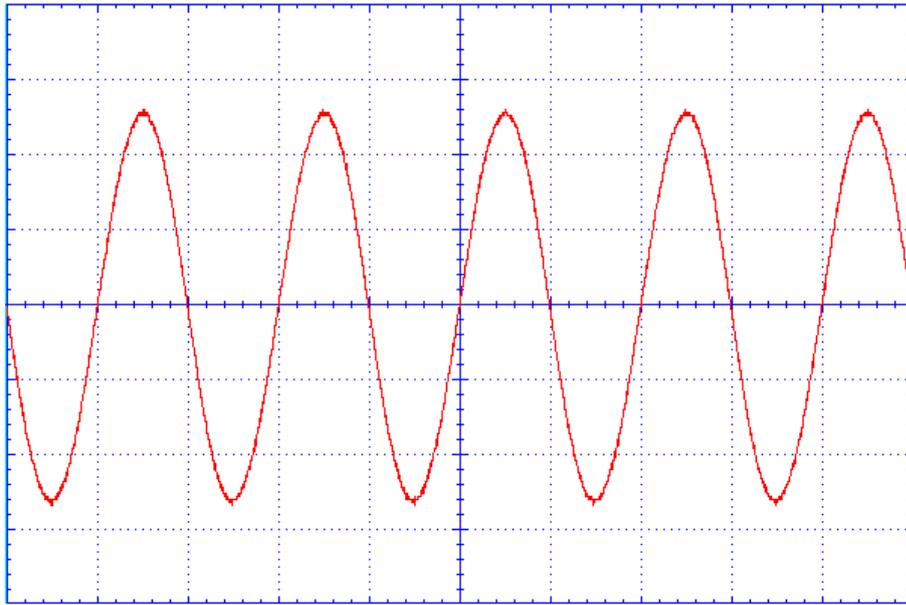


Figura 3.25: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal GDF a vuoto, ovvero senza il collegamento con l'ingresso del dispositivo da caratterizzare. La misura tramite gli appositi cursori a fornito una $F = 1000Hz$; $V_{pp} = 1,056V$.

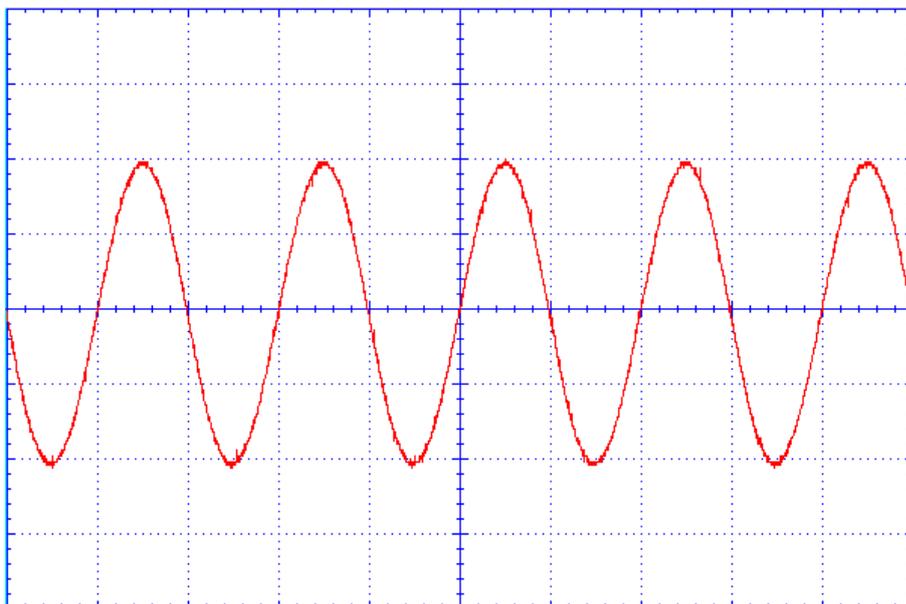


Figura 3.26: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal GDF a carico, ovvero con l'ingresso del dispositivo collegato al GDF. La misura tramite gli appositi cursori a fornito una $F = 1000Hz$; $V_{pp} = 412mV$.

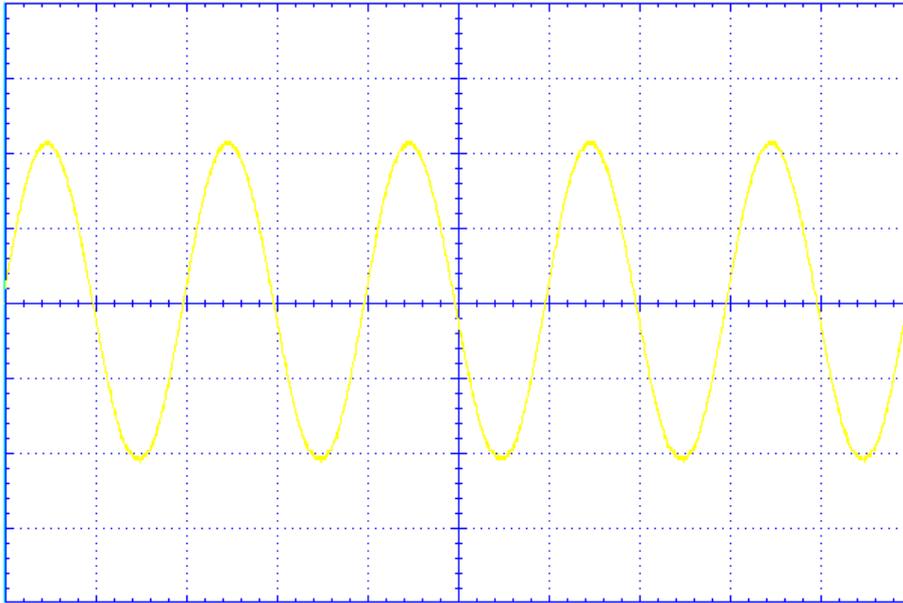


Figura 3.27: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal dispositivo amplificatore a vuoto, ovvero senza il collegamento con la resistenza di carico. La misura tramite gli appositi cursori a fornito una $F = 1000Hz$; $V_{pp} = 8,56V$.

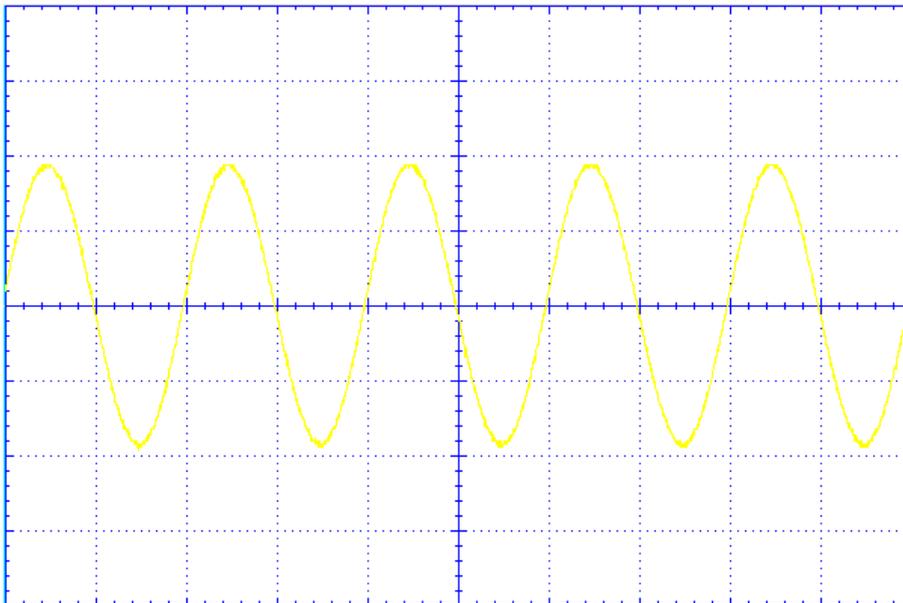


Figura 3.28: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal dispositivo a carico, ovvero con l'uscita collegata alla resistenza di carico. La misura tramite gli appositi cursori a fornito una $F = 1000Hz$; $V_{pp} = 1,9V$.

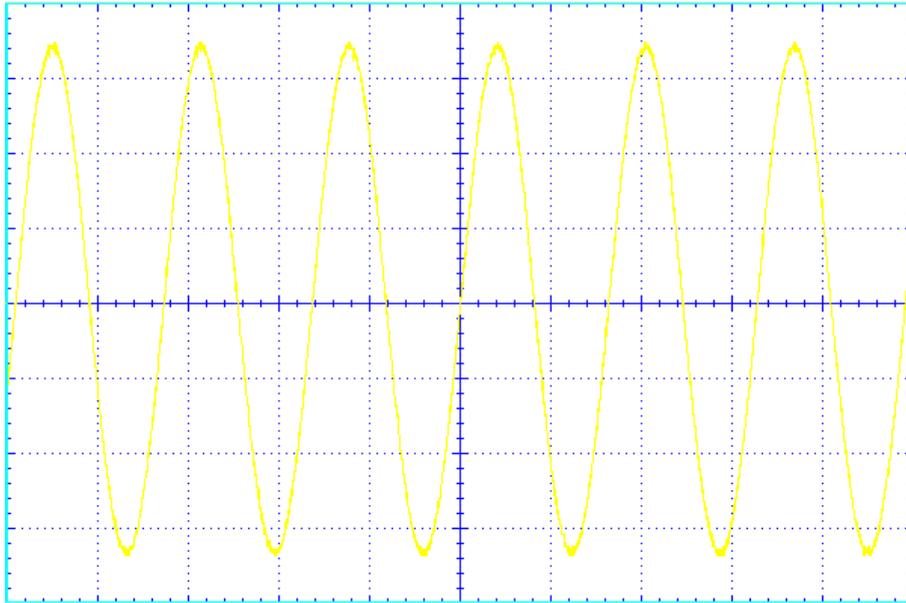


Figura 3.29: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal dispositivo a carico in prossimità della frequenza di taglio inferiore. La misura tramite gli appositi cursori a fornito una $F = 24,4Hz$; $V_{pp} = 1,37V$.

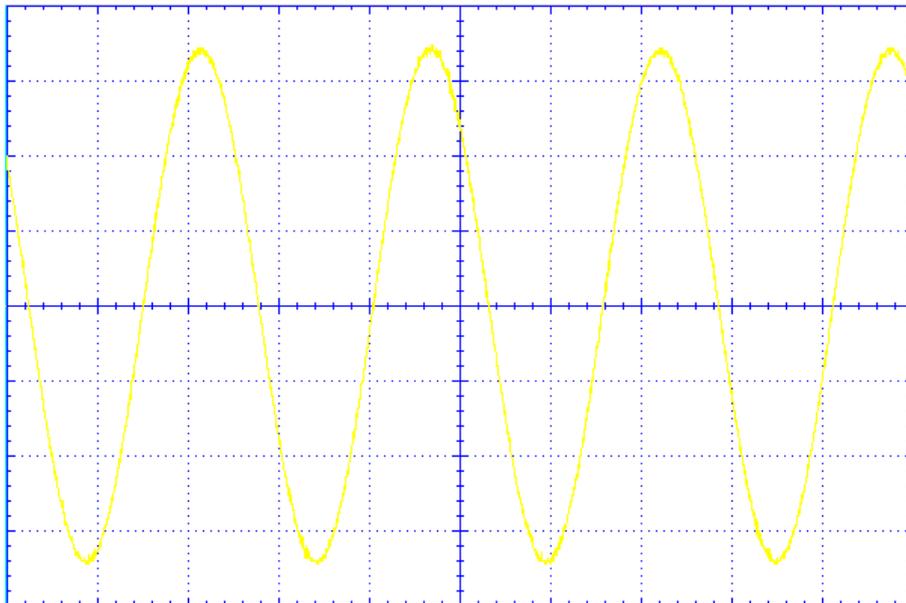


Figura 3.30: Immagine acquisita dall'oscilloscopio. Viene visualizzata la tensione in uscita dal dispositivo a carico in prossimità della frequenza di taglio superiore. La misura tramite gli appositi cursori a fornito una $F = 39,4kHz$; $V_{pp} = 1,38V$.

	<i>Valore teorico</i>	<i>Valore simulato</i>	<i>Valore misurato</i>
I_C	211,9 mA	210 mA	$\simeq 205$ mA
I_B	2,12 mA	1,93 mA	$\simeq 2$ mA
V_{CE}	6,93 V	7,23	$\simeq 6,2$ V
β_0	100	109	$\simeq 103$
R_i	29,9 Ω	30 Ω	$\simeq 31,8$ Ω
R_o	50 Ω	52 Ω	$\simeq 56$ Ω
A_v	-1,94	-1,78	$\simeq -1,8$
f_{TL}	11 Hz	24,5 Hz	$\simeq 25$ Hz
f_{TH}	30 kHz	39 kHz	$\simeq 38$ kHz

Figura 3.31: Confronto tra i valori trovati per via analitica, simulati e misurati sul circuito reale.

Considerando che in corrispondenza della frequenza di taglio la V_{oP} deve essere circa il 70 % della tensione V_{oP} in centro banda (appositamente impostata ad 1 Volt) si valuta l'attenuazione alle frequenze di interesse:

$$\frac{V_{oPP,f=24Hz}}{V_{oPPmax}} = \frac{1,37}{2} = 0,69 \quad \frac{V_{oPP,f=39kHz}}{V_{oPPmax}} = \frac{1,38}{2} = 0,69$$

Confermando che le due frequenze corrispondono effettivamente agli estremi della banda passante del dispositivo. I risultati ottenuti vengono relazionati in Tabella 3.31.

3.5.1 Applicazione

Per dare un senso più pratico al dispositivo progettato si è scelto di effettuare una prova dell'amplificatore in condizioni d'uso comune. Prendendo un paio di diffusori acustici, con impedenza ciascuno di 8Ω , ed una qualsiasi sorgente audio si è potuto ascoltare il risultato della progettazione. Togliendo dal circuito di Figura 3.10 la resistenza di carico ed il generatore d'onda sinusoidale con la rispettiva resistenza R_{IN} si sono collegati la nuova sorgente ed il carico come mostrato in Figura 3.32; gli alunni hanno quindi potuto valutare le potenzialità del dispositivo. Il risultato della prova è stato buono, era percepibile un aumento del livello di potenza sonora prodotta dai diffusori rispetto al collegamento diretto con la sorgente acustica.

3.6 Ampliamento prova

La scarsa amplificazione prodotta dal dispositivo progettato porta a cercare un modo per aumentare il guadagno di tensione possibilmente senza spostare il punto di lavoro posizionato inizialmente tenendo conto di altri fattori sopra descritti. Analizzando l'espressione analitica del guadagno in tensione A_v (Equazione 3.26 ed 3.28) si nota che a denominatore pesa molto il valore della resistenza di emettitore R_E in quando è presente il prodotto $(\beta_0 + 1) \cdot R_E$. Sarebbe quindi utile diminuire al massimo il valore di R_E , la quale è però già stata scelta molto bassa. Una ulteriore

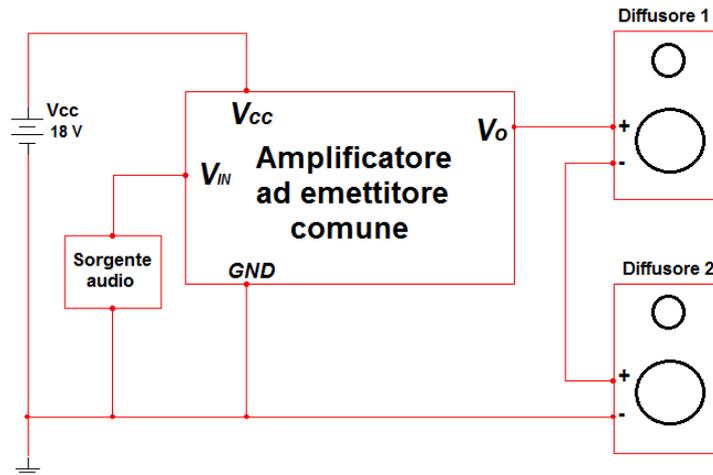


Figura 3.32: Schema delle connessione per la prova del dispositivo in condizioni standard. La sorgente audio è stata un comune lettore MP3 portatile; il carico era invece costituito dalla serie di due diffusori multivia ciascuno avente impedenza di ingresso equivalente di 8Ω .

diminuzione del resistore di emettitore avrebbe come conseguenza l'aumento delle correnti di polarizzazione, cosa inaccettabile considerando le finalità del progetto. Pensando invece di attenuare il peso del resistore R_E solo nella banda di frequenze nella quale dovrà operare il dispositivo, viene posto un condensatore in parallelo ad R_E di modo da bypassare il resistore in funzionamento AC (Figura 3.33).

Considerando l'espressione dell'impedenza collegata tra emettitore e massa (composta dal parallelo $R_E//C_E$) riportata in 3.39, e notando che tale funzione ha un unico polo in $\omega = 1/R_EC_E$ si dimensiona il condensatore di emettitore di modo da posizionare il polo a frequenze minori della frequenza di taglio inferiore f_{TL} dell'amplificatore; si cerca quindi un alto valore di capacità per C_E . Utilizzando un $C_E = 3,3mF$ il polo si trova a 22 Hz, risultato accettabile in quanto un valore di capacità più alto è difficile da trovare in laboratorio, e comunque avrebbe dimensioni inaccettabili.

$$Z_E(j\omega) = \frac{R_E}{1 + j\omega R_EC_E} \quad (3.39)$$

La risposta in frequenza del dispositivo così modificato è riportata in Figura 3.34; il guadagno in banda passante è circa 20 dB ($A_v \simeq 10$) e la banda presenta una $f_{TL} \simeq 120Hz$ ed una $f_{TH} \simeq 40kHz$. Il test del dispositivo in condizioni di funzionamento reali (Figura 3.32) ha prodotto un risultato soddisfacente confermando le caratteristiche simulate e rendendolo utilizzabile in condizioni reali.

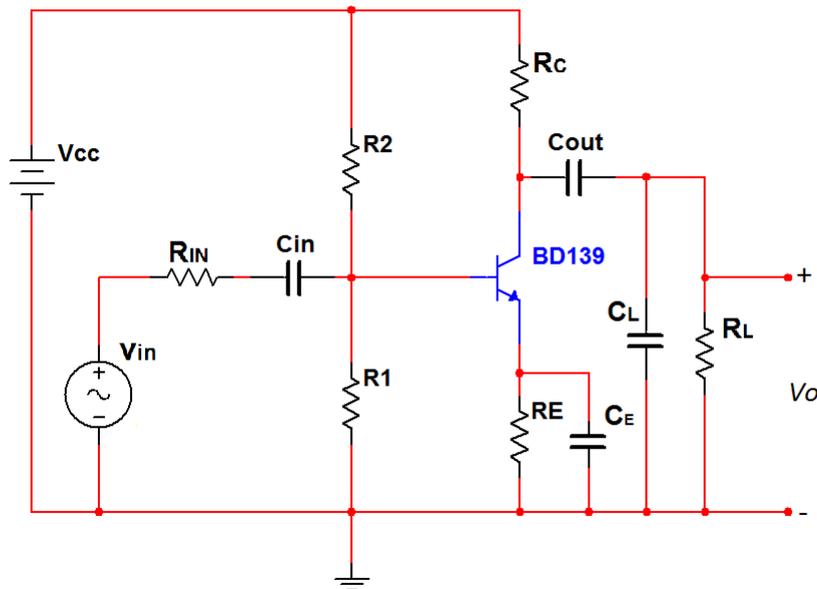


Figura 3.33: Ampliato progetto dell'amplificatore audio. Per aumentare il guadagno in banda si aggiunge il condensatore C_E , chiamato anche condensatore di bypass proprio per la sua caratteristica di bypassare la resistenza di emettitore per tensioni alternate applicate in base.

Risposta in frequenza dell'amplificatore ad emettitore comune con condensatore di emettitore

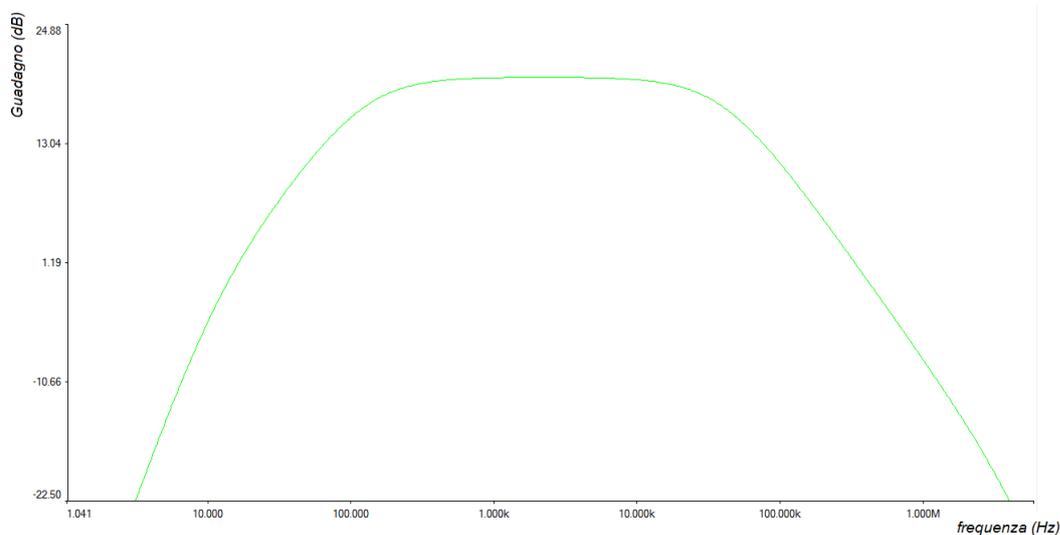


Figura 3.34: Risposta in frequenza dell'amplificatore modificato con l'aggiunta del condensatore di emettitore. L'andamento della risposta in frequenza dell'amplificatore in questo ultimo caso presenta un andamento simile a quello ideale, con un guadagno costante in banda passante ed una buona attenuazione fuori banda. Modificando il posizionamento dei poli si potrebbe migliorare ulteriormente il guadagno alle basse frequenze, tuttavia considerando lo scopo del progetto il risultato è accettabile.

Conclusioni

Progettare un'esperienza di laboratorio apparentemente semplice o addirittura banale sul piano teorico può velocemente diventare un problema nel passaggio da quello che può essere uno schema a blocchi (oppure un circuito schematizzato) all'effettiva stesura di uno schema che comprende oggetti reali. La complessità della progettazione viene aumentata anche a causa di alcuni fattori come la *non-idealità dei componenti*, limiti massimi dei componenti, effetti secondari importanti, standardizzazione dei valori dei componenti (come resistenze e condensatori), effetti joule dovuti a correnti troppo elevate e altri fenomeni che si valutano solo nella fase di collaudo dopo la realizzazione. Ognuna delle tre prove avrebbe meritato uno studio molto più approfondito, il quale avrebbe portato a soluzioni e prestazioni migliori.

Il semaforo

Delle tre prove organizzate quella che ha creato meno problemi è stata sicuramente quella del semaforo, il motivo va ricercato nella buona idealità dei componenti a base digitale (nelle frequenze di interesse decisamente basse); tuttavia questa prova ha richiesto un notevole lavoro iniziale, probabilmente causato dall'ampia variabilità di macchine realizzabili. Durante la progettazione sono emerse difficoltà nella scelta del funzionamento e nella minimizzazione dei componenti da utilizzare; la buona codifica degli stati e la corretta scelta dei registri da impiegare ha permesso di risparmiare una buona parte di logica combinatoria che avrebbe richiesto l'uso di altre porte logiche e di conseguenza l'aumento del numero di integrati nel circuito.

L'amplificatore

Nel dimensionamento dell'amplificatore in banda audio si sono invece trovati problemi legati alle condizioni reali di funzionamento del circuito, in particolare relativi al valore del carico, che per un tipico diffusore acustico è di una decina di ohm. La soluzione è stata trovata nel buon dimensionamento della rete di polarizzazione, perfezionata a seguito di uno studio attento del circuito per via teorica ha effettivamente portato ad un buon risultato dopo un numero non eccessivo di tentativi. In particolare nel dimensionamento dell'amplificatore si sono fatti sentire alcuni effetti secondari (tralasciati in fase teorica) che ne compromettevano il corretto funzionamento; anche questi sono stati comunque risolti a seguito di non insignificanti accorgimenti.

Il convertitore A/D

La particolarità del dimensionamento del convertitore AnalogicoDigitale sta invece nel passaggio dallo schema a blocchi ad un pseudo circuito reale; la determinazione di come realizzare in particolare i segnali di controllo come quello di inizio conversione piuttosto che quello di Reset non è stata immediata; davanti a diverse soluzioni è stato necessario valutare aspetti positivi e negativi, nonché tener conto delle conoscenze degli studenti evitando di proporre soluzioni troppo laboriose o fuori programma. Problemi significativi sono emersi anche nel blocco comparatore, dovendo basarsi sulla teoria dell'amplificatore operazionale non ho potuto utilizzare circuiti integrati dedicati per realizzare il comparatore.

Bibliografia

- [1] *Richard C. Jaeger, Travis N. Blalock* : Microelettronica 1 - Elettronica Analogica (Seconda edizione 2005).
- [2] *Jan M. Rabaey; Anantha Chandrakasan; Bora Nikolic* : Circuiti integrati digitali - L'ottica del progettista (Seconda edizione 2005).
- [3] *Alessandro Memo* : Sistemi ed automazione (1990).
- [4] *Giuseppe Biondo; Enrico Sacchi* : Manuale di elettronica e telecomunicazioni (Quinta edizione 2006).
- [5] *Gene F. Franklin; J. David Powell; Abbas Emami - Naeini* : Controllo a retroazione di sistemi dinamici (Volume 1, 2003).
- [6] *Alan B. Marcovitz* : Introduction to logic design (Terza edizione 2005).
- [7] *Adel S. Sedra, Kennet C. Smith* : Microelectronic Circuits (Quinta edizione).
- [8] *Firchild Semiconductor* : Datasheet TL081A, Operational Amplifiers.
- [9] *Firchild Semiconductor* : Datasheet DM74LS08, Quad 2-Input AND Gates.
- [10] *Firchild Semiconductor* : Datasheet DM74LS73A, Dual Negative-Edge-Triggered J-K Flip-Flops whit Clear and Complementary outputs.
- [11] *Firchild Semiconductor* : Datasheet DM74LS86, Quad 2-Input Exclusive-OR Gates.
- [12] *Firchild Semiconductor* : Datasheet DM74LS393, Dual 4-Bit Binary Counter.
- [13] *Firchild Semiconductor* : Datasheet BD139, NPN Epitaxial Silicon Transistors.