



DEPARTMENT OF
INFORMATION
ENGINEERING
UNIVERSITY OF PADOVA



UNIVERSITÀ DEGLI STUDI DI PADOVA

FACOLTÀ DI INGEGNERIA

Tesi di Laurea in :

Ingegneria Dell' Informazione

Analisi e simulazione di un convertitore digitale-analogico CMOS in corrente

Relatore:
Andrea Neviani

Laureando:
Rocco Calabrò

Anno accademico 2010/2011

Sommario

In questa tesina viene trattato il progetto di massima di un convertitore digitale-analogico in corrente realizzato in tecnologia CMOS. Il lavoro svolto parte dallo sviluppo teorico del circuito con il calcolo manuale dei parametri, per poi passare alla simulazione tramite *Cadence* e quindi alla calibrazione dei parametri per rispettare nel modo più fedele possibile le specifiche assegnate, infine vengono stimate le principali figure di merito del convertitore che caratterizzano le prestazioni del circuito ottimizzato.

Indice

1	Introduzione	7
2	Convertitori DAC	9
2.1	Cosa sono i DAC e come funzionano	9
2.2	Varie tipologie di convertitori	10
2.2.1	DAC basati sulla decodifica	10
2.2.2	DAC con ingresso pesato in modo binario	10
2.2.3	DAC con codice termometrico	10
2.2.4	DAC ibridi	11
2.3	Convertitori in corrente	11
2.4	Modello ideale di un DAC	11
2.5	Figure di merito di un DAC	12
2.5.1	Errore di offset e di guadagno	12
2.5.2	Precisione assoluta, relativa, DNL,INL	13
3	Elementi del circuito	15
3.1	Specchio di corrente	15
3.2	Switch di corrente con MOSFET	16
3.3	Invertitore CMOS	17
4	Progettazione del circuito	19
4.1	Specifiche	19
4.2	Schema circuitale	19
4.3	Caratteristica del convertitore	21
4.4	Parametri dei MOSFET	22
4.5	Calcolo manuale dei parametri	22
4.5.1	Dimensionamento dell'invertitore	22
4.5.2	Dimensionamento del generatore di corrente e transistor dello specchio	23
4.5.3	Dimensionamento dello switch di corrente	24
4.5.4	Dimensionamento della resistenza	27

5	Simulazione del circuito	29
5.1	Creazione dello schema elettrico	29
5.2	Generazione della caratteristica	30
5.3	Calibrazione dei parametri	31
5.3.1	Saturazione dei MOSFET	31
5.3.2	Dimensione del transistor di compensazione	32
5.3.3	Verifica della tensione ai nodi X_i	33
5.4	Misura della precisione	34
5.4.1	Errore di offset	35
5.4.2	Errore di guadagno	35
5.4.3	Rimozione dell'errore di offset e di guadagno	35
5.4.4	INL	36
5.4.5	DNL	37
6	Migliorie al progetto originale	39
6.1	Specchio di corrente cascode	39
6.2	Dimensionamento dei componenti	40
6.2.1	Dimensione dei transistor	40
6.2.2	Dimensione della resistenza	41
6.2.3	Dimensione del generatore di tensione	41
6.3	Misura della precisione	42
6.3.1	Errore di offset	42
6.3.2	Errore di guadagno	43
6.3.3	Rimozione dell'errore di offset e di guadagno	43
6.3.4	INL	43
6.3.5	DNL	44
7	Conclusioni	45
	Bibliografia	49

Capitolo 1

Introduzione

Lo scopo di questo lavoro é quello di seguire passo per passo il percorso che porta dalla comprensione del funzionamento di un DAC in corrente, fino alla realizzazione dello schema di un circuito che lo implementa con le successive analisi e simulazioni necessarie per valutarne le prestazioni.

Il **capitolo 2** é una breve panoramica sui DAC, ne illustra il funzionamento e i criteri per misurarne la precisione, per poi elencarne alcune tipologie ed infine trattare nello specifico il DAC in corrente che saranno l'oggetto principale di questa tesina. Il **capitolo 3** tratta in modo separato, spiegandone il funzionamento, tutte le parti principali del circuito, del quale si parla nel capitolo **capitolo 4** dove si analizzano le specifiche del progetto e si calcolano a mano le dimensioni dei vari componenti. Nel **capitolo 5** Si passa dai calcoli manuali alla simulazione tramite calcolatore, correggendo i dimensionamenti fatti a mano e stimando le principali figure di merito del convertitore. Infine il **capitolo 6** tratta le modifiche atte al miglioramento del circuito di partenza, per rimuoverne alcuni punti deboli.

Capitolo 2

Convertitori DAC

Questo capitolo é un introduzione teorica ai convertitori digitale-analogico, vengono trattati il funzionamento, le diverse tipologie e le varie figure di merito che ne caratterizzano le prestazioni.

2.1 Cosa sono i DAC e come funzionano

Prima di introdurre i convertitori da digitale ad analogico é utile parlare brevemente del loro opposto, ovvero dei convertitori da analogico a digitale. In natura, quasi tutte le grandezze fisiche sono analogiche, ovvero non numerabili e di conseguenza non sono direttamente trattabili dai calcolatori che hanno natura finita. Per analizzare, elaborare o semplicemente memorizzare dati analogici tramite un calcolatore é necessario convertirli in formato digitale. Questo tipo di conversione permette di assegnare un numero, che nel caso dei calcolatori é rappresentato in modo binario, ai valori di un segnale analogico campionato, in tal modo é possibile archiviare questi dati in memorie ed elaborarli a piacimento. I convertitori digitale-analogico, entrano in gioco quando é necessaria la conversione opposta, infatti hanno il compito di associare in modo univoco un valore di tensione, carica o corrente, compresi in un intervallo di riferimento, ad un numero binario. I DAC sono indispensabili quando si vuole produrre un segnale analogico a partire da informazioni numeriche rappresentate in bit, per esempio la conversione in onde sonore a partire da un file MP3 contenuto in una memoria é affidata in parte anche ad un DAC.

2.2 Varie tipologie di convertitori

Come accennato precedentemente, esistono diversi tipi di DAC ma il concetto alla base è sempre lo stesso: modulare una determinata grandezza fisica fra due valori di riferimento a seconda del valore numerico binario in ingresso. Oltre al tipo di grandezza fisica modulata, esiste una distinzione ulteriore fra questi dispositivi che possono essere divisi essenzialmente in quattro gruppi a seconda del modo nel quale viene utilizzato l'ingresso binario :

- DAC basati sulla decodifica
- DAC con ingresso pesato in modo binario
- DAC con codice termometrico
- DAC ibridi

2.2.1 DAC basati sulla decodifica

Questo tipo di convertitori ha un funzionamento molto semplice, infatti si basa sulla creazione di 2^N segnali di riferimento che vengono selezionati e resi disponibili all'uscita a seconda del valore in ingresso. 2^N è detta risoluzione del convertitore a N bit ed è definita come il numero di livelli analogici distinti corrispondenti ai possibili ingressi digitali.

2.2.2 DAC con ingresso pesato in modo binario

Per implementare un convertitore con ingresso pesato in modo binario, si creano N segnali di riferimento: s_1, s_2, \dots, s_N , dove s_1 , che corrisponde al bit meno significativo, ha il valore più piccolo e s_2, \dots, s_N hanno ognuno valore doppio rispetto al precedente. Il valore all'uscita con ingresso dato dalla parola binaria $b_1 b_2 \dots b_N$ è determinato dalla combinazione lineare dei segnali di riferimento secondo la formula:

$$V_{out} = b_N \cdot s_1 + b_{N-1} \cdot s_2 + \dots + b_1 \cdot s_N \quad (2.1)$$

2.2.3 DAC con codice termometrico

Un altro modo per realizzare un convertitore D/A è quello di codificare l'input digitale in un codice termometrico equivalente. Un codice termometrico necessita di $2^N - 1$ bit per rappresentare 2^N valori digitali e anche se è un modo poco efficiente per rappresentare 2^N valori, per i quali basterebbero N bit, questo tipo di codifica comporta alcuni benefici che ne giustificano la complessità aggiuntiva come: monotonia, errore di linearità differenziale piccolo e riduzione dei glitch.

2.2.4 DAC ibridi

Infine i convertitori ibridi sono costituiti, come suggerisce il nome, da parti appartenenti a gruppi diversi. Questo tipo di DAC é molto utilizzato poiché permette di sfruttare i punti di forza delle varie tipologie in un unico convertitore.

2.3 Convertitori in corrente

In questa tesina, verranno trattati in particolare i DAC in corrente con ingresso binario pesato. L'idea che sta alla loro base é quella di indirizzare all'output o a massa, utilizzando degli switch, la corrente proveniente da N sorgenti di corrente pesate in modo binario, dove N é il numero di bit del convertitore. Una volta che la corrente desiderata é indirizzata all'output, una resistenza la converte in tensione come si può vedere in figura 2.1, fornendo così i 2^N livelli di tensione desiderati.

$$V_{out} = R_F \cdot (b_1 \cdot I + b_2 \cdot 2I + b_3 \cdot 4I + b_4 \cdot 8I) \quad (2.2)$$

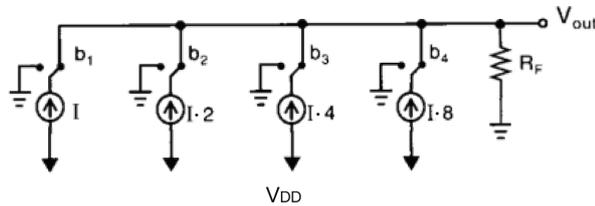


Figura 2.1: DAC in corrente

2.4 Modello ideale di un DAC

Per illustrare le principali figure di merito dei DAC, é necessario introdurre un modello ideale al quale fare riferimento. Tale modello, può essere riassunto dall'equazione:

$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + \dots + b_N 2^{-N}) \quad (2.3)$$

Dove $b_1, b_2, \dots, b_N = B_{in}$ sono i segnali digitali in ingresso, V_{out} é l'uscita analogica e V_{ref} é la tensione di riferimento del convertitore. Inoltre é

utile introdurre una misura di quanto varia l'uscita al variare del bit meno significativo:

$$V_{LSB} = \frac{V_{ref}}{2^N} \quad (2.4)$$

La curva di trasferimento di un DAC ideale, si costruisce facendo variare B_{in} dal suo valore minimo, 000...00 a quello massimo, 111...11, tracciando il valore di V_{out} ad ogni variazione del bit meno significativo. Un esempio di tale curva per un convertitore a 3 bit é illustrato in figura 2.2

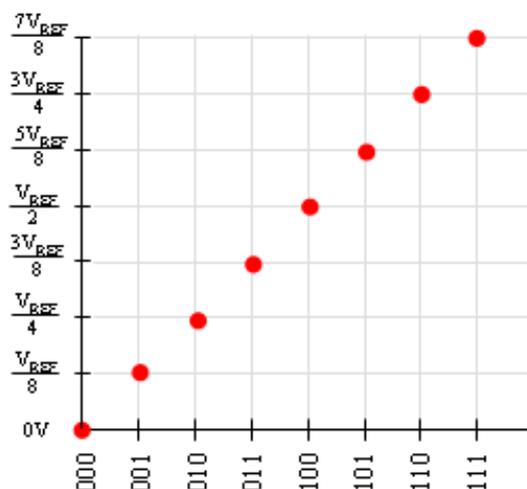


Figura 2.2: Curva di trasferimento DAC

2.5 Figure di merito di un DAC

La precisione di un DAC può essere caratterizzata attraverso le sue figure di merito[4] che sono descritte di seguito.

2.5.1 Errore di offset e di guadagno

L'errore di offset é definito come il valore della tensione di uscita quando questa dovrebbe essere idealmente a 0, ovvero:

$$E_{off} = \frac{V_{out}}{V_{LSB}} \Big|_{00\dots0} \quad (2.5)$$

La misura di questo errore é data in LSB, un unità di misura definita come:

$$1LSB = \frac{1}{2^N} \quad (2.6)$$

l'errore di guadagno é invece definito come la differenza di ampiezza fra la caratteristica ideale e quella reale:

$$E_{gain} = \left(\frac{V_{out}}{V_{LSB}} \Big|_{11\dots1} - \frac{V_{out}}{V_{LSB}} \Big|_{00\dots0} \right) - (2^N - 1) \quad (2.7)$$

2.5.2 Precisione assoluta, relativa, DNL,INL

La precisione assoluta di un convertitore é la differenza fra la sua curva di trasferimento e la curva che avrebbe se fosse ideale comprendendo sia l'errore di offset sia quello di guadagno, la *precisione relativa* é invece la differenza fra la curva ideale e quella reale una volta che l'errore di offset e quello di guadagno sono stati rimossi.

INL

Dopo che l'errore di offset e di guadagno sono stati rimossi, l'INL¹ é definito come la deviazione della caratteristica di uscita da una linea retta, che può essere la linea che congiunge il punto iniziale e quello finale della caratteristica oppure la retta che rappresenta il miglior fit lineare della caratteristica non ideale. L'INL é definito per ogni parola di bit, ma alcune volte si fa riferimento all' INL come al massimo valore che assume fra le possibili parole d'ingresso.

DNL

Mentre in un convertitore ideale la differenza fra due livelli adiacenti dell'uscita analogica normalizzata a V_{ref} vale sempre 1 LSB, nei convertitori reali, questa condizione non é sempre verificata. Per misurare questa incongruenza fra la caratteristica ideale e quella reale si definisce il DNL² come la differenza di un gradino analogico normalizzato a V_{ref} da 1 LSB. Un convertitore ideale per esempio avrà un DNL=0 LSB per tutti gli ingressi, mentre un DAC con DNL=0.5 LSB avrà la differenza fra due livelli analogici adiacenti variante fra 0.5 LSB e 1.5 LSB.

¹Integral NonLinearity error

²Differential NonLinearity error

Monotonia

Un DAC é monotono se l'uscita aumenta all'aumentare del valore numerico in ingresso. In particolare se il massimo DNL é inferiore a 1LSB o se il massimo INL é minore di 0.5 LSB il convertitore é monotono, tuttavia non é valida l'implicazione inversa, ovvero un convertitore può essere monotono senza avere $DNL_{max} < 1 \text{ LSB}$ o $INL_{max} < 0.5 \text{ LSB}$.

Capitolo 3

Elementi del circuito

In questo capitolo vengono introdotte le parti principali del circuito che implementerà il DAC in corrente. Ognuna di esse ha un determinato scopo e quindi é conveniente trattarle separatamente prima di analizzarle connesse tutte insieme.

3.1 Specchio di corrente

Lo specchio di corrente[2, pag 645] é un tipo di circuito estremamente utilizzata nell'elettronica, infatti ha la peculiare funzione di riprodurre fedelmente in un ramo del circuito la corrente presente in un altro ramo dello stesso circuito. In questa Tesina viene trattata solo implementazione tramite MOSFET dello specchio di corrente, anche se é possibile realizzarlo tramite transistor bipolari. Perché uno specchio di corrente funzioni correttamente é necessario che tutti i transistor che lo compongono abbiano lo stesso valore della *tensione di soglia* V_{tn} e del *parametro di transconduttanza* K'_n ¹. Per quanto riguarda il rapporto $(\frac{W}{L})$ dove W e L sono rispettivamente larghezza e lunghezza del canale, facendo riferimento alla figura 3.1 si fissa il rapporto di M_1 mentre quello di M_2 si può scegliere a seconda del valore di corrente I_o desiderato, infatti I_o e I_{ref} sono legate dall'equazione:

$$I_o = I_{ref} \cdot \frac{(1 + \lambda V_{ds2})}{(1 + \lambda V_{ds1})} \cdot \frac{(\frac{W}{L})_2}{(\frac{W}{L})_1} \cong I_{ref} \cdot \frac{(\frac{W}{L})_2}{(\frac{W}{L})_1} \quad (3.1)$$

Dove λ é il *parametro di modulazione della lunghezza di canale*. Tutta via nell'equazione considerata, se si hanno valori di V_{ds1} e V_{ds2} non troppo differenti, il fattore $\frac{(1+\lambda V_{ds2})}{(1+\lambda V_{ds1})}$ si può trascurare, così I_o e I_{ref} si trovano in dipendenza lineare con parametro $\frac{(\frac{W}{L})_2}{(\frac{W}{L})_1}$ detto *rapporto di riflessione*.

¹ V_{tp} e K'_p nel caso dei pMOS

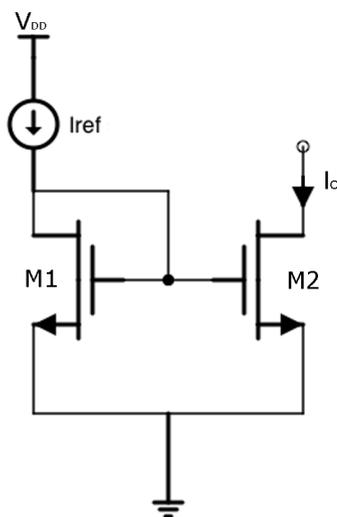


Figura 3.1: Specchio di corrente

Nell'implementazione del convertitore digitale analogico lo specchio di corrente può essere utilizzato per produrre correnti pesate in modo binario, connettendo i gate di un numero di transistor pari al numero di bit del convertitore, con rapporto $(\frac{W}{L})$ adeguato, al gate del transistor M_1 , attraverso il quale scorre la corrente di riferimento.

3.2 Switch di corrente con MOSFET

Grazie allo specchio di corrente, disponiamo ora di correnti pesate in modo binario; ciò che manca per implementare un convertitore digitale analogico in corrente è un circuito che sappia dirigere queste correnti all'output a seconda del valore dei bit in ingresso. A tale proposito si può utilizzare il circuito mostrato in fig 3.2, dove il ramo 2 è collegato all'uscita del convertitore mentre il ramo 1 è connesso a V_{DD} . L'instradamento della corrente viene controllato tramite il segnale di bit \mathbf{b} e dal suo negato $\bar{\mathbf{b}}$ che possono assumere due valori : 0 V e 3.3 V. Quando \mathbf{b} vale 3.3 V si accende il transistor M_1 e la corrente passa attraverso il ramo 1, viceversa quando \mathbf{b} vale 0 V si accende il transistor M_2 e la corrente passa attraverso il ramo 2. Per massimizzare la velocità di questo interruttore di corrente, bisogna fare in modo che la variazione di tensione al nodo comune di M_1 e M_2 sia piccola. Le dimensioni dei due transistor utilizzati verranno prese in considerazione nel capitolo successivo dove si effettueranno i calcoli dei parametri per il circuito completo del convertitore.

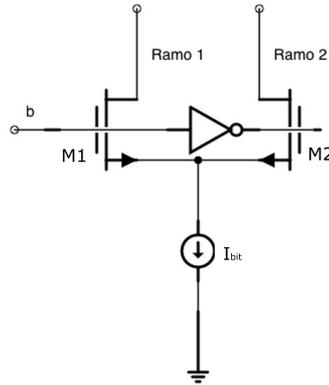


Figura 3.2: Switch di corrente

3.3 Invertitore CMOS

Nell'interruttore di corrente appena trattato è stato utilizzato un invertitore CMOS statico[3] per invertire il segnale del bit in ingresso. Questo invertitore è di fondamentale importanza per tutti i sistemi digitali grazie alle sue proprietà di robustezza, resistenza di uscita piccola, resistenza di ingresso elevata, consumi ridotti ed escursione logica piena. Il circuito è composto da due transistor: un PMOS ed un NMOS, e ha un funzionamento abbastanza semplice. Quando il segnale di ingresso V_{in} è al valore logico alto (V_{DD}) il PMOS che ha il source connesso a V_{DD} si trova ad avere tensione $V_{GS} = 0$ che non è abbastanza bassa per accenderlo, isolando l'uscita dall'alimentazione V_{DD} . L'NMOS invece, che ha il source connesso a massa, è acceso poiché si trova ad avere tensione $V_{GS} = V_{DD}$ con V_{DD} normalmente più grande della tensione di soglia V_{Tn} , creando così un percorso conduttivo tra uscita V_{out} e massa. Dualmente quando il valore logico in ingresso è basso (0 V) si spegne l'NMOS e si accende il PMOS collegando l'uscita alla tensione di alimentazione V_{DD} ; il circuito ha quindi la funzione di produrre all'uscita un valore logico opposto rispetto a quello in entrata, implementando appunto un invertitore.

Per il effettuare il dimensionamento corretto dei due transistor, in modo da ottenere una porta veloce con tempi di salita e discesa il più possibile uguali, è necessario tener conto di alcuni fattori:

- Una porta logica è tanto più veloce quanto sono più piccole la capacità che deve pilotare e la resistenza equivalente del transistor che collega la massa o la tensione di alimentazione all'uscita durante la commutazione.

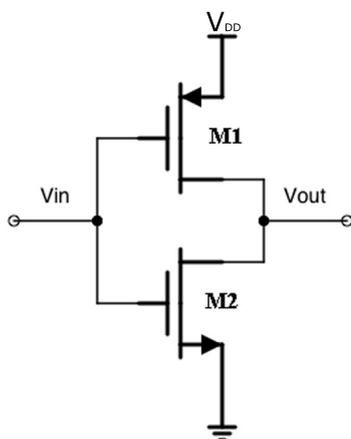


Figura 3.3: InvertitoreCMOS

- I PMOS hanno un canale conduttivo formato da lacune le quali hanno mobilità circa tre volte inferiore rispetto agli elettroni del canale degli NMOS.

Queste affermazioni valgono in generale per ogni porta logica statica e nel caso dell'invertitore portano a specifiche abbastanza semplici da rispettare. Anche se la capacità di carico dipende dal circuito al quale si connette l'uscita dell'invertitore, c'è un contributo intrinseco dato dalla capacità delle due diffusioni di drain dei transistor, quindi più grandi saranno i transistor, più la capacità di carico sarà grande. La resistenza dei due transistor invece, anche se non è costante, diminuisce indicativamente con l'aumentare del rapporto $(\frac{W}{L})$. Infine per tener conto della diversa mobilità di elettroni e lacune è sufficiente dimensionare l'NMOS e il PMOS in modo che :

$$\frac{(\frac{W}{L})_p}{(\frac{W}{L})_n} \cong 3 \quad (3.2)$$

Capitolo 4

Progettazione del circuito

Dopo un' introduzione teorica sul funzionamento di massima di un DAC é giunto il momento di realizzarne il circuito elettronico.

4.1 Specifiche

il DAC in corrente deve essere costruito in tecnologia CMOS seguendo le seguenti specifiche assegnate :

- Tensioni di alimentazione: $V_{DD} = 3.3 V$; $V_{SS} = 0 V$;
- Matrice di switch a canale n;
- Risoluzione del DAC: $N = 6$ bit;
- Intervallo di variazione della tensione di uscita: da $V_{SS} + 0.5 V$ a V_{DD} ;
- Corrente di Riferimento : $10 \mu A$;

4.2 Schema circuitale

Facendo riferimento alle specifiche, si possono cominciare a collegare fra loro i circuiti elementari esposti nel capitolo precedente.

Come primo passo é utile costruire uno schema circuitale rappresentante la funzione che si vuole implementare, senza pensare al dimensionamento esatto dei vari componenti.

Per ottenere una tensione di uscita proporzionale al valore dei bit in ingresso al convertitore, si può utilizzare il seguente metodo: a seconda dell'ingresso, una matrice di switch seleziona dei generatori di corrente, che fanno scorrere una determinata corrente attraverso una resistenza con un capo collegato a V_{DD} . Così facendo, più corrente scorre nella resistenza, più la differenza di potenziale ai suoi capi cresce e la tensione al capo della resistenza non connesso a V_{DD} , che rappresenta l'output, diminuisce. Per generare la corrente

di riferimento, e tutte le correnti del convertitore pesate in modo binario, si può utilizzare uno specchio di corrente come illustrato nella figura 4.1. I MOSFET dello specchio avranno parametro $(\frac{W}{L})_{M_{bi}} = r \cdot 2^{i-1}$ con $i=1,\dots,6$ e r valore del rapporto $(\frac{W}{L})_{M_{b1}}$ di riferimento, a seconda del bit che rappresentano. Diversamente dallo specchio trattato precedentemente, si nota la presenza di un ulteriore transistor in serie a I_{Ref} , questo serve a compensare la presenza dei transistor di switch che diminuiscono la tensione di drain V_d delle sorgenti di corrente. Tale effetto viene quindi compensato prelevando la tensione di gate, che viene applicata a tutti i transistor dello specchio, subito dopo il generatore di corrente.

Per l'instradamento della corrente e allo stesso tempo il mantenimento di un determinato livello di tensione al nodo comune X_i si può utilizzare lo switch introdotto nel capitolo precedente, connesso come in figura 4.1, in modo da indirizzare la corrente generata dallo specchio, alla resistenza di uscita o a V_{DD} .

Infine il compito di trasformare la corrente in tensione é affidato alla resistenza R che dimensionata in modo opportuno porta l'uscita a V_{DD} in caso di mancanza di corrente e a $V_{SS} + 0.5 V$ quando tutti i generatori di corrente sono collegati ad essa.

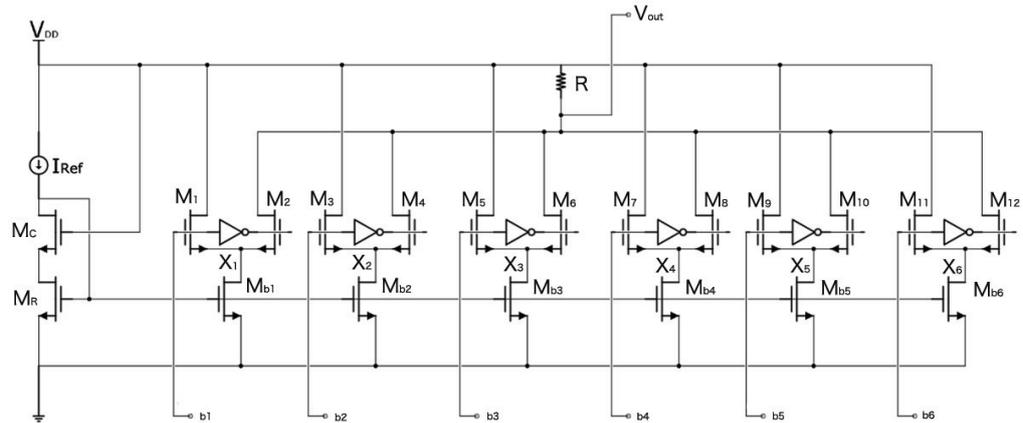


Figura 4.1: Circuito completo

4.3 Caratteristica del convertitore

Passiamo ora all'analisi della caratteristica di uscita che si desidera per il convertitore, le specifiche indicano che il valore massimo e minimo dell'output sono rispettivamente $V_H = 3.3 V$ e $V_L = 0.5 V$, inoltre supponiamo di volere una caratteristica con dipendenza lineare dal valore in ingresso. Ciò che si deve fare quindi, è dividere l'intervallo fra V_H e V_L in parti uguali ed assegnare ad ogni parte un valore d'ingresso in ordine crescente come illustrato in figura 4.2.

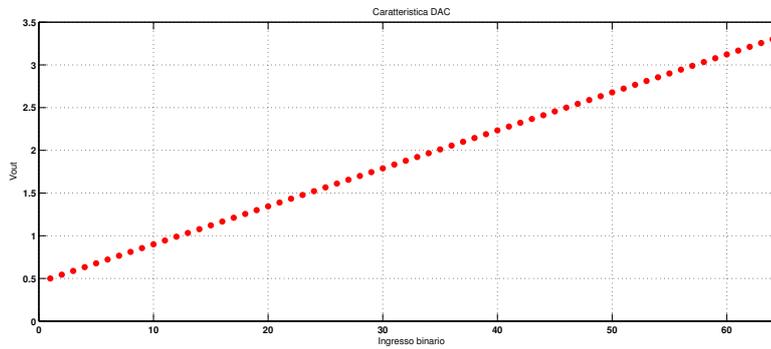


Figura 4.2: Caratteristica DAC

Il bit meno significativo, LSB^1 del DAC ha un valore in tensione pari a:

$$V_{LSB} = \frac{V_H - V_L}{2^N - 1} \quad (4.1)$$

Dove 2^N è la risoluzione del convertitore. Nel nostro caso il convertitore ha una risoluzione di 6 bit, quindi $V_{LSB} = 0.04 V$. Il valore in tensione di ogni bit di ingresso, invece è dato dalla formula:

$$V_i = \frac{V_H - V_L}{2^6 - 1} \cdot 2^{i-1} \quad \text{con } i = 1, \dots, 6 \quad (4.2)$$

Si può notare come la somma delle tensioni dei bit sia:

$$\sum_{i=1}^6 \frac{V_H - V_L}{2^6 - 1} \cdot 2^{i-1} = 2.8 V \quad (4.3)$$

Ovvero, come ci si poteva aspettare, esattamente la variazione di tensione massima all'uscita $V_H - V_L$.

¹least significant bit

4.4 Parametri dei MOSFET

Nella tabella sottostante sono riportati i valori dei parametri dei MOSFET utilizzabili per la realizzazione del circuito. Tali parametri fanno riferimento al processo C35 CMOS $0.35 \mu m$, nel quale la lunghezza minima di canale, L , vale appunto $0,35 \mu m$.

Parametri	nMOSFET	pMOSFET	note
$V_{Tn(p)}$	0.5 V	-0.6 V	tensione di soglia
$K'_{n(p)}$	$175 \mu A/V^2$	$60 \mu A/V^2$	fattore di corrente ($K'_{n(p)} = \mu_{n(p)} \cdot C_{ox}$)
$\gamma_{n(p)}$	$0.58 V^{1/2}$	$0.45 V^{1/2}$	fattore dell'effetto body
$\eta_{n(p)}$	$1.8 \cdot 10^7$	$1.25 \cdot 10^7$	coefficiente della resistenza di uscita
$A_{VTn(p)}$	$8.2 mV \cdot \mu m$	$14.9 mV \cdot \mu m$	coefficiente di matching di $V_{Tn(p)}$
$A_{Kn(p)}$	$0.2 \% \cdot \mu m$	$0.4 \% \cdot \mu m$	coefficiente di matching di $k'n(p)$
C_{ox}	$4.6 fF/\mu m^2$	$4.6 fF/\mu m^2$	capacità specifica dell'ossido di gate

Da questi si ricava inoltre il parametro della modulazione di canale $\lambda = \frac{1}{\eta_{n(p)}L}$ che Mantenendo la lunghezza di canale L costante a $0.35 \mu m$ vale $\lambda_p = 0.23 V^{-1}$ nei PMOS e $\lambda_n = 0.16 V^{-1}$ per gli NMOS.

4.5 Calcolo manuale dei parametri

I parametri da determinare nel circuito descritto precedentemente sono:

- Le dimensioni dei MOSFET.
- Il valore della corrente di riferimento.
- Il Valore dalla resistenza.

4.5.1 Dimensionamento dell'invertitore

Per prima cosa si calcolano le dimensioni dei transistor che costituiscono l'invertitore, poichè questa è la parte del circuito che dipende meno dalle altre. Lo scopo del dimensionamento dei transistor è quello di ottenere dei tempi di salita e discesa simili e non troppo grandi in modo da garantire una commutazione contemporanea degli switch di corrente. Siccome nelle specifiche del convertitore non è menzionata una frequenza minima di conversione, l'invertitore verrà dimensionato in modo da occupare il minor spazio possibile, ovvero con l'NMOS di dimensioni minime e il PMOS tre volte più grande come nell'equazione 3.2:

$$\left(\frac{W}{L}\right)_n = \frac{0.4}{0.35}$$

$$\left(\frac{W}{L}\right)_p = \frac{1.2}{0.35}$$

4.5.2 Dimensionamento del generatore di corrente e transistor dello specchio

Le dimensioni dei MOSFET appartenenti allo specchio sono un parametro importante da fissare, infatti da queste dipendono praticamente tutti i parametri rimanenti. In generale, nella progettazione di un circuito, si cerca di trovare la dimensione dei MOSFET minima per la quale le specifiche richieste sono soddisfatte. Nel processo a $0.35 \mu m$ si ha che la lunghezza minima di canale, L , é appunto $0.35 \mu m$, mentre la larghezza minima, W , é $0.4 \mu m$. Ponendo L fissa a $0.35 \mu m$ Il nostro scopo é quello di stabilire la larghezza di canale minima, W , per la quale, lo specchio, con corrente di riferimento I_{ref} , produce una tensione V_{GS} che rispetta la seguente condizione:

$$V_{GS} < V_L + V_{tn} = 1 V \quad \text{per } V_{tn} = 0.5 V \text{ e } V_L = 0.5 V \quad (4.4)$$

Questa condizione é necessaria poichè se la tensione V_{GS} supera tale valore, i MOSFET dello specchio potrebbero non trovarsi in saturazione, conducendo una corrente che dipende fortemente da V_{DS} , compromettendo quindi la caratteristica lineare del convertitore. Infatti il caso più critico, si ha quando l'uscita si trova al suo valore minimo: $0,5 V$, la tensione V_{DS} ai capi di uno qualsiasi dei transistor M_i con $i=1,\dots,6$ é quindi sicuramente inferiore² a $V_L = 0.5 V$ e per soddisfare le condizioni di saturazione:

$$\begin{aligned} V_{GS} &> V_{tn} \\ V_{DS} &> V_{GS} - V_{tn} \end{aligned}$$

bisogna che $V_{GS} - V_{tn}$, detta tensione di overdrive, sia minore strettamente di $0.5 V$ ovvero :

$$0.5 V < V_{GS} < 1 V \quad (4.5)$$

Determinato il valore massimo che può assumere V_{GS} , si può stimare in modo approssimativo il minimo valore di W_{ref} che rispetta tale limite, tramite la formula:

$$I_{DR} = \frac{K'_n}{2} \left(\frac{W}{L}\right)_R (V_{GS_R} - V_{Tn})^2 \Rightarrow W_R = \frac{2I_{DR} L_R}{K'_n (V_{GS_R} - V_{Tn})^2} \quad (4.6)$$

Ponendo $V_{GS_R} - V_{Tn} = 0.5 V$, e $I_{ref} = 10 \mu A$ si ottiene $W_{ref} = 0.016 \mu m$, un valore addirittura più piccolo del minimo disponibile, si può quindi utilizzare un NMOS di dimensione minima come riferimento che comporta una tensione V_{GS_R} :

$$V_{GS_R} = \sqrt{\frac{2I_{DR}}{K'_n \frac{W}{L}}} + V_{tn} = 816 mV \quad (4.7)$$

²Se sono connessi all'uscita attraverso il transistor di switch

Nel calcolo di questo parametro sono stati trascurati volontariamente la modulazione della lunghezza di canale e la presenza del transistor di compensazione. Questa approssimazione é accettabile poichè i calcoli manuali servono a dare un primo, grezzo dimensionamento ai componenti del circuito e il transistor di compensazione non fa altro se non produrre una differenza di potenziale ai suoi capi che modifica la V_{DS} del transistor di riferimento, influenzandone la modulazione di canale e di conseguenza il valore di V_{GS} che viene applicato ai transistor dello specchio; tuttavia questa variazione é trascurabile nel dimensionamento manuale del transistor di riferimento. Il transistor di compensazione viene, per il momento, scelto di dimensioni minime e verrà dimensionato in modo preciso tramite simulazione circuitale. Stabiliti i parametri del transistor di riferimento M_R si possono dimensionare i MOSFET M_{bi} dello specchio, con i che va da 1 a 6. la regola per stabilire la larghezza di canale dei transistor é la seguente:

$$W_{bi} = W_{ref} \cdot 2^{i-1} \quad (4.8)$$

Mentre la lunghezza di canale, rimane fissa a $0.35 \mu m$. In questo modo, le correnti che scorrono attraverso i rami dello specchio, vengono pesate in modo binario:

$$I_{M_i} = I_{ref} \cdot 2^{i-1} \quad (4.9)$$

4.5.3 Dimensionamento dello switch di corrente

Lo switch di corrente svolge un duplice compito:

- instrada la corrente all'output del convertitore.
- mantiene una tensione intermedia ai nodi X_i di figura 4.1

Per tale motivo i due transistor che lo compongono devono rispettare specifiche differenti.

Partiamo dimensionando i transistor $M_1, M_3, M_5, M_7, M_9, M_{11}$ che collegano lo specchio a V_{DD} . Questi MOSFET hanno il compito di fissare una determinata tensione al nodo X quando il segnale d'ingresso é a V_{DD} . Se non ci fossero tali transistor, la tensione presente a tale nodo verrebbe scaricata immediatamente a massa allo spegnersi di M_2, M_4, \dots, M_{12} rallentando il convertitore che sarebbe costretto a ripristinare la tensione ad ogni commutazione dell'ingresso riguardante il nodo.

La tensione ottimale alla quale portare i nodi X_i é data dalla tensione media alla quale si porta l'uscita, quando tali nodi sono connessi a V_{out} ³. Infatti,

³supponendo tutti gli ingressi binari equiprobabili

supponendo che un nodo precedentemente collegato a V_{DD} venga collegato all'uscita, il tempo che occorrerebbe per stabilizzare il nodo alla nuova tensione é proporzionale alla differenza fra la tensione a cui si trovava il nodo e quella a cui si deve portare. Ogni nodo X_i é collegato a V_{out} in un intervallo della caratteristica diverso, per esempio, il nodo X_6 é connesso all'uscita solo per metà della caratteristica, quindi la tensione ottimale alla quale mantenere tale nodo é :

$$V_{X_6} = V_L + \frac{(V_H - V_L)}{2} \cdot \frac{1}{2} = 1.2 \text{ V} \quad (4.10)$$

In generale si ha la formula:

$$V_{X_i} = V_L + \frac{V_{LSB}}{2} \sum_{K=1}^{7-i} 2^{6-K} = V_L + V_{LSB}(2^5 - 2^{i-2}) \quad \text{con } i = 1, \dots, 6 \quad (4.11)$$

Per ottenere questi livelli di tensione, M_1 , M_3 , M_5 , M_7 , M_9 , M_{11} devono avere una dimensione appropriata. Sia il drain che il gate di questi transistor si trovano a V_{DD} , portandoli in saturazione, quindi, conoscendo la corrente che vi scorre attraverso e la tensione V_{X_i} desiderata al nodo, si possono ricavare le dimensioni dei transistor:

$$\left(\frac{W}{L}\right)_{2i-1} = \frac{I_{ref} 2^i}{K'_n (V_{DD} - V_X - V_{tn})^2} \quad \text{con } i = 1, \dots, 6 \quad (4.12)$$

Tutti i transistor, escludendo M_{11} che ha $W_{M_{11}} = 0.5 \mu m$, risultano avere larghezza inferiore a quella minima utilizzabile. Questo inconveniente si potrebbe risolvere aumentando la corrente I_{ref} , ma si preferisce mantenere un consumo ridotto piuttosto di ottimizzare la velocità del circuito, quindi i transistor vengono dimensionati con larghezza minima di canale, ottenendo le tensioni V_{X_i} riportate nella seguente tabella.

Nodo	Tensione ideale [V]	Tensione ottenibile [V]
X_1	1.9	2.4
X_2	1.87	2.35
X_3	1.83	2.16
X_4	1.74	1.9
X_5	1.56	1.5
X_6	1.2	1.2

Gli ultimi transistor che devono essere dimensionati sono quelli che collegano lo specchio all'uscita quando sono attivati dall'ingresso. Supponiamo che i transistor dello specchio siano in saturazione (ad eccezione del transistor di compensazione), di conseguenza, nei rami che portano all'uscita

attraverso i transistor di switch, scorre una corrente costante,⁴ i MOSFET dello switch dovranno quindi essere dimensionati in modo da permettere ai transistor dello specchio di rimanere in saturazione anche quando l'uscita é al suo valore piú basso, V_L . Per ottenere questo risultato, si considera il caso peggiore, $V_{out} = V_L$, inoltre si suppone che i transistor di switch siano in regione di triodo mentre quelli dello specchio siano in saturazione. Le condizioni sopra elencate sono soddisfatte se :

$$\begin{aligned}
 1) & V_{GS_{M_{2i}}} = V_{DD} - V_{x_i} > V_{Tn} \\
 2) & V_{GS_{M_{2i}}} - V_{Tn} > V_{DS_{M_{2i}}} = V_L - V_{x_i} \\
 3) & V_{GS_{M_{bi}}} - V_{Tn} < V_{DS_{M_{bi}}} = V_{x_i} \\
 4) & V_{GS_{M_{bi}}} > V_{Tn}
 \end{aligned} \tag{4.13}$$

La condizione 4 é verificata poiché Il valore di $V_{GS_{M_{bi}}}$ é già stato determinato precedentemente ed é maggiore di V_{Tn} . Da $V_{GS_{M_{bi}}}$ si può ricavare il minimo valore accettabile per V_{x_i} :

$$V_{x_i} > V_{GS_{M_{bi}}} - V_{Tn} = 0.861 \text{ V} - 0.5 \text{ V} = 361 \text{ mV}$$

quindi tramite l'equazione che modella la corrente di un transistor in regione di triodo:

$$I_D = K'_n \left(\frac{W}{L} \right) \left((V_{GS} - V_{Tn}) V_{DS} - \frac{V_{DS}^2}{2} \right) \tag{4.14}$$

Si ricava la larghezza $W_{M_{2i}}$:

$$W_{M_{2i}} = \frac{L_{M_{2i}} I_{ref} 2^{i-1}}{K'_n \left((V_{DD} - V_{x_i} - V_{Tn})(V_L - V_{x_i}) - \frac{(V_L - V_{x_i})^2}{2} \right)} \tag{4.15}$$

Infine si stabilisce il limite inferiore per $W_{M_{2i}}$ ponendo $V_{x_i} = V_{GS_{M_{bi}}} - V_{Tn} = 361 \text{ mV}$:

$$W_{M_{2i}} > \frac{0.35 \mu\text{m} \cdot (10 \mu\text{A}) 2^{i-1}}{175 \frac{\mu\text{A}}{\text{V}^2} \left((2.439 \text{ V})(0.139 \text{ V}) - \frac{(0.139 \text{ V})^2}{2} \right)} = 0.06 \mu\text{m} \cdot 2^{i-1} \tag{4.16}$$

Le larghezze che sono al di sotto di $0.4 \mu\text{m}$ vengono impostate a questo valore, mentre quelle superiori a tale limite, vengono arrotondate per eccesso alla prima cifra decimale.

⁴trascurando la modulazione di canale causata dalla variazione della tensione all'uscita.

4.5.4 Dimensionamento della resistenza

Per determinare il valore della resistenza, é essenziale sapere quanta corrente vi scorrerà attraverso agli estremi della caratteristica. Come si é detto nel capitolo precedente, facendo riferimento alla figura 4.1, l'output del convertitore é costituito dal capo della resistenza non connesso a V_{DD} . Quindi più corrente scorre attraverso la resistenza, più la tensione di uscita sarà bassa secondo la formula:

$$V_{out} = V_{DD} - I_R \cdot R \quad (4.17)$$

I due casi importanti, che corrispondono agli estremi della caratteristica, si verificano quando:

- Nessun ramo dello specchio di corrente é connesso a V_{out}
- Tutti i rami dello specchio di corrente sono connessi a V_{out}

Nel primo caso la tensione di uscita sarà V_{DD} che, guardando le specifiche, corrisponde a V_H , mentre nel secondo caso La tensione di uscita sarà data dall'equazione 4.19 e dovrà corrispondere a $V_L=0.5$ V. L'unica incognita che rimane nell'equazione é la massima corrente che può scorrere all'uscita e secondo le dimensioni stabilite precedentemente si ha che:

$$I_{R_{max}} = \sum_{i=0}^5 I_{ref} \cdot 2^i = I_{ref} \cdot 63 = 0.63mA \quad (4.18)$$

Risolviendo quindi l'equazione 4.19 rispetto a R, ponendo $V_{out} = V_L$ e $I_R = I_{R_{max}}$ si ottiene il valore esatto che rispetta le specifiche:

$$R = \frac{V_H - V_L}{I_R} = 4444.4 \Omega \quad (4.19)$$

Tutte le dimensioni dei parametri del circuito, sono riportate nella seguente tabella:

Componente	Valore	W [μm]	L [μm]
M_c		0.4	0.35
M_{ref}		0.4	0.35
M_1		0.4	0.35
M_2		0.4	0.35
M_3		0.4	0.35
M_4		0.4	0.35
M_5		0.4	0.35
M_6		0.4	0.35
M_7		0.4	0.35
M_8		0.5	0.35
M_9		0.4	0.35
M_{10}		0.98	0.35
M_{11}		0.5	0.35
M_{12}		2	0.35
M_{b1}		0.4	0.35
M_{b2}		0.8	0.35
M_{b3}		1.6	0.35
M_{b4}		3.2	0.35
M_{b5}		6.4	0.35
M_{b6}		12.8	0.35
R	4444.4 Ω		
I_{ref}	10 μA		

Capitolo 5

Simulazione del circuito

Dopo i primi calcoli manuali per stabilire un dimensionamento approssimativo dei vari componenti, si può passare alla simulazione del circuito tramite il toolset *Cadence*¹.

La simulazione é un passo necessario per la progettazione di un circuito integrato funzionante, infatti, per i calcoli manuali si utilizzano normalmente delle equazioni abbastanza semplici, ma allo stesso tempo imprecise, in modo da essere trattabili. Per simulare il funzionamento reale di un circuito e calibrarne i vari parametri si deve ricorrere all'aiuto di un software di simulazione contenente delle equazioni che modellano in modo più veritiero il comportamento dei vari componenti.

5.1 Creazione dello schema elettrico

Tramite *Cadence* é possibile disegnare il circuito descritto precedentemente utilizzando gli elementi discreti delle librerie[1] **PRIMLIB**(NMOS,PMOS) e **analoglib**(alimentazione,terra,resistenza), inserendo i parametri calcolati a mano nei campi appositi, disponibili per ogni componente.

Come primo passo, conviene disegnare l'invertitore CMOS utilizzato per l'inversione dei bit di ingresso, poiché nel circuito questo componente é presente ben sei volte immutato, quindi si può sfruttare una delle caratteristiche di *Cadence* che permette visualizzare un circuito in vista symbol. Questo tipo di visualizzazione permette una visione astratta di un circuito che viene così rappresentato come un rettangolo con evidenziati solamente i terminali di input/output senza alcun dettaglio sul circuito che contiene. Terminato il disegno dell'invertitore si può passare al resto del circuito che viene tracciato semplicemente posizionando i componenti al posto giusto e connettendoli con lo strumento *wire(narrow)*.

¹*Cadence* é un' interfaccia grafica per la gestione unificata del flusso di progetto di un circuito integrato e comprende al suo interno alcuni strumenti per il design e la simulazione.

5.2 Generazione della caratteristica

Una volta che il disegno dello schema circuitale é stato portato a termine e sono stati determinati i terminali di input b1, b2, b3, b4, b5, b6 e output V_{out} , bisogna trovare il modo di simulare il circuito in modo da riprodurre la caratteristica del convertitore al terminale di output. Ciò che si vuole é che l'ingresso del convertitore si comporti come se fosse connesso all'uscita di un contatore binario a 6 bit e siccome nelle librerie di *Cadence* non é presente tale contatore bisogna emularlo imponendo delle onde quadre con parametri diversi agli ingressi del convertitore. I parametri che sono stati calcolati per produrre la caratteristica ascendente del convertitore a 6 bit sono i seguenti:

Segnale	Ritardo	Larghezza d'impulso	Periodo
b1	1 ms	1 ms	2 ms
b2	2 ms	2 ms	4 ms
b3	4 ms	4 ms	8 ms
b4	8 ms	8 ms	16 ms
b5	16 ms	16 ms	32 ms
b6	32 ms	32 ms	64 ms

Mentre i valori di salita, discesa e tensione sono rispettivamente : 0.1 ns , 0.1 ns e 3.3 V per tutti i segnali. Le onde quadre così prodotte hanno ognuna un periodo e una larghezza di impulso doppia rispetto alla precedente come si può vedere in figura 5.1.

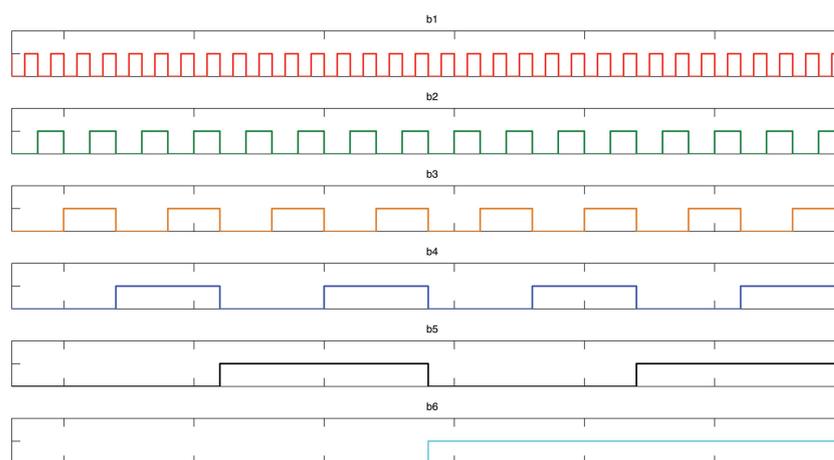


Figura 5.1: Ingressi per ottenere la caratteristica

Per capire come sia possibile che tali ingressi generino la caratteristica, basta fare riferimento alla figura 5.2 dove sono illustrate le correnti $I_1, I_2, I_3, I_4, I_5, I_6$, che vengono indirizzate all'output con l'ingresso determinato precedentemente e la corrente totale I_{tot} data dalla somma delle precedenti.

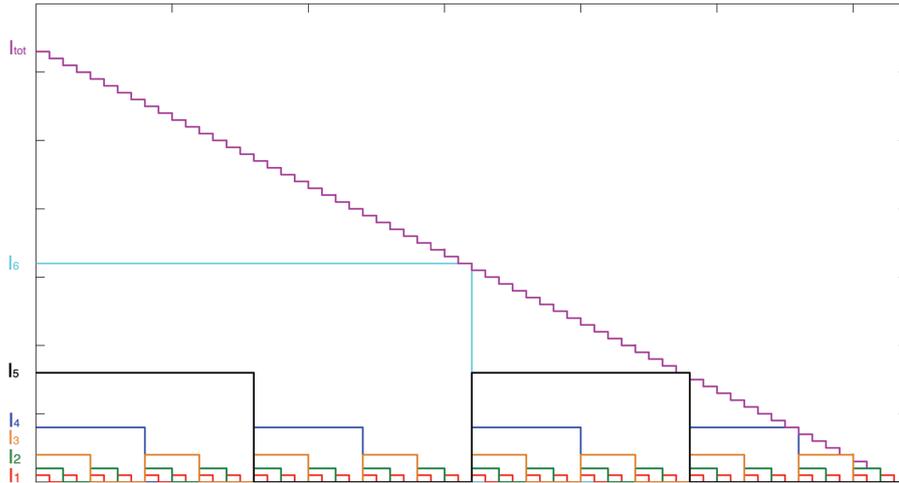


Figura 5.2: Correnti nel convertitore

Si noti che I_{tot} è la corrente che scorre attraverso alla resistenza d'uscita, la caratteristica d'uscita sarà quindi determinata dall'equazione 4.19 dove $I_R = I_{tot}$ e quindi V_{out} avrà un andamento del tutto simile a quello di figura 4.2.

5.3 Calibrazione dei parametri

Costruito il circuito, e stabilito l'ingresso con cui testarlo, il passo successivo è modificare i parametri in modo da rispettare le specifiche.

5.3.1 Saturazione dei MOSFET

Come prima cosa bisogna controllare che i transistor dello specchio di corrente siano sempre in saturazione, così da garantire sempre lo stesso afflusso di corrente² e portare l'uscita al valore corrispondente al bit in ingresso. Siccome il circuito ha 64 possibili stati in cui può funzionare, eseguire un'analisi DC per ogni stato sarebbe un'operazione lunga e facilmente soggetta ad errori, conviene invece tracciare, il grafico di $V_{GS} - V_{Tn}$ e V_{DS} per i transistor dei quali si vuole testare la saturazione, con ingresso dato dai segnali che generano la caratteristica, quindi verificare che la prima curva stia

²trascurando la modulazione di canale

sempre sotto la seconda. Procedendo in questo modo, si trova che l'unico transistor a non essere in saturazione per tutta la durata della caratteristica é M_{b6} , quindi é necessario allargare il canale di M12 per ridurre la caduta di potenziale ai suoi capi. Il valore della larghezza di canale più vicino a quello calcolato che permette al transistor di rimanere in saturazione é $W_{M_{b6}} = 2.4 \mu m$

5.3.2 Dimensione del transistor di compensazione

Nel capitolo precedente l'unico parametro a non essere stato dimensionato secondo regole ben determinate é la larghezza di canale del transistor di compensazione M_C . Il motivo per il quale tale dimensionamento é stato rimandato a questa sezione é dato dal fatto che l'unica sua funzione é quella di contrastare la modulazione della larghezza di canale, della quale non si era tenuto conto, regolando in modo opportuno la tensione V_{GS} che viene applicata a tutti i transistor dello specchio. Per determinare W_{M_C} sono state eseguite alcune simulazioni variando le dimensioni di tale parametro e tracciando l'andamento delle correnti dei vari rami al variare degli ingressi binari. Come si può notare in figura 5.3, dov' é illustrata la corrente $I_{DS_{M12}}$, il valore ottimale per W_{M_C} é $0.4 \mu m$, infatti si ha una corrente che si allontana dal valore desiderato di $320 \mu A$ in modo uguale sia in eccesso che in difetto.

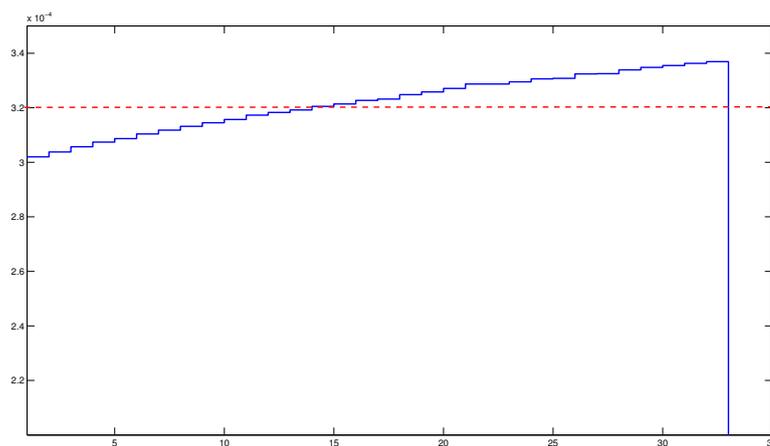


Figura 5.3: Valore di $I_{DS_{M12}}$ con $W_{M_C} = 0.4 \mu m$

5.3.3 Verifica della tensione ai nodi X_i

Tramite la simulazione circuitale si possono controllare i livelli di tensione ai nodi X_i e quindi verificare se le dimensioni dei transistor M_i , con i dispari, sono appropriate. Come nel caso precedente al posto di eseguire un'analisi DC per ogni gradino della caratteristica è più pratico utilizzare un'analisi transient[1] con ingresso dato dai segnali che generano la caratteristica e quindi tracciare la tensione ai nodi desiderati. Il risultato di questa analisi, che è illustrato in figura 5.4, mostra che nei calcoli manuali non si è tenuto conto della saturazione dei transistor dello switch quando la tensione di uscita è abbastanza alta.

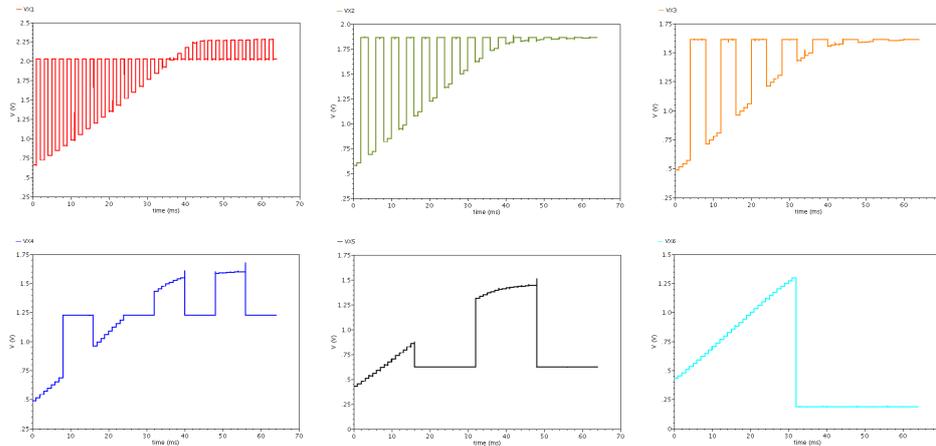


Figura 5.4: Tensione ai nodi X_i prima della regolazione dei parametri

Questo effetto porta ad una variazione della tensione media alla quale si porta il nodo X_i quando è connesso all'uscita e di conseguenza i transistor $M_1, M_3, M_5, M_7, M_9, M_{11}$ vanno dimensionati nuovamente in modo da portare il nodo X_i ad una tensione ottimale quando non è connesso all'uscita. Il dimensionamento che si effettua in questo caso è di tipo grafico, ovvero, a seconda del valore di tensione al nodo, si aumenta o diminuisce la larghezza dei transistor in modo da portare la tensione al suo valore ottimale. Come si è visto nel capitolo precedente, in certi casi bisognerebbe dimensionare i transistor con larghezze sotto quella minima per portare la tensione V_{X_i} al valore desiderato, questo è il caso dei transistor M_1, M_3, M_5, M_7 che vengono quindi dimensionati con W e L minimi. Per quanto riguarda i transistor M_9 e M_{11} invece si trova che i valori ottimali per le loro larghezze sono: $W_{M_9} = 0.6 \mu m$ e $W_{M_{11}} = 1 \mu m$

5.4 Misura della precisione

Controllati e sistemati tutti i parametri del circuito si può passare alla misura delle prestazioni del circuito caratterizzate dalle figure di merito esposte nel secondo capitolo di questa tesina. Per avere un'idea di come funzionino il convertitore, conviene tracciarne la caratteristica di uscita e confrontarla con quella ideale.

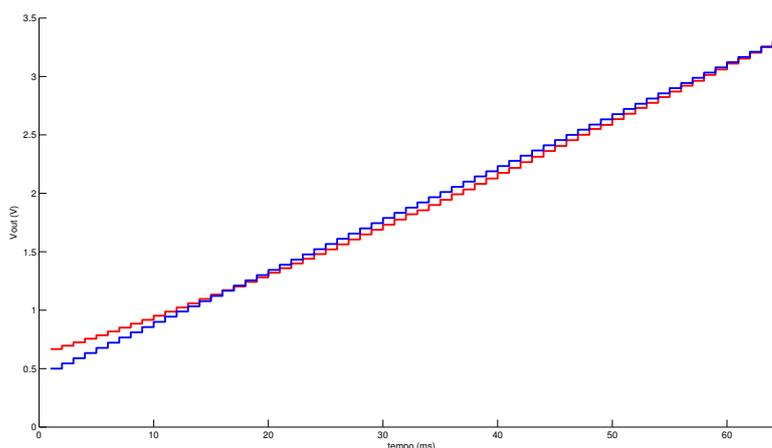


Figura 5.5: Confronto fra la caratteristica ideale e reale del convertitore

Dalla figura 5.5 si nota immediatamente la non linearità della caratteristica (rossa), e quindi la scarsa precisione del convertitore, questo inconveniente è dovuto alla modulazione della lunghezza di canale che è stata trascurata nei calcoli manuali ma che ha un effetto notevole a causa del valore non trascurabile del parametro λ che influenza le sorgenti di corrente dello specchio al variare della tensione V_{DS} di queste, secondo l'equazione:

$$I_D = \frac{K'_n}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{Tn})^2 (1 + V_{DS} \lambda) \quad (5.1)$$

Infatti si può notare come la caratteristica reale stia al di sotto di quella ideale per valori alti dell'uscita indicando una corrente di intensità maggiore rispetto a quella necessaria, mentre stia al di sopra per valori bassi dell'output indicando un'intensità di corrente minore di quella necessaria. Purtroppo l'unico modo in cui risolvere questo inconveniente è modificare il circuito di partenza, come verrà fatto nel prossimo capitolo. Ad ogni modo anche se il circuito utilizzato fino ad ora non può garantire prestazioni elevate, si analizzano le sue principali figure di merito³.

³I valori dell'errore di offset, guadagno e INL fanno riferimento al modello typical mean (modello nominale) dei transistor

5.4.1 Errore di offset

Seguendo la definizione data nel **capitolo 2** e ricordandosi che la caratteristica ideale parte da 0.5 V e non da 0 V, l'errore di offset é facilmente misurabile una volta che si é tracciata la caratteristica del convertitore infatti, la sua misura in LSB vale:

$$E_{off} = \frac{V_{out} - V_L}{V_{LSB}} \Big|_{00\dots0} = \frac{0.667 - 0.5}{0.04} = 3.76 \text{ LSB}. \quad (5.2)$$

5.4.2 Errore di guadagno

Per l'errore di guadagno, é sufficiente conoscere i valori terminali della caratteristica reale che nel nostro caso sono $V'_L = 0.667 \text{ V}$ e $V'_H = 3.3 \text{ V}$, quindi la misura dell'errore il LSB é:

$$\begin{aligned} E_{gain} &= \left(\frac{V_{out}}{V_{LSB}} \Big|_{11\dots1} - \frac{V_{out}}{V_{LSB}} \Big|_{00\dots0} \right) - (2^N - 1) = \\ &= \left(\frac{3.3}{0.04} - \frac{0.667}{0.04} \right) - (2^6 - 1) = -3.76 \text{ LSB} \end{aligned} \quad (5.3)$$

Si può notare che in questo caso, siccome la caratteristica reale e quella ideale hanno l'estremo superiore coincidente, l'errore di offset e quello di guadagno sono uguali in modulo.

5.4.3 Rimozione dell'errore di offset e di guadagno

La misura dell'errore di nonlinearietà differenziale e integrale può essere calcolato estrapolando i dati numerici dal grafico della caratteristica ed elaborandoli tramite MATLAB⁴. Per ottenere i valori dei livelli analogici in uscita da *Cadence*, é sufficiente campionare la caratteristica partendo da 0.5 ms fino a 63.5 ms con passo di 1 ms.

Per la misura delle prossime figure di merito é necessario correggere l'errore di guadagno e di offset. L'errore di offset viene rimosso sottraendo il valore dell'errore stesso ad ogni livello analogico normalizzato a V_{LSB} della caratteristica reale, mentre l'errore di guadagno si elimina sottraendo il valore dell'errore moltiplicato per $\left(\frac{i-1}{2^N-1}\right)$ dove i é il numero del livello analogico considerato, in totale si ha:

$$V'_{out} = \left(\frac{V_{out}}{V_{LSB}} - E_{off} - \left(\frac{i-1}{2^N-1} \right) E_{gain} \right) V_{LSB} \quad (5.4)$$

⁴MATLAB é un ambiente interattivo e un linguaggio di calcolo tecnico di alto livello per lo sviluppo di algoritmi, la rappresentazione grafica dei dati, l'analisi dei dati e il calcolo numerico.

che sostituiti i valori numerici vale:

$$V'_{out} = V_{out} - 0.1674 + \left(\frac{i-1}{63}\right) 0.1674 \quad (5.5)$$

In figura 5.6 é rappresentata la caratteristica prima della rimozione degli errori in rosso e dopo la rimozione in blu.

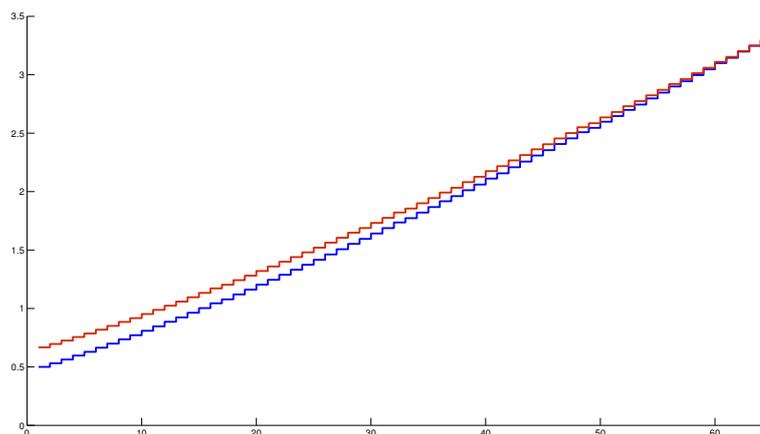


Figura 5.6: Rimozione degli errori di guadagno e offset

5.4.4 INL

Per il calcolo dell'errore di non linearità integrale é sufficiente determinare la differenza pesata su V_{LSB} fra la caratteristica reale alla quale sono stati tolti gli errori di offset e guadagno e il suo miglior fit lineare. Per determinare la retta che approssima nel modo migliore la caratteristica, si utilizza la funzione *Linear fit* di MATLAB, quindi, dopo aver ottenuto i valori della retta nei punti corrispondenti a quelli della caratteristica, si costruisce una funzione che esegue la differenza fra i due valori e li pesa su V_{LSB} in modo da ottenere l'errore in LSB. Nel grafico di figura 5.7 sono tracciati i valori dell'INL per ogni possibile parola di 6 bit, dal quale si può notare che tale errore assume il valore massimo:

$$INL_{max} = 2.62 \text{ LSB} \quad (5.6)$$

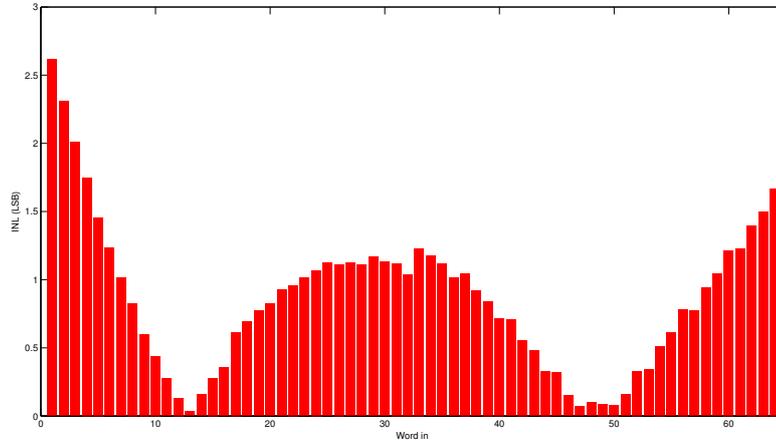


Figura 5.7: Integral NonLinearity error

5.4.5 DNL

L'errore di nonlinearity differenziale necessita di alcune simulazioni Monte Carlo⁵ per tenere conto della variazione del processo di fabbricazione. Si procede effettuando la simulazione con tre input differenti a sei bit, selezionando come output V_{out} . I punti scelti per la simulazione sono:

- 000000 - punto iniziale della caratteristica, con questo ingresso tutte le sorgenti di corrente sono collegate all'uscita.
- 000111 - punto intermedio della caratteristica, metà delle sorgenti sono connesse all'output.
- 111110 - penultimo punto della caratteristica, solo la corrente del bit meno significativo é connessa all'uscita, non é stato scelto l'ultimo punto poiché le variazioni dei parametri dei MOSFET non ne influenzano il comportamento.

La simulazione fornisce dopo un certo numero di iterazioni, 1000 nel nostro caso, il valore medio dell'uscita e la sua deviazione standard. Per il calcolo del DNL viene utilizzata la deviazione standard appena ottenuta che fornisce un indice di quanto possa variare attorno al suo valore medio l'uscita del convertitore con ingresso fissato. Il valore approssimato del DNL in LSB, nei tre casi considerati, é quindi dato dall'equazione:

$$E_{DNL_i} \cong \frac{\sigma_i}{V_{LSB}} \cdot \sqrt{2} \quad (5.7)$$

⁵La simulazione Monte Carlo calcola una serie di variazioni possibili dei parametri dei mosfet, con peso probabilistico appropriato.

Con i da 1 a 3 a seconda dell'ingresso considerato e σ_i deviazione standard dell' i -esimo valore di uscita. La radice di 2 é data invece dal fatto che nella stima del DNL é considerata la variazione da 1LSB di un gradino analogico della caratteristica, quindi nella misura sono coinvolti due livelli che si suppone avere la medesima varianza e distribuzione statistica Gaussiana, di conseguenza, dato che la somma di due variabili aleatorie indipendenti con distribuzione normale ha varianza data dalla somma delle varianze delle due variabili:

$$\sigma_3^2 = \sigma_1^2 + \sigma_2^2 \Rightarrow \sigma_3 = \sqrt{\sigma_1^2 + \sigma_1^2} \quad (5.8)$$

E siccome nel nostro caso, σ_1 e σ_2 sono assunte uguali si ha: $\sigma_1 = \sqrt{2} \cdot \sigma_{1,2}$

Svolgendo i calcoli per tutti e tre i casi si ottiene che:

$$E_{DNL_{max}} = 3.88 \text{ LSB} \quad (5.9)$$

Misurato in 000111. L'errore ottenuto é da considerarsi come una stima pessimistica dell'errore reale, infatti i valori dei livelli della caratteristica non sono statisticamente indipendenti fra loro per come é costruito il convertitore. Purtroppo questo valore é l'unico che si puó ottenere tramite simulazione Monte Carlo poichè tale simulazione non si puó effettuare in due punti di lavoro diversi contemporaneamente.

Capitolo 6

Migliorie al progetto originale

Nel capitolo precedente si é visto che il circuito ideato per il convertitore presenta alcune imperfezioni che ne compromettono il corretto funzionamento, infatti le sorgenti di corrente dello specchio risentono pesantemente del valore all'uscita del convertitore a causa della modulazione di canale e di conseguenza la caratteristica é distorta. In questo capitolo verranno apportate delle migliorie al circuito iniziale in modo da diminuire l'effetto della modulazione di canale sulle sorgenti di corrente.

6.1 Specchio di corrente cascode

La modifica principale al circuito originale, atta a risolvere il problema causato dalla modulazione di canale, é la sostituzione dello specchio di corrente con uno specchio di corrente cascode, costituito dalla parte evidenziata in figura 6.1, questo circuito diminuisce drasticamente la variazione di tensione ai capi dei transistor che fungono da generatori di corrente, riducendo l'effetto della modulazione di canale. Le migliorie apportate si pagano con l'aumento della complessità circuitale dovuto all'aggiunta di 6 ulteriori transistor e di un generatore di tensione costante, inoltre le specifiche richieste per il convertitore devono essere leggermente modificate poichè la tensione inferiore della caratteristica V_L non é piu sufficiente a mantenere in saturazione la sorgente di corrente che ora é costituita dalla serie di due transistor. Il nuovo valore che viene assegnato a V_L é quindi 0.7 volt. Come si vedrà questi cambiamenti, giustificano il lieve disataccamento dalle specifiche poichè portano ad un drastico miglioramento sotto il punto di vista delle figure di merito del convertitore.

6.2.2 Dimensione della resistenza

A causa del cambiamento delle specifiche, anche il valore della resistenza va modificato, infatti dopo i cambiamenti apportati, V_L vale 0.7 V al posto di 0.5 V, quindi secondo l'equazione 4.19 il nuovo valore della resistenza é:

$$R = 4127 \Omega$$

6.2.3 Dimensione del generatore di tensione

Per stabilire la tensione V_D da applicare al gate del transistor M_{C1} , si effettua un'analisi DC-sweep tracciando i valori delle tensioni di overdrive e drain-source di entrambe i transistor M_{C1} e M_{C2} al variare di V_D . Il risultato di tale analisi é illustrato in figura 6.2.

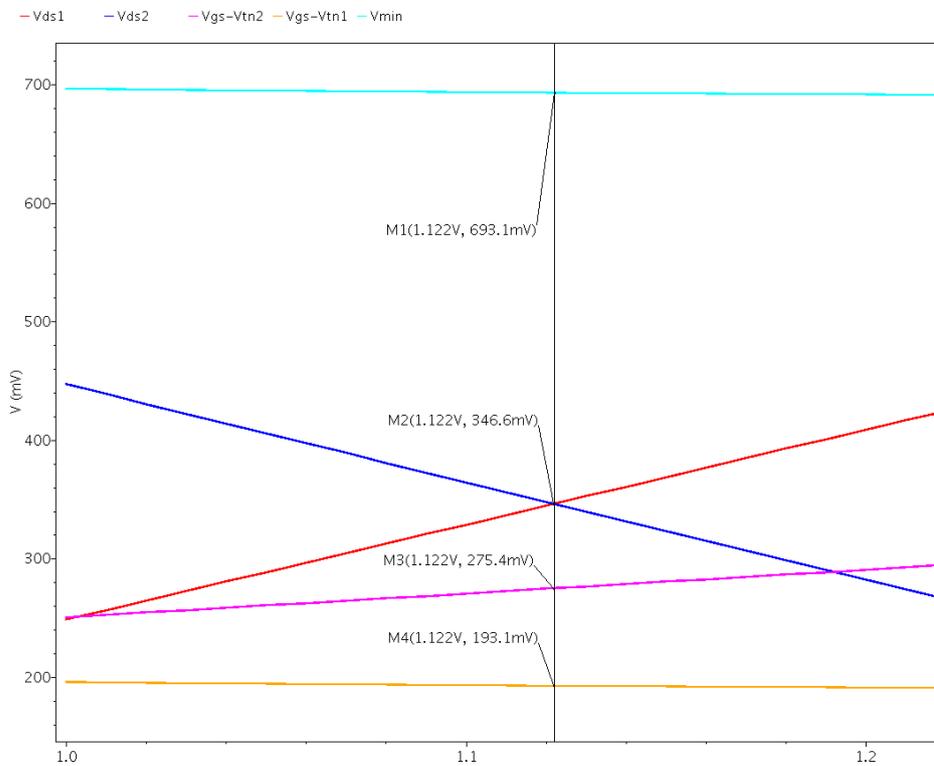


Figura 6.2: Variazione di V_D

Si nota come la somma delle due tensioni drain-source, rappresentata da V_{min} in figura, stia al di sotto della tensione minima V_L come desiderato. Il valore di tensione scelto per V_D é quello che permette di avere una differenza massima fra la tensione drain-source e quella di overdrive di entrambe i transistor, ovvero:

$$V_D = 1.122 V$$

6.3 Misura della precisione

Il passo finale per la verifica delle prestazioni del circuito migliorato é la stima delle sue figure di merito. Per prima cosa si traccia la caratteristica ottenuta con i modelli *typical mean* dei transistor, e si ottengono i valori dei vari livelli.

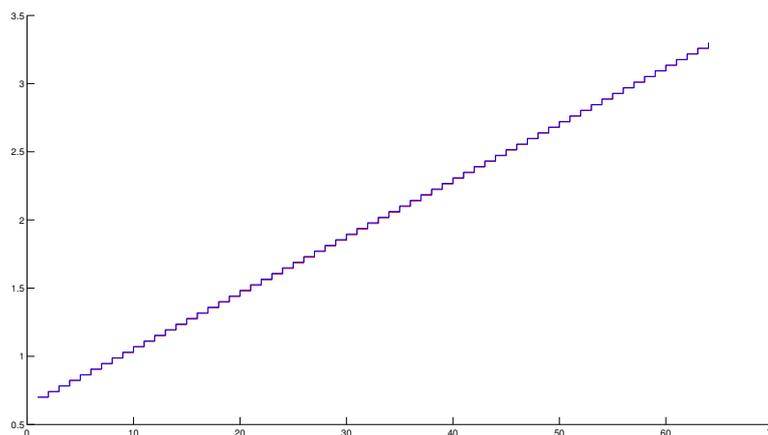


Figura 6.3: Confronto fra la caratteristica ideale e reale del convertitore modificato

Come si nota dalla figura 6.3 i miglioramenti apportati al circuito hanno portato alle conseguenze sperate, infatti la caratteristica ideale e quella reale sono ora più simili. Un'altra osservazione che va fatta prima di calcolare le figure di merito é che, cambiando il valore di V_L é cambiato anche il valore in tensione del bit meno significativo che ora vale:

$$V_{LSB} = \frac{V_H - V_L}{2^N - 1} = \frac{3.3 - 0.7}{63} = 0.04127 \text{ V} \quad (6.1)$$

6.3.1 Errore di offset

L'errore di offset si determina come nel capitolo precedente, ricordandosi che in questo caso $V_L = 0.7 \text{ V}$.

$$E_{off} = \left. \frac{V_{out} - V_L}{V_{LSB}} \right|_{00\dots0} = 0 \text{ LSB}. \quad (6.2)$$

6.3.2 Errore di guadagno

Come si nota dal valore dell'errore di offset, l'estremo inferiore della caratteristica reale e quello della ideale coincidono, inoltre anche l'estremo superiore coincide perfettamente per come é costruito il circuito, quindi l'errore di guadagno é nullo.

6.3.3 Rimozione dell'errore di offset e di guadagno

Siccome entrambe gli errori di precisione precedenti sono nulli non c'è bisogno di rimuoverli prima di passare al calcolo degli errori di non linearità.

6.3.4 INL

Il calcolo dell'errore di non linearità integrale si svolge esattamente come nel capitolo precedente. La retta presa come riferimento é direttamente il fit lineare della caratteristica reale e come si può vedere dalla figura 6.4 l'INL massimo é dato da:

$$INL_{max} = 0.105 \text{ LSB}$$

Un valore decisamente migliore rispetto a quello precedente.

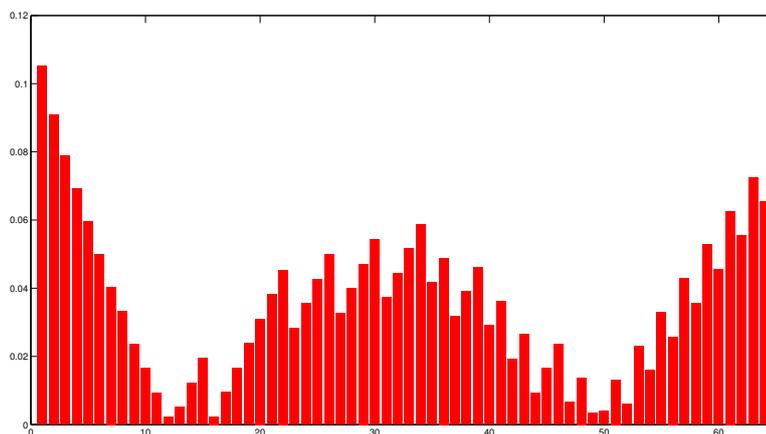


Figura 6.4: Integral NonLinearity error

6.3.5 DNL

L'errore di nonlinearità differenziale, viene calcolato negli stessi punti del capitolo precedente e in questo caso da come risultato massimo:

$$E_{DNL_{max}} = 6.09 \text{ LSB} \quad (6.3)$$

Misurato in 000000. Questo valore é decisamente alto, infatti sta a significare che il gradino analogico in uscita potrebbe essere fino a sette volte più grande di quello desiderato. Oltre alla sovrastima di cui si é già parlato nel capitolo precedente ci sono altri tre fattori che influenzano negativamente questo errore:

- Il valore più piccolo di V_{LSB} , che quindi richiede una precisione maggiore
- L'aggiunta di ulteriori 6 transistor allo schema circuitale che aumentano la probabilità di mismatch
- La dimensione dei transistor, troppo vicina a quella minima e quindi facilmente suscettibile ad errori di fabbricazione.

L'unico punto sul quale si può lavorare per cercare di migliorare le prestazioni del convertitore é l'ultimo, ovvero quello riguardante le dimensioni troppo esigue dei MOSFET.

In questa tesina, tuttavia, il circuito non verrà ulteriormente modificato.

Capitolo 7

Conclusioni

Dal lavoro svolto si possono trarre alcune conclusioni riguardo alla modalità di progettazione di un circuito elettronico. Risulta evidente come i calcoli eseguiti manualmente siano insufficienti da soli per l'implementazione del circuito, infatti possono essere considerati come un punto di partenza e necessitano comunque l'uso di un calcolatore per valutare nel modo più esatto possibile i parametri del circuito. Tuttavia, se si vuole terminare la progettazione di un circuito in tempo ragionevole, senza procedere per tentativi, è necessario conoscere in modo adeguato il comportamento dei modelli semplificati al variare dei parametri e quindi sapere in che direzione muoversi quando si presenta un problema. Il circuito analizzato in questa tesina è passato attraverso tutti gli step iniziali per la sua implementazione, fermandosi prima della realizzazione del layout per la fabbricazione della maschere utilizzate nel processo litografico di produzione. Partendo dai calcoli manuali si è visto come alcuni parametri non permettevano una realizzazione ottimale del circuito, quindi si è proceduto alla modifica di tali parametri che tuttavia non sono state sufficienti a permettere la realizzazione di un circuito con buone prestazioni. Per ottenere il convertitore finale si è dovuto modificare in parte il circuito e quindi effettuare nuovamente i calcoli manuali e la simulazione. In conclusione è evidente come il processo di progettazione di un circuito sia una continua sistemazione dei parametri e modifica del circuito in modo da avvicinarsi il più possibile alle specifiche desiderate.

Elenco delle figure

2.1	DAC in corrente	11
2.2	Curva di trasferimento DAC	12
3.1	Specchio di corrente	16
3.2	Switch di corrente	17
3.3	InvertitoreCMOS	18
4.1	Circuito completo	20
4.2	Caratteristica DAC	21
5.1	Ingressi per ottenere la caratteristica	30
5.2	Correnti nel convertitore	31
5.3	Valore di $I_{DS_{M12}}$ con $W_{MC} = 0.4 \mu m$	32
5.4	Tensione ai nodi X_i prima della regolazione dei parametri	33
5.5	Confronto fra la caratteristica ideale e reale del convertitore	34
5.6	Rimozione degli errori di guadagno e offset	36
5.7	Integral NonLinearity error	37
6.1	DAC modificato	40
6.2	Variazione di V_D	41
6.3	Confronto fra la caratteristica ideale e reale del convertitore modificato	42
6.4	Integral NonLinearity error	43

Bibliografia

- [1] Andrea Neviani, Introduzione all'uso di Cadence DFII per la progettazione analogica, disponibile online: http://www.dei.unipd.it/ricerca/microelettronica/did/labcad/opus/cadence_tut.html;
- [2] Richard C. Jaeger, Travis N. Blalock, *Microelettronica*, Mc-Graw-Hill, terza edizione, 2009. ISBN: 978-88-386-6504-2
- [3] Jan M. Rabaey, Anantha P. Chandrakasan, Bora Nicoli?, *Circuiti integrati digitali: l'ottica del progettista*, Pearson, seconda edizione, 2005, ISBN: 88-7192-231-X
- [4] David Johns, Kenneth W. Martin, *Analog integrated circuit design*, John Wiley & Sons, 1997, SBN: 978-0-471-14448-9