

**UNIVERSITÀ DEGLI STUDI DI PADOVA**



**FACOLTÀ DI INGEGNERIA  
DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE**

**Affidabilità e studio degli effetti parassiti su  
GaN HEMT con barriera e buffer ottimizzati**

Relatore: Prof. Gaudenzio Meneghesso

Correlatore: Ing. Antonio Stocco

Laureando: Federico Crivellaro  
Matricola: 601498-IL

Anno Accademico 2010/2011







# Indice

<b>INTRODUZIONE.....</b>	<b>VII</b>
<b>SOMMARIO.....</b>	<b>IX</b>
<b>NITRURO DI GALLIO.....</b>	<b>1</b>
1.1 STRUTTURA CRISTALLINA.....	1
1.2 PROPRIETÀ ELETTRICHE.....	2
1.3 JOHNSON'S FIGURE OF MERIT.....	5
1.4 DIAGRAMMA A BANDE.....	5
1.5 SUBSTRATI.....	6
1.5.1 Zaffiro.....	7
1.5.2 Carburo di Silicio.....	7
1.5.3 Silicio.....	8
1.6 METODI DI CRESCITA.....	8
1.6.1 Metal Organic Chemical Vapour Deposition (MOCVD).....	8
1.6.2 Molecular Beam Epitaxy (MBE).....	10
1.7 CONTATTI OHMICI.....	11
<b>HEMT.....</b>	<b>13</b>
2.1 STRUTTURA E FUNZIONAMENTO DEGLI HEMT.....	13
2.2 HEMT SU ETEROSTRUTTURA ALGAN/GAN.....	15
2.3 FENOMENI DI INTRAPPOLAMENTO DI CARICA.....	18
2.4 MECCANISMI DI GUASTO.....	22
<b>WAFERS.....</b>	<b>25</b>
3.1 STRUTTURA E CARATTERISTICHE DEI DISPOSITIVI STUDIATI.....	30
<b>SISTEMI DI MISURA.....</b>	<b>33</b>
4.1 CARATTERIZZAZIONE DC.....	33
4.2 MISURE DI DOUBLE PULSE.....	34
4.3 MISURE DI GATE-LAG.....	37
4.3.1 Gate-lag in temperatura.....	38
4.4 MISURE DI RESISTENZA DI CONTATTO.....	39
4.5 MISURE C-V.....	42
4.6 MISURE DI EMISSIONE.....	43
<b>CARATTERIZZAZIONE STATICA.....</b>	<b>45</b>
5.1 SLX CA-02.....	47
5.2 SLX CA-04.....	51
5.3 SLX IA-01.....	55
5.4 SLX NC-03.....	59
5.5 CONFRONTO DELLE CARATTERISTICHE STATICHE.....	62
<b>MISURE DINAMICHE.....</b>	<b>67</b>
6.1 MISURE DI DOUBLE PULSE.....	67
6.1.1 SLX CA-02.....	69
6.1.2 SLX CA-04.....	72
6.1.3 SLX IA-01.....	75
6.1.4 SLX NC-03.....	78
6.1.5 Confronto.....	81
6.2 MISURE DI GATE-LAG.....	83

<b>MISURE DI RESISTENZA DI CONTATTO .....</b>	<b>85</b>
7.1 SLX CA-04.....	87
7.2 SLX IA-01 .....	90
<b>MISURE C-V .....</b>	<b>95</b>
8.1 SLX IA-01 .....	98
8.2 SLX NC-03.....	110
<b>AFFIDABILITÀ .....</b>	<b>123</b>
9.1 SLX CA-02.....	126
9.2 SLX CA-04.....	132
9.3 SLX IA-01 .....	138
9.4 SLX NC-03.....	146
9.5 CONFRONTO .....	152
<b>CONCLUSIONI.....</b>	<b>155</b>
<b>ELENCO DELLE FIGURE .....</b>	<b>159</b>
<b>ELENCO DELLE TABELLE .....</b>	<b>163</b>
<b>BIBLIOGRAFIA .....</b>	<b>165</b>

# Introduzione

Negli ultimi dieci anni il Nitruro di Gallio (GaN) è stato oggetto di un notevole interesse nei campi dell'optoelettronica e dell'elettronica di potenza. Infatti le sempre maggiori richieste in termini di prestazioni ha spinto la ricerca a focalizzarsi sullo studio di materiali che garantiscono grande versatilità d'impiego e allo stesso tempo prestazioni più elevate di quelle che il silicio e l'arseniuro di gallio potevano offrire, in quanto questi materiali hanno ormai raggiunto i loro limiti di prestazioni in termini di efficienza e stabilità alle alte frequenze. Il GaN è un semiconduttore composto con ottime proprietà fisiche: largo band gap, alti campi di breakdown, frequenze e temperature di lavoro molto elevate. Questo materiale è alla base delle eterostrutture AlGaN/GaN, utilizzate nella realizzazione di transistor ad elevata mobilità (HEMT, High Electron Mobility Transistor). Lo sviluppo della tecnologia HEMT su GaN sta portando ad una nuova generazione di dispositivi per le applicazioni RF e nel campo delle microonde. Le principali caratteristiche di questi dispositivi sono l'alta mobilità dei portatori, in quanto il canale conduttivo viene a formarsi su un semiconduttore intrinseco (non drogato) e quindi non si verifica un abbassamento della mobilità dovuta alla presenza di drogante, alte tensioni operative ed elevate frequenze di lavoro. Tuttavia questa tecnologia non ha ancora raggiunto un livello di maturità elevato e sono ancora diverse le limitazioni alle prestazioni ottenibili, riconducibili sia alle proprietà intrinseche del materiale cresciuto, sia al processo di fabbricazione.

I wafer analizzati durante il periodo di tesi fanno parte del progetto "MANGA". Si tratta di un progetto europeo finanziato da *European Defence Agency* (EDA) che ha lo scopo di sviluppare e realizzare dispositivi su GaN pronti per essere immessi nel mercato. Al progetto collaborano alcune aziende leader in Europa e molti istituti di ricerca nel campo della tecnologia GaN per applicazioni elettroniche. Tutti i partner coinvolti nel progetto (figura 1) coprono l'intera catena di fornitura di dispositivi elettronici su GaN, a partire dalla produzione del substrato in carburo di silicio fino a quella di transistor HEMT. I substrati in carburo di silicio vengono prodotti dalle ditte *SiCrystal* e *Norstel*, mentre la crescita epitassiale dei dispositivi è affidata all'organizzazione di ricerca *Alcatel Thales III-V LAB*, all'istituto di ricerca IAF (Fraunhofer Institute for Applied Solid State Physics) e all'università di *Linköping* in Svezia.

I wafer vengono processati da *UMS, SELEX, III-VLAB, IAF e Chalmers University*. Il ruolo degli istituti di ricerca (Xlim) e delle università (Padova, Modena, Bristol) è quello di fornire un supporto nella caratterizzazione delle strutture epitassiali e di giudicare le prestazioni dei dispositivi.

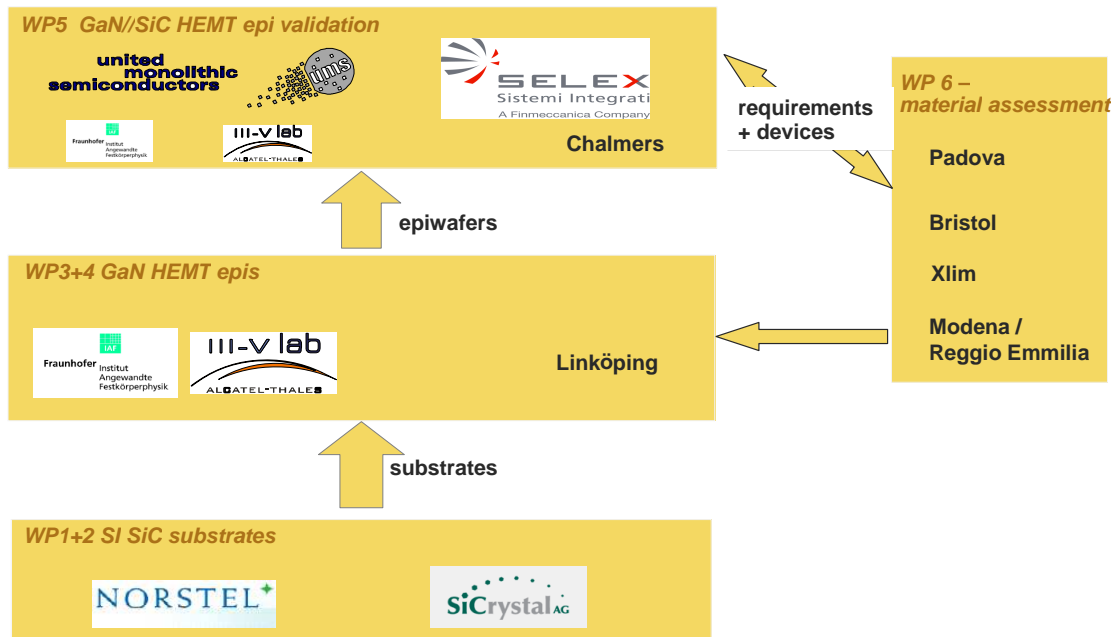


Figura 1: Struttura del progetto MANGA

Nella prima fase di progetto, l'obiettivo dell'attività dell'università di Padova è quello di studiare il fenomeno dell'intrappolamento e in particolare individuare i livelli profondi responsabili degli effetti parassiti sulle caratteristiche statiche e dinamiche di HEMT basati sull'eterostruttura AlGa<sub>N</sub>/Ga<sub>N</sub> con caratteristiche diverse (strato barriera, percentuale di alluminio, spessore del buffer, concentrazione di ferro nel buffer, .....). Per raggiungere questi obiettivi sono state eseguite diverse analisi sui dispositivi, molte delle quali sono descritte in questo lavoro. In particolare in questa tesi saranno presentate delle misure su dispositivi di quattro wafer diversi, caratterizzati da diverso drogaggio nel buffer e da diversa barriera. I dati riportati hanno quindi lo scopo di capire il comportamento di dispositivi con eterostrutture lievemente diverse in varie condizioni di lavoro, in maniera da poter verificare quali siano i fattori che maggiormente compromettono le caratteristiche statiche, dinamiche e l'affidabilità di questi dispositivi.



# Sommario

**Capitolo 1:** presentazione delle principali caratteristiche del Nitruro di Gallio, dei metodi di crescita e dei substrati.

**Capitolo 2:** descrizione del funzionamento del transistor HEMT con approfondimenti riguardanti l'eterostruttura AlGaN/GaN e gli effetti che ne limitano le prestazioni.

**Capitolo 3:** descrizione dei wafer e dei dispositivi utilizzati durante il periodo di tesi.

**Capitolo 4:** descrizione delle tipologie di misure effettuate (DC, dinamiche, gate-lag, misure di resistenza di contatto, misure C-V, step-stress), delle caratteristiche degli strumenti e delle attrezzature utilizzate.

**Capitolo 5:** analisi dei risultati ottenuti nelle misure di caratterizzazione DC.

**Capitolo 6:** analisi dei risultati ottenuti nelle misure dinamiche e di gate-lag.

**Capitolo 7:** analisi dei risultati ottenuti nelle misure di resistenza di contatto.

**Capitolo 8:** analisi dei risultati ottenuti nelle misure di capacità in funzione della tensione.

**Capitolo 9:** analisi degli stress eseguiti sui dispositivi e valutazione dell'affidabilità confrontando i vari wafer.



# Capitolo 1

## Nitruro di Gallio

### 1.1 Struttura cristallina

Il nitruro di gallio (GaN) è un composto binario la cui molecola è formata da un atomo del terzo gruppo (Gallio) e da un atomo del quinto gruppo (Azoto) della tavola periodica. Il reticolo cristallino del nitruro di gallio si presenta in due strutture differenti: la wurtzite e la zincoblenda. La cella nella forma wurtzite (Figura 1.1(a)) ha struttura a simmetria esagonale, dove ogni atomo di azoto è legato a quattro atomi di gallio disposti secondo i vertici di un tetraedro. La struttura può essere pensata come la compenetrazione di due reticoli esagonali ai vertici dei quali ci sono atomi dello stesso elemento (azoto o gallio). La wurtzite ha costanti reticolari  $a=b \neq c$ ,  $\alpha=\beta=90^\circ$ ,  $\gamma=120^\circ$ .

La cella nella forma zincoblenda (Figura 1.1(b)) ha struttura cubica a facce centrate ed ha costanti reticolari  $a=b=c$ ,  $\alpha=\beta=\gamma=90^\circ$ . Questa struttura solitamente è rara e poco stabile in natura e non viene utilizzata per creare dispositivi in nitruro di gallio. Infatti il GaN tende a cristallizzare prevalentemente in forma wurtzite.

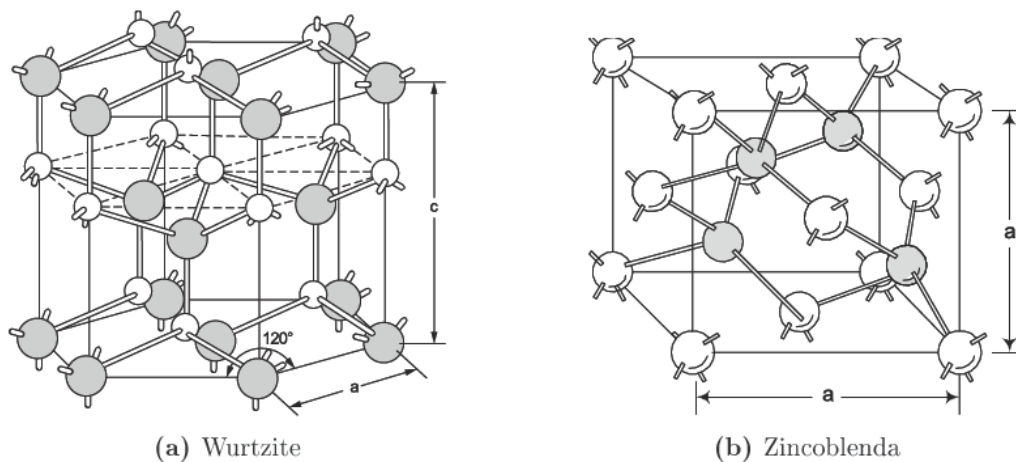


Figura 1.1: Struttura reticolare

Le proprietà elettriche di un semiconduttore sono fortemente legate alle costanti reticolari del cristallo: più il reticolo cristallino è compatto più grande sarà l'energy gap del materiale. Questo è in accordo con il legame tra temperatura e bandgap, infatti ad alte temperature il reticolo cristallino si allarga e l'energy gap si riduce. La figura 1.2 fa vedere come sono legate le costanti reticolari di alcuni semiconduttori e il loro valore di energy gap. Come si vedrà in seguito, alti valori di energy gap stanno portando ad un grosso vantaggio tecnologico sia di riduzione delle dimensioni dei dispositivi sia di capacità di tenuta ad alte potenze.

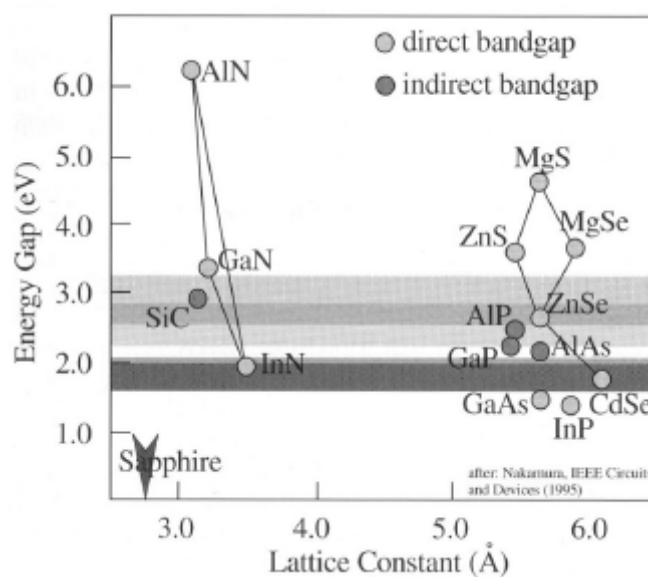


Figura 1.2: Legame tra energy gap e costante reticolare

## 1.2 Proprietà elettriche

Il Nitruro di Gallio presenta numerosi vantaggi rispetto ad altri semiconduttori composti, come elevata mobilità elettronica, elevate frequenze e temperature di lavoro e un alto campo di breakdown (circa  $3 \times 10^6$  V/cm, rispetto ai  $0.4 \times 10^6$  V/cm del GaAs).

Nella tabella 1.1 sono riportate alcune caratteristiche elettriche dei principali semiconduttori.

Grandezza fisica	Si	GaAs	InP	SiC	GaN
Band gap [eV]	1.1	1.42	1.35	3.26	3.49
Campo di breakdown [MV/cm]	0.3	0.4	0.5	3	3
Velocità di picco [ $\times 10^7$ cm/s]	1	2.1	2.3	2	2.1
Velocità di saturazione [ $\times 10^7$ cm/s]	1	1.3	1	2	1.3
Mobilità elettronica (a 300K) [ $cm^2/Vs$ ]	1500	8500	5400	700	1000–2000
Conduttività termica [W/cm K]	1.5	0.5	0.7	4.5	>1.5
Costante dielettrica relativa [ $\epsilon_r$ ]	11.8	12.8	12.5	10.0	9.0

Tabella 1.1: Proprietà elettriche di alcuni semiconduttori

Una proprietà molto importante del GaN, fondamentale per il funzionamento dei dispositivi ad alta mobilità dei portatori, è la polarizzazione spontanea, che conferisce al materiale un comportamento a dipolo dovuto alle differenze di elettronegatività tra i due elementi che lo costituiscono. Si creano così dei legami covalenti con più o meno forte accento polare e questo dà origine ad una distribuzione di carica non omogenea. Ne consegue che il solido semiconduttore è caratterizzato da un vettore di polarizzazione opportunamente orientato che, come si vedrà nel capitolo successivo, è uno dei contributi per la formazione del canale conduttivo. L'altro contributo è la componente di polarizzazione piezoelettrica, che si manifesta quando il GaN viene messo a contatto con un materiale con costante reticolare diversa.

Come detto in precedenza il GaN presenta un elevato energy gap. Questo risulta essere un grande vantaggio perché l'energia che il campo elettrico deve fornire ad un portatore di carica per innescare la ionizzazione da impatto è proporzionale a  $E_g$ ; quindi alti valori di  $E_g$  sono accompagnati da alti valori di campi critici di breakdown con la conseguente possibilità di aumentare le tensioni a parità di dimensioni dei dispositivi. Un basso  $E_g$  non comporta solo problemi di dimensionamento dei dispositivi. Infatti in applicazioni di potenza il semiconduttore deve essere in grado di lavorare correttamente a temperature elevate. Avere un basso energy gap comporta anche un aumento elevato della concentrazione intrinseca al crescere della temperatura (più piccolo è l' $E_g$  maggiore è la probabilità che avvenga una generazione termica di portatori).

Il GaN inoltre possiede una elevata mobilità elettronica intrinseca e quindi una elevata velocità di saturazione dei portatori. La mobilità elettronica intrinseca nel nitruro di gallio si attesta attorno ai  $1000 \text{ cm}^2/\text{Vs}$  mentre la velocità di saturazione e quella di picco degli elettroni sono rispettivamente  $1.3 \cdot 10^7 \text{ cm/s}$  e  $2.1 \cdot 10^7 \text{ cm/s}$ .

Inoltre come si vede nella figura 1.3 la mobilità dei semiconduttori, e in particolare del nitruro di gallio, presenta un andamento dapprima crescente con la temperatura, poi decrescente.

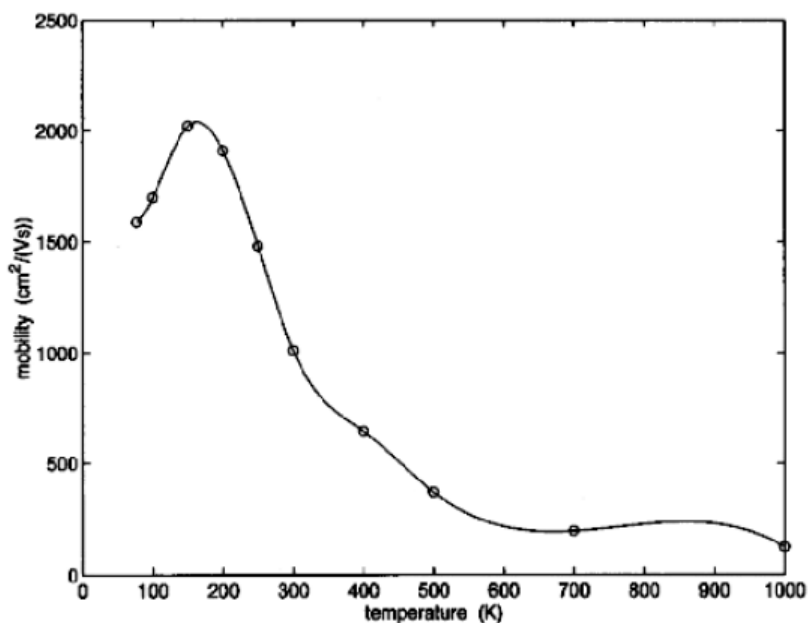


Figura 1.3: Legame tra mobilità elettronica e temperatura

Tale dipendenza è il risultato dell'azione simultanea di due diversi meccanismi di scattering: lo scattering da impurezze ionizzate, che tende ad essere maggiore a basse temperature e diminuire per temperature più elevate, e lo scattering dovuto all'interazione elettrone-fonone acustico che diviene sempre più frequente a mano a mano che la temperatura cresce.

### 1.3 Johnson's figure of merit

Il nitruro di gallio risulta adatto alle applicazioni di potenza. Una figura che dimostra la precedente affermazione è la Johnson's figure of merit (JM). Quest'ultima è funzione delle sole proprietà fisiche del materiale e si ricava a partire da una figura di merito  $F$  che lega la densità di potenza di uscita fornita al carico ( $P_{out}$ ) e la frequenza di cut-off del dispositivo ( $f_t$ ):

$$F = \max(P_{out}, f_t) \quad (1.1)$$

Questo fattore può essere espresso in funzione del campo critico di breakdown del semiconduttore  $E_{bk}$  e della velocità di saturazione dei portatori di carica  $v_{sat}$  e prende appunto il nome di *figura di merito di Johnson (JM)*:

$$JM = \frac{v_{sat} * E_{bk}}{2\pi} \quad (1.2)$$

Più è alto il valore  $JM$  più un materiale è adatto alla realizzazione di dispositivi ad alte potenze e alte frequenze.

Nella Tabella 1.2 sono riportati i valori di  $JM$  per alcuni semiconduttori. Si vede come il GaN presenti un valore più elevato rispetto a tutti gli altri.

Proprietà (300°K)	Sigla	Si	GaAs	SiC	GaN
Johnson's Figure of Merit	JM	1	2.7	20	27.5

Tabella 1.2: JM di alcuni semiconduttori

### 1.4 Diagramma a bande

Il nitruro di gallio è un semiconduttore ad energy gap diretto sia nella forma di wurtzite sia di zincoblenda. Infatti il diagramma a bande (Figura 1.4) presenta un minimo di energia della banda di conduzione e un massimo della banda di valenza in corrispondenza dello stesso valore di quantità di moto  $k$ .

Quindi una transizione tra banda di conduzione e di valenza comporta uno scambio di energia e l'emissione di un fotone, e non di quantità di moto come avviene nei semiconduttori a bandgap indiretto. La transizione fondamentale è comunque quella tra il minimo della banda di conduzione e il massimo della banda di valenza (valle  $\Gamma$ ).

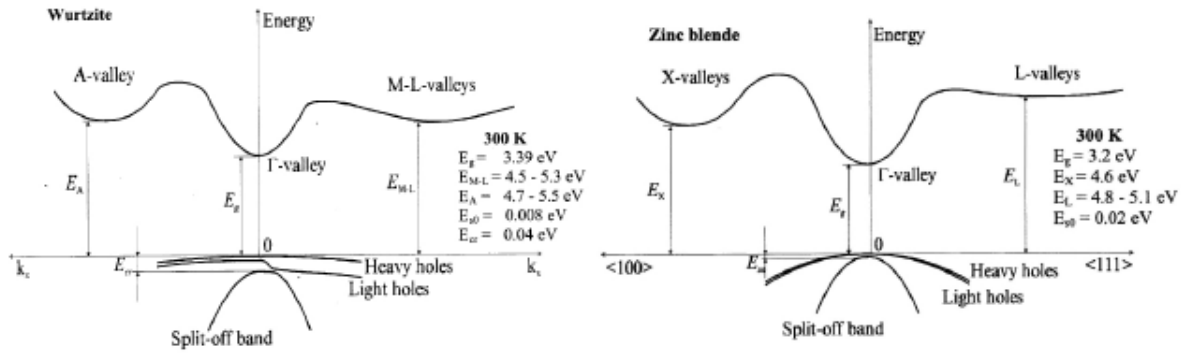


Figura 1.4: Diagramma a bande del GaN

## 1.5 Substrati

Il nitruro di gallio ha bisogno di un substrato per la crescita. I dispositivi in GaN sono generalmente prodotti con un film sottile di GaN depositato su un substrato di materiale diverso, sia per un problema di costo che per problemi di produzione. La qualità del GaN dipende quindi dalle proprietà del substrato, e per costruire un cristallo il più possibile libero da dislocazioni e difetti, i due materiali devono avere costanti reticolari e coefficienti di dilatazione termica il più possibile vicini. Due materiali che meglio di altri si adattano alla crescita di film eteroepitassiali con il GaN sono lo zaffiro e il carburo di silicio.

Proprietà	$Al_2O_3$	6H-SiC	Si
Simmetria	esagonale	esagonale	cubica
costante $a_0$ (Å)	4.765	3.08	5.431
costante $c_0$ (Å)	12.982	15.117	-
Conducibilità termica (W/cmK)	0.25	3.8	1.56
Mismatch reticolare col GaN (%)	15	3.1	17

Tabella 1.3: Proprietà dei materiali usati come substrato



### 1.5.1 Zaffiro

Lo zaffiro è stato il primo materiale ad essere utilizzato per la crescita epitassiale del GaN, in quanto ha una struttura cristallina a simmetria esagonale molto simile a quella del GaN (Figura 1.5).

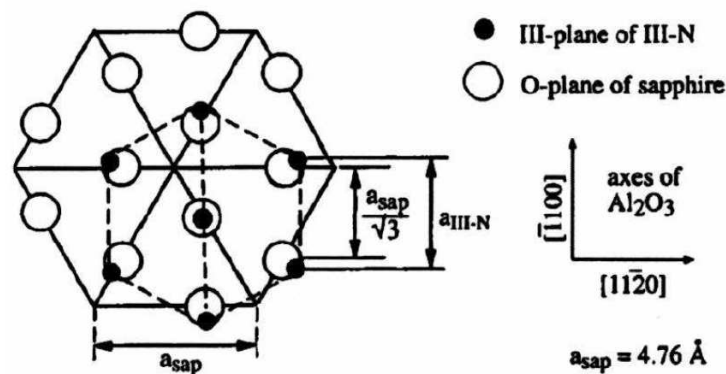


Figura 1.5: Confronto tra celle elementari di zaffiro e GaN

Il suo elevato mismatch reticolare con il GaN (16%) provoca un'alta densità di dislocazioni ( $10^{10} \text{ cm}^{-2}$ ) nel film di GaN che provocano la riduzione della mobilità dei portatori, la riduzione del tempo di vita dei portatori e una riduzione della conducibilità termica. Tutto questo degrada le prestazioni del dispositivo. Per ridurre questo problema si fa crescere uno o più strati (nucleation layer o buffer) di alluminio o di AlGaIn sopra il substrato. Si è visto che la deposizione di strati "buffer" sul substrato di zaffiro riduce di due ordini di grandezza la concentrazione di elettroni liberi nel GaN, ma allo stesso tempo ne aumenta di un fattore 10 la mobilità. Un grande vantaggio dello zaffiro è la sua trasparenza alla luce visibile, mentre un grande svantaggio è che si comporta da isolante elettrico, per cui tutti i contatti elettrici devono essere fatti sul lato superiore del dispositivo.

### 1.5.2 Carburo di Silicio

Il carburo di silicio ha un mismatch reticolare con il GaN relativamente piccolo, circa il 3.1%, e un mismatch termico anch'esso minore rispetto allo zaffiro. Di conseguenza, sul SiC si cresce del GaN di buona qualità con una densità di difetti all'interfaccia film/substrato molto bassa rispetto allo zaffiro. Inoltre, è un materiale che può essere reso conduttivo, per cui si possono mettere i contatti anche sotto il substrato semplificando la struttura del dispositivo nel caso di strutture verticali.

L'elevata conducibilità termica del SiC permette tra l'altro l'utilizzo di questo tipo di substrato per applicazioni di potenza, dove si renda necessario disperdere elevate quantità di calore. Lo svantaggio principale del Carburo di Silicio è l'alto costo di produzione.

### 1.5.3 Silicio

L'elevato costo di produzione del Carburo di Silicio può essere limitato usando un substrato (111) di Silicio con uno strato buffer di AlN. I wafer di silicio hanno un prezzo molto ridotto e sono disponibili in grande quantità a causa del loro sviluppo maturo e della larga produzione di scala. Il silicio è termicamente stabile anche alle temperature impiegate per la crescita del GaN. La perfezione del cristallo di silicio è migliore a quella di qualsiasi altro substrato usato per la costruzione di dispositivi su GaN, ma la qualità degli strati epitassiali di GaN su silicio è inferiore rispetto a quella su zaffiro o carburo di silicio, a causa della grande costante reticolare, alla differenza nei due coefficienti di espansione termica e della tendenza del silicio a formare uno strato di nitruro di silicio amorfo quando viene esposto a reazioni con nitruri.

## 1.6 Metodi di crescita

I metodi più diffusi per la deposizione epitassiale di semiconduttori composti III-V sono l'MOCVD (Metal Organic Chemical Vapor Depositin) e l'MBE (Molecular Beam Epitaxy).

### 1.6.1 Metal Organic Chemical Vapour Deposition (MOCVD)

Questa tecnica è una variante della deposizione chimica da fase vapore in cui vengono usati composti metallo-organici. La MOCVD (Figura 1.6 (a)) si fonda sulla reazione in fase di vapore tra alcali del terzo gruppo e idruri del quinto gruppo in zone ad alta temperatura a pressione atmosferica. I prodotti della reazione si depositano sul substrato facendo crescere il film gradualmente, permettendo di mantenere le caratteristiche reticolari delle zone sottostanti.

La composizione chimica e la velocità di crescita vengono controllate in modo preciso regolando la velocità e la concentrazione dei vari componenti del flusso di gas. I precursori adoperati sono composti metallorganici dei metalli impiegati, Trimetilgallio (TMGa), Trimetilalluminio (TMAI) e ammoniaca ( $\text{NH}_3$ ); questi devono essere il più possibile puri per garantire il minor numero di impurità nel solido creato. Vengono immagazzinati in contenitori attraverso i quali viene fatto scorrere il carrier gas (tipicamente idrogeno) riscaldati a una temperatura tale da creare dei vapori. Il carrier gas trasporta questi vapori fino al substrato riscaldato dove avviene la reazione. Il substrato è posto su un supporto di grafite rotante e riscaldato.

Uno sviluppo della tecnica MOCVD è la Two-Flow-MOCVD (Figura 1.6 (b)) che porta alla realizzazione di film GaN di qualità superiore. Con questa tecnica il flusso contenente i precursori scorre a grande velocità parallelo al substrato e un secondo flusso trasporta un gas inerte per la reazione di crescita del nitruro di gallio, in direzione perpendicolare al substrato, con l'intento di cambiare la direzione del flusso principale, portando così i gas di reazione a contatto con il substrato in modo uniforme.

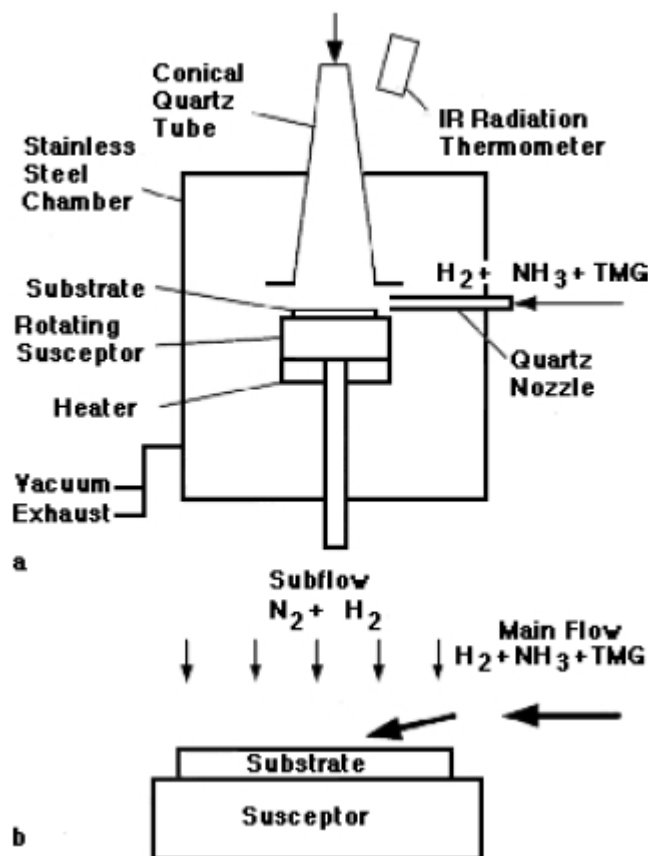


Figura 1.6: Reattore per la crescita MOCVD (a) e schema di funzionamento della Two-Flow-MOCVD (b)

## 1.6.2 Molecular Beam Epitaxy (MBE)

L'epitassia da fasci molecolari è una tecnica che permette la crescita di sottili strati di materiali cristallini su substrati massivi. La caratteristica principale della MBE è quella di operare in condizioni di alto vuoto nel quale non si hanno urti tra le molecole o gli atomi degli elementi che incidono sul substrato. Il vuoto base, cioè quello che si ha con sorgenti non attive, è dell'ordine di  $10^{-10}$  Torr, che permette di ottenere materiali di alta purezza. L'uso di un ambiente in alto vuoto permette inoltre di monitorare la crescita del materiale in tempo reale tramite la diffrazione di elettroni, cosa non possibile con le tecniche che operano a pressioni maggiori. Questo monitoraggio in tempo reale, unito alla bassa velocità di crescita che si può avere (anche inferiore a 0,1 nm/s) permette di controllare lo spessore dello strato cresciuto con precisione inferiore allo spessore del singolo monostrato atomico del materiale in crescita.

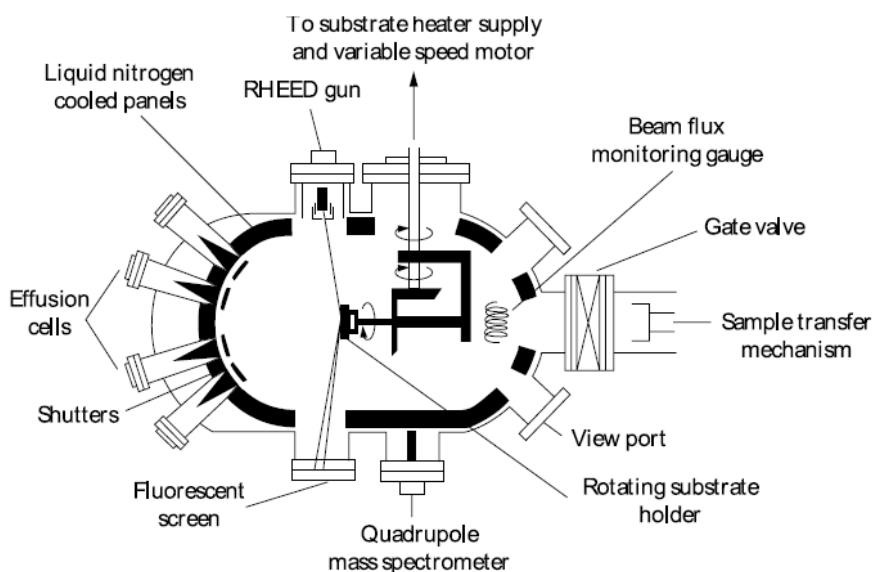


Figura 1.7: Schema di un reattore MBE

Gli elementi effusivi (gallio, alluminio, arsenico, azoto) sono presenti in forma solida e vengono fatti sublimare per creare il fascio di molecole che si andrà a depositare (condensare) sulla superficie del substrato. Queste si disporranno con una struttura cristallina simile a quella del substrato, creando strati di purezza molto elevata. Un vantaggio derivante da questa tecnica di crescita epitassiale è dato dalla bassa temperatura utilizzata (500-600°C) che evita che ci siano fenomeni di retrodiffusione ed auto drogaggio.

## 1.7 Contatti ohmici

Nei dispositivi HEMT si possono trovare due tipi diversi di contatti: il contatto ohmico usato per i contatti di source e drain e il contatto Schottky rettificante usato per il contatto di gate.

Il contatto ohmico deve essere un contatto a minor resistenza possibile, per favorire il passaggio dei portatori senza limitare la conduttanza del dispositivo. Per creare questo tipo di giunzione si usano metalli con bassa funzione lavoro, spesso combinati in leghe per ottimizzare la resistenza di contatto, come il Ni/Au, Ti/Al/Ni/Au o Ti/Al/Ti/Au. Altrimenti si realizza un contatto ohmico per effetto tunnel, nel quale l'effetto di barriera schottky sul flusso elettronico è reso trascurabile drogando fortemente il semiconduttore, così la larghezza di barriera si riduce a valori molto piccoli e gli elettroni l'attraversano per effetto tunnel.

Il contatto Schottky rettificante, formato da un semiconduttore drogato n e da un metallo con funzione lavoro maggiore rispetto a quella del semiconduttore, ha lo scopo di fornire il controllo sul canale, limitando però il più possibile il leakage attraverso tale terminale. Per questa giunzione si adoperano metalli ad elevata funzione lavoro, come Ni ( $\Phi_m = 5.15$  eV), Pt ( $\Phi_m = 5.65$  eV) e Pd ( $\Phi_m = 5.12$  eV). Anche in questo caso, oltre a ottimizzare l'altezza di barriera, si usano delle soluzioni a multi-strato per migliorare la stabilità termica (Ti) o la conduttività del contatto (Al, Au).



# Capitolo 2

## HEMT

Gli HEMT (*High Electron Mobility Transistor*) sono transistor basati su un'eterostruttura tra semiconduttori con elevato energy gap. Sono caratterizzati da alta mobilità dei portatori, in quanto il canale conduttivo non viene a formarsi su un semiconduttore drogato, bensì su un semiconduttore intrinseco sul quale vengono fatti confluire i portatori provenienti dallo strato drogato. Quindi in questi dispositivi si sfrutta l'alta concentrazione dei portatori di un semiconduttore drogato e l'alta mobilità del semiconduttore non drogato.

Grazie alle loro caratteristiche si adattano all'impiego nei settori di elevata potenza e frequenza.

### 2.1 Struttura e funzionamento degli HEMT

La struttura di un HEMT è riportata in figura 2.1.

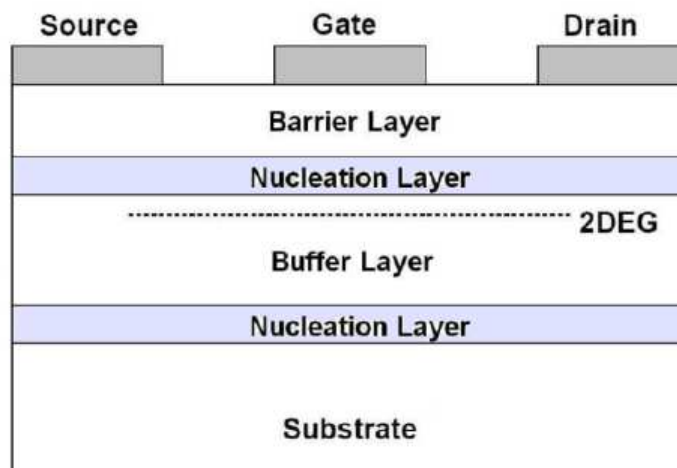


Figura 2.1: Struttura di un HEMT

Come già detto un HEMT è basato su un eterostruttura costituita principalmente da un substrato di zaffiro o carburo di silicio, un buffer layer (tipicamente  $2\ \mu\text{m}$ ) e uno strato barriera tipicamente drogato con atomi donori. I due materiali che formano l'eterostruttura devono avere livelli di energy gap diversi, costanti reticolari compatibili e la stessa orientazione cristallografica per ridurre al minimo i difetti all'interfaccia. È inoltre necessario che la banda di conduzione dello strato barriera sia ad un livello energetico più alto della banda di conduzione del buffer. Molto spesso si inseriscono uno o più nucleation layer per ridurre il mismatch reticolare tra substrato e il buffer.

Gli HEMT tradizionali sono basati su un eterostruttura AlGaAs/GaAs nei quali lo strato barriera viene drogato con atomi donori mentre il buffer viene mantenuto intrinseco. In condizioni di equilibrio, all'interfaccia tra i due semiconduttori si avrà un piegamento di bande (Figura 2.2) a causa delle differenti caratteristiche elettriche dei due materiali. Dalla differenza tra le bande di conduzione dei due materiali in opportune condizioni di polarizzazione, si verifica un trasferimento di elettroni dallo strato barriera al buffer, ed il confinamento di questi in una buca quantica di pochi nanometri. In questa zona si forma un canale nel quale i portatori sono in grado di spostarsi solamente all'interfaccia tra i due semiconduttori mediante un movimento bidimensionale sul piano interfacciale, creando un gas bidimensionale di elettroni: il 2DEG (two dimensional electron gas). Il canale sottoposto a tensione tra i suoi due capi permette il passaggio di forti quantità di corrente grazie all'assenza di scattering con ioni o impurità, con valori di mobilità vicini a quelli del semiconduttore intrinseco.

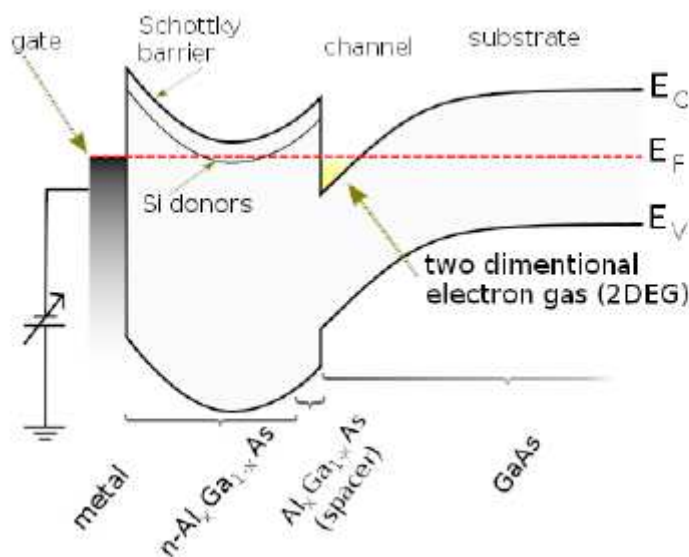


Figura 2.2: Diagramma a bande di un eterostruttura AlGaAs/GaAs



## 2.2 HEMT su eterostruttura AlGaN/GaN

Gli HEMT basati su eterostruttura AlGaN/GaN presentano un meccanismo di formazione del canale conduttivo diverso. Per spiegare la formazione del 2DEG si deve tenere conto della natura polare del composto GaN che porta ad una polarizzazione spontanea ( $P_{sp}$ ) del materiale. Inoltre si deve considerare la polarizzazione piezoelettrica ( $P_{pz}$ ), originata dagli stress meccanici che gli strati di AlGaN e GaN esercitano l'uno sull'altro in corrispondenza della giunzione a causa del loro mismatch reticolare. Gli stress meccanici che si creano all'interfaccia inducono un'ulteriore vettore di polarizzazione. La corretta combinazione di queste due polarizzazioni porta alla formazione del canale conduttivo. Nella figura 2.3 è riportato l'andamento della banda di conduzione con i singoli effetti di polarizzazione.

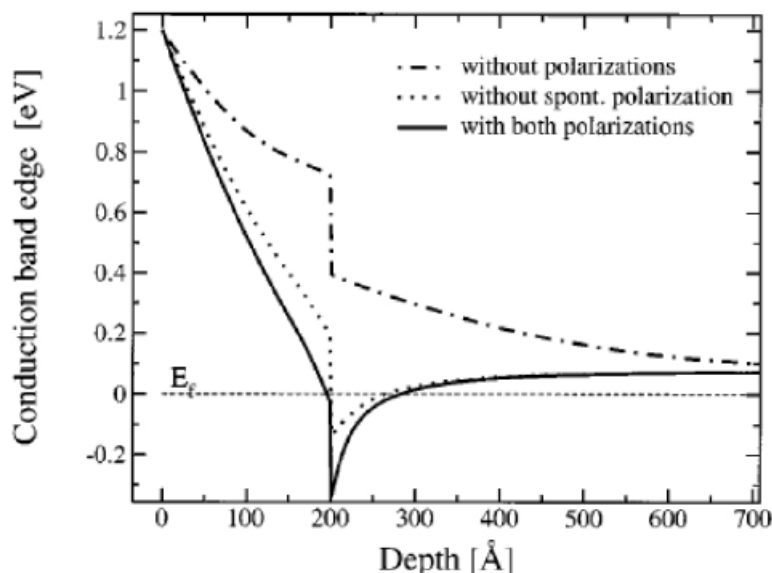


Figura 2.3: Andamento della banda di conduzione con gli effetti di polarizzazione

Si vede chiaramente che per ottenere la buca quantica dove scorrono gli elettroni, le due polarizzazioni devono sommare i loro effetti, ovvero i loro vettori devono avere lo stesso verso. Per la sua struttura polare, il cristallo di GaN può avere due tipi di superfici, una formata da atomi di Gallio, Ga-face, e una da atomi di Azoto, N-face. Come si vede nella figura 2.4, se la superficie è di tipo Ga-face il vettore polarizzazione ha verso uscente dalla superficie, mentre se è di tipo N-face il vettore ha verso entrante rispetto la superficie.

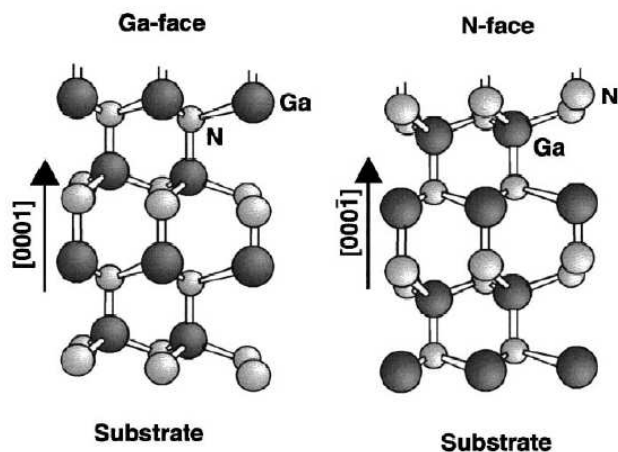


Figura 2.4: Struttura cristallina del GaN nelle polarità Ga-face e N-face

In Figura 2.5 sono mostrate le possibili orientazioni dei due vettori  $P_{sp}$  e  $P_{pz}$  nel caso Ga-face o N-face o N-face.

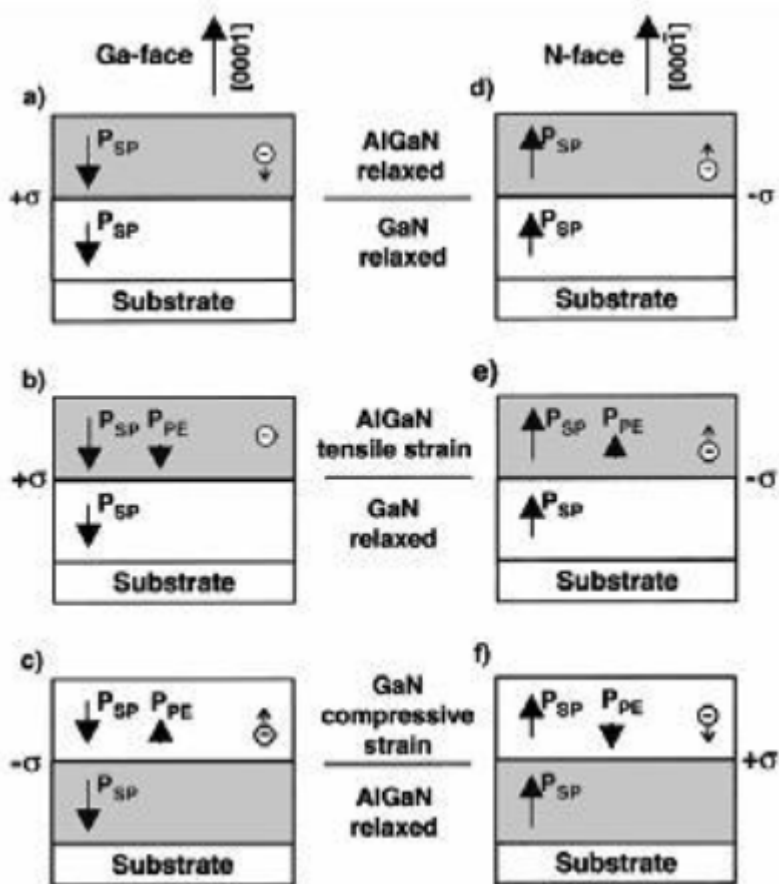


Figura 2.5: Diverse orientazioni dei due vettori  $P_{sp}$  e  $P_{pz}$  nel caso Ga-face o N-face

Nel caso Ga-face la situazione ottimale si ottiene depositando AlGa<sub>N</sub> su GaN (questo porta a sforzo tensile a causa delle minori dimensioni del reticolo dell'AlGa<sub>N</sub>) in quanto i vettori  $P_{sp}$  e  $P_{pz}$  risultano allineati. Anche nel caso N-face la situazione ottimale si ottiene depositando AlGa<sub>N</sub> su GaN, sul quale deve essere depositato un ulteriore strato di GaN con funzione di strato canale. Con entrambe le polarizzazioni allineate si verifica un maggiore piegamento delle bande tanto da avere la formazione del 2DEG con densità di portatori dell'ordine dei  $10^{13} \text{ cm}^{-2}$  senza necessità di drogare lo strato barriera.

Dopo aver spiegato il motivo della formazione del gas bidimensionale, resta ancora il dubbio su quale sia l'effettiva origine della grande quantità dei portatori che formano il canale.

Si pensa che gli elettroni che vanno a formare il 2DEG provengano dagli stati donori superficiali. In base a questa teoria, variando lo spessore dello strato di barriera AlGa<sub>N</sub>, cambia la densità di carica nel 2DEG fino ad annullarla. Come si vede nella figura 2.6, esiste una dipendenza diretta tra spessore e piegamento delle bande. Infatti sino a quando non si raggiunge lo spessore critico di barriera (Figura 2.6 (a)), i donori superficiali non cedono i loro elettroni in quanto il livello energetico degli stati superficiali si trova al di sotto del livello di Fermi, e quindi il 2DEG non è in grado di formarsi. Invece i donori superficiali cedono i loro elettroni quando viene superato lo spessore critico di barriera (Figura 2.6 (b)), cioè quando i donori superficiali raggiungono il livello di Fermi.

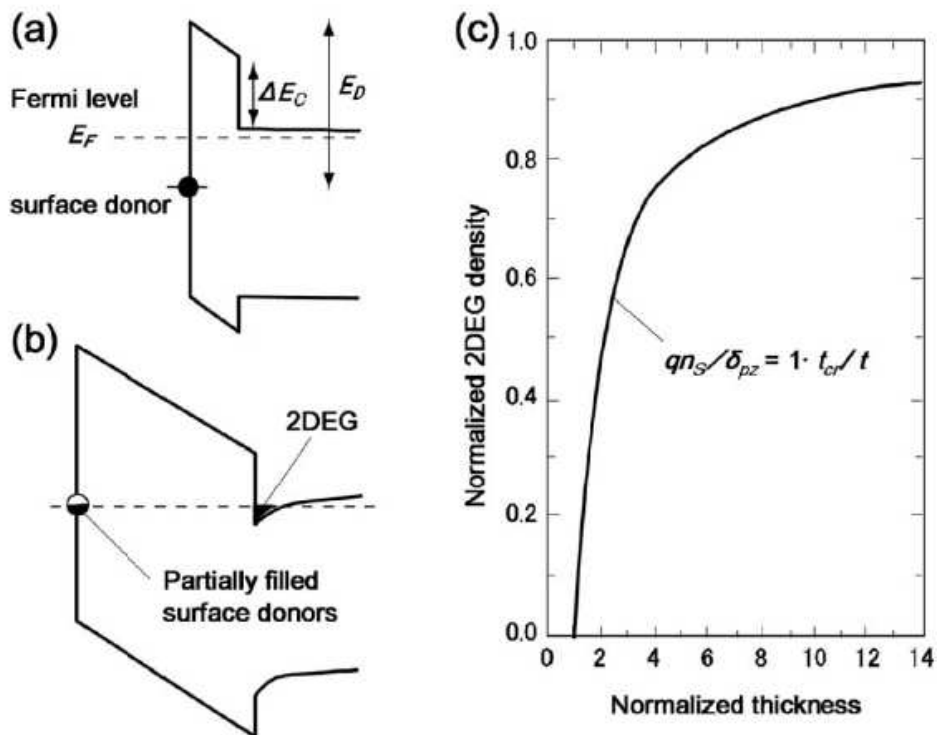


Figura 2.6: Diagramma a bande con spessore minore (a) e maggiore (b) di quello critico e densità nel 2DEG in funzione dello spessore (c).

Infine si riporta un breve commento sulla percentuale di Al nella lega  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ . Dati sperimentali dimostrano che aumentando la percentuale di Al, la concentrazione dei portatori  $N_s$  nel 2DEG aumenta (Figura 2.7) a causa dell'aumento delle costanti piezoelettriche. Tuttavia, se la presenza di Al diventa troppo grande, ad un certo punto cala la mobilità a causa di fattori quali lo scattering nel reticolo, disordine nello strato stesso, ecc. Esiste perciò un intervallo di valori di  $x$  ottimo per le prestazioni del dispositivo, che massimizza la densità di carica presente nel 2DEG e che, di conseguenza, rende massima la corrente che il dispositivo può erogare.

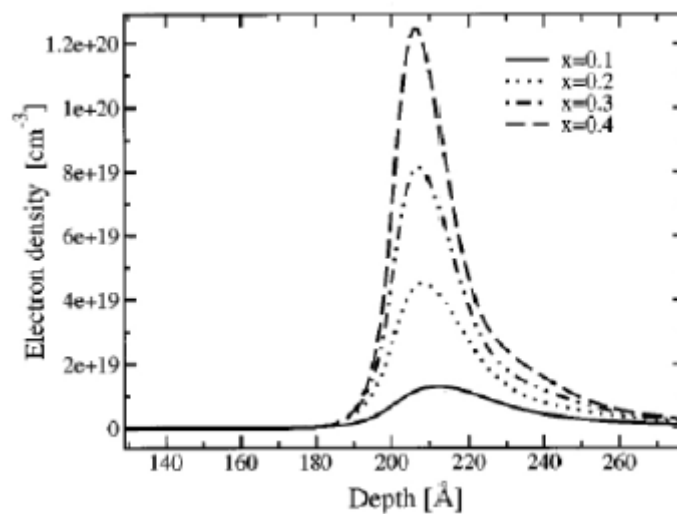


Figura 2.7: Legame tra concentrazione di alluminio e densità di portatori

## 2.3 Fenomeni di intrappolamento di carica

Le eterostrutture basate su  $\text{AlGaIn}/\text{GaIn}$  hanno raggiunto ottime prestazioni; attualmente i  $\text{GaIn}$ -HEMT sono caratterizzati da frequenze di taglio superiori a 30GHz, e valori della potenza di uscita dell'ordine di diversi W/mm [3].

Tuttavia la maturità tecnologica di questo sistema non ha ancora raggiunto un livello paragonabile a quello dei sistemi basati su eterostrutture  $\text{AlGaAs}/\text{GaAs}$  e sono ancora diverse le limitazioni alle prestazioni ottenibili, riconducibili sia alle proprietà intrinseche del materiale cresciuto, sia al processo di fabbricazione.

In particolare, la presenza di trappole nell'interfaccia superficiale, nello strato barriera AlGa<sub>N</sub>, nell'interfaccia AlGa<sub>N</sub>/Ga<sub>N</sub> e nello strato buffer (Figura 2.8) influenza negativamente la risposta dinamica della corrente di drain, causando ritardi nella risposta del dispositivo a causa di processi di trapping/detrapping che limitano le applicazioni alle alte frequenze. Gli effetti più evidenti di degradazione delle performance dei dispositivi sono il kink e il current collapse.

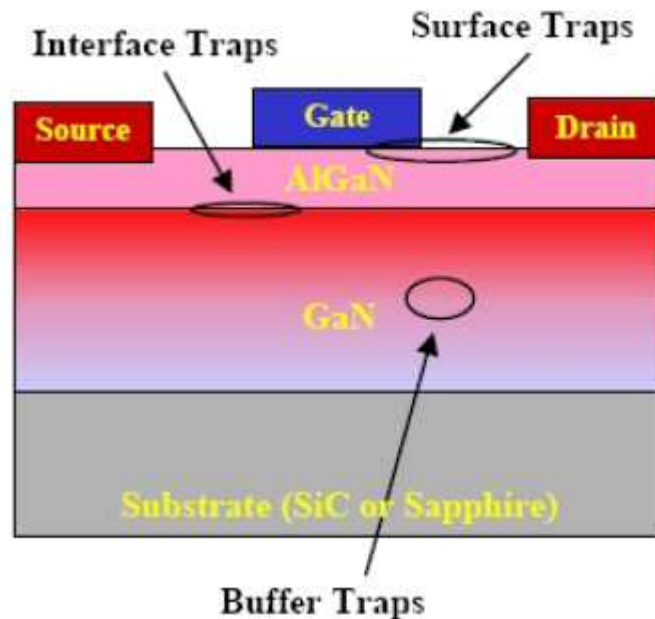


Figura 2.8: Posizionamento delle trappole in un GaN HEMT

Con kink si intende quel fenomeno di riduzione della corrente di drain in condizioni DC che risulta dall'applicazione di elevate tensioni drain-source. In figura 2.9 è riportato il fenomeno del kink.

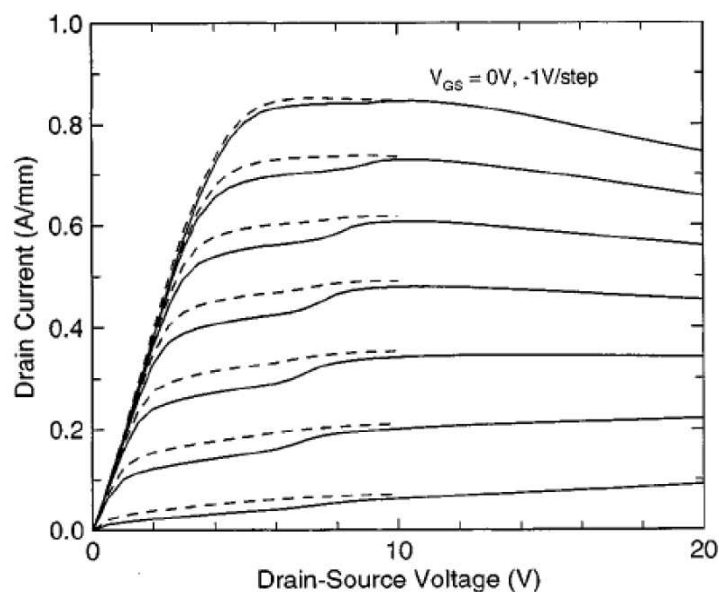


Figura 2.9: Caratteristica di uscita di un dispositivo caratterizzato dal fenomeno del kink

Si nota una deformazione della caratteristica  $I_D$ - $V_{DS}$  per tensioni di drain massima di 20V rispetto al caso in cui la  $V_{DS}$  non supera i 10V. Questa degradazione è associata alla presenza di trappole nello strato buffer attivate dagli elevati valori di campo elettrico. Questo comporta una diminuzione di portatori nel canale e quindi una riduzione di corrente sino a che non sono raggiunte tensioni tali da liberare elettroni intrappolati nello strato buffer creando quella salita improvvisa della  $I_D$  per certe  $V_{DS}$ .

Lo studio in temperatura e l'uso di sorgenti luminose possono essere di aiuto per identificare le energie associate alle trappole. Infatti un metodo per ristabilire la corrente di drain è quello di illuminare il dispositivo con una fonte di luce con energia luminosa prossima al bandgap del GaN o all'energia di attivazione della trappola.

L'altro fenomeno di degradazione degli HEMT è il *current collapse* o dispersione in frequenza. Questo è un fenomeno di riduzione della corrente di drain che aumenta all'aumentare della frequenza. Le trappole tipicamente responsabili di questo fenomeno sono le trappole superficiali.

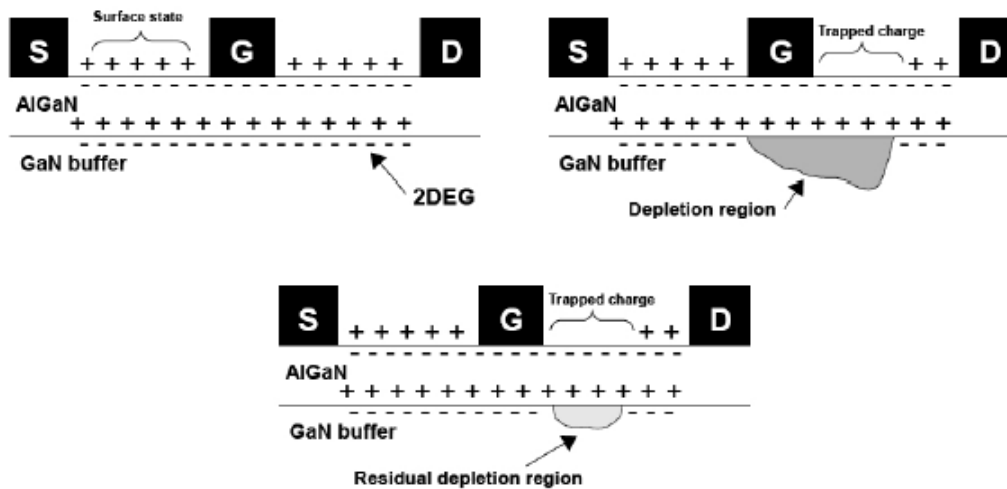


Figura 2.10: Fenomeno del current collapse

Come si vede in figura 2.10 in condizioni di canale formato nel dispositivo gli stati superficiali cedono il loro elettrone per formare il 2DEG e così si viene a formare uno strato di carica positiva sulla superficie dell'AlGaIn/GaN. Se vengono intrappolati degli elettroni in superficie, questa carica viene parzialmente neutralizzata causando una diminuzione di elettroni nel canale e un allargamento della regione di svuotamento. Quando il canale è chiuso gli stati superficiali si riempiono di carica negativa proveniente dal gate, a causa del forte campo elettrico tra gate e drain. Alla riapertura del canale, i livelli superficiali non riescono a tornare istantaneamente nelle condizioni iniziali, in quanto la velocità di detrapping è molto minore rispetto alla velocità di formazione del canale.

Questo fenomeno provoca un accumulo di carica negativa che mantiene spento parte del canale e si ha quindi una riduzione della corrente di drain rispetto alla situazione in continua. Il fenomeno del current collapse può anche essere modellizzato con un altro gate detto *gate virtuale* posto in serie al gate principale. Si può considerare che il potenziale del gate reale sia controllato dalla tensione applicata, mentre il potenziale del gate virtuale sia controllato dal livello di carica intrappolata. Quindi la corrente di drain è controllata sia dalla polarizzazione di gate che dai meccanismi che forniscono e rimuovono carica dal gate virtuale.

La tecnica più utilizzata per ridurre i fenomeni legati alle trappole superficiali è la passivazione, che consiste nella deposizione di uno strato di Nitrato di Silicio ( $\text{Si}_3\text{N}_4$ ) sopra l'AlGaN (Figura 2.11).

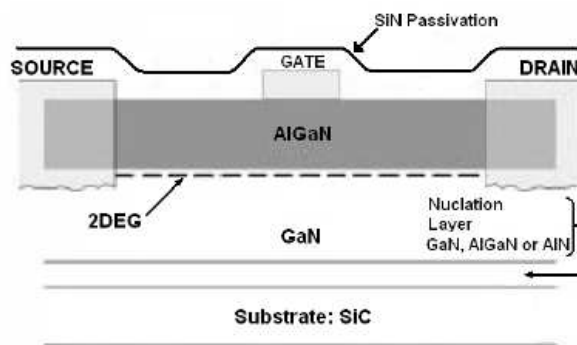


Figura 2.11: Passivazione di un AlGaN/GaN HEMT

La passivazione dà buoni risultati nella diminuzione della dispersione in frequenza, ma non modifica l'effetto del kink in quanto è dovuto alla presenza di trappole nel buffer e non alle trappole superficiali. Comunque si ottengono miglioramenti delle caratteristiche di uscita che vanno dal 20% sino a quasi il 100% come si può vedere in figura 2.12.

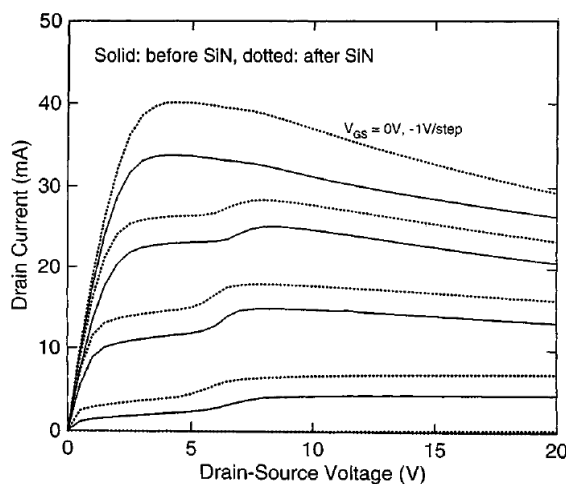


Figura 2.12: Caratteristica DC della corrente di drain prima, linee continue, e dopo linee tratteggiate, la passivazione con SiN

Un secondo metodo utilizzato per ridurre i problemi di current collapse è l'uso del field plate. Con questa tecnica si va a realizzare il gate a forma di T o  $\Gamma$  in modo da coprire parzialmente la zona gate-drain.

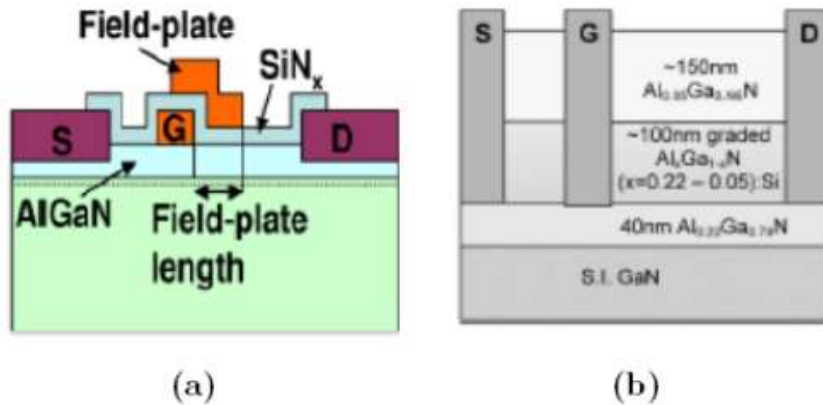


Figura 2.13: HEMT con field plate (a) e gate recess (b)

Il field plate produce una redistribuzione del campo elettrico nella regione attiva a ridosso della giunzione gate-drain, e ne riduce il valore di picco. Grazie a questo effetto non solo si ha una riduzione degli effetti di intrappolamento dei portatori ad alti campi elettrici, ma si ha anche un aumento della tensione di breakdown; di conseguenza migliora la risposta dinamica del transistor, e quindi il comportamento ad alta frequenza. Uno degli svantaggi introdotti dal field plate è l'aumento della capacità di accoppiamento gate-drain, che può avere un'influenza negativa sulle massime frequenze operative raggiungibili.

Un'altra tecnica per limitare il fenomeno della dispersione in frequenza è il *gate recess* (Figura 2.13(b)). Con tale metodo si sposta lo strato barriera più in profondità, inserendo altri strati di AlGa<sub>n</sub> o GaN e allontanando così la superficie soggetta a trapping dal canale.

## 2.4 Meccanismi di guasto

Altri meccanismi che contribuiscono al degrado dei dispositivi AlGa<sub>n</sub>/GaN HEMT sono il fenomeno degli *elettroni caldi* e l'*effetto piezoelettrico inverso*.

Col progredire della tecnologia la diminuzione della lunghezza di gate non è stata accompagnata da una riduzione significativa delle tensioni drain-source, causando negli HEMT valori di campi elettrici sempre più alti, anche in condizioni operative.



Questo provoca la formazione di elettroni caldi, ovvero elettroni molto energetici, che vanno a interagire col reticolo cristallino. Gli elettroni caldi possono danneggiare il reticolo e portare alla formazione di stati trappola. Tale meccanismo di degrado, per gli HEMT su GaAs, segue la seguente legge [13]:

$$|I_G|/I_D \cong \alpha \cdot L_{eff} \cong L_{eff} \cdot \exp(-1/\xi) \cong L_{eff} \cdot \exp(-L_{eff}/(V_{DS} - V_{DSAT}))$$

dove  $\alpha$  è il coefficiente di ionizzazione da impatto degli elettroni del canale,  $L_{eff}$  è l'estensione della regione di canale dove ha luogo la ionizzazione,  $\xi$  campo elettrico longitudinale nella regione  $L_{eff}$  e  $V_{DSAT}$  è la tensione di saturazione. In accordo con questa formula, graficando  $\ln(|I_G|/I_D)$  in funzione di  $1/(V_{DS}-V_{DSAT})$ , si ottiene una retta.

Negli HEMT su GaN non è possibile utilizzare la stessa legge per analizzare il fenomeno degli elettroni caldi, in quanto la corrente di gate è dominata da meccanismi di iniezione per effetto tunnel. Quindi per studiare questo meccanismo si sfruttano tecniche alternative, come le misure di elettroluminescenza, durante le quali il dispositivo in opportune condizioni di funzionamento emette luce dai bordi del gate. Graficando il rapporto tra l'intensità della luce emessa e la corrente di drain in funzione di  $1/(V_{DS}-V_{DSAT})$  si ottiene anche questa volta una linea retta e quindi l'intensità di luce emessa risulta proporzionale alla concentrazioni di elettroni caldi (Figura 2.14).

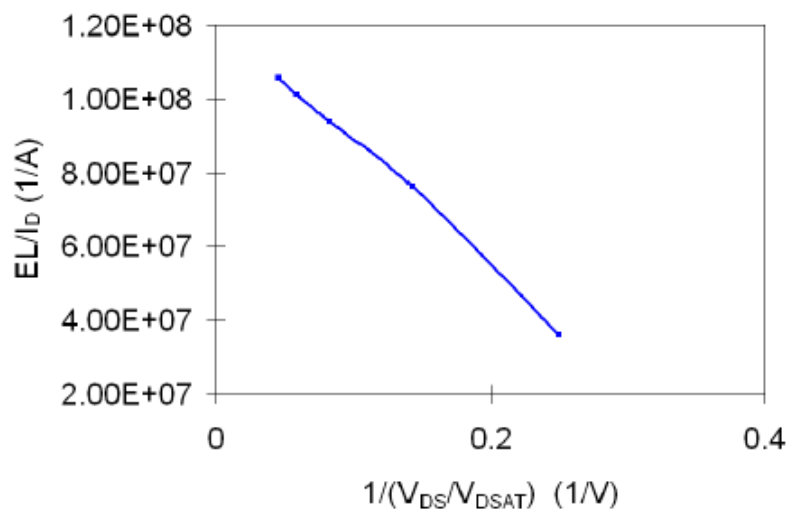


Figura 2.14: Fotoni/ $I_D$  in funzione di  $1/(V_{DS}-V_{DSAT})$

Per capire la relazione fra il punto di polarizzazione del dispositivo e la quantità di elettroni caldi presenti nel canale si misura l'emissione al variare di  $V_{GS}$  mantenendo  $V_{DS}$  costante. Graficando l'intensità luminosa in funzione di  $V_{GS}$  si ottiene un andamento a campana (figura 2.15).

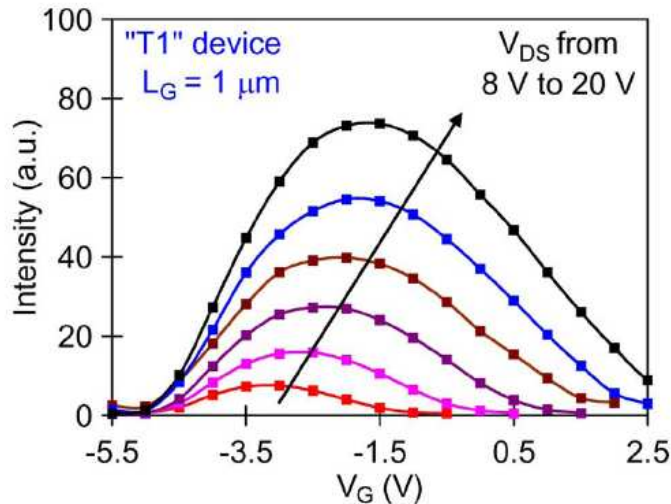


Figura 2.15: Fotoni in funzione di  $V_{GS}$  per diversi valori di  $V_{DS}$

Tale andamento si spiega considerando che per valori di  $V_{GS}$  inferiori alla soglia, la tensione e il campo elettrico tra gate e drain sono massimi ma non essendoci portatori nel canale, il dispositivo non emette luce. Quando  $V_{GS}$  supera la soglia, il canale inizia a formarsi e i portatori iniziano a riempirlo. Questi portatori vengono progressivamente accelerati dall'elevato campo elettrico longitudinale, divenendo così sempre più energetici. Data la presenza di elettroni caldi viene rilevata emissione luminosa la cui intensità aumenta all'aumentare della  $V_{GS}$ . Aumentando ulteriormente la  $V_{GS}$ , superato un certo valore, si verifica un calo dell'intensità luminosa in quanto gli elettroni diventano meno energetici: difatti in questa situazione il numero di elettroni nel canale aumenta ma si ha un contemporaneo calo del campo elettrico.

Un altro fenomeno di degrado dei GaN HEMT è l'*effetto piezoelettrico inverso*. L'elevato campo elettrico nella regione gate-drain incrementa la deformazione meccanica del reticolo cristallino nell'eterogiunzione AlGaIn/GaN e il successivo rilassamento del reticolo dà luogo alla formazione di difetti nel cristallo, e quindi a trappole. In particolare le trappole nello strato di AlGaIn provocano fenomeni di tunnelling e quindi un aumento della corrente di leakage del gate. Il valore di tensione al di sopra della quale inizia il degrado viene detta critical voltage.

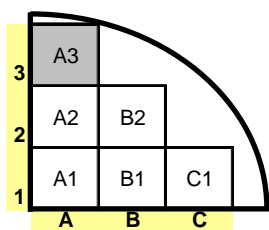
# Capitolo 3

## Wafers

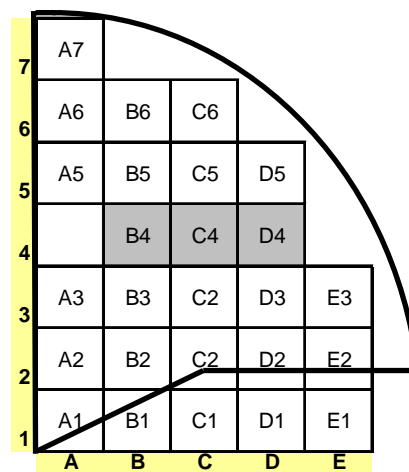
Durante il periodo di tesi sono stati analizzati HEMT su Nitruro di Gallio con eterostruttura AlGaIn/GaN appartenenti a quattro wafer, processati da Selex, denominati SLX CA-02, SLX CA-04, SLX IA-01 e SLX NC-03. Dei wafer SLX CA-04, SLX IA-01, SLX NC-03 si aveva a disposizione circa  $\frac{1}{4}$  di wafer ognuno, mentre per il wafer SLX CA-02 si aveva a disposizione una scheggia di piccole dimensioni.

Le schegge SLX CA-02 e SLX CA-04 sono state realizzate su wafer la cui crescita epitassiale è stata realizzata dalla CREE su substrato 4H- SiC della CREE. La scheggia SLX IA-01 è stata realizzata su un wafer la cui crescita epitassiale è stata realizzata dalla IQE su substrato 6H- SiC della IIVI, mentre la scheggia SLX NC-03 è stata realizzata su un wafer la cui crescita epitassiale è stata realizzata dalla NTT su substrato 4H- SiC della CREE.

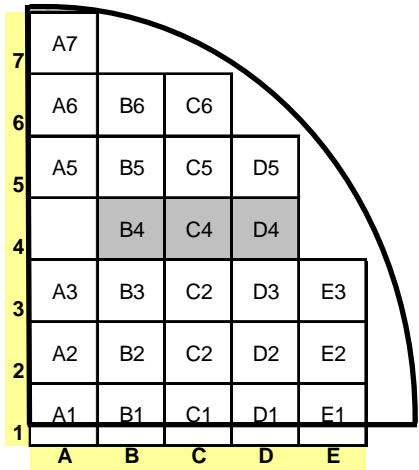
Ogni wafer è organizzato in celle e, per identificare ogni dispositivo, ogni cella è stata contraddistinta da una lettera e da un numero (Figura 3.1) (in grigio sono segnate le celle prive di dispositivi).



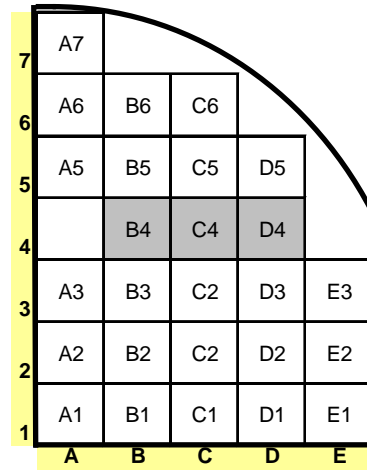
a) Schema scheggia SLX CA-02



b) Schema scheggia SLX CA-04



c) Schema scheggia SLX IA-01



d) Schema scheggia SLX NC-03

Figura 3.1: Schemi dei wafer testati

La struttura delle celle (figura 3.2) è la stessa per tutti i wafer.

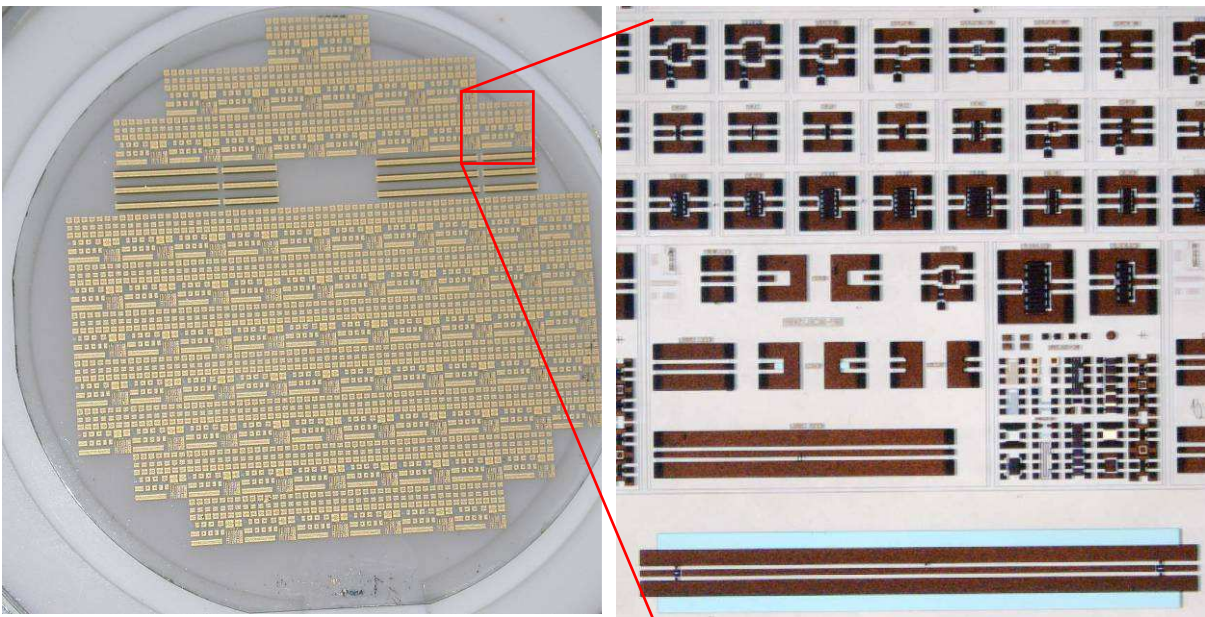


Figura 3.2: Immagine del wafer SLX NC-03 e dettaglio di una cella

Ogni cella contiene una serie di dispositivi discreti (HEMT e switch) usati per i test, le strutture PCM (Process Control Monitor) con varie strutture di controllo, quelle di calibrazione TRL (Trough Reflect Line) e una terna di strutture risonanti per la determinazione della costante dielettrica  $\epsilon_r$  e le perdite delle linee di trasmissione (figura 3.3).

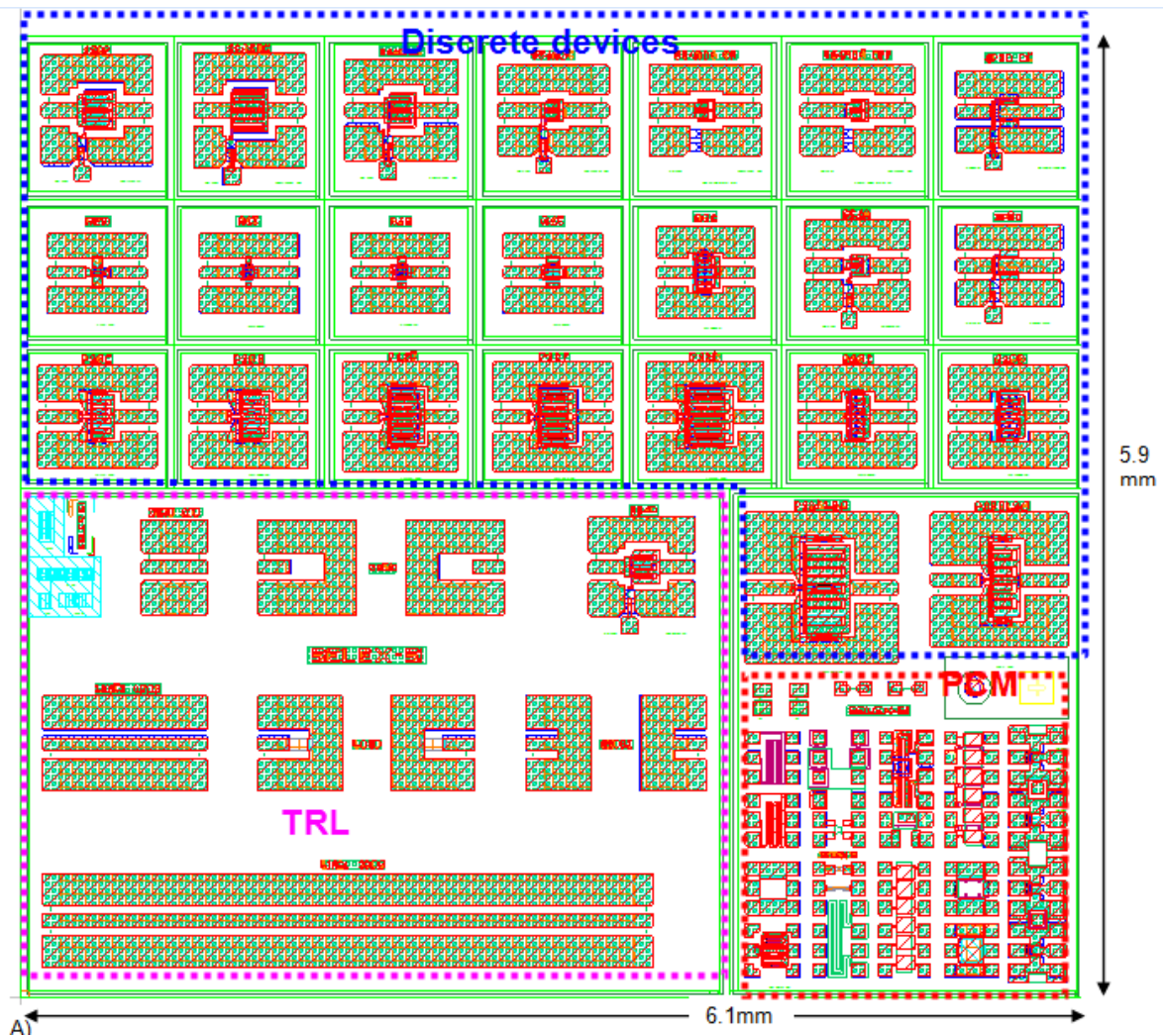


Figura 3.3: Litografia di una cella

Gli HEMT presentano un layout adatto per applicazioni di potenza e di basso rumore, con le dita (finger) di gate e il contatto di source connessi al pad RF “Ground-Signal-Ground” attraverso l’air bridge. All’interno della cella ci sono due tipologie di air bridge utilizzate:

- tipo “A”: air bridge che connette i source lateralmente alla regione attiva del dispositivo coprendo tutte le dita di gate. La metallizzazione è sovrapposta al pad di source all’interno della regione attiva;
- tipo “P”: air bridge che connette i source esternamente alla regione attiva del dispositivo mantenendo otticamente visibili tutte le dita di gate. La metallizzazione è sovrapposta sia al pad di source che al pad di drain all’esterno della regione attiva.

Ogni HEMT è contraddistinto da un nome del tipo LETTERA-NUMERO-LETTERA. La prima lettera può assumere i caratteri “A” o “P” e indica, come appena visto, il tipo di air bridge. Il numero indica il numero di finger (Fingers No.) e la lettera successiva indica la larghezza del finger ( $W_G^{\text{fin}}$ ).

Quest'ultima può assumere i seguenti caratteri:

Carattere	$W_G^{\text{fin}}$ ( $\mu\text{m}$ )
A	50
C	75
D	100
E	125
F	150
G	200
Z	25

Tabella 3.1: Larghezze dei finger di gate

Il prodotto Fingers No. $\times W_G^{\text{fin}}$  dà la larghezza totale di gate ( $W_G^{\text{TOT}}$ ).

Come già detto sono presenti anche dispositivi switch in configurazione serie (SS) e parallelo (SP) che consentono di verificare l'isolamento e le perdite di inserzione associate alla resistenza parassita del canale ( $R_{\text{ON}}$ ) quando l'interruttore si trova nello stato ON e alla capacità parassita del canale ( $C_{\text{OFF}}$ ) quando l'interruttore si trova nello stato OFF. E' presente anche la versione con due gate (DSS e DSP) degli interruttori appena descritti. Altri due tipi di interruttori detti "dummy" consentono di comprendere meglio il contributo del substrato sui valori di  $R_{\text{ON}}$  e  $C_{\text{OFF}}$  ottenuti dalla caratterizzazione degli interruttori precedentemente descritti. Questi dispositivi sono stati fabbricati rimuovendo l'elettrodo di gate (Dummy-ON), oppure sostituendo il gate con un'impiantazione ionica (Dummy-OFF) all'interno del canale. Nella tabella 3.2 sono riportati tutti i dispositivi discreti presenti in ogni cella.

Gli ultimi due HEMT presenti nella tabella dopo il nome del tipo LETTERA-NUMERO-LETTERA sono seguiti dai caratteri "L50" in quanto hanno un pitch tra le dita di gate di  $50\mu\text{m}$  a differenza degli altri HEMT che hanno una lunghezza del finger di  $30\mu\text{m}$ .

Nella PCM (figura 3.4) sono state studiate le strutture TLM (Transmission Line Method) per caratterizzare la resistenza di contatto metallo-semiconduttore e la resistenza del 2DEG, il diodo Schottky ( $L_G=0.5\mu\text{m}$ ,  $W_G=1000\mu\text{m}$ ) e il FATFET ( $L_G=100\mu\text{m}$ ,  $W_G=150\mu\text{m}$ ) per le misure di capacità in funzione della tensione. Inoltre sono presenti una serie di transistor HEMT denominati h2, h3 e h4 posti nel lato destro della PCM, utilizzati per valutare l'affidabilità dei wafer attraverso degli step-stress. Questi dispositivi sono caratterizzati da  $L_G=0.5\mu\text{m}$ ,  $W_G=100\mu\text{m}$  e  $L_{\text{SD}}$  rispettivamente di 3-4-5 $\mu\text{m}$ .


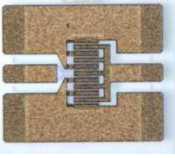
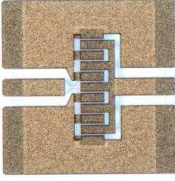



Name	Type air bridge	$W_G^{TOT}$ ( $\mu\text{m}$ )	Fingers No. $\times$ $W_G^{fin}$ ( $\mu\text{m}$ )	Fingers pitch ( $\mu\text{m}$ )	No. Gates	
A2A	A	100	2x50	30	1	 A4C
A4A	A	100	4x25	30	1	
A4A	A	200	4x50	30	1	
A4C	A	300	4x75	30	1	
A8C	A	600	8x75	30	1	
A10C	A	750	10x75	30	1	
A10D	A	1000	10x100	30	1	
P10C	P	750	10x75	30	1	 P10D
P10D	P	1000	10x100	30	1	
P12E	P	1500	12x125	30	1	
P12F	P	1800	12x150	30	1	
P12G	P	2400	12x200	30	1	
P10D1_L50	P	1800	10x100	50	1	 P10D1_L50
P12G1_L50	P	2400	12x200	50	1	
SS4A	SS	200	4x50	30	1	 SS4A
SS6D	SS	600	6x100	30	1	
SS8E	SS	1200	8x150	30	1	
SP2D	SP	200	2x100	30	1	
DSS4A	SS	200	4x50	30	2	 DSS4A
DSS6D	SS	600	6x100	30	2	
DSS8E	SS	1200	8x150	30	2	
DSP2D	SP	200	2x100	30	2	
Dummy ON	SS	200	4x50	30	0	 Dummy ON
Dummy OFF	SS	200	4x50	30	0	

Tabella 3.2: Caratteristiche dei dispositivi discreti presenti in ogni cella

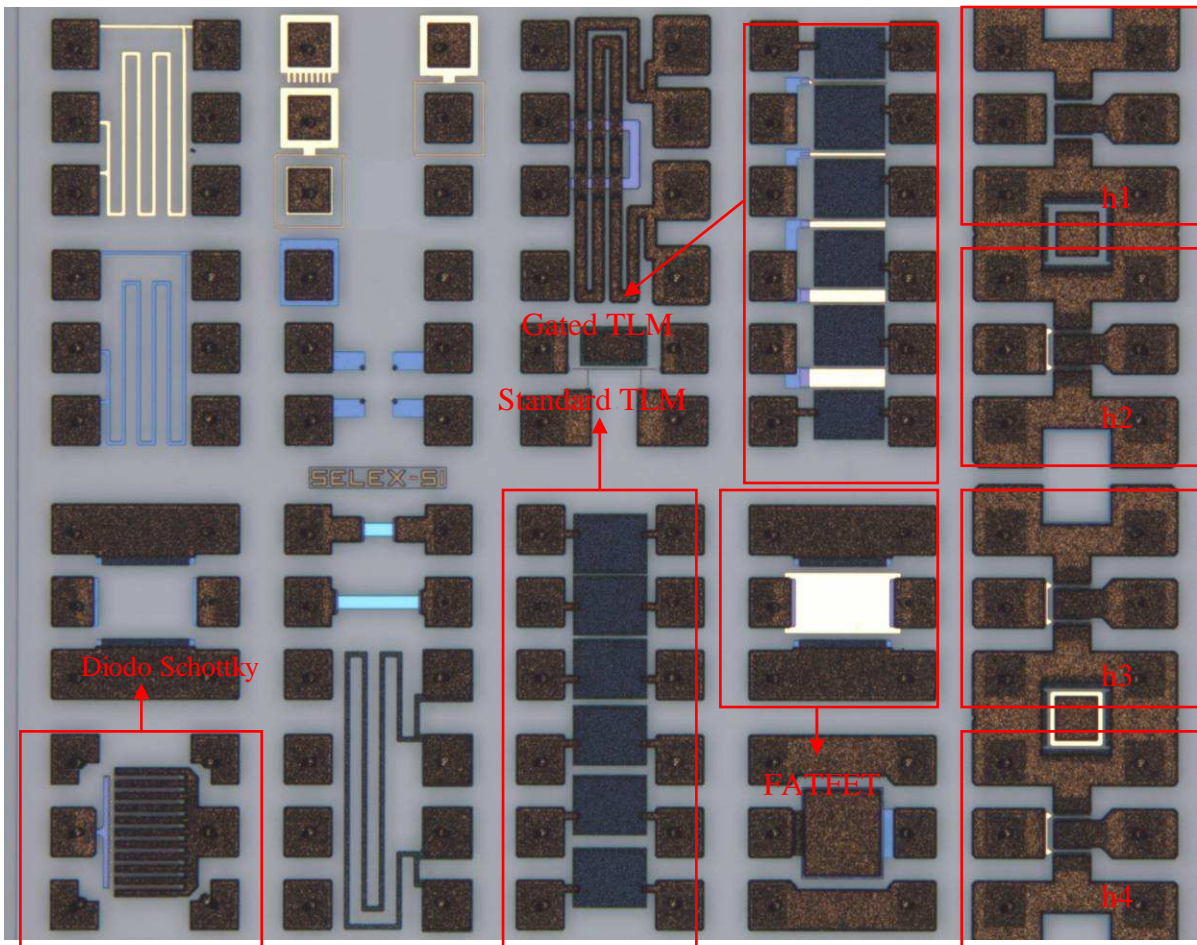


Figura 3.4: Struttura della PCM (Process Control Monitor)

### 3.1 Struttura e caratteristiche dei dispositivi studiati

Come già detto, i dispositivi studiati sono HEMT basati su eterostruttura AlGaN/GaN. I dispositivi di tutte le schegge hanno lo stesso stack di materiali (figura 3.5) costituito da un substrato di Carburo di Silicio (SiC), un nucleation layer in AlN per ridurre il mismatch reticolare tra substrato e il buffer e l'eterostruttura formata da un strato buffer GaN e uno strato barriera in AlGaN/GaN. I dispositivi sono passivati con uno strato di SiN dello spessore di circa 700 nm.

Il contatto di gate ha una  $L_G$  di  $0.5\mu\text{m}$  e non ha una posizione simmetrica tra i contatti di source e drain: infatti si trova a  $1.25\mu\text{m}$  dal source e a  $2.25\mu\text{m}$  dal drain. Tra i vari wafer cambiano le caratteristiche riportate in tabella 3.3.



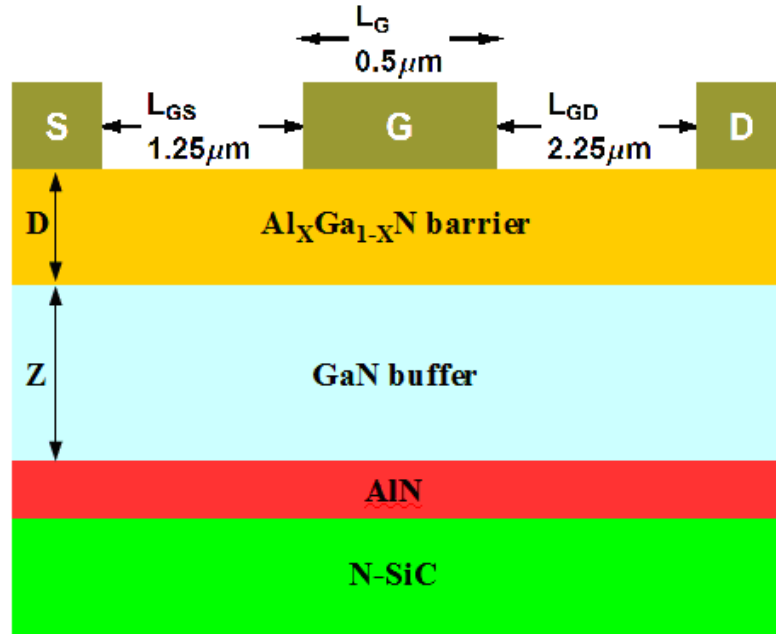


Figura 3.5: Struttura epitassiale degli HEMT

ID Selex	SiC polytype	$\text{Al}_x\text{Ga}_{1-x}\text{N}$ thickness (D) (nm)	Al molar fraction (X)	GaN buffer thickness (Z) ( $\mu\text{m}$ )	Fe doping concentration ( $\text{cm}^{-3}$ )
SLXCA04	4H	26	0.29	1.8	$1.00\text{E}+18$
SLXCA02	4H	26	0.29	1.8	$1.00\text{E}+18$
SLXNC03	4H	20	0.25	2.4	0
SLXIA01	6H	20	0.25	1.9	$4.00\text{E}+17$

Tabella 3.3: Caratteristiche dei wafer

I dispositivi presenti nei wafer SLX CA-04 e SLX CA-02 hanno le stesse caratteristiche epitassiali e si contraddistinguono, a differenza degli altri wafer, per un'alta concentrazione di ferro nel buffer GaN e di alluminio nella barriera. I dispositivi presenti nel wafer SLX IA-01 sono caratterizzati da una concentrazione di ferro nel buffer GaN e da uno spessore della barriera inferiori rispetto alle due schegge precedenti. Infine i dispositivi presenti nel wafer SLX NC-03 hanno la stessa eterostruttura del wafer SLX IA-01 ma si contraddistinguono per l'assenza di drogante nel buffer GaN.



# Capitolo 4

## Sistemi di misura

In questo capitolo vengono descritti i sistemi e gli strumenti utilizzati per eseguire misure di caratterizzazione DC, di Double Pulse, di gate-lag, di resistenza di contatto, di capacità in funzione della tensione, e di emissione effettuate durante gli stress.

### 4.1 Caratterizzazione DC

La caratterizzazione DC consente di ottenere le caratteristiche statiche di un dispositivo e di valutarne lo stato di vita. Inoltre da questo tipo di misura si estraggono alcuni parametri tipici (corrente di drain, corrente di perdita attraverso il gate, caratteristica del diodo gate-source, transconduttanza, tensione di soglia, ...) utili per verificare l'uniformità delle caratteristiche di tutti i dispositivi presenti in un wafer.

Per effettuare la caratterizzazione DC il dispositivo viene posto su una piastra di supporto detta chuck all'interno di una probe station Karl Suss PM5 (figura 4.1). Il dispositivo viene contattato tramite due punte RF montate su dei micromanipolatori che permettono lo spostamento lungo tutti e tre gli assi dello spazio garantendo la massima precisione necessaria per contattare il dispositivo. Le punte RF hanno una forma a tridente, cioè sono costituite da tre terminali nella configurazione ground-signal-ground. Il terminale centrale contatta il pad di gate o di drain, mentre i due esterni contattano i pad di Source e sono connessi alla massa dello strumento. Le punte RF, preferite alle punte DC in tungsteno, permettono di ridurre i disturbi e le oscillazioni nelle misure di dispositivi con layout RF.

Le punte sono collegate all'esterno della probe attraverso due cavi biassiali BNC, e con due cavi triassiali allo strumento di misura: un parameter analyzer Agilent E5263A. Il parameter analyzer è costituito di due SMU (Source Monitor Unit): la *E5290A High Speed High Power SMU* per connettere e misurare la corrente e la tensione di drain e la *E5291A High Speed Medium Power SMU* per connettere e misurare la corrente e la tensione di gate. Lo strumento è connesso tramite un cavo GP-IB ad un PC dove un virtual instrument, creato in LabView, è in grado di pilotare il parameter analyzer per eseguire ogni singola misura delle caratterizzazioni DC.

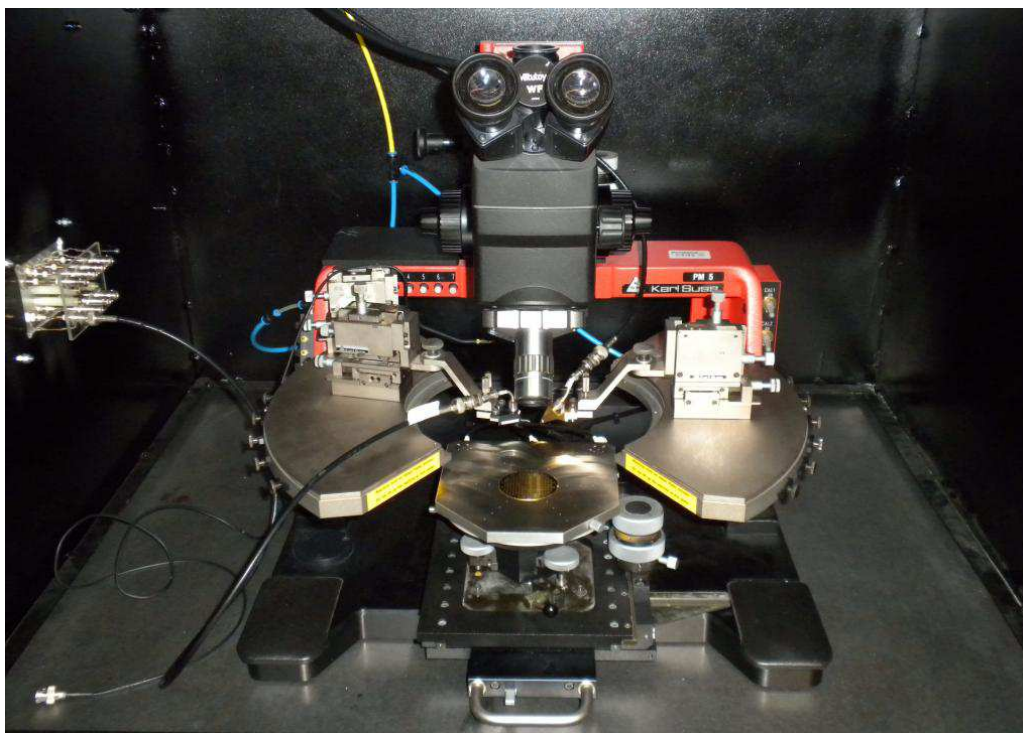


Figura 4.1: Probe station Karl Suss PM5

## 4.2 Misure di Double Pulse

Le misure dinamiche permettono di identificare la presenza di trappole superficiali e profonde attraverso delle misure impulsate di corrente partendo da condizioni di riposo arbitrarie. Per effettuare questo tipo di misura si adotta un sistema chiamato “Double Pulse” che è stato creato per emulare il sistema commerciale di misurazione Dynamic IV Analyzer (DIVA) molto più costoso.

La misura viene effettuata in una probe station simile a quella utilizzata nella caratterizzazione DC. La scheggia è posta sul chuck della probe station e contattata con punte RF. In figura 4.2 è riportato lo schema del sistema di misura Double Pulse. Gli strumenti utilizzati sono l'impulsatore HP8110A, che fornisce il segnale al gate, l'impulsatore HP8114A, che fornisce la tensione  $V_{DD}$ , e un oscilloscopio Tektronix TD654C che misura i segnali in uscita dal dispositivo. Il dispositivo viene connesso in configurazione da amplificatore in classe A, cioè con il source a massa e il drain collegato all'alimentazione  $V_{DD}$  tramite una resistenza da  $50\Omega$ . La resistenza  $R_M$  sul gate è una resistenza di adattamento. Il segnale di gate viene utilizzato come trigger per l'oscilloscopio e per l'impulsatore HP8114A garantendo così una perfetta sincronizzazione tra gli strumenti. Gli strumenti sono collegati tramite cavo GP-IB ad un PC che controlla la misura utilizzando un programma realizzato in LabView.

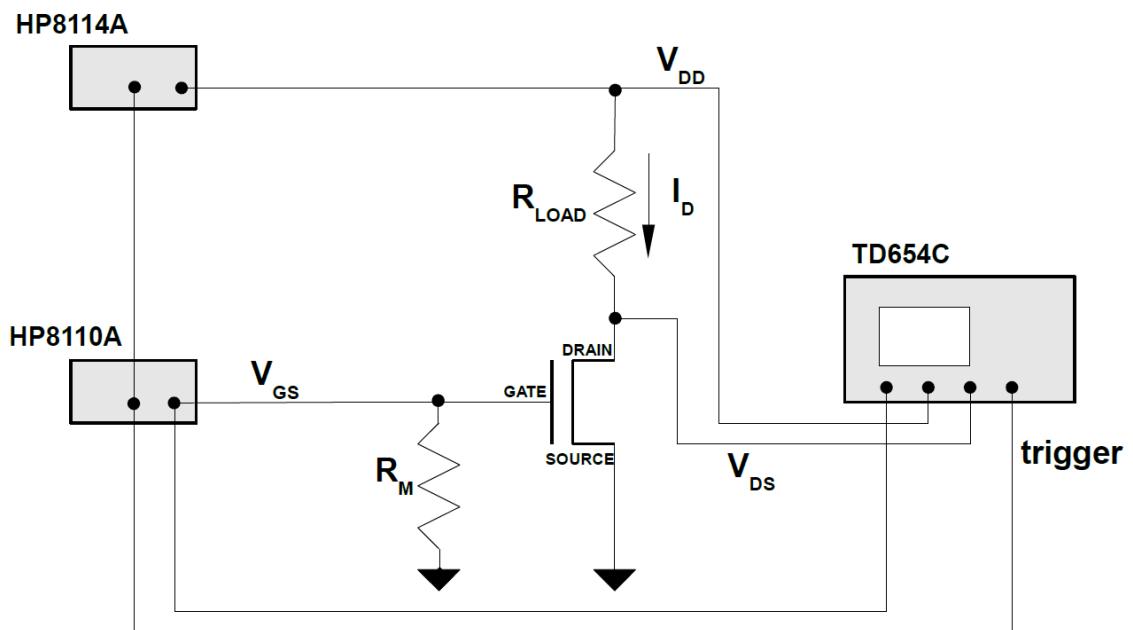


Figura 4.2: Sistema di misura Double Pulse

Inizialmente il dispositivo è polarizzato su un punto di quiete, detto baseline. Successivamente al gate viene inviato un treno di impulsi partendo dal valore di baseline fino ad un livello fisso di tensione. In modo sincrono a quello del gate, viene inviato un treno di impulsi al drain partendo dal valore di baseline fino a livelli di tensione che vengono incrementati ad ogni impulso con un passo fisso. Per ogni coppia di impulsi, attraverso l'oscilloscopio si misurano le grandezze  $V_{GS}$ ,  $V_{DD}$  e  $V_{DS}$ .

Utilizzando queste grandezze si ricava la caduta di tensione sulla resistenza  $R_{LOAD}$  e quindi la corrente  $I_D$ :

$$V_{R_{LOAD}} = V_{DD} - V_{DS} \quad I_D = \frac{V_{R_{LOAD}}}{R_{LOAD}} \quad (4.1)$$

Cambiando via via i valori di  $V_{DD}$ , si riesce così a costruire la caratteristica di uscita  $I_D$ - $V_D$  del dispositivo. Cambiando poi la tensione raggiunta dal gate, si ottiene una completa caratterizzazione dinamica del dispositivo.

In modo analogo, cioè fissando la tensione di drain e variando la tensione di gate, si ottiene la transcaratteristica  $I_D$ - $V_G$  del dispositivo.

Il treno di impulsi forniti al gate e al drain (figura 4.3) è costituito da una successione di segnali rettangolari di ampiezza variabile, periodo  $T = 100\mu s$  e dutycycle  $\delta = 1\%$ .

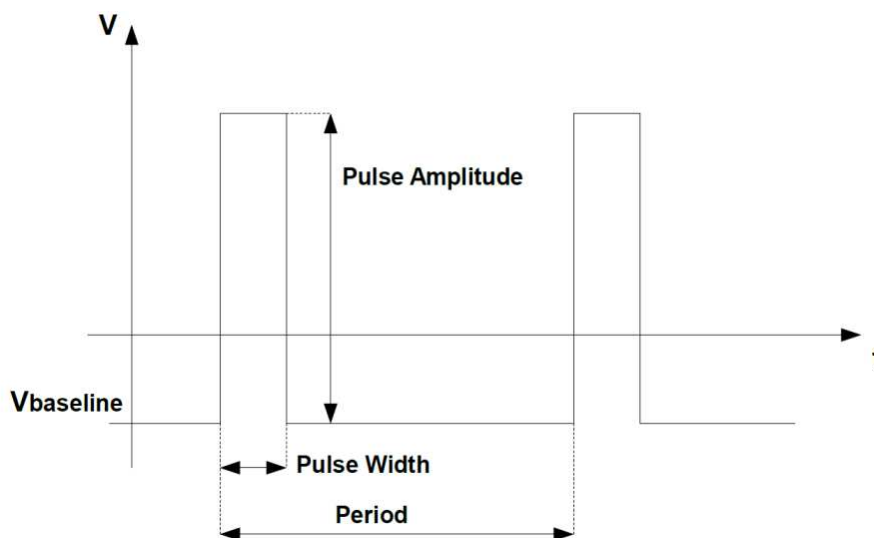


Figura 4.3: Grafico temporale di un impulso

Le misure sono state effettuate con otto baseline: una baseline nella condizione di non intrappolamento ( $V_G = 0V$  e  $V_D = 0V$ ), un'altra baseline tipica della misura di gate-lag ( $V_G = -6V$  e  $V_D = 0V$ ) e altre sei baseline, nelle quali si sono aumentate le tensioni applicate al drain per vedere come varia lo slump ratio e come degradano le caratteristiche dinamiche del dispositivo a  $V_{DD}$  di baseline maggiori.

Il sistema Double Pulse permette di evitare i fenomeni di auto-riscaldamento associati e di avere una certa autonomia nella scelta della baseline. Non è però possibile variare la resistenza di carico.

### 4.3 Misure di gate-lag

Il fenomeno del gate-lag è un ritardo nella risposta della corrente di drain a seguito di una variazione della tensione di gate. La misura di gate-lag consente quindi di osservare e quantificare il collasso di corrente all'accensione di un dispositivo.

La misura viene effettuata nella stessa probe station utilizzata per le misure dinamiche e la scheggia è ancora posta sul chuck della probe station e contattata con punte RF. In figura 4.4 è riportato lo schema della misura di gate-lag. Gli strumenti utilizzati sono l'impulsatore HP8110A, che fornisce il segnale al gate, l'alimentatore E3649A, che fornisce la tensione  $V_{DD}$  al drain, e un oscilloscopio Tektronix TD654C, che utilizza come trigger il segnale di gate. Il dispositivo viene connesso in configurazione a source comune, con una resistenza di carico connessa tra il drain e la tensione fornita dall'alimentatore. Come nel caso di misure dinamiche gli strumenti sono collegati tramite cavo GP-IB ad un PC che controlla la misura utilizzando un programma realizzato in LabView.

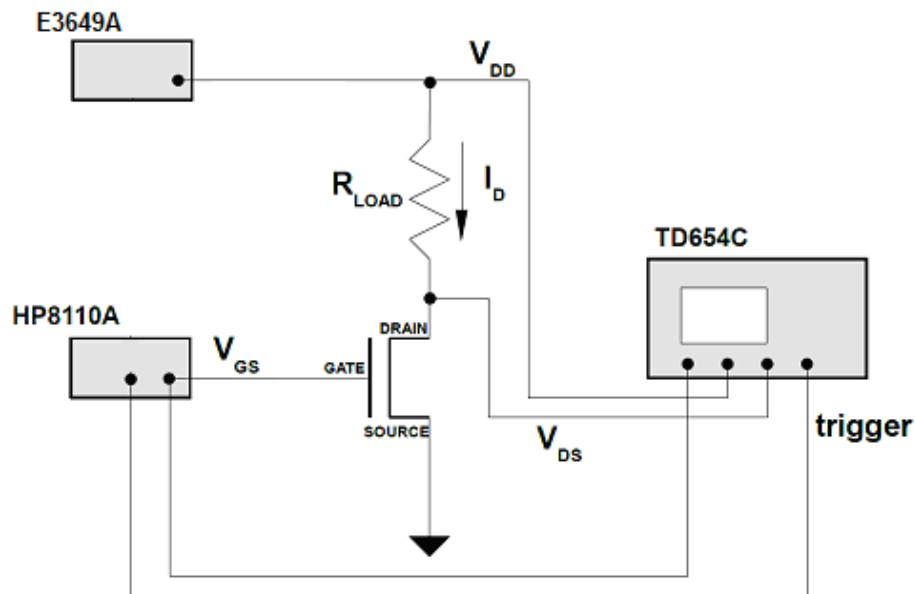


Figura 4.4: Sistema di misura gate-lag

Durante la misura si applica al gate un gradino di tensione che porta il dispositivo dallo stato di interdizione fino ad un punto di lavoro desiderato (nel nostro caso vicino al ginocchio della caratteristica di uscita). Si può variare il punto di lavoro e la tensione  $V_{DD}$  con dispositivo spento cambiando la resistenza di carico  $R_{LOAD}$  in accordo con la relazione:

$$V_{DISP.ACCESO} = V_{DD} - R_{LOAD} \times I_D \quad (4.2)$$

La corrente di drain, a causa del fenomeno del collasso di corrente del dispositivo, non si porta istantaneamente al valore di regime, ma manifesta un transitorio di accensione (figura 4.5). E' possibile perciò quantificare il tempo necessario per l'accensione completa del dispositivo date opportune condizioni di riposo.

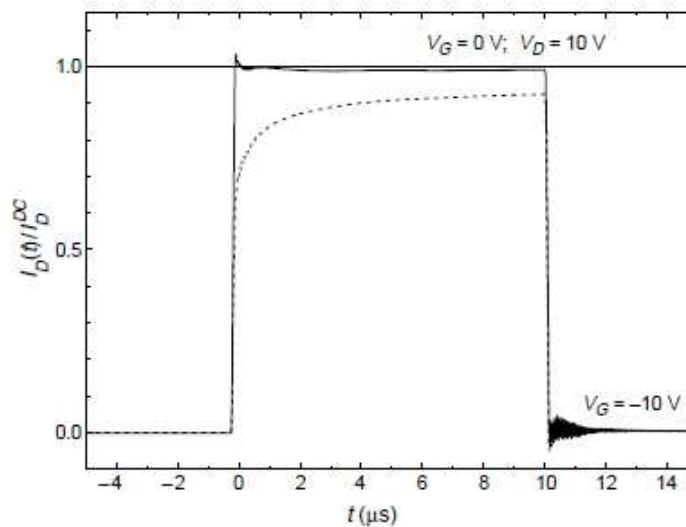


Figura 4.5: Andamento della  $I_D$  a seguito di un impulso applicato al gate di un HEMT

### 4.3.1 Gate-lag in temperatura

Le misure di gate-lag in temperatura consentono di trarre informazioni riguardo l'energia di attivazione degli stati trappola responsabili del collasso di corrente. Lo schema del sistema di misura è lo stesso descritto nella sezione precedente ma in questo caso la scheggia è posta su un chuck termico che consente di portare il wafer ad una determinata temperatura. Il dispositivo viene portato a diverse temperature, per ciascuna delle quali si procede all'acquisizione di un impulso di gate lag. Ogni impulso acquisito viene successivamente interpolato utilizzando la seguente relazione [12]:

$$I = I_0 - I_1 e^{-(t/\tau)^\beta} \quad (4.3)$$

dove il termine  $I_0$  indica il valore di regime della corrente di drain,  $I_1$  indica l'estensione del collasso di corrente,  $\tau$  è la costante di tempo associata alla trappola e  $\beta$  è un parametro di fitting che può assumere valori compresi tra 0 e 1.

Il fit delle curve si ottiene variando i parametri  $\tau$  e  $\beta$ . Successivamente si grafica la funzione  $\ln(\tau * T^2)$  in funzione di  $1/kT$  (diagramma d'Arrhenius) (figura 4.6). La pendenza della retta che interpola i vari punti rappresenta l'energia di attivazione della trappola espressa in eV.



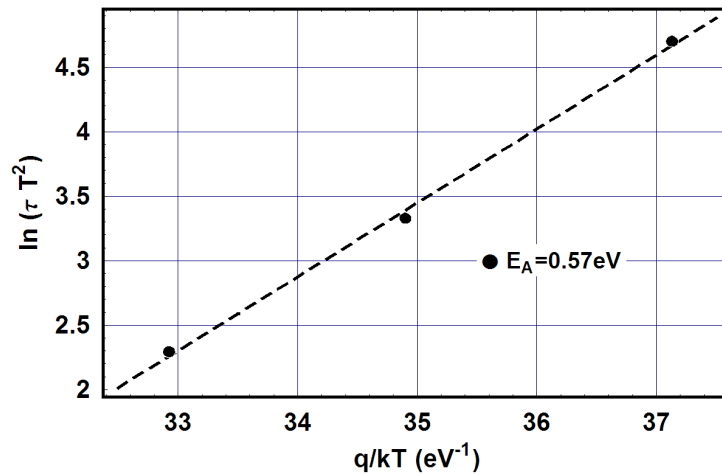


Figura 4.6: Esempio di un Plote d' Arrhenius

## 4.4 Misure di resistenza di contatto

Come si è visto nel capitolo 1, nei dispositivi HEMT si possono trovare diversi tipi di contatti e molto spesso può risultare importante caratterizzare la resistenza dei contatti.

Il metodo utilizzato per le misure di resistenza di contatto nei wafer a disposizione è il "Transfer length Method" (TLM) data la presenza di queste strutture di test nelle PCM dei wafer. Esso si basa essenzialmente sulla misura della resistenza tra due contatti ohmici in funzione della loro distanza. A tale scopo vengono utilizzati dei dispositivi con struttura TLM, dove ogni coppia di contatti è separata da distanza crescente (figura 4.7).

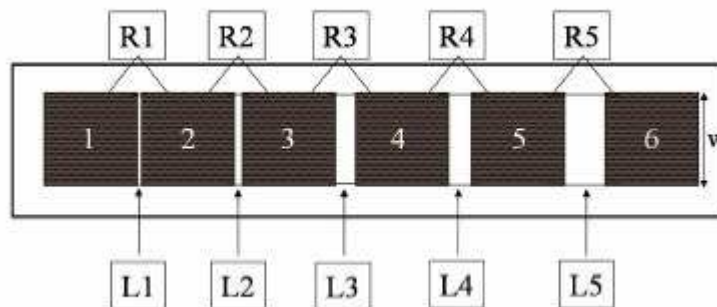


Figura 4.7: Schema di una struttura TLM

Per utilizzare il metodo TLM si misura la resistenza totale  $R_T$  tra ogni coppia di contatti successivi del dispositivo, aventi larghezza  $Z$  e separati da una distanza  $L$ . Costruendo il fit

lineare mostrato in figura 4.8 si ricavano la resistività superficiale del materiale ( $R_{SH}$ ) dalla pendenza della retta e la resistenza di contatto dall'intercetta sull'asse delle ordinate.

La resistenza totale tra due contatti risulta:

$$\frac{R_T}{Z} = 2R_C + R_{SH} \times L \tag{4.4}$$

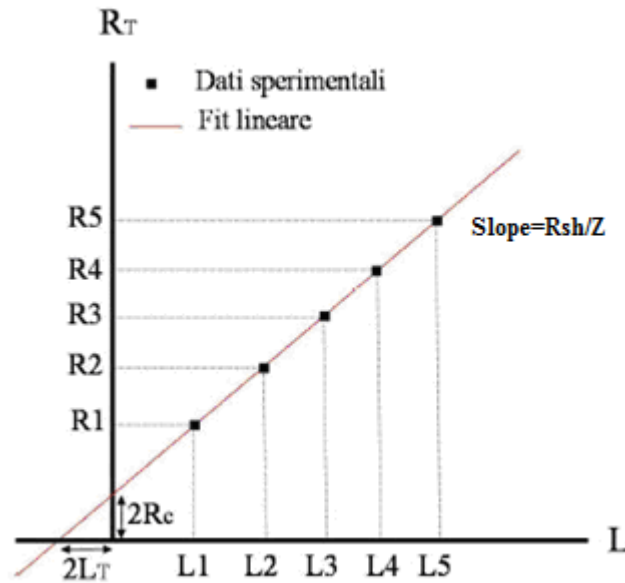


Figura 4.8: Costruzione lineare del fit da cui si ricavano le proprietà del contatto

In tutti i wafer analizzati sono presenti due tipi di TLM: uno “standard”, ed uno “Gated”, cioè con una giunzione Schottky di lunghezza variabile fra i pad dei contatti ohmici.

In entrambi la larghezza del contatto  $Z$  vale  $100\mu\text{m}$ . Nei TLM standard (figura 4.11), la resistenza fra due contatti è data dalla (4.4).

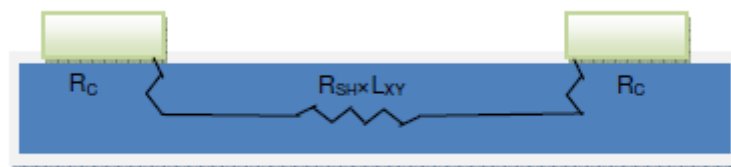


Figura 4.9: Contributi resistivi presenti tra due contatti nel TLM standard

Per quanto riguarda il TLM “Gated” (figura 4.10), la resistenza presente fra due contatti ohmici risulta differente a causa del diverso contributo della resistenza di strato del 2DEG presente sotto la barriera Schottky ( $R_{SH}^S$ ).  $R_{SH}^S$  differisce da  $R_{SH}$  estratto dalle misure del TLM “classico”, perché nel processo di realizzazione del wafer, la deposizione del metallo succede

ad un attacco dello strato di SiN che può danneggiare o modificare le caratteristiche e lo spessore del materiale, generalmente diminuendo la mobilità e la densità di carica del 2DEG, e quindi si ha generalmente che  $R_{SH}^S \geq R_{SH}$ . Indicando con  $L_G$  la lunghezza del Gate,  $L_{SG}=L_{DG}=(L_{SD}-L_G)/2$  la distanza fra contatti ohmici e Gate, si può scrivere:

$$\frac{R_T}{Z} = 2R_C + 2R_{SH} \times L_{SG} + R_{SH}^S \times L_G \quad (4.5)$$

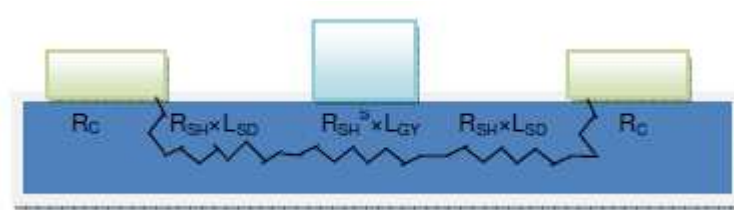


Figura 4.10: Contributi resistivi presenti tra due contatti nel TLM GATED

Nei TLM Gated presenti si ha che  $L_{SD}=5\mu\text{m}$  per tutti i valori di  $L_G$ , per cui la pendenza della regressione lineare dei valori di resistenza misurata in funzione di  $L_G$  è  $R_{SH}^S$ , mentre l'intercetta per  $L_G=0\mu\text{m}$  è  $(2 \times R_C + R_{SH} \times 5\mu\text{m})$ .

Nella tabella seguente sono riportati i valori delle distanze tra i vari contatti nei due tipi di TLM.

		Gap 1	Gap 2	Gap 3	Gap 4	Gap 5
TLM	$L_{SD}$	2 $\mu\text{m}$	5 $\mu\text{m}$	10 $\mu\text{m}$	15 $\mu\text{m}$	20 $\mu\text{m}$
TLM GATED	$L_{SD}$	10 $\mu\text{m}$	15 $\mu\text{m}$	20 $\mu\text{m}$	30 $\mu\text{m}$	40 $\mu\text{m}$
	$L_G$	0.5 $\mu\text{m}$	5 $\mu\text{m}$	10 $\mu\text{m}$	20 $\mu\text{m}$	30 $\mu\text{m}$

Tabella 4.1: Distanze tra i contatti nei TLM standard e GATED

La misura viene effettuata in una probe station del tipo utilizzata per le misure statiche o dinamiche: la scheggia è posta sul chuck della probe station e il dispositivo viene contattato con delle micropunte DC (due nel caso di metodo a 2 punte e quattro nel caso di metodo a 4 punte). La caratterizzazione viene effettuata tramite l' HP4142 parameter analyzer. Lo strumento è collegato tramite cavo GP-IB ad un PC che controlla la misura utilizzando il software di gestione ICS.

## 4.5 Misure C-V

Per avere ulteriori informazioni sull'intrappolamento di carica nell'eterostruttura sono state fatte delle misure capacità-tensione su dispositivi ad elevata area (FATFET). Nella misura C-V il dispositivo viene sottoposto ad uno sweep di tensione passando da una condizione di polarizzazione diretta a una di polarizzazione inversa del diodo e viceversa, potendo così rilevare e quantificare le variazioni capacitive all'accensione del dispositivo attivo. Sovrapposto alla componente continua viene applicato un piccolo segnale sinusoidale di frequenza prefissata. In queste condizioni la misura di capacità viene ottenuta dallo sfasamento fra i segnali di tensione e corrente.

Lo strumento impiegato per la misura è un HP4248A LCR meter con cui è possibile condurre misure sino ad una frequenza massima di 1MHz. Il modello impiegato per misurare l'impedenza è il parallelo capacità-conduttanza (figura 4.11).

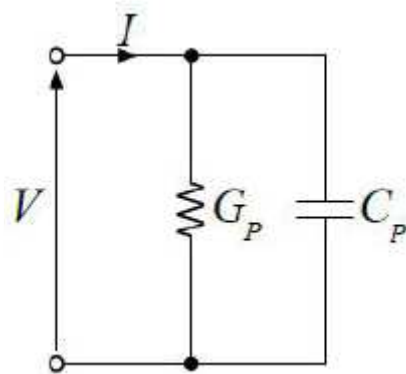


Figura 4.11: Modello impiegato per misurare l'impedenza

Tali misure vengono effettuate in una configurazione a quattro terminali, due dei quali ( $H_P$  ed  $L_P$ ) sono utilizzati per imporre la tensione, comprensiva di polarizzazione e segnale, mentre altri due ( $H_C$  ed  $L_C$ ) consentono la misura della corrente. La scheggia è posta sul chuck della probe station e il dispositivo viene contattato con quattro micropunte DC. Non è possibile utilizzare le punte RF, in quanto durante la misura lo strumento mantiene in virtual ground il terminale  $L_P$  e quindi utilizzando le punte RF il conduttore  $L_P$  verrebbe posto direttamente a massa, impedendo il corretto funzionamento dello strumento.

## 4.6 Misure di emissione

Le misure di emissione sono state eseguite nei test di affidabilità per monitorare il degrado dei dispositivi. Con questa tecnica il wafer è posto all'interno di una probe station contenente un microscopio a emissione (Hamamatsu Emission Microscopy System PHEMOS P200 (figura 4.12)). Lo strumento è dotato di un sensore per il conteggio dei fotoni (CCD) che lavora mediante raffreddamento ad una temperatura di  $-50^{\circ}\text{C}$ , di 4 obiettivi (2X, 20X, 50X, 100X) e di diversi filtri in grado di ridurre l'intensità della radiazione incidente sul CCD. Può essere pilotato sia frontalmente sia via software, tramite un PC ad esso connesso.



Figura 4.12: PHEMOS P200

Il dispositivo viene contatto con quattro micropunte DC (una gate, una al drain e due al source) (figura 4.13). Le punte sono collegate con dei cavi BNC all'interno della probe station e con dei cavi triassiali allo strumento di misura, che in questo caso è il parameter analyzer HP4142. Lo strumento è connesso ad un PC con cavo GP-IB e comandato tramite il programma di gestione ICS.

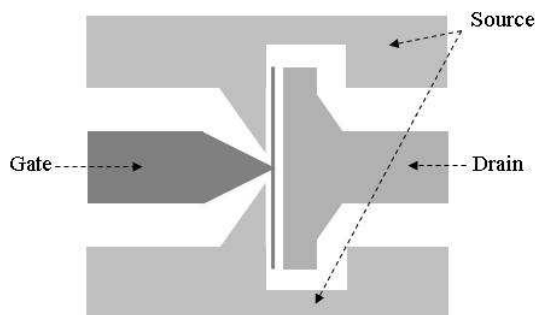


Figura 4.13: Punti di contatto per la misurazione a 4 terminali

Durante la misura il dispositivo viene polarizzato staticamente in diversi punti di lavoro per un certo intervallo di tempo utilizzando l' HP4142 e il sensore ottico del PHEMOS conteggia i fotoni emessi dalla regione attiva del dispositivo. Il programma ICS permette di acquisire l'emissione in condizioni di buio (dark-image) e sottrarla a quella misurata con il dispositivo polarizzato, in maniera da diminuire rumore di misura e il rumore di fondo.

Inoltre è possibile sovrapporre l'immagine di emissione con la fotografia del dispositivo, rendendo così immediatamente visibili le zone di maggiore emissione, identificando, in base alle condizioni di polarizzazione, le zone di maggior danneggiamento del dispositivo o l'uniformità della distribuzione della corrente nelle normali condizioni operative.

# Capitolo 5

## Caratterizzazione statica

In questo capitolo vengono descritte e confrontate le principali caratteristiche statiche dei dispositivi dei quattro wafer a disposizione. Questo tipo di misure consente di verificare lo stato di vita dei dispositivi e l'uniformità delle caratteristiche all'interno dello stesso wafer. Per fare ciò si sono misurati i dispositivi di tre celle su cinque della scheggia SLX CA-02, di dieci celle su sedici della scheggia SLX CA-04, di dodici celle su ventitre delle schegge SLX IA-01 e SLX NC-03.

Dalle caratteristiche DC sono stati estratti i seguenti grafici:

- **Gate-Source // Gate-Drain Diode:** caratteristica I-V del diodo Schottky G-SD con  $V_{GS}$  che varia da -8V a 2V.
- **Out:** caratteristiche di corrente d'uscita per  $V_{DS}$  da 0V a 10V con  $V_{GS}$  che aumenta da -6V ( $< V_{TH}$ ) a 1V a step di 1V.
- **$I_D$ - $V_{GS}$  in zona lineare:** caratteristica di trasferimento con  $V_{DS}$  da 0.1V a 1V, step 0.3V e  $V_{GS}$  che aumenta da -6V a 1V; in questo grafico è riportata anche la corrente di leakage  $I_G$  in scala logaritmica.
- **$g_m$  in zona lineare:** transconduttanza funzione di  $V_{GS}$  con  $V_{DS}$  da 0.1V a 1V, step 0.3V.
- **Corrente di sottosoglia in zona lineare:** corrente  $I_D$  in scala logaritmica con  $V_{DS}$  da 0.1V a 1V, step 0.3V.
- **$I_D$ - $V_{GS}$  in zona di saturazione:** caratteristica di trasferimento con  $V_{DS}$  da 6V a 10V, step 1V e  $V_{GS}$  che aumenta da -6V a 1V; in questo grafico è riportata anche la corrente di leakage  $I_G$  in scala logaritmica.

- **$g_m$  in zona di saturazione:** transconduttanza funzione di  $V_{GS}$  con  $V_{DS}$  da 6V a 10V, step 1V.
- **Corrente di sottosoglia in zona di saturazione:** corrente  $I_D$  in scala logaritmica con  $V_{DS}$  da 6V a 10V, step 1V.

Dai vari grafici elencati si sono estrapolati alcuni parametri caratteristici delle prestazioni del dispositivo per confrontare le caratteristiche statiche dei dispositivi e per analizzare l'omogeneità del wafer. Questi parametri sono:

- **$I_F$ :** corrente di drain misurata per  $V_{DS} = 7V$  e  $V_{GS} = 1V$
- **$I_{DSS}$ :** corrente di drain misurata per  $V_{DS} = 7V$  e  $V_{GS} = 0V$
- **$g_{m1\_MAX}$ :** massimo della transconduttanza in zona lineare misurata a  $V_{DS} = 0.1V$
- **$g_{m\_MAX}$ :** massimo della transconduttanza in zona di saturazione misurata a  $V_{DS} = 7V$
- **$I_{G\_leakageON}$ :** corrente di gate misurata per  $V_{DS} = 7V$  e  $V_{GS} = 0V$  (canale aperto)
- **$I_{G\_leakageOFF}$ :** corrente di gate misurata per  $V_{DS} = 7V$  e  $V_{GS} = -6V$  (canale chiuso)
- **$I_{D\_OFF}$ :** corrente di drain misurata a canale chiuso per  $V_{DS} = 7V$  e  $V_{GS} = -6V$
- **$V_{TH1}$ :** tensione di soglia del dispositivo misurata sulla caratteristica  $I_D-V_G$  a  $V_{DS} = 0.1V$  e  $I_{DS} = 1mA/mm$
- **$V_{TH}$ :** tensione di soglia del dispositivo misurata sulla caratteristica  $I_D-V_G$  a  $V_{DS} = 7V$  e  $I_{DS} = 1mA/mm$
- **$I_{GS-D}$ :** corrente del diodo G-SD per  $V_{GS} = -8V$
- **$R_{ON}$ :** resistenza tra drain e source a canale aperto misurata per  $V_{GS} = 0V$  e  $V_{DS} = 100mV$

Di seguito sono riportate le misure eseguite su due dispositivi tipici con  $W_G=200\mu m$  e  $W_G=1000\mu m$  per ogni scheggia a disposizione.



## 5.1 SLX CA-02

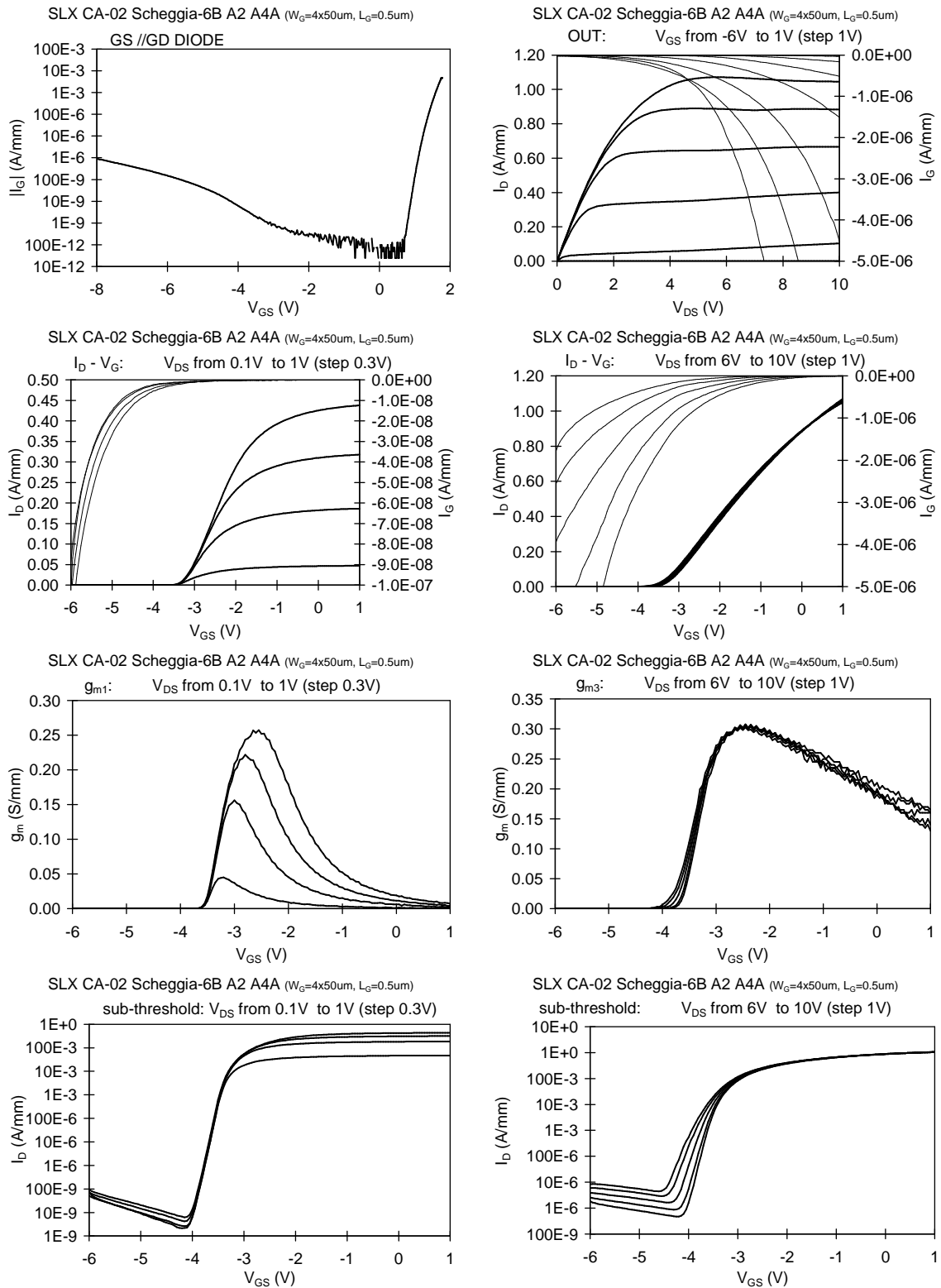


Figura 5.1: Caratterizzazione DC del dispositivo A2\_A4A del wafer SLX CA-02 ( $W_G=200\mu m$ ,  $L_G=0.5\mu m$ )

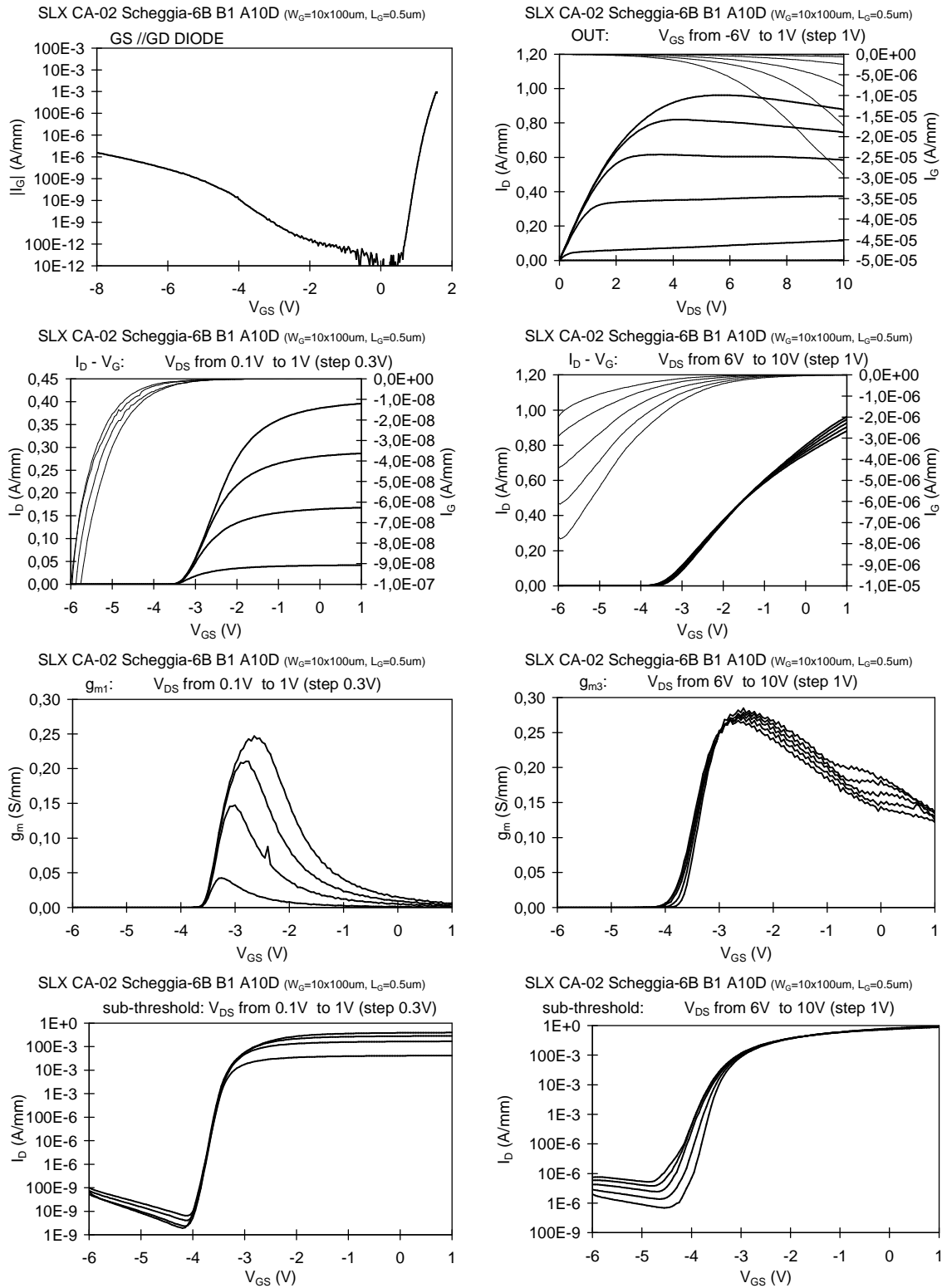
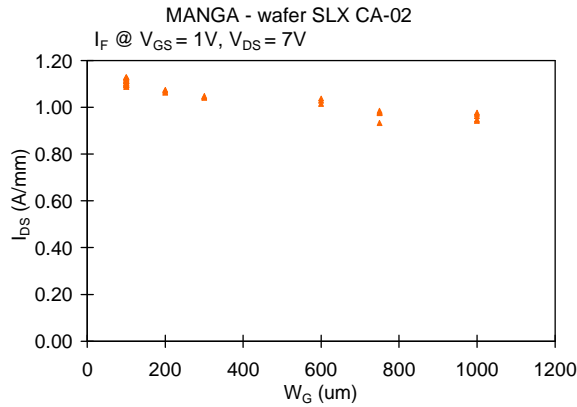
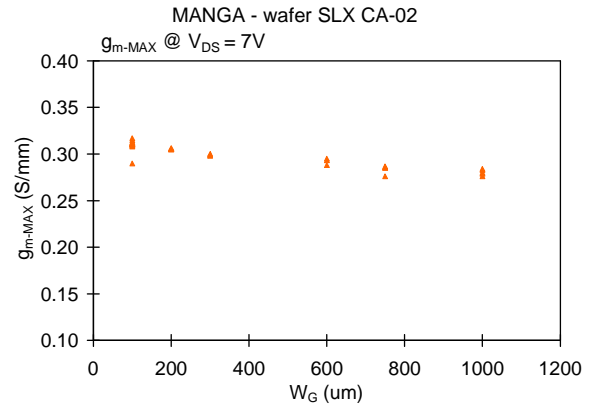


Figura 5.2: Caratterizzazione DC del dispositivo B1\_A10D del wafer SLX CA-02 ( $W_G=1000 \mu\text{m}$ ,  $L_G=0.5 \mu\text{m}$ )

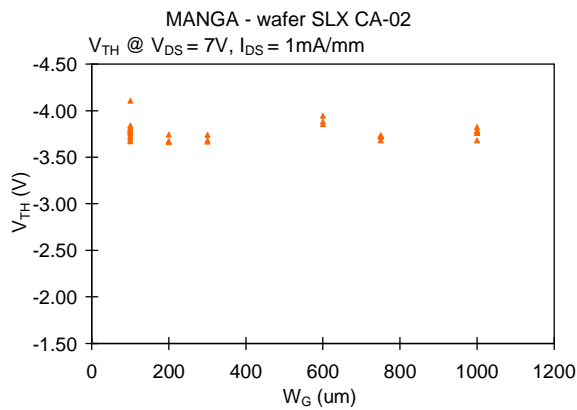
Di seguito sono riportati i grafici di riepilogo di alcuni parametri caratteristici in funzione della  $W_G$  per confrontare tutti i dispositivi del wafer SLX CA-02.



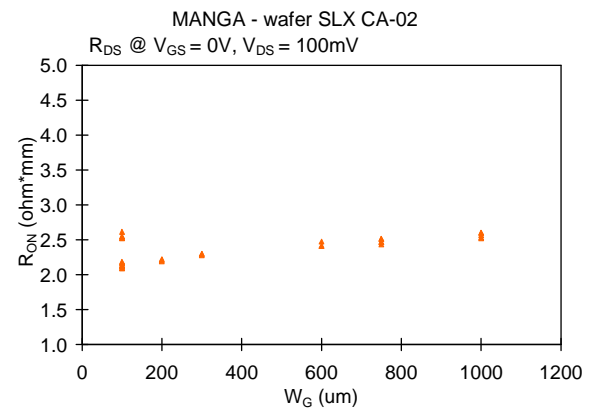
a) Confronto  $I_F$



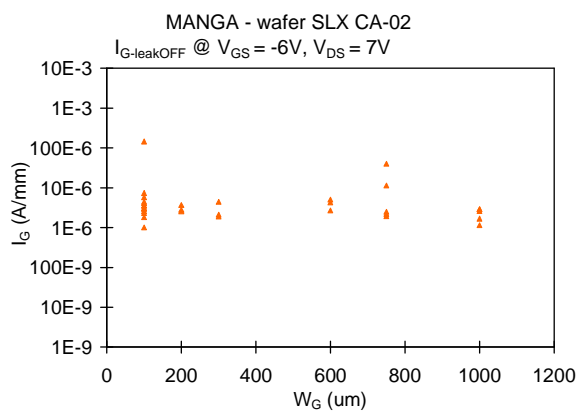
b) Confronto  $g_{m\_MAX}$



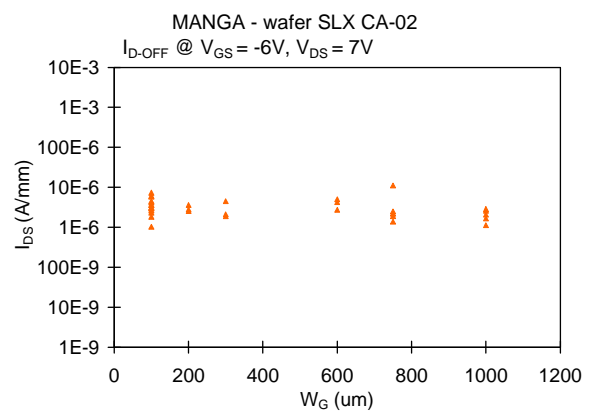
c) Confronto  $V_{TH}$



d) Confronto  $R_{ON}$



e) Confronto  $I_{G\_leakageOFF}$



f) Confronto  $I_{D\_OFF}$

Figura 5.3: Confronto di alcuni parametri caratteristici in funzione della  $W_G$  del wafer SLX CA-02

Dai risultati ottenuti si nota una certa omogeneità dei parametri caratteristici della scheggia SLX CA-02. Solo le correnti di leakage mostrano una notevole variabilità all'interno del wafer, con differenze tra i vari dispositivi di anche tre ordini di grandezza. Questa dispersione non sembra essere collegata alla larghezza del gate. Dai grafici si può notare una piccola diminuzione della corrente di uscita  $I_F$  e della transconduttanza  $g_{m\_MAX}$  all'aumentare della larghezza di gate, a causa di un leggero aumento della resistenza tra drain e source.

Di seguito sono riportati i valori medi dei parametri caratteristici dei dispositivi:

$I_F$	$I_{DSS}$	$g_{mMAX}$	$ I_{GLEAKON} $	$ I_{GLEAKOFF} $	$I_{DOFF}$	$V_{th}$	$ I_{GS-D} $	$R_{ON}$
(A/mm)	(A/mm)	(S/mm)	(A/mm)	(A/mm)	(A/mm)	(V)	(A/mm)	( $\Omega$ *mm)
1,05	0,87	0,30	9,52E-08	8,78E-06	3,36E-06	-3,77	1,21E-05	2,36

Tabella 5.1: Valori medi dei parametri caratteristici del wafer SLX CA-02

## 5.2 SLX CA-04

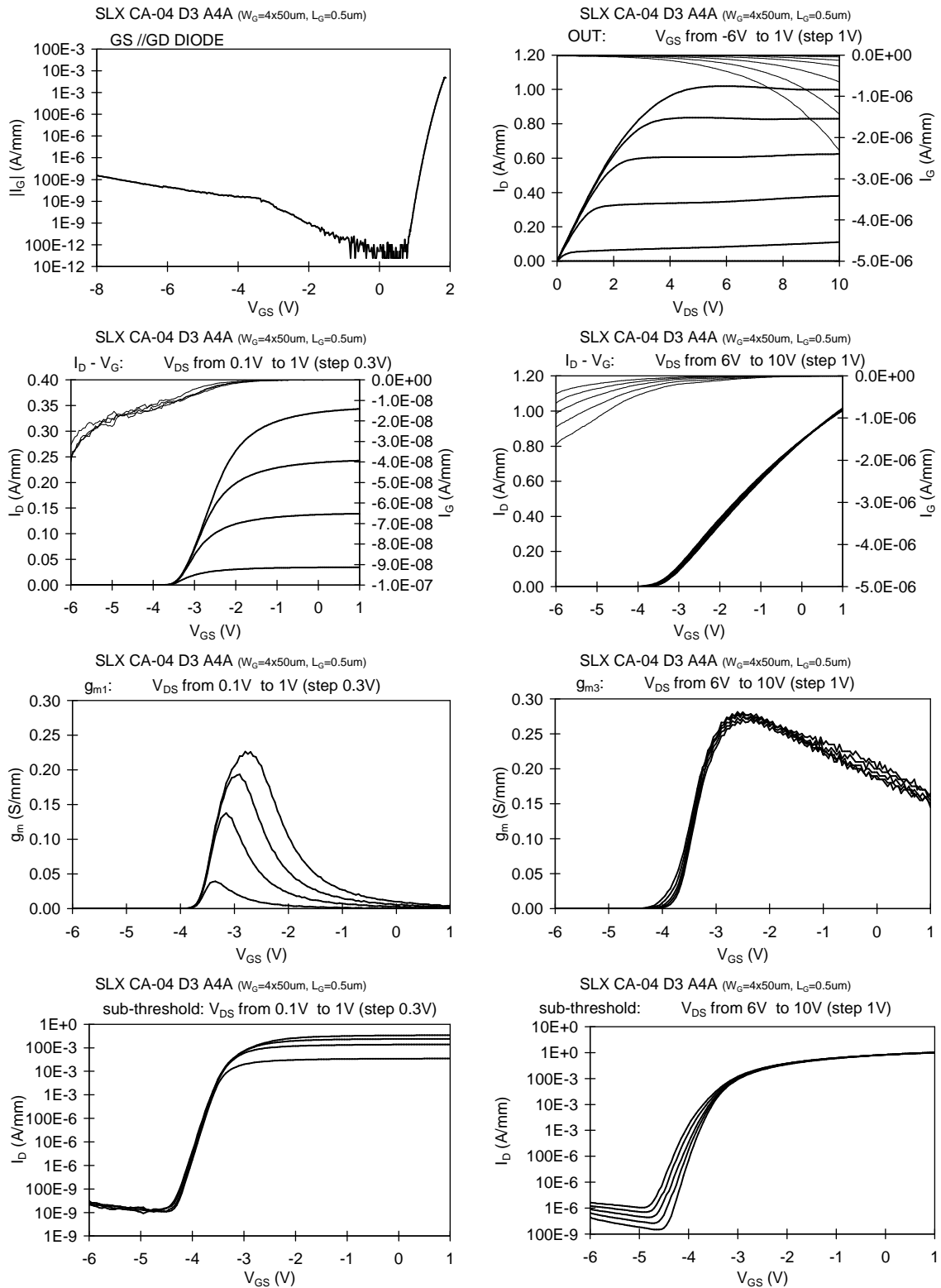


Figura 5.4: Caratterizzazione DC del dispositivo D3\_A4A del wafer SLX CA-04 ( $W_G=200 \mu\text{m}$ ,  $L_G=0.5 \mu\text{m}$ )

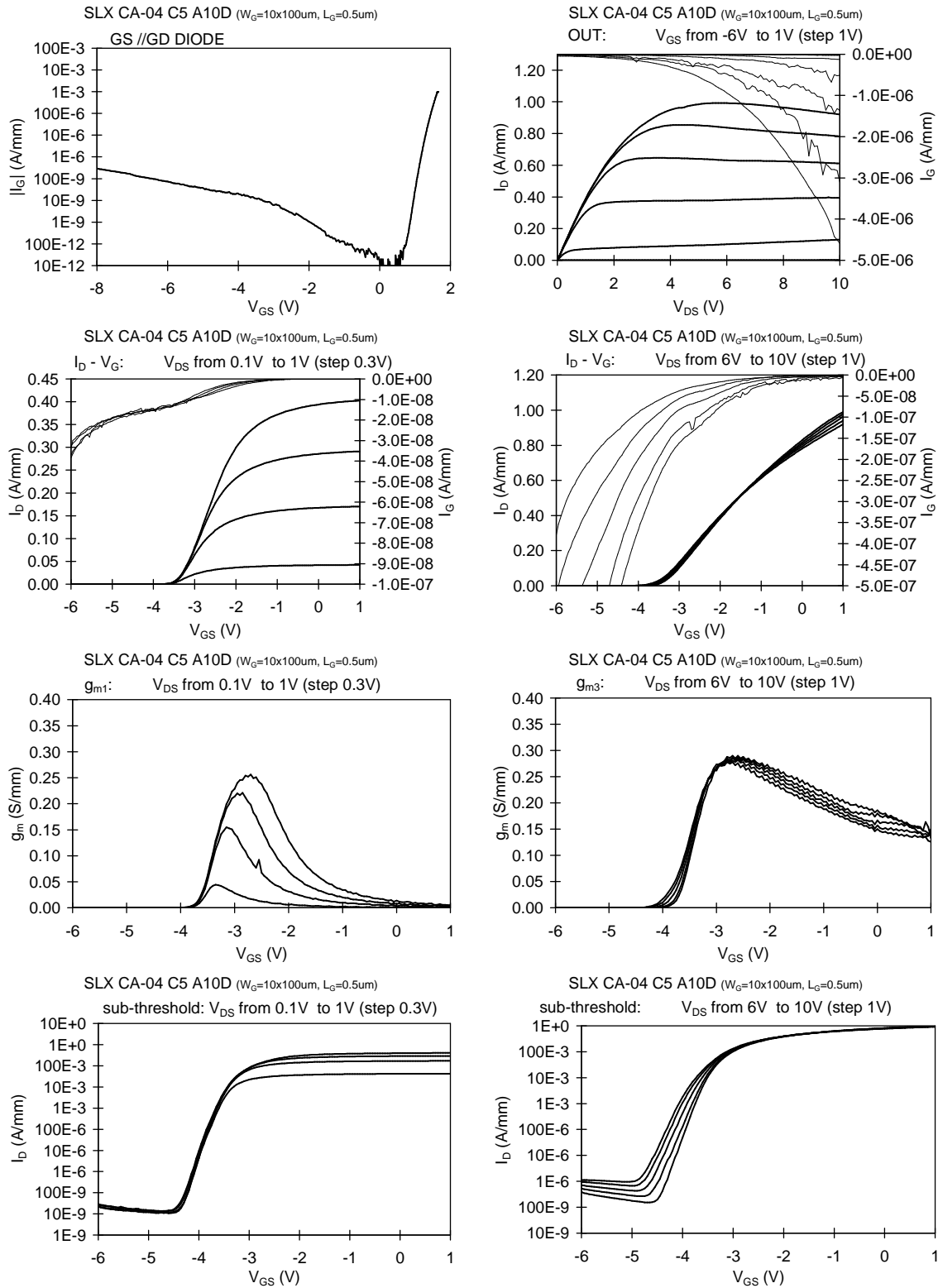
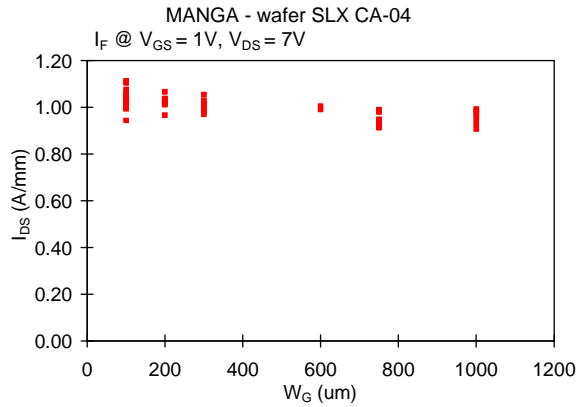
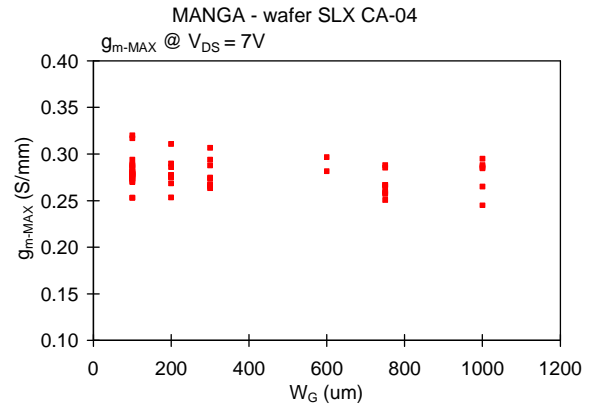


Figura 5.5: Caratterizzazione DC del dispositivo C5\_A10D del wafer SLX CA-04 ( $W_G=1000\mu\text{m}$ ,  $L_G=0.5\mu\text{m}$ )

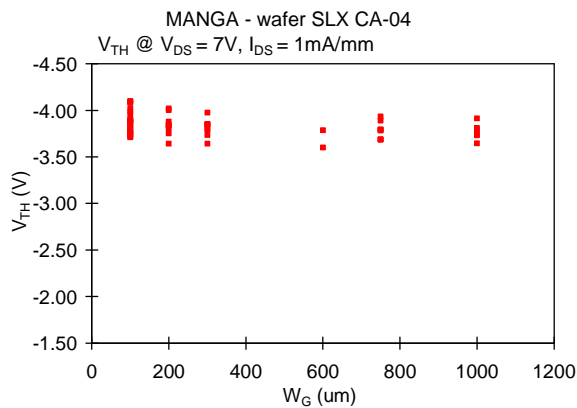
Di seguito sono riportati i grafici di riepilogo di alcuni parametri caratteristici in funzione della  $W_G$  per confrontare tutti i dispositivi del wafer SLX CA-04.



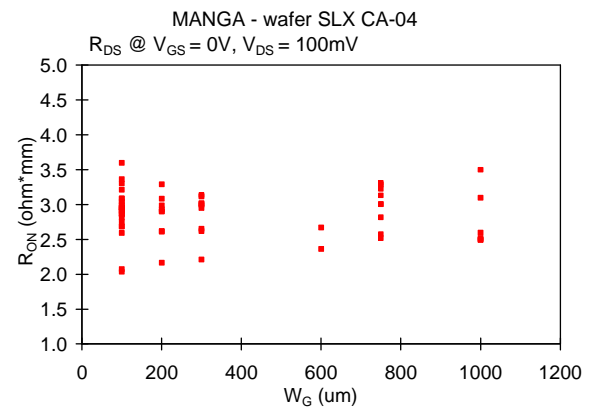
a) Confronto  $I_F$



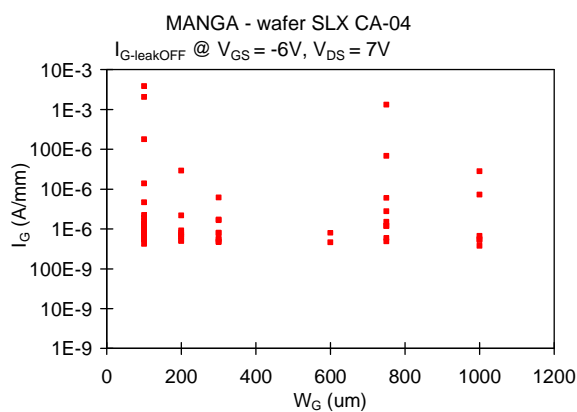
b) Confronto  $g_{m\_MAX}$



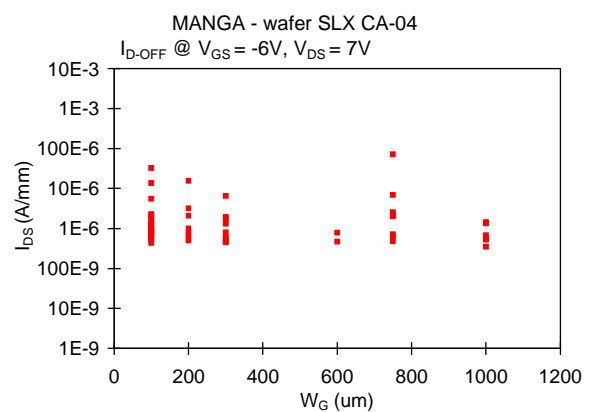
c) Confronto  $V_{TH}$



d) Confronto  $R_{ON}$



e) Confronto  $I_{G\_leakageOFF}$



f) Confronto  $I_{D\_OFF}$

Figura 5.6: Confronto di alcuni parametri caratteristici in funzione della  $W_G$  del wafer SLX CA-04

Nei dispositivi di questa scheggia si nota una certa omogeneità dei parametri caratteristici, a differenza delle correnti di leakage, con una dispersione di valori di quasi quattro ordini di grandezza, e della resistenza tra drain e source, dove alcuni dispositivi hanno un valore di  $R_{ON}$  che si discosta anche di  $1 \Omega \cdot \text{mm}$  dal valore medio (Tabella 5.2), e questo crea una leggera variabilità anche sulla transconduttanza. Queste dispersioni non sembrano essere collegate alla larghezza del gate. Anche in questo wafer si può notare una piccola diminuzione della corrente di uscita  $I_F$  e della transconduttanza  $g_{m\_MAX}$  all'aumentare della larghezza di gate.

$I_F$	$I_{DSS}$	$g_{mMAX}$	$ I_{GLEAKON} $	$ I_{GLEAKOFF} $	$I_{DOFF}$	$V_{th}$	$ I_{GS-D} $	$R_{ON}$
(A/mm)	(A/mm)	(S/mm)	(A/mm)	(A/mm)	(A/mm)	(V)	(A/mm)	( $\Omega \cdot \text{mm}$ )
1,01	0,83	0,28	5,4E-06	1,26E-04	3,45E-06	-3,83	1,99E-04	2,87

Tabella 5.2: Valori medi dei parametri caratteristici del wafer SLX CA-04



### 5.3 SLX IA-01

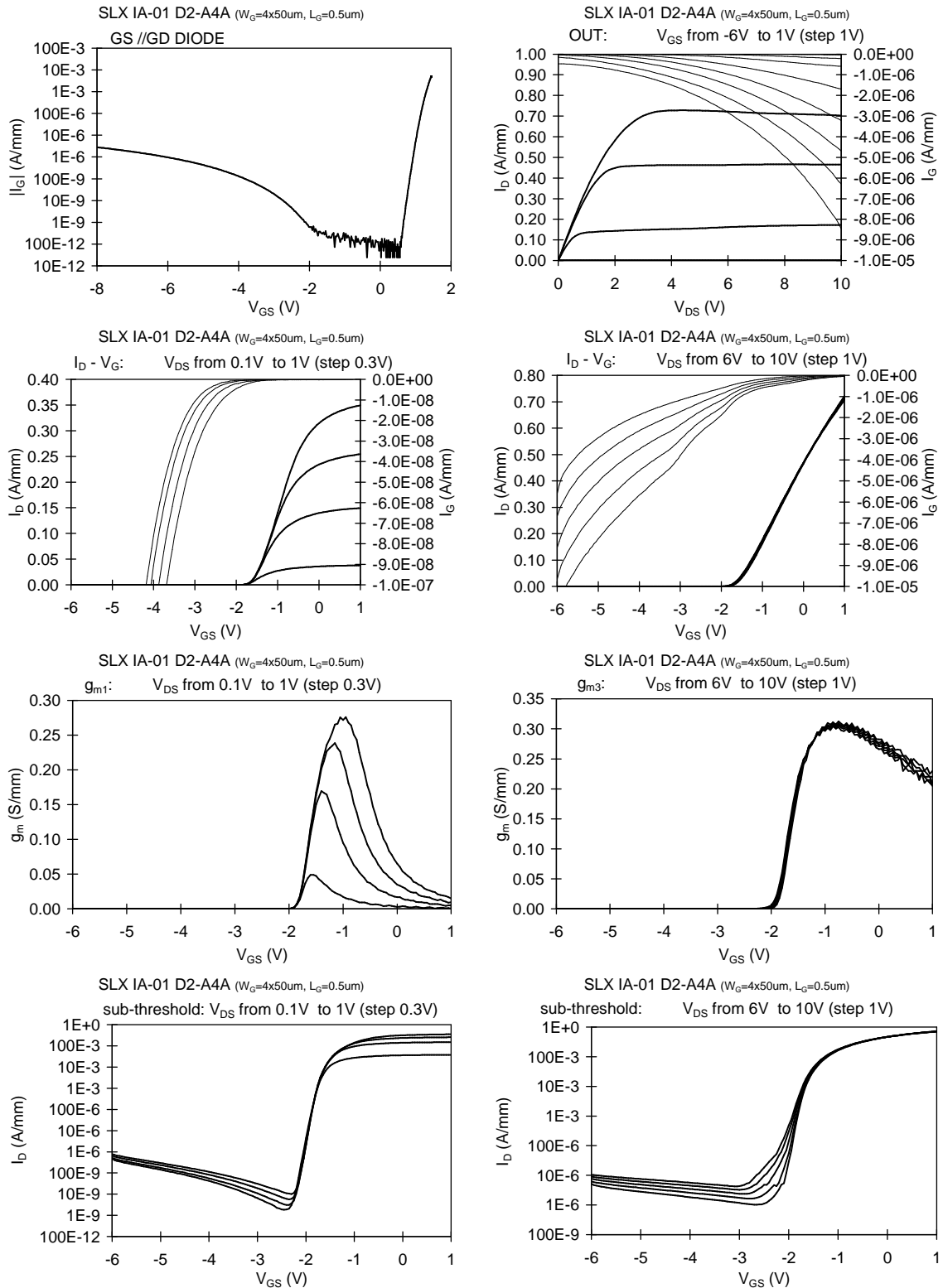


Figura 5.7: Caratterizzazione DC del dispositivo D2\_A4A del wafer SLX IA-01 ( $W_G=200\mu m$ ,  $L_G=0.5\mu m$ )

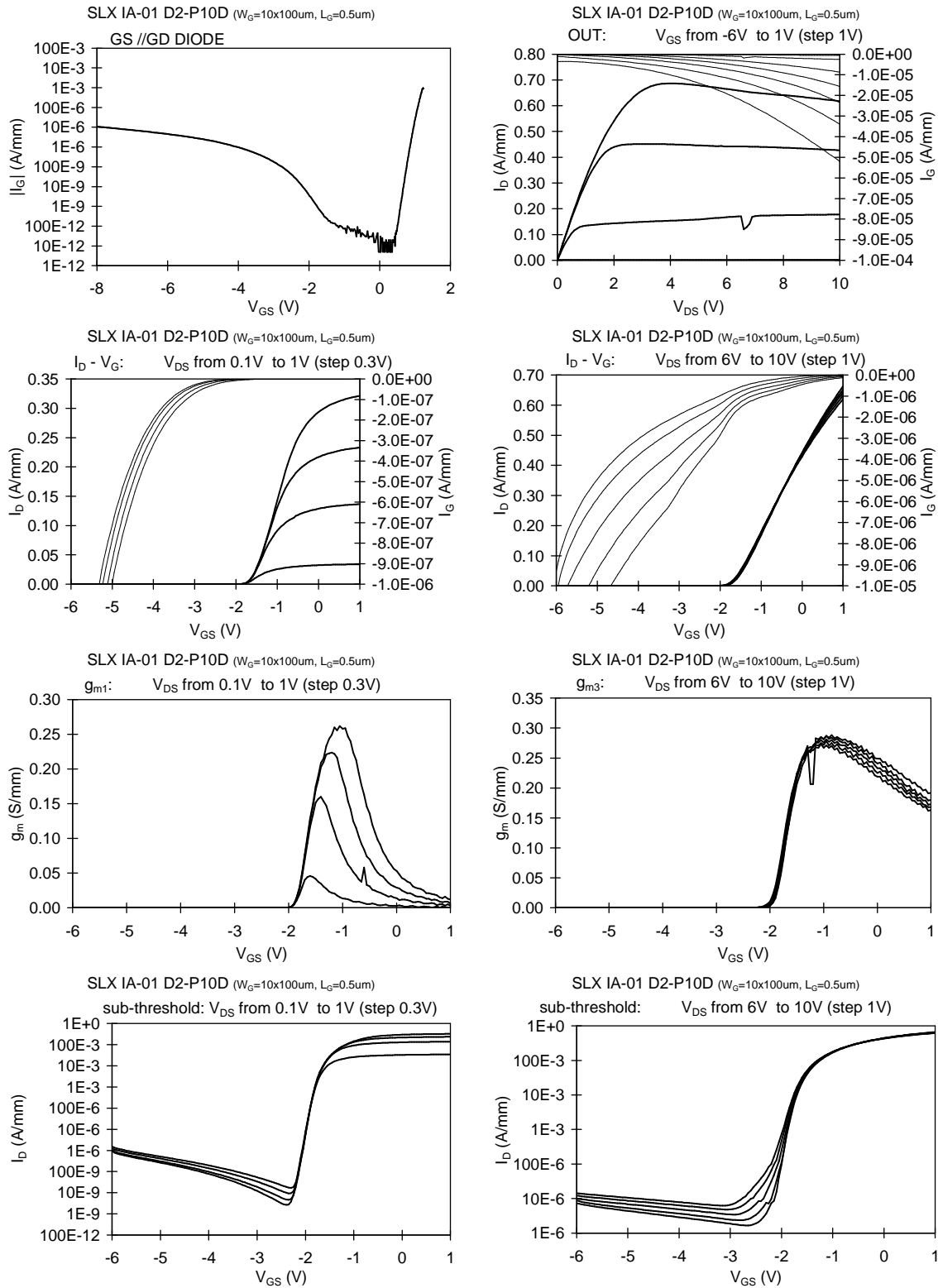
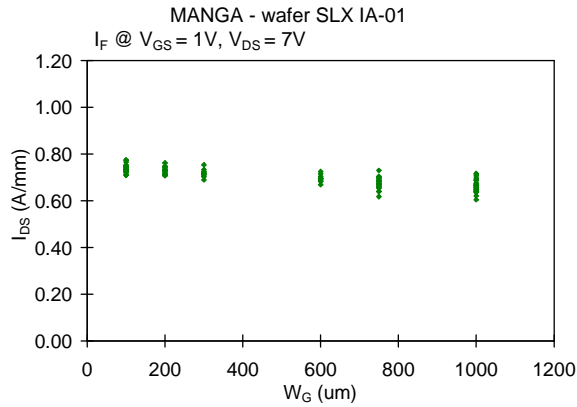
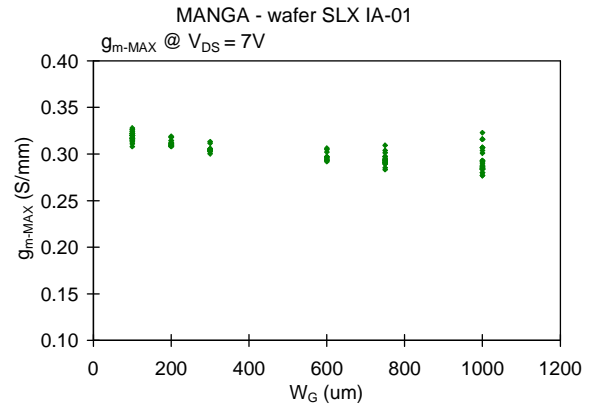


Figura 5.8: Caratterizzazione DC del dispositivo D2\_P10D del wafer SLX IA-01 ( $W_G=1000 \mu\text{m}$ ,  $L_G=0.5 \mu\text{m}$ )

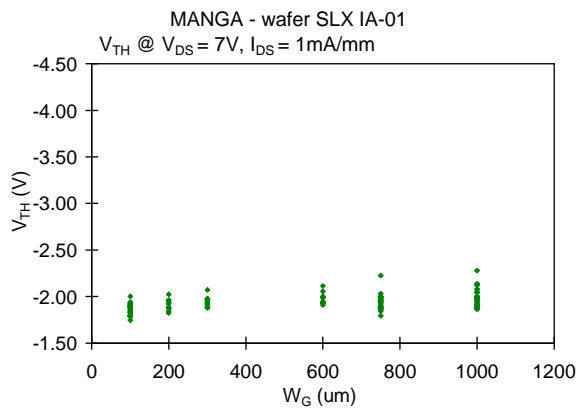
Di seguito sono riportati i grafici di riepilogo di alcuni parametri caratteristici in funzione della  $W_G$  per confrontare tutti i dispositivi del wafer SLX IA-01.



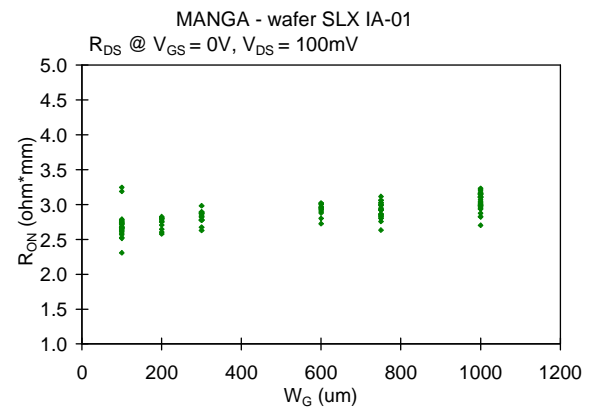
a) Confronto  $I_F$



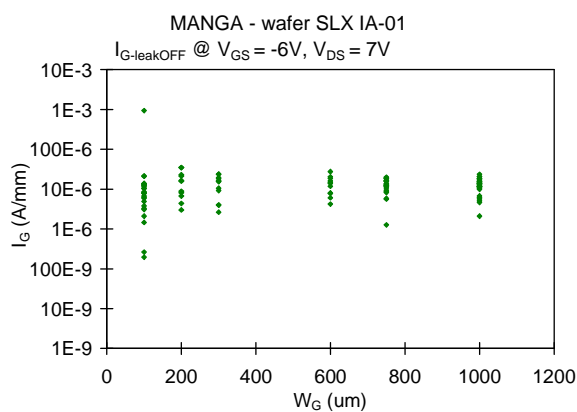
b) Confronto  $g_{m\_MAX}$



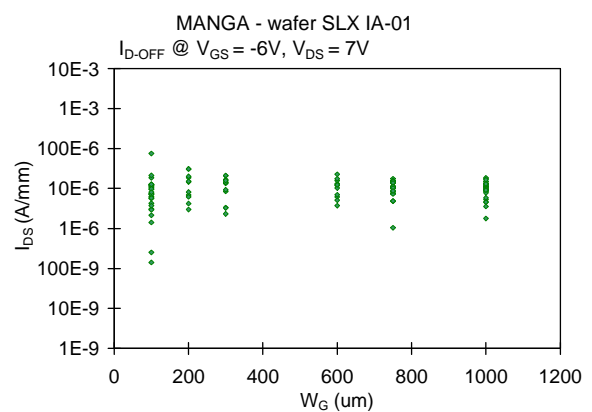
c) Confronto  $V_{TH}$



d) Confronto  $R_{ON}$



e) Confronto  $I_{G\_leakageOFF}$



f) Confronto  $I_{D\_OFF}$

Figura 5.9: Confronto di alcuni parametri caratteristici in funzione della  $W_G$  del wafer SLX IA-01

Nei dispositivi misurati si nota una buona omogeneità dei parametri caratteristici. Solo le correnti di leakage mostrano una dispersione di valori, comunque inferiore rispetto ai precedenti wafer. Questa dispersione non sembra essere collegata alla larghezza del gate. Come negli altri wafer si nota una piccola diminuzione della corrente di uscita  $I_F$  e della transconduttanza  $g_{m\_MAX}$  all'aumentare della larghezza di gate a causa di un leggero aumento della resistenza tra drain e source.

Di seguito sono riportati i valori medi dei parametri caratteristici dei dispositivi:

$I_F$	$I_{DSS}$	$g_{mMAX}$	$ I_{GLEAKON} $	$ I_{GLEAKOFF} $	$I_{DOFF}$	$V_{th}$	$ I_{GS-D} $	$R_{ON}$
(A/mm)	(A/mm)	(S/mm)	(A/mm)	(A/mm)	(A/mm)	(V)	(A/mm)	( $\Omega$ *mm)
0,70	0,47	0,30	7,92E-07	2,05E-05	1,11E-05	-1,93	2,82E-05	2,87

Tabella 5.3: Valori medi dei parametri caratteristici del wafer SLX IA-01

## 5.4 SLX NC-03

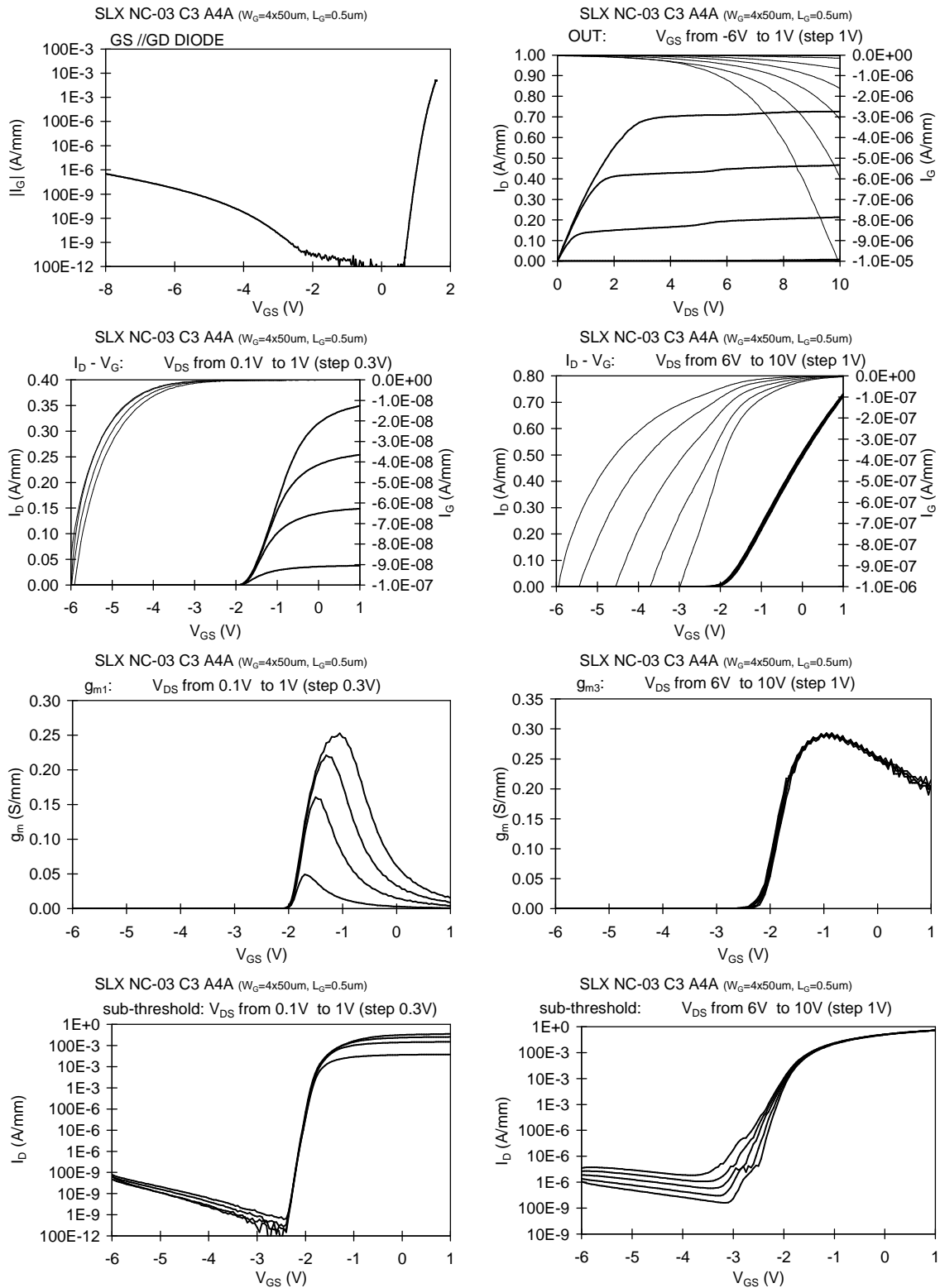


Figura 5.10: Caratterizzazione DC del dispositivo C3\_A4A del wafer SLX NC-03 ( $W_G=200\mu\text{m}$ ,  $L_G=0.5\mu\text{m}$ )

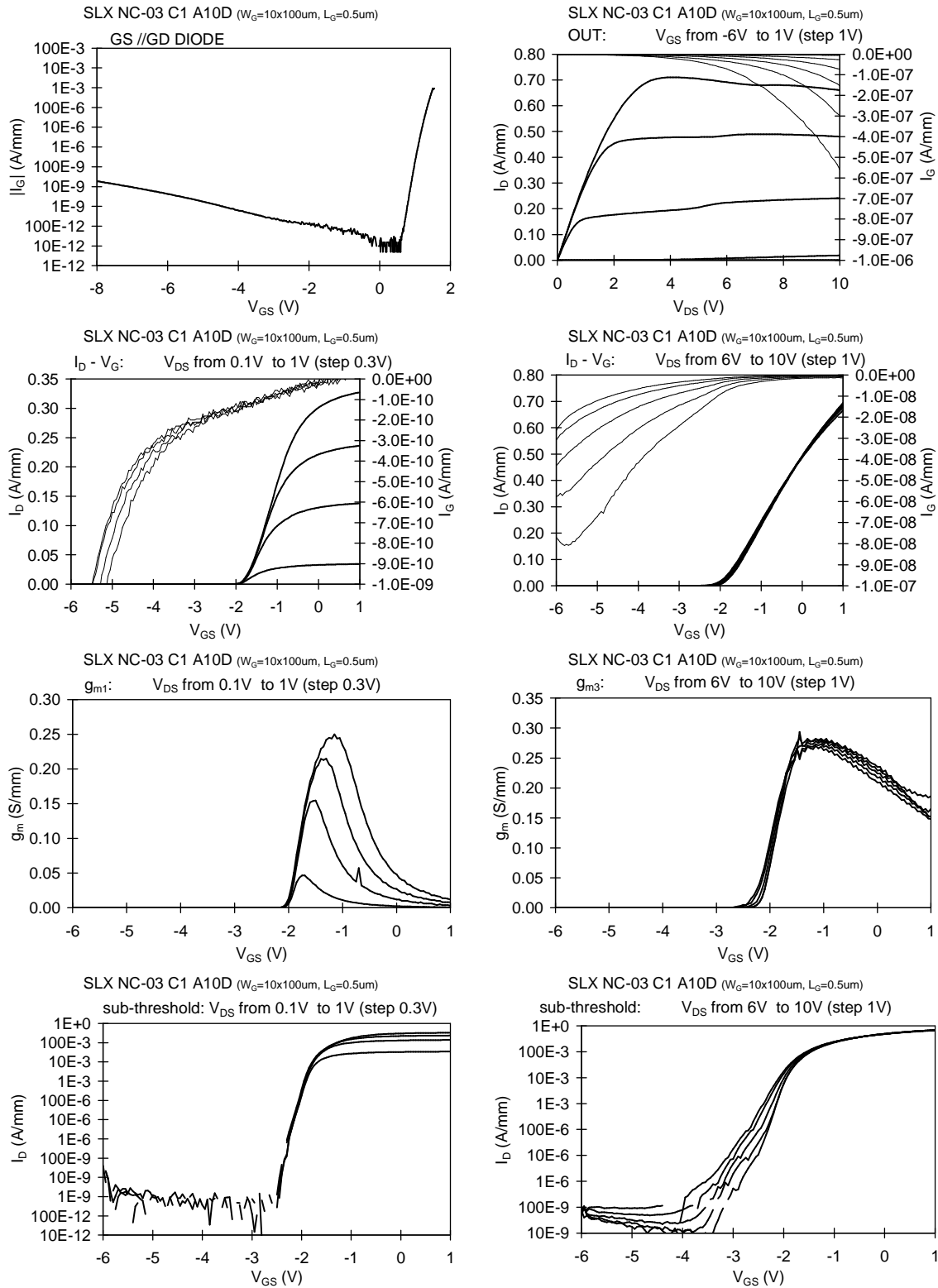
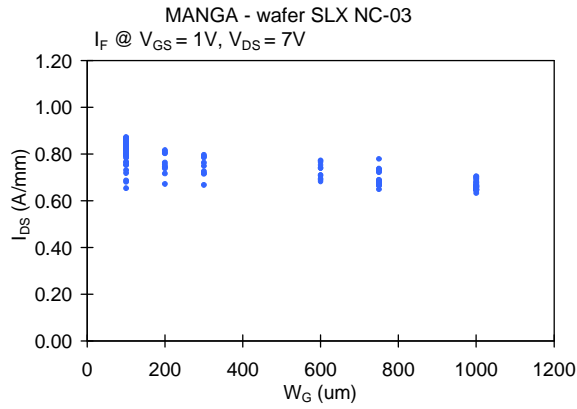
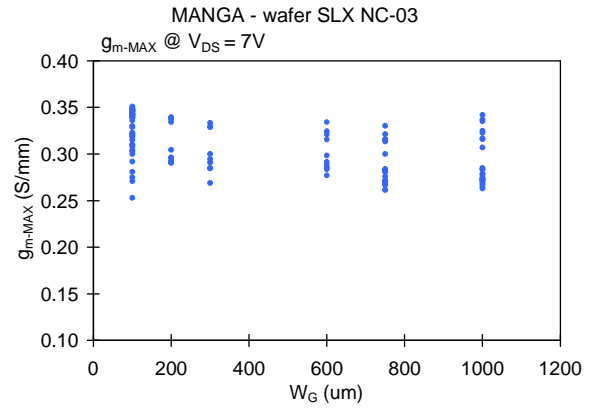


Figura 5.11: Caratterizzazione DC del dispositivo C1\_A10D del wafer SLX NC-03 ( $W_G=1000\mu\text{m}$ ,  $L_G=0.5\mu\text{m}$ )

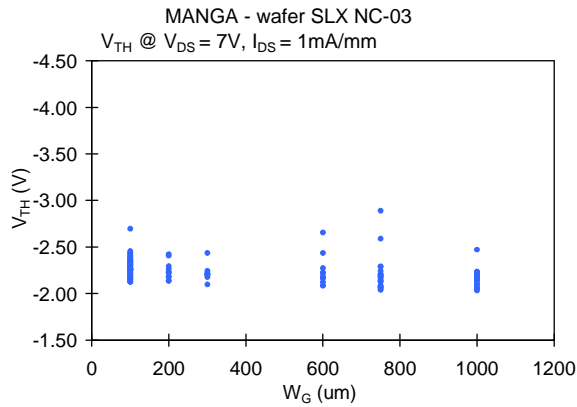
Di seguito sono riportati i grafici di riepilogo di alcuni parametri caratteristici in funzione della  $W_G$  per confrontare tutti i dispositivi del wafer SLX NC-03.



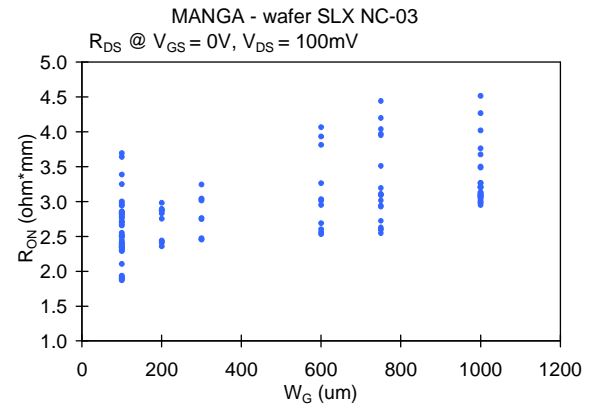
a) Confronto  $I_F$



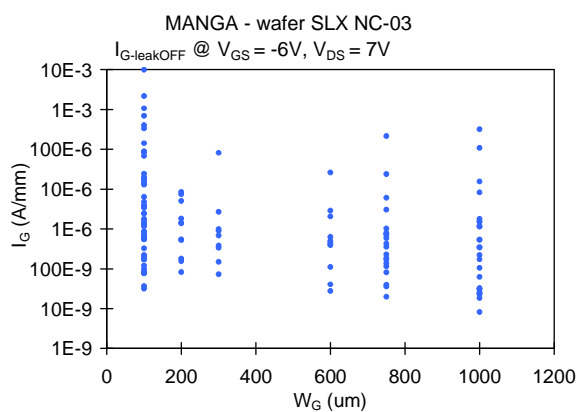
b) Confronto  $g_{m\_MAX}$



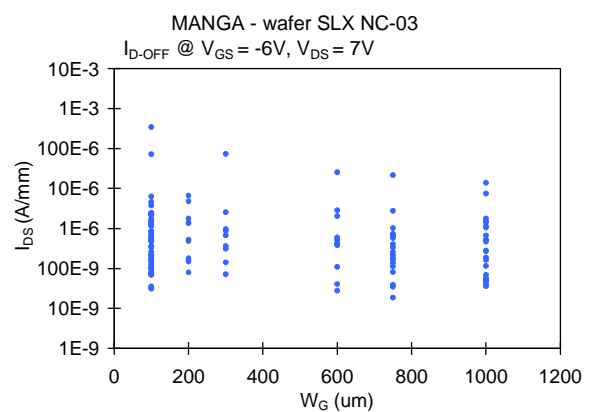
c) Confronto  $V_{TH}$



d) Confronto  $R_{ON}$



e) Confronto  $I_{G\_leakageOFF}$



f) Confronto  $I_{D\_OFF}$

Figura 5.12: Confronto di alcuni parametri caratteristici in funzione della  $W_G$  del wafer SLX NC-03

Nei dispositivi misurati si nota una dispersione di quasi sei ordini di grandezza nelle correnti di leakage. Anche la transconduttanza e la resistenza tra drain e source non presentano un'uniformità di valori. Queste dispersioni non sono collegate alla larghezza del gate. Inoltre si nota una piccola diminuzione della corrente di uscita  $I_F$  e della transconduttanza  $g_{m\_MAX}$  all'aumentare della larghezza di gate.

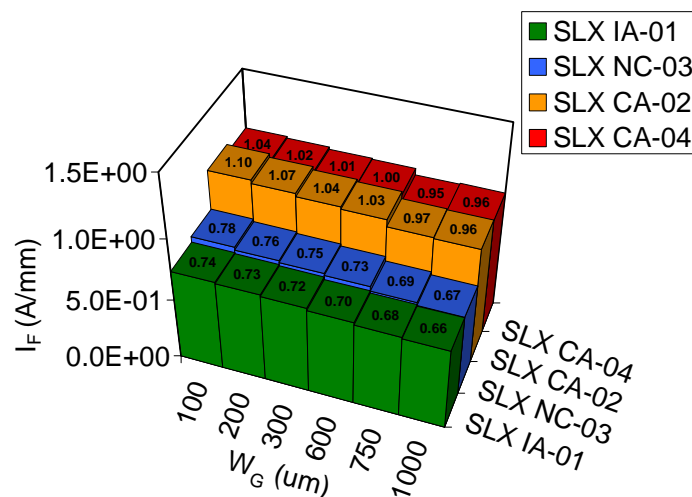
Di seguito sono riportati i valori medi dei parametri caratteristici dei dispositivi:

$I_F$	$I_{DSS}$	$g_{mMAX}$	$ I_{GLEAKON} $	$ I_{GLEAKOFF} $	$I_{DOFF}$	$V_{th}$	$ I_{GS-D} $	$R_{ON}$
(A/mm)	(A/mm)	(S/mm)	(A/mm)	(A/mm)	(A/mm)	(V)	(A/mm)	( $\Omega \cdot mm$ )
0,75	0,52	0,31	2,22E-06	1,27E-04	5,11E-06	-2,26	1,66E-04	2,92

Tabella 5.4: Valori medi dei parametri caratteristici del wafer SLX NC-03

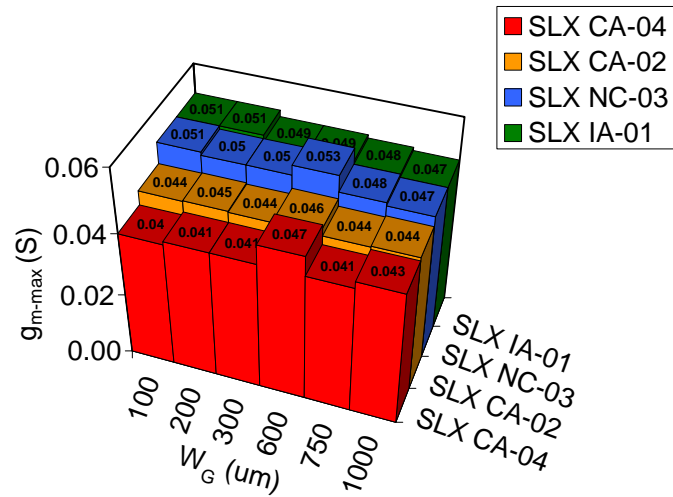
## 5.5 Confronto delle caratteristiche statiche

Sono di seguito riportati i grafici tridimensionali di alcuni parametri caratteristici in funzione della  $W_G$  per confrontare le caratteristiche statiche dei vari wafer.

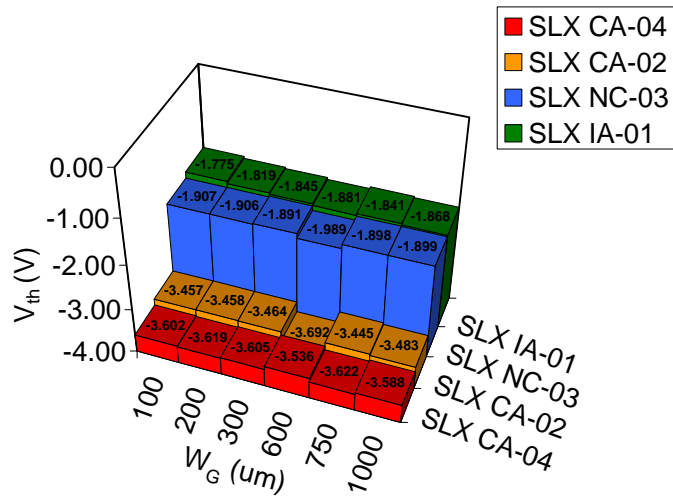


a) Confronto  $I_F$

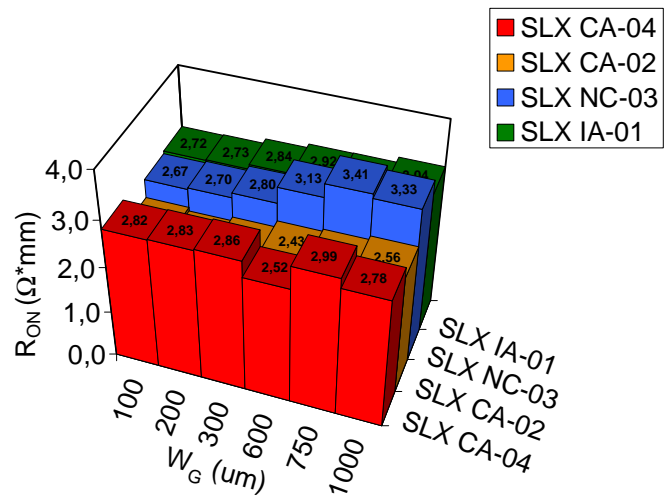




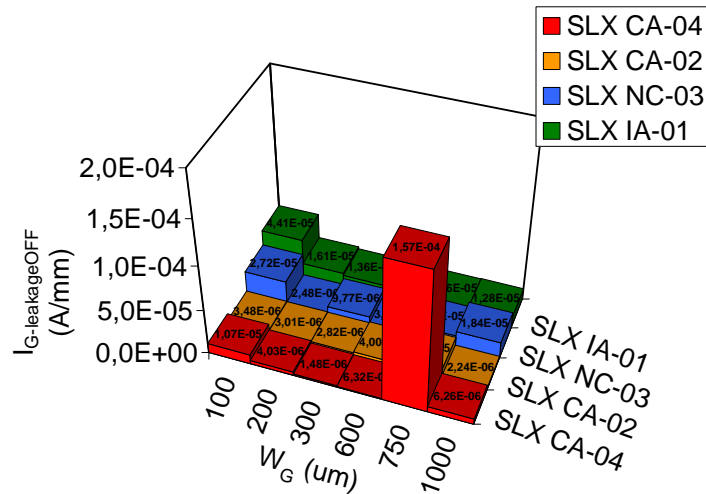
b) Confronto  $g_{m\_MAX}$



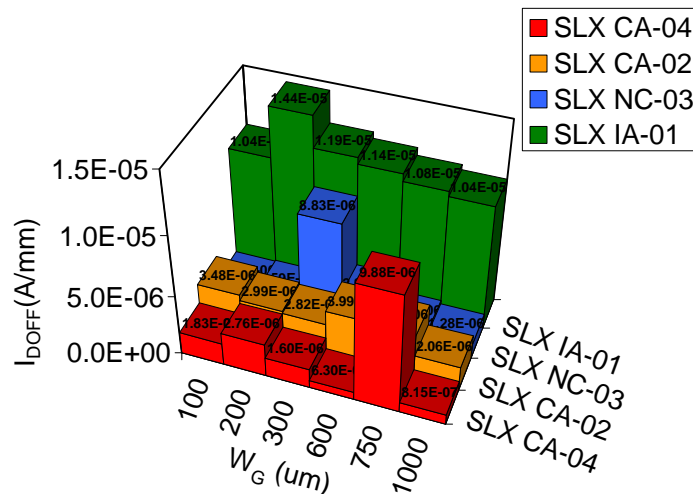
c) Confronto  $V_{TH}$



d) Confronto  $R_{ON}$



e) Confronto  $I_{G\_leakageOFF}$



f) Confronto  $I_{D\_OFF}$

Figura 5.13: Confronto di alcuni parametri caratteristici in funzione della  $W_G$

I dispositivi delle schegge SLX CA-02 e SLX CA-04 hanno parametri molto simili in quanto i due wafer hanno le stesse caratteristiche (concentrazione di ferro nel buffer e di alluminio nello strato barriera) (tabella 3.3). Gli altri due wafer hanno una tensione di soglia maggiore e una corrente  $I_F$  minore e a causa di un minore spessore della barriera (20nm a differenza dei 26nm dei wafer SLX CA-02 e SLX CA-04) e una minore concentrazione di alluminio. Come già visto in precedenza le correnti di leakage presentano una notevole dispersione di valori in tutti i wafer, principalmente a causa della grande variabilità dei valori delle correnti di perdita del diodo gate-source in ogni wafer analizzato (fino a sei ordini di grandezza nel wafer SLX NC -03) (figura 5.14) .

La transconduttanza non mostra una dipendenza dalle diverse caratteristiche dei wafer ed il diverso drogaggio di ferro nel buffer non sembra influire considerevolmente nelle caratteristiche statiche.

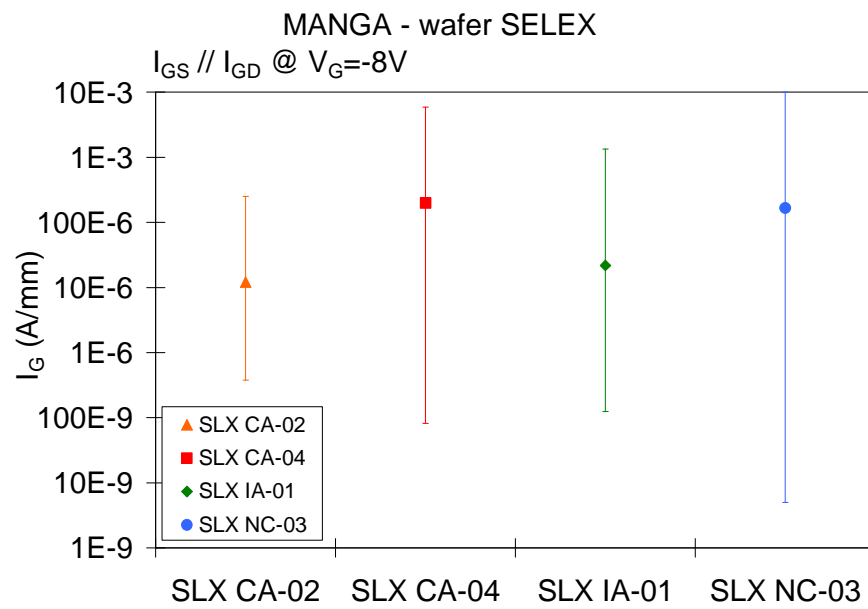


Figura 5.14: Valore medio della corrente di leakage del diodo gate-source di tutti i wafer testati



# Capitolo 6

## Misure dinamiche

In questo capitolo vengono riportati i risultati delle misure dinamiche, in particolare delle misure eseguite con il sistema “Double Pulse” e delle misure di gate-lag. Le misure dinamiche permettono di identificare la presenza di trappole superficiali e profonde attraverso delle misure impulsive di corrente.

### 6.1 Misure di Double Pulse

Nelle caratteristiche dinamiche sono riportati i seguenti grafici:

- **OUT:** caratteristica della corrente di uscita per  $V_{DS}$  da 0 V a 10 V, con valori della tensione di gate  $V_{GS}$  da 1V a -2V con passo di -1V
- **$I_D$ - $V_{GS}$ :** transcaratteristica valutata con  $V_{GS}$  da -6V a 1V e  $V_{DS}=3V$
- **$g_m$ :** transconduttanza con  $V_{GS}$  da -6V a 1V e  $V_{DS}=3V$

Le misure sono state effettuate con otto baseline:

- Baseline ( $V_G = 0$  V ,  $V_D = 0$  V ) ← (in blu nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 0$  V ) ← (in verde scuro nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 10$  V ) ← (in verde chiaro nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 20$  V ) ← (in azzurro nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 25$  V ) ← (in arancione chiaro nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 30$  V ) ← (in arancione nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 40$  V ) ← (in fucsia nei grafici)
- Baseline ( $V_G = -6$  V ,  $V_D = 50$  V ) ← (in rosso nei grafici)

Gli impulsi di gate sono di periodo 100 $\mu$ s e durata 1 $\mu$ s (1% duty-cycle). Per confrontare le caratteristiche dinamiche dei dispositivi è stato estratto un parametro detto Slump Ratio (S.R.), che quantifica il calo della corrente indotto dalla presenza delle trappole superficiali o nel buffer. Questo parametro è così definito:

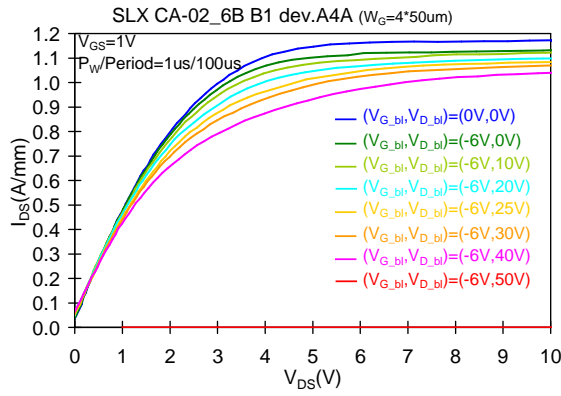
$$S.R. = \frac{I_{DS0\_BL(-6,50)}}{I_{DS0\_BL(0,0)}} \quad (6.1)$$

dove  $I_{DS0(-6,50)}$  è la corrente  $I_D$  calcolata a  $V_D=3V$  o  $V_D=10V$  e  $V_G=1V$  nella baseline a  $V_G=-6V$  e  $V_D=50V$ , mentre  $I_{DS0(0,0)}$  è la corrente calcolata nella baseline a  $V_G=V_D=0V$ .

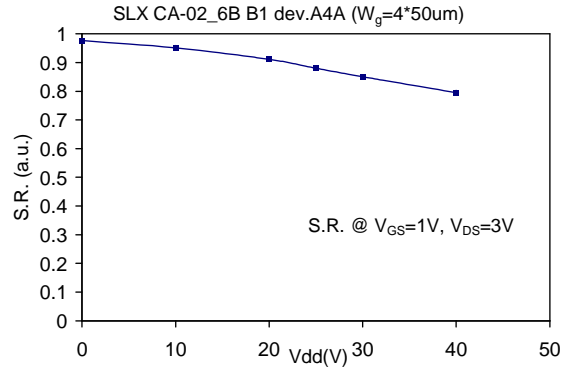
Tale parametro può assumere valori compresi tra 0 e 1. Per valori di S.R. vicini ad uno il current collapse è ridotto e le caratteristiche dinamiche sono quindi buone, mentre per valori tendenti a zero, il current collapse è accentuato, indice della presenza di trappole riempite che creano un gate virtuale e chiudono parzialmente il canale.

Per caratterizzare i dispositivi sono state eseguite misure al double pulse system su un numero limitato di campioni, in quanto si tratta di misure che necessitano di tempi relativamente lunghi. Di seguito sono riportate le misure eseguite su due dispositivi tipici con  $W_G=200\mu m$  e  $W_G=300\mu m$  per ogni scheggia a disposizione.

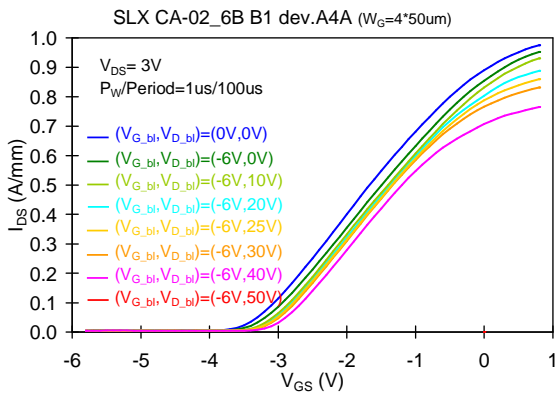
6.1.1 SLX CA-02



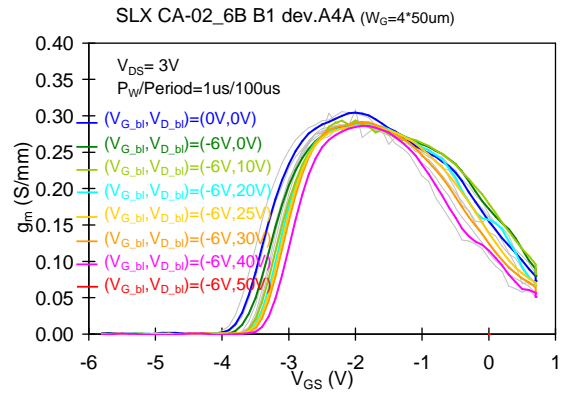
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$

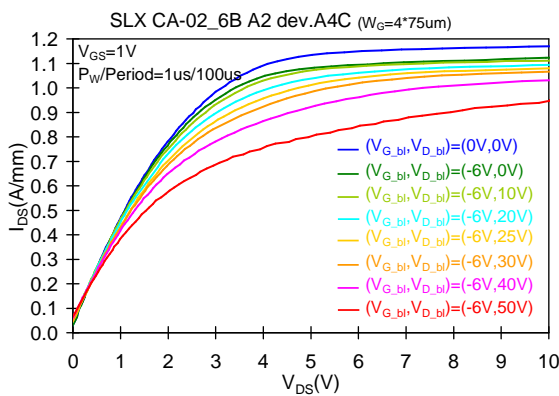


c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS}= 3V$

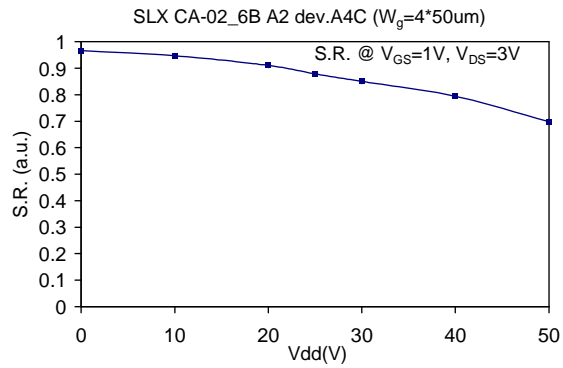


d) Transconduttanza dinamica con  $V_{DS}= 3V$

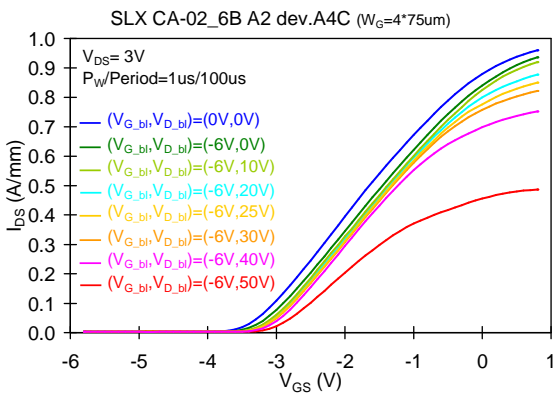
Figura 6.1: Caratterizzazione dinamica del dispositivo B1\_A4A del wafer SLX CA-02 ( $W_G=200\mu m$ ,  $L_G= 0.5\mu m$ )



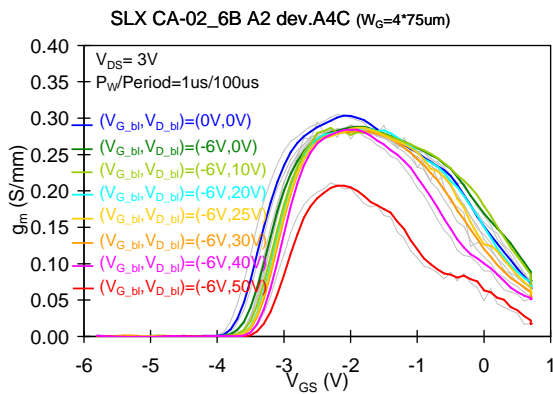
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$



c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$

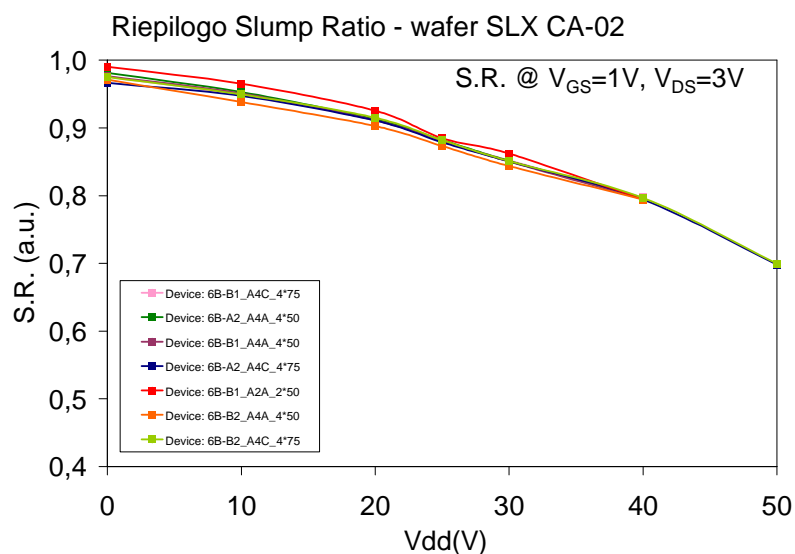


d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

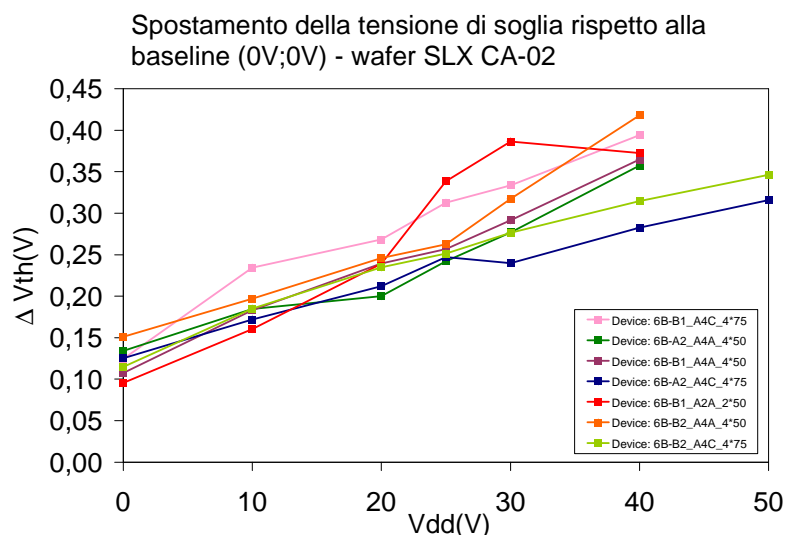
Figura 6.2: Caratterizzazione dinamica del dispositivo A2\_A4C del wafer SLX CA-02 ( $W_G=300\mu m$ ,  $L_G= 0.5\mu m$ )

Come si nota dalla figura 6.1 sono state eseguite misure fino alla baseline (-6V; 40V). Applicando una tensione di 50V al drain il dispositivo si danneggia in quanto viene superata la tensione di breakdown ( $\approx 40V$ ) dichiarata dalla azienda costruttrice. In tutti i dispositivi misurati il comportamento dinamico è abbastanza buono fino ad una  $V_{dd}$  applicata di 40V con una dispersione inferiore al 20%. Il collasso di corrente causa principalmente un graduale spostamento verso destra della tensione di soglia. Questo indica che le trappole risiedono principalmente sotto il gate. La riduzione della transconduttanza risulta trascurabile. Su alcuni dispositivi con  $W_G$  superiore a  $300\mu m$  è stata applicata una tensione di drain di 50V. In quest'ultimi si nota anche una notevole riduzione della transconduttanza (figura 6.2(d)) alla baseline (-6V; 50V) dovuta probabilmente ad un degrado del dispositivo.





a) riepilogo Slump Ratio alle varie basline di drain

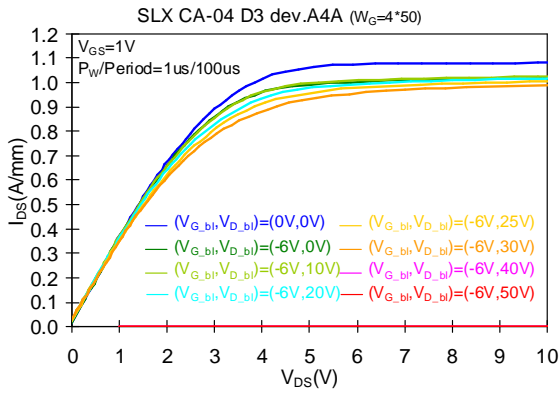


b) dipendenza della tensione di soglia dalla Vdd

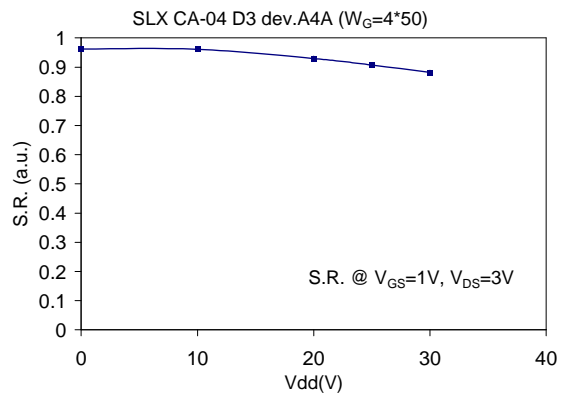
Figura 6.3: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX CA-02

Come si nota in figura 6.3(a) il comportamento dinamico dei dispositivi della scheggia SLX CA-02 risulta uniforme. In figura 6.3(b) si vuole mettere in evidenza la dipendenza dello spostamento della tensione di soglia rispetto alla tensione applicata al drain. Si nota come alla baseline (-6V; 0V) e alla baseline (-6V; 40V) si ha un range di variabilità della tensione di soglia maggiore rispetto alla baseline di riposo. Quindi lo spostamento della tensione di soglia sembra essere influenzato sia dalla tensione applicata al drain che dalla tensione applicata al gate.

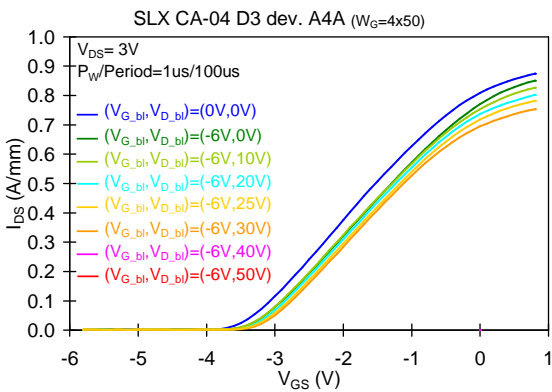
### 6.1.2 SLX CA-04



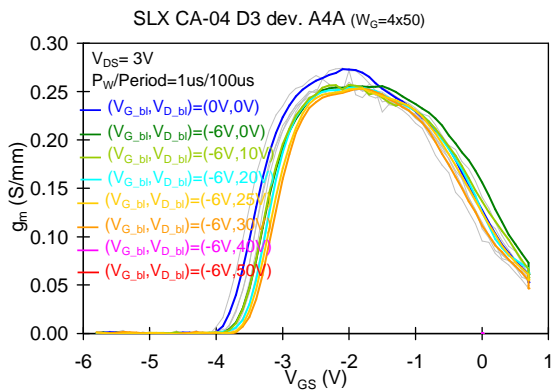
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$

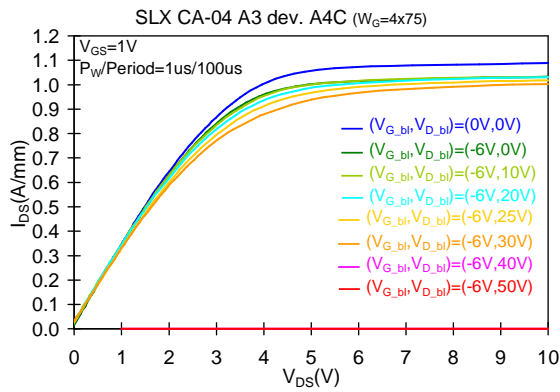


c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$

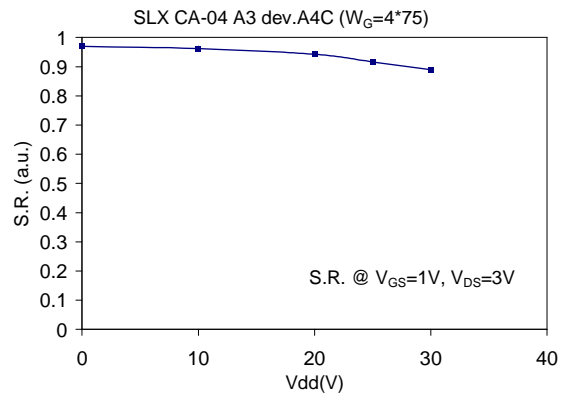


d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

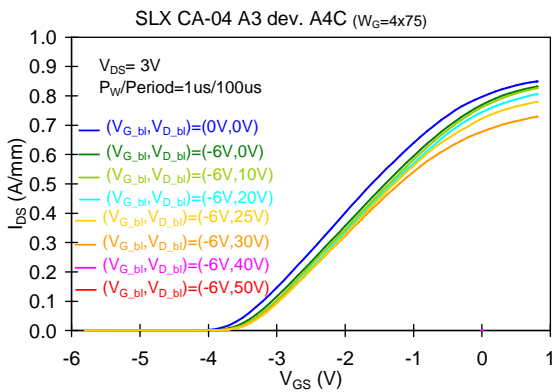
Figura 6.4: Caratterizzazione dinamica del dispositivo D3\_A4A del wafer SLX CA-04 ( $W_G=200\mu m$ ,  $L_G=0.5\mu m$ )



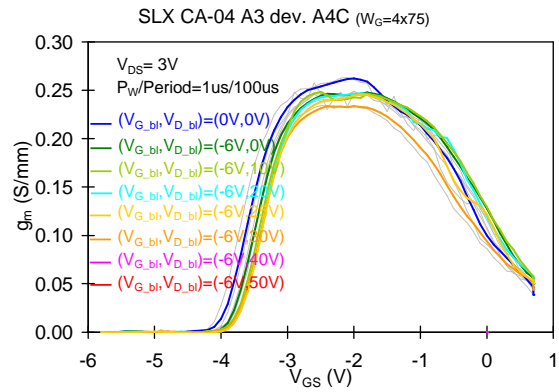
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$



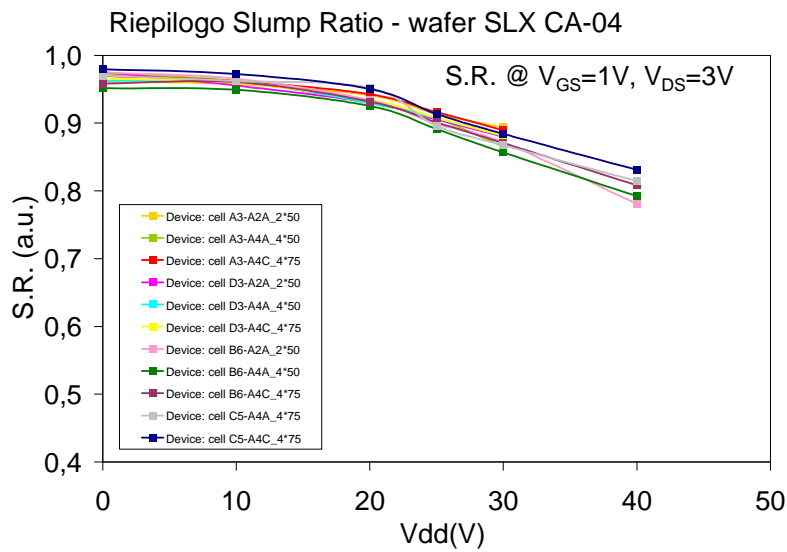
c) Transcaratteristica dinamica  $I_D$ - $V_{GS}$  con  $V_{DS} = 3V$



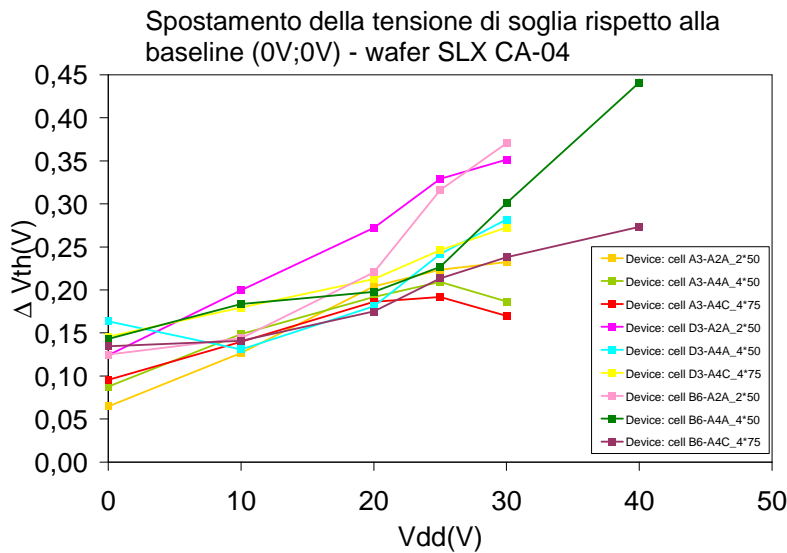
d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

Figura 6.5: Caratterizzazione dinamica del dispositivo A3\_A4C del wafer SLX CA-04 ( $W_G=300\mu m$ ,  $L_G=0.5\mu m$ )

Il comportamento dinamico dei dispositivi del wafer SLX CA-04 risulta lo stesso del SLX CA-02. L'unica differenza è che questi dispositivi sono caratterizzati da una tensione di breakdown ( $\approx 36V$ ) lievemente inferiore rispetto ai dispositivi precedenti. Quindi le misure sono state eseguite fino alla baseline (-6V; 30V), in quanto a baseline maggiore i dispositivi si degradano in modo permanente.



a) riepilogo Slump Ratio alle varie basline di drain

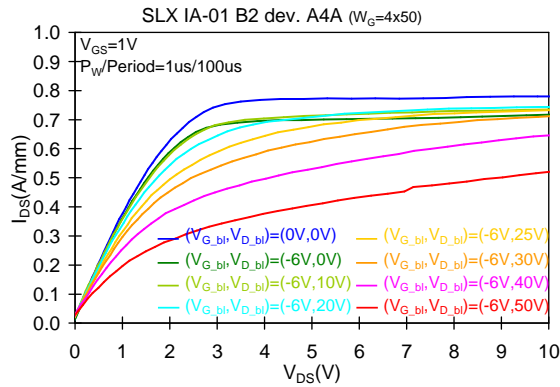


b) dipendenza della tensione di soglia dalla Vdd

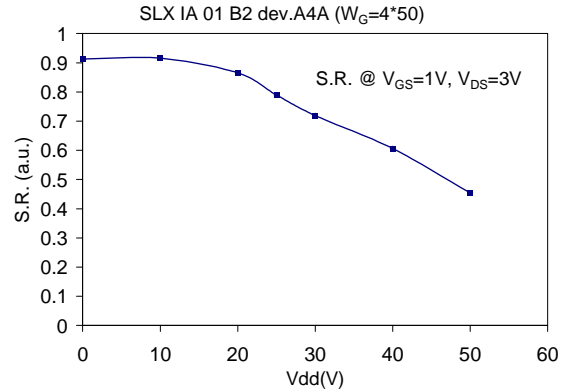
Figura 6.6: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i dispositivi testati del wafer SLX CA-04

Anche in questo caso si nota uniformità nel comportamento dinamico tra i vari dispositivi (figura 6.6(a)) e una dipendenza dello spostamento della tensione di soglia sia dalla tensione applicata al drain che dalla tensione applicata al gate (figura 6.6(b)).

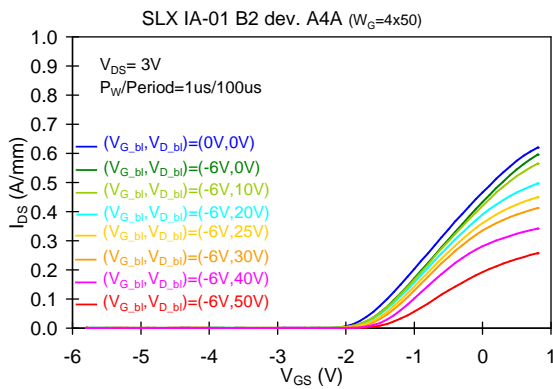
### 6.1.3 SLX IA-01



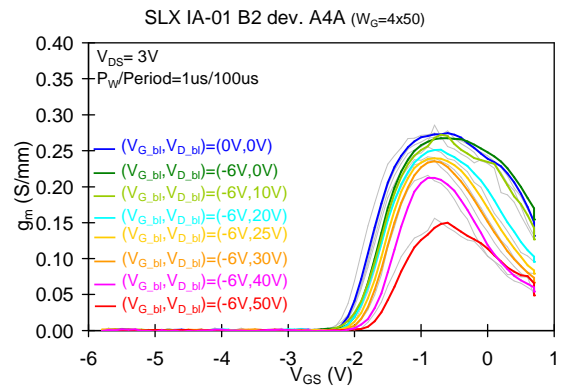
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$

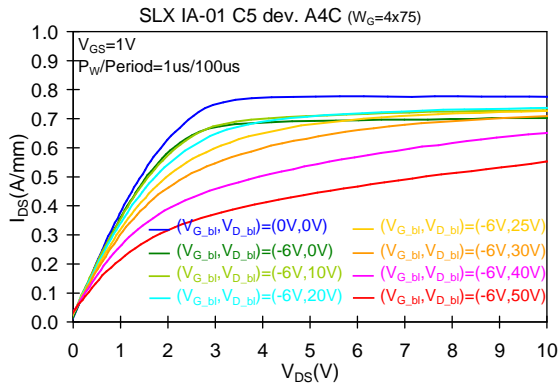


c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$

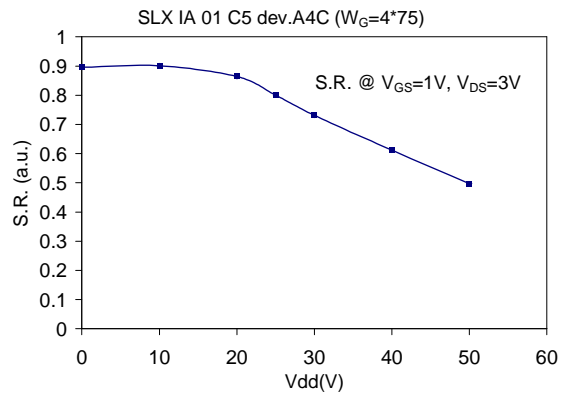


d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

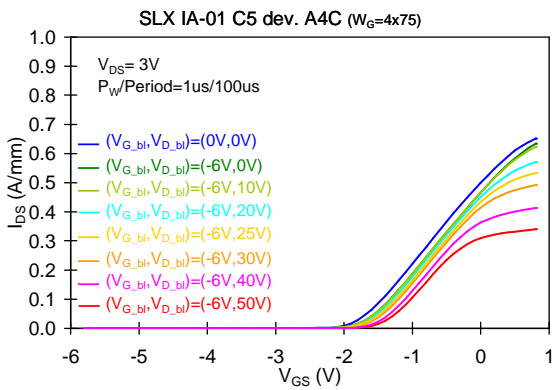
Figura 6.7: Caratterizzazione dinamica del dispositivo B2\_A4A del wafer SLX IA-01 ( $W_G=200\mu m$ ,  $L_G=0.5\mu m$ )



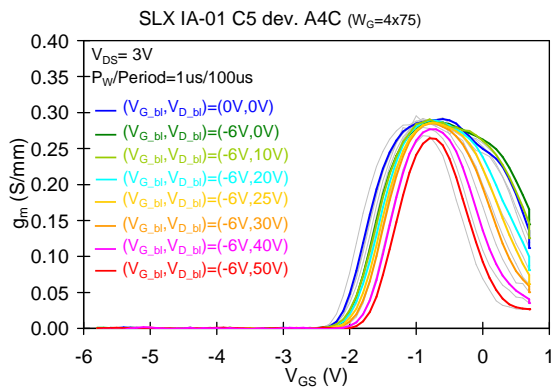
a) Caratteristica dinamica di uscita con VGS=0V



b) S.R. a VGS=1V e VDS=3V



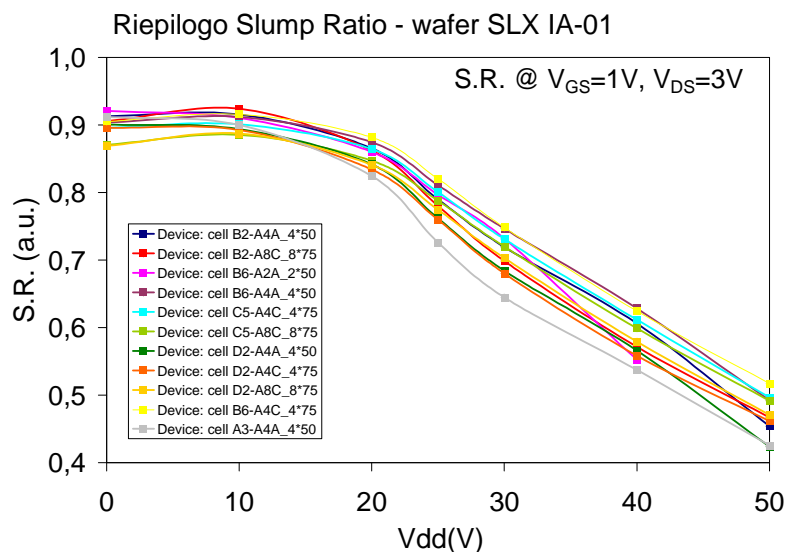
c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$



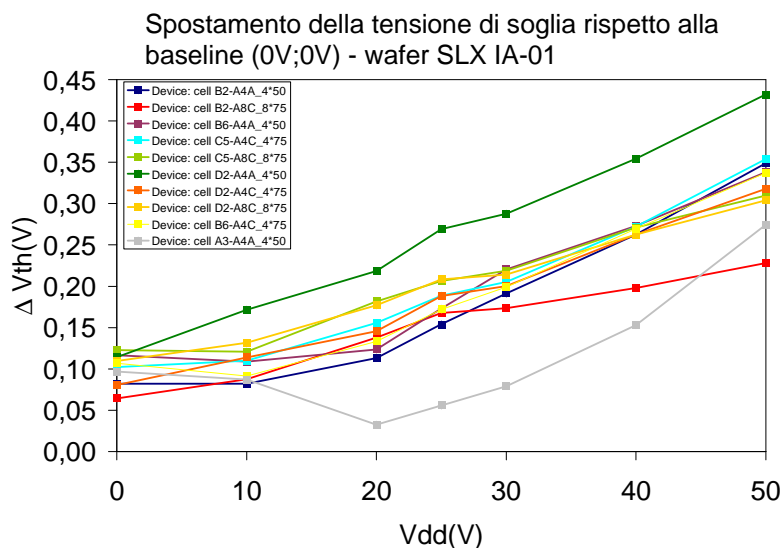
d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

Figura 6.8: Caratterizzazione dinamica del dispositivo C5\_A4C del wafer SLX IA-01 ( $W_G=300\mu m$ ,  $L_G=0.5\mu m$ )

Il comportamento dinamico dei dispositivi del wafer SLX IA-01 risulta peggiore rispetto ai due precedenti wafer. Infatti dalla baseline (-6V; 20V) si nota un incremento del collasso di corrente fino ad un collasso massimo nella baseline (-6V; 50V) attorno al 55%. Il collasso di corrente è causato principalmente da un graduale spostamento verso destra della tensione di soglia fino alla baseline (-6V; 30V). Mentre dalle baseline superiori si nota anche una riduzione della transconduttanza, indice della presenza di trappole nella regione di accesso. La riduzione della transconduttanza risulta diversa nei vari dispositivi misurati.



a) riepilogo Slump Ratio alle varie basline di drain



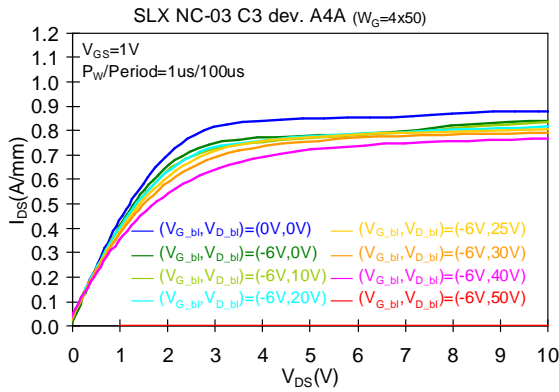
b) dipendenza della tensione di soglia dalla Vdd

Figura 6.9: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX IA-01

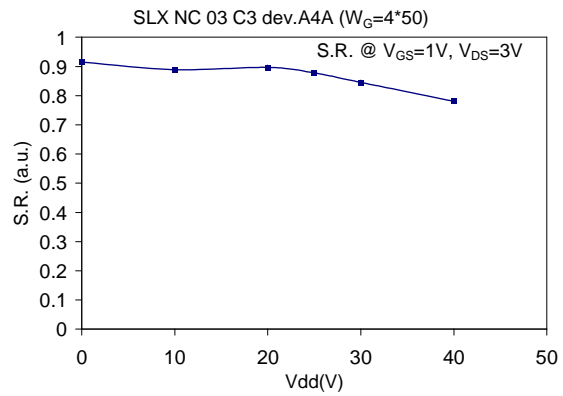
Come si nota in figura 6.9(a) il comportamento dinamico dei dispositivi risulta uniforme.

In questi dispositivi lo spostamento della tensione di soglia sembra essere influenzata maggiormente dalla tensione di drain, in quanto a  $V_{dd}=50V$  si ha un range di variabilità della tensione di soglia ( $V_{th}$ ) maggiore a quello della baseline di riposo.

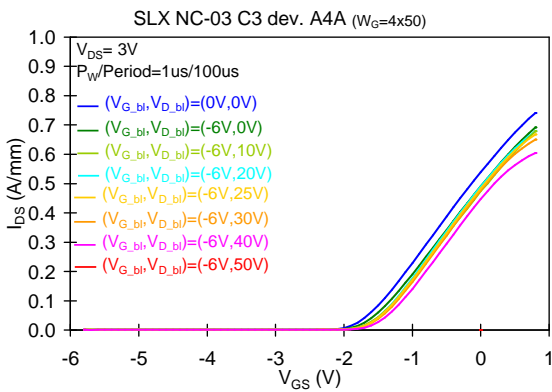
### 6.1.4 SLX NC-03



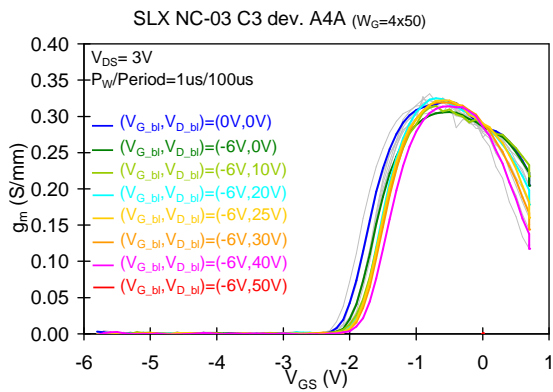
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$



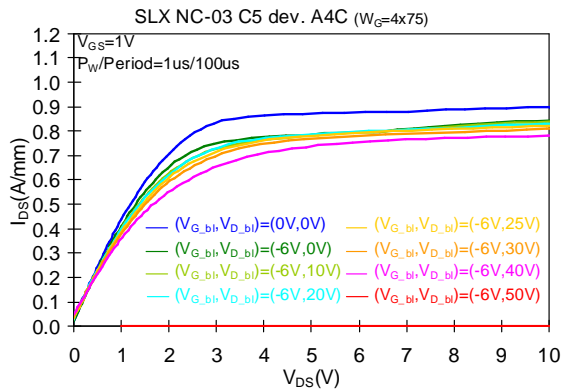
c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$



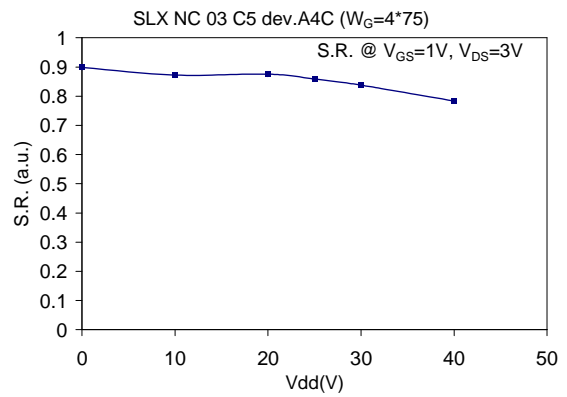
d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

Figura 6.10: Caratterizzazione dinamica del dispositivo C3\_A4A del wafer SLX NC-03 ( $W_G=200\mu m$ ,  $L_G=0.5\mu m$ )

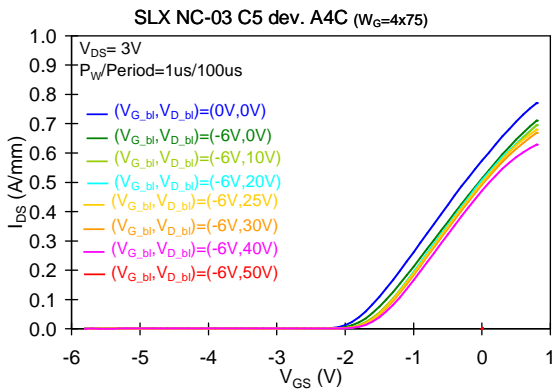




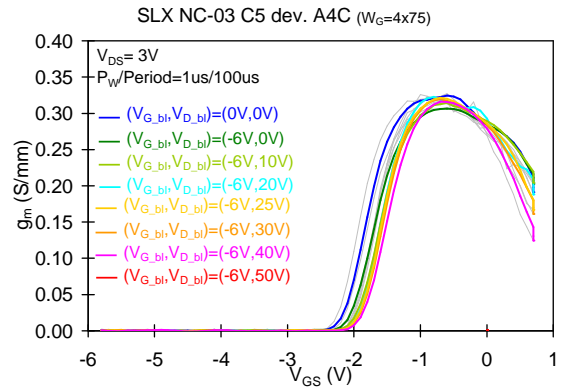
a) Caratteristica dinamica di uscita con  $V_{GS}=0V$



b) S.R. a  $V_{GS}=1V$  e  $V_{DS}=3V$



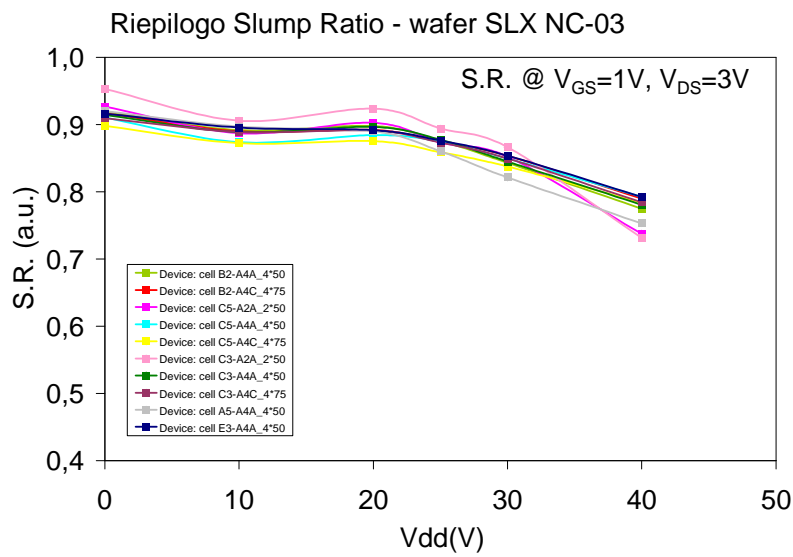
c) Transcaratteristica dinamica  $I_D$ - $V_G$  con  $V_{DS} = 3V$



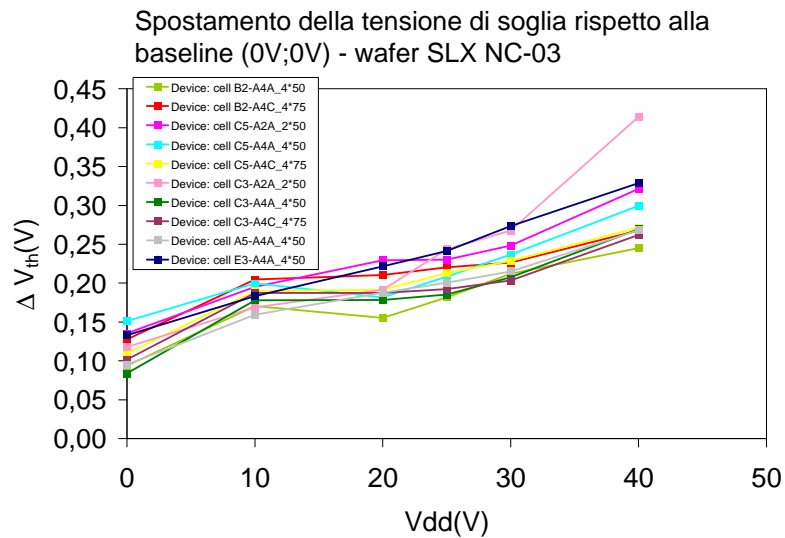
d) Transconduttanza dinamica  $g_m$  con  $V_{DS} = 3V$

Figura 6.11: Caratterizzazione dinamica del dispositivo C5\_A4C del wafer SLX NC-03 ( $W_G=300\mu m$ ,  $L_G= 0.5\mu m$ )

Il comportamento dinamico del wafer SLX NC-03 risulta molto simile ai primi due wafer analizzati. Anche in questo caso il collasso di corrente causa uno shift verso destra della tensione di soglia con un calo della transconduttanza trascurabile. Questo indica tipicamente che le trappole risiedono principalmente sotto il gate.



a) riepilogo Slump Ratio alle varie baseline di drain



b) dipendenza della tensione di soglia dalla Vdd

Figura 6.12: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX NC-03

Il comportamento dinamico dei dispositivi risulta uniforme (figura 6.12(a)) e lo spostamento della tensione di soglia sembra essere maggiormente influenzata dalla tensione di gate rispetto alla tensione di drain (figura 6.12(b)). Questo potrebbe essere dovuto alla mancanza di ferro nel buffer dei dispositivi.

### 6.1.5 Confronto

Come si nota dalla figura 6.13, i dispositivi del wafer SLX IA-01 presentano un collasso di corrente elevato, circa il 40% alla baseline (-6V; 40V), mentre i dispositivi dei rimanenti wafer hanno un current collapse inferiore al 20% alla stessa baseline. Quindi non sembra esserci una correlazione diretta tra il collasso di corrente e il drogaggio di ferro nel buffer, in quanto i due wafer con elevata concentrazione di ferro nel buffer hanno un current collapse paragonabile ai dispositivi del wafer SLX NC-03 che non è drogato ferro nel buffer. Mentre il wafer SLX IA-01, caratterizzato da una concentrazione di ferro nel buffer intermedia rispetto ai wafer precedenti, presenta una dispersione di corrente maggiore.

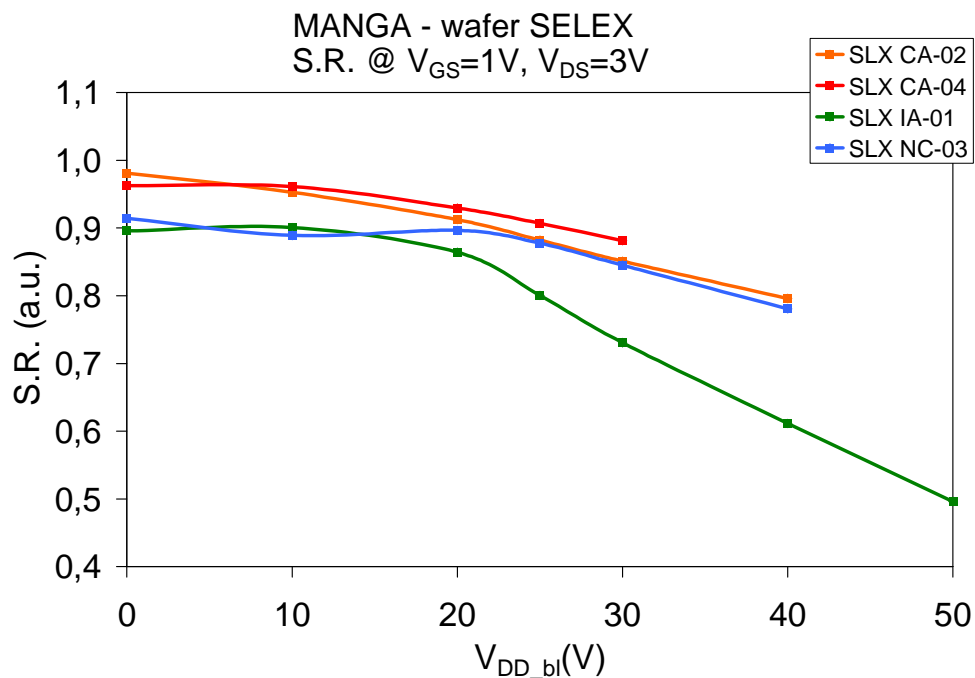


Figura 6.13: Slump Ratio misurato a  $V_{GS}=1V$  e  $V_{DS}=3V$  per tutti i wafer

Wafer	S.R. at $V_G=1V$ , $V_{DS}=3V$	S.R. at $V_G=1V$ , $V_{DS}=10V$
SLX CA-02	0.796	0.882
SLX CA-04	0.792	0.880
SLX IA-01	0.612	0.838
SLX NC-03	0.781	0.872

Tabella 6.1: Valori tipici dello S.R. di tutti i wafer alla baseline (-6V; 40V)

Dopo le misure di Double Pulse, è stata eseguita una completa caratterizzazione DC di tutti i dispositivi testati per verificare se si sono degradati. Alcuni dispositivi dei wafer analizzati mostrano un degrado permanente non trascurabile dopo le misure di Double Pulse, con uno spostamento verso sinistra (figura 6.14) della tensione di soglia, e in alcuni casi un aumento della resistenza tra drain e source. Questo rende le misure dinamiche e i valori di slump ratio estratti alle baseline con tensione di drain elevate meno affidabili.

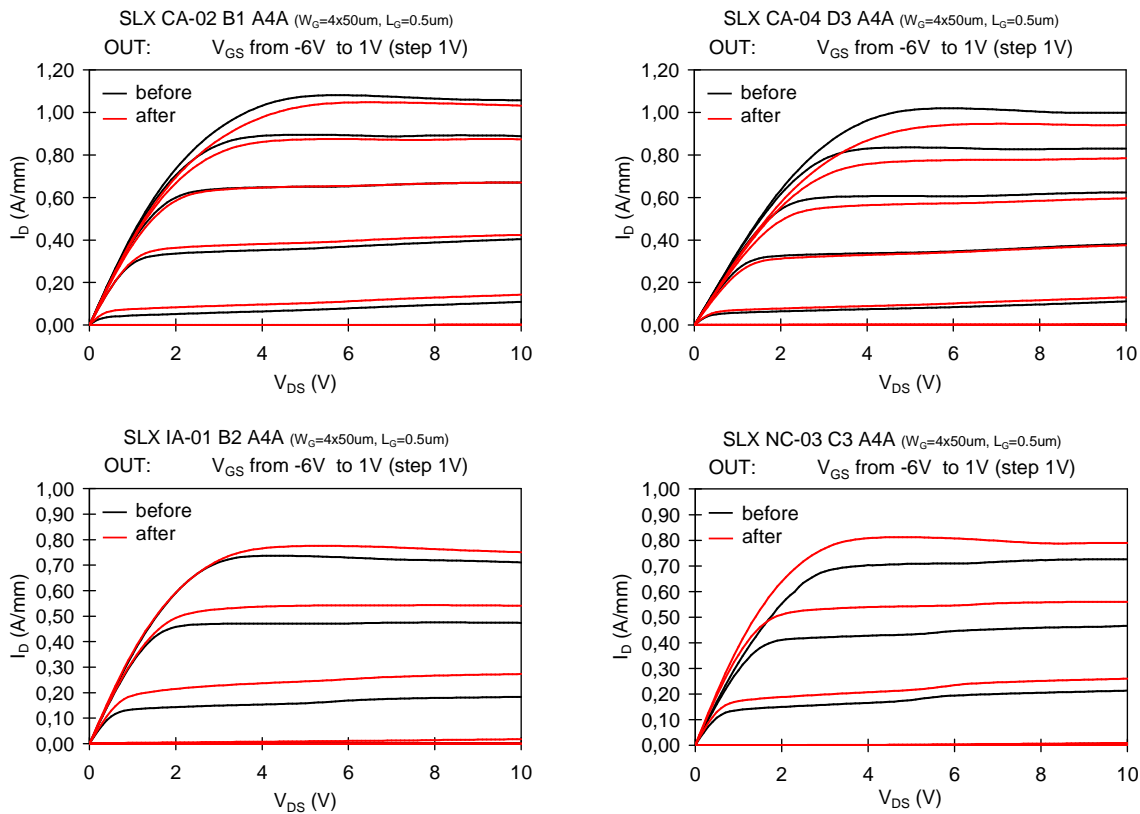


Figura 6.14: Caratterizzazione DC prima e dopo le misure di Double Pulse per un dispositivo tipico di ogni wafer

## 6.2 Misure di gate-lag

Un'analisi più dettagliata sugli effetti di dispersione è stata fatta nel wafer SLX IA-01 attraverso delle misure di gate-lag. In queste misure si va a rilevare il transiente di accensione della corrente di drain, impulsando il gate da un'opportuna condizione a canale chiuso ( $V_{GSoff}=-9V$ ), fino a canale aperto ( $V_{GSon}=1V$ ). L'impulso ha un periodo di 1.89s con durata di 100ms. Il punto di lavoro è stato scelto vicino al ginocchio della caratteristica di uscita del dispositivo (figura 6.15), cioè con una  $V_{DS}$  di circa 4V, perché qui c'è più collasso. Utilizzando una resistenza di carico  $R_{LOAD}=229.2\Omega$ , in accordo con la (4.2) si trova una tensione di riposo  $V_{DD}=37V$ .

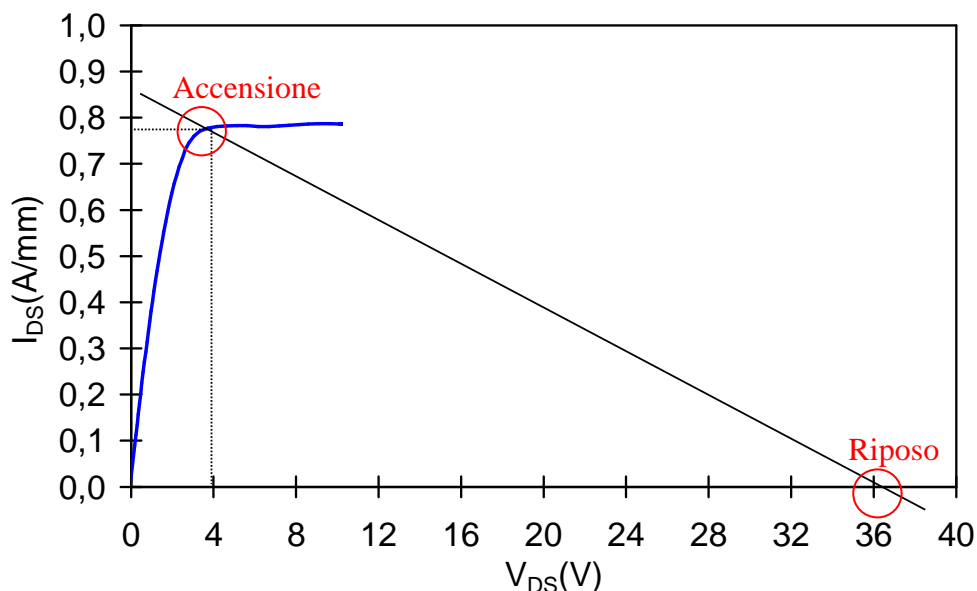


Figura 6.15: Scelta del punto di lavoro per le misure di gate-lag

Si sono effettuate delle misure di gate-lag in temperatura misurando cinque impulsi di corrente ciascuno ad una temperatura diversa partendo da 30 gradi e arrivando a 70 gradi con step di 10 gradi. Nella figura 6.16 sono riportati gli andamenti della corrente di drain alle diverse temperature. Si nota una dispersione massima del 18%. Costruendo il fit dei vari impulsi attraverso la (4.3) e il corrispondente diagramma di Arrhenius (figura 6.17) si trova una energia di attivazione della trappola responsabile del collasso  $E_A=0.6eV$ . In letteratura sono già stati trovati valori di energia di attivazione fra gli 0.55-0.6 eV su strati drogati ferro [23]. Il wafer SLX IA-01 ha un drogaggio di ferro nel buffer di  $4 \times 10^{17} cm^{-3}$ , quindi l'energia di attivazione della trappola trovata potrebbe essere legata al ferro.

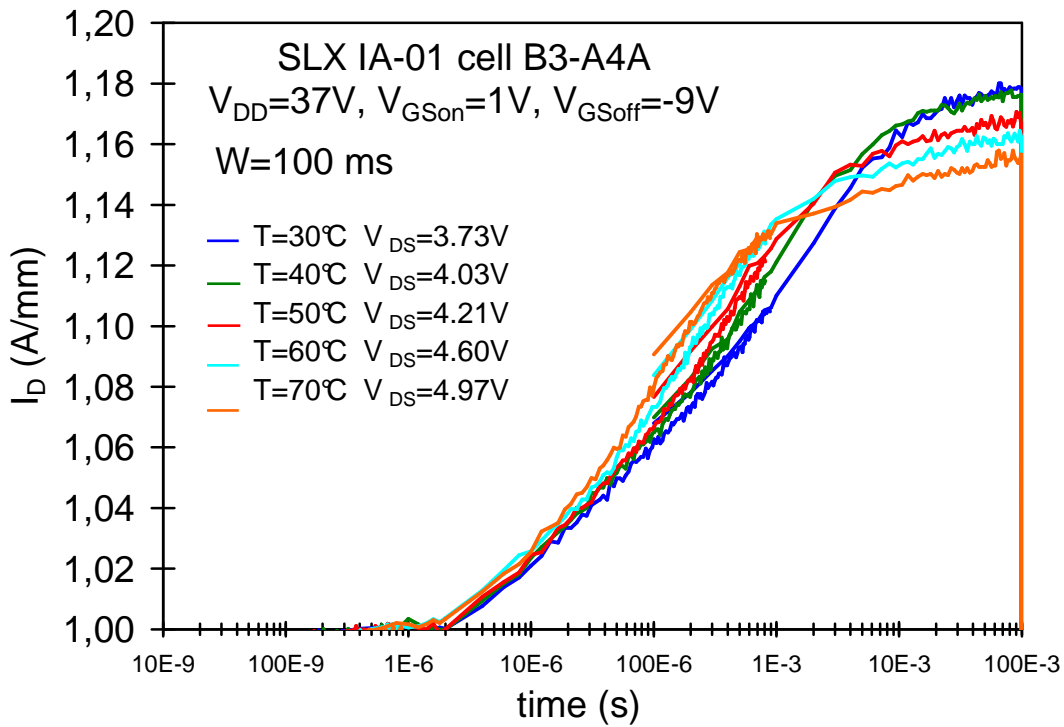


Figura 6.16: Impulsi di gate-lag del dispositivo B3\_A4A

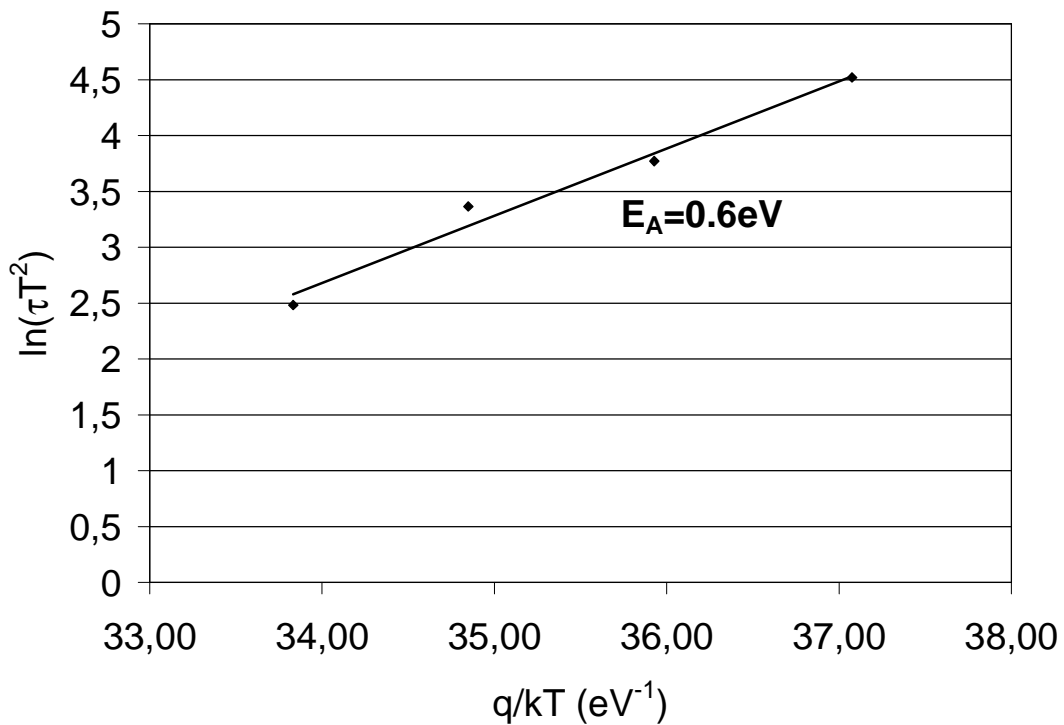


Figura 6.17: Diagramma di Arrhenius

# Capitolo 7

## Misure di resistenza di contatto

Le misure di resistenza di contatto sono state eseguite sulle strutture TLM dei wafer SLX CA-04 e SLX IA-01 per verificare i valori di resistenza di contatto e di canale forniti dall'azienda costruttrice (tabella 7.1).

DEVICE NAME	$R_{C-TLM}$ ( $\Omega \cdot mm$ )	$R_{SH-TLM}$ ( $\Omega/mm^2$ )	$R_{SH-TLMG}$ ( $\Omega/mm^2$ )
SLXCA04	$0.50 \pm 0.15$	$378.0 \pm 15.7$	$457.8 \pm 14.2$
SLXIA01	$0.32 \pm 0.06$	$444.8 \pm 5.69$	$827.4 \pm 144$

Tabella 7.1: Valori delle resistenze di contatto forniti dall'azienda costruttrice

Le misure sono state effettuate con i metodi a due punte e a quattro punte.

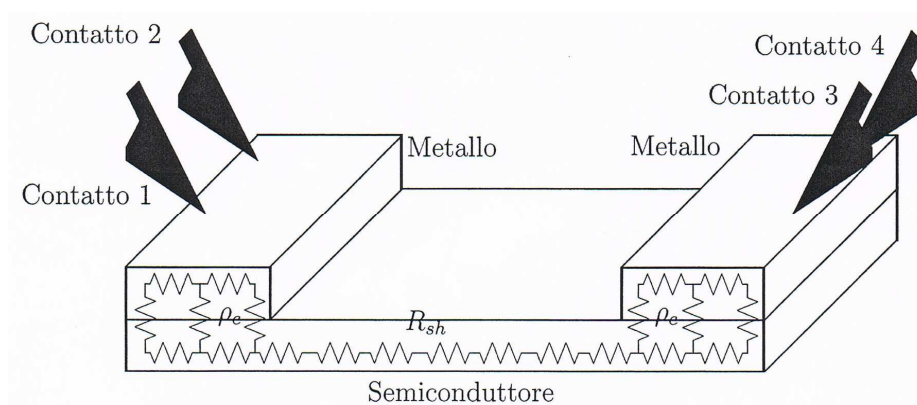


Figura 7.1: Schema del metodo di misura della resistenza di contatto

Il metodo di misura della resistenza di contatto a due punte (tabella 7.2) è il più semplice ma anche il meno accurato, in quanto nella resistenza totale misurata si include anche il contributo dell'impedenza dei cavi usati nella misura.

	<b>Contatto 1</b>	<b>Contatto 3</b>
<b>Funzione</b>	Sweep $I_1$ Prelievo $V_1$	/
<b>Impostazioni</b>	$-1\text{mA} \leq I_1 \leq 1\text{mA}$	$V_3=0$

Tabella 7.2: Settaggio utilizzato per il metodo a 2 punte

Nel metodo a due punte la resistenza tra due contatti è data dal rapporto tra  $V_1$  e  $I_1$ .

Il metodo di misura della resistenza di contatto a quattro punte (tabella 7.3) permette di eliminare i contributi dell'impedenza dei cavi usati nella misura. Quindi risulta più accurato del metodo a due punte.

	<b>Contatto 1</b>	<b>Contatto 2</b>	<b>Contatto 3</b>	<b>Contatto 4</b>
<b>Funzione</b>	Sweep $I_1$ Prelievo $V_1$	Prelievo $V_2$	Massa	Prelievo $V_4$
<b>Impostazioni</b>	$-1\text{mA} \leq I_1 \leq 1\text{mA}$	$I_2=0$	$V_3=0$	$I_4=0$

Tabella 7.3: Settaggio utilizzato per il metodo a 4 punte

Nel metodo a quattro punte la resistenza tra due contatti è data dal rapporto tra  $V_{24}$  e  $I_1$ .

Di seguito sono riportate le misure eseguite sulle strutture TLM standard e TLM gated dei due wafer analizzati.



## 7.1 SLX CA-04

In figura 7.2 e 7.3 sono riportate le resistenze totali misurate con il metodo a due punte e a quattro punte in funzione della distanza tra due contatti nelle struttura TLM standard.

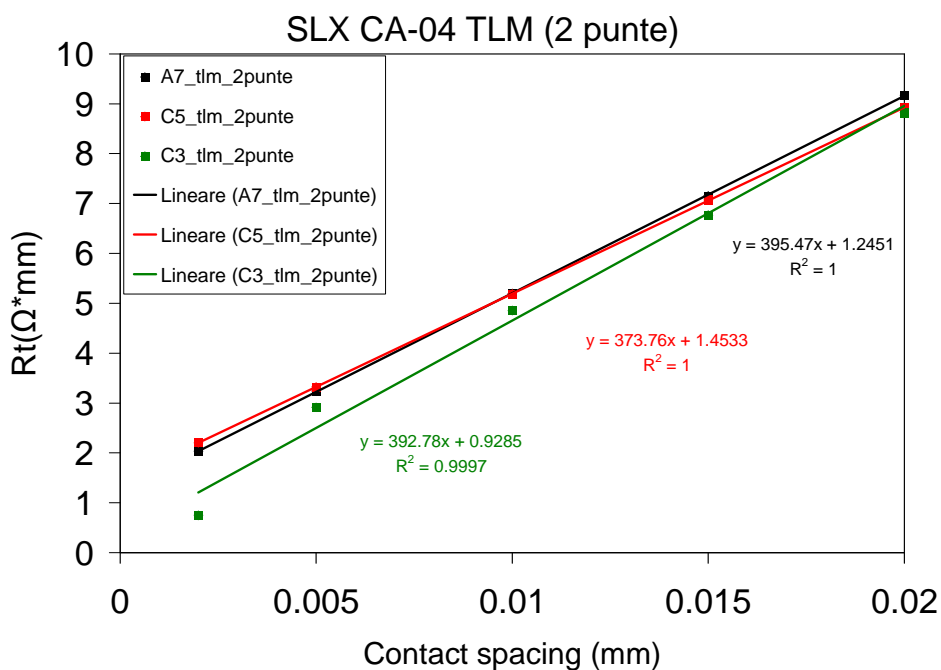


Figura 7.2: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX CA-04)

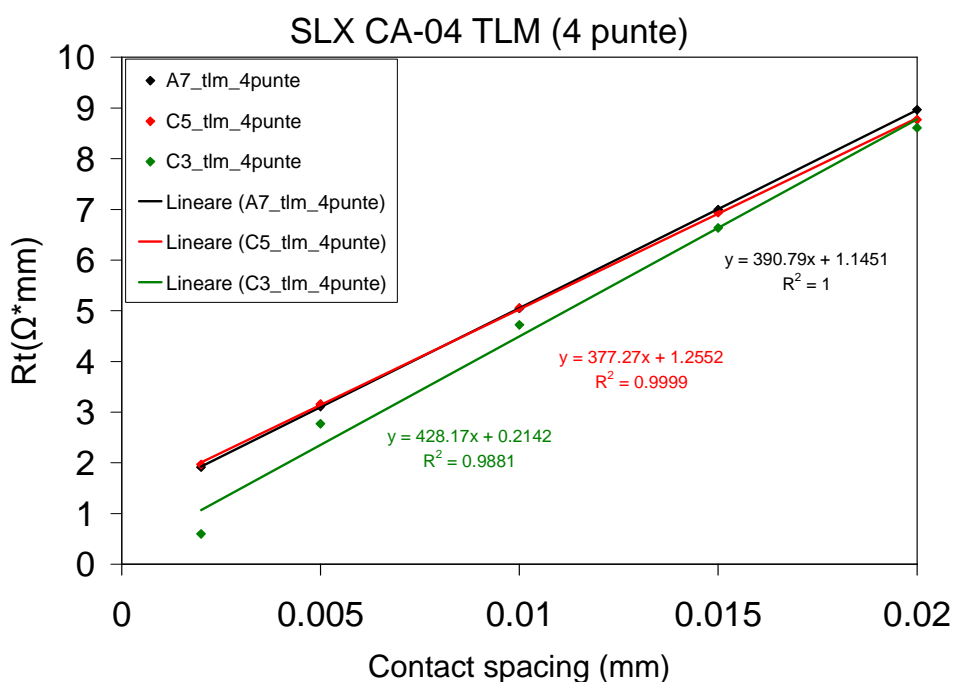


Figura 7.3: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX CA-04)

In figura 7.4 e 7.5 sono riportate le resistenze totali misurate con il metodo a due punte e a quattro punte in funzione della distanza tra due contatti nelle struttura TLM gated.

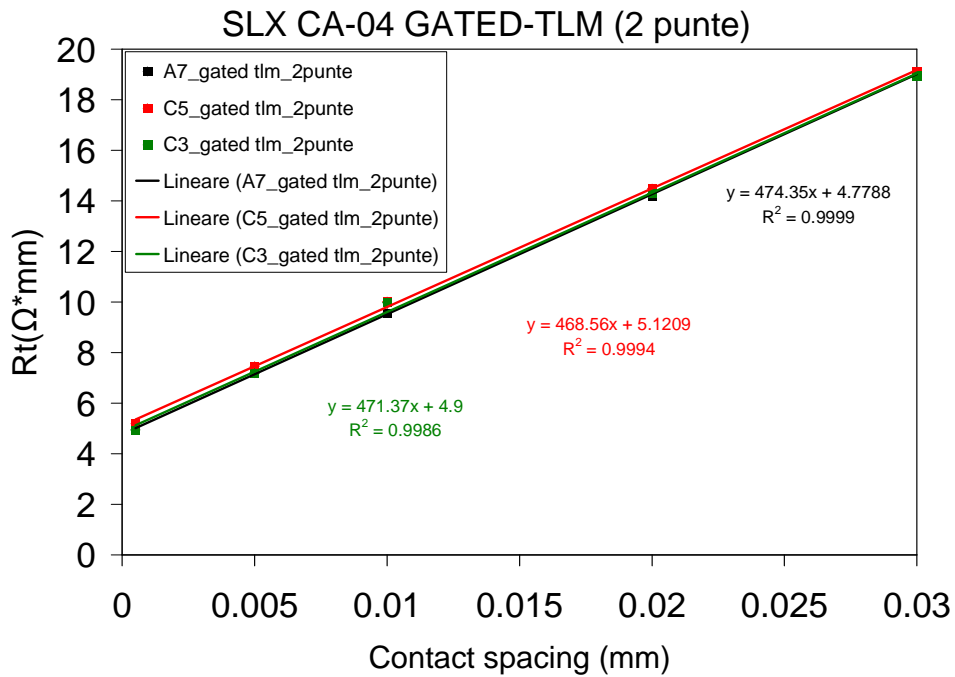


Figura 7.4: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX CA-04)

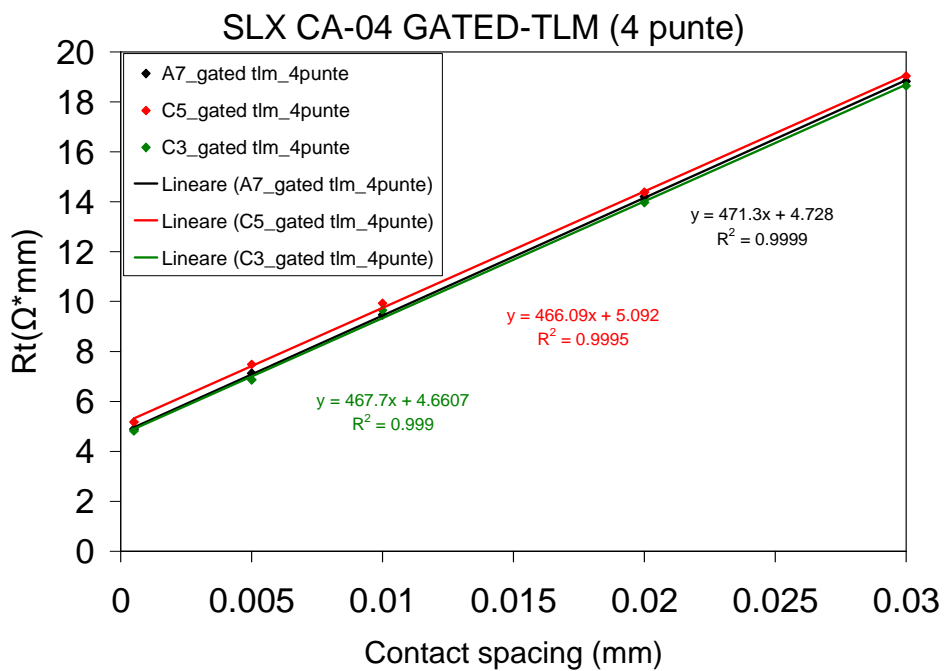


Figura 7.5: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX CA-04)

Dai grafici 7.2 e 7.3 si nota come sia con il metodo a due punte che a quattro punte la regressione lineare della resistenza totale della struttura TLM della cella C3 si discosta leggermente rispetto alle altre due celle misurate, in quanto la resistenza trovata tra i contatti con distanza  $2\mu\text{m}$  ha un valore molto ridotto, probabilmente perché i due contatti sono cortocircuitati. Invece con la struttura TLM-Gated si ottiene una buona uniformità di risultati sia con il metodo a due punte (figura 7.4) che con il metodo a quattro punte (figura 7.5). Questo indica una buona uniformità di realizzazione dei contatti.

Nella tabella seguente sono riportati i valori della resistenza di contatto ( $R_C$ ), di canale ( $R_{SH}$ ) e di canale presente sotto la barriera Schottky del TLM gated ( $R_{SH}^S$ ) ricavati dai grafici precedenti come descritto nel paragrafo 4.4.

Dispositivo	metodo	$R_C$ $\Omega*\text{mm}$	$R_{SH}$ $\Omega/\text{mm}^2$	$R_{SH}^S$ $\Omega/\text{mm}^2$
SLX CA-04_cell A7	2-punte	0.623	395.469	474.354
	4-punte	0.573	390.794	471.298
SLX CA-04_cell C5	2-punte	0.727	373.763	468.560
	4-punte	0.628	377.272	466.092
SLX CA-04_cell C3	2-punte	0.464	392.780	471.371
	4-punte	0.413	388.640	467.699

Tabella 7.4: Parametri delle strutture TLM del wafer SLX CA-04

I valori trovati sono in accordo con quelli forniti dall'azienda costruttrice (tabella 7.1). Solo i valori sottolineati in giallo non sono contenuti nel range di errore fornito, anche se lo scostamento è inferiore al 10%. Si nota inoltre che i valori di resistenza ottenuti con il metodo a due punte sono maggiori di quelli ottenuti con il metodo a quattro punte (tabella 7.4), in quanto con il metodo a due punte si include anche il contributo della resistenza di contatto della probe e di tutto il cavo usato nella misura, attraversato da corrente.

Questo potrebbe essere il motivo per il quale alcuni dei valori di resistenza trovati con il metodo a due punte si discostano maggiormente da quelli forniti.

Dispositivo	metodo a 2 punte	metodo a 4 punte	differenza percentuale
cell A7 TLM	0.623	0.573	8.7
cell C5 TLM	0.727	0.628	15.8
cell C3 TLM	0.464	0.413	12.3

Tabella 7.5: Differenza percentuale nel valore di  $R_C$  tra i due metodi utilizzati

## 7.2 SLX IA-01

In figura 7.6 e 7.7 sono riportate le resistenze totali misurate con il metodo a due punte e a quattro punte in funzione della distanza tra due contatti nella struttura TLM standard.

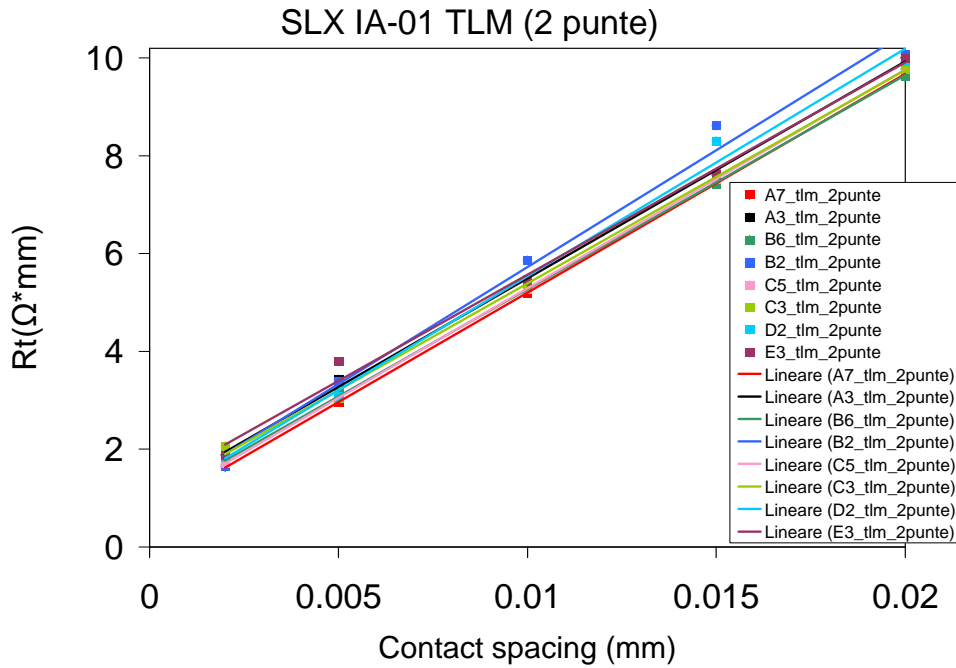


Figura 7.6: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX IA-01)

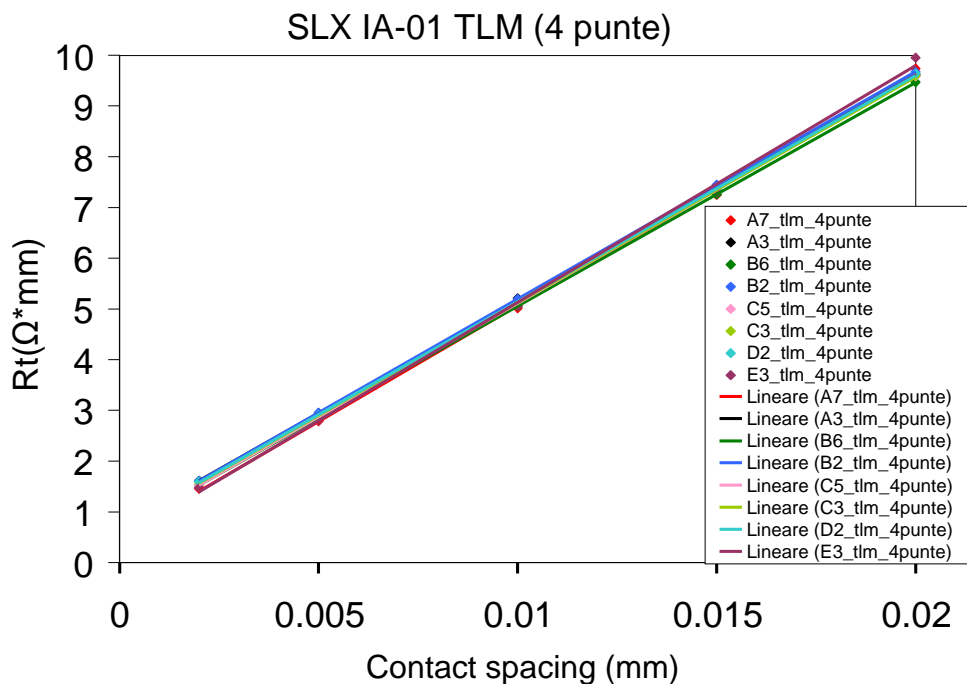


Figura 7.7: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX IA-01)

In figura 7.8 e 7.9 sono riportate le resistenze totali misurate con il metodo a due punte e a quattro punte in funzione della distanza tra due contatti nella struttura TLM gated.

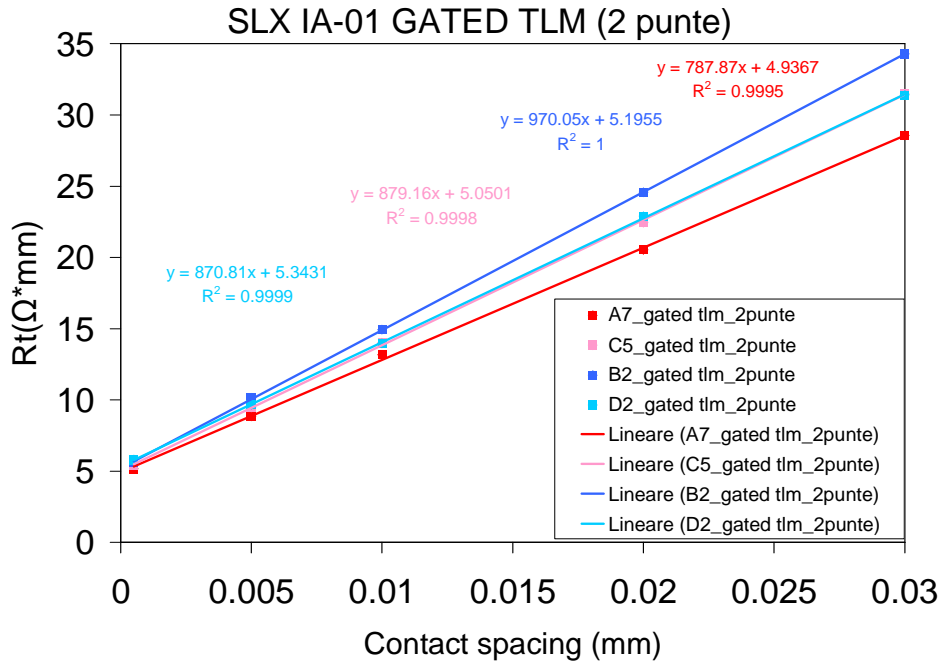


Figura 7.8: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX IA-01)

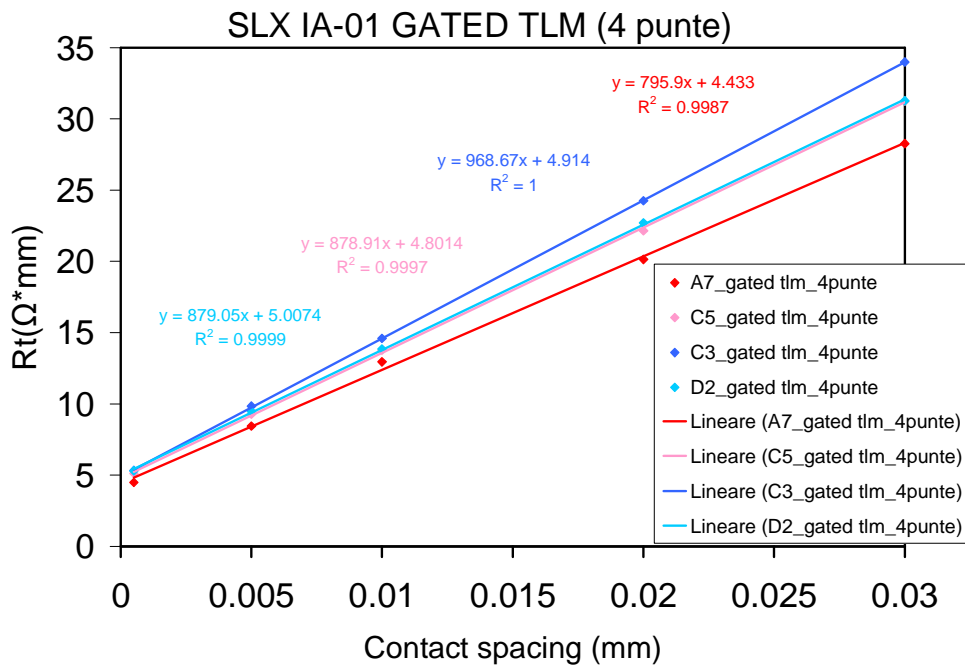


Figura 7.9: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX IA-01)

Dai grafici 7.6 e 7.7 si nota una buona uniformità di risultati sia con il metodo a due punte che con il metodo a quattro punte, indice di un buon processo di realizzazione dei contatti.

Nelle strutture TLM gated (figura 7.8 e 7.9) si notano delle pendenze diverse della regressione lineare della resistenza totale, a causa di valori di resistenza leggermente diversi tra i contatti con distanze maggiori; forse la zona sotto il gate è stata danneggiata in modo diverso.

Nella tabella seguente sono riportati i valori della resistenza di contatto ( $R_C$ ), di canale ( $R_{SH}$ ) e di canale presente sotto la barriera Schottky del TLM gated ( $R_{SH}^S$ ) ricavati dai grafici precedenti come descritto nel paragrafo 4.4.

Dispositivo	metodo	$R_C$ $\Omega \cdot \text{mm}$	$R_{SH}$ $\Omega/\text{mm}^2$	$R_{SH}^S$ $\Omega/\text{mm}^2$
SLX IA-01_cell A7	2-punte	0.363	457.556	795.905
	4-punte	0.277	447.373	787.867
SLX IA-01_cell C5	2-punte	0.406	447.595	879.156
	4-punte	0.317	447.626	878.914
SLX IA-01_cell B2	2-punte	0.471	478.257	970.050
	4-punte	0.358	448.163	968.674
SLX IA-01_cell D2	2-punte	0.439	465.496	870.814
	4-punte	0.341	446.421	879.051
SLX IA-01_cell C3	2-punte	0.513	439.193	/
	4-punte	0.339	444.824	/
SLX IA-01_cell A3	2-punte	0.528	443.654	/
	4-punte	0.367	443.487	/
SLX IA-01_cell E3	2-punte	0.611	467.232	/
	4-punte	0.230	439.468	/
SLX IA-01_cell B6	2-punte	0.443	439.956	/
	4-punte	0.323	441.211	/

Tabella 7.6: Parametri delle strutture TLM del wafer SLX IA-01

Come nel caso precedente molti dei valori di resistenza trovati con il metodo a due punte (sottolineati in giallo) non sono contenuti nel range di errore dei valori forniti (tabella 7.1), e risultano maggiori dei valori di resistenza trovati con il metodo a quattro punte. Questo perché con il metodo a due punte nelle misure si include anche il contributo della resistenza di contatto della probe e di tutto il cavo usato nella misura. I valori trovati con il metodo a quattro punte sono in accordo con quelli forniti dalla ditta costruttrice. In questo wafer la differenza percentuale nel valore di  $R_C$  (tabella 7.7) tra i due metodi utilizzati risulta maggiore rispetto alle misure eseguite sul wafer SLX CA-04.

Dispositivo	metodo a 2 punte	metodo a 4 punte	differenza percentuale
cell A7 TLM	0.363	0.277	31.1
cell A3 TLM	0.528	0.367	43.9
cell B6 TLM	0.443	0.323	37.2
cell B2 TLM	0.471	0.358	31.6
cell C5 TLM	0.406	0.317	28.1
cell C3 TLM	0.513	0.339	51.3
cell D2 TLM	0.439	0.341	28.7
cell E3 TLM	0.611	0.230	165.7

Tabella 7.7: Differenza percentuale nel valore di  $R_C$  tra i due metodi utilizzati

Quindi per eseguire misure di resistenza di contatto conviene usare il metodo a quattro punte.





# Capitolo 8

## Misure C-V

Misure di capacità-tensione sono state condotte sui dispositivi dei wafer SLX IA-01 e SLX NC-03 per verificare se il drogaggio di ferro nel buffer incide sui fenomeni di intrappolamento di carica, individuabile attraverso misure di capacità sui diodi. Sono state eseguite misure di capacità su diodi di grandi dimensioni, per ottenere dei valori più alti di capacità, e utilizzando tensioni molto negative, per allargare molto la regione di carica spaziale cercando di includere tutte le zone più o meno profonde dove potessero essere collocate queste trappole. Durante la misura il dispositivo è sottoposto ad uno sweep di tensione da 0V a -40V e viceversa con step di 0.25 V. La misura è stata ripetuta alle frequenze di 100Hz, 300Hz, 1KHz e 10KHz.

Inizialmente si sono eseguite le misure sul FATFET della cella C3 del wafer SLX IA-01 e sul FATFET della cella C3 del wafer SLX NC-03. Prima di ripetere le misure C-V su altri due dispositivi, per avere una conferma sui risultati ottenuti evitando di ottenere degli errori di misura solo dovuti all'elevato leakage in inversa, sono state effettuate delle indagini preliminari su dispositivi ad elevata area (fatfet, diodi schottky e TLM gated) per verificare il livello della corrente di leakage nei vari dispositivi. Nelle tabelle seguenti sono riportati i valori della corrente di leakage a  $V_{GS}=-8V$ .

DEVICE NAME	$ I_{LEAK} $ $V_{GS}=-8V$ (A)	DEVICE NAME	$ I_{LEAK} $ $V_{GS}=-8V$ (A)
SLX IA-01_cell A2_FATFET	1.16E-07	SLX IA-01_cell C2_SCHOTTKY	2.76E-6
SLX IA-01_cell A3_FATFET	7.14E-08	SLX IA-01_cell C3_SCHOTTKY	1.99E-6
SLX IA-01_cell A5_FATFET	1.80E-06	SLX IA-01_cell C5_SCHOTTKY	8.71E-6
SLX IA-01_cell A6_FATFET	3.00E-07	SLX IA-01_cell C6_SCHOTTKY	2.65E-6
SLX IA-01_cell A7_FATFET	1.11E-08	SLX IA-01_cell D2_SCHOTTKY	2.25E-6
SLX IA-01_cell B2_FATFET	2.51E-06	SLX IA-01_cell D3_SCHOTTKY	3.28E-6
SLX IA-01_cell B3_FATFET	1.72E-07	SLX IA-01_cell D5_SCHOTTKY	7.27E-6
SLX IA-01_cell B5_FATFET	2.39E-07	SLX IA-01_cell E2_SCHOTTKY	2.46E-6
SLX IA-01_cell B6_FATFET	3.37E-08	SLX IA-01_cell E3_SCHOTTKY	2.73E-6
SLX IA-01_cell C2_FATFET	1.49E-07	SLX IA-01_cell A2_GATED-TLM	23.89E-9
<b>SLX IA-01_cell C3_FATFET</b>	<b>1.26E-06</b>	SLX IA-01_cell A3_GATED-TLM	5.26E-6
SLX IA-01_cell C5_FATFET	3.67E-06	SLX IA-01_cell A5_GATED-TLM	57.78E-9
SLX IA-01_cell C6_FATFET	6.75E-08	SLX IA-01_cell A6_GATED-TLM	210.25E-9
SLX IA-01_cell D2_FATFET	2.02E-08	SLX IA-01_cell A7_GATED-TLM	274.70E-9
SLX IA-01_cell D3_FATFET	2.74E-08	SLX IA-01_cell B2_GATED-TLM	2.34E-6
<b>SLX IA-01_cell D5_FATFET</b>	<b>6.52E-09</b>	SLX IA-01_cell B3_GATED-TLM	15.02E-6
SLX IA-01_cell E2_FATFET	2.78E-07	SLX IA-01_cell B5_GATED-TLM	305.70E-9
SLX IA-01_cell E3_FATFET	6.54E-09	SLX IA-01_cell B6_GATED-TLM	30.93E-9
SLX IA-01_cell A2_SCHOTTKY	4.83E-6	SLX IA-01_cell C2_GATED-TLM	522.80E-9
SLX IA-01_cell A3_SCHOTTKY	6.01E-6	SLX IA-01_cell C3_GATED-TLM	7.60E-6
SLX IA-01_cell A5_SCHOTTKY	210.85E-6	SLX IA-01_cell C5_GATED-TLM	257.00E-9
SLX IA-01_cell A6_SCHOTTKY	8.18E-6	SLX IA-01_cell C6_GATED-TLM	3.10E-9
SLX IA-01_cell A7_SCHOTTKY	2.26E-6	SLX IA-01_cell D2_GATED-TLM	2.65E-6
SLX IA-01_cell B2_SCHOTTKY	3.02E-6	SLX IA-01_cell D3_GATED-TLM	18.00E-9
SLX IA-01_cell B3_SCHOTTKY	4.20E-6	SLX IA-01_cell D5_GATED-TLM	1.35E-6
SLX IA-01_cell B5_SCHOTTKY	8.19E-6	SLX IA-01_cell E2_GATED-TLM	26.11E-6
SLX IA-01_cell B6_SCHOTTKY	10.06E-6	SLX IA-01_cell E3_GATED-TLM	1.02E-6

Tabella 8.1: Valori di leakage a  $V_{GS}=-8V$  per i dispositivi del wafer SLX IA-01

DEVICE NAME	$ I_{LEAK} $ $V_{GS}=-8V$ (A)	DEVICE NAME	$ I_{LEAK} $ $V_{GS}=-8V$ (A)
SLX NC-03_cell A1_FATFET	2.84E-09	SLX NC-03_cell C3_SCHOTTKY	9.90E-09
SLX NC-03_cell A2_FATFET	6.12E-07	SLX NC-03_cell C5_SCHOTTKY	2.86E-08
SLX NC-03_cell A3_FATFET	4.44E-07	SLX NC-03_cell C6_SCHOTTKY	2.42E-07
SLX NC-03_cell A5_FATFET	9.62E-09	SLX NC-03_cell D1_SCHOTTKY	2.75E-09
SLX NC-03_cell A6_FATFET	4.55E-10	SLX NC-03_cell D2_SCHOTTKY	4.29E-09
SLX NC-03_cell A7_FATFET	7.70E-10	SLX NC-03_cell D3_SCHOTTKY	5.17E-09
SLX NC-03_cell B1_FATFET	1.42E-08	SLX NC-03_cell D5_SCHOTTKY	2.78E-08
SLX NC-03_cell B2_FATFET	7.57E-06	SLX NC-03_cell E1_SCHOTTKY	5.30E-09
SLX NC-03_cell B3_FATFET	2.92E-09	SLX NC-03_cell E2_SCHOTTKY	8.40E-10
SLX NC-03_cell B5_FATFET	1.75E-10	SLX NC-03_cell E3_SCHOTTKY	3.38E-09
<b>SLX NC-03_cell B6_FATFET</b>	<b>8.40E-10</b>	SLX NC-03_cell A1_GATED-TLM	1.70E-08
SLX NC-03_cell C1_FATFET	2.16E-08	SLX NC-03_cell A2_GATED-TLM	9.39E-05
SLX NC-03_cell C2_FATFET	1.49E-08	SLX NC-03_cell A3_GATED-TLM	5.22E-05
<b>SLX NC-03_cell C3_FATFET</b>	<b>3.38E-09</b>	SLX NC-03_cell A5_GATED-TLM	4.10E-10
SLX NC-03_cell C5_FATFET	6.16E-07	SLX NC-03_cell A6_GATED-TLM	6.87E-08
SLX NC-03_cell C6_FATFET	5.35E-10	SLX NC-03_cell A7_GATED-TLM	1.30E-10

SLX NC-03_cell D1_FATFET	1.07E-08	SLX NC-03_cell B1_GATED-TLM	1.11E-08
SLX NC-03_cell D2_FATFET	6.48E-08	SLX NC-03_cell B2_GATED-TLM	3.24E-09
SLX NC-03_cell D3_FATFET	3.74E-09	SLX NC-03_cell B3_GATED-TLM	7.85E-10
SLX NC-03_cell D5_FATFET	2.17E-09	SLX NC-03_cell B5_GATED-TLM	3.53E-07
SLX NC-03_cell E1_FATFET	2.94E-07	SLX NC-03_cell B6_GATED-TLM	3.51E-06
SLX NC-03_cell E2_FATFET	8.25E-09	SLX NC-03_cell C1_GATED-TLM	7.32E-09
SLX NC-03_cell E3_FATFET	2.10E-08	SLX NC-03_cell C2_GATED-TLM	3.34E-07
SLX NC-03_cell A2_SCHOTTKY	2.26E-07	SLX NC-03_cell C3_GATED-TLM	5.07E-09
SLX NC-03_cell A3_SCHOTTKY	6.38E-07	SLX NC-03_cell C5_GATED-TLM	7.25E-08
SLX NC-03_cell A5_SCHOTTKY	1.37E-07	SLX NC-03_cell C6_GATED-TLM	2.70E-10
SLX NC-03_cell A6_SCHOTTKY	2.60E-07	SLX NC-03_cell D1_GATED-TLM	2.35E-08
SLX NC-03_cell A7_SCHOTTKY	5.89E-08	SLX NC-03_cell D2_GATED-TLM	8.95E-09
SLX NC-03_cell B1_SCHOTTKY	1.12E-08	SLX NC-03_cell D3_GATED-TLM	5.69E-09
SLX NC-03_cell B3_SCHOTTKY	3.52E-07	SLX NC-03_cell D5_GATED-TLM	1.15E-08
SLX NC-03_cell B5_SCHOTTKY	2.14E-08	SLX NC-03_cell E1_GATED-TLM	2.22E-06
SLX NC-03_cell B6_SCHOTTKY	1.56E-07	SLX NC-03_cell E2_GATED-TLM	1.87E-06
SLX NC-03_cell C1_SCHOTTKY	2.73E-09	SLX NC-03_cell E3_GATED-TLM	4.76E-06

Tabella 8.2: Valori di leakage a  $V_{GS}=-8V$  per i dispositivi del wafer SLX NC-03

Quindi per ripetere le misure si sono scelti due dispositivi con bassa corrente di leakage, andando perciò a minimizzare il contributo della resistenza nel calcolo della capacità equivalente: il fattfet della cella D5 del wafer SLX IA-01 e il fattfet della cella B6 del wafer SLX NC-03.

## 8.1 SLX IA-01

Lo studio preliminare dell'impedenza misurata (figura 8.1) rivela che, ad una tensione di -10V, il dispositivo della cella C3 ha un comportamento completamente resistivo in quanto la fase vale costantemente circa  $-5^\circ$ . Anche il dispositivo della cella D5 ha un comportamento prevalentemente resistivo fino ad una frequenza di 600Hz, mentre a frequenze maggiori la fase tende a scendere verso i  $-90^\circ$ . Perciò, nelle zone a fase bassa, il valore della capacità sarà sbagliato.

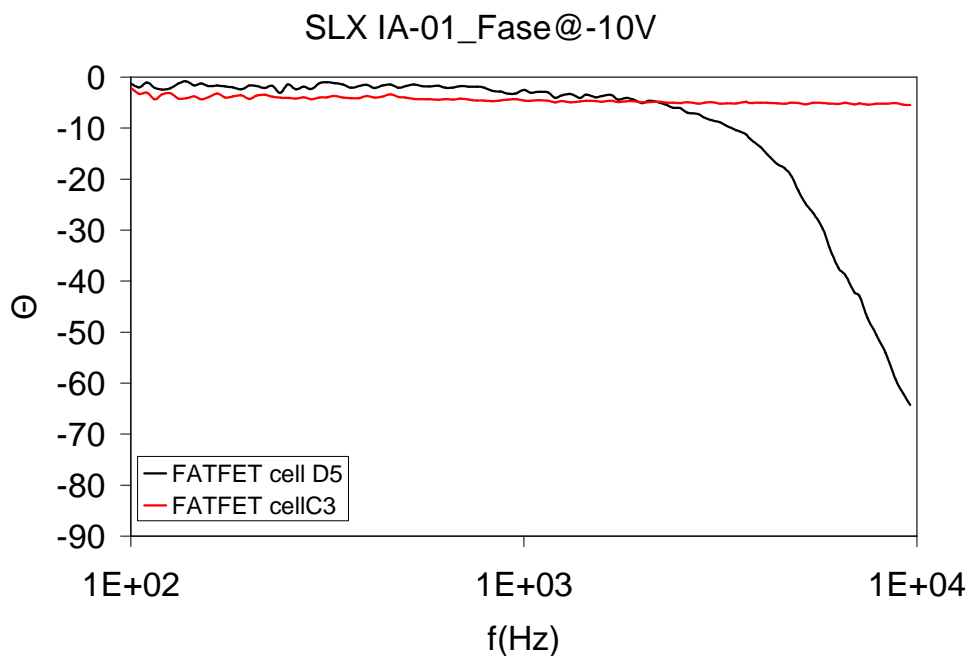


Figura 8.1: Fase al variare della frequenza per i FATFET delle celle C3 e D5 (wafer SLX IA-01)

Di seguito sono riportate le misure C-V alle frequenze di 100Hz, 300Hz, 1KHz e 10KHz eseguite nel fattet della cella C3.

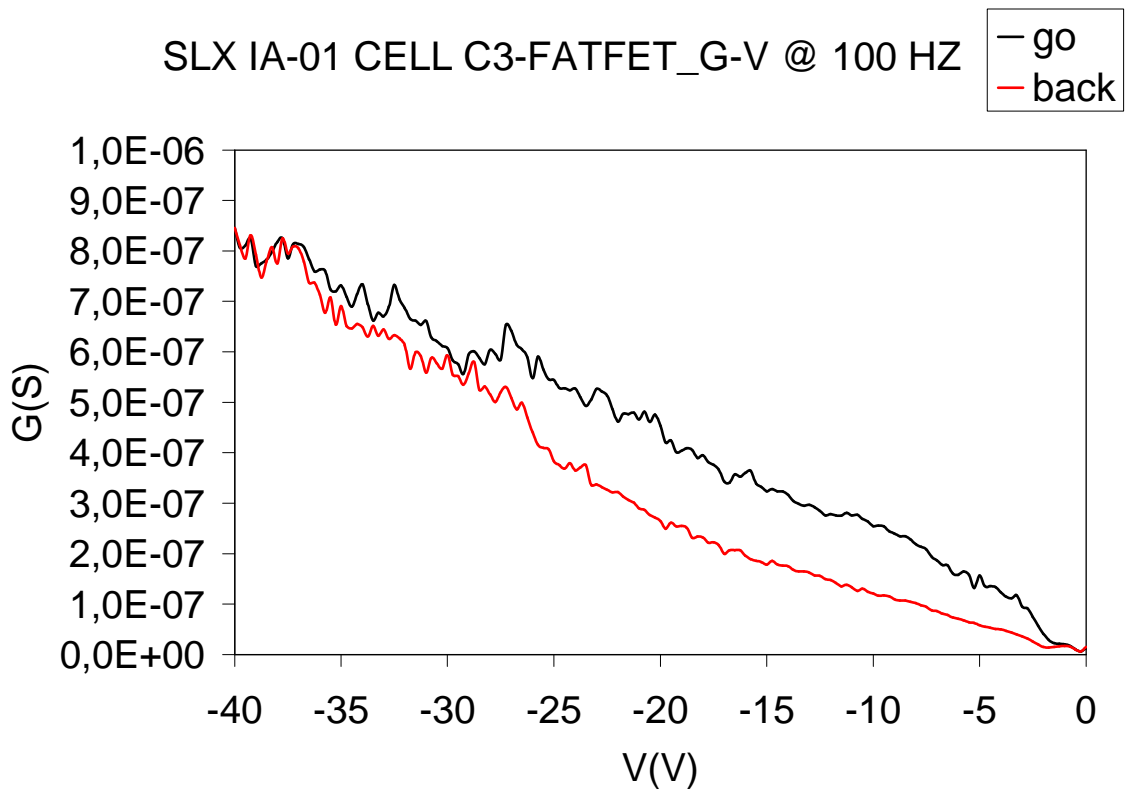
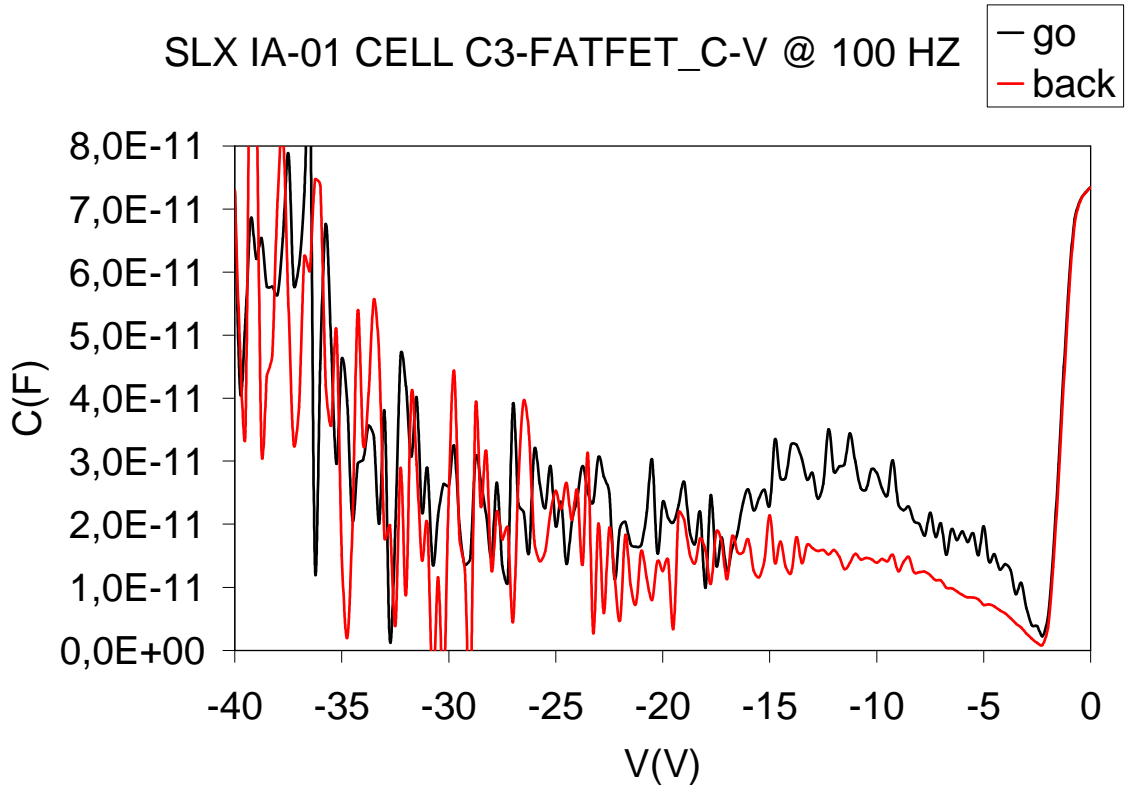


Figura 8.2: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo C3\_FATFET (wafer SLX IA-01)

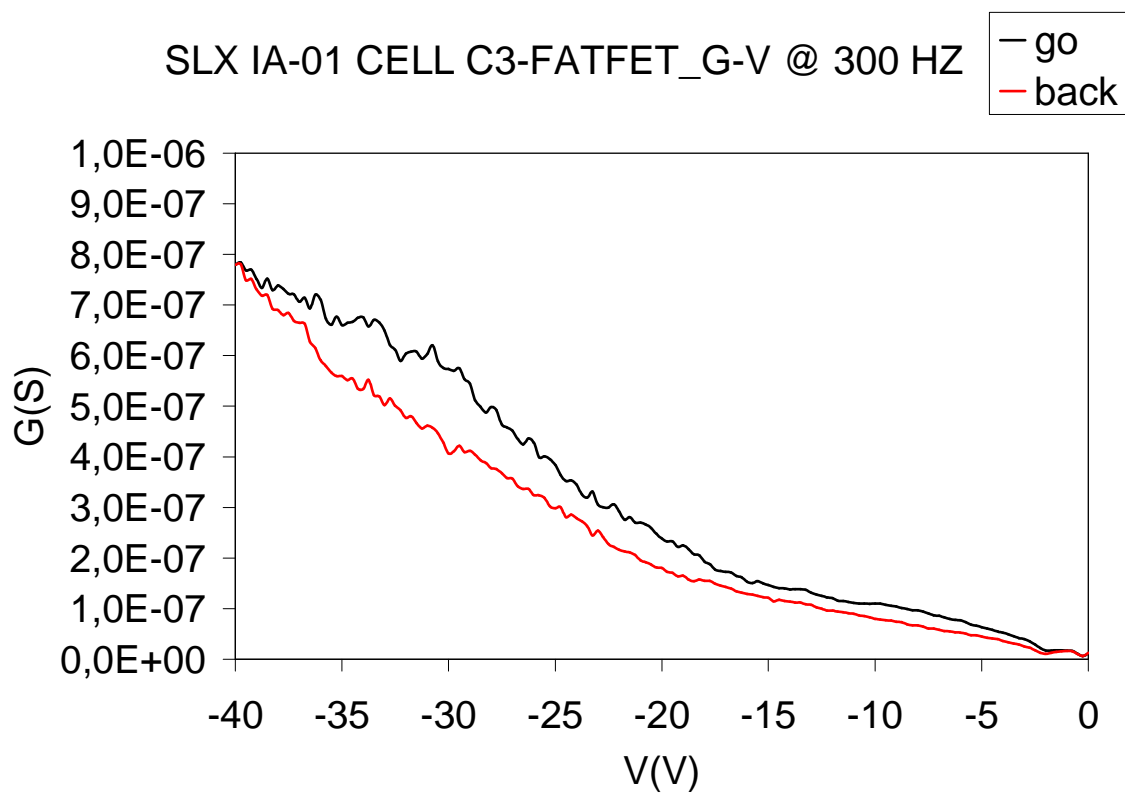
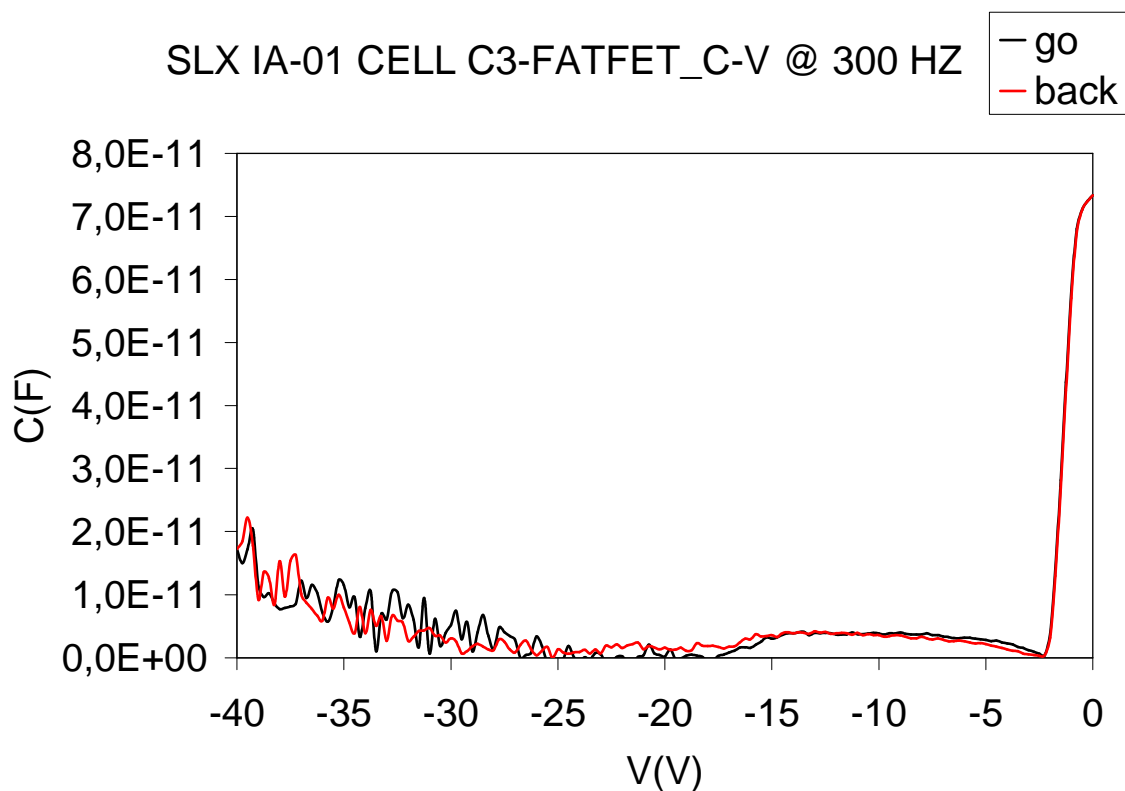


Figura 8.3: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo C3\_FATFET (wafer SLX IA-01)

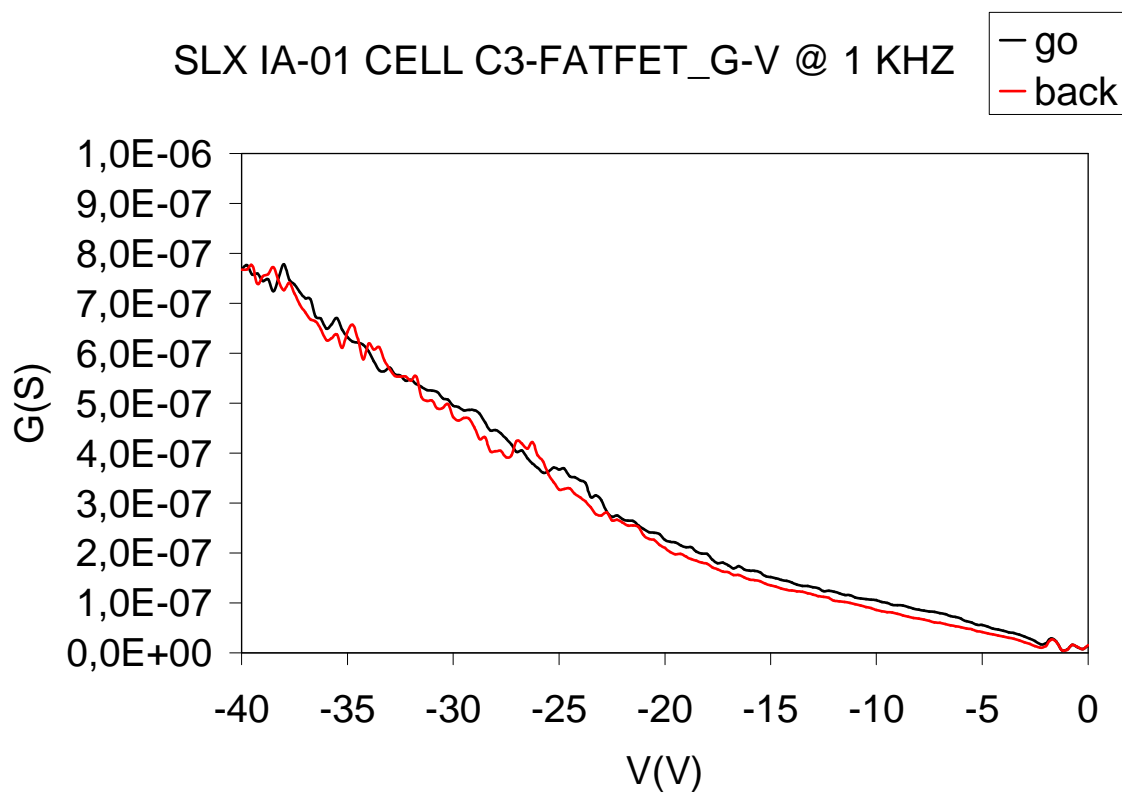
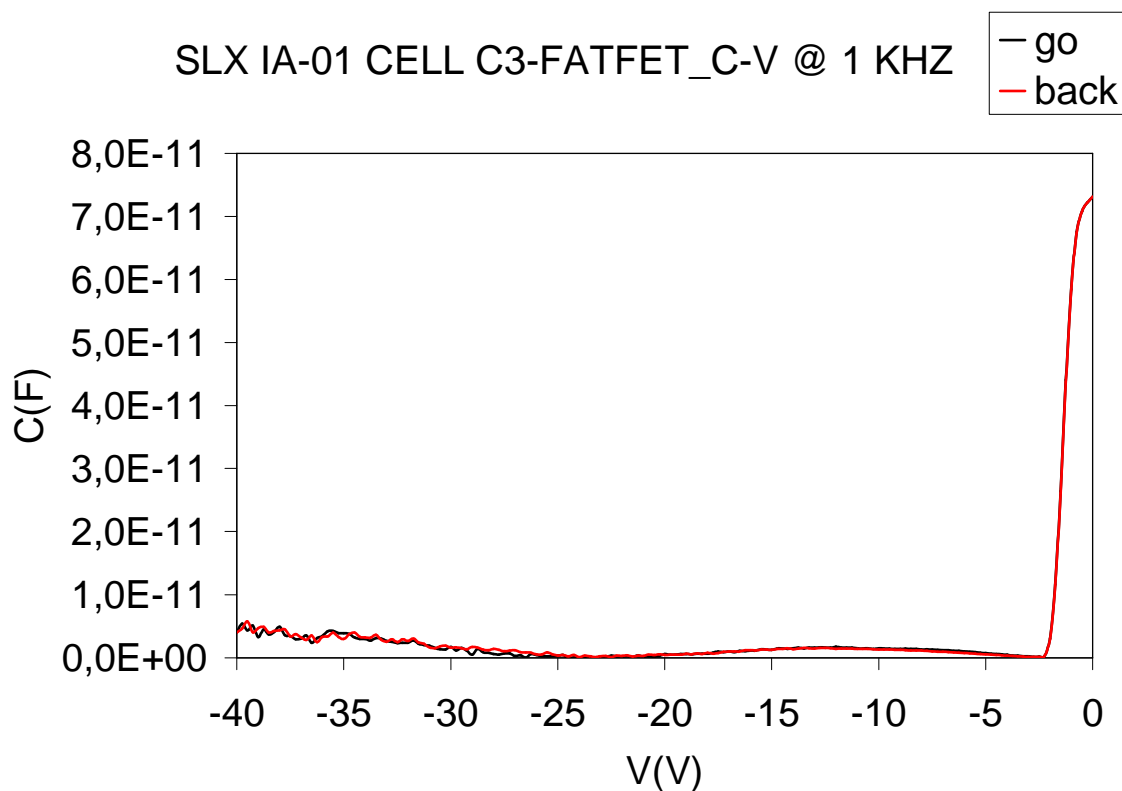


Figura 8.4: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo C3\_FATFET (wafer SLX IA-01)

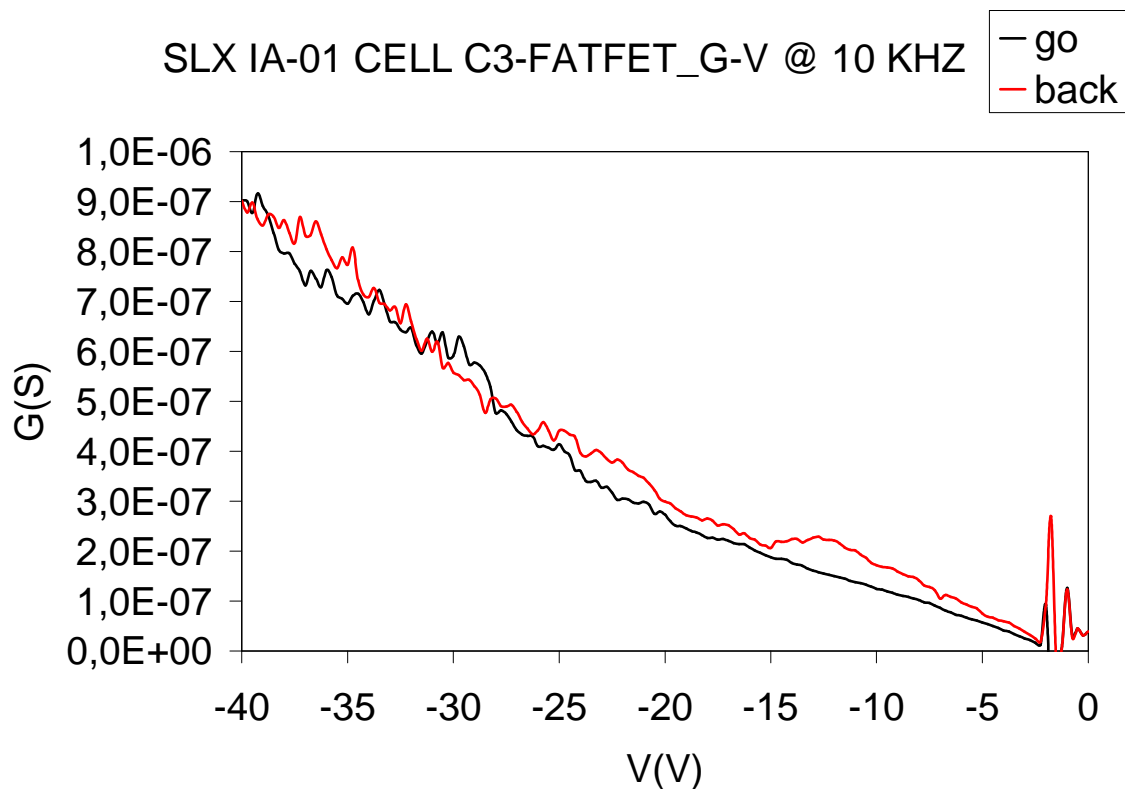
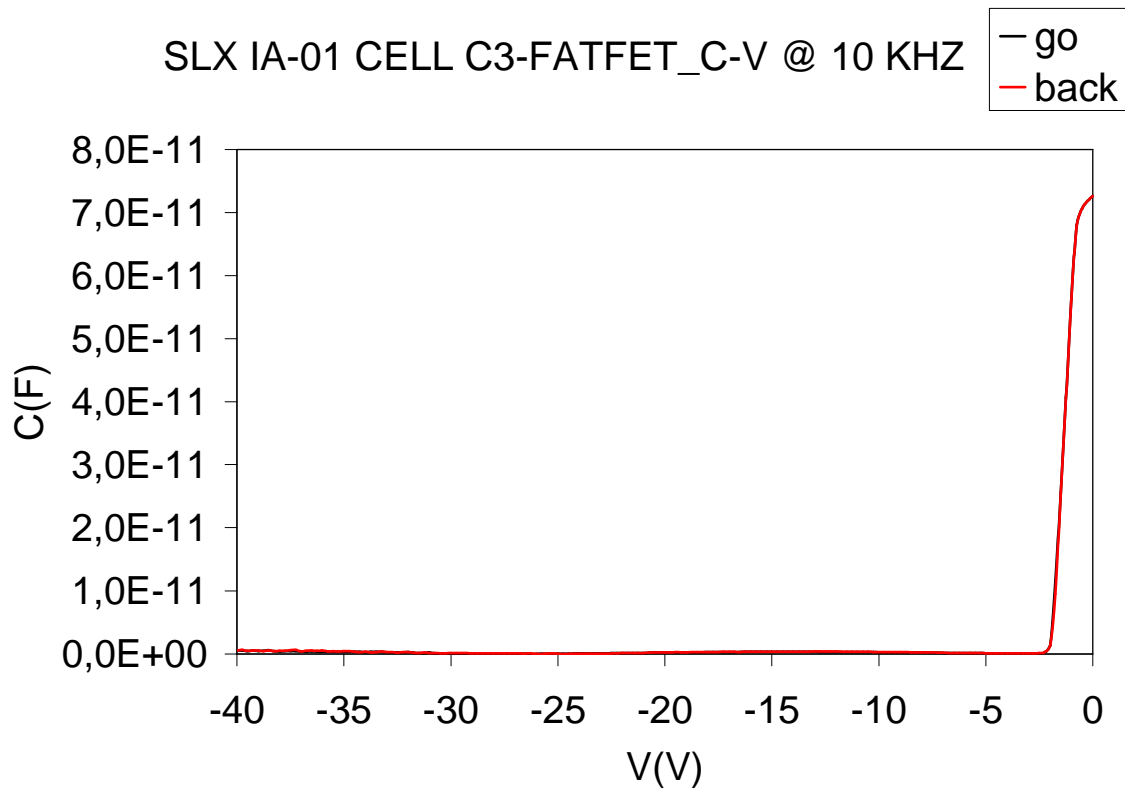


Figura 8.5: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo C3\_FATFET (wafer SLX IA-01)



Le curve C-V, in corrispondenza della tensione di soglia, presentano un brusco aumento, partendo da pochi pF, della capacità misurata seguito da un andamento quasi costante pari a 70pF. Dalle curve si nota come la misura sia molto più affetta da disturbi in bassa frequenza mentre questi effetti sono molto più attenuati in alta frequenza perché le trappole non vengono più modulate dal segnale, e quindi restano bloccate sia in andata che in ritorno. Le curve a 100 Hz e a 300 Hz (figure 8.2 e 8.3) presentano isteresi, segno di carica intrappolata dovuta a stati trappola superficiali. Essa scompare a frequenze maggiori.

L'isteresi presente nelle curve di conduttanza indica le perdite legate al ritardo con cui le trappole rispondono al segnale, e può essere attribuita al tempo di risposta delle trappole che è più elevato spostandosi verso tensioni negative (perché le trappole sono più piene). Quindi i tempi di intrappolamento e di detrappolamento della carica dipendono dalla polarizzazione del dispositivo. L'isteresi nelle curve di conduttanza diminuisce all'aumentare della frequenza. In corrispondenza della soglia, le curve G-V presentano un picco di conduttanza dovuto probabilmente alla presenza di trappole all'interfaccia AlGaN/GaN.

Dalla figura 8.6 si nota che la tensione di soglia presenta un leggero spostamento verso destra all'aumentare della frequenza. Inoltre al crescere della frequenza, la regione di transizione delle curve C-V si riduce, segno che la carica risponde sempre meno al segnale applicato.

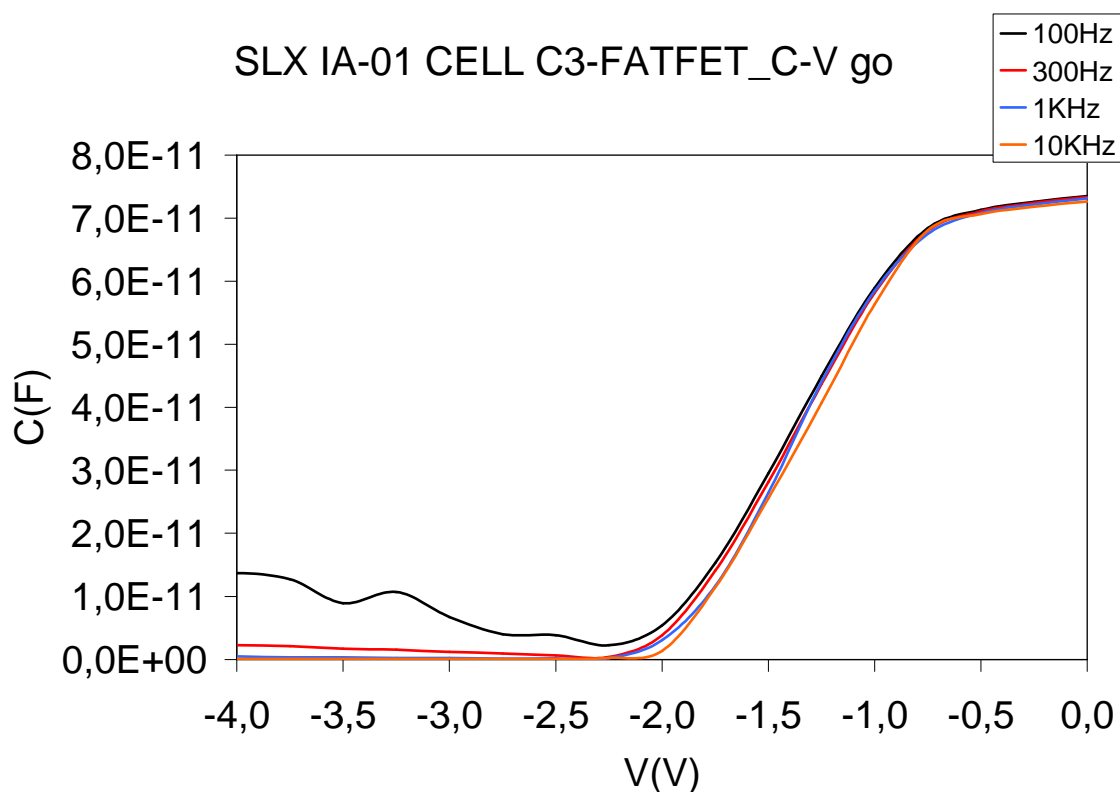


Figura 8.6: Dettagli delle curve C-V per  $V=[0, -4]$

Di seguito sono riportate le misure C-V alle frequenze di 100Hz, 300Hz, 1KHz e 10KHz eseguite nel fattet della cella D5.

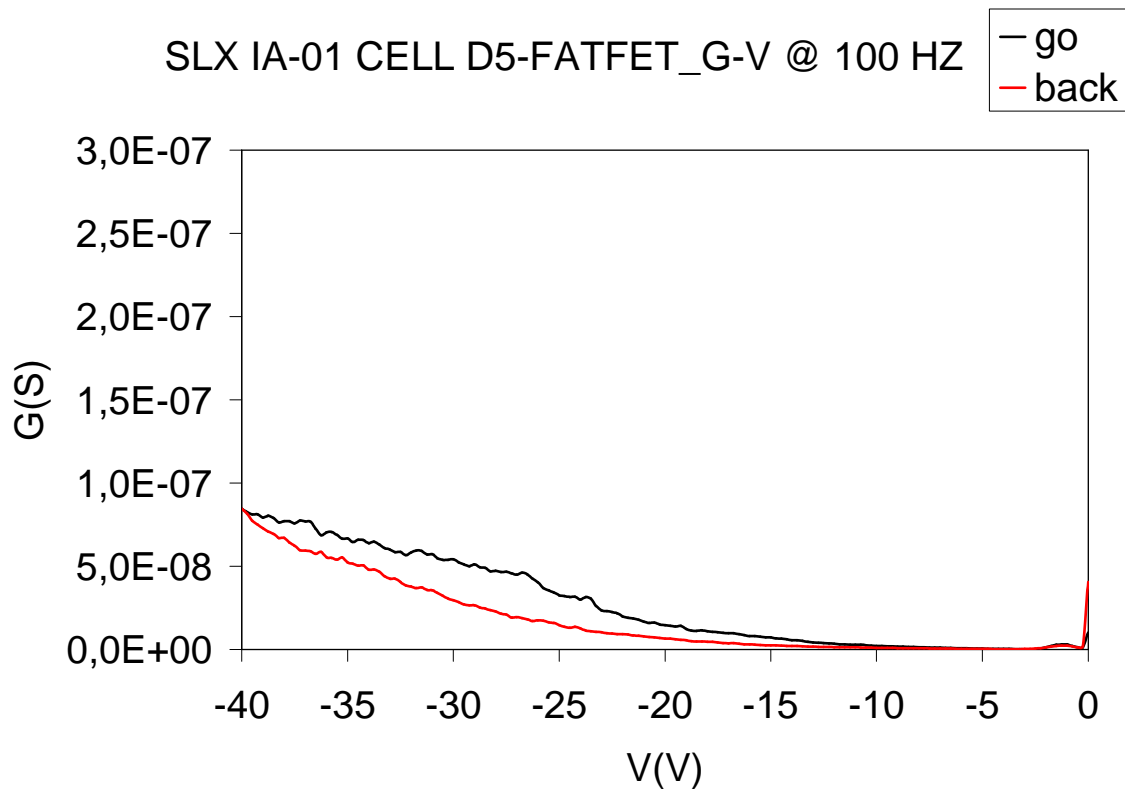
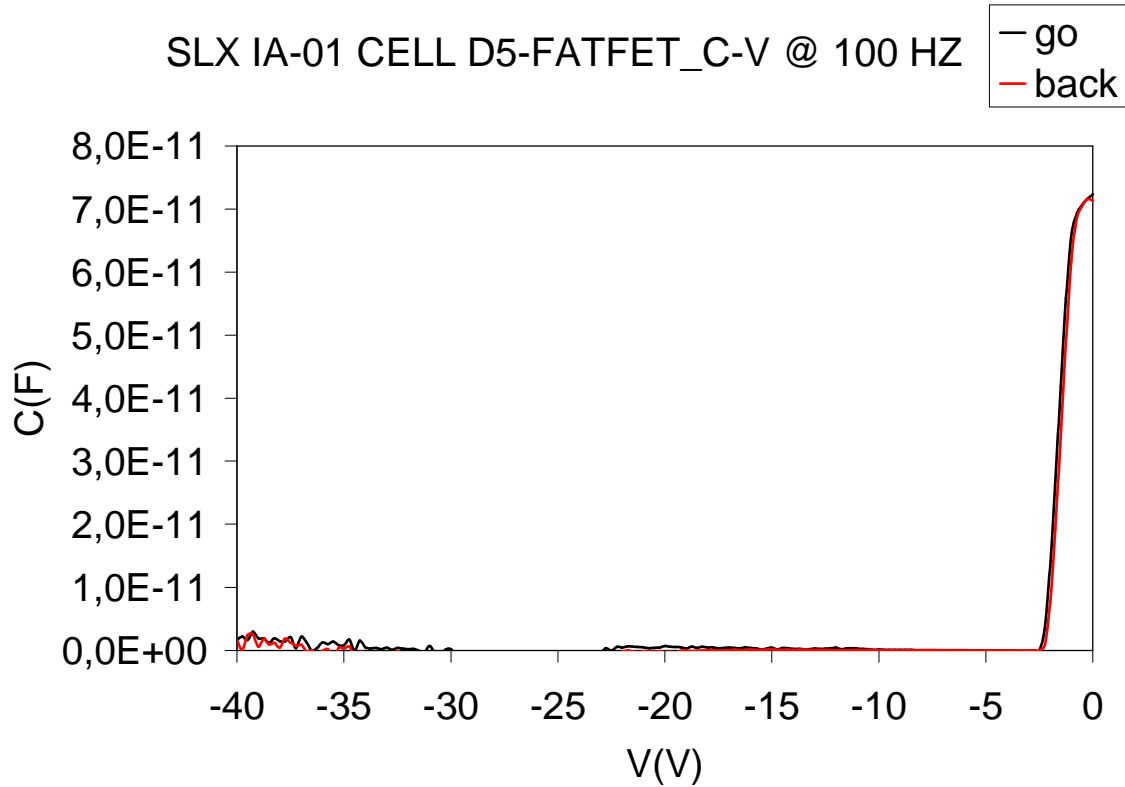


Figura 8.7: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo D5\_FATFET (wafer SLX IA-01)

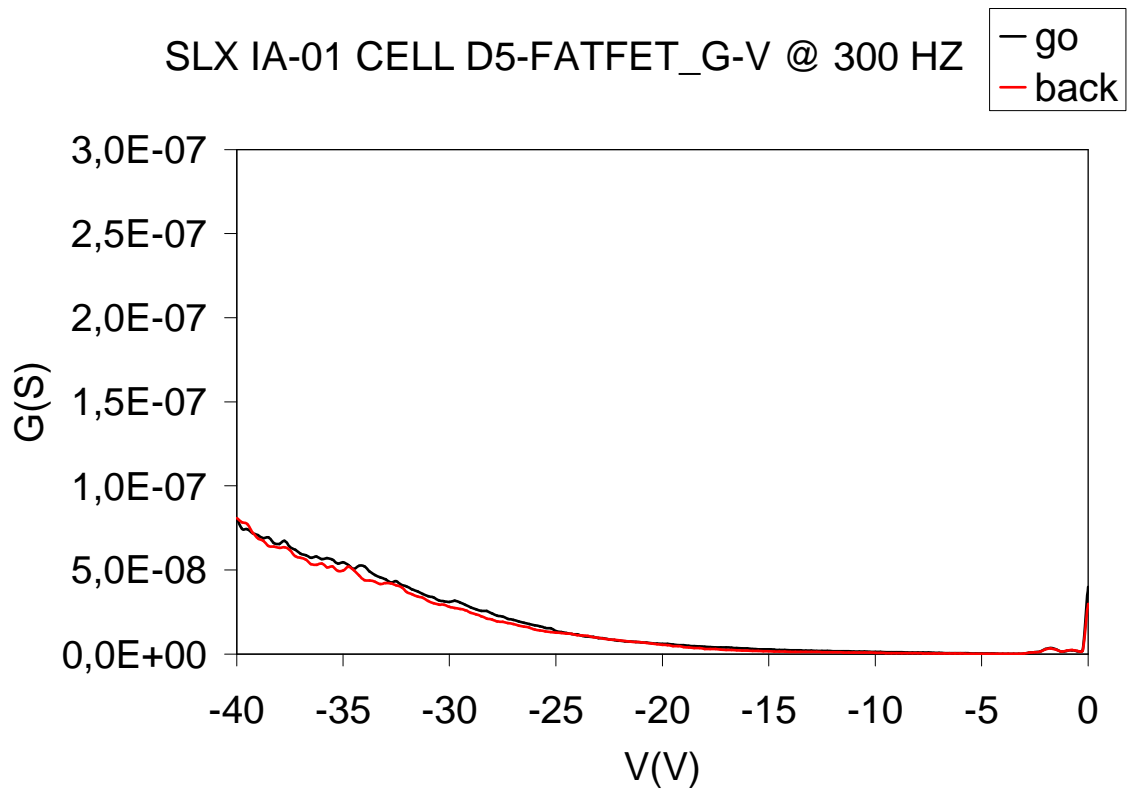
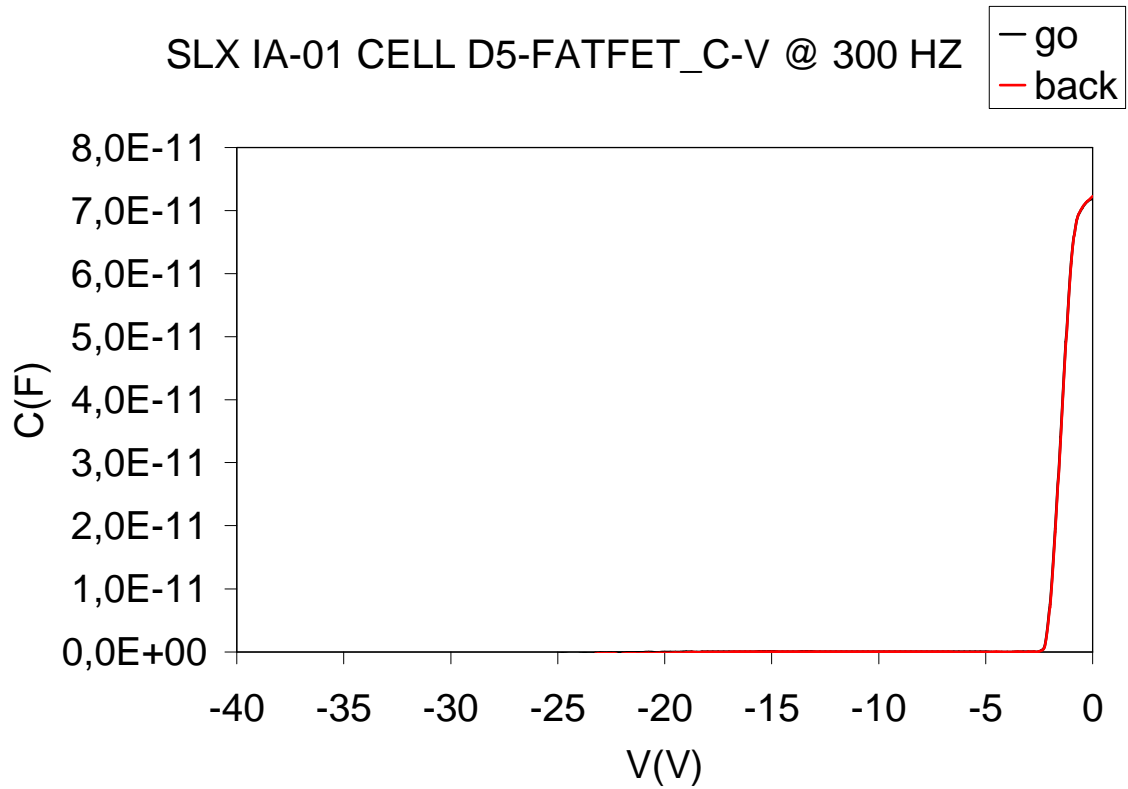


Figura 8.8: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo D5\_FATFET (wafer SLX IA-01)

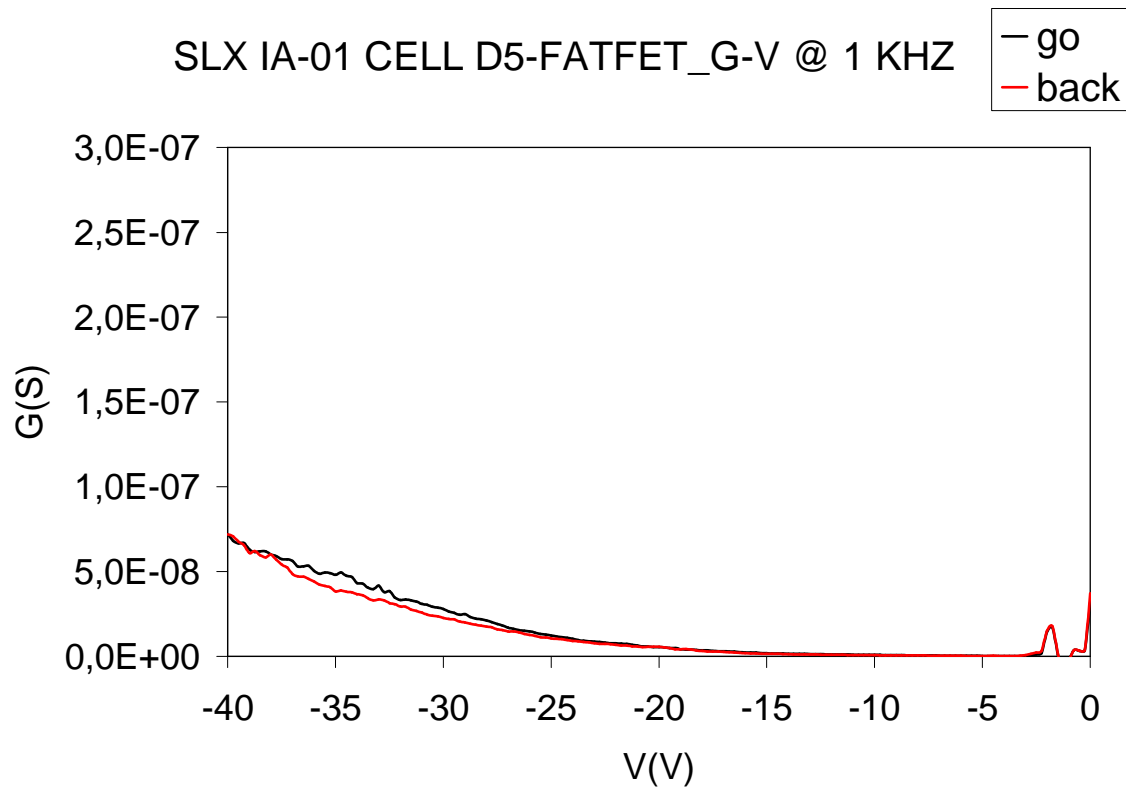
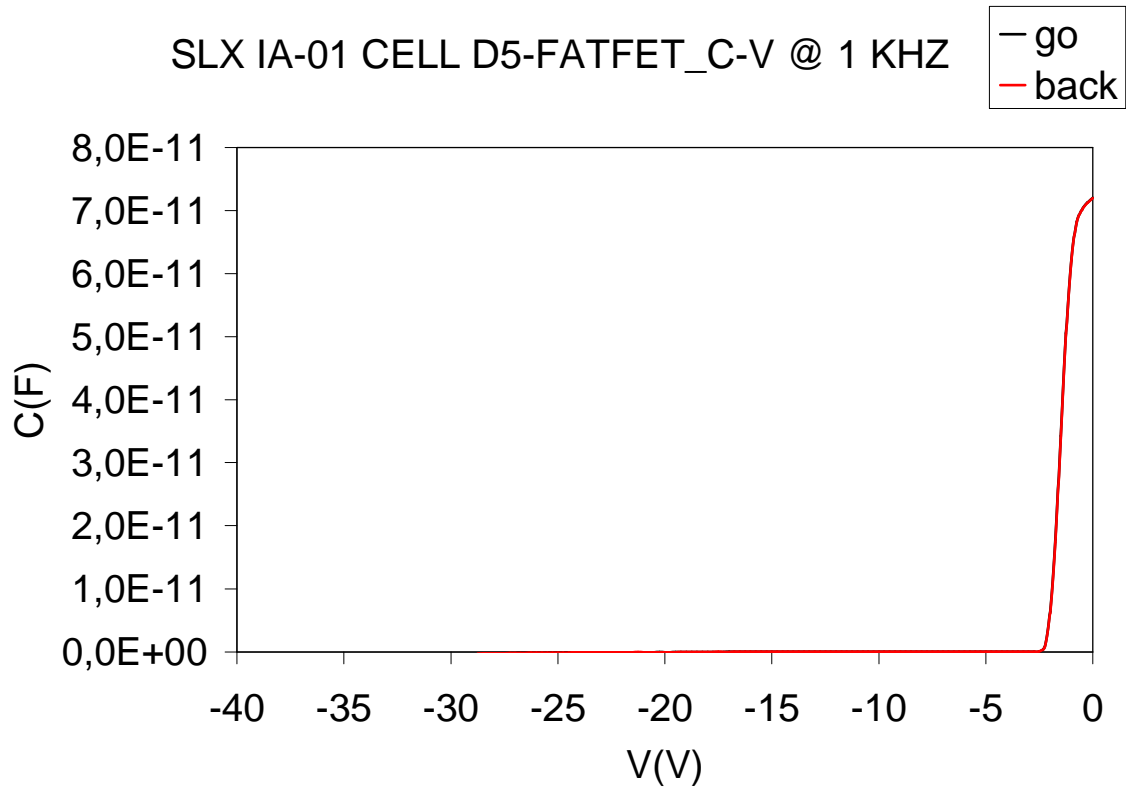


Figura 8.9: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo D5\_FATFET (wafer SLX IA-01)

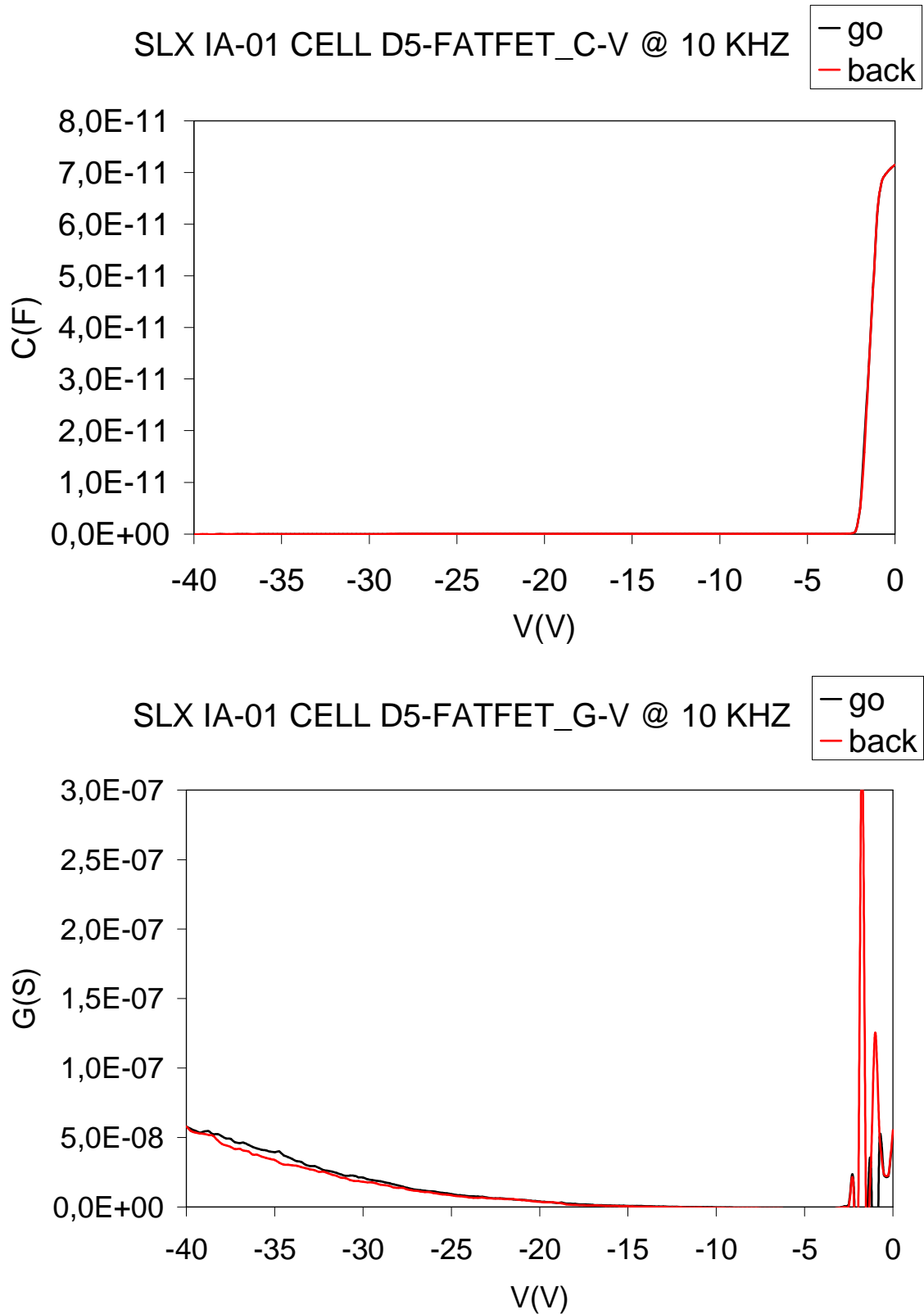


Figura 8.10: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo D5\_FATFET (wafer SLX IA-01)

Anche in questo caso le curve C-V, in corrispondenza della tensione di soglia, presentano un brusco aumento, partendo quasi da 0F, della capacità misurata seguito da un andamento quasi costante pari a 70pF. La curva a 100 Hz (figura 8.7) è affetta da disturbi e presenta una leggera isteresi (Figura 8.7). Essa scompare a frequenze maggiori. Tutte le misure mostrano un comportamento molto più costante a tensioni negative, segno che gli andamenti per niente costanti delle curve C-V viste nel campione precedente sono dovute all'alto leakage del dispositivo.

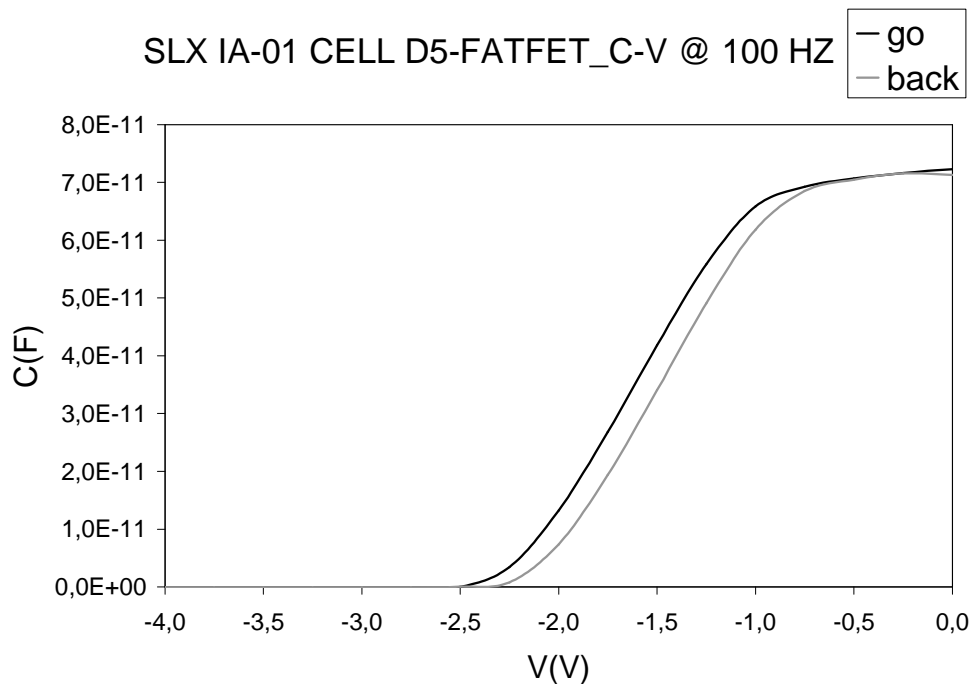


Figura 8.11: Dettaglio della curva C-V alla frequenza di 100Hz

Anche in questo caso le curve di conduttanza presentano isteresi e un picco in corrispondenza della tensione di soglia dovuto alla presenza di trappole all'interfaccia AlGaN/GaN.

Dalla figura 8.12 si nota che la tensione di soglia presenta un leggero spostamento verso destra all'aumentare della frequenza. Inoltre al crescere della frequenza, la regione di transizione delle curve C-V si riduce, segno che la carica risponde sempre meno al segnale applicato.

Questo dispositivo è caratterizzato da valori di corrente di leakage minori di circa tre ordini di grandezza rispetto a quello precedente, quindi le misure eseguite sul campione della cella C3 sono maggiormente influenzate dalle perdite per leakage. Nonostante la bassa corrente di leakage, dalle misure di fase emerge che anche le misure C-V del secondo dispositivo sono influenzate dalle perdite per leakage, quindi in entrambi i dispositivi del wafer SLX IA-01 le

informazioni riguardanti i fenomeni di intrappolamento di carica sono piuttosto limitate, almeno per basse frequenze

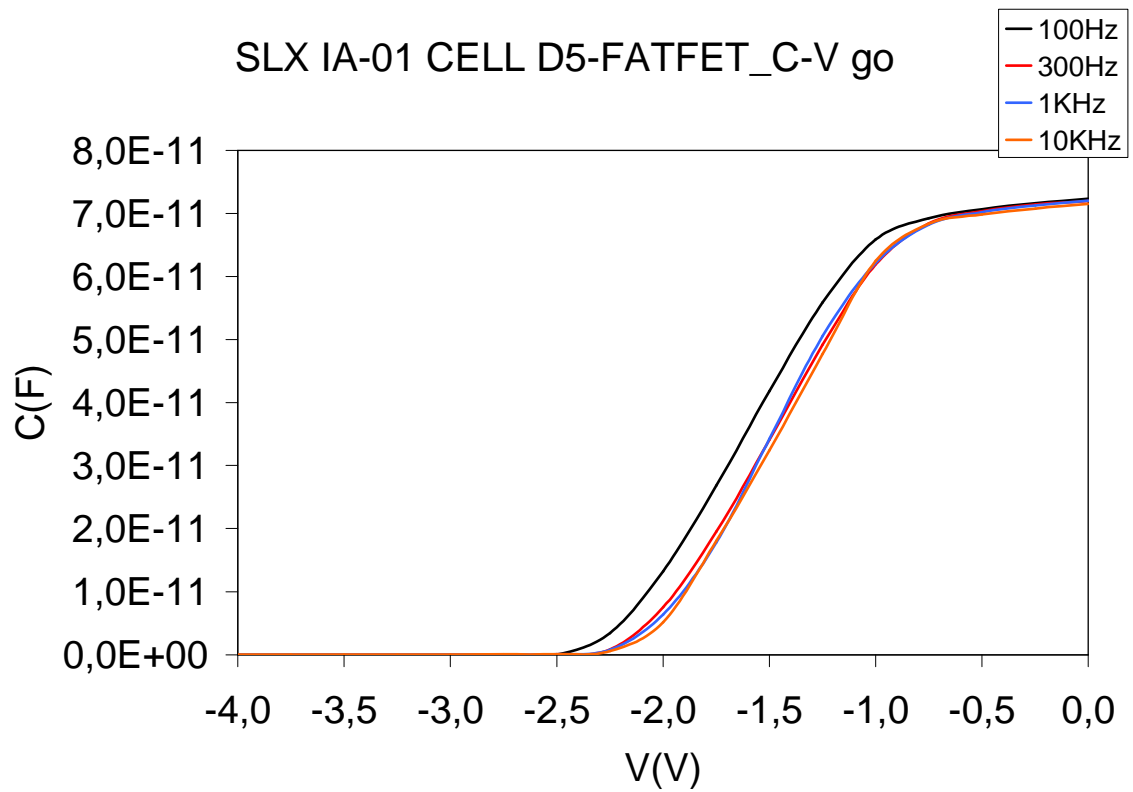


Figura 8.12: Dettagli delle curve C-V per  $V=[0, -4]$

## 8.2 SLX NC-03

Lo studio preliminare dell'impedenza misurata (figura 8.13) rivela che, ad una tensione di -10V, il dispositivo della cella C3 ha un comportamento resistivo fino ad una frequenza di 500Hz, mentre a frequenze maggiori la fase tende a scendere verso i  $-90^\circ$ . L'altro dispositivo ha un comportamento prevalentemente capacitivo in quanto a frequenze superiori ai 300 Hz la fase è prossima ai  $-80^\circ$ . In questo caso possiamo avere dati più validi, data la miglior fase.

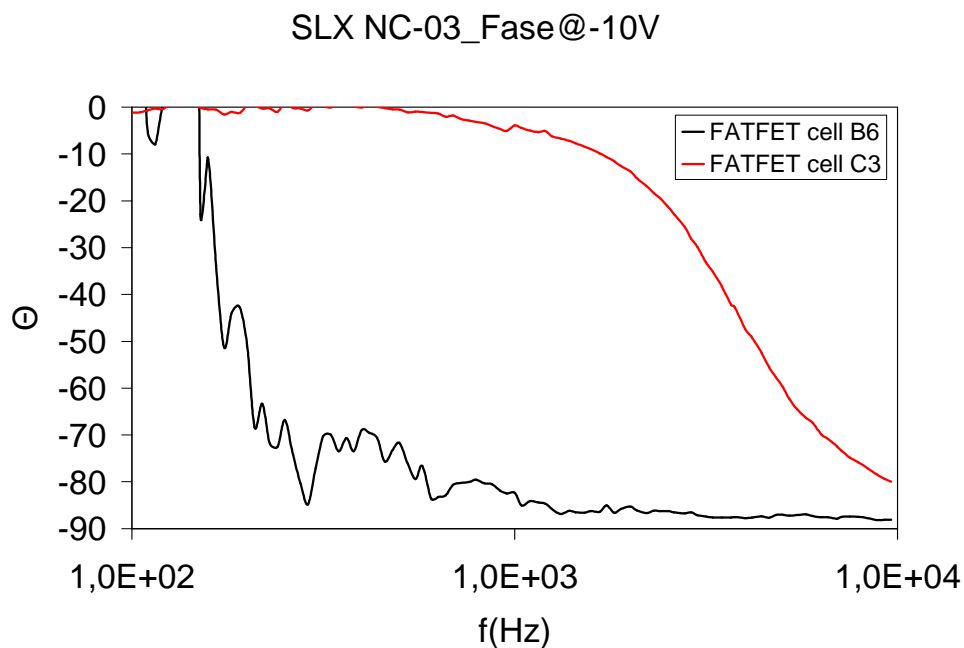


Figura 8.13: Fase al variare della frequenza per i FATFET delle celle C3 e B6 (wafer SLX NC-03)



Di seguito sono riportate le misure C-V alle frequenze di 100Hz, 300Hz, 1KHz e 10KHz eseguite nel fattfet della cella C3.

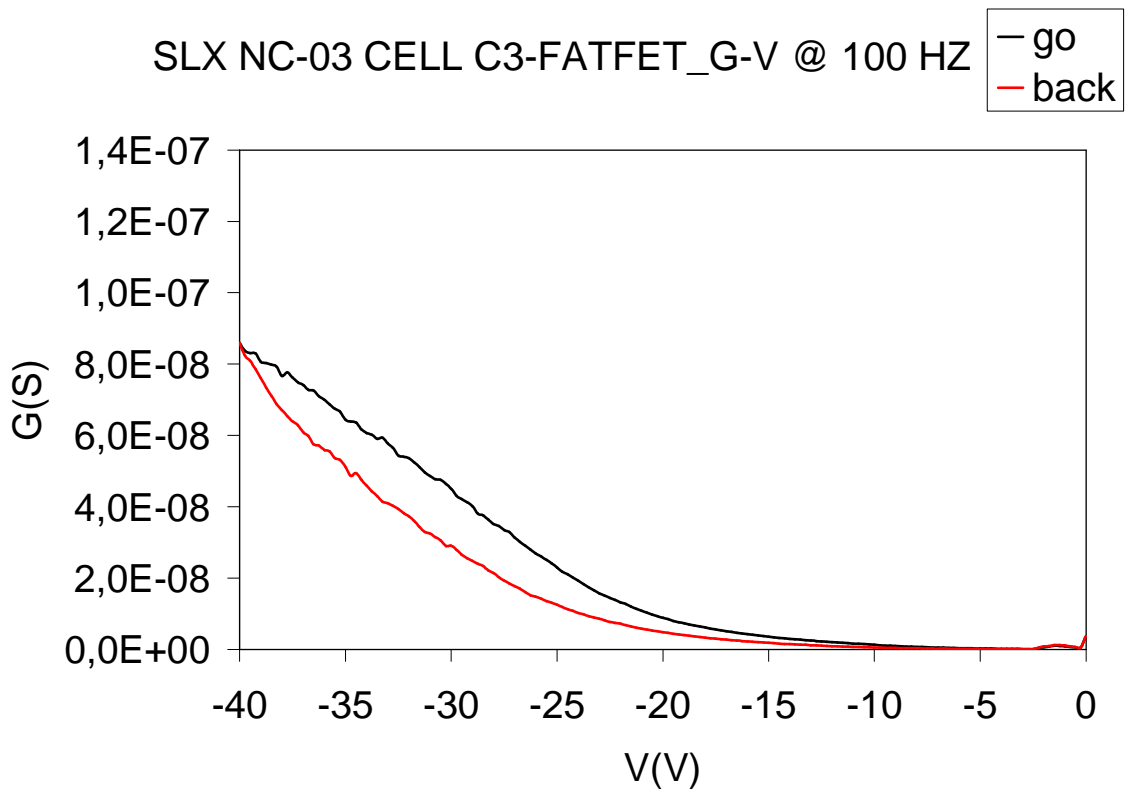
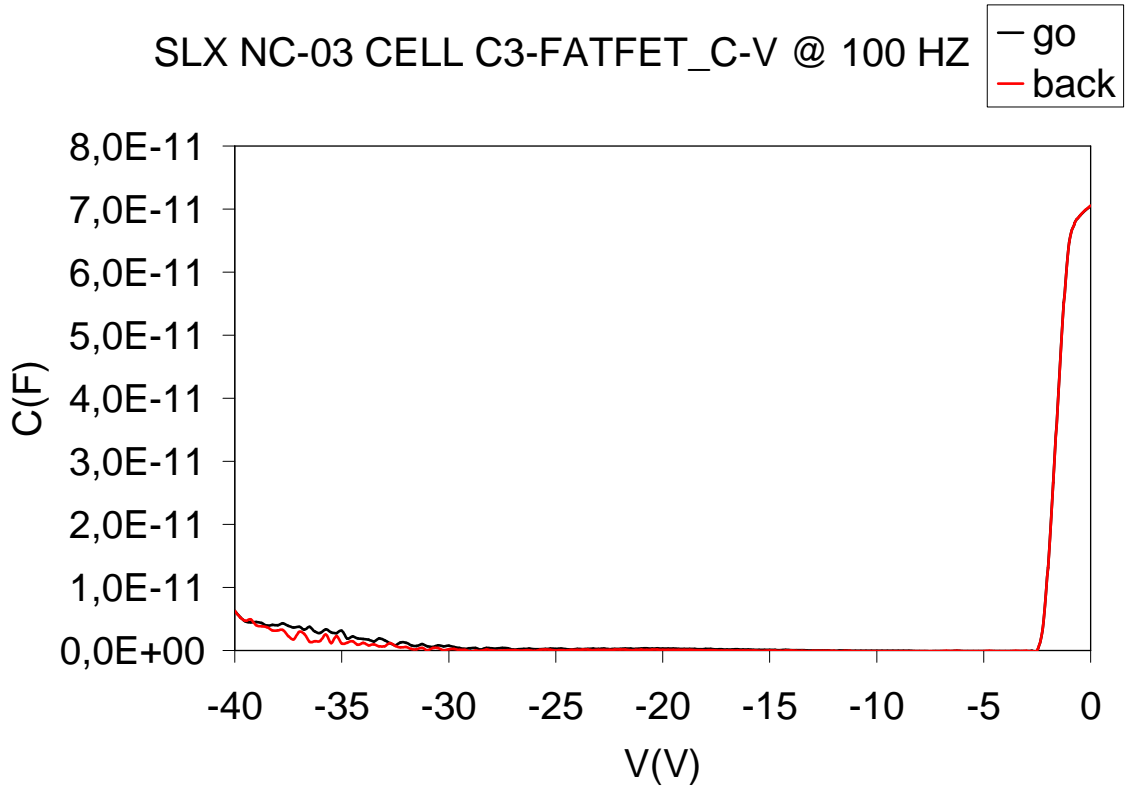


Figura 8.14: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo C3\_FATFET (wafer SLX NC-03)

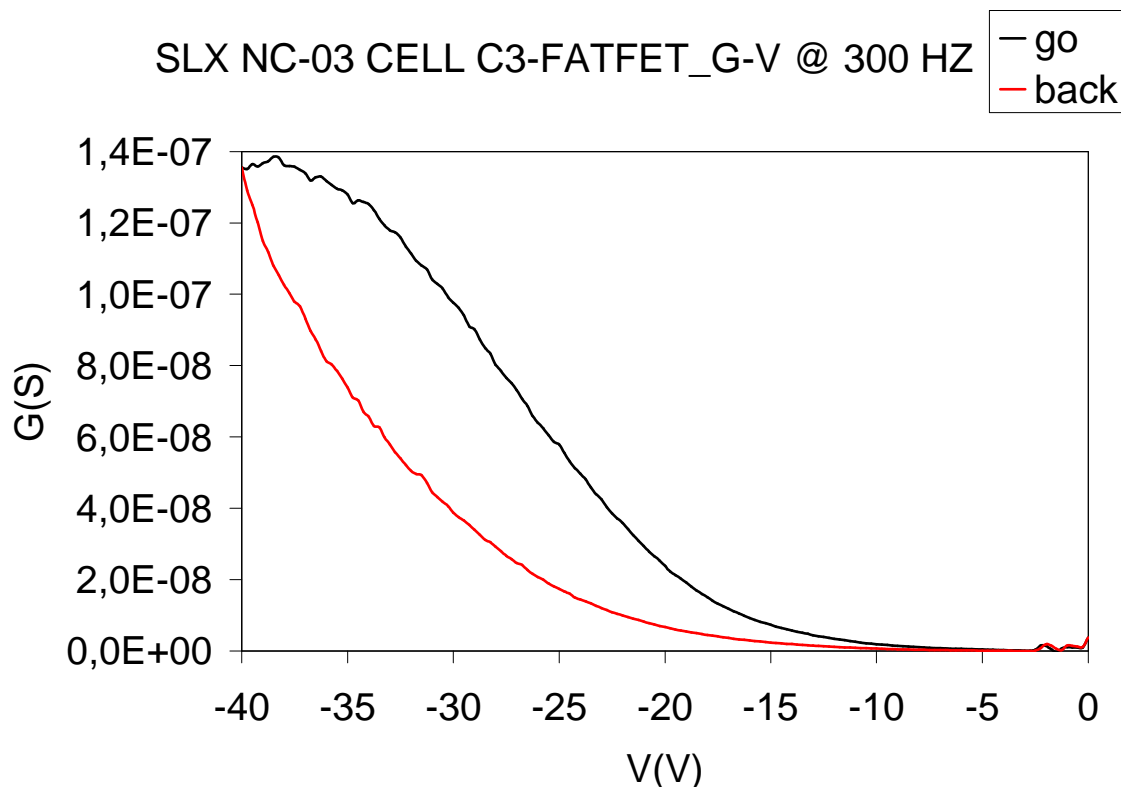
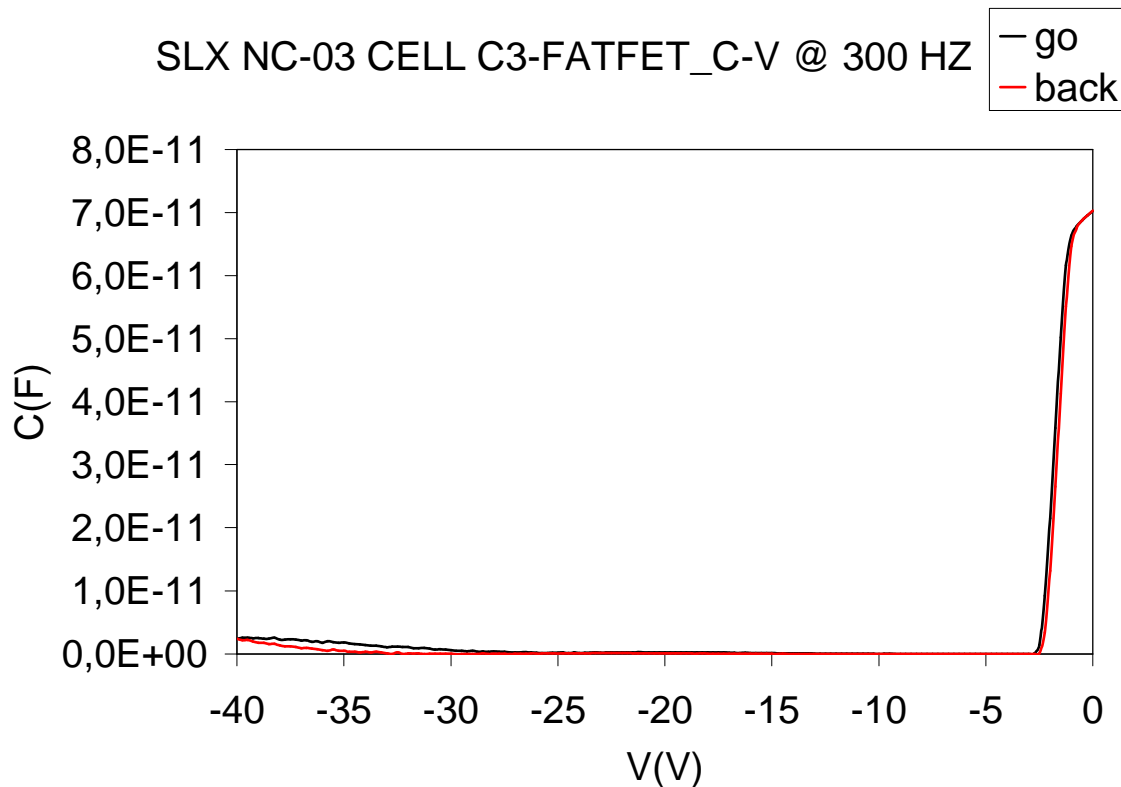


Figura 8.15: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo C3\_FATFET (wafer SLX NC-03)

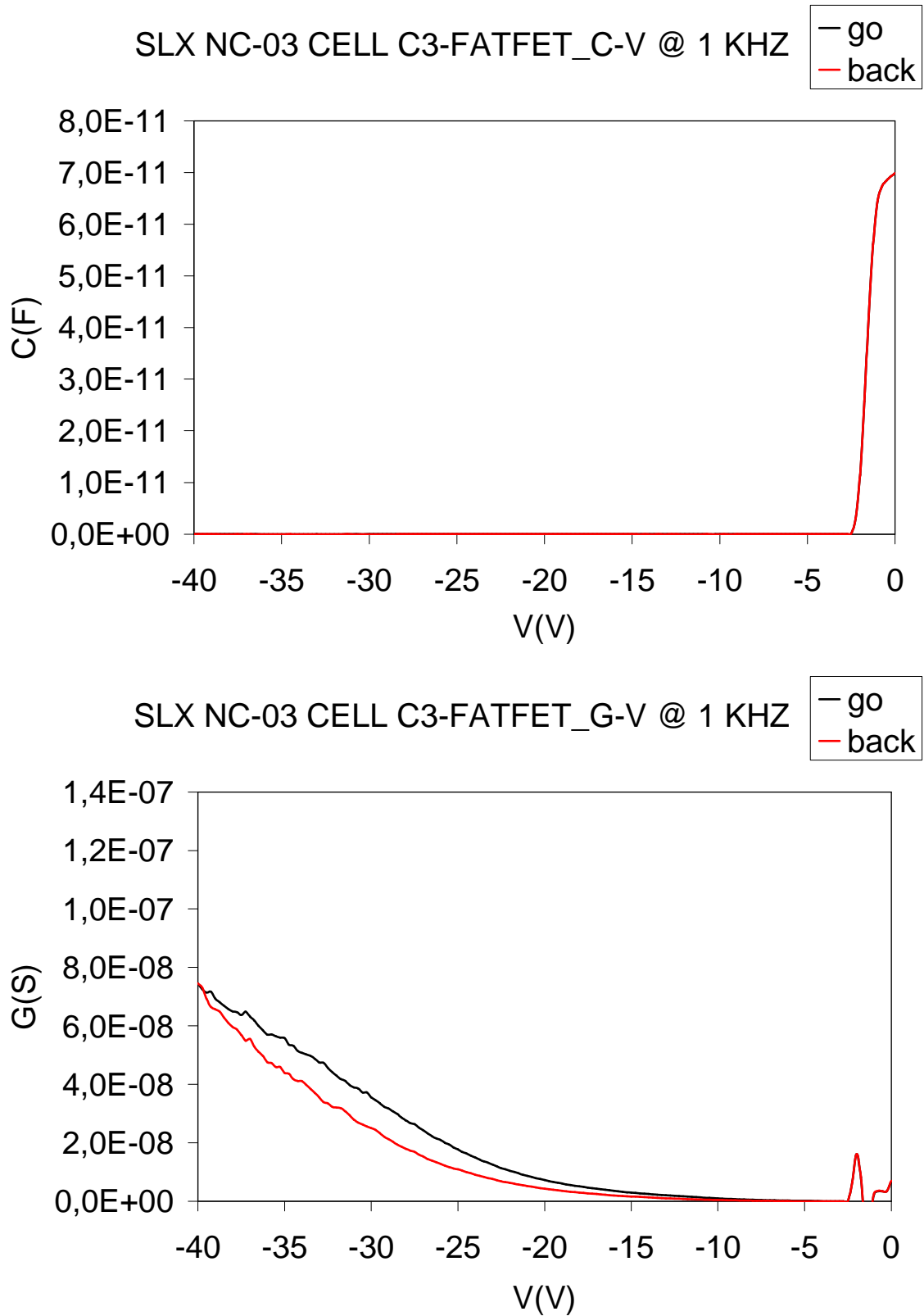


Figura 8.16: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo C3\_FATFET (wafer SLX NC-03)

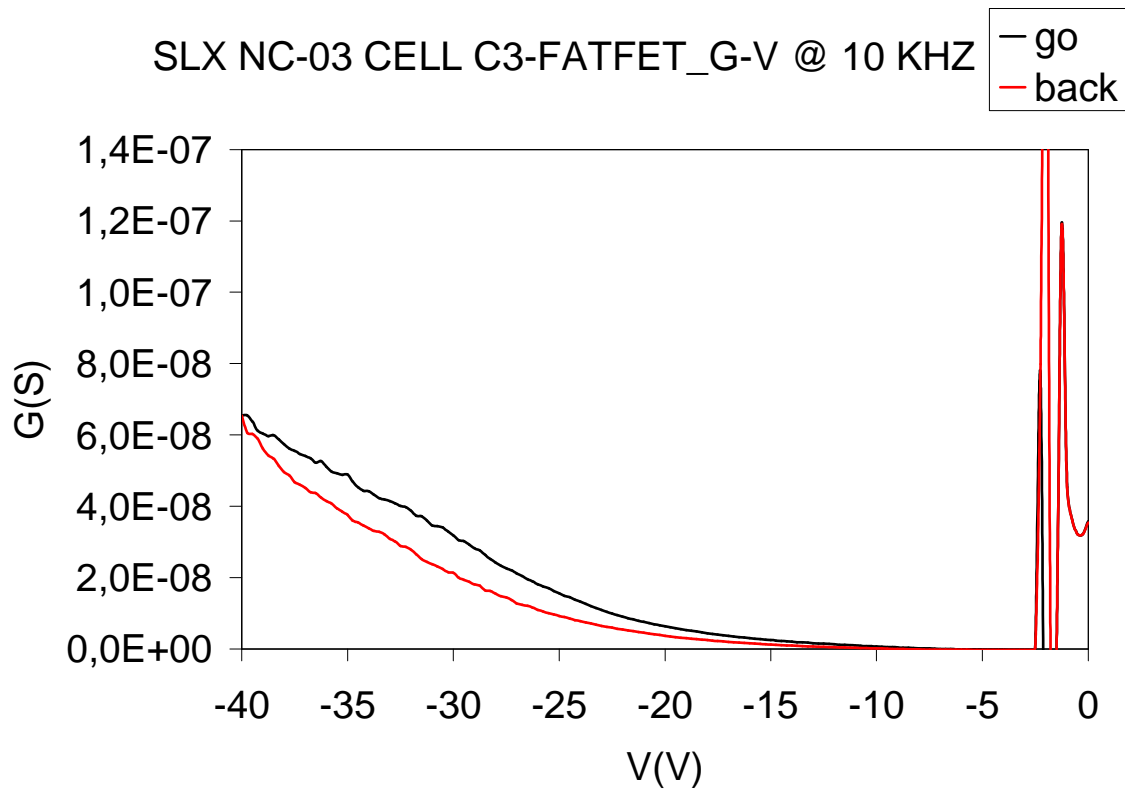
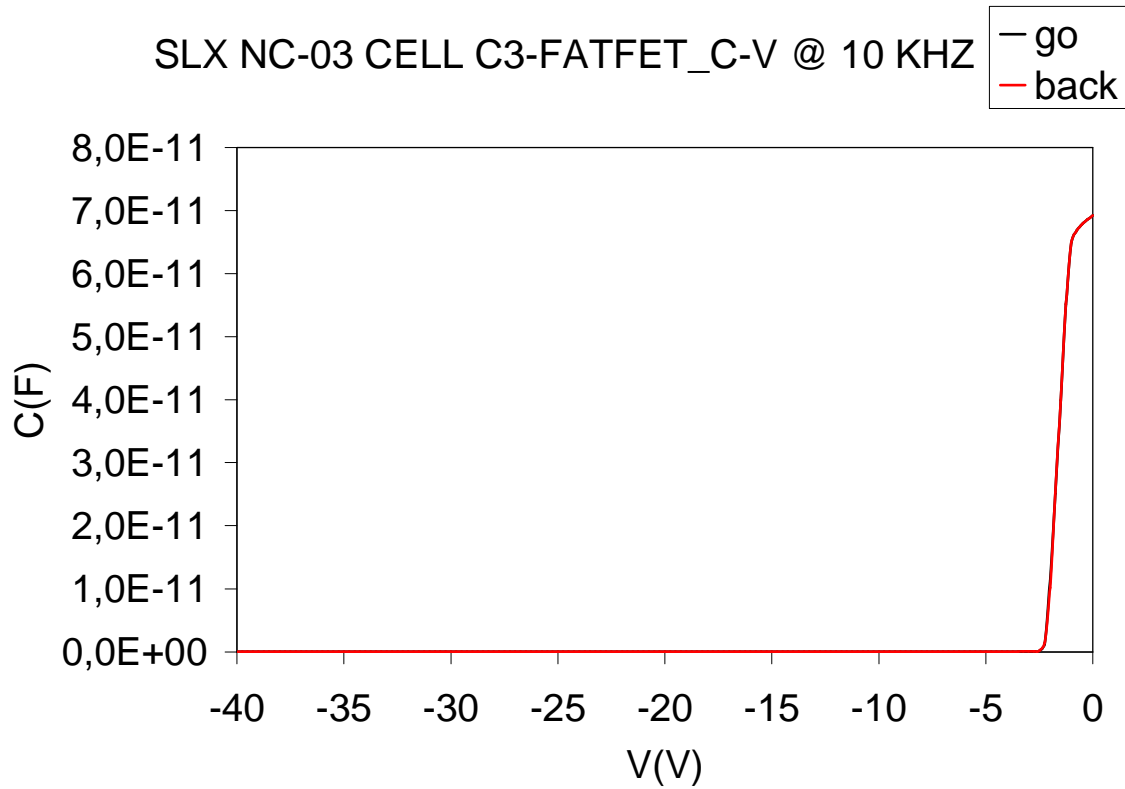


Figura 8.17: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo C3\_FATFET (wafer SLX NC-03)

Le curve C-V, in corrispondenza della tensione di soglia, presentano un brusco aumento della capacità (da praticamente 0pF a canale chiuso) seguito da un andamento quasi costante pari a 70pF (canale aperto). Alle frequenze di 100Hz e 300Hz si ha un leggero aumento della capacità per tensioni minori di -30V. Le curve non presentano isteresi, indice di poche trappole sotto il contatto di gate, come già si era visto attraverso le misure dinamiche.

Come nei dispositivi del wafer SLX IA-01 le curve di conduttanza presentano isteresi, quindi i tempi di intrappolamento e di detrappolamento della carica dipendono dalla polarizzazione del dispositivo. In corrispondenza della soglia, presentano un picco di conduttanza dovuto probabilmente alla presenza di trappole all'interfaccia AlGaN/GaN. Il picco aumenta all'aumentare della frequenza.

La tensione di soglia presenta un shift verso destra alla frequenza di 300Hz e uno spostamento verso sinistra a frequenze superiori (figura 8.18), probabilmente dovuto a qualche errore di misura.

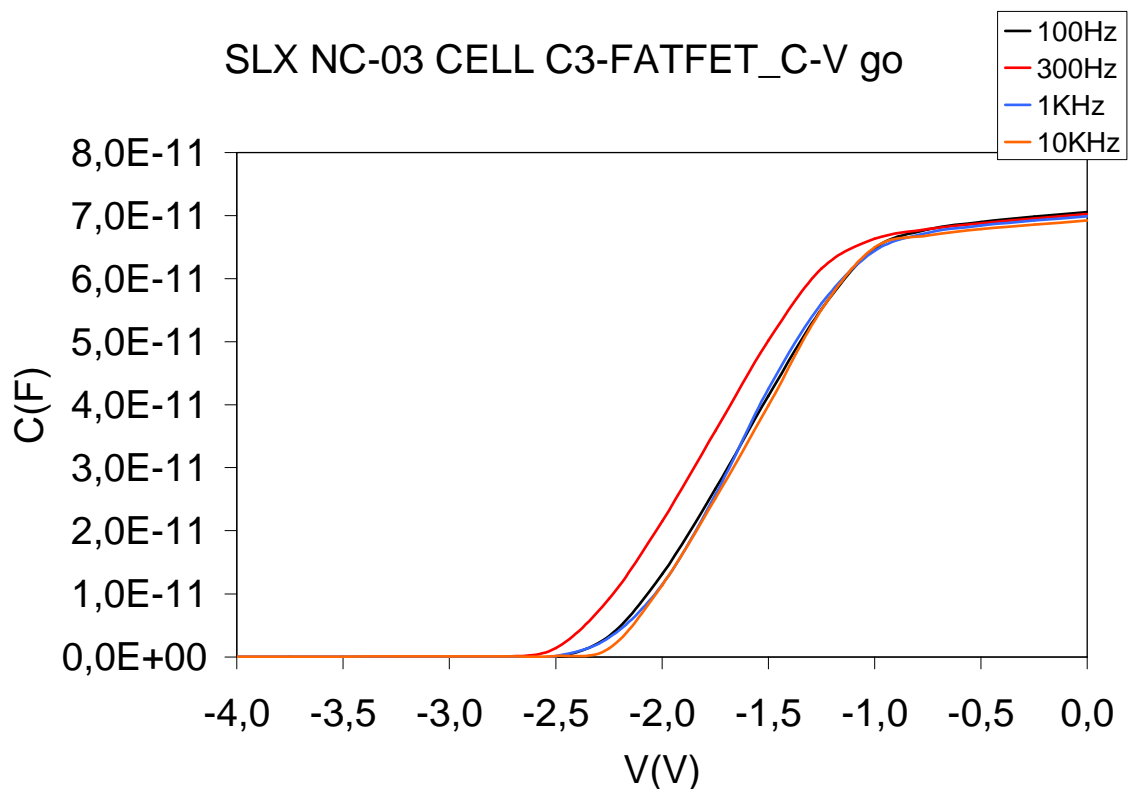


Figura 8.18: Dettagli delle curve C-V per  $V=[0, -4]$

Di seguito sono riportate le misure C-V alle frequenze di 100Hz, 300Hz, 1KHz e 10KHz eseguite nel fattet della cella B6.

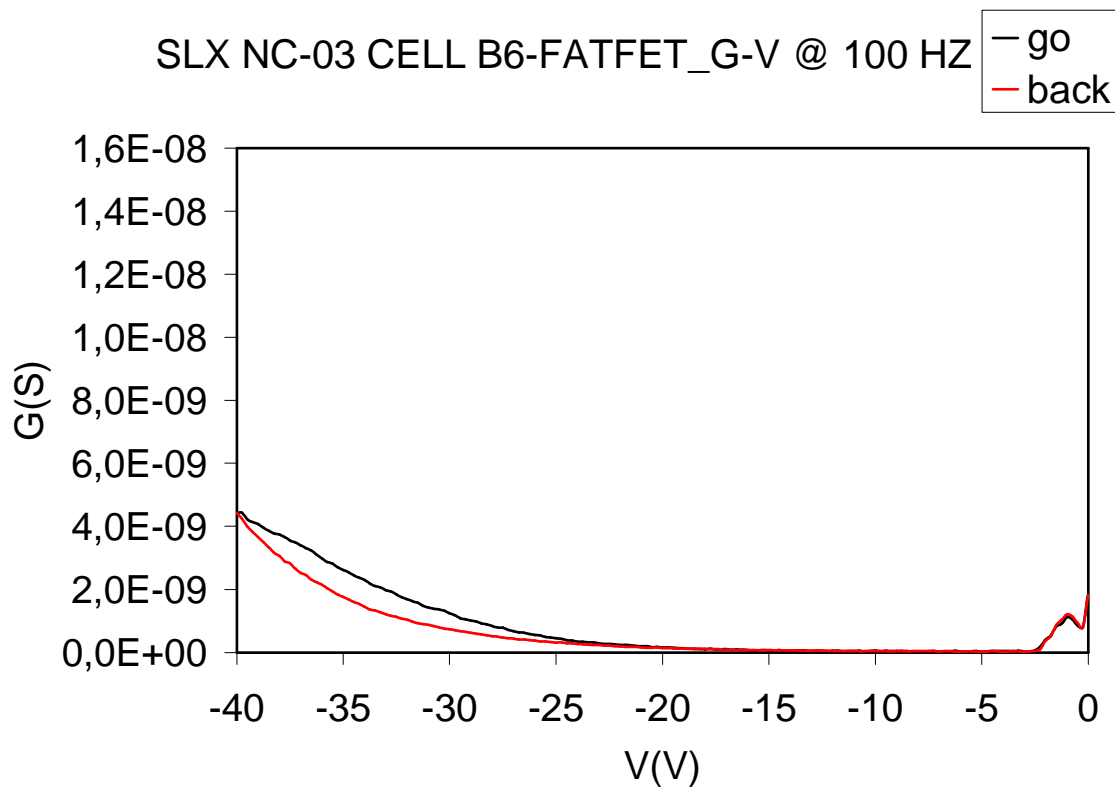
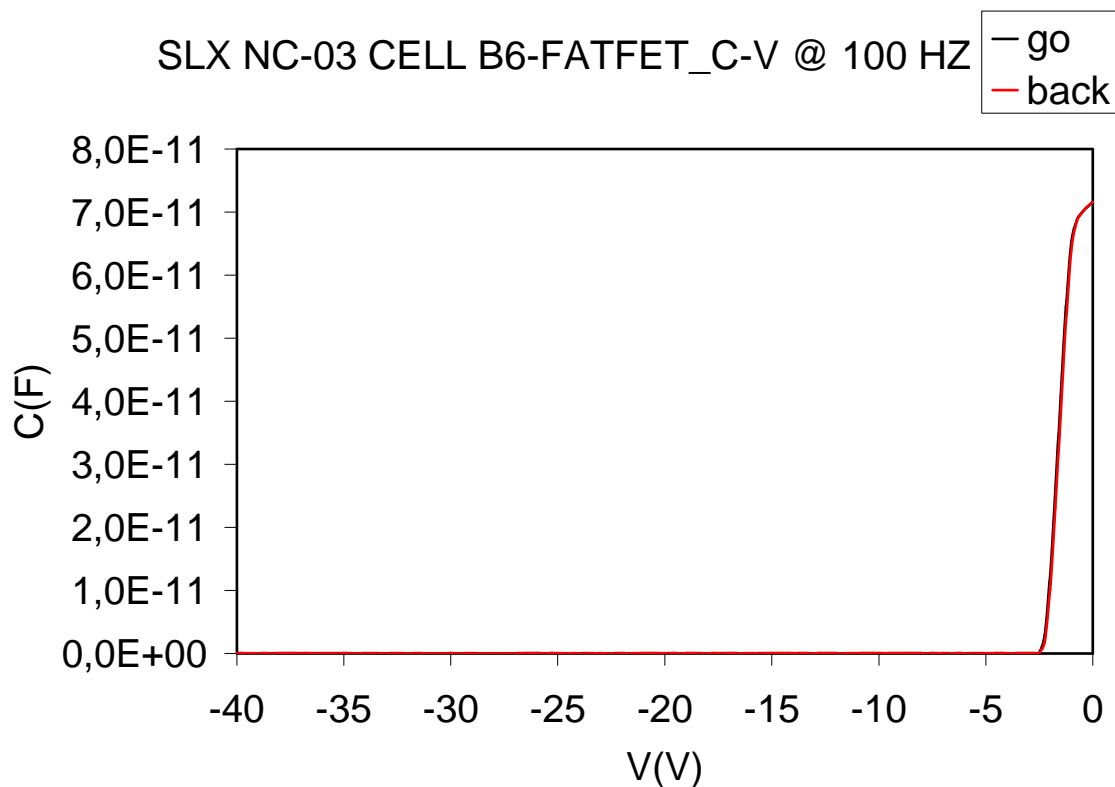


Figura 8.19: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo B6\_FATFET (wafer SLX NC-03)

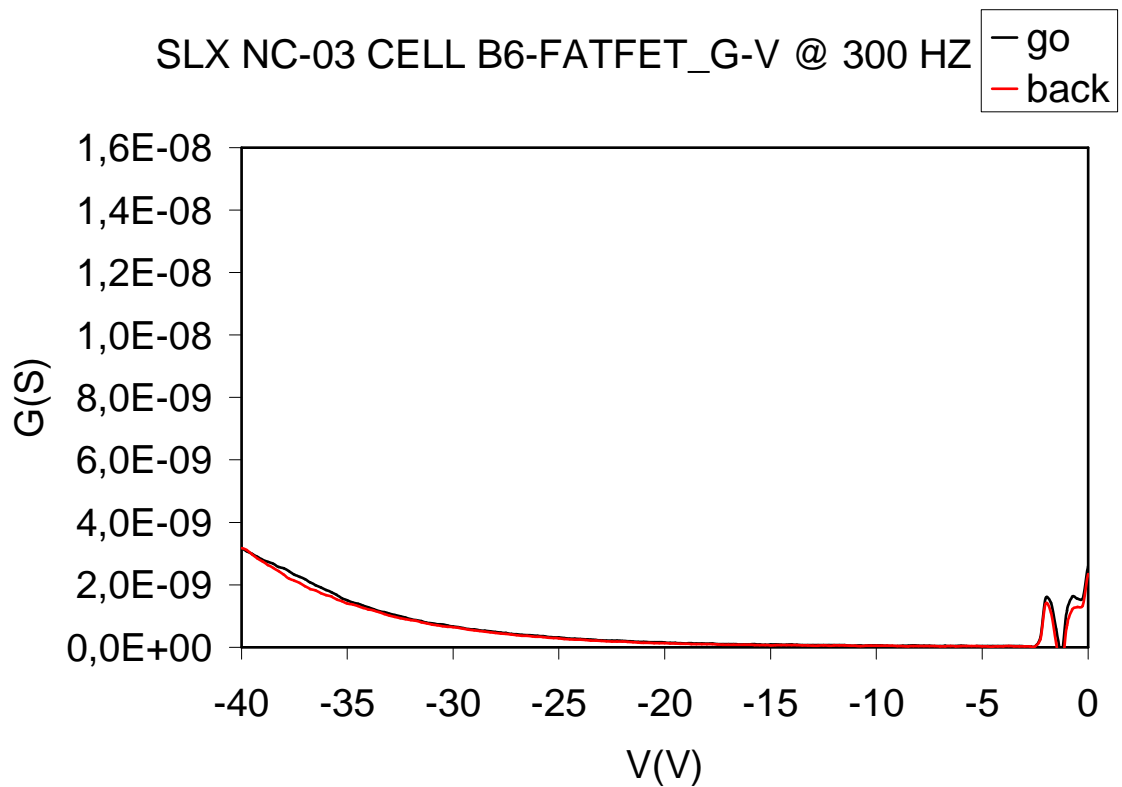
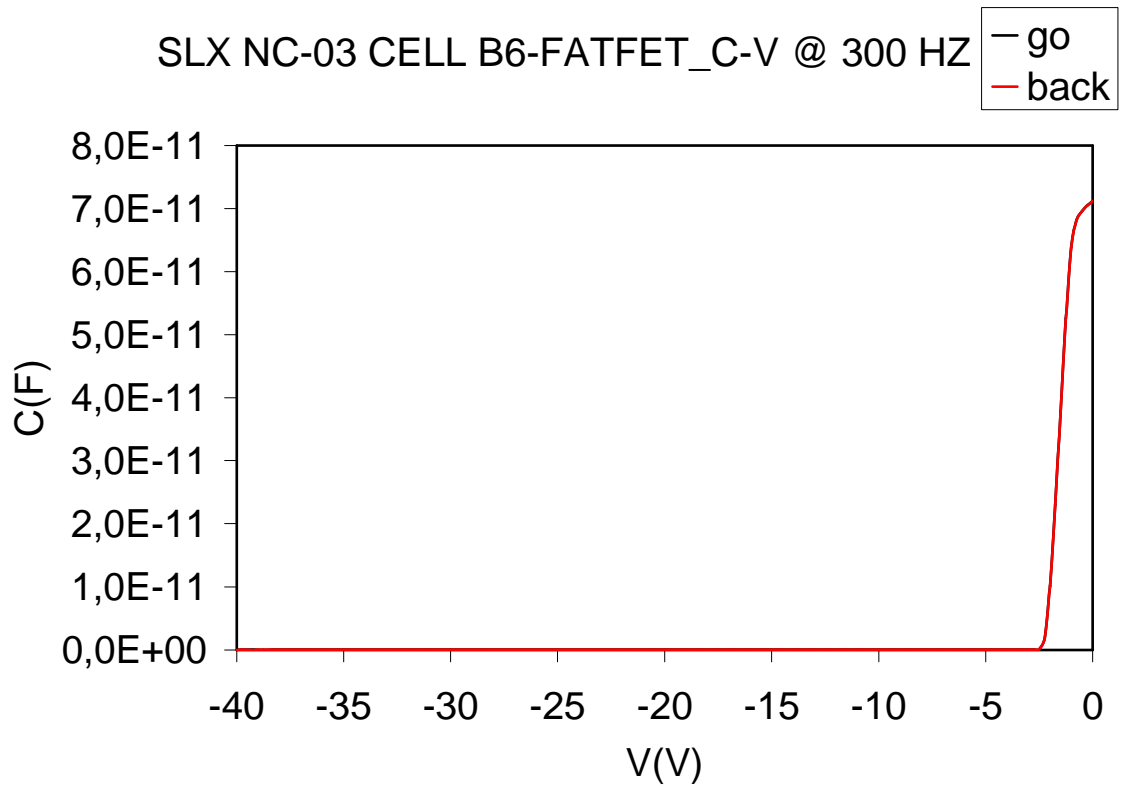


Figura 8.20: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo B6\_FATFET (wafer SLX NC-03)

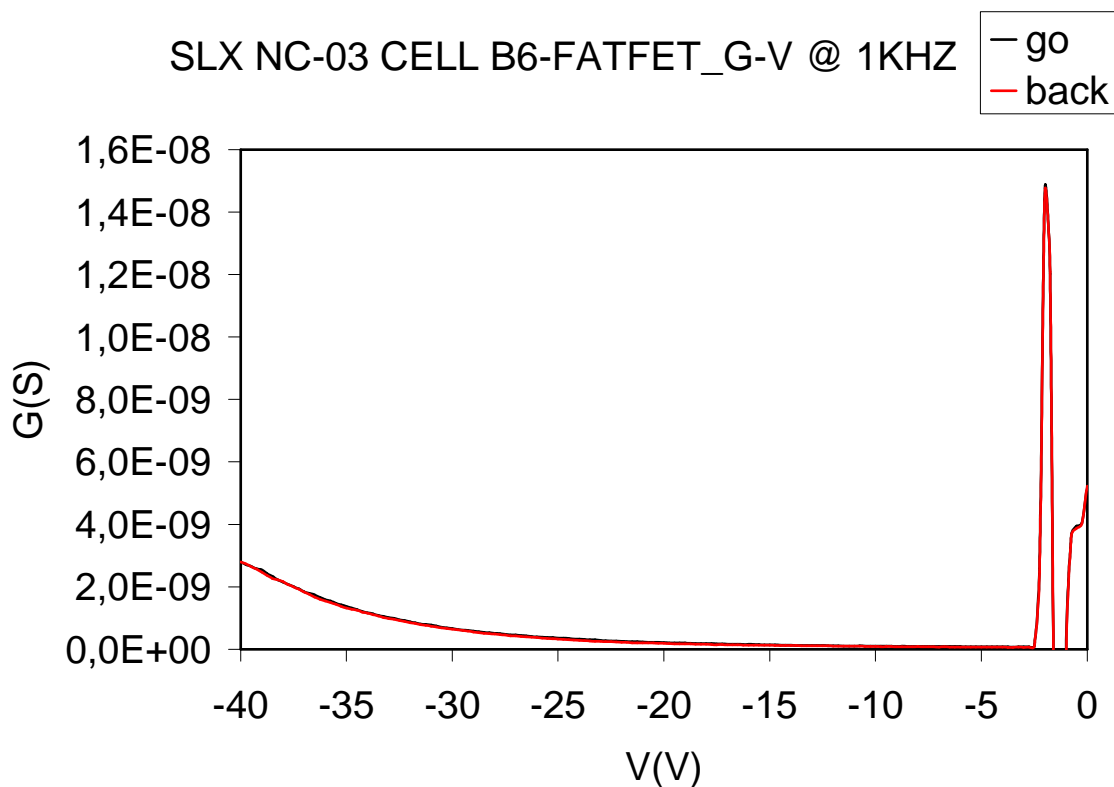
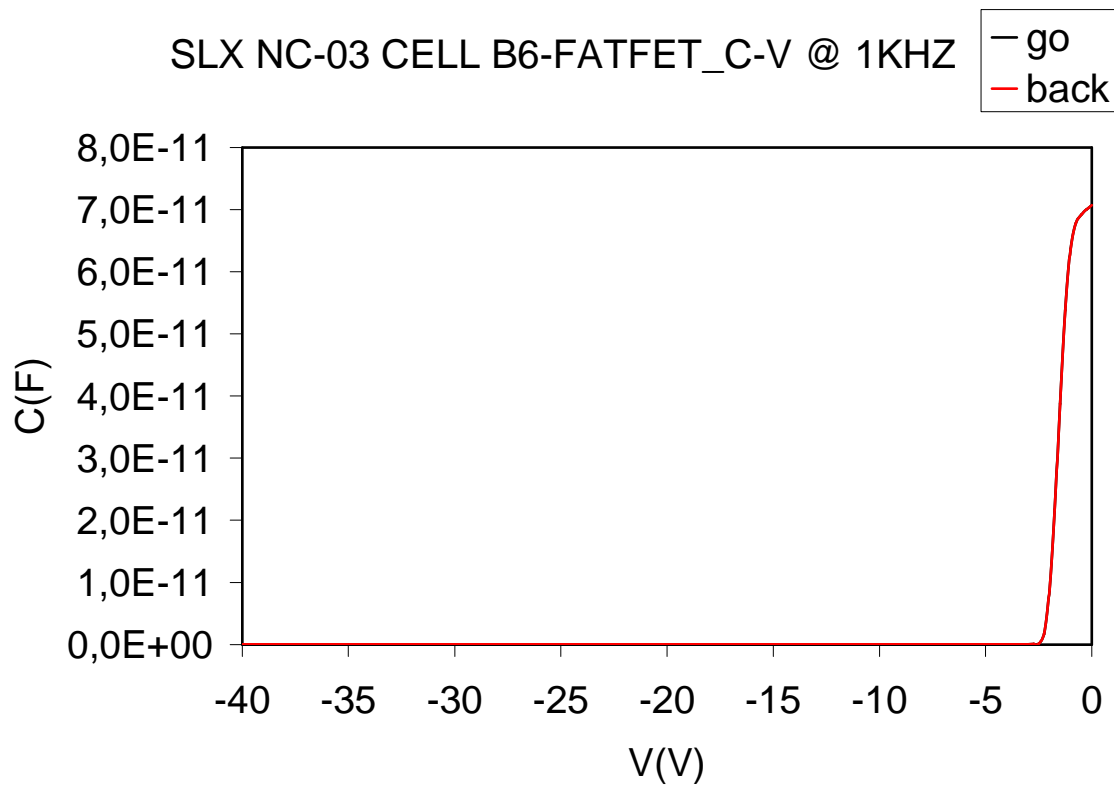


Figura 8.21: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo B6\_FATFET (wafer SLX NC-03)



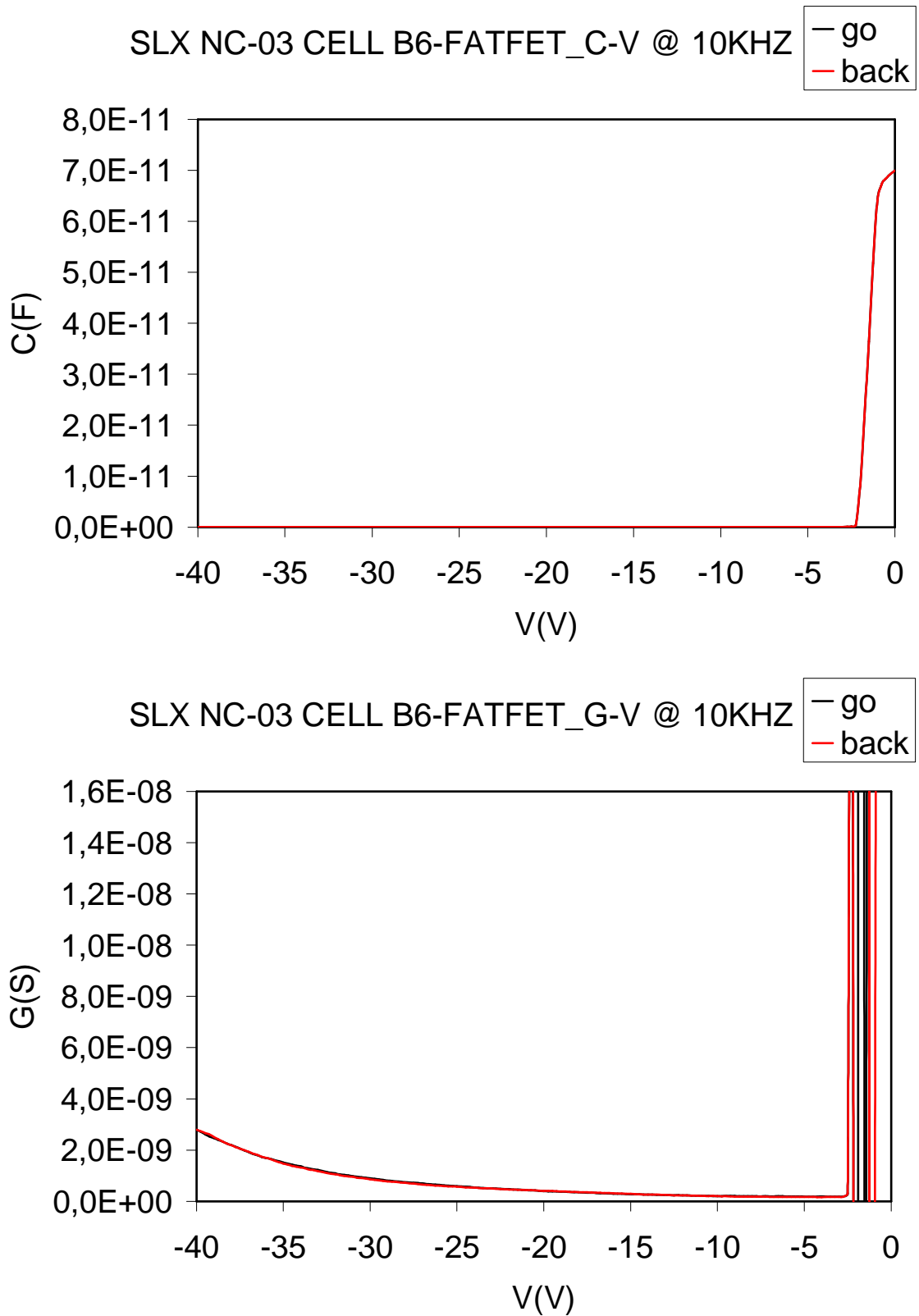


Figura 8.22: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo B6\_FATFET (wafer SLX NC-03)

Il dispositivo ha basse perdite per leakage e di conseguenza per tensioni minori della soglia le curve C-V alle varie frequenze restano uniformi senza isteresi né cambiamenti al variare della frequenza. In corrispondenza della tensione di soglia presentano un brusco aumento della capacità seguito da un andamento quasi costante pari a 70pF.

Le curve G-V, in corrispondenza della soglia, presentano un picco di conduttanza dovuto alla presenza di trappole all'interfaccia AlGaIn/GaN. La curva di conduttanza a 100Hz (figura 8.19) presenta una leggera isteresi per tensioni inferiori ai -20V. A differenza del dispositivo della cella C3 a frequenze superiori non è presente isteresi.

Come si nota in figura 8.23 la tensione di soglia rimane pressoché costante fino alla frequenza di 1KHz, mentre presenta un leggero spostamento verso destra a 10KHz. Al crescere della frequenza, come già visto nei dispositivi del wafer SLX IA-01, la regione di transizione delle curve C-V si riduce, quindi al crescere della frequenza la carica risponde sempre meno al segnale applicato.

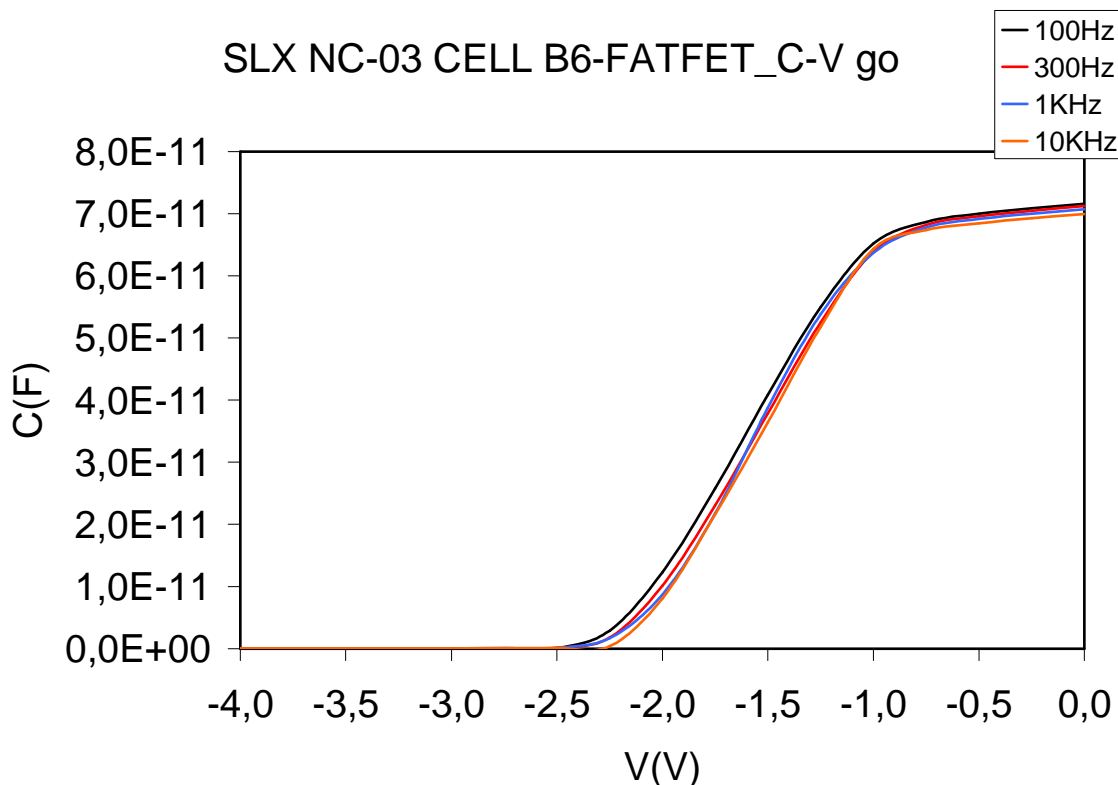


Figura 8.23: Dettagli delle curve C-V per V=[0, -4]

Come già visto nelle misure di fase, le misure di capacità e conduttanza del dispositivo della cella B6 non sono influenzate dalle perdite per leakage, a differenza del fattor della cella C3, dove le informazioni riguardanti i fenomeni di intrappolamento di carica risultano limitate a causa del comportamento non capacitivo a frequenze basse.

Quindi in sostanza, non si sono visti evidenti effetti dovuti alla presenza o all'assenza di ferro nel buffer (anche a tensioni molto negative), perché mascherati dal leakage a basse frequenze e non evidenti ad alte frequenze.



# Capitolo 9

## Affidabilità

Sono stati effettuati degli step-stress in tensione con lo scopo di verificare l'affidabilità dei dispositivi in condizioni di elevato campo elettrico nella regione gate-drain. Lo step-stress è una particolare procedura che provoca un invecchiamento accelerato dei dispositivi per testare la robustezza del diodo gate-drain ad elevate tensioni inverse e per osservare come i principali parametri elettrici (corrente di leakage del gate, transconduttanza, tensione di soglia, resistenza di drain, ..... ) siano influenzati dagli alti campi.

Gli stress sono stati effettuati sui transistor senza air bridge (h4) presenti nella PCM, in modo da osservare gli effetti dello stress anche attraverso misure di emissione nella regione attiva. Questi dispositivi sono caratterizzati da  $W_G=100\mu\text{m}$ ,  $L_G=0.5\ \mu\text{m}$  e  $L_{SD}=5\mu\text{m}$ .

Durante lo stress il dispositivo si trova in OFF-state (canale non formato), in quanto sono applicate tensioni negative al gate, con il drain a massa e il source flottante. Le tensioni al gate vanno da -20V fino ad un a tensione che porta alla rottura del dispositivo o ad un valore di corrente di leakage dei diodi superiore a 1mA/mm, con passi di -10V. Lo stress ha una durata di 120s. Inoltre per ogni passo sono state acquisite le emissioni attraverso il microscopio ad emissione (Hamamatsu Emission Microscopy System PHEMOS P200) in due condizioni di test (ON state e OFF state) e durante la fase di stress:

- **ON-state:** tempo di esposizione ( $t_{ON}$ ) di 10s,  $V_G=0\ \text{V}$ ,  $V_D=20\ \text{V}$ ,  $V_S=0\ \text{V}$ ;
- **OFF-state:** tempo di esposizione ( $t_{OFF}$ ) di 100s,  $V_G=-10\text{V}$ ,  $V_D=0\ \text{V}$ ,  $V_S=0\ \text{V}$ ;
- **stress in OFF-state:** tempo di esposizione ( $t_{STRESS}$ ) di 120 s,  $V_G=-V_{STRESS}$ ,  $V_D=0\text{V}$ ,  $V_S=\text{flottante}$ .

In figura 9.1 è riportata la procedura completa dello stress.

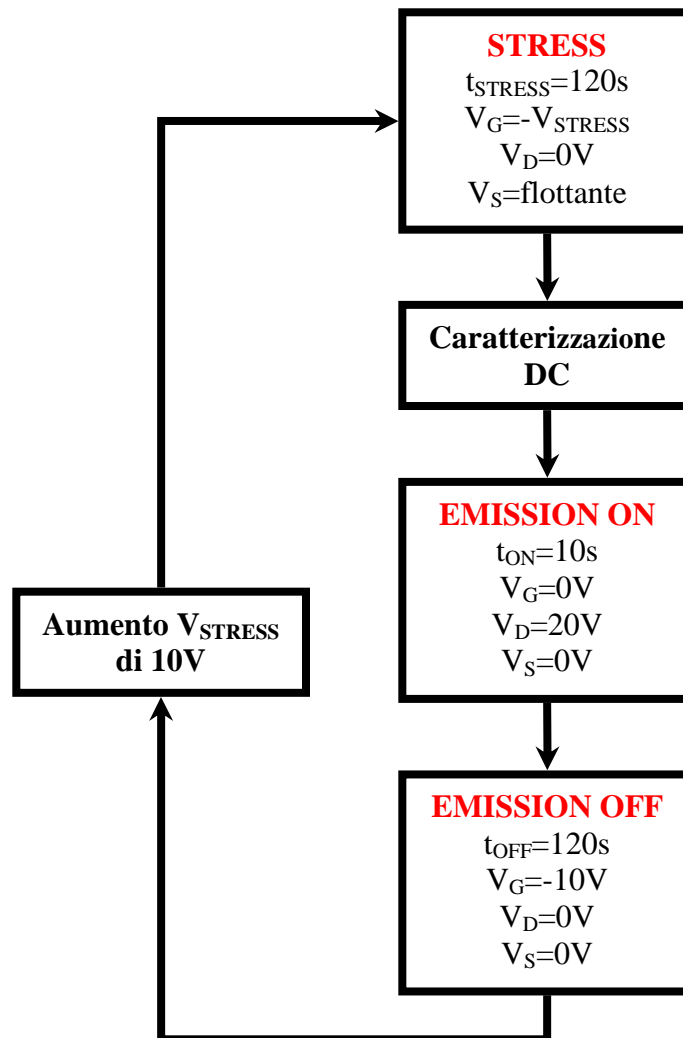


Figura 9.1: Schema della procedura di step-stress

Si sono eseguiti gli step-stress su due dispositivi per ogni wafer. Per ogni dispositivo sono stati estratti i seguenti grafici:

- a) variazione della caratteristica di uscita  $I_D$ - $V_{DS}$  con  $V_{GS}=1V$ ;
- b) variazione della transconduttanza in zona lineare;
- c) variazione della caratteristica I-V del diodo gate-drain;
- d) variazione della caratteristica I-V del diodo gate-source;
- e) corrente del diodo gate-drain a  $V_{GS}=-20V$  durante lo stress;
- f) corrente del diodo gate-source a  $V_{DS}=-8V$  durante lo stress;
- g) variazione della corrente  $I_G$  nel tempo durante le polarizzazioni di stress;
- h) variazione della corrente  $I_G$  in OFF-state;

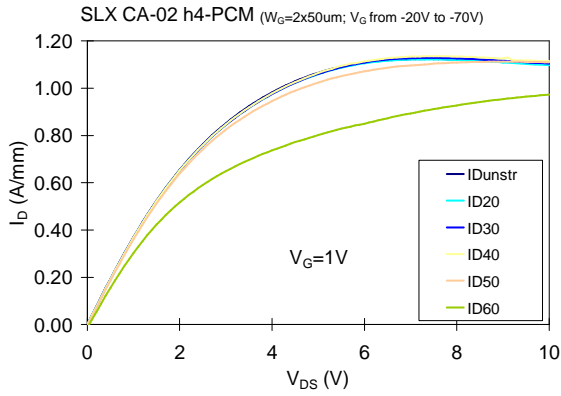
- i) variazione della corrente  $I_D$  con  $V_{DS}=7V$ ,  $V_{GS}=1V$ ;
- l) variazione della resistenza di drain  $R_D$ ;
- m) variazione del picco della transconduttanza  $g_{mMAX}$  valutata per  $V_{DS} = 0.1V$ ;
- n) variazione della tensione di soglia  $V_{TH}$  valutata per  $V_{DS} = 0.1V$ .

In tutti i dispositivi non si riportano i grafici relativi la transconduttanza in zona di saturazione, in quanto la misura è affetta da oscillazioni. Per questo motivo si riportano i grafici della transconduttanza in zona lineare.

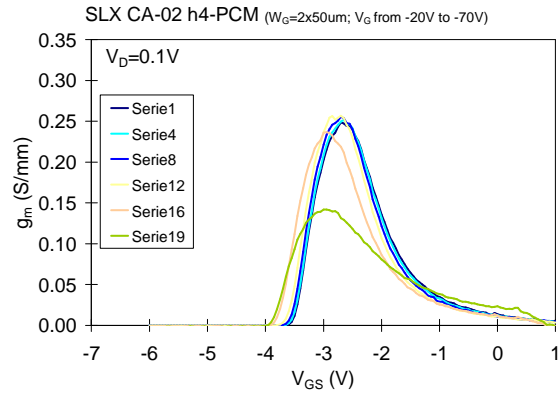
Inoltre si riportano le immagini delle emissioni durante le misure in OFF-state a  $V_G=-10V$ .

## 9.1 SLX CA-02

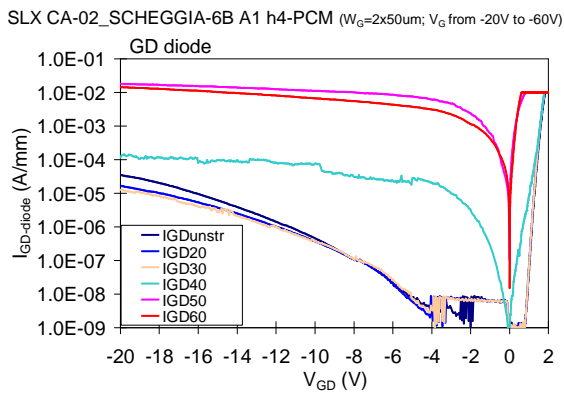
Si riportano i grafici dello step-stress sul dispositivo A1\_h4-PCM del wafer SLX CA-02.



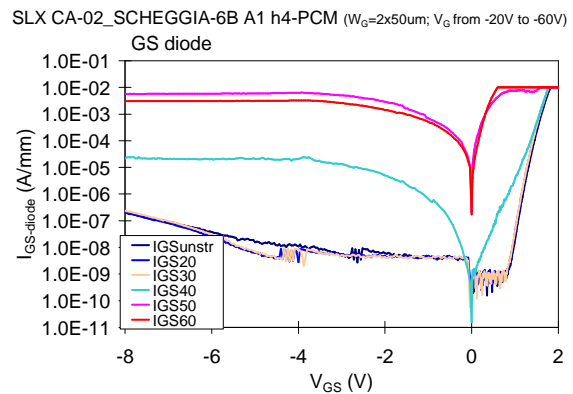
a) caratteristica di uscita con  $V_{GS}=1V$



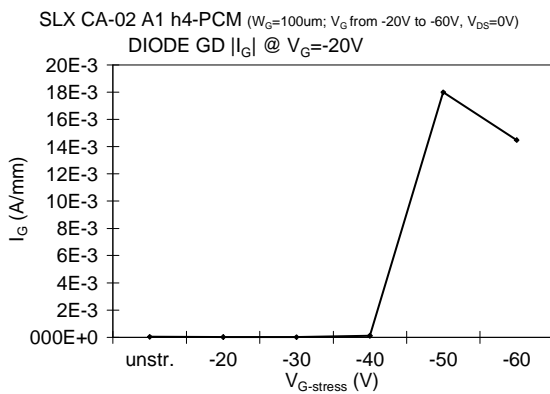
b) transconduttanza con  $V_{DS}=0.1V$



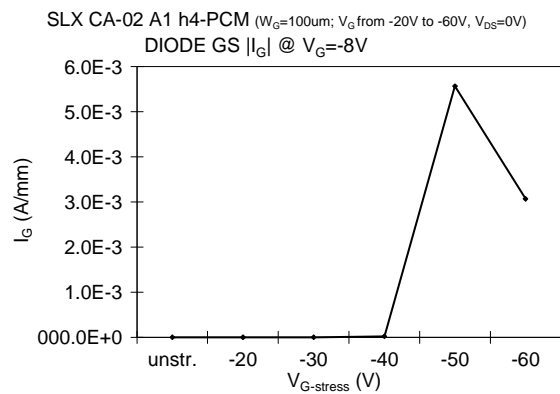
c) caratteristica I-V del diodo gate-drain



d) caratteristica I-V del diodo gate-source

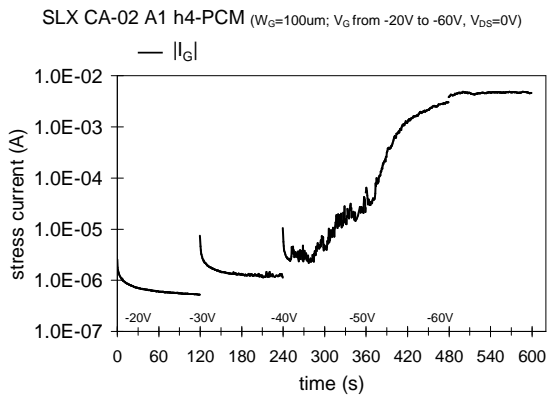


e) corrente del diodo gate-drain a  $V_{GS}=-20V$

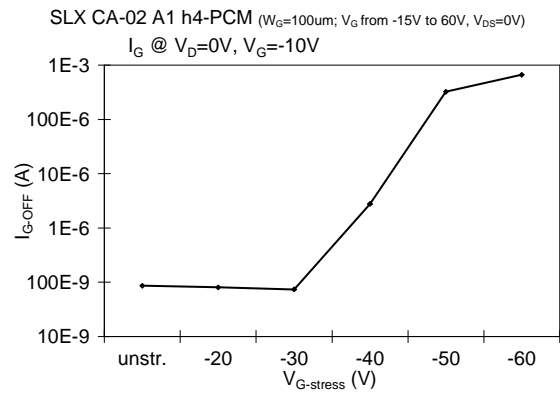


f) corrente del diodo gate-source a  $V_{DS}=-8V$

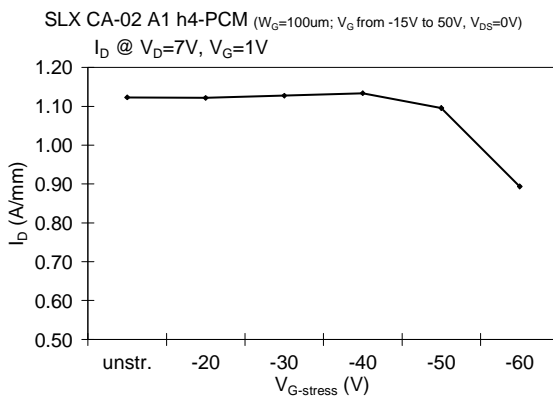




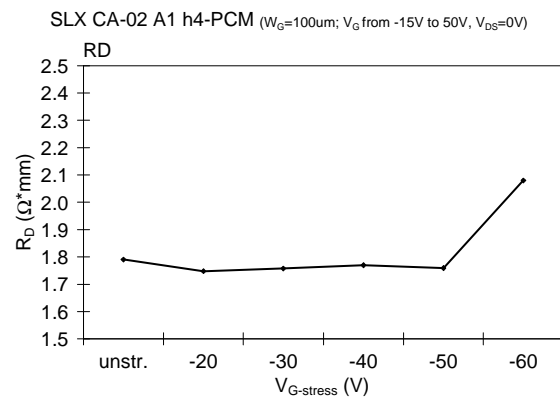
g)  $I_G$  di stress



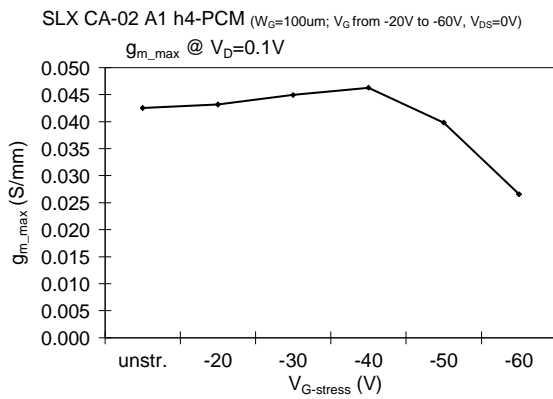
h)  $I_G$  durante l'emissione nello stato OFF



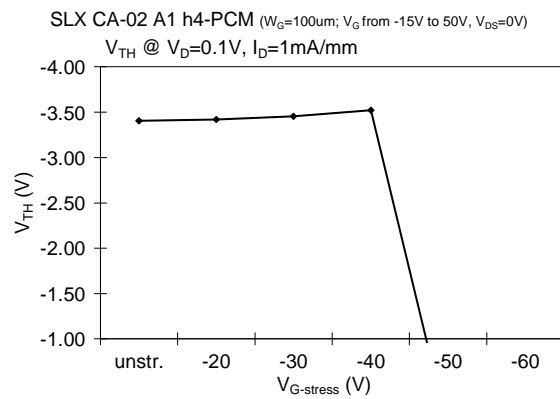
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.2: Variazione dei parametri più significativi durante lo stress del dispositivo A1\_h4-PCM (wafer SLX CA-02)

SLX CA-02\_A1\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )

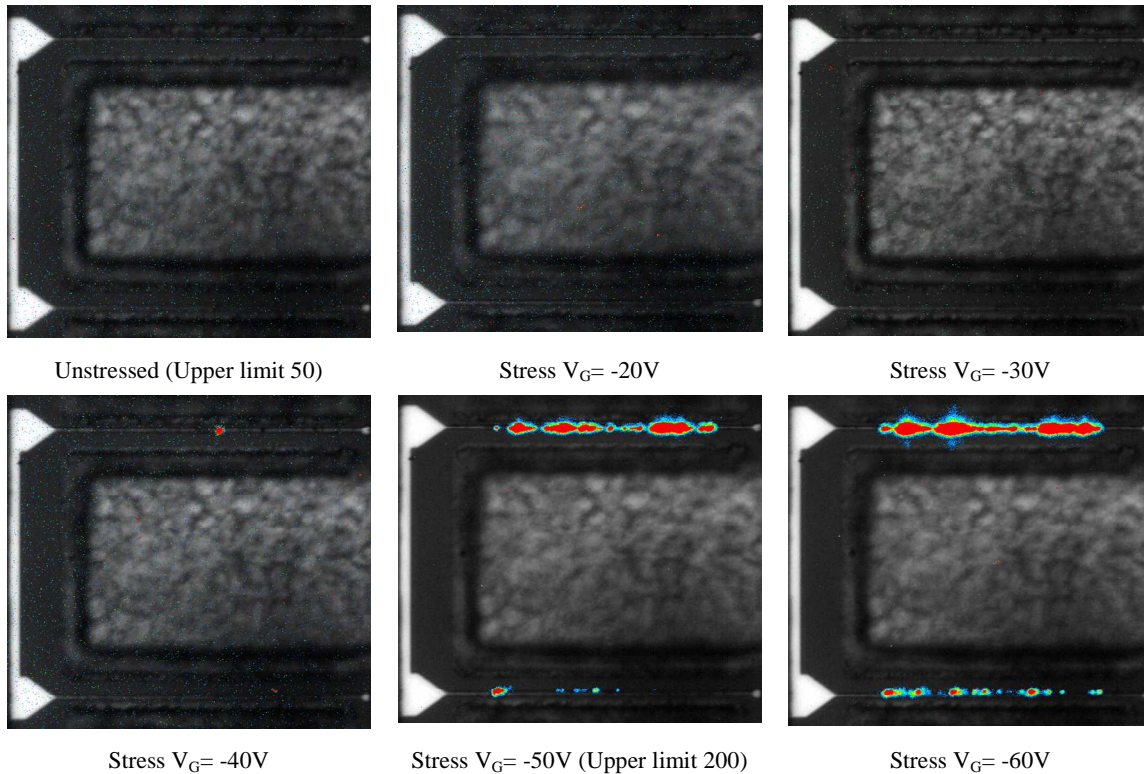


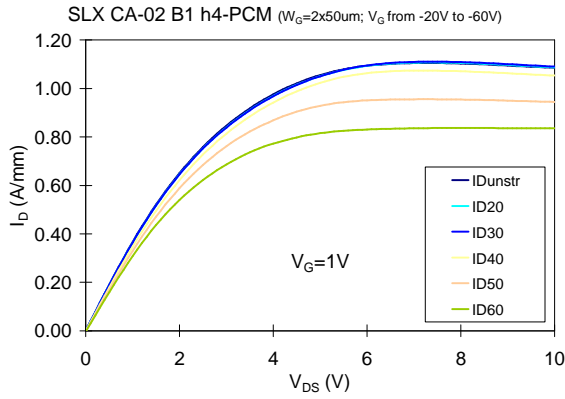
Figura 9.3: Emissioni in OFF-state del dispositivo A1\_h4-PCM (wafer SLX CA-02)

Il comportamento del dispositivo rimane stabile fino alla tensione  $V_G=-30\text{V}$ . A  $-40\text{V}$  i diodi gate-drain e gate-source iniziano a degradarsi (figura 8.2 (c) e (d)) con un aumento della corrente di leakage di un ordine di grandezza. Il degrado è maggiore nel diodo gate-source, e nelle emissioni in OFF-state compare un piccolo spot nel finger di gate superiore.

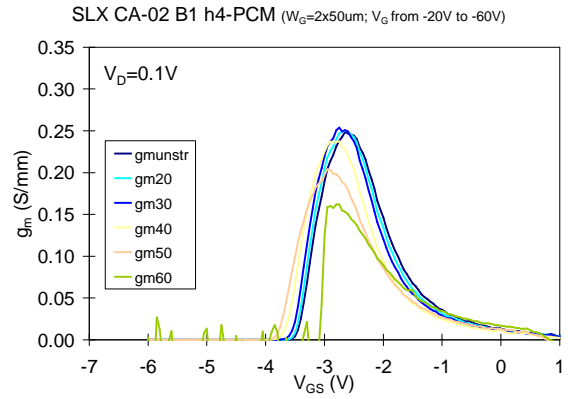
Nello step successivo il degrado del dispositivo aumenta fino a raggiungere una corrente di leakage dei diodi superiore a  $1\text{mA}/\text{mm}$  con la comparsa di altri spot nelle immagini di emissione.

Come si può vedere dai grafici di figura 9.2, la caratteristica di uscita del dispositivo rimane stabile fino ad una  $V_G=-50\text{V}$ , mentre nello step successivo si ha un calo della corrente di uscita. Si nota anche un graduale shift ( $100\text{-}200\text{mV}$ ) verso sinistra della tensione di soglia, e dopo il passo a  $-40\text{V}$  un calo della transconduttanza e un aumento della resistenza di drain  $R_D$ , che giustificano il calo della corrente di uscita. Queste grandezze presentano una variazione decisamente minore rispetto alle correnti di leakage.

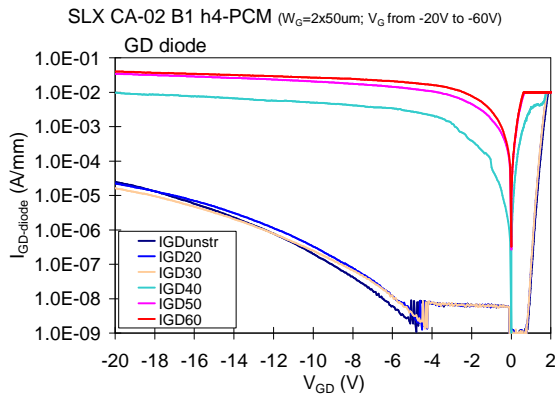
Si riportano i grafici dello step-stress sul dispositivo B1\_h4-PCM dello stesso wafer.



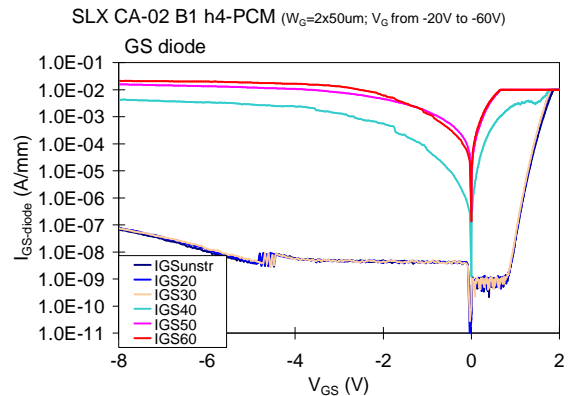
a) caratteristica di uscita con  $V_{GS}=1V$



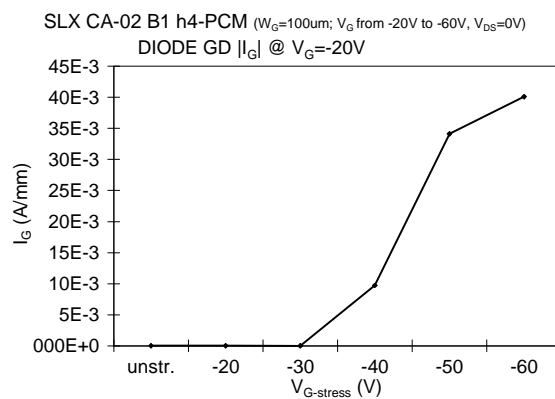
b) transconduttanza con  $V_{DS}=0.1V$



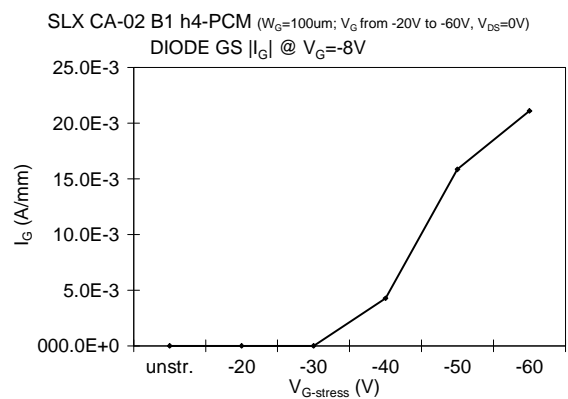
c) caratteristica I-V del diodo gate-drain



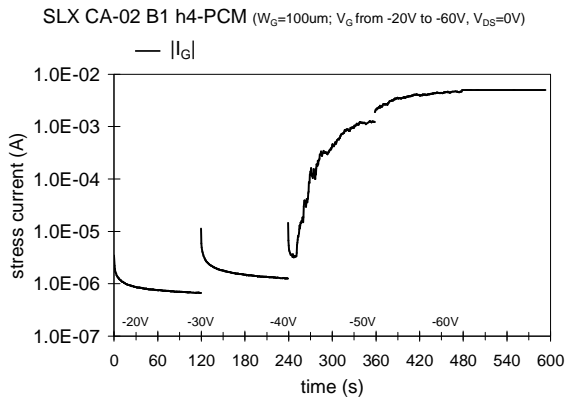
d) caratteristica I-V del diodo gate-source



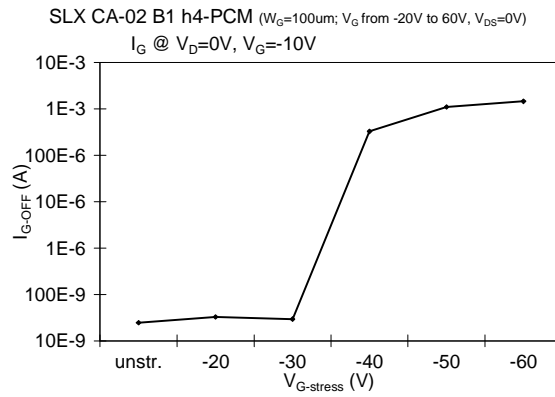
e) corrente del diodo gate-drain a  $V_{GS}=-20V$



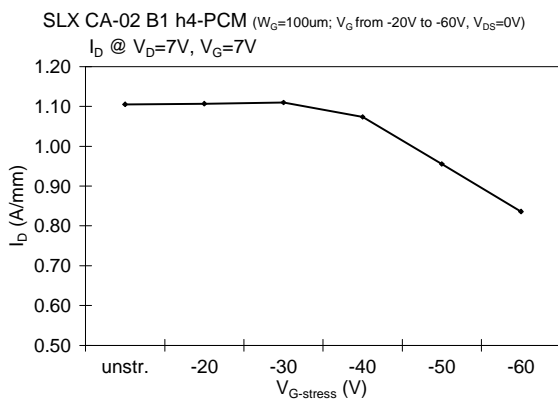
f) corrente del diodo gate-source a  $V_{DS}=-8V$



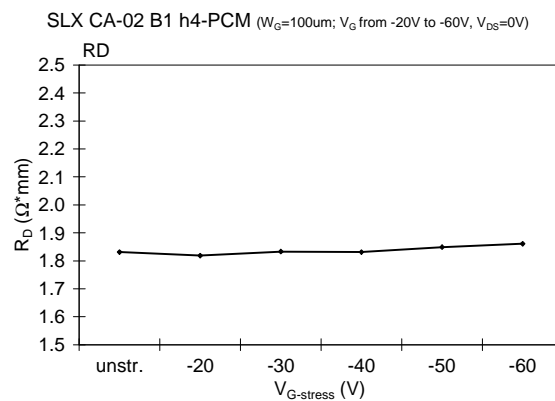
g)  $I_G$  di stress



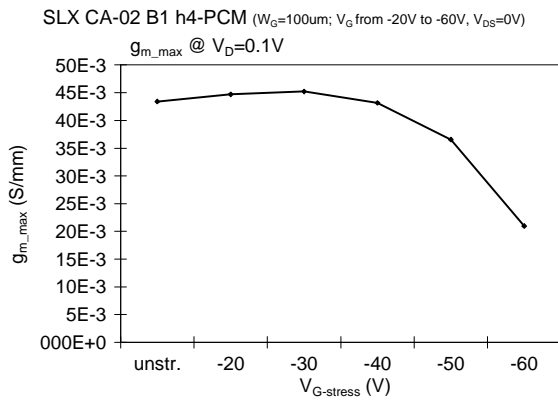
h)  $I_G$  durante l'emissione nello stato OFF



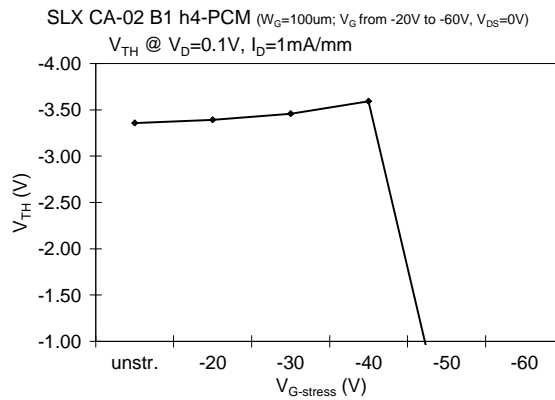
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.4: Variazione dei parametri più significativi durante lo stress del dispositivo B1\_h4-PCM (wafer SLX CA-02)

SLX CA-02\_B1\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )

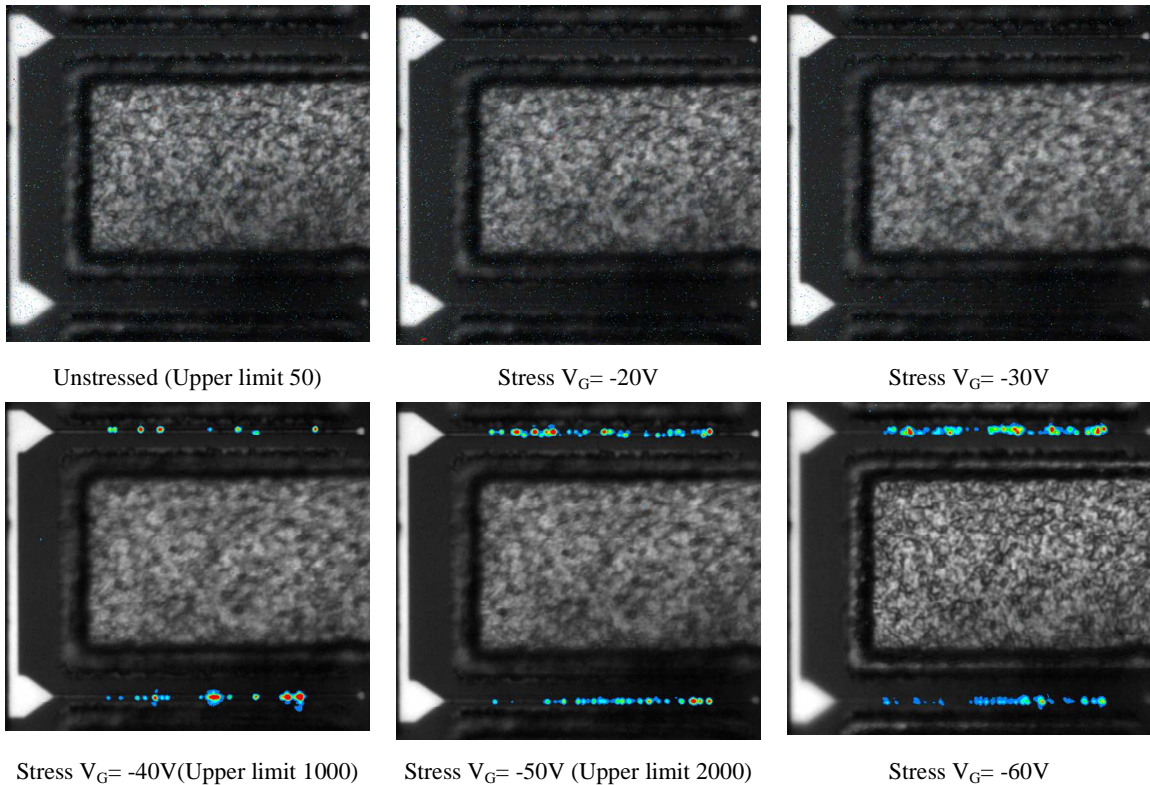
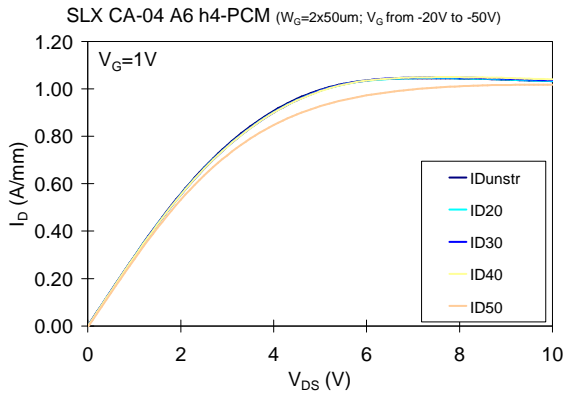


Figura 9.5: Emissioni in OFF-state del dispositivo B1\_h4-PCM (wafer SLX CA-02)

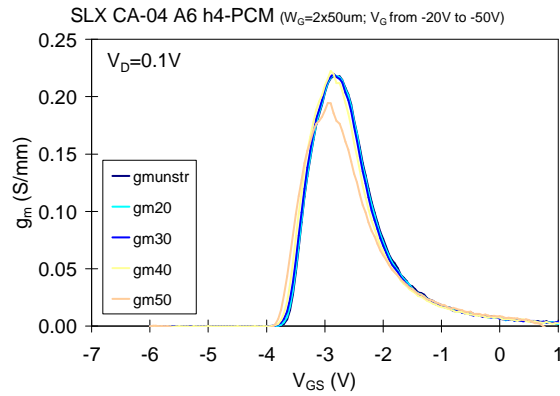
Il transistor h4-PCM della cella B1 si degrada in maniera molto simile al dispositivo analizzato precedentemente, anche se l'aumento delle correnti di perdita al passo -40V è maggiore di circa due ordini di grandezza (con lo stesso andamento/degrado delle performance e lo stesso degrado del leakage). Anche le emissioni in condizioni di OFF-state sono maggiori.

## 9.2 SLX CA-04

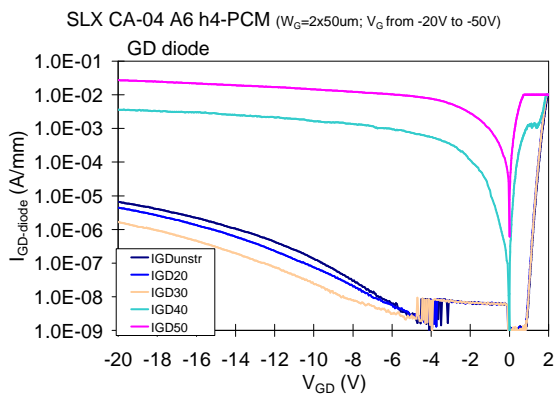
Si riportano i grafici dello step-stress sul dispositivo A6\_h4-PCM del wafer SLX CA-04.



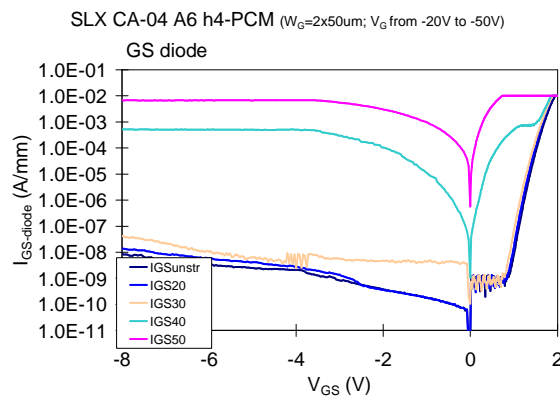
a) caratteristica di uscita con  $V_{GS}=1\text{V}$



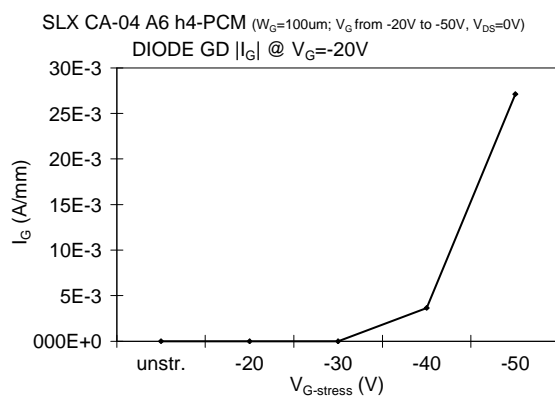
b) transconduttanza con  $V_{DS}=0.1\text{V}$



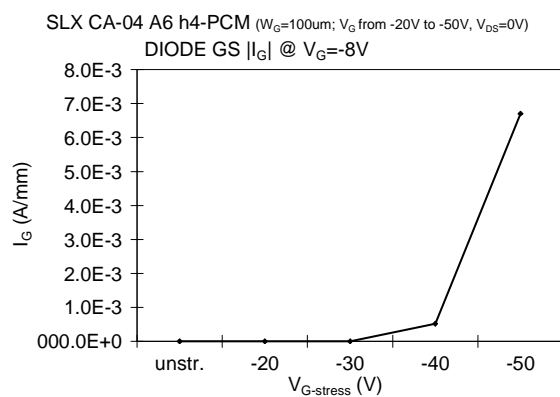
c) caratteristica I-V del diodo gate-drain



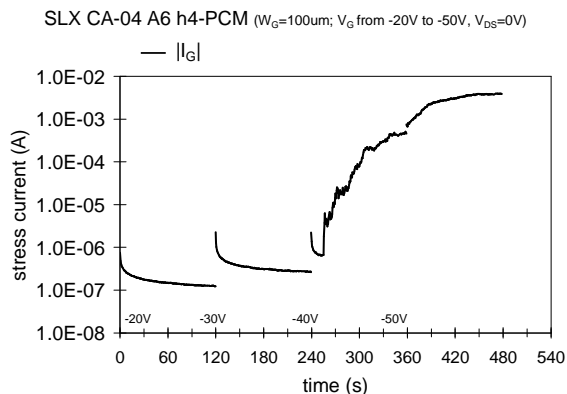
d) caratteristica I-V del diodo gate-source



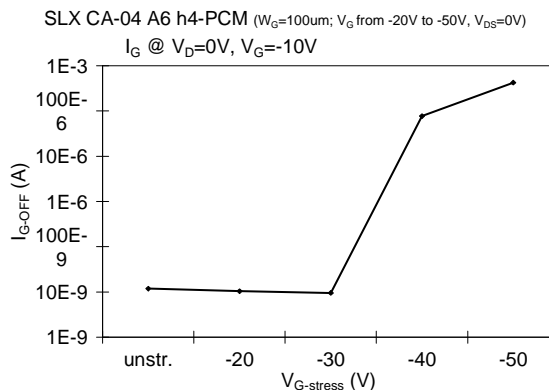
e) corrente del diodo gate-drain a  $V_{GS}=-20\text{V}$



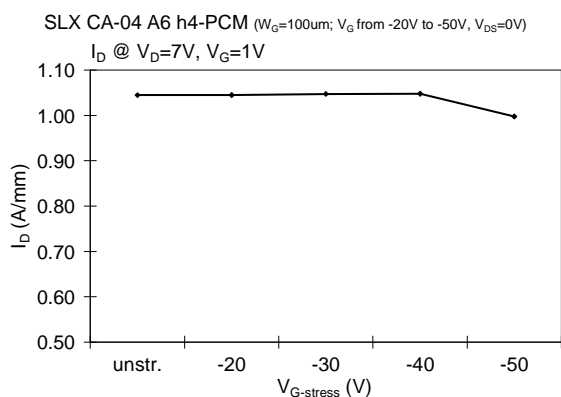
f) corrente del diodo gate-source a  $V_{DS}=-8\text{V}$



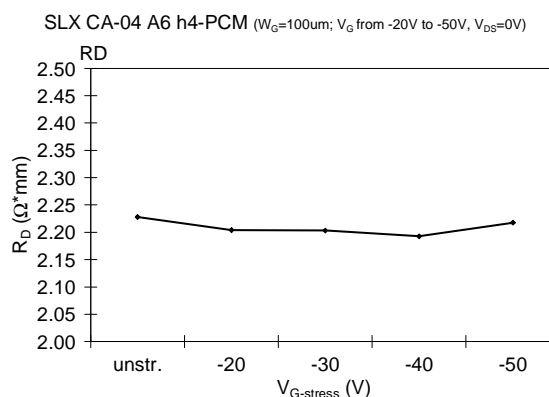
g)  $I_G$  di stress



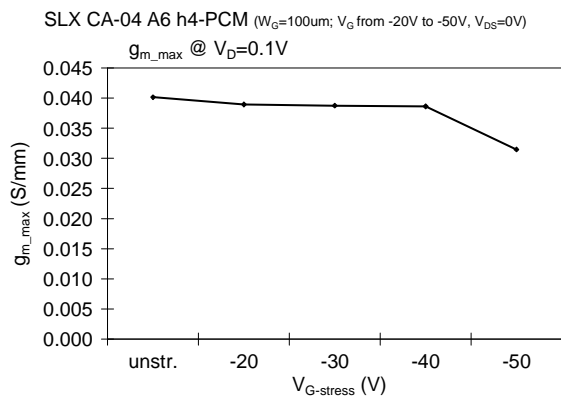
h)  $I_G$  durante l'emissione nello stato OFF



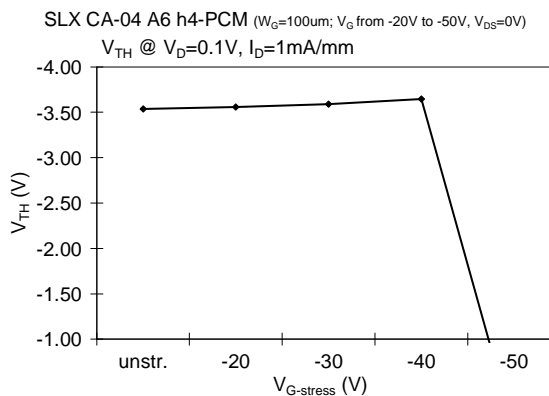
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.6: Variazione dei parametri più significativi durante lo stress del dispositivo A6\_h4-PCM (wafer SLX CA-04)

SLX CA-04\_A6\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )

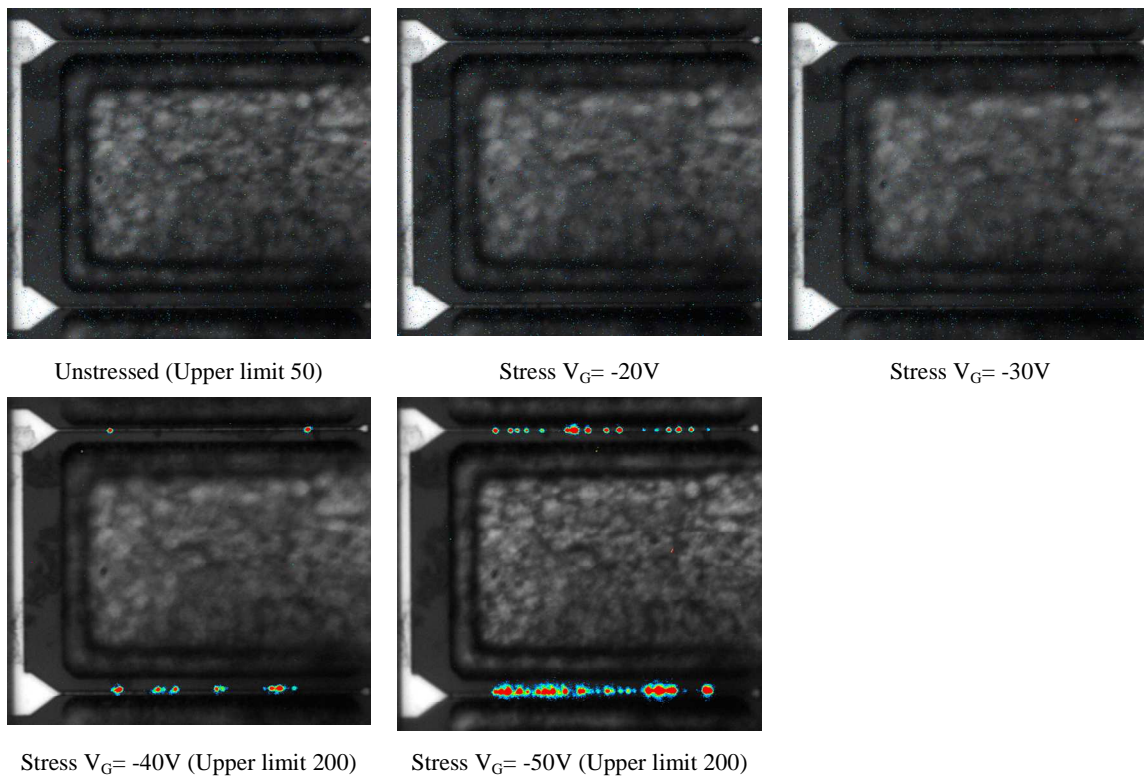


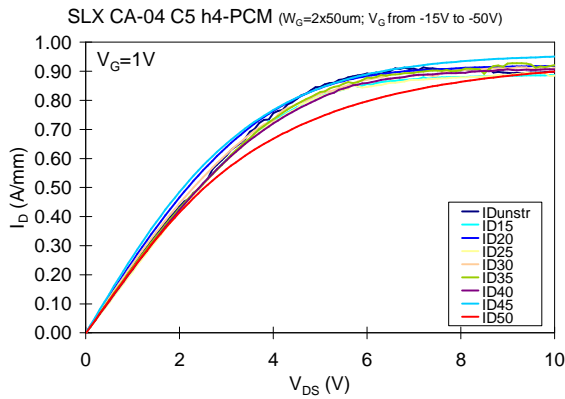
Figura 9.7: Emissioni in OFF-state del dispositivo A6\_h4-PCM (wafer SLX CA-04)

I diodi gate-drain e gate-source (figura 9.6 (c) e (d)) si sono degradati a partire dalla tensione  $V_G=-40\text{V}$ . A questo passo si osserva un incremento di quasi tre ordini di grandezza della corrente di gate sia durante lo stress che in condizioni di OFF-state (figura 9.6 (h)) e la comparsa di alcuni spot nei due finger di gate (figura 9.7). Nello step successivo, la corrente di leakage del gate supera il valore di  $1\text{mA}/\text{mm}$  e si ha la comparsa di altri spot durante l'emissione in OFF-state.

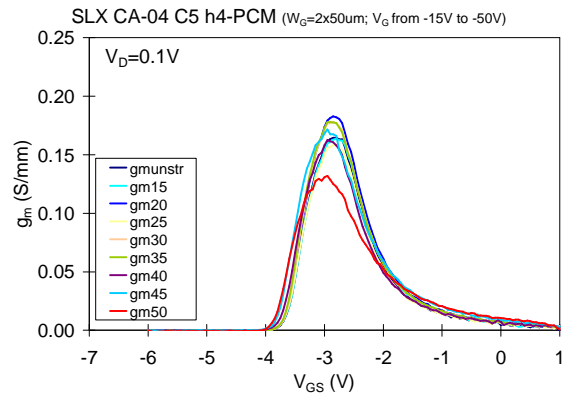
Si nota anche un graduale shift ( $100\text{-}200\text{mV}$ ) verso sinistra della tensione di soglia, e dopo il passo a  $-40\text{V}$  un calo della transconduttanza e della corrente di drain. La resistenza di drain  $R_D$  rimane stabile durante lo stress.



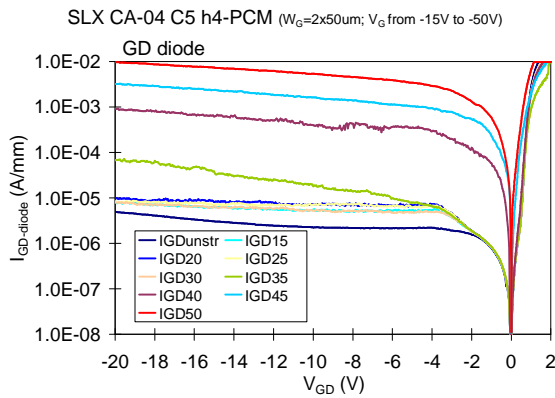
Si riportano i grafici dello step-stress sul dispositivo C5\_h4-PCM dello stesso wafer.



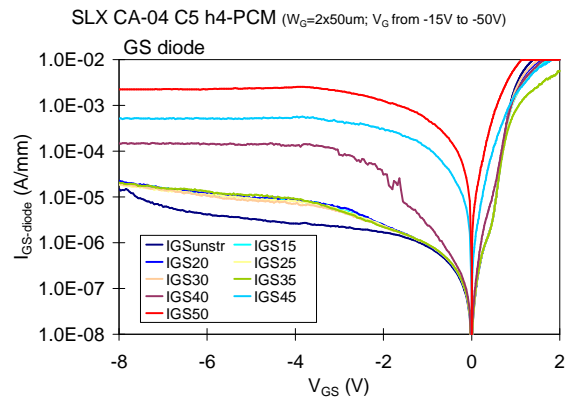
a) caratteristica di uscita con  $V_{GS}=1\text{V}$



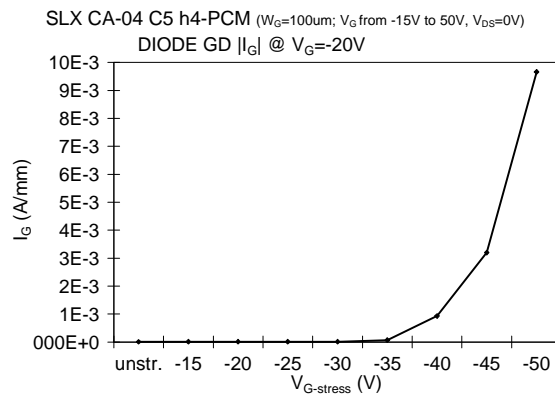
b) trans conduttanza con  $V_{DS}=0.1\text{V}$



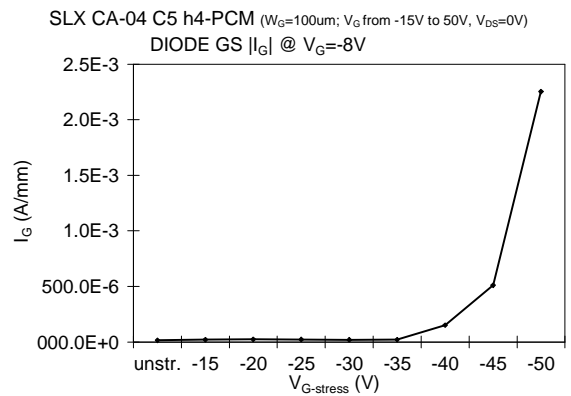
c) caratteristica I-V del diodo gate-drain



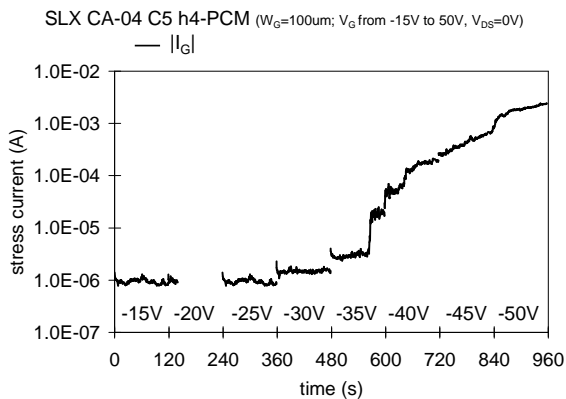
d) caratteristica I-V del diodo gate-source



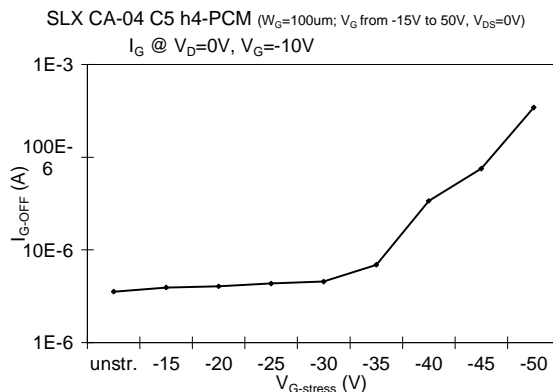
e) corrente del diodo gate-drain a  $V_{GS}=-20\text{V}$



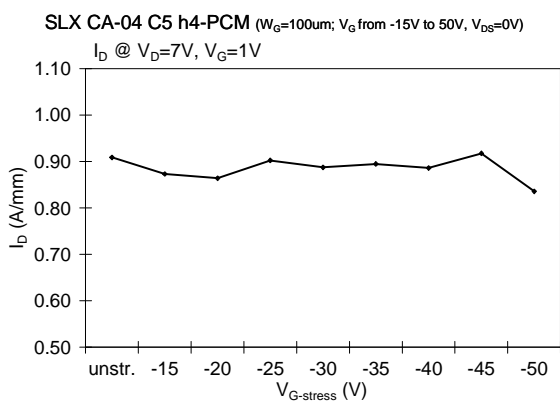
f) corrente del diodo gate-source a  $V_{DS}=-8\text{V}$



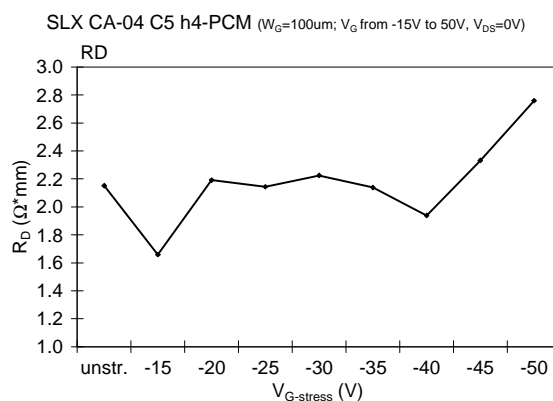
g)  $I_G$  di stress



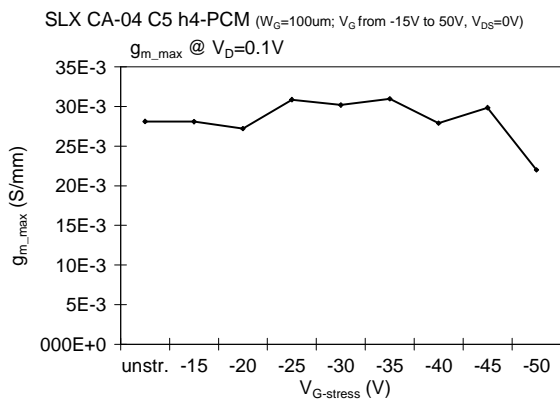
h)  $I_G$  durante l'emissione nello stato OFF



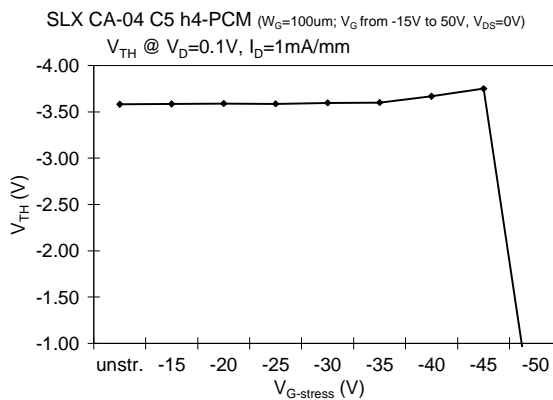
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.8: Variazione dei parametri più significativi durante lo stress del dispositivo C5\_h4-PCM (wafer SLX CA-04)

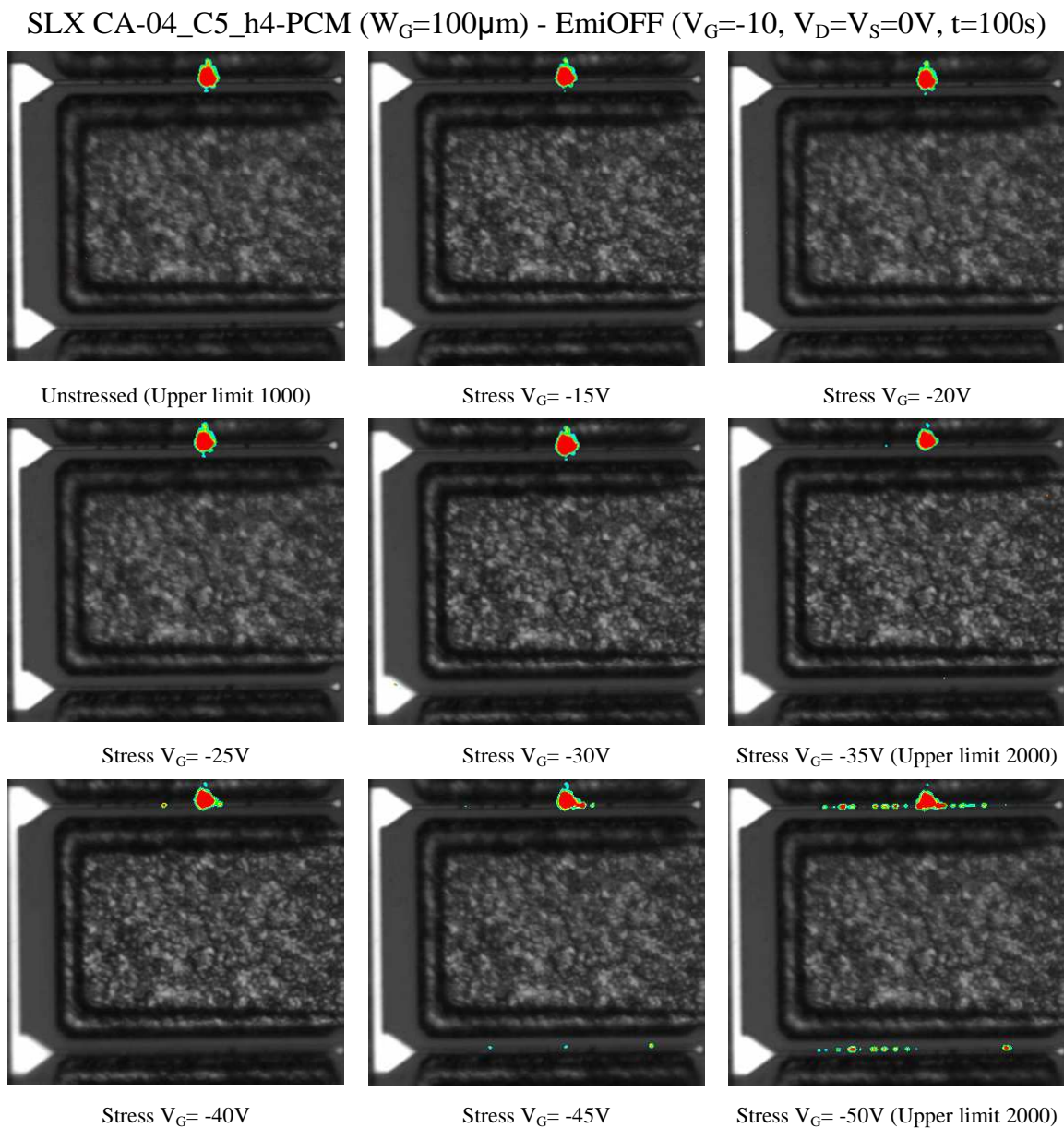


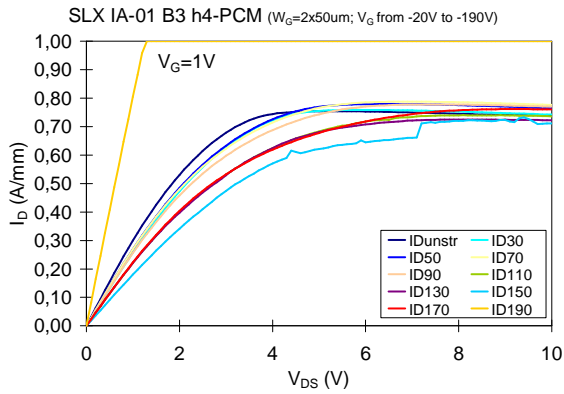
Figura 9.9: Emissioni in OFF-state del dispositivo C5\_h4-PCM (wafer SLX CA-04)

Le misure confermano il degrado del dispositivo precedente, sebbene si sia usato uno step di 5V durante lo stress.

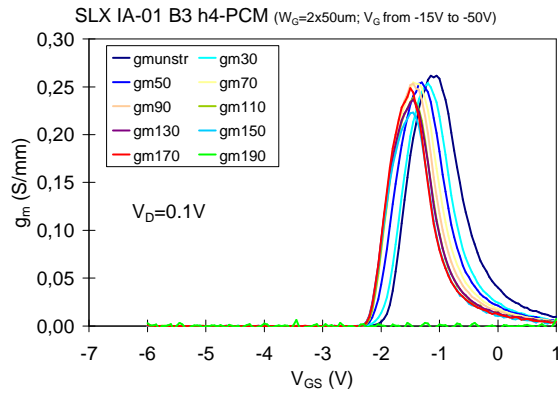
In questo dispositivo uno spot di emissione in OFF-state (figura 9.9) è presente nel finger di gate superiore, anche nei passi di stress iniziali (probabilmente è la causa dell'alto leakage iniziale del diodo). Alla tensione  $V_G=-40\text{V}$ , quando inizia il degrado dei diodi, si ha la comparsa di un piccolo spot vicino a quello di grandi dimensioni. Dopo questo passo, come nel dispositivo precedente, il leakage cresce, con un piccolo degrado di  $I_D$  e  $g_m$ .

### 9.3 SLX IA-01

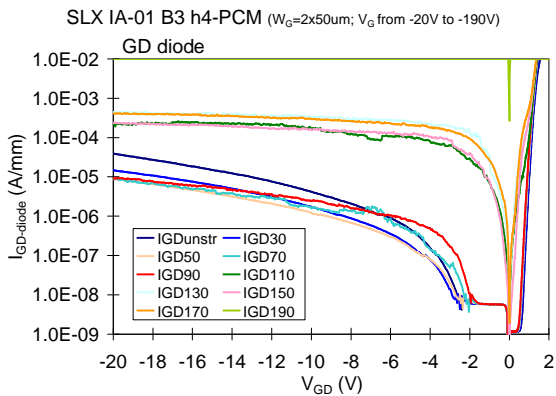
Si riportano i grafici dello step-stress sul dispositivo B3\_h4-PCM del wafer SLX IA-01.



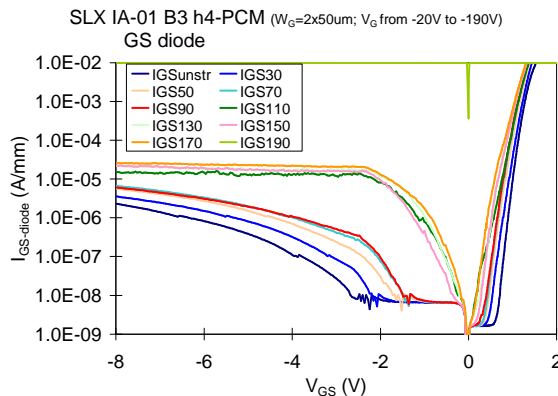
a) caratteristica di uscita con  $V_{GS}=1V$



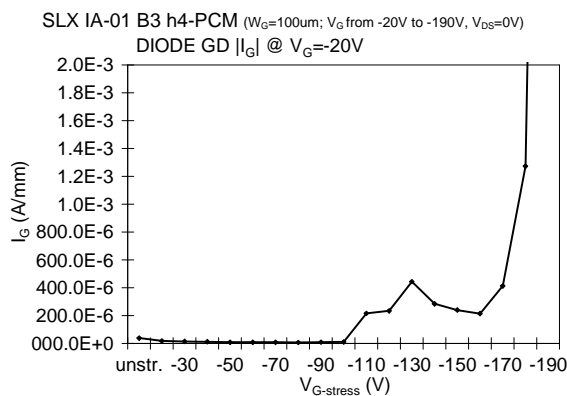
b) transconduttanza con  $V_{DS}=0.1V$



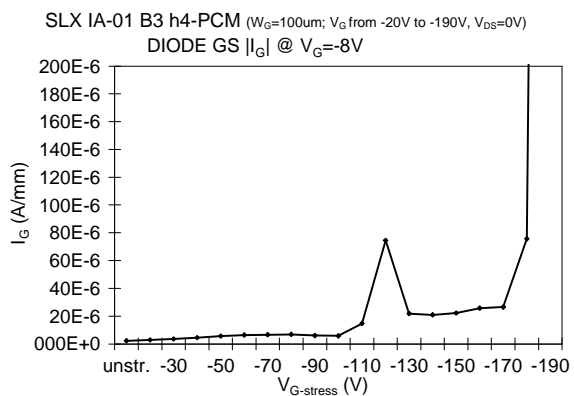
c) caratteristica I-V del diodo gate-drain



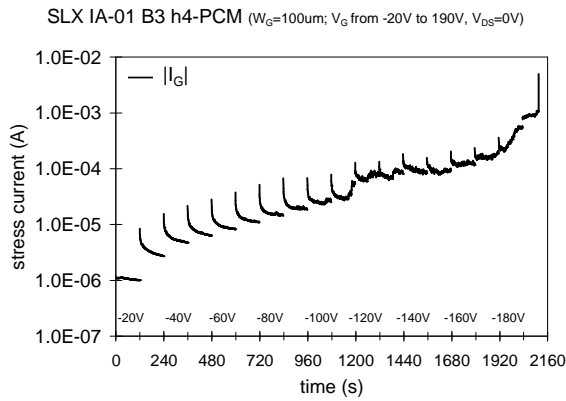
d) caratteristica I-V del diodo gate-source



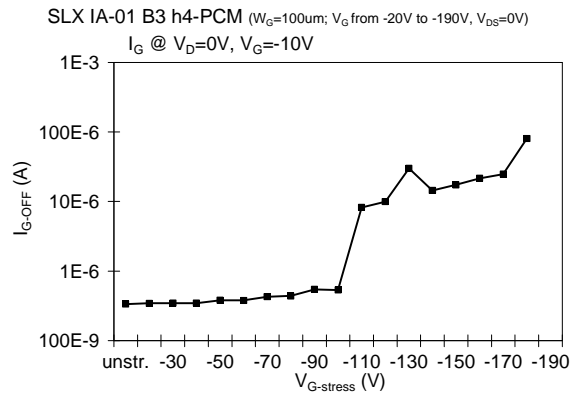
e) corrente del diodo gate-drain a  $V_{GS}=-20V$



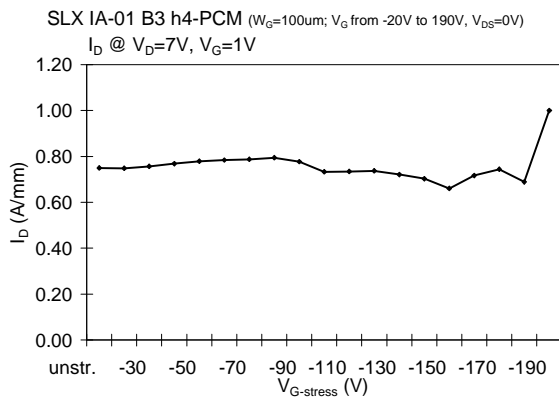
f) corrente del diodo gate-source a  $V_{DS}=-8V$



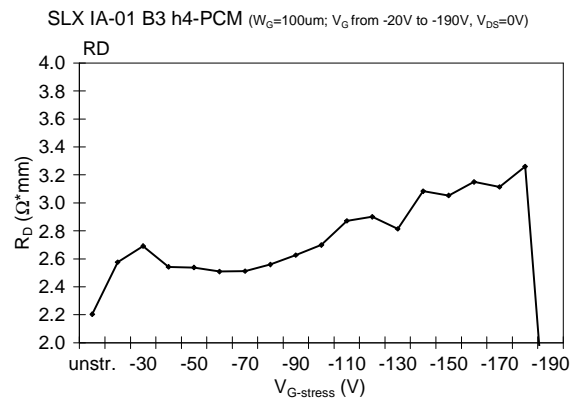
g)  $I_G$  di stress



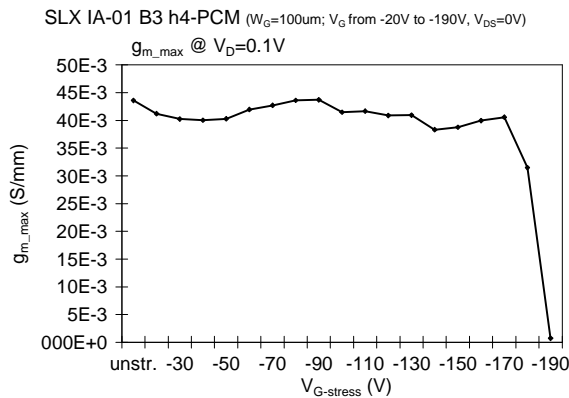
h)  $I_G$  durante l'emissione nello stato OFF



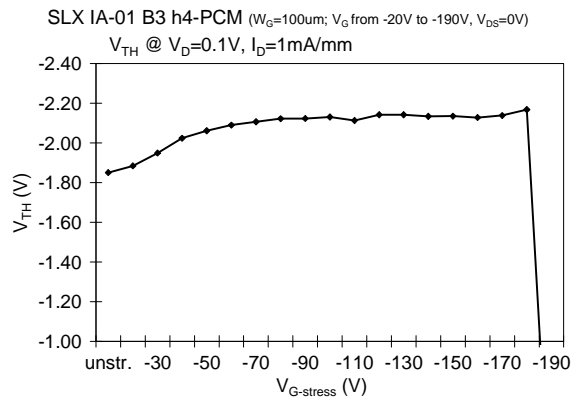
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



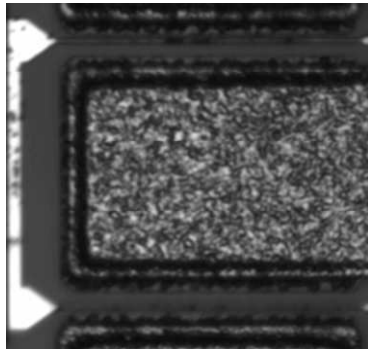
m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



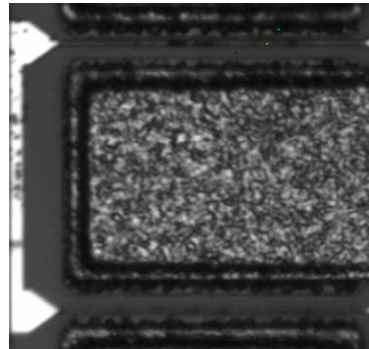
n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.10: Variazione dei parametri più significativi durante lo stress del dispositivo B3\_h4-PCM (wafer SLX IA-01)

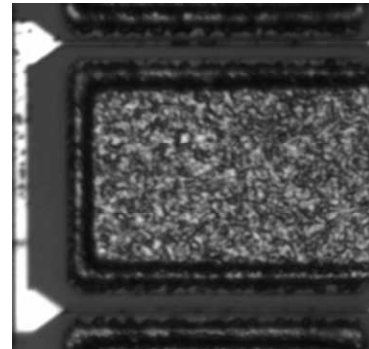
SLX IA-01\_B3\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )



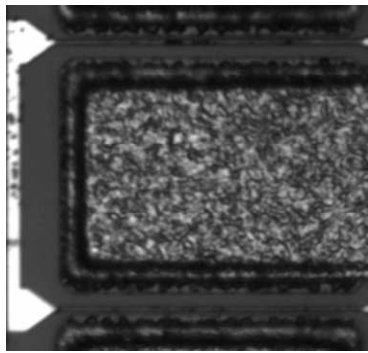
Unstressed (Upper limit 500)



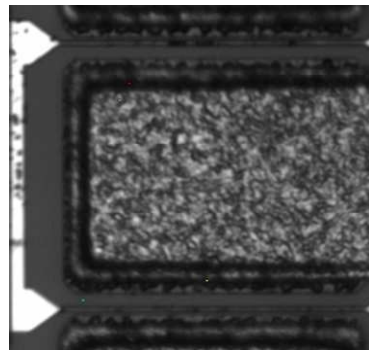
Stress  $V_G= -20\text{V}$



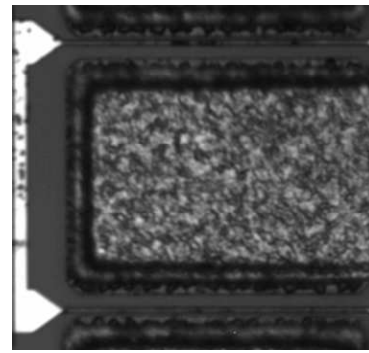
Stress  $V_G= -30\text{V}$



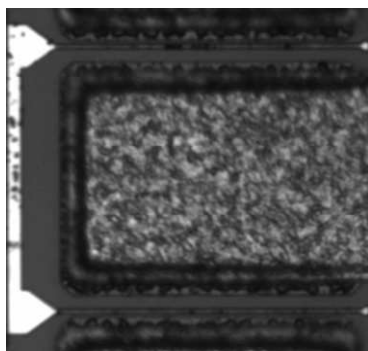
Stress  $V_G= -40\text{V}$



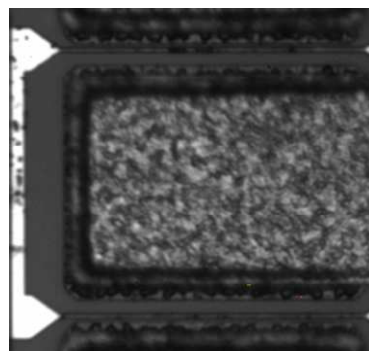
Stress  $V_G= -50\text{V}$



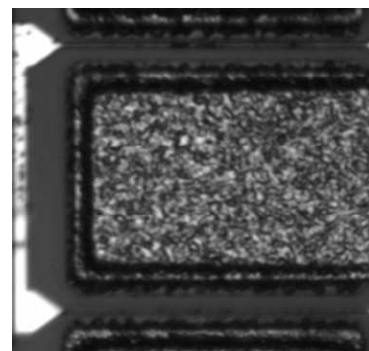
Stress  $V_G= -60\text{V}$



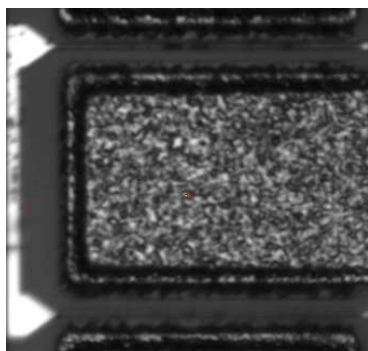
Stress  $V_G= -70\text{V}$



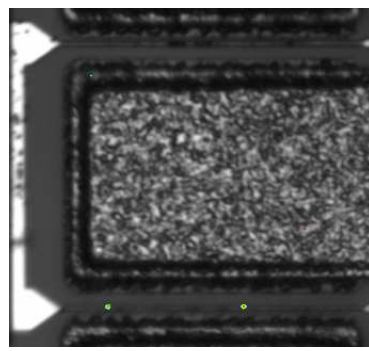
Stress  $V_G= -80\text{V}$



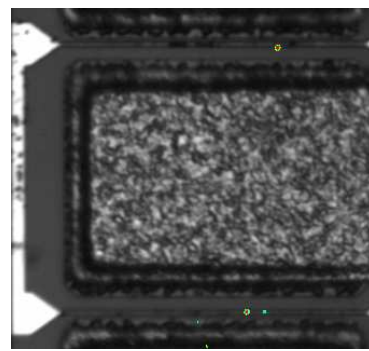
Stress  $V_G= -90\text{V}$



Stress  $V_G= -100\text{V}$



Stress  $V_G= -110\text{V}$



Stress  $V_G= -120\text{V}$

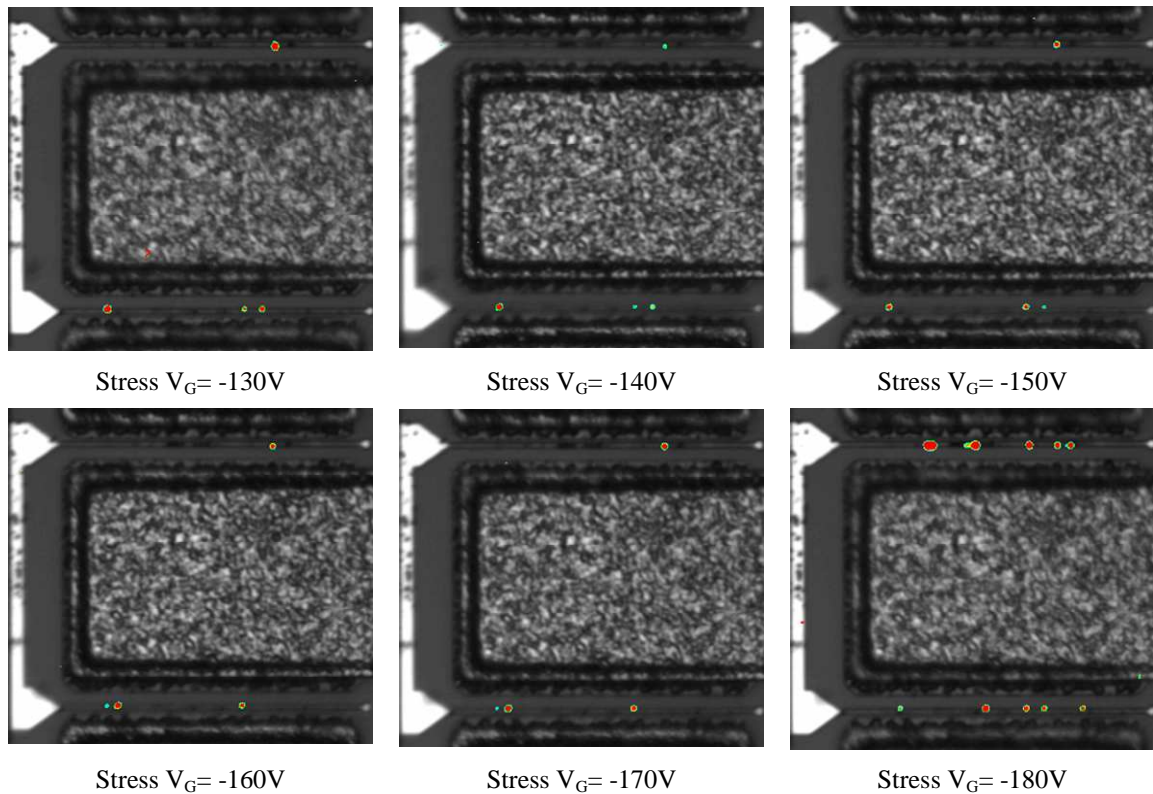
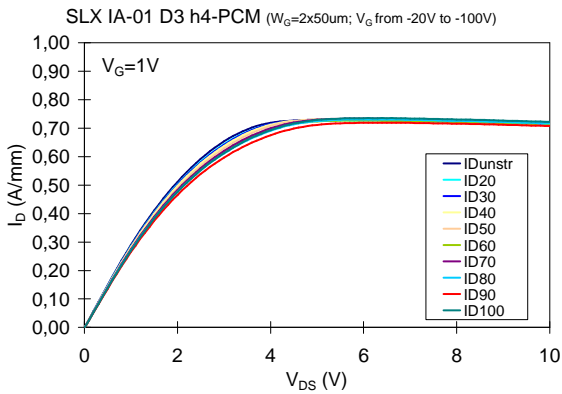


Figura 9.11: Emissioni in OFF-state del dispositivo B3\_h4-PCM (wafer SLX IA-01)

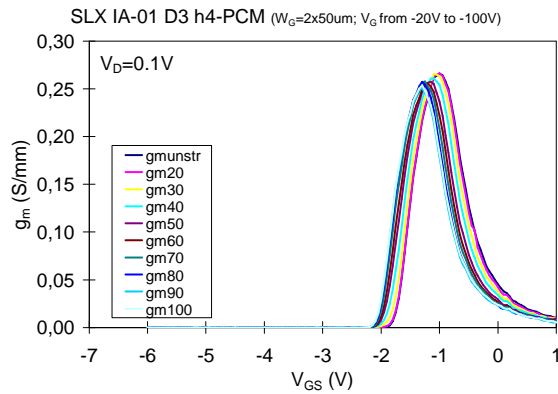
In questo dispositivo del wafer SLX IA-01, le caratteristiche dei diodi gate-drain e gate-source iniziano a degradare a partire dalla tensione  $V_G = -110V$ . Si nota un aumento della corrente di leakage dei diodi e della corrente di gate durante l'emissione in OFF-state di circa un ordine di grandezza. Due spot appaiono nelle immagini di emissione nel finger di gate inferiore (figura 9.11). Negli step successivi i valori delle correnti di leakage si stabilizzano. Nonostante questo si formano altri spot di emissione nel finger di gate inferiore e un nuovo spot in quello superiore. Le caratteristiche del dispositivo rimangono stabili fino alla tensione  $V_G = -180V$ , e nello step successivo si ha la rottura catastrofica del dispositivo dopo un minuto di stress.

Durante lo stress, la caratteristica di uscita del transistor rimane pressochè stabile, si ha uno shift graduale (300-400mV) verso sinistra della tensione di soglia, un graduale calo della transconduttanza e l'aumento della resistenza di drain  $R_D$ .

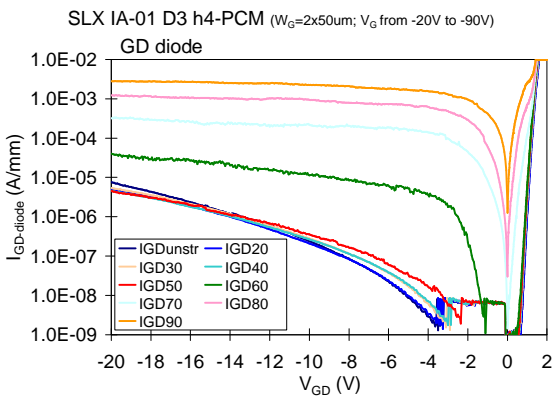
Si riportano i grafici dello step-stress sul dispositivo D3\_h4-PCM dello stesso wafer.



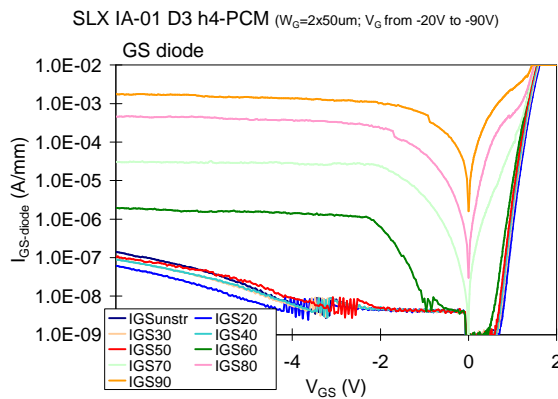
a) caratteristica di uscita con  $V_{GS}=1V$



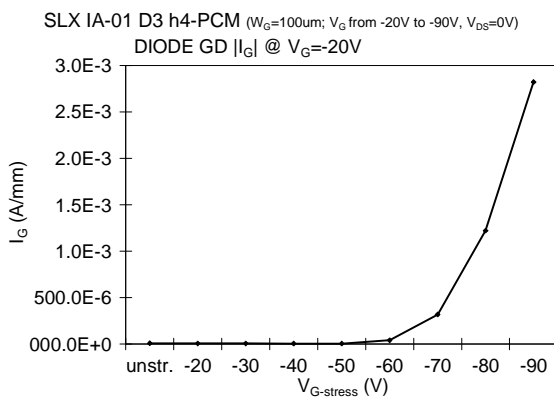
b) transconduttanza con  $V_{GS}$  con  $V_{DS}=0.1V$



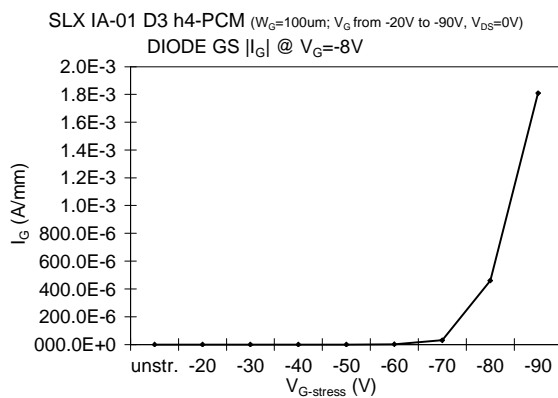
c) caratteristica I-V del diodo gate-drain



d) caratteristica I-V del diodo gate-source

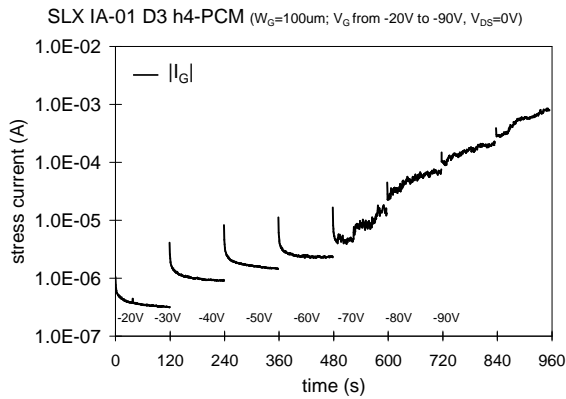


e) corrente del diodo gate-drain a  $V_{GS}=-20V$

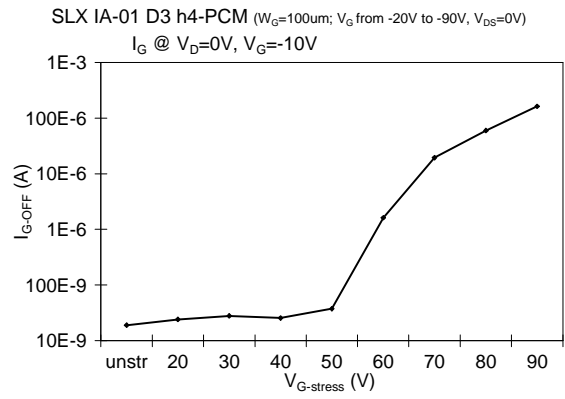


f) corrente del diodo gate-source a  $V_{DS}=-8V$

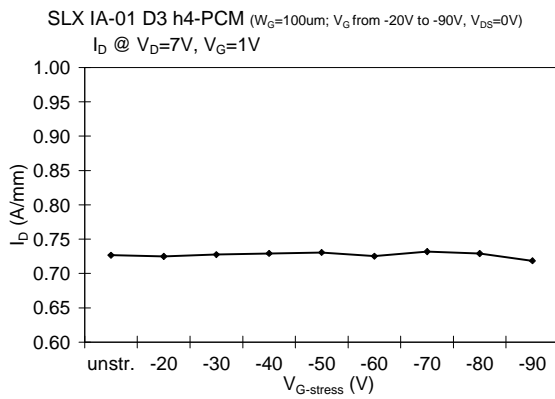




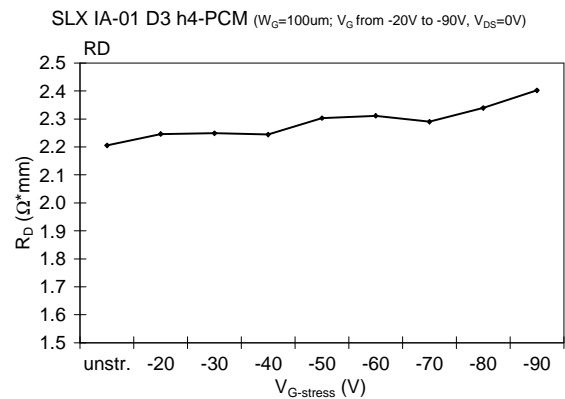
g)  $I_G$  di stress



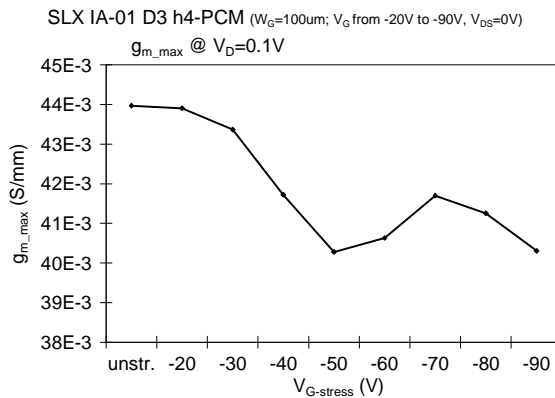
h)  $I_G$  durante l'emissione nello stato OFF



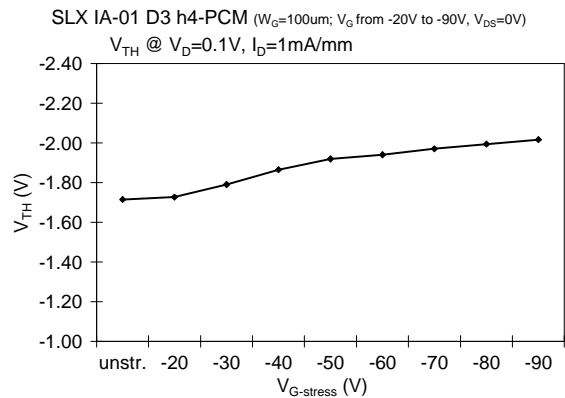
i) variazione della  $I_D$  con  $V_{DS}=7V$ ,  $V_{GS}=1V$



m) variazione della resistenza di drain



n) variazione della  $g_m$  con  $V_{DS}=0.1V$



o) variazione della  $V_{th}$  con  $V_{DS}=0.1V$

Figura 9.12: Variazione dei parametri più significativi durante lo stress del dispositivo D3\_h4-PCM (wafer SLX IA-01)

SLX IA-01\_D3\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )



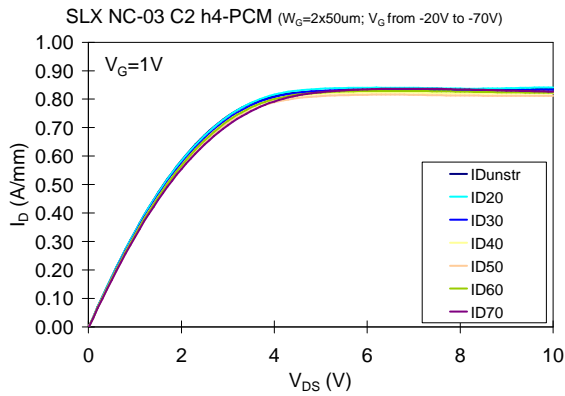
Figura 9.13: Emissioni in OFF-state del dispositivo D3\_h4-PCM (wafer SLX IA-01)

In questo caso, il dispositivo sottoposto a step-stress ha mostrato un degrado completamente diverso. Il comportamento durante lo stress del dispositivo D3\_h4-PCM risulta diverso da quello del transistor precedente. La degradazione dei diodi inizia ad una tensione molto più bassa, circa ad una  $V_G=-60\text{V}$ . A questo passo si verifica un aumento della corrente di leakage dei diodi di circa un ordine di grandezza e la comparsa di uno spot nel finger di gate superiore nell'emissione in OFF-state. Negli step successivi aumenta il degrado del dispositivo fino ad una corrente di leakage superiore a  $1\text{mA}/\text{mm}$  ad una tensione  $V_G=-90\text{V}$ . Si ha anche un aumento degli spot nelle immagini di emissione in OFF-state (figura 9.13).

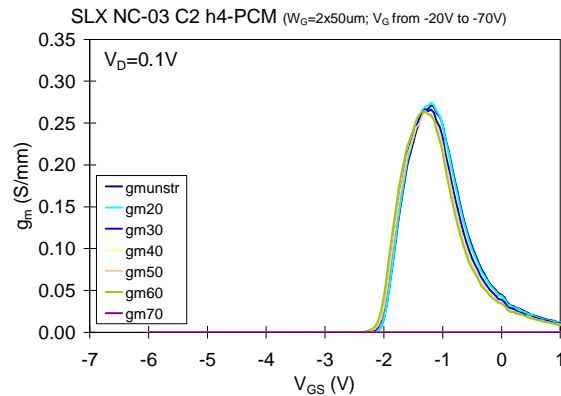
Anche in questo caso la caratteristica di uscita del transistor rimane stabile, si ha uno shift graduale (300mV) verso sinistra della tensione di soglia, un calo della transconduttanza e l'aumento della resistenza di drain  $R_D$ .

## 9.4 SLX NC-03

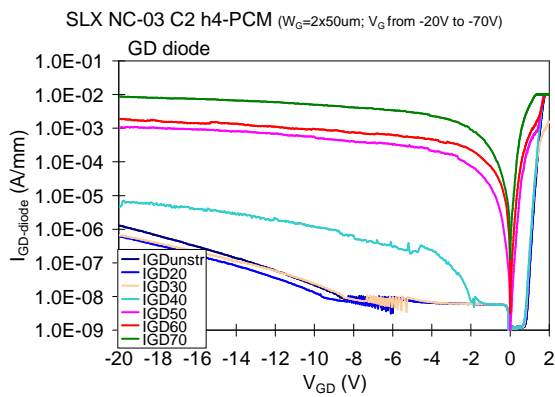
Si riportano i grafici dello step-stress sul dispositivo C2\_h4-PCM del wafer SLX NC-03.



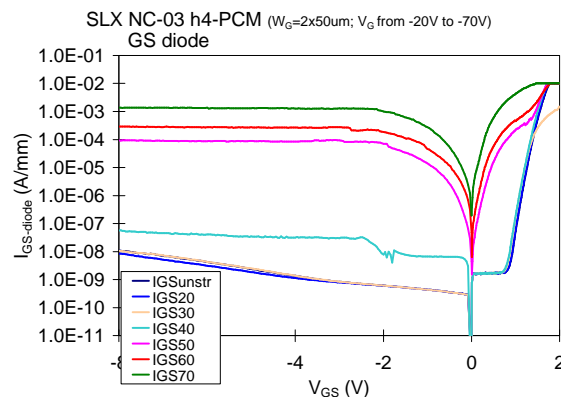
a) caratteristica di uscita con  $V_{GS}=1\text{V}$



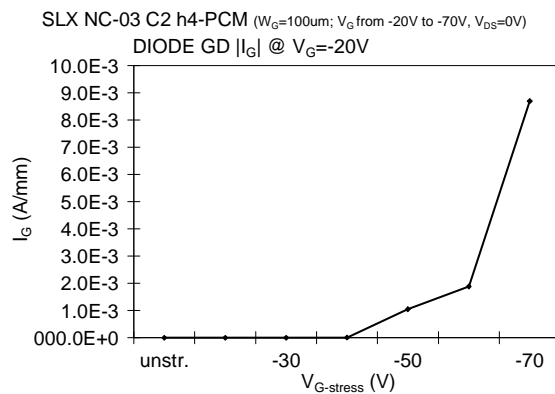
b) transconduttanza con  $V_{DS}=0.1\text{V}$



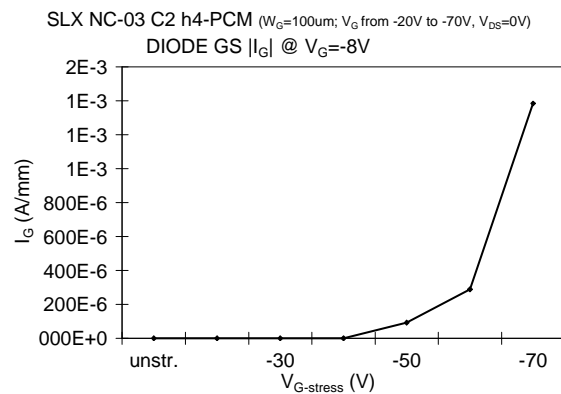
c) caratteristica I-V del diodo gate-drain



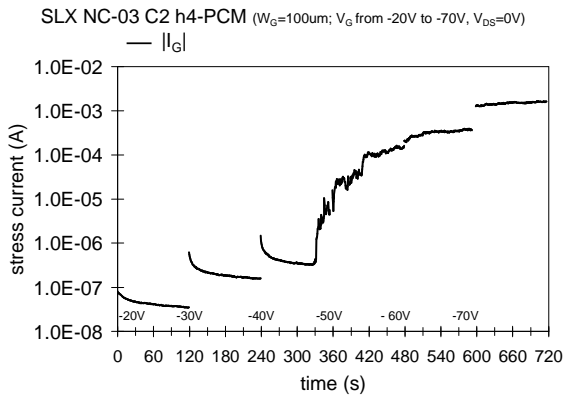
d) caratteristica I-V del diodo gate-source



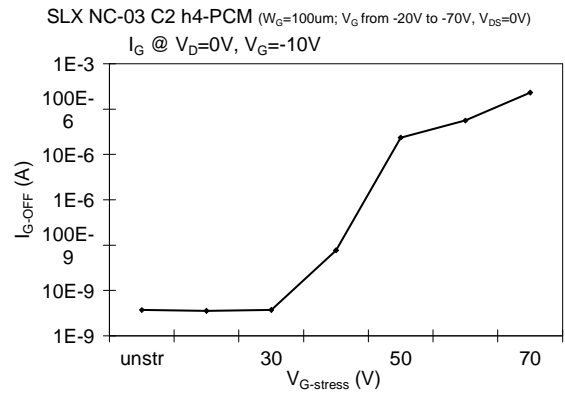
e) corrente del diodo gate-drain a  $V_{GS}=-20\text{V}$



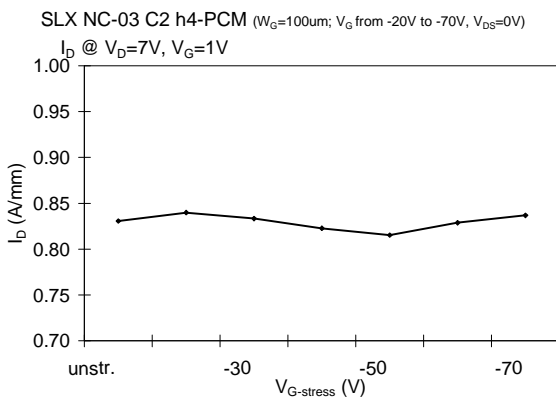
f) corrente del diodo gate-source a  $V_{DS}=-8\text{V}$



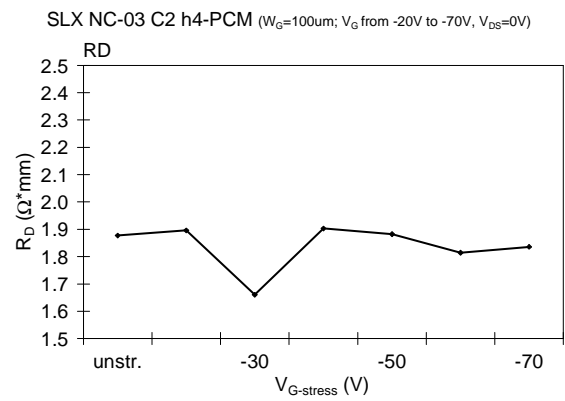
g)  $I_G$  di stress



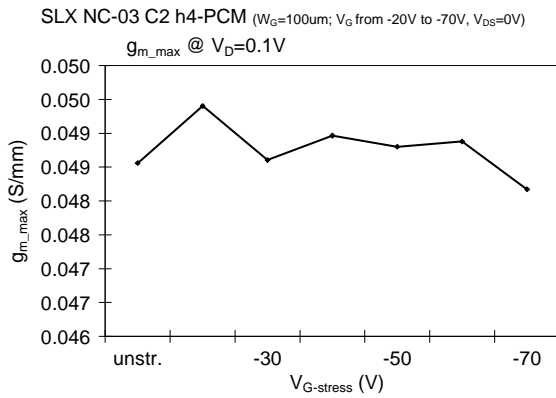
h)  $I_G$  durante l'emissione nello stato OFF



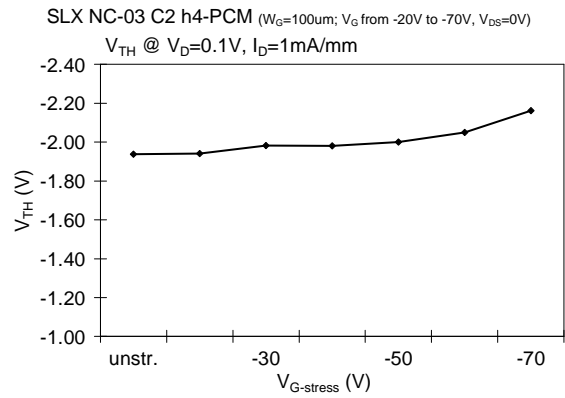
i) variazione della  $I_D$  con  $V_{DS}=7\text{V}$ ,  $V_{GS}=1\text{V}$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1\text{V}$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1\text{V}$

Figura 9.14: Variazione dei parametri più significativi durante lo stress del dispositivo C2\_h4-PCM (wafer SLX NC-03)

SLX NC-03\_C2\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )

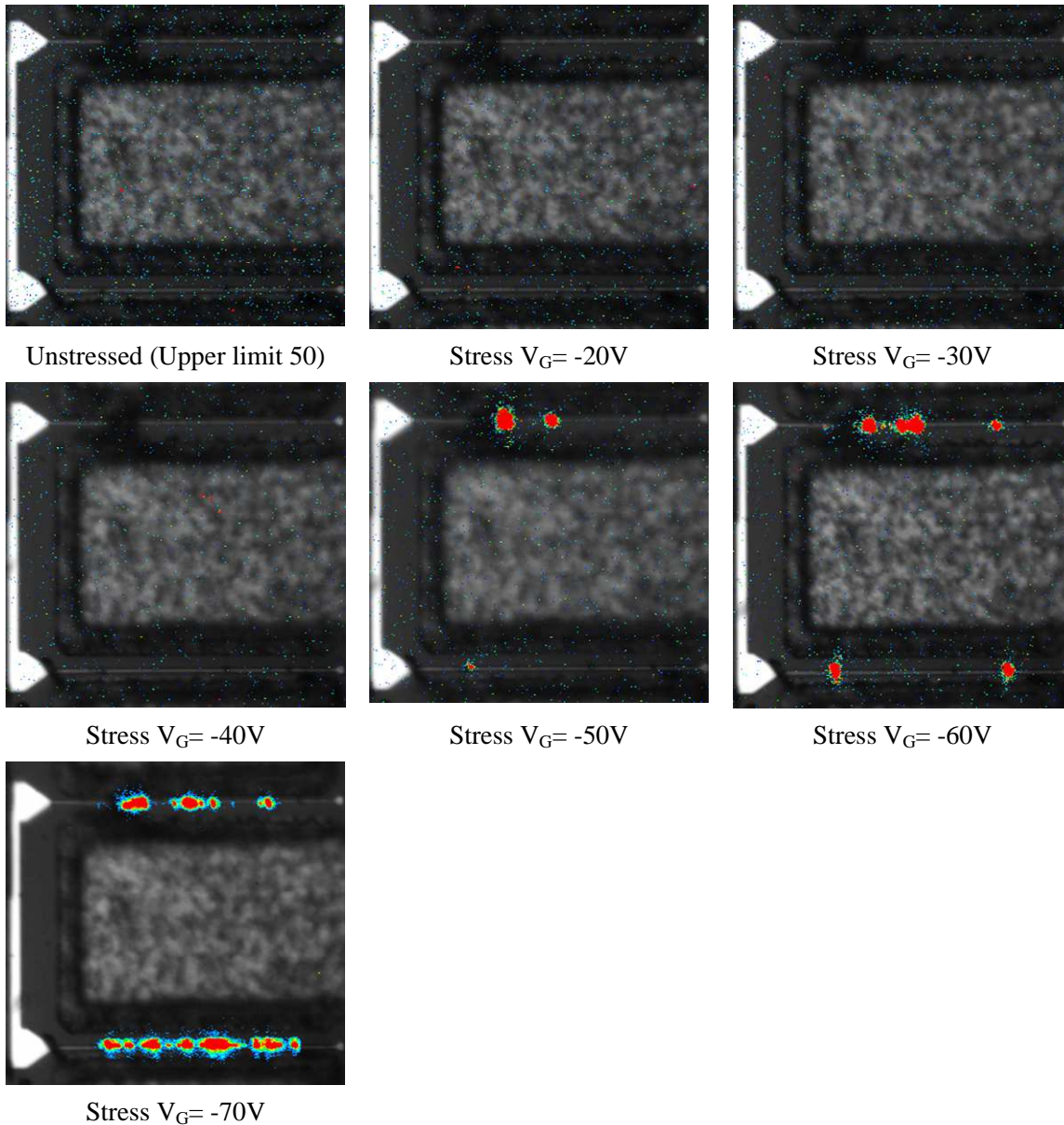
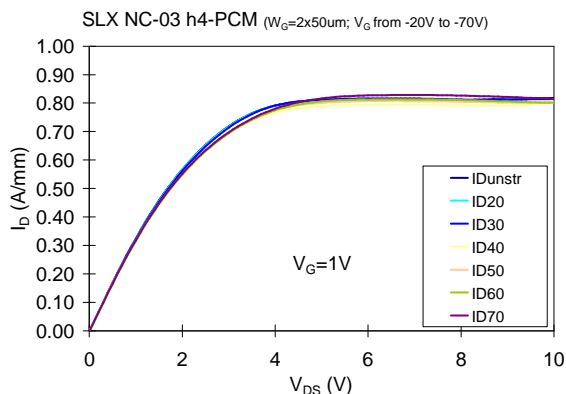


Figura 9.15: Emissioni in OFF-state del dispositivo C2\_h4-PCM (wafer SLX NC-03)

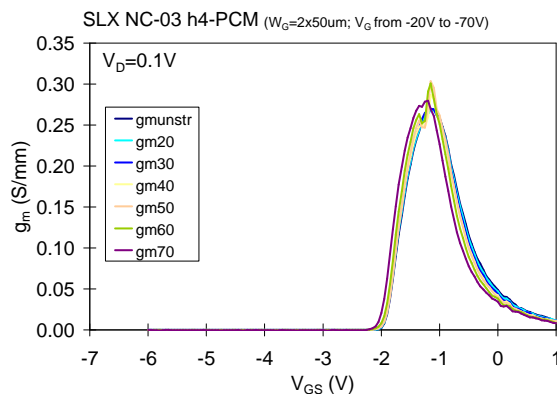
In questo altro wafer (SLX NC-03), si nota un degrado molto simile a quello osservato nei wafer SLX CA. Questo dispositivo presenta comportamento stabile delle principali caratteristiche (corrente di drain, transconduttanza, corrente di leakage e tensione di soglia) fino alla tensione  $V_G=-30\text{V}$ . Nello step successivo si ha un aumento di un ordine di grandezza della corrente di gate durante l'emissione in OFF-state e della corrente di leakage dei diodi (figura 9.14 (c), (d) e (h)). Nessun spot appare nelle immagini di emissione (figura 9.15). A  $V_G=-50\text{V}$  la corrente di leakage dei diodi aumenta di altri due ordini di grandezza e si ha la comparsa di tre spot (due nel finger di gate superiore e uno in quello inferiore). Negli step successivi la corrente di leakage supera il valore di  $1\text{mA/mm}$  e appaiono altri spot di

emissione. La caratteristica di uscita e la transconduttanza (figura 9.14(a) e (b)) rimangono costanti durante lo stress e solo la tensione di soglia presenta un graduale shift di circa 200mV verso sinistra.

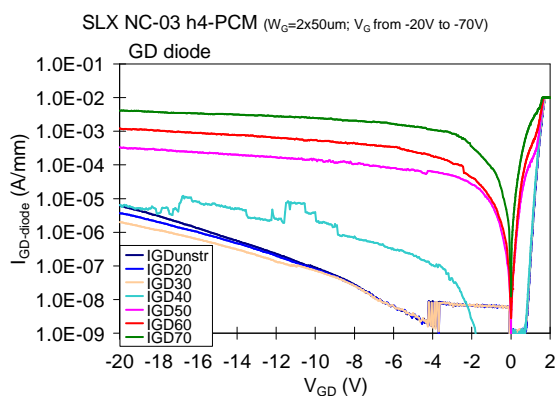
Si riportano i grafici dello step-stress sul dispositivo A3\_h4-PCM dello stesso wafer.



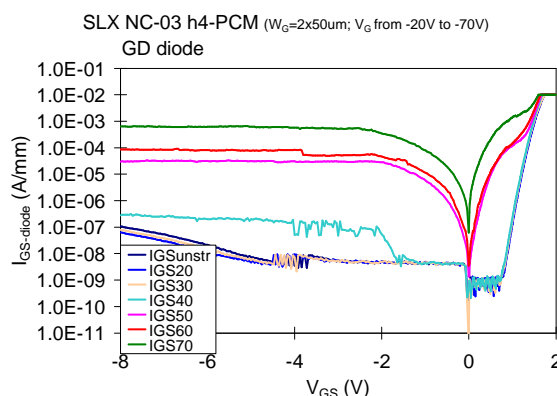
a) caratteristica di uscita con  $V_{GS}=1V$



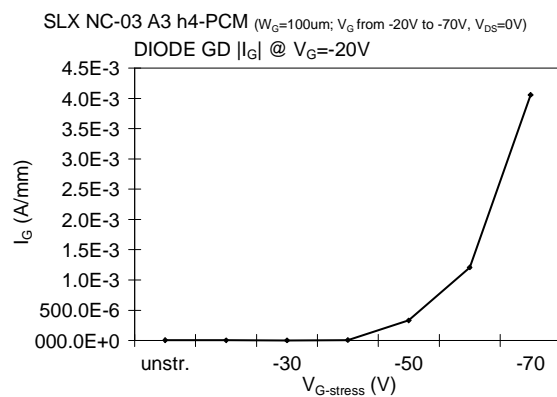
b) transconduttanza con  $V_{DS}=0.1V$



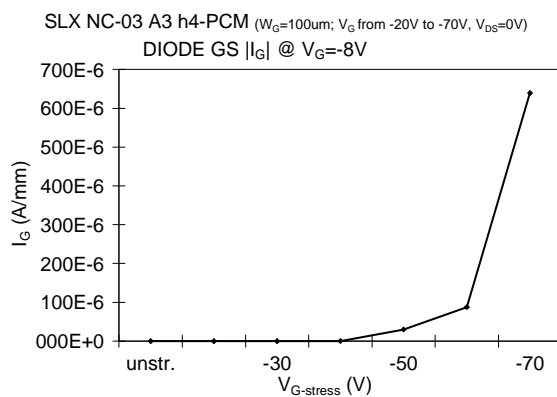
c) caratteristica I-V del diodo gate-drain



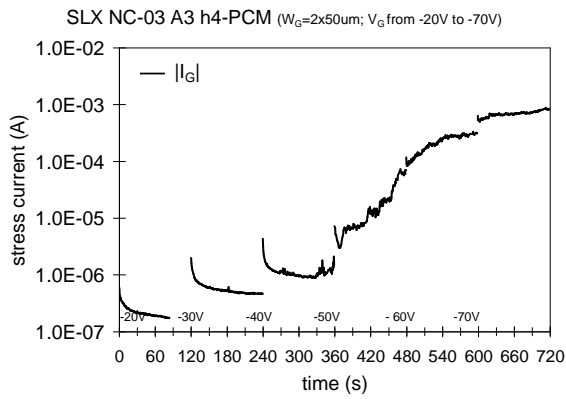
d) caratteristica I-V del diodo gate-source



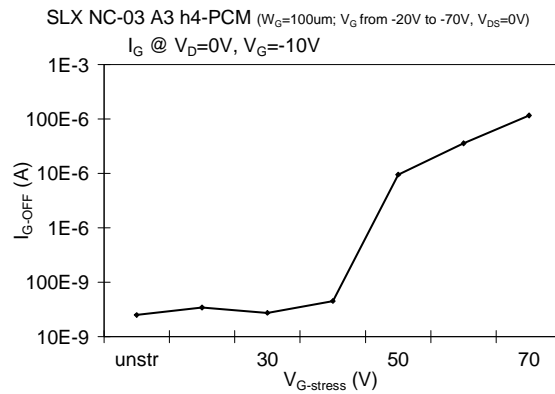
e) corrente del diodo gate-drain a  $V_{GS}=-20V$



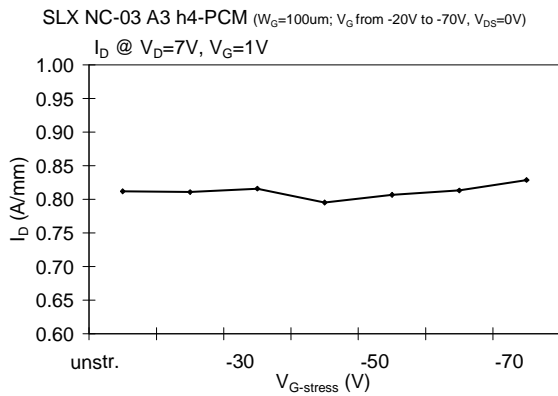
f) corrente del diodo gate-source a  $V_{DS}=-8V$



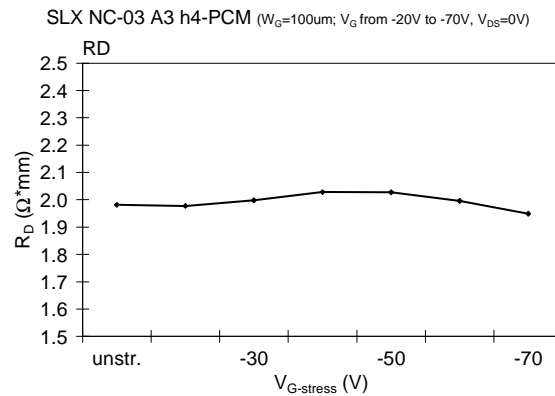
g)  $I_G$  di stress



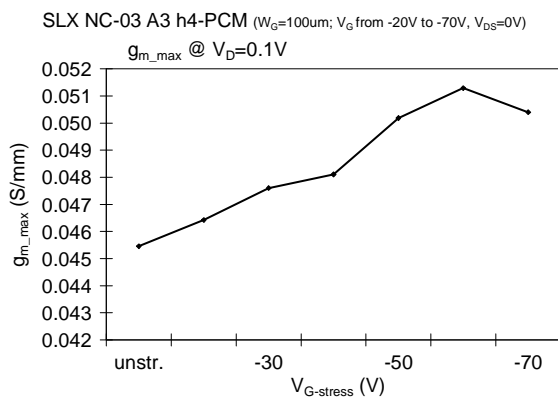
h)  $I_G$  durante l'emissione nello stato OFF



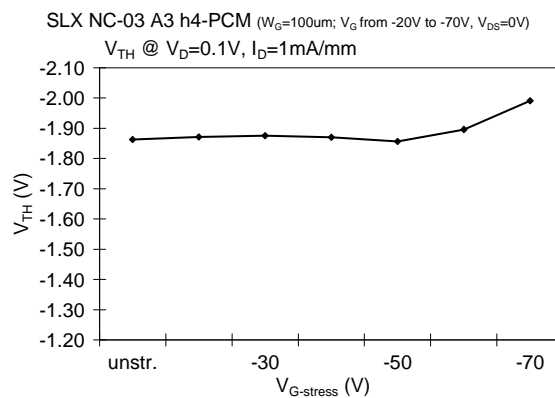
i) variazione della  $I_D$  con  $V_{DS}=7V$ ,  $V_{GS}=1V$



l) variazione della resistenza di drain



m) variazione della  $g_m$  con  $V_{DS}=0.1V$



n) variazione della  $V_{th}$  con  $V_{DS}=0.1V$

Figura 9.16: Variazione dei parametri più significativi durante lo stress del dispositivo A3\_h4-PCM (wafer SLX NC-03)



SLX NC-03\_A3\_h4-PCM ( $W_G=100\mu\text{m}$ ) - EmiOFF ( $V_G=-10$ ,  $V_D=V_S=0\text{V}$ ,  $t=100\text{s}$ )



Figura 9.17: Emissioni in OFF-state del dispositivo A3\_h4-PCM (wafer SLX NC-03)

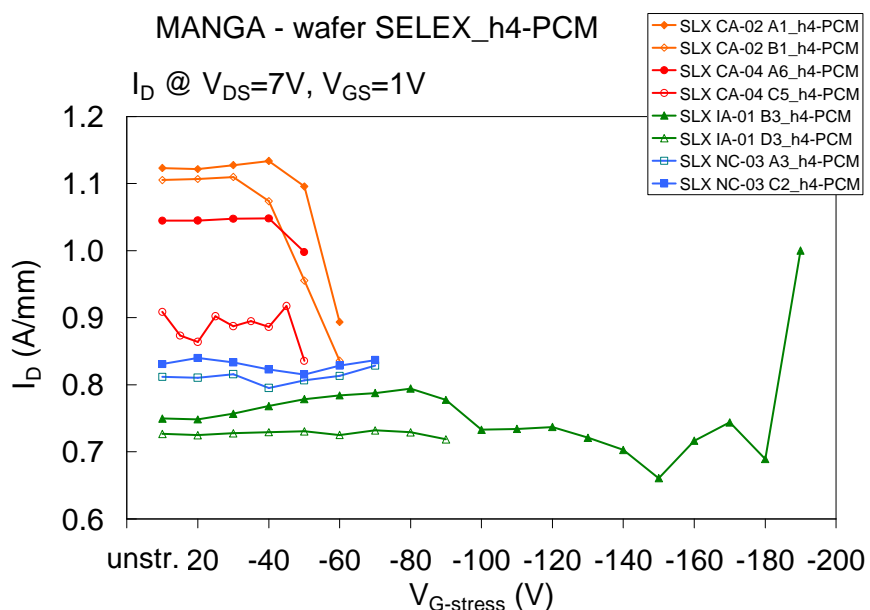
Anche in questo dispositivo dello stesso wafer, si è osservato lo stesso meccanismo di degrado. Si degrada solo il diodo, a partire dalla stessa  $V_G=-40\text{V}$ . Il meccanismo di degrado risulta molto simile a quello del dispositivo precedente.

## 9.5 Confronto

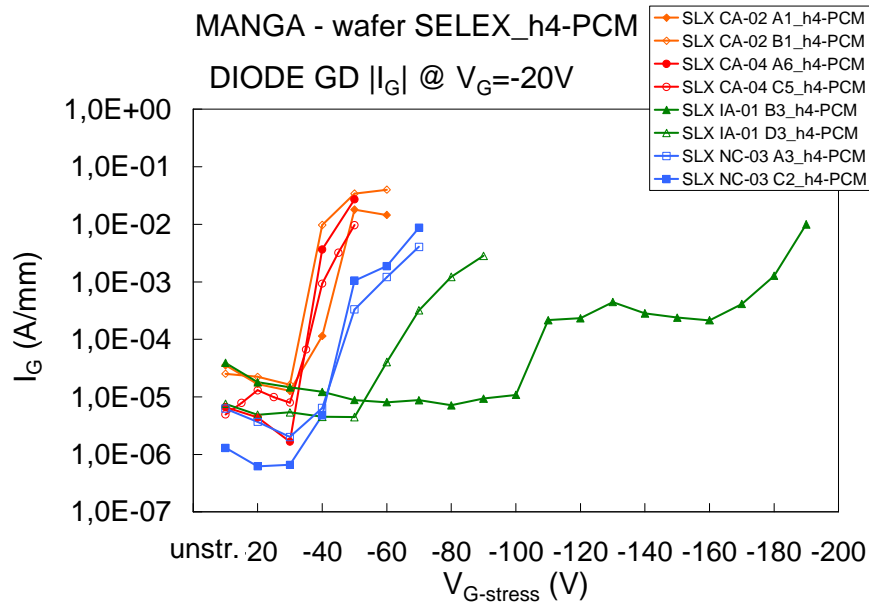
Come si nota in figura 9.18 i due transistor del wafer SLX CA-02 (curve arancioni) mostrano lo stesso meccanismo di degrado durante lo step-stress in tensione, e la stessa tensione critica a cui inizia il degrado del diodo. Lo stesso accade per i dispositivi del wafer SLX CA-04 (curve rosse), nonostante i due transistor avessero una differenza di quasi tre ordini di grandezza nella corrente di leakage iniziale, e per quelli del wafer SLX NC-03 (curve blu). Solo i dispositivi del wafer SLX IA-01 (curve verdi) mostrano un comportamento diverso tra di loro.

I wafer SLX CA-02, SLX CA-04 e SLX NC-03, nonostante la diversa barriera e il diverso drogaggio di ferro nel buffer, hanno un comportamento molto simile con una tensione critica di gate pari a circa -40V. I transistor del wafer SLX IA-01 hanno una tensione critica di gate in modulo maggiore, ma come già detto molto differente tra i due dispositivi testati (-60V per il transistor della cella D3 e -110V per quello della cella B3). Gli spot che si vengono a creare presenti nelle immagini di emissione in OFF-state di tutti i dispositivi potrebbero indicare la formazione di difetti cristallografici (o in genere trappole) che favoriscono il passaggio delle correnti di perdita verticali dal gate al canale, a causa degli elevati campi elettrici sottostanti al gate durante lo step-stress [17] [22].

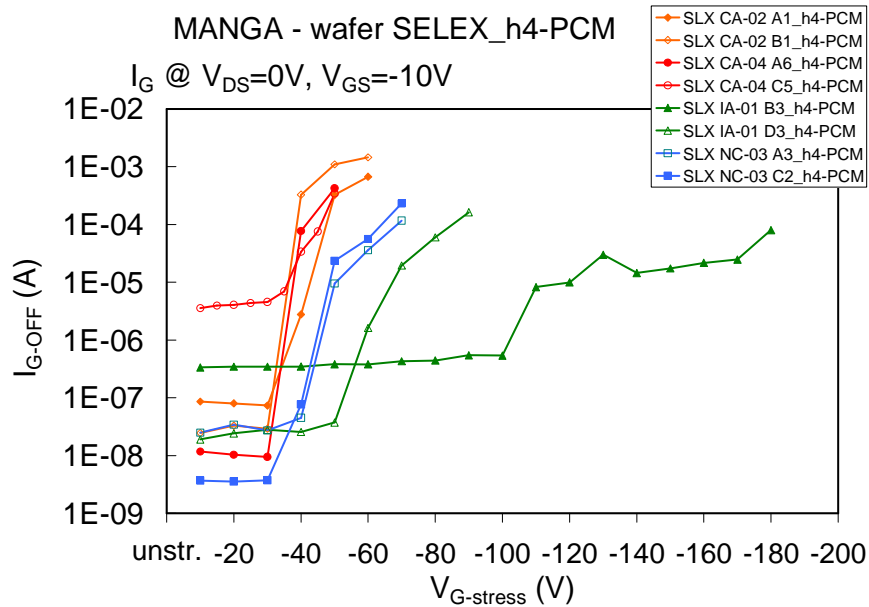
Dagli step-stress eseguiti non è emersa una chiara dipendenza della tensione critica dalla concentrazione di ferro nel buffer e dalla diversa composizione dello strato barriera, ma i risultati ottenuti sembrano essere maggiormente influenzati dal processo di realizzazione dei dispositivi.



a) Confronto  $I_{DS}$  a  $V_{GS}=1V, V_{DS}=7V$



b) Confronto diodo GD  $|I_G|$  a  $V_G = -20V$



c) Confronto della corrente  $I_G$  durante l'emission-OFF

Figura 9.18: Riepilogo dell'andamento di alcune grandezze significative durante lo step-stress in tutti i wafer testati



# Conclusioni

Durante il periodo di tesi sono stati analizzati HEMT su Nitruro di Gallio appartenenti a quattro wafer (SLX CA-02, SLX CA-04, SLX IA-01 e SLX NC-03) processati dall'azienda Selex Sistemi Integrati. Le principali differenze fra i quattro wafer sono la diversa concentrazione di alluminio nella barriera e di ferro nel buffer, e lo spessore della barriera. In ogni wafer sono state eseguite misure di caratterizzazione DC, al fine di verificare lo stato di vita dei dispositivi e l'uniformità delle caratteristiche statiche all'interno dello stesso wafer, misure dinamiche, per analizzare il fenomeno dell'intrappolamento, misure di resistenza di contatto e misure di capacità in funzione della tensione. Inoltre sono state fatte misure di affidabilità mediante step-stress in inversa sul gate, per valutare il comportamento dei transistor in condizioni di elevato campo elettrico nella regione gate-drain.

Dalle misure eseguite è risultato che:

- Dalle caratterizzazioni DC è emersa una buona uniformità dei parametri elettrici (corrente di drain, picco della transconduttanza, tensione di soglia, resistenza tra drain e source) all'interno dello stesso wafer. In tutti i wafer si nota una limitata diminuzione della corrente di uscita e del picco della transconduttanza all'aumentare della larghezza di gate, a causa di un leggero aumento della resistenza tra drain e source. Le correnti di leakage, invece, presentano una notevole dispersione di valori, principalmente a causa della grande variabilità di valori delle correnti di perdita del diodo gate-source. I dispositivi dei wafer SLX CA-02 e SLX CA-04 hanno parametri DC molto simili in quanto i due wafer hanno le stesse caratteristiche epitassiali nominali. Gli altri due wafer hanno una corrente di uscita e una tensione di soglia minore (in modulo) rispetto ai primi due wafer, a causa di un minore spessore della barriera e una minore concentrazione di alluminio.
- Dalle misure dinamiche è emerso che, nella condizione di maggior intrappolamento, i dispositivi dei wafer SLX CA-02, SLX CA-04 e SLX NC-03 hanno un current collapse inferiore al 20%, indice di un buon trattamento superficiale con la

passivazione, o di una limitata presenza di trappole nel buffer.

Invece i dispositivi del wafer SLX IA-01 presentano una dispersione di corrente maggiore, circa il 40%. Quindi non sembra esserci una correlazione diretta tra il collasso di corrente e il drogaggio di ferro nel buffer. Si è inoltre notato che i dispositivi analizzati mostrano un degrado permanente non trascurabile dopo le misure dinamiche. Quindi le misure effettuate e i valori di slump ratio estratti alle baseline con tensione di drain elevate potrebbero non essere molto affidabili, dato il progressivo degrado del dispositivo.

Le misure di gate lag in temperatura effettuate sul wafer SLX IA-01 hanno evidenziato la presenza di una trappola con energia di attivazione di 0.6eV, probabilmente legata al drogaggio di ferro nel buffer, in quanto assente negli altri wafer.

- Dalle misure di resistenza di contatto è emerso che il metodo a quattro punte è più accurato rispetto al metodo a due punte, in quanto nelle misure si esclude il contributo della resistenza di contatto della probe e di tutto il cavo utilizzato nella misura. I valori trovati corrispondono con quelli forniti dall'azienda costruttrice, sia nel caso dei TLM senza gate, che nel caso di TLM con gate.
- Dalle misure C-V eseguite nel wafer SLX-IA-01 non si sono ricavate molte informazioni riguardanti i fenomeni di intrappolamento di carica, in quanto le misure sono molto influenzate dalle perdite per leakage attraverso il contatto schottky. Mentre dalle misure eseguite sul wafer SLX NC-03 si nota l'assenza di isteresi (o di strani comportamenti della capacità anche ad alta tensione inversa), indice di poche trappole sotto il contatto di gate.
- Dalle misure di affidabilità eseguite si può notare che i wafer SLX CA-02, SLX CA-04 e SLX NC-03, nonostante la diversa concentrazione di alluminio nella barriera e di ferro nel buffer, mostrano un degrado molto simile durante lo step-stress, con una tensione critica di gate pari a circa -40V. Invece i transistor del wafer SLX IA-01 hanno una tensione critica di gate in modulo maggiore e molto diversa tra i due dispositivi testati (-60V per un dispositivo e -110V per l'altro). Dagli step-stress eseguiti non è emersa una chiara dipendenza della tensione critica dalla concentrazione di ferro nel buffer e dalla diversa composizione dello strato barriera, ma i risultati ottenuti sembrano essere maggiormente influenzati dal processo di realizzazione dei dispositivi.

Per quanto riguarda l'affidabilità, le misure effettuate rappresentano comunque un punto di partenza per uno studio più accurato sui fenomeni di degradazione dei dispositivi (con diversa barriera e diverso drogaggio di Fe).

A conclusione del lavoro svolto è possibile dire che la diversa composizione della barriera nei wafer analizzati ha inciso sulle caratteristiche DC dei dispositivi, mentre non è ancora molto chiara la dipendenza dal diverso drogaggio di ferro nel buffer, nelle caratteristiche dinamiche e nell'affidabilità dei transistor, forse perché molto influenzate dalle alte correnti di perdita presenti in molti campioni all'interno del wafer, che possono mascherare qualche diverso comportamento (leakage diversi o correnti  $I_D$  a canale chiuso diverse tra i wafer).





## Elenco delle figure

Figura 1: Struttura del progetto MANGA .....	8
Figura 1.1: Struttura reticolare .....	1
Figura 1.2: Legame tra energy gap e costante reticolare .....	2
Figura 1.3: Legame tra mobilità elettronica e temperatura .....	4
Figura 1.4: Diagramma a bande del GaN .....	6
Figura 1.5: Confronto tra celle elementari di zaffiro e GaN .....	7
Figura 1.6: Reattore per la crescita MOCVD (a) e schema di funzionamento della Two-Flow-MOCVD (b) .....	9
Figura 1.7: Schema di un reattore MBE .....	10
Figura 2.1: Struttura di un HEMT .....	13
Figura 2.2: Diagramma a bande di un eterostruttura AlGaAs/GaAs .....	14
Figura 2.3: Andamento della banda di conduzione con gli effetti di polarizzazione .....	15
Figura 2.4: Struttura cristallina del GaN nelle polarità Ga-face e N-face .....	16
Figura 2.5: Diverse orientazioni dei due vettori $P_{sp}$ e $P_{pz}$ nel caso Ga-face o N-face .....	16
Figura 2.6: Diagramma a bande con spessore minore (a) e maggiore (b) di quello critico e densità nel 2DEG in funzione dello spessore (c) .....	17
Figura 2.7: Legame tra concentrazione di alluminio e densità di portatori .....	18
Figura 2.8: Posizionamento delle trappole in un GaN HEMT .....	19
Figura 2.9: Caratteristica di uscita di un dispositivo caratterizzato dal fenomeno del kink .....	19
Figura 2.10: Fenomeno del current collapse .....	20
Figura 2.11: Passivazione di un AlGaIn/GaN HEMT .....	21
Figura 2.12: Caratteristica DC della corrente di drain prima, linee continue, e dopo linee tratteggiate, la passivazione con SiN .....	21
Figura 2.13: HEMT con field plate (a) e gate recess (b) .....	22
Figura 2.14: Fotoni/ $I_D$ in funzione di $1/(V_{DS}-V_{DSAT})$ .....	23
Figura 2.15: Fotoni in funzione di $V_{GS}$ per diversi valori di $V_{DS}$ .....	24
Figura 3.1: Schemi dei wafer testati .....	26
Figura 3.2: Immagine del wafer SLX NC-03 e dettaglio di una cella .....	26
Figura 3.3: Litografia di una cella .....	27
Figura 3.4: Struttura della PCM (Process Control Monitor) .....	30
Figura 3.5: Struttura epitassiale degli HEMT .....	31
Figura 4.1: Probe station Karl Suss PM5 .....	34
Figura 4.2: Sistema di misura Double Pulse .....	35
Figura 4.3: Grafico temporale di un impulso .....	36
Figura 4.4: Sistema di misura gate-lag .....	37
Figura 4.5: Andamento della $I_D$ a seguito di un impulso applicato al gate di un HEMT .....	38
Figura 4.6: Esempio di un Plote d'Arrhenius .....	39
Figura 4.7: Schema di una struttura TLM .....	39
Figura 4.8: Costruzione lineare del fit da cui si ricavano le proprietà del contatto .....	40

Figura 4.9: Contributi resistivi presenti tra due contatti nel TLM standard .....	40
Figura 4.10: Contributi resistivi presenti tra due contatti nel TLM GATED .....	41
Figura 4.11: Modello impiegato per misurare l'impedenza .....	42
Figura 4.12: PHEMOS P200.....	43
Figura 4.13: Punti di contatto per la misurazione a 4 terminali.....	43
Figura 5.1: Caratterizzazione DC del dispositivo A2_A4A del wafer SLX CA-02 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	47
Figura 5.2: Caratterizzazione DC del dispositivo B1_A10D del wafer SLX CA-02 ( $W_G=1000\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	48
Figura 5.3: Confronto di alcuni parametri caratteristici in funzione della $W_G$ del wafer SLX CA-02 .....	49
Figura 5.4: Caratterizzazione DC del dispositivo D3_A4A del wafer SLX CA-04 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	51
Figura 5.5: Caratterizzazione DC del dispositivo C5_A10D del wafer SLX CA-04 ( $W_G=1000\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	52
Figura 5.6: Confronto di alcuni parametri caratteristici in funzione della $W_G$ del wafer SLX CA-04 .....	53
Figura 5.7: Caratterizzazione DC del dispositivo D2_A4A del wafer SLX IA-01 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ) .....	55
Figura 5.8: Caratterizzazione DC del dispositivo D2_P10D del wafer SLX IA-01 ( $W_G=1000\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	56
Figura 5.9: Confronto di alcuni parametri caratteristici in funzione della $W_G$ del wafer SLX IA-01.....	57
Figura 5.10: Caratterizzazione DC del dispositivo C3_A4A del wafer SLX NC-03 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	59
Figura 5.11: Caratterizzazione DC del dispositivo C1_A10D del wafer SLX NC-03 ( $W_G=1000\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	60
Figura 5.12: Confronto di alcuni parametri caratteristici in funzione della $W_G$ del wafer SLX NC-03 .....	61
Figura 5.13: Confronto di alcuni parametri caratteristici in funzione della $W_G$ .....	64
Figura 5.14: Valore medio della corrente di leakage del diodo gate-source di tutti i wafer testati.....	65
Figura 6.1: Caratterizzazione dinamica del dispositivo B1_A4A del wafer SLX CA-02 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	69
Figura 6.2: Caratterizzazione dinamica del dispositivo A2_A4C del wafer SLX CA-02 ( $W_G=300\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	70
Figura 6.3: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX CA-02.....	71
Figura 6.4: Caratterizzazione dinamica del dispositivo D3_A4A del wafer SLX CA-04 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	72
Figura 6.5: Caratterizzazione dinamica del dispositivo A3_A4C del wafer SLX CA-04 ( $W_G=300\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	73
Figura 6.6: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i dispositivi testati del wafer SLX CA-04.....	74
Figura 6.7: Caratterizzazione dinamica del dispositivo B2_A4A del wafer SLX IA-01 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	75
Figura 6.8: Caratterizzazione dinamica del dispositivo C5_A4C del wafer SLX IA-01 ( $W_G=300\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	76
Figura 6.9: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX IA-01 .....	77
Figura 6.10: Caratterizzazione dinamica del dispositivo C3_A4A del wafer SLX NC-03 ( $W_G=200\mu\text{m}$ , $L_G= 0.5\mu\text{m}$ ).....	78

Figura 6.11: Caratterizzazione dinamica del dispositivo C5_A4C del wafer SLX NC-03 ( $W_G=300\mu\text{m}$ , $L_G=0.5\mu\text{m}$ ) .....	79
Figura 6.12: Riepilogo Slump Ratio (a) e spostamento della tensione di soglia rispetto alla baseline (0V;0V) (b) in tutti i campioni testati del wafer SLX NC-03 .....	80
Figura 6.13: Slump Ratio misurato a $V_{GS}=1\text{V}$ e $V_{DS}=3\text{V}$ per tutti i wafer .....	81
Figura 6.14: Caratterizzazione DC prima e dopo le misure di Double Pulse per un dispositivo tipico di ogni wafer .....	82
Figura 6.15: Scelta del punto di lavoro per le misure di gate-lag.....	83
Figura 6.16: Impulsi di gate-lag del dispositivo B3_A4A.....	84
Figura 6.17: Diagramma di Arrhenius.....	84
Figura 7.1: Schema del metodo di misura della resistenza di contatto .....	85
Figura 7.2: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX CA-04).....	87
Figura 7.3: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX CA-04).....	87
Figura 7.4: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX CA-04).....	88
Figura 7.5: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX CA-04).....	88
Figura 7.6: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX IA-01) .....	90
Figura 7.7: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM standard (wafer SLX IA-01) .....	90
Figura 7.8: Resistenza totale misurata, con il metodo a due punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX IA-01) .....	91
Figura 7.9: Resistenza totale misurata, con il metodo a quattro punte, tra i vari contatti in funzione della distanza nella struttura TLM gated (wafer SLX IA-01) .....	91
Figura 8.1: Fase al variare della frequenza per i FATFET delle celle C3 e D5 .....	98
Figura 8.2: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo C3_FATFET (wafer SLX IA-01) .....	99
Figura 8.3: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo C3_FATFET (wafer SLX IA-01) .....	100
Figura 8.4: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo C3_FATFET (wafer SLX IA-01) .....	101
Figura 8.5: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo C3_FATFET (wafer SLX IA-01) .....	102
Figura 8.6: Dettagli delle curve C-V per $V=[0, -4]$ .....	103
Figura 8.7: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo D5_FATFET (wafer SLX IA-01) .....	104
Figura 8.8: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo D5_FATFET (wafer SLX IA-01) .....	105
Figura 8.9: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo D5_FATFET (wafer SLX IA-01) .....	106
Figura 8.10: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo D5_FATFET (wafer SLX IA-01) .....	107
Figura 8.11: Dettaglio della curva C-V alla frequenza di 100Hz.....	108
Figura 8.12: Dettagli delle curve C-V per $V=[0, -4]$ .....	109
Figura 8.13: Fase al variare della frequenza per i FATFET delle celle C3 e B6 (wafer SLX NC-03).....	110
Figura 8.14: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo C3_FATFET (wafer SLX NC-03).....	111

Figura 8.15: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo C3_FATFET (wafer SLX NC-03) .....	112
Figura 8.16: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo C3_FATFET (wafer SLX NC-03) .....	113
Figura 8.17: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo C3_FATFET (wafer SLX NC-03) .....	114
Figura 8.18: Dettagli delle curve C-V per V=[0, -4] .....	115
Figura 8.19: Curve C-V e G-V alla frequenza di 100Hz per il dispositivo B6_FATFET (wafer SLX NC-03) .....	116
Figura 8.20: Curve C-V e G-V alla frequenza di 300Hz per il dispositivo B6_FATFET (wafer SLX NC-03) .....	117
Figura 8.21: Curve C-V e G-V alla frequenza di 1KHz per il dispositivo B6_FATFET (wafer SLX NC-03) .....	118
Figura 8.22: Curve C-V e G-V alla frequenza di 10KHz per il dispositivo B6_FATFET (wafer SLX NC-03) .....	119
Figura 8.23: Dettagli delle curve C-V per V=[0, -4] .....	120
Figura 9.1: Schema della procedura di step-stress .....	124
Figura 9.2: Variazione dei parametri più siglificativi durante lo stress del dispositivo A1_h4-PCM (wafer SLX CA-02) .....	127
Figura 9.3: Emissioni in OFF-state del dispositivo A1_h4-PCM (wafer SLX CA-02) .....	128
Figura 9.4: Variazione dei parametri più significativi durante lo stress del dispositivo B1_h4-PCM (wafer SLX CA-02) .....	130
Figura 9.5: Emissioni in OFF-state del dispositivo B1_h4-PCM (wafer SLX CA-02) .....	131
Figura 9.6: Variazione dei parametri più significativi durante lo stress del dispositivo A6_h4-PCM (wafer SLX CA-04) .....	133
Figura 9.7: Emissioni in OFF-state del dispositivo A6_h4-PCM (wafer SLX CA-04) .....	134
Figura 9.8: Variazione dei parametri più significativi durante lo stress del dispositivo C5_h4-PCM (wafer SLX CA-04) .....	136
Figura 9.9: Emissioni in OFF-state del dispositivo C5_h4-PCM (wafer SLX CA-04) .....	137
Figura 9.10: Variazione dei parametri più significativi durante lo stress del dispositivo B3_h4-PCM (wafer SLX IA-01) .....	139
Figura 9.11: Emissioni in OFF-state del dispositivo B3_h4-PCM (wafer SLX IA-01) .....	141
Figura 9.12: Variazione dei parametri più significativi durante lo stress del dispositivo D3_h4-PCM (wafer SLX IA-01) .....	143
Figura 9.13: Emissioni in OFF-state del dispositivo D3_h4-PCM (wafer SLX IA-01) .....	144
Figura 9.14: Variazione dei parametri più significativi durante lo stress del dispositivo C2_h4-PCM (wafer SLX NC-03) .....	147
Figura 9.15: Emissioni in OFF-state del dispositivo C2_h4-PCM (wafer SLX NC-03) .....	148
Figura 9.16: Variazione dei parametri più significativi durante lo stress del dispositivo A3_h4-PCM (wafer SLX NC-03) .....	150
Figura 9.17: Emissioni in OFF-state del dispositivo A3_h4-PCM (wafer SLX NC-03) .....	151
Figura 9.18: Riepilogo dell'andamento di alcune grandezze significative durante lo step-stress in tutti i wafer testati .....	153

## Elenco delle tabelle

Tabella 1.1: Proprietá elettriche di alcuni semiconduttori.....	3
Tabella 1.2: JM di alcuni semiconduttori .....	5
Tabella 1.3: Proprietá dei materiali usati come substrato.....	6
Tabella 3.1: Larghezze dei finger di gate .....	28
Tabella 3.2: Caratteristiche dei dispositivi discreti presenti in ogni cella.....	29
Tabella 3.3: Caratteristiche dei wafer.....	31
Tabella 4.1: Distanze tra i contatti nei TLM standard e GATED.....	41
Tabella 5.1: Valori medi dei parametri caratteristici del wafer SLX CA-02 .....	50
Tabella 5.2: Valori medi dei parametri caratteristici del wafer SLX CA-04 .....	54
Tabella 5.3: Valori medi dei parametri caratteristici del wafer SLX IA-01.....	58
Tabella 5.4: Valori medi dei parametri caratteristici del wafer SLX NC-03 .....	62
Tabella 6.1: Valori tipici dello S.R. di tutti i wafer alla baseline (-6V; 40V).....	81
Tabella 7.1: Valori delle resistenze di contatto forniti dall'azienda costruttrice.....	85
Tabella 7.2: Settaggio utilizzato per il metodo a 2 punte .....	86
Tabella 7.3: Settaggio utilizzato per il metodo a 4 punte .....	86
Tabella 7.4: Parametri delle strutture TLM del wafer SLX CA-04.....	89
Tabella 7.5: Differenza percentuale nel valore di $R_C$ tra i due metodi utilizzati.....	89
Tabella 7.6: Parametri delle strutture TLM del wafer SLX IA-01 .....	92
Tabella 7.7: Differenza percentuale nel valore di $R_C$ tra i due metodi utilizzati.....	93
Tabella 8.1: Valori di leakage a $V_{GS}=-8V$ per i dispositivi del wafer SLX IA-01 .....	96
Tabella 8.2: Valori di leakage a $V_{GS}=-8V$ per i dispositivi del wafer SLX NC-03.....	97



# Bibliografia

- [1] W. J. Roesch, "Historical review of compound semiconductor reliability", *Microelectronics Reliability* 46 (2006).
- [2] Umesh K. Mishra, Likun Shen, Thomas E. Kazior, and Yi-Feng Wu, "GaN-Based RF Power Devices and Amplifiers", *Proceedings of IEEE, Vol. 96, No. 2, February 2008*.
- [3] R. J. Trew, Fellow, "SiC and GaN transistor – Is there one winner for microwave power application?", *Proceeding of the IEE, Vol. 90, No. 6, June 2002*.
- [4] F. Fantini, L. Cattani, D. Dieci, "Reliability of compound semiconductor devices", *22nd International conference on microelectronics, vol.1, 14-17 may, 2000*.
- [5] U. K. Mishra, P. Parikh, and Y.-F. Wu, "AlGaIn/GaN HEMTs - An overview of device operation and application," *Proceeding of the IEEE, vol. 90, no. 6, 2002*.
- [6] S. Binari, P. Klein, and T. Kazior, "Trapping effects in GaN and SiC microwave FETs", *Proceedings of the IEEE, vol. 90, no. 6, pp. 1048\_1058, 2002*.
- [7] D. K. Schroder, "Semiconductor material and device characterization", *second edition*.
- [8] C. Lee, L. Witkowski, H.-Q. Tserng, P. Saunier, R. Birkhahn, D. Olson, G. Munns, S. Guo, and B. AlbertJ, "Effects of AlGaIn/GaN HEMT structure on rf reliability", *Electronics Letters, vol. 41, no. 3, 2005*.
- [9] S. J. Pearton, J. C. Zolper, R. J. Shul, and F. Ren, "GaN: Processing, defects and devices", *Journal of Applied Physics, vol. 86, no. 1, 1999*.
- [10] R. S. Muller, T. I. Kamins, "Dispositivi elettronici nei circuiti integrati".
- [11] J. Ibbetson, P. Fini, K. Ness, J. S. S. DenBaars, and U. Mishra, "Polarization effects, surface states and the source of electrons in AlGaIn/GaN heterostructure field effect transistors," *Applied Physics Letters, vol. 77, no. 2, 2000 pp. 250-252*.

- [12] R. Vetry, N. Zhang, S. Keller, and U. Mishra, "The impact of surface states on the DC and RF characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs", *IEEE Transaction on Electron Devices*, vol. 48, no. 3, 2001.
- [13] C. Canali, A. Paccagnella, P. Pisoni, C. Tedesco, P. Telaroli, and E. Zanoni, "Impact ionization phenomena in AlGaAs/GaAs HEMTs", *IEEE Trans. Electron Devices*, vol. 38, no. 11, 1991.
- [14] A. F. Basile, A. Mazzanti, E. Manzini, G. Verzellesi, C. Canali, R. Pierobon, C. Lanzieri, "Experimental and numerical analysis of gate and drain lag phenomena in AlGaAs/InGaAs PHEMTs", *IEEE*.
- [15] S. M Baier, M. S. Shur, K. Lee, N. C. Cirillo, S. A. Hanka, "" Fet characterization using gated-TLM structure", *IEE Transactions on electron device*, ed-32, No. 12.
- [16] W. M. Loh, S.E. Swirhun, R. M. Swanson, K. C. Saraswat, "Modeling and Measurement of Contact Resistances", *IEEE Transaction on electron devices*, Vol. ED-34, No. 3, March 1987.
- [17] J. and J. A. del Alamo, "Mechanisms for electrical degradation of Ga<sub>N</sub> high-electron mobility transistors", in *IEDM Tech. Dig.*, 2006, pp. 415-418.
- [18] J. Joh and J. A. del Alamo, "Critical Voltage for Electrical Degradation of Ga<sub>N</sub> High-Electron Mobility Transistor", *IEEE Electron Device Letters*, vol. 29, no. 4, April 2008.
- [19] N. Shigekawa, K. Shiojima, and T. Suemitsu, "Electroluminescence characterization of AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistors", *Appl. Phys. Lett.*, vol. 79, no. 8, 2001.
- [20] G. Meneghesso, A. Mion, Y. Haddab, M. Pavesi, M. Manfredi, C. Canali, and E. Zanoni, *Journal of Applied Physics*, vol. 82, no. 5547, 1997.
- [21] P. Valizadeh and D. Pavlidis, "Investigation of the impact of Al mole-fraction on the consequences of rf stress on Al<sub>x</sub>Ga<sub>1-x</sub>N/Ga<sub>N</sub> MODFETs", *IEEE Trans. Electron Devices*, vol. 52, no. 9, 2005.
- [22] E. Zanoni, F. Danesin, M. Meneghini, A. Cetronio, C. Lanzieri, M. Peroni, and G. Meneghesso, "Localized damage in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs induced by reverse-bias testing", *IEEE Electron Device Letters*, vol. 30, no. 5, 2009.
- [23] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, T. G. Yugova, A. V. Markov, A. M. Dabiran, A. M. Wowchak, B. Cui, A. V. Osinsky, P. P. Chow, S. J. Pearton, "Electrical properties of Ga<sub>N</sub> (Fe) buffers for AlGa<sub>N</sub>/Ga<sub>N</sub> high electron mobility transistor structure", *Applied physics letters* 92, 042110 (2008).



- [24] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, A. V. Markov, A. M. Dabiran, A. M. Wowchak, B. Cui, A. V. Osinsky, P. P. Chow, S. J. Pearton, "Deep traps responsible for hysteresis in capacitance-voltage characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure transistors", *Applied physics letters* 91, 232116 (2007).
- [25] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, S. J. Pearton, "Properties of Fe-doped semi-insulating Ga<sub>N</sub> structures", *2004 American Vacuum Society*.
- [26] G. A. Umana-Menbreno, G. Parish, N. Fichtenbaum, S. Keller, U. K. Mishra, B.D. Nener, "Electrically active defects in Ga<sub>N</sub> layers grown with and without Fe-doped buffers by metal-organic chemical vapour deposition", *Journal of electronic materials*, Vol. 37, No. 5, 2008.
- [27] V. Desmaris, M. Rudziński, N. Rorsman, P. R. Hageman, P. K. Larsen, H. Zirath, T. C. Rödle, and H. F. F. Jos, "Comparison of the DC and Microwave Performance of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs Grown on SiC by MOCVD With Fe-Doped or Unintentionally Doped Ga<sub>N</sub> Buffer Layers", *IEEE Transactions on electron devices*, Vol. 53, No. 9, September 2006.



