
Università degli Studi di Padova – Dipartimento di Ingegneria dell'Informazione
Corso di Laurea in Ingegneria Elettronica

Relazione per la prova finale
«Effetti di Short-Channel nei transistor MOSFET»

Relatore: Prof. Vogrig Daniele

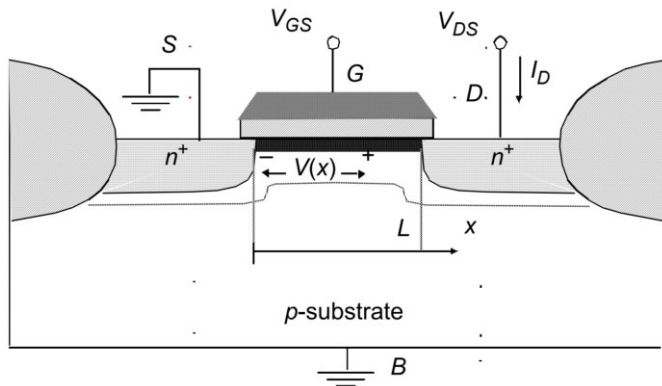
Laureando: Bellio Luca
Matricola n.: 2101721

Padova, 23/09/2026

INTRODUZIONE

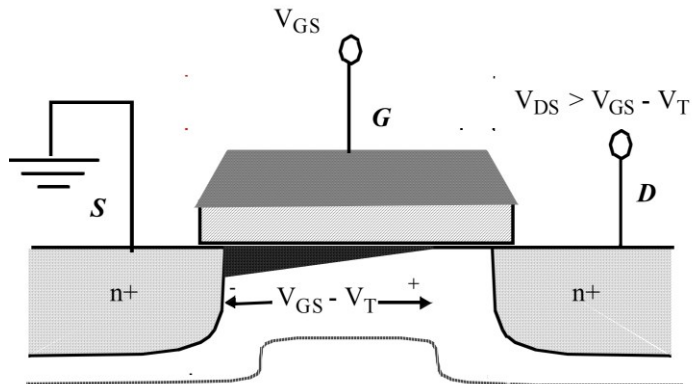
MOSFET e scaling del MOSFET

Il **MOSFET** ha una struttura planare. In base alla tensione applicata ai terminali del dispositivo si definiscono due regioni di funzionamento del dispositivo:



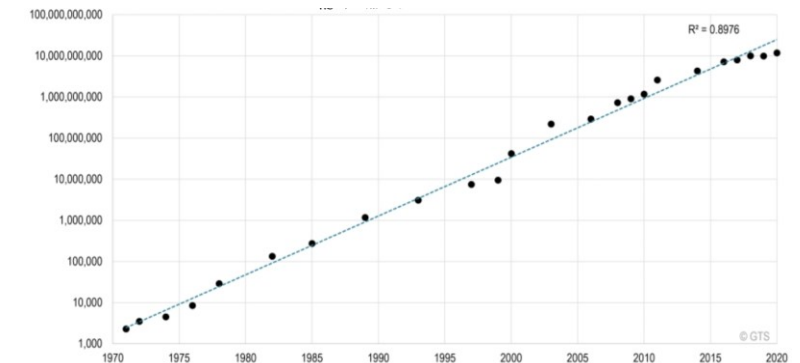
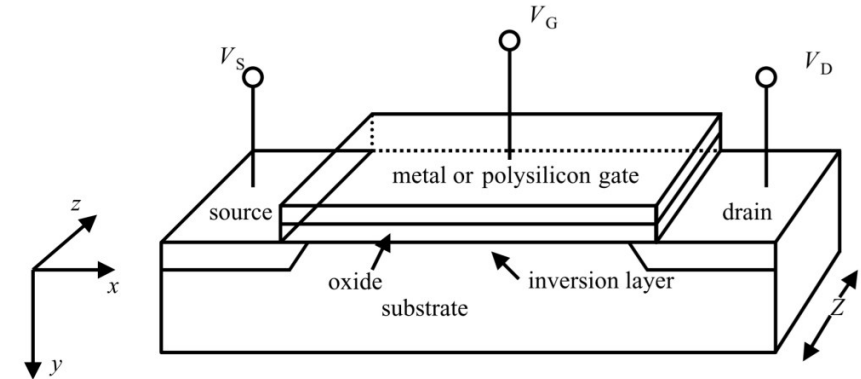
Regione Lineare: $V_{GS} > V_T$ e $V_{DS} < V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} + \frac{V_{DS}^2}{2} \right)$$



Regione di Saturazione: $V_{GS} > V_T$ e $V_{DS} \geq V_{GS} - V_T$

$$I_D = \frac{k'_n}{2} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$



Lo scaling del MOSFET è rappresentato dalla **Legge di Moore**.

La riduzione delle dimensioni comporta anche gli **Effetti di Short-Channel (SCE)**

Effetti di Short-Channel

Parametro	Relazione	Fattore di scala
W, L, t_{ox}		$\frac{1}{S}$
V_{DD}, V_T		$\frac{1}{S}$
Area/Dispositivo	WL	$\frac{1}{S^2}$
C_{ox}	$\frac{\epsilon_{ox}}{t_{ox}}$	S
k'_n, k'_p	$\mu_n C_{ox}, \mu_p C_{ox}$	S
C_{gate}	WLC_{ox}	$\frac{1}{S}$
$t_p(intrinseco)$	$\frac{\alpha C}{k'V_{DD}}$	$\frac{1}{S}$
Energia/Ciclo commutazione (intrinseco)	CV_{DD}^2	$\frac{1}{S^3}$
P_{dyn}	$f_{max} CV_{DD}^2 = \frac{CV_{DD}^2}{2t_p}$	$\frac{1}{S^2}$
Densità di potenza	$\frac{P_{dyn}}{WL}$	1

Gli SCE sono divisi in 3 categorie:

- Profilo del campo elettrico non più in una dimensione.
- Il valore del campo elettrico nel canale aumenta considerevolmente.
- Diminuzione della separazione fisica tra source e drain.

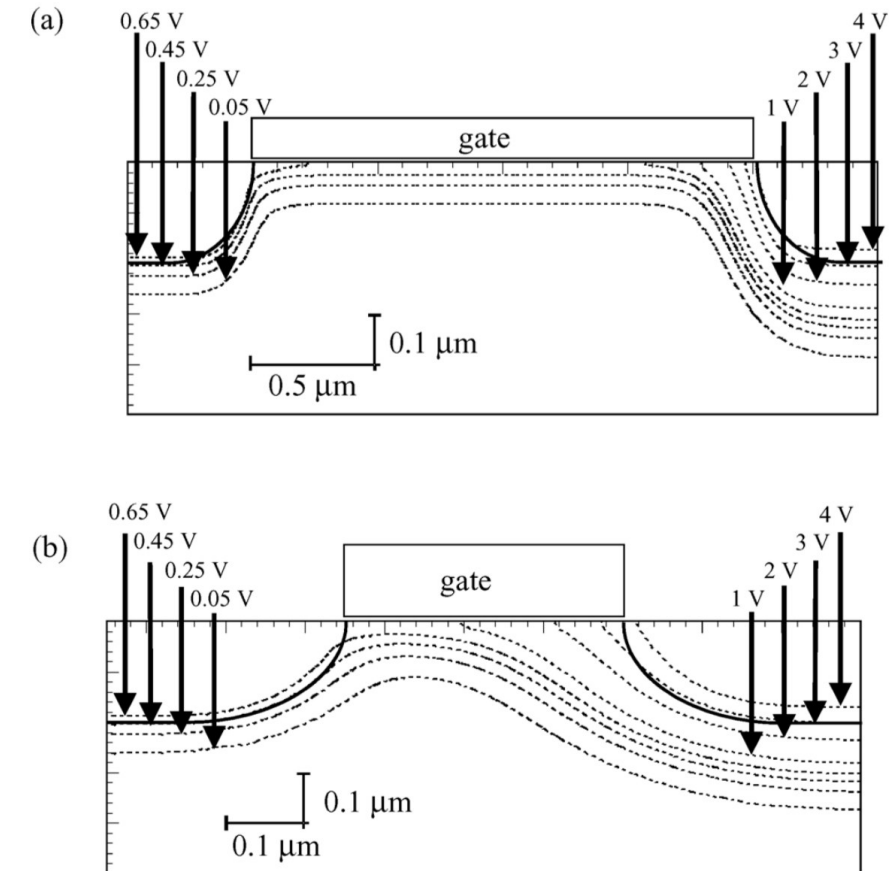
Cause Fisiche

In un transistor a canale corto il profilo del campo elettrico non è più lineare ma; la bidimensionalità è dovuta alla vicinanza delle zone di svuotamento di drain e source.



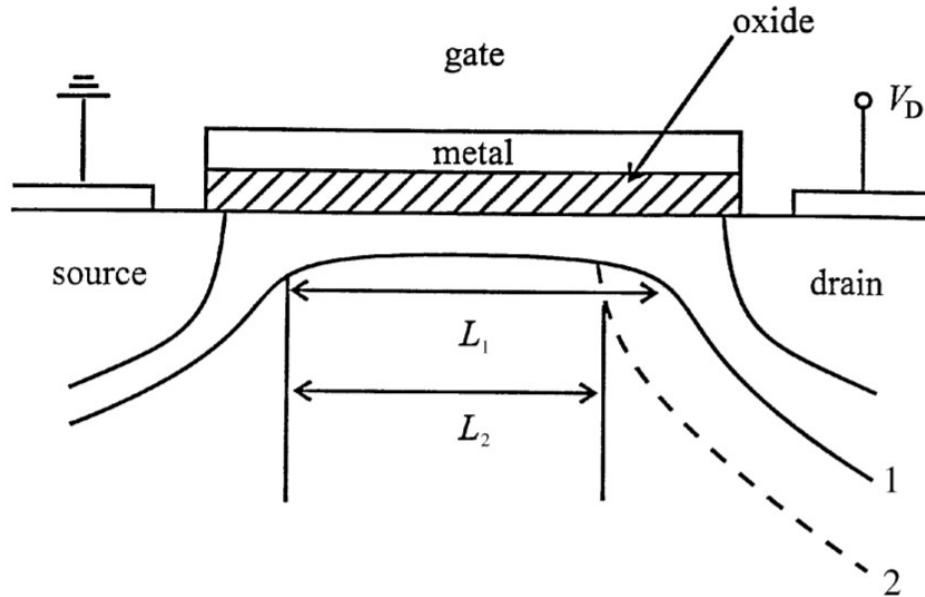
- Riduzione della carica totale sotto al gate
- Riduzione della tensione di soglia
- Riduzione della barriera di potenziale tra source e drain
- Riduzione della mobilità:

$$\mu = \frac{\mu_0}{1 + \theta(V_{GS} - V_T)}$$



Cause fisiche

Aumento del campo elettrico nel canale da 100 kV/cm per un a 400 kV/cm.



- Saturazione nella velocità dei portatori
- Iniezione di portatori caldi all'interno dell'ossido di gate

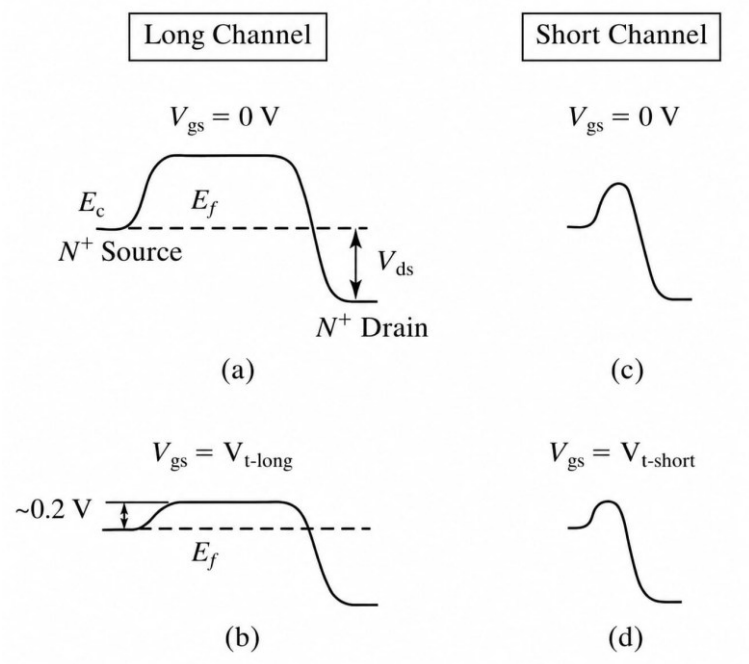
La riduzione della lunghezza di canale oltre all'effetto di *punchthrough* porta a una relazione sulla **modulazione di canale** ottenendo la relazione:

$$I_D = \frac{I_0 L}{L - \Delta L}$$

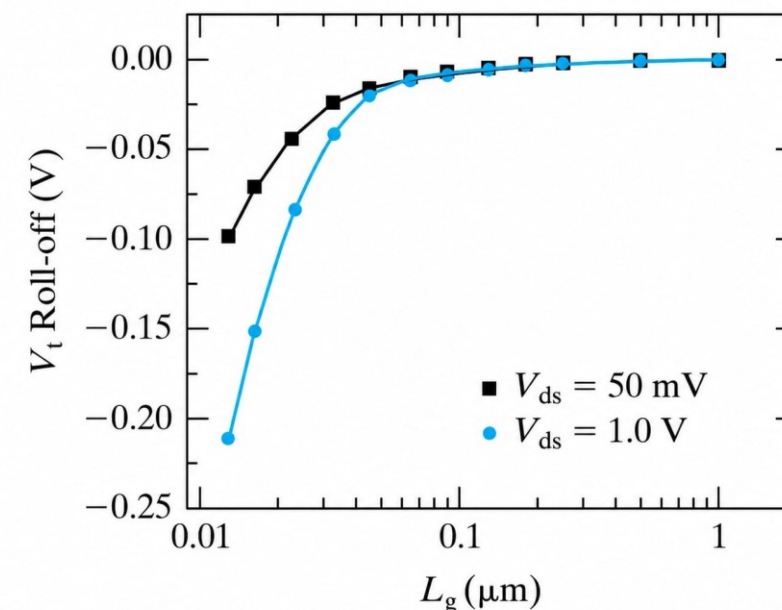
Effetti principali DIBL e Subthreshold leakage

$$I_{off}(nA) = 100 \frac{W}{L} \exp\left(-\frac{V_T}{S}\right)$$

tende ad aumentare a causa della **riduzione della tensione di soglia**

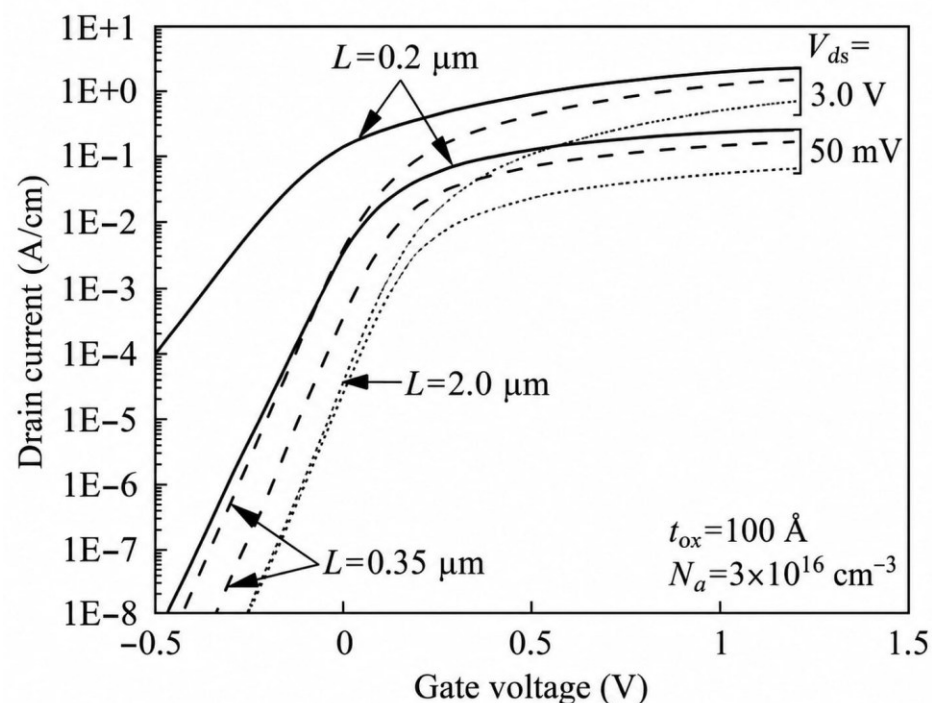


In dispositivi a canale lungo la barriera è di circa 0.2 V; nel caso di dispositivi a canale serve una tensione di soglia minore per raggiungere la barriera di 0.2 V



Effetti principali

DIBL e Subthreshold leakage



Diminuendo la lunghezza di canale, le linee di campo di source e drain penetrano nel canale abbassando la barriera di potenziale e diminuendo la tensione di soglia.

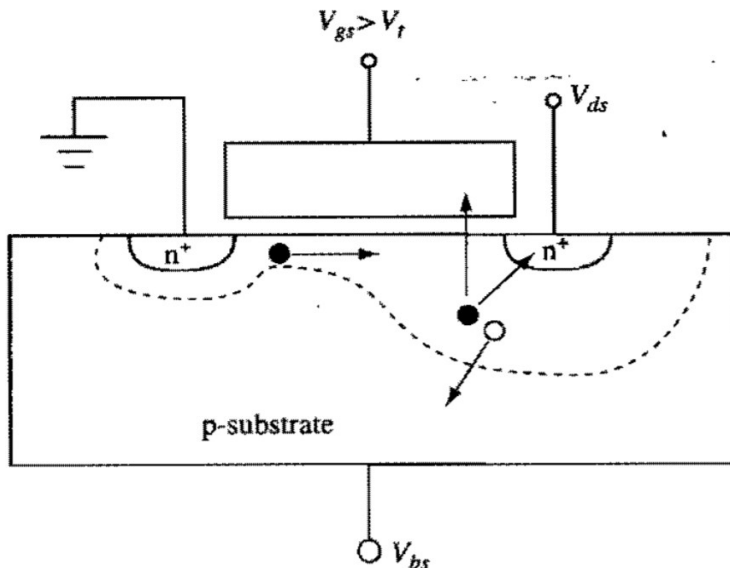


Questo effetto prende il nome di *drain-induced barrier lowering*, **DIBL**, e spiega l'aumento esponenziale della corrente di sottosoglia in dispositivi a canale corto.

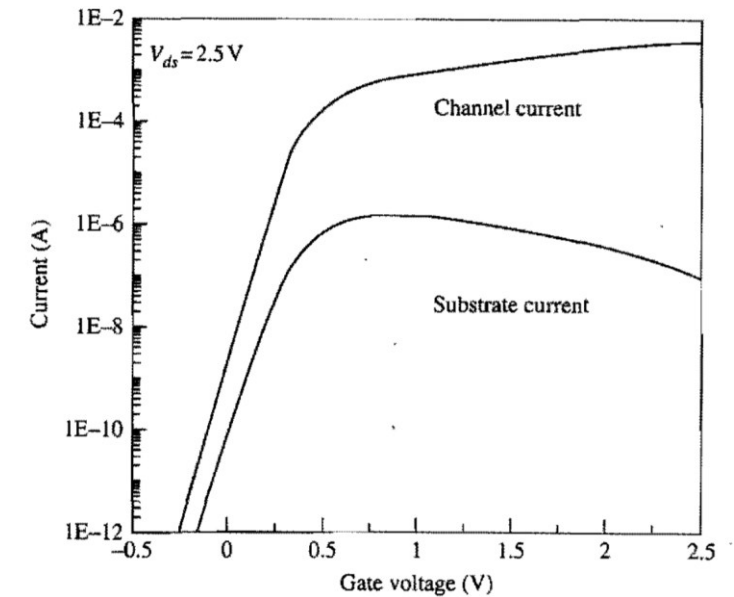
Effetti principali

Effetto dei portatori caldi

Gli elettroni in prossimità del drain possono essere accelerati a tal punto da avere un impatto ionizzante col reticolo. L'elettrone rientra nella corrente di drain, la lacuna viene invece 'risucchiata' verso il substrato a formare una corrente di substrato.



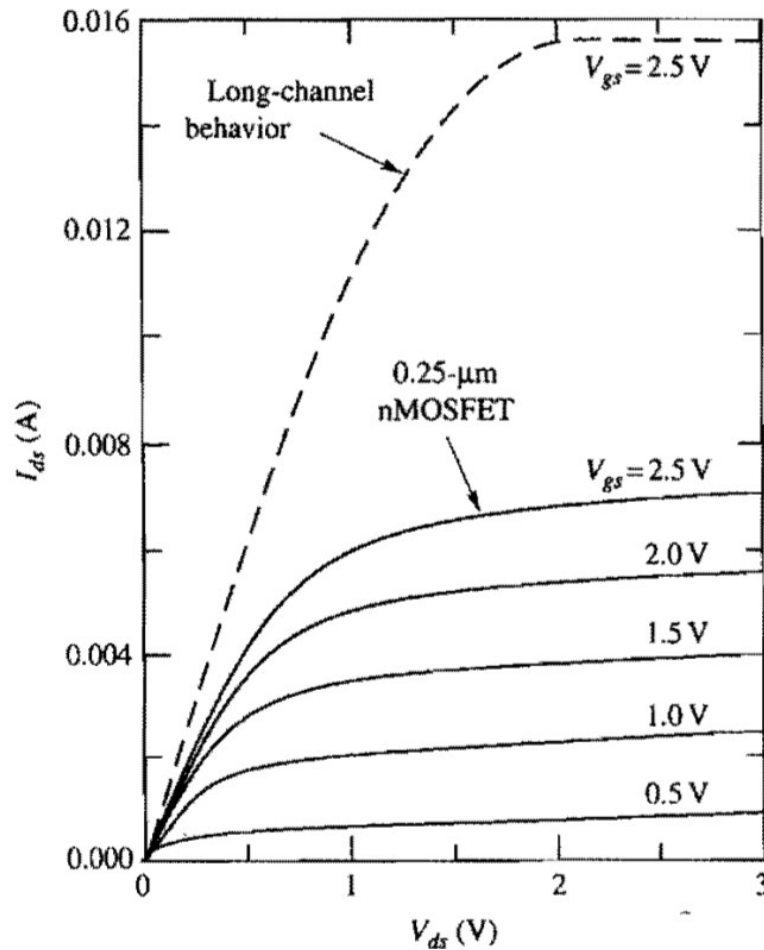
Alcuni elettroni del canale possono diventare caldi penetrare nell'ossido di gate e contribuendo alla variazione della tensione di soglia e a una corrente di gate che si somma alla totale corrente del dispositivo.





Effetti principali

Saturazione della velocità dei portatori



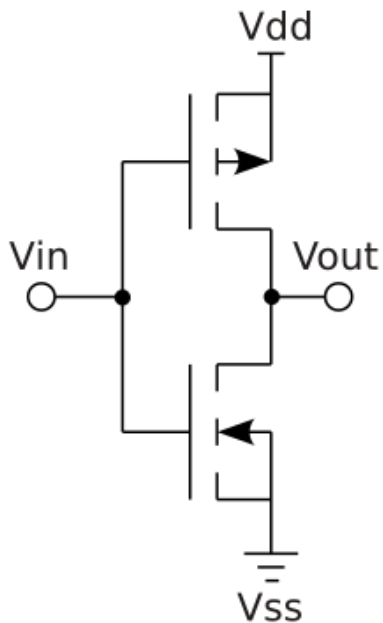
Il campo elettrico nel canale raggiunge il suo valore critico E_c e gli elettroni si muovono a velocità costante che ha un ordine di circa 10^7 cm/s.



La saturazione della velocità influenza anche il valore della corrente che diventa:

$$I_D = \frac{I_0}{1 + \frac{V_{DS}}{E_c L}}$$

Effetti dello scaling sulle porte logiche

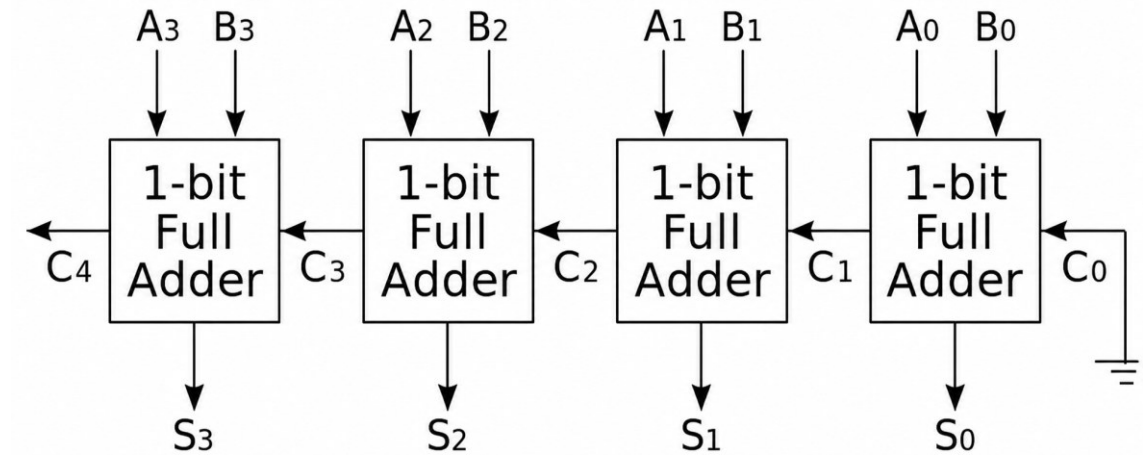


Gli SCE alterano notevolmente il normale comportamento del circuito, infatti:

- I DIBL fanno **perdere il controllo sul canale**.
- Gli elevati valori di campo elettrico comportano **la saturazione della velocità dei portatori** e un **valore minore della corrente di saturazione**.

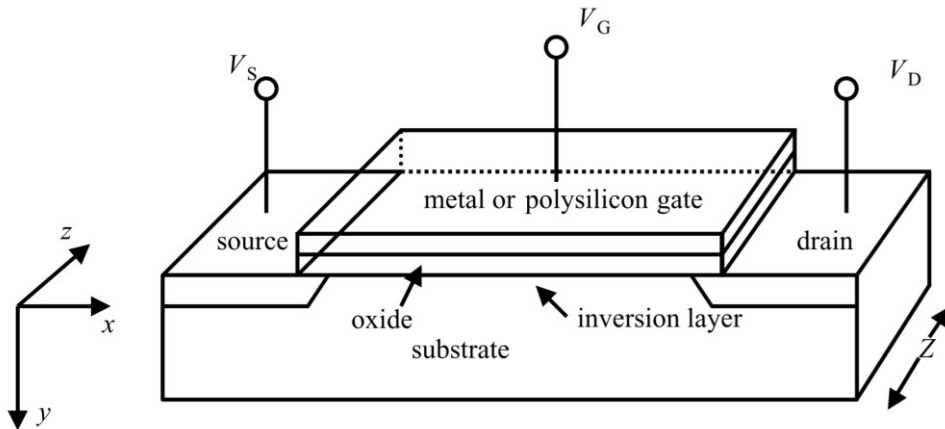


Queste tecnologie risultano quindi estremamente inaffidabili nel lungo periodo a causa del loro facile deterioramento.



Soluzione agli Effetti di Short-Channel

Tecnologie ad ossido sottile



La principale problematica dovuta agli SCE è la perdita di controllo sul gate; il gate esercita il controllo sul canale tramite il campo elettrico che è direttamente proporzionale alla capacità di ossido data dalla relazione:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

L'industria è quindi passata a **dielettrici ad alta permittività**: high- κ come il biossido di afnio: HfO_2 : vale quindi la relazione:

$$t_i = \frac{\epsilon_i}{\epsilon_{ox}} \cdot t_{ox}$$

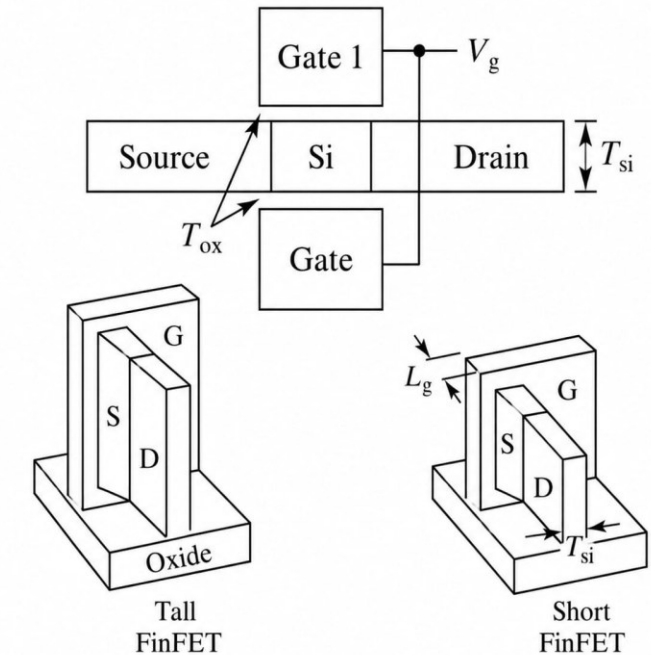
Soluzione agli Effetti di Short-Channel

Tecnologie multi-gate: i Fin-FET

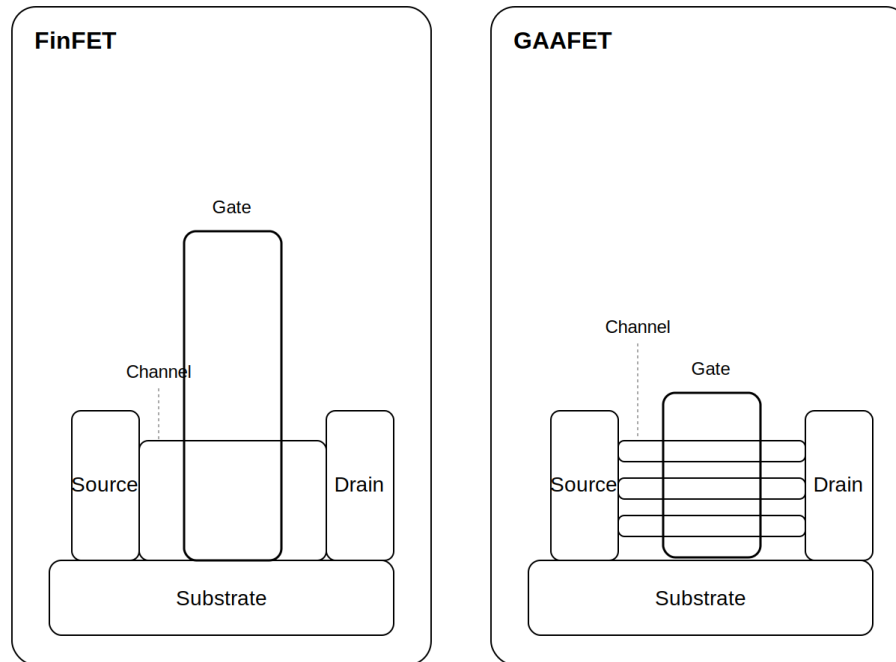
Un'altra soluzione agli SCE è l'impiego di **tecnologie multi-gate** come i FinFET che forniscono maggiore controllo sul canale.

Possono essere quindi di due tipi:

- **Tall FinFET** che permettono di avere una considerevole corrente in saturazione occupando poco spazio.
- **Small FinFET** che agevolano i processi di etching e litografia.



Conclusioni



Lo scaling del MOSFET è un argomento centrale nell'elettronica digitale che mira a rendere i dispositivi sempre più piccoli e affidabili.

Le strutture multi-gate hanno quindi aperto la strada ad architetture del MOSFET non più planari ma in tre dimensioni come l'ultimo **GAA-FET**.

1. Kevin F. Brennan. *Introduction to Semiconductor Devices*. Cambridge: Cambridge University Press, 2005.
2. R. Degraeve et al. “*Relation between breakdown mode and breakdown location in short channel NMOSFETs and its impact on reliability specifications*”. In: Proceedings of the IEEE International Reliability Physics Symposium (IRPS). Orlando, FL, 2001, pp. 360–366. doi: 10.1109/RELPHY.2001.922928.
3. R. H. Dennard et al. “*Design of ion-implanted MOSFETs with very small physical dimensions*”. In: IEEE Solid-State Circuits Magazine 12.1 (2007), pp. 38–50. doi: 10.1109/N-SSC.2007.4785543.
4. Norman G. Einspruch and Gennady Sh. Gildenblat. *Advanced MOS Device Physics*. Vol. 18. VLSI Electronics: Microstructure Science. San Diego: Academic Press, 1989. isbn: 978-0122341186.
5. Chenming Calvin Hu. *Modern Semiconductor Devices for Integrated Circuits*. Upper Saddle River, NJ: Prentice Hall, 2010.
6. P. E. Nicollian et al. “*nMOS Short Channel Device Characteristics After Soft Oxide Breakdown and Implications for Reliability Projections and Circuits*”. In: IEEE Transactions on Electron Devices 61.1 (2014), pp. 6672. doi: 10.1109/TED.2013.2292551.
7. T. H. Ning. “*A perspective on the theory of MOSFET scaling and its impact*”. In: IEEE Solid-State Circuits Magazine 12.1 (2007), pp. 27–30. doi: 10.1109/N-SSC.2007.4785538.
8. Jan M. Rabaey, Anantha Chandrakasan, and Borivoje Nikolic. *Circuiti Integrati Digitali: L’ottica del progettista*. Milano: Pearson, 2016.
9. Adel S. Sedra and Kenneth C. Smith. *Circuiti per la microelettronica*. Milano: McGraw-Hill, 2010.
10. Yuan Taur and Tak H. Ning. *Fundamentals of Modern VLSI Devices*. 2nd ed. Cambridge: Cambridge University Press, 2013.
11. Yannis Tsividis. *Operation and Modeling of the MOS Transistor*. 2nd ed. New York: Oxford University Press, 1999.