

Anno accademico 2011/2012



Università degli studi di Padova

Facoltà di Ingegneria

Dipartimento di Ingegneria dell' Informazione

**Analisi dei fenomeni di intrappolamento su dispositivi HEMT su GaN
con diverso profilo di Fe-doping nel buffer**

Relatore: Prof. Zanoni Enrico

Correlatore: Phd Antonio Stocco

Laureando: Federico Torresan

*Alla famiglia che ha creduto in me in questa impresa
e mi ha sostenuto fino alla fine.*

*Ai “compagni di viaggio” che hanno mitigato lo stress
che comporta un'esperienza universitaria.*

Agli amici che hanno compreso qualche mio sacrificio in questi anni.

Indice

| | |
|--|-----|
| Introduzione..... | 6 |
| Obbiettivi..... | 7 |
| Sommario..... | 8 |
| Il Nitruro di Gallio..... | 10 |
| 1.1 Struttura reticolare..... | 10 |
| 1.2 Struttura a bande..... | 12 |
| 1.3 Proprietà elettriche..... | 13 |
| 1.4 Polarizzazione spontanea e piezoelettrica..... | 15 |
| 1.5 I substrati..... | 16 |
| 1.6 Processi di crescita..... | 17 |
| 1.6.1 MOCVD..... | 18 |
| 1.6.2 MBE..... | 19 |
| HEMT..... | 20 |
| 2.1 Struttura dell'HEMT su GaN..... | 20 |
| 2.2 Effetti della polarizzazione piezoelettrica e spontanea..... | 22 |
| 2.3 Fenomeni di intrappolamento negli HEMT..... | 27 |
| 2.5 Fenomeni di degrado..... | 34 |
| 2.6 Contatti metallo-semiconduttore in un HEMT..... | 36 |
| 2.7 Fe-doping [18] [19]..... | 38 |
| Fenomeni di trapping..... | 41 |
| 3.1 Teoria Shockley-Hall-Read..... | 41 |
| 3.2 Effetto delle trappole sulla giunzione PN..... | 42 |
| 3.3 Effetto delle trappole su dispositivi HEMT..... | 42 |
| 3.4 Come le misure Double-Pulse sollecitano il trapping..... | 44 |
| Sistemi di misurazione..... | 45 |
| 4.1 Misure DC..... | 45 |
| 4.2 Misure di foto-emissione..... | 47 |
| 4.3 Misure dinamiche..... | 47 |
| 4.5 Misure CV..... | 51 |
| Descrizione dei dispositivi..... | 52 |
| 5.1 Wafer..... | 53 |
| 5.2 Dispositivi..... | 56 |
| Studio dei fenomeni di trapping..... | 59 |
| 6.1 Misure al double-pulse..... | 59 |
| 6.2 Sequenza Double-Pulse – relax – DC..... | 66 |
| 6.2.1 Procedura..... | 66 |
| 6.2.2 Risultati DC intermedie al DP..... | 68 |
| 6.2.3 Osservazioni..... | 80 |
| 6.3 Analisi con misure double-pulse doppie..... | 81 |
| 6.3.1 Procedura..... | 81 |
| 6.3.2 Risultati..... | 83 |
| 6.3.3 Osservazioni..... | 107 |

| | |
|--|-----|
| Misure di affidabilità mediante Step-stress..... | 109 |
| 7.1 Procedura..... | 109 |
| 7.2 Risultati..... | 111 |
| 7.3 Osservazioni..... | 123 |
| Conclusioni..... | 124 |
| 8.1 Principali risultati..... | 124 |
| 8.2 Ipotesi sulle osservazioni effettuate..... | 124 |
| 8.3 Attività future..... | 125 |
| Bibliografia..... | 127 |

Introduzione

Negli ultimi anni, il mercato delle telecomunicazioni ha avuto un grande sviluppo, spinto dalla ricerca e dallo sviluppo di prodotti con prestazioni sempre migliori, caratterizzati da una tecnologia molto avanzata anche nel ramo del largo consumo. Lo sviluppo delle comunicazioni satellitari e la rapida diffusione dei telefoni cellulari di ultima generazione si sono rivelate un'efficace rampa di lancio verso il potenziamento delle tecnologie esistenti e verso nuove strutture e tecniche per soddisfare le necessità di queste forme di comunicazione sempre crescenti; tali esigenze di mercato spingono l'ingegneria a ridimensionare (ancora una volta) le specifiche dei dispositivi, in particolare la velocità di trasferimento, le dimensioni dei dispositivi e la conseguente potenza dissipata con l'ovvia necessità di riduzione dei prezzi.

La tecnologia del Silicio, ormai arrivata al limite, non permette più di raggiungere nuovi obiettivi. La ricerca si sta, perciò, muovendo verso lo studio di nuovi materiali e di nuove strutture che rimpiazzino il silicio in determinate applicazioni: sono stati fatti, negli ultimi anni, grandi investimenti sui materiali composti, ad esempio l'Arseniuro di Gallio (GaAs), impiegato per la realizzazione di MESFET e MODFET (dispositivi a etero-struttura intenti a lavorare ad alte frequenze), ma ancora non si è soddisfatti sulle caratteristiche di banda e potenza. L'alternativa presa in considerazione oggi è il Nitruro di Gallio (GaN).

Tale materiale, fino a poco tempo fa non era nemmeno considerato un semiconduttore dato l'elevato energy-gap, ma la necessità di lavorare con elevate tensioni ha spinto l'ingegneria a rivalutare questa caratteristica; inoltre, altre caratteristiche fisiche, come l'elevata velocità di saturazione degli elettroni e l'elevata mobilità di questo materiale, consentono di raggiungere elevati campi elettrici di break-down e altissime frequenze di lavoro.

Il Nitruro di Gallio offre, inoltre, la possibilità di formare etero-strutture, consentendo la realizzazione di HEMT (High Electron Mobility Transistor); tale tecnologia sembra oggi presentarsi come la più promettente per le future applicazioni nel campo delle alte frequenze e alte potenze.

Questi dispositivi consentono di sfruttare le buone caratteristiche del GaN, come la possibilità di gestire elevate tensioni e correnti con la possibilità di creare canali ad elevatissima concentrazione di portatori e con un'elevata mobilità priva di problemi di scattering (data l'assenza di drogante), al fine di ottenere dispositivi con alte densità di corrente, ridotte resistenze di canale e alto SNR, fondamentali per applicazioni in radiofrequenza.

L'etero-struttura classica per la realizzazione di HEMT è la giunzione AlGaN/GaN, che permette delle ottime prestazioni in termini di correnti e tensioni massime gestibili, ma risente di problemi di affidabilità non ancora del tutto risolti.

Altre soluzioni, tutt'ora in fase di studio, sono HEMT basati su diverse etero-strutture come la giunzione InAlN/GaN o AlN/GaN.

Obbiettivi

Le misurazioni da me effettuate in questa esperienza di tesi presso i laboratori di microelettronica, sono un tassello dell'attività di ricerca svolta a Padova all'interno del progetto europeo denominato Progetto Manga, sul quale collaborano diverse aziende, Università e centri di ricerca europei.

Tale progetto si pone come obiettivo quello di sviluppare e realizzare dispositivi su GaN totalmente prodotti in Europa (dal substrato al processo superficiale al packaging) per uso militare.

La mia esperienza, invece, si pone come obiettivo quello di ottenere informazioni su ciò che comporta il drogaggio di ferro nello strato buffer: in particolare verranno studiati, con specifici sistemi di misura, i fenomeni di intrappolamento su diversi dispositivi forniti da Selex a diversa concentrazione e profilo di drogante, e l'affidabilità.

Lo scopo è dunque ottenere osservazioni sufficienti per comprendere quali meccanismi fisici vengono attivati.

Sommario

Capitolo 1: Vengono descritte e analizzate le principali caratteristiche del Nitruro di Gallio: questo innovativo materiale che sta alla base dei dispositivi HEMT studiati.

Si parlerà della struttura del reticolo e delle proprietà elettriche, nonché dei vantaggi che spingono ad impiegare questo semiconduttore nel settore delle telecomunicazioni.

E', inoltre, riportata una breve introduzione sulle procedure di crescita del materiale, nonché delle problematiche che comporta il mismatch reticolare tra GaN e substrato.

Capitolo 2: Viene introdotto il funzionamento dell'HEMT su GaN; in particolare, si evidenzieranno maggiormente i benefici derivanti dalle caratteristiche di polarizzazione del GaN. Vengono inoltre descritte le principali cause di degrado e i fenomeni di intrappolamento su tale tecnologia, che comportano una riduzione delle prestazioni dei dispositivi, nonché delle ottimizzazioni sul dispositivo per mitigare tali effetti indesiderati.

Capitolo 3: Viene approfondito, con il sostegno di un modello teorico, il fenomeno di intrappolamento, al fine di comprendere meglio lo scopo delle misure, con l'obiettivo di enfatizzare quei meccanismi che alterano lo stato delle trappole nonché le prestazioni dinamiche dei dispositivi.

Capitolo 4: Viene riportata una descrizione dei principali sistemi di misura di cui è fornito il nostro laboratorio di microelettronica.

Capitolo 5: Viene riportata una descrizione dei dispositivi su cui sono state effettuate le misurazioni.

Capitolo 6: Studio dei fenomeni di intrappolamento; risultati ottenuti e osservazioni.

Capitolo 7: Affidabilità dei dispositivi; risultati ottenuti e analisi del degrado

Capitolo 8: Conclusioni

Capitolo 1

Il Nitruro di Gallio



Figura 1.0: Cristallo di Nitruro di Gallio

Il Nitruro di Gallio (GaN) è un semiconduttore composto, costituito da un elemento del III gruppo, il Gallio(Ga), ed uno del V gruppo, l'Azoto(N). Dato il suo elevato energy-gap diretto, 3.4eV, ha trovato impiego negli anni '90 nella realizzazione di dispositivi optoelettronici, per essere poi inserito in applicazioni elettroniche che richiedono larga banda e elevata potenza: tale materiale, infatti, risulta essere molto più resistente del Arseniuro di Gallio(GaAs) alle alte temperature e alle alte tensioni, e più stabile in condizioni di alta radiazione, ideale per impieghi spaziali e militari.

In questo capitolo, si riportano le proprietà chimiche e fisiche di questo materiale: partiremo analizzandone il reticolo cristallino per poi confrontare i suoi parametri elettrici con altri semiconduttori.

1.1 Struttura reticolare

A temperatura ambiente, il Nitruro di Gallio lo si trova in due strutture cristalline: *zincoblenda* e *wurtzite* raffigurate di seguito:

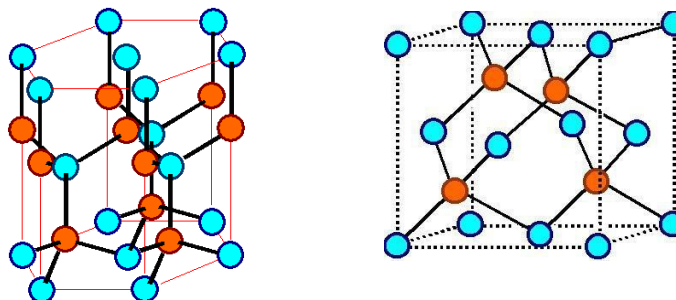


Figura 1.1.1: Strutture cristalline *wurtzite* (sinistra) e *zincoblenda* (destra). I pallini blu rappresentano gli atomi di Gallio (Ga), quelli rossi gli atomi di Azoto(N)

Il Nitruro di Gallio

Tra le due, struttura che più interessa la microelettronica nella realizzazione di dispositivi ad alta mobilità è la *wurtzite* (più stabile termodinamicamente).

In condizioni di equilibrio, il GaN cristallizza solo in una struttura *Wurtzite*, inoltre, il cristallo in una struttura *Zincoblenda* è più predisposto a lattice-mismatch quindi a difetti.

| Crystal Structure | Wurtzite | Zinc Blende |
|--|----------------------|----------------------|
| Static dielectric constant | 8.9 | 9.7 |
| High frequency dielectric constant | 5.35 | 5.3 |
| Electron affinity (ev) | 4.1 | 4.1 |
| Lattice constants | a=3.189, c=5.186 | 4.52 |
| Energy gap | 3.4 | 3.2 |
| Effective conduction band density of state (cm ⁻³) | 2.3×10 ¹⁸ | 1.2×10 ¹⁹ |
| Effective valence band density of state (cm ⁻³) | 4.6×10 ¹⁹ | 4.1×10 ¹⁹ |
| Electrical properties | | |
| Breakdown field (MV/cm) | 4 | 4 |
| Hole mobility (cm ² V ⁻¹ s ⁻¹) | 200 | 350 |
| Electrons mobility | 1000 | 1000 |
| Hole thermal velocity | 9.4×10 ⁴ | 9.5×10 ⁴ |
| Electron thermal velocity | 2.6×10 ⁵ | 3.2×10 ⁵ |

Tabella 1.1.1: Confronto dei parametri del GaN nelle due strutture cristalline

Essendo molto compatta, la struttura *Wurtzite* del GaN consente di ottenere cristalli a elevato energy-gap; le forze che costituiscono il legame chimico tra gli elementi sono molto forti, tale caratteristica rende il materiale resistente ad attacchi chimici e a dislocazioni.

Le ottime proprietà fisiche e elettriche di questo materiale sono controbilanciate da grosse difficoltà di realizzazione del cristallo, il che comporta alti costi di produzione.

1.2 Struttura a bande

A seconda della struttura cristallina, il GaN presenta il seguente diagramma a bande:

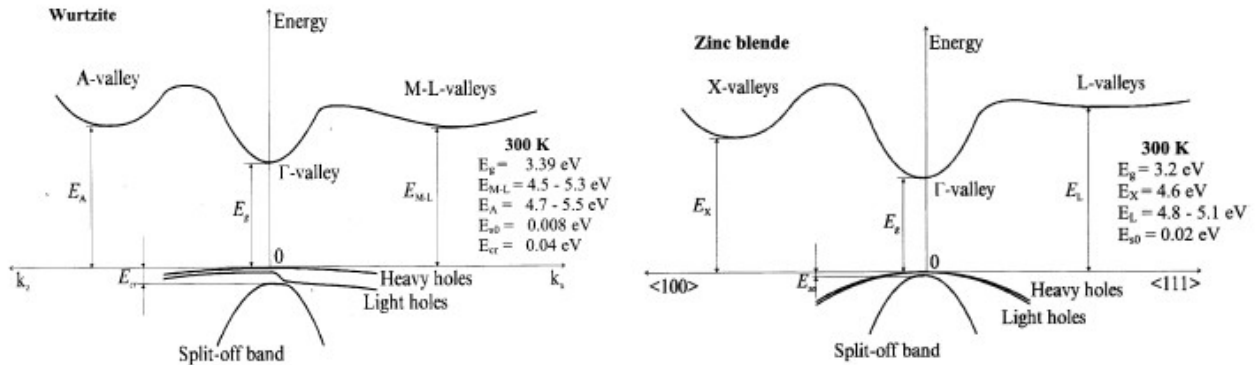


Figura 1.2.1: diagramma a bande del GaN nelle due strutture cristalline

I grafici rappresentano il livello energetico delle bande di conduzione e di valenza in relazione alla quantità di moto degli elettroni-lacune nelle direzioni $\langle 100 \rangle$ e $\langle 111 \rangle$ del cristallo.

Come si osserva, il GaN è un semiconduttore a gap diretto, ideale per applicazioni in optoelettronica, dove si richiede che i processi di generazione e ricombinazione abbiano elevata probabilità.

L'elevato energy-gap consente la realizzazione di dispositivi emettitori di luce con lunghezza d'onda nel violetto: il GaN, infatti, sta alla base dei laser per lettori blu-ray.

Il seguente grafico lascia intuire il largo impiego del GaN nel campo dell'optoelettronica: modulando il materiale con Indio, infatti, si possono ottenere le strutture che stanno alla base dei diodi emettitori di luce con lunghezze d'onda compresa tra il violetto e il verde.

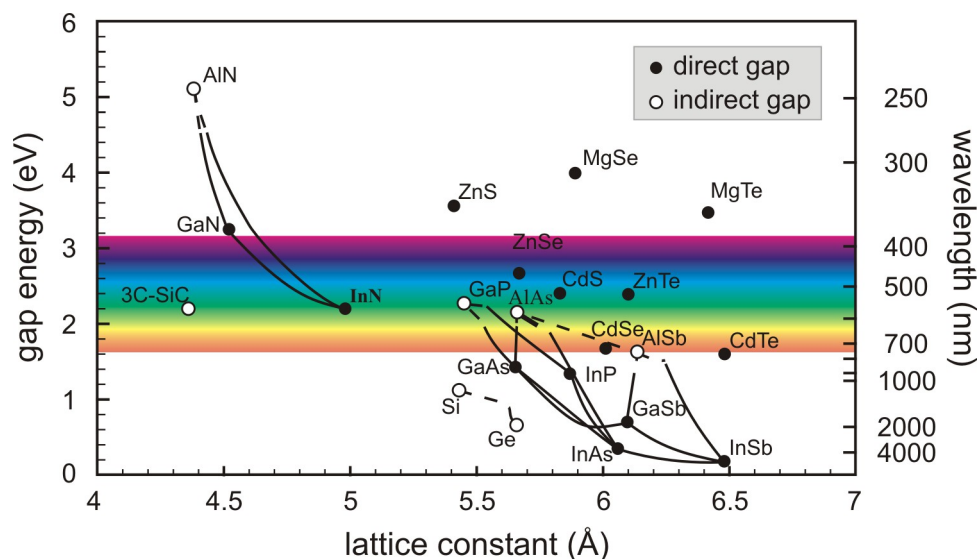


Figura 1.2.2: Energy gap e corrispondente lunghezza d'onda dei vari semiconduttori composti in funzione della costante reticolare

1.3 Proprietà elettriche

Le peculiarità elettriche che costituiscono i punti di forza del Nitruro di Gallio sono riassunte nella seguente **Tabella 1.3.1** di confronto con altri semiconduttori noti:

| | Si | GaAs | InP | 4H-SiC | GaN | Diamante |
|----------------------|------|------|------|---------|-----------|----------|
| $E_g(eV)$ | 1,1 | 1,42 | 1,35 | 3,26 | 3,39 | 5,45 |
| ϵ_r | 11,8 | 13,1 | 12,5 | 10 | 9 | 5,5 |
| $\mu_n(cm^2/Vs)$ | 1350 | 8500 | 5400 | 700 | 1200-2000 | 1900 |
| $v_{sat}(10^7 cm/s)$ | 1 | 1 | 1 | 2 | 2,5 | 2,7 |
| $E_{br}(MV/cm)$ | 0,3 | 0,4 | 0,5 | 3 | 3,3 | 5,6 |
| $\theta(W/cmK)$ | 1,5 | 0,43 | 0,7 | 3,3-4,5 | 1,3 | 20 |
| JM | 1 | 2,7 | | 20 | 27,5 | 50 |

Tabella 1.3.1: Confronto delle proprietà elettriche in vari semiconduttori[1]

Dal confronto dei parametri riportati si traggono le seguenti conclusioni: l'alto campo elettrico di break-down consente di ridurre le dimensioni dei dispositivi a parità di tensione applicata o di aumentare le tensioni a parità di dimensioni.

L'alta conducibilità termica (rispetto al GaAs) e l'elevato energy-gap inoltre, rende stabile il comportamento del dispositivo ad alta temperatura, il che costituisce un punto a favore per applicazioni ad alta potenza e basso rumore termico.

La bassa mobilità degli elettroni rispetto al GaAs implica una bassa velocità dei portatori per bassi campi elettrici: questo punto a sfavore è controbilanciato da un'alta velocità di saturazione dei portatori, caratteristica ideale per l'impiego come amplificatore RF in cui il dispositivo risulta polarizzato.

La **Figura 1.3.1** mette a confronto le varie velocità dei portatori nei vari materiali in relazione al campo elettrico.

Il parametro JM quantifica la predisposizione del materiale per impieghi ad alta potenza-frequenza: il suo valore è proporzionale al prodotto $E_{br} * v_{sat}$: si noti che per il GaN tale parametro è ben 10 volte superiore a quello del concorrente GaAs, confermandosi come materiale alternativo in questi campi di funzionamento.

La **Figura 1.3.2** mette in scala i 5 principali vantaggi elettrici della tecnologia GaN con il GaAs e Si.

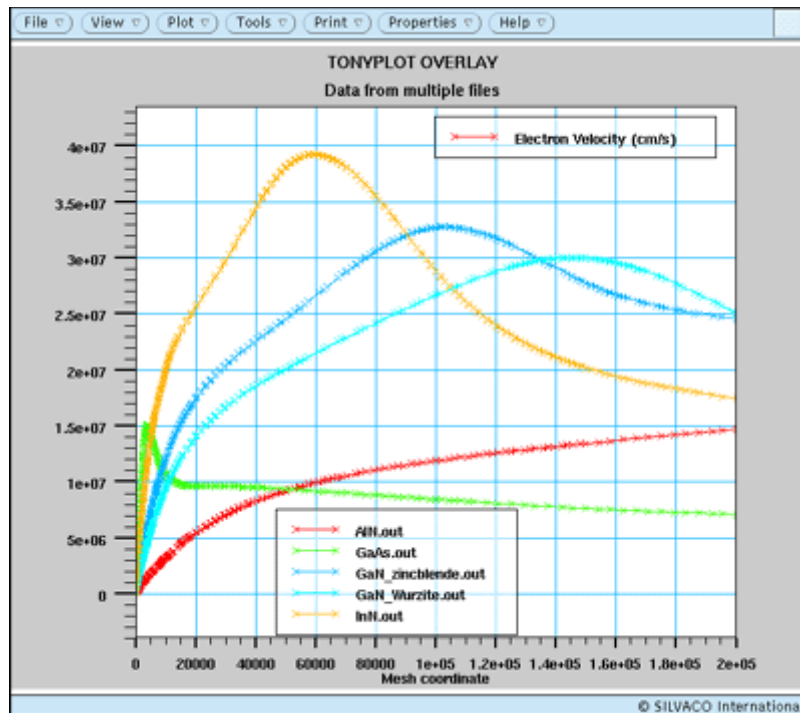


Figura 1.3.1: Velocità degli elettroni raggiunte in vari semiconduttori

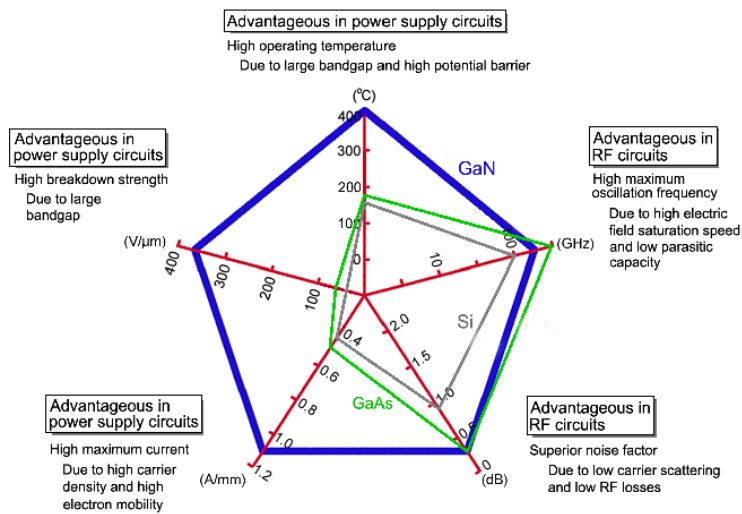


Figure 1.3.2: Relazione tra le varie caratteristiche elettriche di GaN, GaAs e Si

1.4 Polarizzazione spontanea e piezoelettrica

Uno degli aspetti più importanti del GaN, è la sua forte polarizzazione spontanea; a seconda di come il cristallo viene cresciuto esso presenta un vettore di polarizzazione funzione del suo orientamento cristallografico.

Nell'ottica dell'ingegneria delle bande, questo aspetto è schematizzato ipotizzando una carica sulle facce del cristallo.

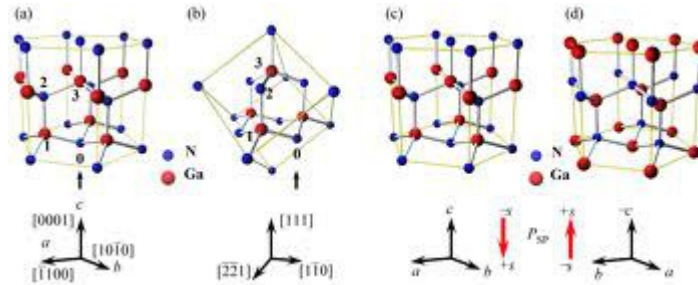


Figura 1.4.1: Polarizzazione spontanea del cristallo GaN

La seguente tabella riporta i valori (in modulo) del vettore di polarizzazione spontanea P_{sp} per il GaN e per AlN;

| | GaN | AlN | InN |
|-----------------|-------|-------|-------|
| $P_{sp}[C/m^2]$ | 0.029 | 0.081 | 0.032 |
| $P_{sp}[C/m^2]$ | 0.034 | 0.090 | 0.042 |

Tabella 1.4.1: Parametri di polarizzazione spontanea

Conoscendo la concentrazione di alluminio (x), è possibile ricavare il valore P_{sp} per l'AlGaN tramite la legge di Vegard:

$$P_{sp,AlGaN}(x) = xP_{sp,AlN} + (1-x)P_{sp,GaN}$$

Come approfondiremo in seguito, alla base di una struttura HEMT c'è un'eterostruttura, nel nostro caso AlGaN/GaN; sono quindi inevitabili, durante il processo di crescita del dispositivo, fenomeni di strain reticolare tra i due materiali all'interfaccia per diverse costanti reticolari.

Tali strain comportano degli strati trappola che implicano un'effetto di carica intrappolata; questo fenomeno di polarizzazione è piezoelettrico e può sommarsi al contributo di polarizzazione spontanea.

Il modulo del vettore di polarizzazione piezoelettrica può essere stimato secondo la seguente formula in base alle costanti reticolare:

$$P_{PZ} = 2 \frac{a - a_0}{a_0} \left(\epsilon_{31} - \epsilon_{33} \frac{C_{13}}{C_{33}} \right)$$

La seguente tabella riporta i valori dei parametri della polarizzazione piezoelettrica:

| Material | a | a ₀ | e ₁₃ | e ₃₃ | C ₁₃ | C ₃₃ |
|----------|-------|----------------|---------------------|---------------------|-----------------|-----------------|
| | [Å] | [Å] | [C/m ²] | [C/m ²] | [GPa] | [GPa] |
| GaN | 3.197 | 5.210 | -0.37 | 0.67 | 68 | 354 |
| AlN | 3.108 | 4.983 | -0.62 | 1.50 | 94 | 377 |
| InN | 4.580 | 5.792 | -0.45 | 0.81 | 70 | 205 |

Tabella 1.4.2: Parametri dalla polarizzazione piezoelettrica

A titolo di completezza si riporta come varia la concentrazione di carica indotta all'interfaccia AlGa_xN/GaN al variare della concentrazione di alluminio nello strato barriera considerando la somma dei contributi di polarizzazione spontanea e piezoelettrica; altri studi sulla polarizzazione sono rimandati al capitolo sugli HEMT.

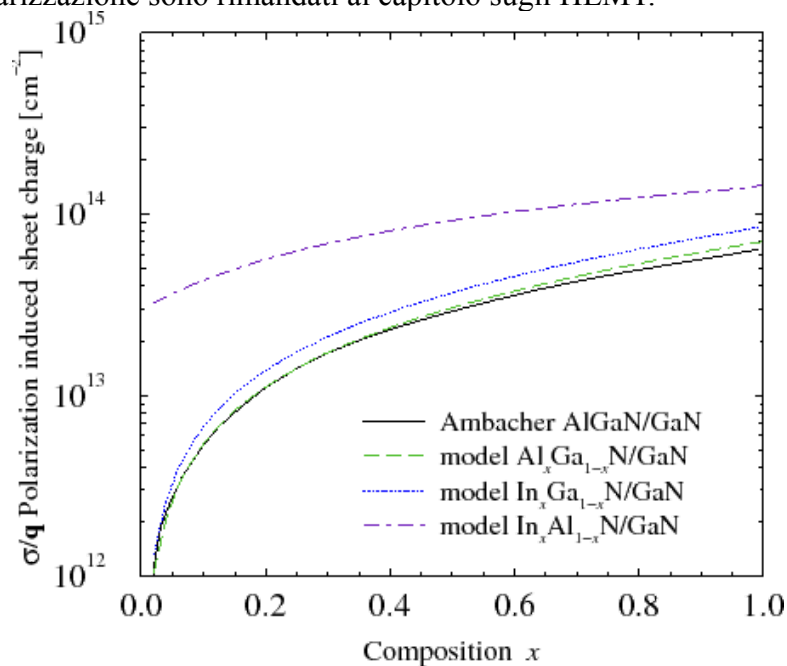


Figura 1.4.2: Concentrazione di carica indotta da polarizzazione in un interfaccia Al_xGa_{1-x}N/GaN

1.5 I substrati

Per problemi di fabbricazione e di costo, il mercato esclude la realizzazione di dispositivi basati sul Nitrato di Gallio su substrati dello stesso materiale, risulta dunque più conveniente crescere il GaN per epitassia su materiali diversi;

oltre al prezzo, altri fattori determinano la scelta del substrato: le costanti reticolari tra GaN e substrato, compresa la struttura esagonale, devono essere molto simili;

anche tra i coefficienti di dilatazione termica del reticolo non può esserci una grande discrepanza, in quanto, il processo di crescita del GaN necessita di alte temperature (circa 1000°C) e il rilassamento termico può, quindi, comportare dislocazioni all'interfaccia buffer-substrato.

L'impiego del GaN nella microelettronica ha dato impulso alla ricerca di nuovi materiali che rimpiazzassero il tradizionale substrato di Si; negli ultimi anni, i principali materiali alternativi adottati sono 6H-SiC e Al₂O₃ (carburo di silicio e zaffiro); si tiene a precisare però che, data la sua

economicità, per applicazioni che non richiedono una spinta idealità dell'interfaccia, il substrato al Si viene ancora preso in considerazione nonostante il notevole *lattice-mismatch* con il GaN. Dalle seguenti tabelle si possono dedurre gli abbinamenti buffer-substrato ottimali.

| Wurtzite | AlN | GaN | InN |
|------------------------|--------|--------|--------|
| $a_0(\text{Å})$ | 3,112 | 3,189 | 3,540 |
| $c_0(\text{Å})$ | 4,982 | 5,185 | 5,705 |
| c_0/a_0 | 1,601 | 1,627 | 1,612 |
| $P_{sp}(\text{C/m}^2)$ | -0,081 | -0,029 | -0,032 |

Tabella 1.5.1: parametri reticolari e polarizzazione spontanea dei vari semiconduttori composti V-III [4]

| | Al ₂ O ₃ | 6H-SiC | Si |
|--|--------------------------------|-----------|--------|
| Simmetria | esagonale | esagonale | cubica |
| $a_0(\text{Å})$ | 4,765 | 3,080 | 5,431 |
| $c_0(\text{Å})$ | 12,982 | 15,117 | - |
| Conducibilità termica (W/cmK) | 0,250 | 3,800 | 1,560 |
| Mismatch reticolare col GaN (%) | 15 | 3 | 17 |

Tabella 1.5.2: proprietà dei substrati usati per la crescita del GaN [5]

Come si può intuire, il Carburo di Silicio è quello che meglio soddisfa le caratteristiche di lattice-matching (circa 3% di mismatch rispetto il GaN), inoltre, consente delle ottime performance in potenza data l'elevata conducibilità termica; soffre però, di un processo di produzione complesso: non si riesce ancora a produrre strati sufficientemente puri e di grandi dimensioni a costi ridotti (i wafer oggi in commercio non superano i 50mm di raggio);

I principali vantaggi dello zaffiro stanno proprio nel minor costo e nella possibilità di ottenere wafer di dimensioni più grandi;

il mismatch reticolare però si discosta di circa il 15% rispetto quello del GaN e la conducibilità termica è decisamente bassa.

In molti casi si utilizza il Si, il quale presenta delle enormi comodità da un punto di vista costruttivo anche se il mismatch reticolare è molto alto.

In ogni caso, però, il problema dei difetti all'interfaccia, dovuti al mismatch buffer-substrato, può essere mitigato attraverso la deposizione di opportuni strati sottili detti *nucleation layer*, tipicamente in AlN o AlGaIn, che permettono di creare una graduale variazione delle dimensioni del reticolo e limitare la formazione di dislocazioni e gli stress del reticolo.

1.6 Processi di crescita

La crescita del GaN, come per qualunque altro semiconduttore composto, può avvenire per mezzo di due principali processi di produzione che prendono il nome di *Metal Organic Chemical Vapor Deposition* (MOCVD), *Molecular Beam Epitaxy* (MBE).

Queste sono le tecniche che nel corso degli ultimi anni sono state progressivamente migliorate in

Il Nitruro di Gallio

quanto le più idonee per la crescita di strati di materiali diversi con mismatch reticolare, con buone caratteristiche interfacciali e bassa concentrazione di difetti.

La principale differenza tra i due processi è che nel primo, MOCVD, la crescita epitassiale del cristallo avviene per mezzo di una reazione chimica tra reagenti mentre il secondo, il MBE, consiste in una deposizione fisica del materiale.

Nella crescita del GaN, i due processi presentano un'ulteriore differenza:

la tecnica MOCVD consente di realizzare strati di GaN con faccia superficiale di tipo Ga-face, ovvero, lo strato atomico su cui termina il layer è composto da atomi di Gallio;

l'MBE, invece, consente di realizzare strati di GaN con faccia superficiale di tipo N-face, ovvero lo strato atomico superficiale è composto da atomi di Azoto;

In genere, nella realizzazione di dispositivi, si privilegia la creazione di layer Ga-face;

Per ottenere facce Ga-face con l'MBE è necessario ricorrere a un ulteriore processo che consiste nella deposizione di un nucleation layer in AlN.

1.6.1 MOCVD

La MOCVD, acronimo di Metal Organic Chemical Vapor Deposition, è stata introdotta negli anni '90; fa parte delle tecniche di deposizione da fase vapore e si presta con successo alla crescita di film sottili di diverso materiale su substrati differenti, in particolare con semiconduttori III-V o II-VI.

Il sistema di crescita epitassiale consiste in una camera di riscaldamento dove i precursori che realizzano il wafer sono mantenuti a un valore di temperatura che dipende dal materiale che si vuole crescere: per il GaN tale temperatura è di 1000°C, per realizzare i *nucleation-layer* in AlN è 550°C.

Un sistema di rotazione impone una rotazione al substrato in modo da favorire l'omogeneità della deposizione.

Alla base del processo, una reazione in fase di vapore tra alcali del gruppo III con idruri del gruppo V fornisce gli elementi del semiconduttore composto.

Nella camera riscaldata vengono spinti idrogeno e azoto che servono a mantenere il film continuo e di buona qualità, assieme ai precursori che trasportano gli elementi da depositare;

si tratta del Trimetil-gallio (TMGa) che trasporta il Gallio, Trimetil-alluminio (TMAI) per l'alluminio e l'ammoniaca (NH₃) per l'azoto;

La reazione dei gas nella camera riscaldata comporta la formazione del cristallo sul substrato, il quale cresce riproducendo la stessa struttura reticolare.

La velocità di crescita è relativamente rapida, circa 3-4 um/ora, ma presenta dislocazioni con densità elevate di 10⁸-10⁹ cm⁻² dovute all'alta temperatura necessaria a rompere il legame N-H.

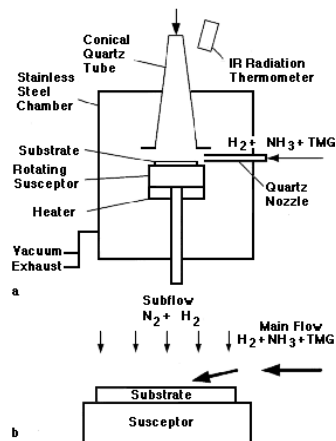


Figura 1.6.1: Schema a blocchi di un sistema MOCVD

1.6.2 MBE

Il processo MBE, acronimo di Molecular Beam Epitaxy, consiste nella crescita realizzata in una camera a vuoto sottoposta a riscaldamento dove risiedono i wafer di substrato; introdotto negli anni '70, questo metodo permette di eliminare gli svantaggi dovuti ad alte temperature, che implicano difetti; le reazioni sono semplici, ossia avvengono esclusivamente tra gli elementi necessari al materiale sotto forma di ioni o atomi; il flusso dei reagenti può essere inoltre regolato ed è possibile ed è possibile monitorare continuamente il processo di crescita.

I reagenti sono presenti in opportune *source cell* e vengono iniettati nella camera a vuoto attraverso *shutters* che ne controllano il flusso.

Le velocità di crescita varia tra 0.5-2 μ m/h; le temperature tipiche sono intorno ai 500-600°C e la pressione si aggira intorno a 10⁻¹⁰torr.

Il grosso svantaggio di questo metodo è il tempo di crescita molto lento; la MBE è quindi limitata a alle applicazioni che necessitano di elevata qualità del materiale e quindi, continuo monitoraggio della struttura cresciuta.

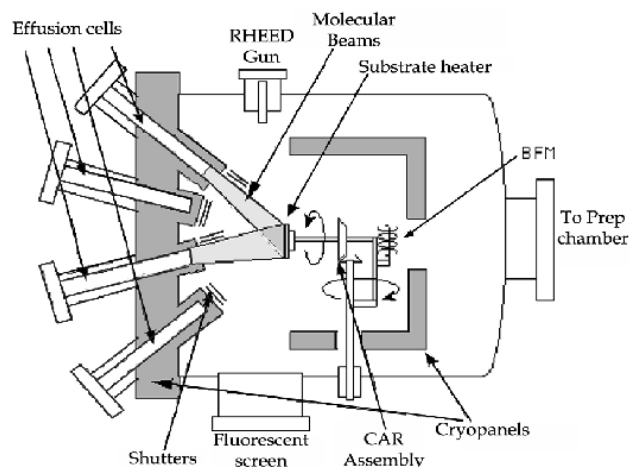


Figura 1.6.2: Schema a blocchi di un sistema MBE

Capitolo 2

HEMT

Gli HEMT (High Electron Mobility Transistor), o anche HFET (Heterostructure Field Effect Transistor), sono transistor a etero-struttura tra semiconduttori, tipicamente, con energy-gap differenti.

L'etero-struttura sta alla base del funzionamento di questi dispositivi: crescendo materiali con diverso energy gap, infatti, si ottengono interfacce canali bidimensionali (2DEG), con spessore nell'ordine delle decina di nanometri, in cui si ha una grande concentrazione di portatori liberi ad alta mobilità, fondamentali per il funzionamento dei transistor.

La possibilità di ottenere, tramite crescita epitassiale, elevate concentrazioni e mobilità dei portatori, consente di rinunciare al drogante, adottato nei tradizionali dispositivi FET; questo comporta una riduzione dei fenomeni di scattering e quindi, di rumore, aumentando la mobilità.

Combinando i vantaggi della struttura degli HEMT alle caratteristiche elettriche del GaN, è possibile realizzare dispositivi adatti per applicazioni che richiedono elevate potenze e larga banda.

2.1 Struttura dell'HEMT su GaN

Come introdotto, alla base del funzionamento dell'HEMT c'è l'etero-struttura; non tutti i semiconduttori, però, si prestano alla realizzazione di eterogiunzioni; il carburo di silicio, ad esempio, anch'esso dotato di alto energy gap), si presta solamente alla realizzazione di omogiunzioni con la possibilità di modulare il drogaggio (ad esempio era utilizzato per la realizzazione di MESFET) [2].

Il GaN, al momento, è il semiconduttore che più si presta, sia in termini di prestazioni che in termini di fabbricazione, nello sviluppo di HEMT, e promette di rimpiazzare il GaAs per la realizzazione di questi dispositivi.

Inoltre, grazie alla sua forte polarizzazione spontanea e piezoelettrica, è possibile ottenere alte concentrazioni nel canale 2DEG anche in assenza di drogante nello strato barriera.

La **Figura 2.1.1** riporta la struttura dell'HEMT di nostro interesse; come si nota dalla schematizzazione a bande, l'interfaccia AlGaN/GaN realizza la buca quantica 2DEG(Two Dimensional Electronic Gas) dove il movimento degli elettroni viene confinato planarmente secondo le regole della meccanica quantistica.

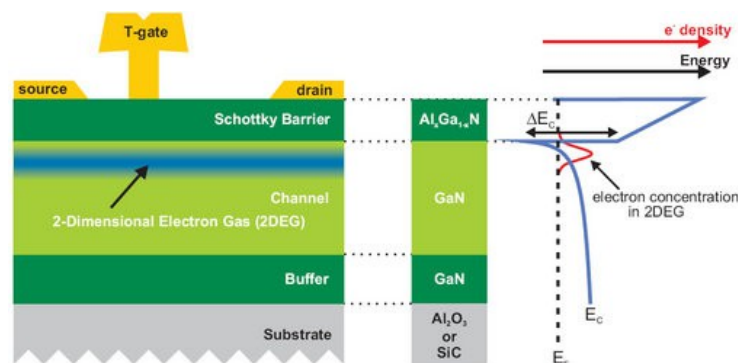


Figura 2.1.1: Struttura di un HEMT AlGa_N/Ga_N e rispettivo diagramma a bande

L'assenza di materiale drogante e di impurità nel Ga_N, consente agli elettroni confinati di avere elevata mobilità e fenomeni di scattering molto ridotti.

Ovviamente, quanto raffigurato in **Figura 2.1.1**, riporta la struttura standard dell'HEMT.

Non mancano, nei casi ad alte prestazioni, le ottimizzazioni: ad esempio, per ridurre il mismatch reticolare tra *GaN layer* e substrato, e quindi le imperfezioni del materiale, si inseriscono degli strati di "adattamento" di diversi materiali chiamati *nucleation layers* [3]; un ulteriore miglioramento può essere fatto inserendo un sottile strato di AlN all'interfaccia favorendo così il confinamento 2DEG e impedendo agli elettroni confinati di muoversi all'interno dello strato di barriera (AlGa_N).

Come è intuibile immaginare, l'efficienza del dispositivo è fortemente correlata dall'efficacia della buca di potenziale sulla quale si forma il canale 2DEG.

La **Figura 2.1.2** mostra la distribuzione statistica degli elettroni nei livelli energetici della buca quantica; dalle nozioni di meccanica quantistica, il carattere ondulatorio dell'elettrone, comporta una distribuzione dei portatori in una buca di potenziale in livelli energetici discreti;

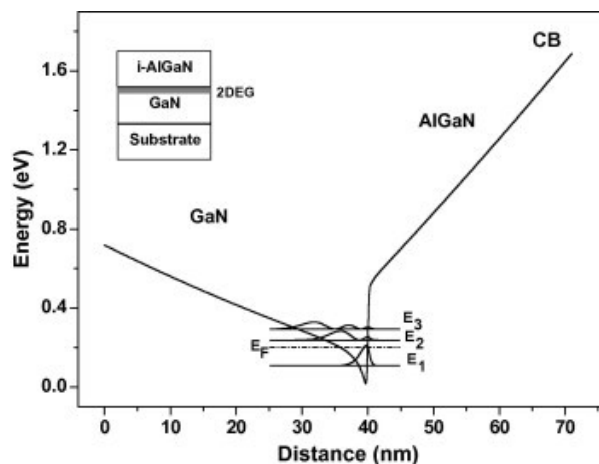


Figura 2.1.2: Livelli energetici in una buca all'interfaccia AlGa_N/Ga_N

Non è obbiettivo di questa relazione approfondire i fenomeni quantistici che stanno dietro il funzionamento di un HEMT, ma, a titolo di completezza, ritengo opportuno accennare quali principi sostengono la teoria del confinamento elettronico all'interfaccia.

I livelli energetici interni alla buca di potenziale sono occupati da portatori secondo un'opportuna statistica, proporzionale al prodotto di un'opportuna funzione di Fermi e alla densità di stati nella buca: è facile intuire che i livelli più profondi siano quelli più riempiti dai portatori; sono questi che, infatti, costituiscono il canale conduttivo 2DEG.

2.2 Effetti della polarizzazione piezoelettrica e spontanea

A differenza degli HEMT con base in Arseniuro di Gallio, quelli su Nitrato di Gallio hanno un principio di funzionamento più complesso: il Ga_N presenta un significativo sbilanciamento di carica tra le due estremità del materiale dovuto alla polarizzazione spontanea del cristallo.

Inoltre, la deposizione di AlGa_N su Ga_N, dato l'elevato mismatch reticolare tra i materiali, crea forti stress meccanici all'interfaccia, dando origine ad un altro fenomeno di polarizzazione.

La polarizzazione piezoelettrica, la cui risultante è un vettore ben 5 volte superiore rispetto a quello in gioco in un'interfaccia AlGaAs/GaAs, e quindi altera in maniera significativa la schematizzazione a bande del dispositivo nonché le sue caratteristiche elettriche.

HEMT

L'orientamento dei vettori P_{sp} e P_{pz} , rispettivi alle polarizzazioni spontanea e piezoelettrica, dipendono dall'orientamento cristallografico del materiale e dal fatto che lo strain sia di tipo tensile o compressivo.

Per studiare il fenomeno, è necessario comprendere se l'interfaccia sia realizzata sfruttando uno strato di N o di Ga del GaN.

A seconda del caso, le condizioni di polarizzazione sono differenti.

La **Figura 2.2.1** riporta le orientazioni dei vettori di polarizzazione a seconda delle caratteristiche dell'interfaccia:

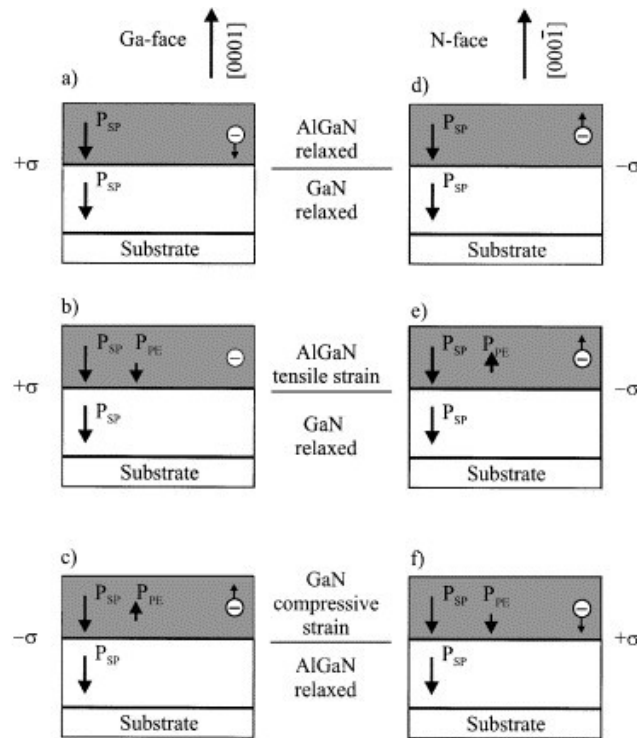


Figura 2.2.1: Condizioni di polarizzazione dell'eterostruttura AlGaIn/GaN a seconda l'interfaccia sia *Ga-face* o *N-face*[7]

Nel caso di interfaccia *Ga-face*, la crescita di AlGaIn, data le minori dimensioni del reticolo, comporta uno sforzo tensile e quindi l'allineamento dei vettori di polarizzazione, come riportato in **Figura 2.2.1 b**).

Il caso b) di **Figura 2.2.1**, AlGaIn su *Ga-face*, è quello che rende maggiore la concentrazione di carica nel 2DEG: sfruttando l'allineamento dei vettori di polarizzazione, si ottiene, infatti, un piegamento di bande tale da confinare in maniera ottimale gli elettroni, ottenendo concentrazioni di portatori nell'ordine di 10^{13} cm^{-2} , decisamente superiori rispetto a quelle che si ottengono interfacciando AlGaAs/GaAs, dove, inoltre, è necessario un drogaggio per ottenere la formazione del canale; questo vantaggio, compensa la minore mobilità dei portatori del GaN rispetto il GaAs e consente di poter lavorare con densità di corrente elevate nell'ordine di 1A/mm.

La seguente **Figura 2.2.2** mostra come il fenomeno della polarizzazione influisce nella formazione del canale:

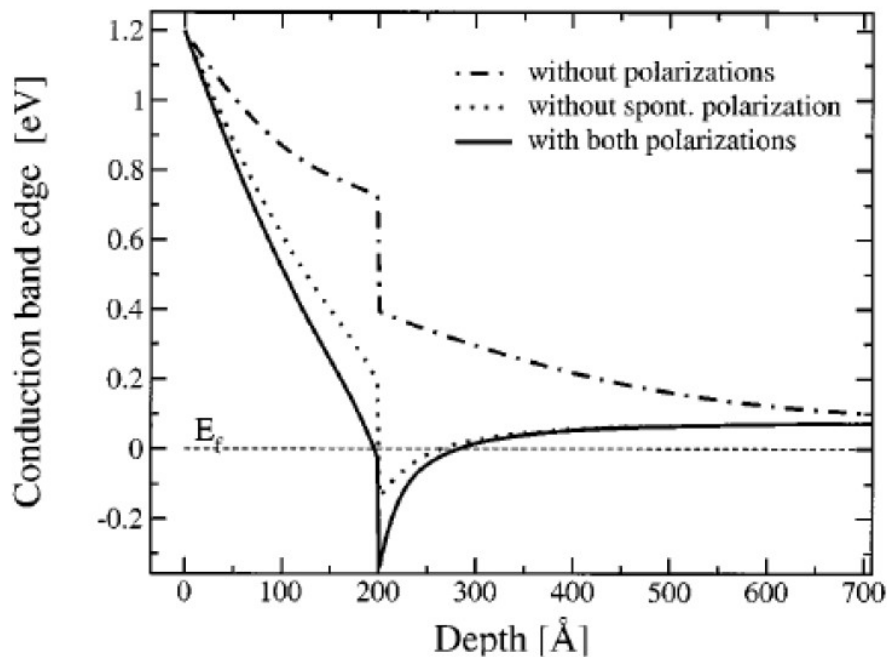


Figura 2.2.2: Contributo della polarizzazione spontanea e piezoelettrica al diagramma a bande

Non si è ancora compreso il motivo dell'elevata concentrazione di elettroni nel canale, in particolare non si sa dare ancora una spiegazione a quale sia l'effettiva origine dei portatori prima di formare l'etero-struttura: un'ipotesi plausibile pare essere che una concentrazione di portatori sia già presente sulla superficie dell'AlGaN a causa della presenza di stati trappola superficiali [8].

Infatti, per bassi spessori dello strato barriera, la concentrazione di elettroni è molto bassa dato che gli stati trappola superficiali si trovano a un livello energetico al di sotto del livello di Fermi (vedi **Figura 2.2.3 a**); al crescere dello spessore, la concentrazione di elettroni cresce fino a raggiungere un livello di saturazione, in quanto gli stati trappola superficiali si portano a un livello energetico al di sopra del livello di Fermi fornendo elettroni per la formazione di una buca quantica (vedi **Figura 2.2.3 b**).

Infatti, come si può vedere in **Figura 2.2.3**, esiste una dipendenza diretta tra spessore e piegamento delle bande: sino a quando non si raggiunge lo spessore critico di barriera, i donori superficiali non cedono i loro elettroni.

Questo si verifica solo quando il livello energetico degli stati superficiali si porta al di sopra del livello di Fermi, permettendo, quindi, al 2DEG di formarsi.

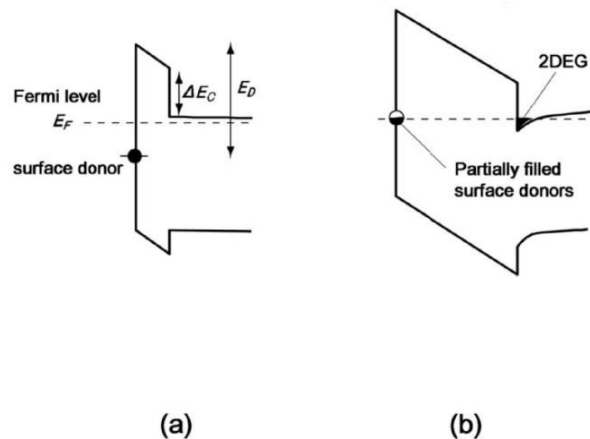


Figura 2.2.3: Diagramma a bande con spessore minore (a) e maggiore (b) [8]

Al crescere dello spessore, la concentrazione N_s cresce velocemente sino ad un livello di saturazione consentendo il riversamento dei portatori nel canale che si viene quindi a formare, bilanciando così la carica indotta per polarizzazione spontanea e piezoelettrica.

Una volta che lo spessore critico di barriera è stato raggiunto, non si assiste ad un ulteriore incremento della densità di carica libera, ma anzi si verifica un leggero calo sia della densità che della mobilità dovuto ad altri fenomeni, come ad esempio il rilassamento da stress meccanico.

La **Figura 2.2.4** mostra come la concentrazione N_s non ha evidenti incrementi per spessori di barriera oltre i 20-30nm.

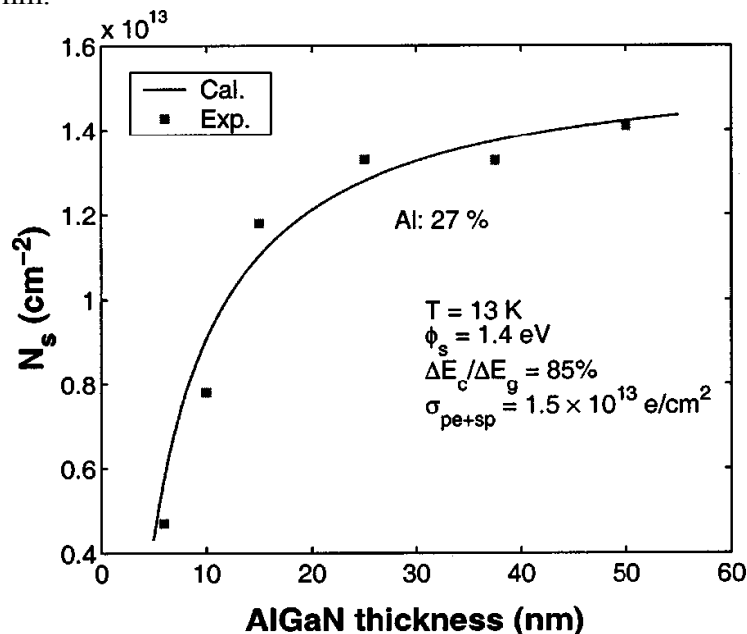


Figure 2.2.4: concentrazione di portatori liberi al variare dello spessore di barriera[9]

Un altro fattore che determina le prestazioni del dispositivo è la concentrazione di alluminio; al crescere del consueto parametro x nella formula chimica dell' $\text{Al}_x\text{Ga}_{1-x}\text{N}$ si ottiene un incremento dell'effetto piezoelettrico, il che comporta una maggiore concentrazione di portatori nel canale, ma anche degli effetti indesiderati: per $x > 0.4$, lo strato barriera diventa un isolante e quindi l'effetto

Shottky sul gate sarebbe alterato da un'alta resistenza serie; inoltre aumentano i fenomeni di scattering che riducono la mobilità e si creano cariche superficiali che alterano il profilo di potenziale nell'etero-struttura.

Insomma, concentrazione di alluminio e spessore della barriera sono i parametri fondamentali su cui si può variare l'ottimizzazione del dispositivo in base allo specifico campo applicativo;

Il seguente grafico in **Figura 2.2.5** riporta le concentrazioni di portatori nel canale al variare del parametro 'x' per diversi spessori della barriera:

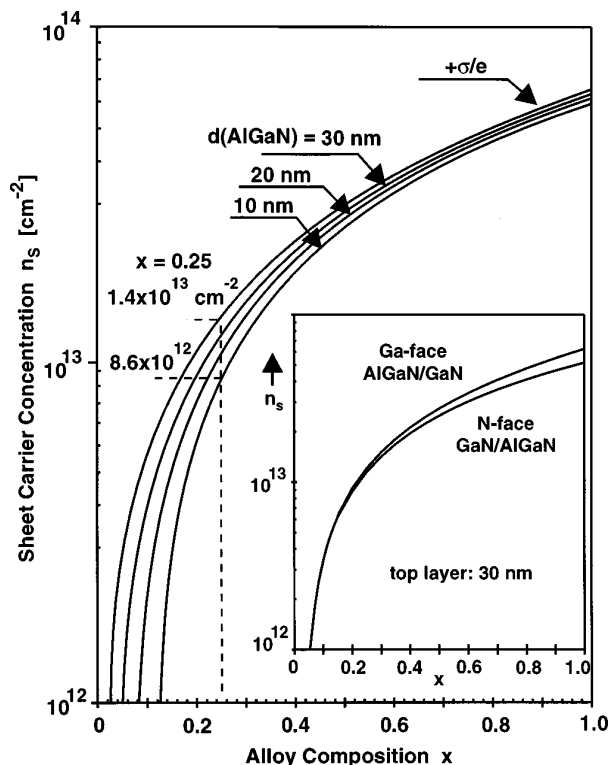


Figura 2.2.5: Concentrazione di portatori liberi in un'interfaccia $\text{Al}_x\text{Ga}_{1-x}\text{N}/\text{GaN}$

Per comprendere meglio i meccanismi che determinano l'alta concentrazione di portatori nel canale 2DEG, occorre analizzare gli effetti che conseguono la proprietà di polarizzazione del GaN; osservando la seguente **Figura 2.2.6** si riconoscono le zone in cui si generano le interfacce di carica: la crescita dello strato GaN sul substrato comporta una certa distribuzione di carica ($+Q\pi$ dell'interfaccia substrato-GaN e $-Q\pi$ in superficie).

Quando poi lo spessore del GaN supera una soglia critica (dopo la quale la banda di valenza supera il livello di Fermi) si accumulano lacune in superficie ($+Q_{scr}$) e di conseguenza si crea una concentrazione di elettroni all'interfaccia GaN-substrato ($-Q_{scr}$).

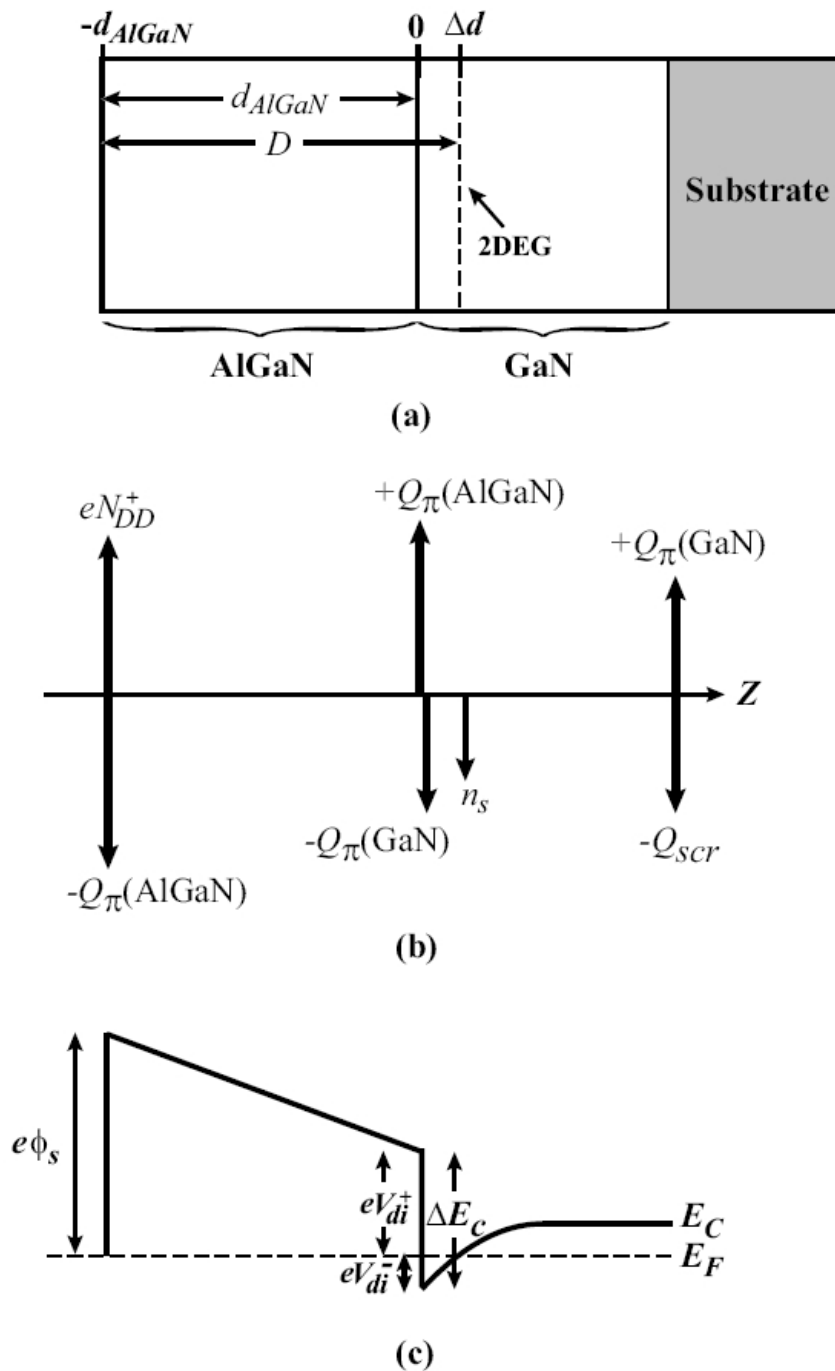


Figura 2.2.6: Effetti della polarizzazione nel diagramma a bande di un HEMT [1]

La crescita dell'AlGaN su GaN comporta ulteriori vettori di polarizzazione; nel caso di crescita Ga-face i vettori di polarizzazione spontanea rispettivi di AlGaN e GaN sono discordi, ma vista la maggiore ampiezza del vettore di polarizzazione dell'AlGaN, all'interfaccia si crea un accumulo di carica positiva data dalla differenza tra i due contributi di carica:

$$Q_{\pi}(net) = Q_{\pi}(AlGaN) - Q_{\pi}(GaN)$$

Per bilanciare tale carica positiva, si accumula una determinata densità di carica libera n_s , che va a

formare il 2DEG.

In superficie invece, ci sono i contributi $-Q\pi$ (AlGaN) e una carica positiva eN_{DD} superficiale dovuta alla ionizzazione degli stati superficiali dell'AlGaN.

L'equazione che si deve sostanzialmente soddisfare è la seguente:

$$\phi_s - V_1 - \frac{\Delta E_c}{e} + V_{bi}^- = 0 \quad (2.2.1)$$

con

$$V_1 = \frac{[Q_\pi(\text{net}) - en_s]d_{AlGaN}}{\epsilon} \quad (2.2.2)$$

Rielaborando le equazioni 2.2.1 e 2.2.2 si può ricavare l'espressione della concentrazione degli elettroni liberi nel canale 2DEG:

$$n_s = \frac{Q_\pi(\text{net})d_{AlGaN} - \epsilon\left(\phi_s - \frac{\Delta E_c}{e}\right)}{eD} \quad (2.2.3)$$

Con $D = d_{AlGaN} + \Delta d$, con Δd assunto una costante specifica dell'interfaccia e trascurabile rispetto d_{AlGaN} .

Dalla 2.2.3 si nota che la carica libera è fortemente dipendente dal contributo della polarizzazione $Q\pi$ (net), nonché della carica indotta netta positiva all'interfaccia AlGaN/GaN e dagli stati trappola superficiale che cedono il loro elettrone.

2.3 Fenomeni di intrappolamento negli HEMT

Un problema comune a tutti i dispositivi, specie se realizzati su etero-struttura, è il fenomeno di intrappolamento di carica, che comporta un effetto indesiderato sulle caratteristiche dinamiche.

L'utilizzo degli HEMT su GaN in applicazioni a potenze e frequenze elevate, tipicamente nella banda delle microonde, fa sì che questo problema non sia trascurabile, ma anzi limiti notevolmente le prestazioni di questi dispositivi. In questo paragrafo sarà approfondito tale fenomeno al fine di studiare e cercare soluzioni per ovviare a questo problema.

Gli stati trappola consistono in imperfezioni del materiali nonché del cristallo e della sua periodicità nello spazio; tali imperfezioni possono essere realizzate da strain indesiderati del materiale, elementi contaminanti, disallineamento reticolare tra i vari strati.

Tali imperfezioni, nel diagramma del sistema a bande costituiscono degli stati accessibili dai portatori (lacune o elettroni) posti a livelli energetici all'interno dell'energy-gap.

Nella realizzazione dell'HEMT, la necessità di crescere strati di diverso materiale uno sull'altro comporta inevitabilmente la creazione di stati trappola nell'intorno del canale 2DEG, sia nello strato buffer che nello strato barriera.

Inoltre, gli stati trappola comportano ritardo sulla risposta del dispositivo dovuto ai fenomeni di trapping-detrapping limitando così la banda massima "teorica" del dispositivo.

Nel caso specifico dei dispositivi AlGaN/GaN HEMT, le trappole si possono trovare all'interfaccia superficiale, nello strato barriera AlGaN (dovuto anche per la presenza di drogante se presente), all'interfaccia AlGaN/GaN e nello strato buffer.

HEMT

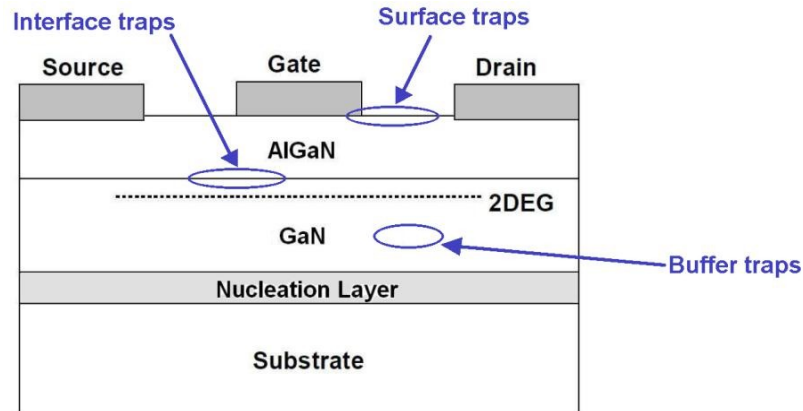


Figura 2.3.1: Posizionamento tipico delle trappole in un HEMT su GaN

Al fine di studiare l'affidabilità del dispositivo, è utile studiare separatamente gli effetti delle trappole in funzione del loro posizionamento; con specifiche tecniche di misurazione è possibile sollecitare l'effetto localizzato delle trappole al fine di valutare i fenomeni di degrado delle prestazioni, va precisato, però, che non è sempre semplice isolare i vari effetti.

Un primo effetto di intrappolamento, consiste nella riduzione della corrente DC del dispositivo.

Si tratta di un fenomeno di degrado evidente quando si lavora con alti campi elettrici tra drain e source: in queste condizioni, viene stimolato l'intrappolamento di elettroni nello strato buffer e quindi, la formazione di carica fissa negativa che viene controbilanciata da una riduzione di carica libera nel canale 2DEG.

Una procedura standard che si adotta per valutare il fenomeno, è forzare l'intrappolamento sottoponendo il dispositivo ad una condizione di stress prolungato e confrontando poi le caratterizzazioni DC pre e post stress; per favorire invece il fenomeno di detrappolamento, ad esempio, a seguito di uno stress, si sottopone il dispositivo a fonte luminosa per un determinato tempo con l'obiettivo di fare interagire gli elettroni intrappolati con fotoni con energia sufficiente a liberare la trappola; tenendo sotto controllo la lunghezza d'onda della sorgente di luce incidente è possibile inoltre avere una stima del livello energetico a cui si trovano le trappole.

La **figura 2.3.2** mette a confronto delle DC pre e post stress di un dispositivo HEMT di esempio.

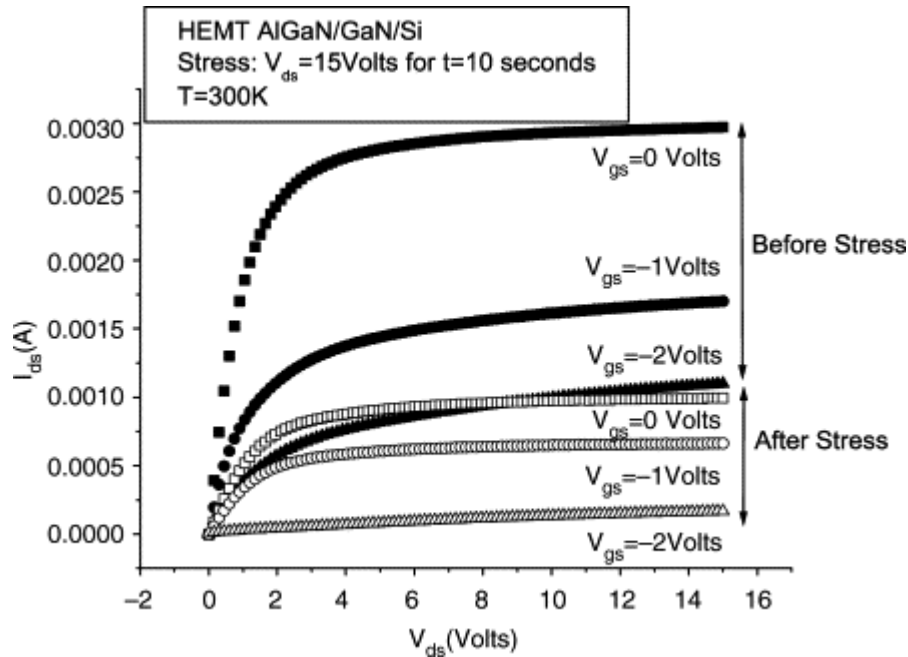


Figura 2.3.2: Caratterizzazione DC di un HEMT pre e post stress

Altri fenomeni che osserviamo nelle nostre misurazioni sono il *kink* e il *current compression*[11].

Il primo consiste in un calo della corrente che si ha a basse tensioni tra drain-source, dovuto a fenomeni di intrappolamento lenti (tipo nel buffer);

questo fenomeno comporta un calo di corrente I_d a basse tensioni V_{ds} e una rapida crescita quando si supera una tensione V_{ds} -king (che dipende dal campione) alla quale si innesca il detrappolamento di eventuale carica negativa.

In **Figura 2.3.3** è riportato il confronto di caratterizzazione DC di un HEMT con $V_{ds_max}=10V$ (linee tratteggiate) e $V_{ds_max}=20V$ (linee continue); dal confronto si nota una riduzione della corrente per valori di V_{ds} inferiori a 8V, mostrando un legame tra *kink* e tensione massima di misura:

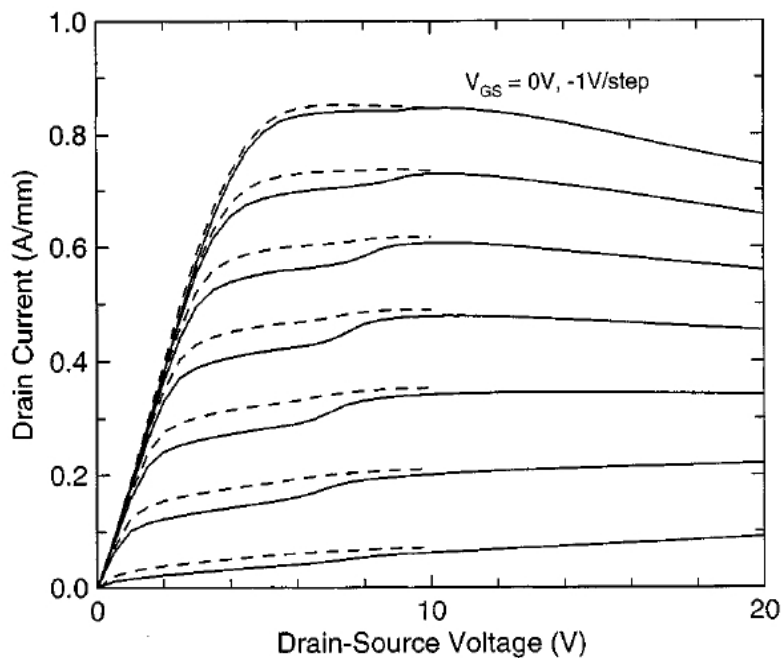


Figura 2.3.3: Collasso della corrente dovuto [6]

Dato l'impiego degli HEMT al GaN per applicazioni ad alta frequenza, è fondamentale lo studio degli effetti provocati dalle trappole in radiofrequenza: si tratta di valutare il collasso della corrente di drain ad alte frequenze rispetto a quella assorbita in DC.

Tale fenomeno prende il nome di *current compression*, ed è dovuto principalmente all'intrappolamento di carica sulla superficie del dispositivo (mentre gli effetti di intrappolamento degli elettroni caldi nel buffer possono essere trascurati).

Nel caso di canale formato, infatti, gli stati superficiali si comportano come livelli donori, ovvero cedono il loro elettrone, il che comporta la formazione di uno strato di carica positiva sulla superficie dell'AlGaIn che compensa la carica libera nel canale 2DEG.

A canale chiuso, invece, il forte campo elettrico tra gate e drain induce gli stati superficiali a riempirsi di carica negativa che proviene dal gate.

Tra la metallizzazione di gate e drain si forma quindi una zona in cui il canale 2DEG non è formato o parzialmente formato; si potrebbe modellizzare il sistema come se esistesse un gate "virtuale" affiancato a quello reale che strozza il canale.

Quando il canale viene riaperto, i livelli superficiali non riescono a tornare istantaneamente nelle condizioni iniziali, in quanto la velocità di detrapping è molto minore rispetto alla velocità di formazione del canale, per questo motivo, in corrispondenza del gate "reale" il canale si forma istantaneamente, al di sotto del "gate virtuale" si ha un accumulo di carica negativa che mantiene spento parte del canale per un tempo transitorio e si ha quindi una riduzione della corrente di drain rispetto alla situazione DC.

La carica intrappolata comporta, dunque, un effetto indesiderato sul canale costringendo la corrente di drain a dipendere, quindi, sia dalla tensione effettivamente applicata al gate sia da quella indotta dal fenomeno di intrappolamento.

La **Figura 2.3.3** mostra lo stato del canale nei tre istanti:

a) canale formato, b) spegnimento e c) riaccensione

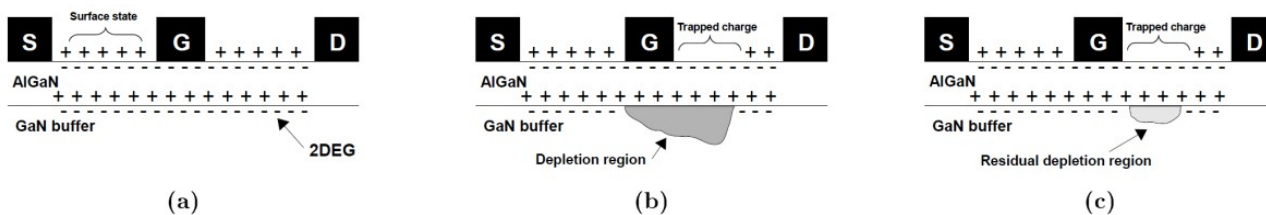


Figure 2.3.3: Teoria del *current compression* su un AlGaIn/GaN HEMT [12]

Analizzando i transienti della corrente d'uscita è possibile valutare i tempi medi di trapping-detrapping, nonché le costanti di tempo della trappola; non a caso, come vedremo, lo studio delle trappole viene fatto sottoponendo i dispositivi a misurazioni temporali a seguito di polarizzazioni impulsive.

La **figura 2.3.4** riporta un esempio di transiente della corrente I_d su una misura gate-lag (impulso sul gate con V_{ds} fissa):

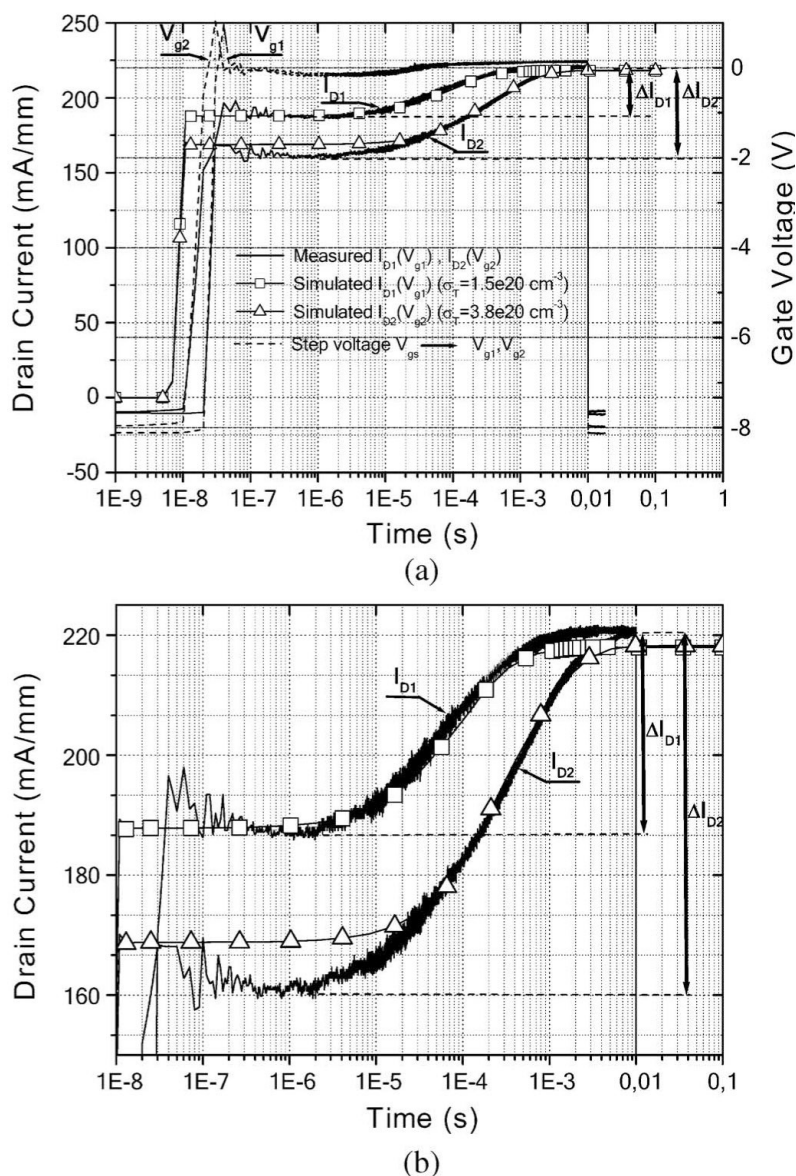


Figura 2.3.4: (a) Transiente della corrente di drain a seguito di un'impulso sul gate; (b) zoom di 'a'

HEMT

Gate-lag e drain-lag sono le procedure più adottate per studiare il fenomeno di intrappolamento localizzato: il primo stimola principalmente le trappole superficiali o sotto il gate, il secondo quelle contenute strato buffer o nel substrato.

La tecnica gate-lag consiste in un impulsatore che fornisce un segnale a onda quadra pre-impostato al gate con drain posto a tensione costante; il drain-lag invece, lavora con tensione costante al gate e segnale impulsato al drain.

Un'altra tecnica, chiamata double-pulse, che ho adottato maggiormente in questa esperienza di tesi, consiste in due impulsatori sincronizzati tra loro che agiscono su entrambi i terminali stimolando gli stati trappola in ciascuna delle zone, in base al punto di riposo utilizzato.

Per compensare tale effetto indesiderato al fine di ottenere il valore massimo di corrente di drain occorre ristabilire la carica positiva sulla superficie.

Per fare ciò si potrebbe applicare una tensione di compensazione che polarizzi il dispositivo in modo diretto rispetto a source e drain.

In alternativa, si potrebbe ricorrere all'uso di una fonte luminosa che, generando coppie e^-/h^+ nei vari strati, compensa le trappole e, inoltre, velocizza i processi di detrapping fornendo energia agli elettroni intrappolati.

Una tecnica adottata per ridurre l'effetto della dispersione in frequenza e del collasso di corrente in misure impulsive è la passivazione superficiale dello strato di AlGaN.

In genere, si adotta il Nitrato di Silicio (Si_3N_4) come materiale passivante; in questo modo, si ottiene un'interfaccia dielettrico-semiconduttore quasi perfetta e si riducono di conseguenza gli strati trappola superficiali dovuti all'interruzione brusca del reticolo.

La qualità del materiale passivante e la qualità del processo di passivazione sono i principali fattori che determinano l'efficienza della passivazione; a seconda degli impieghi e dai costi si possono ottenere dei rendimenti dal 20% a quasi il 100%.

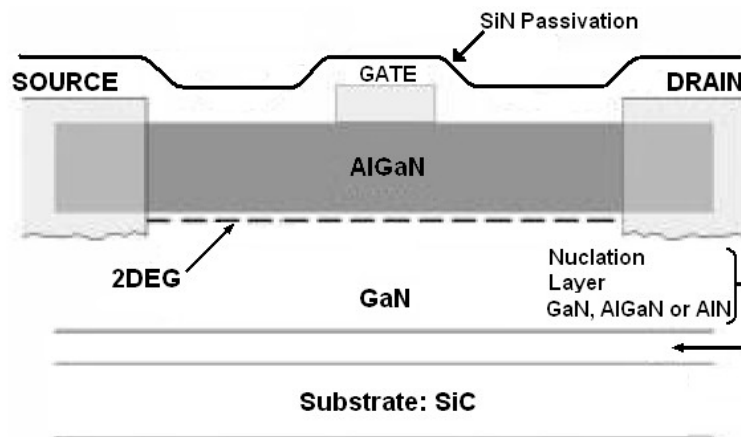


Figura 2.4.1: Cross section di un HEMT su GaN con passivazione superficiale

Un secondo metodo adottato per ridurre i problemi di dispersione in frequenza è l'uso del field-plate.

Tale tecnica consiste nel cambiare la forma del terminale di gate, di solito la forma è a T o Γ .

Questo accorgimento consente di ridurre il campo elettrico massimo tra i due terminali, che è la causa principale della migrazione delle cariche dal gate verso la superficie, distribuendo così lo stress elettrico del materiale su tutta la lunghezza del field-plate.

I benefici che comporta tale stratagemma sono riconosciuti anche in termini di degradazione e affidabilità dei dispositivi.

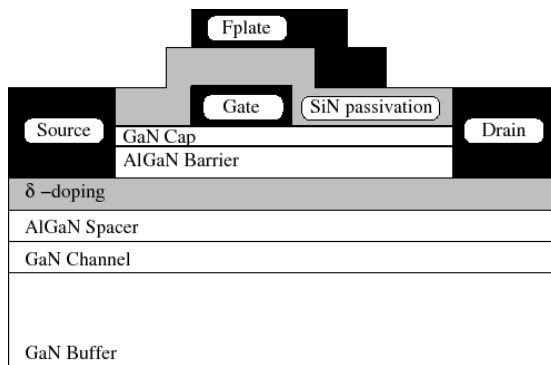


Figura 2.4.2: GaN HEMT con deposizione del field-plate (connesso al gate o al source)

La progettazione di un buon field-plate tiene conto di molti parametri quali la lunghezza, lo spessore e il tipo di materiale utilizzato.

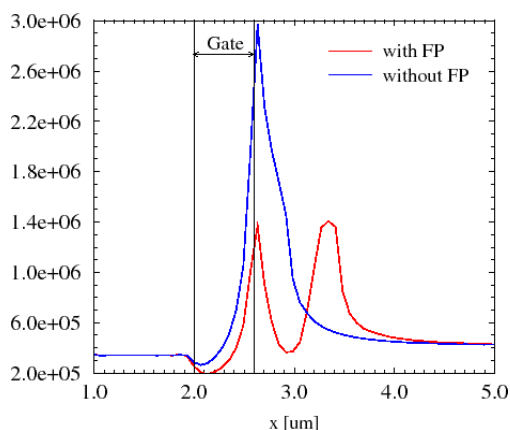


Figura 2.4.3: Campo elettrico tra i terminali gate-drain di un GaN HEMT con e senza field-plate

Un'ulteriore stratagemma, chiamato gate recess, consente di limitare l'effetto della carica superficiale sul canale.

Tale tecnica consiste nel portare lo strato barriera in profondità, ricoperto da altri strati barriera in AlGa_{1-x}N o GaN; in questo modo, la superficie del dispositivo risulta lontana dal canale così da ridurre l'effetto dell'intrappolamento superficiale sulla corrente di canale.

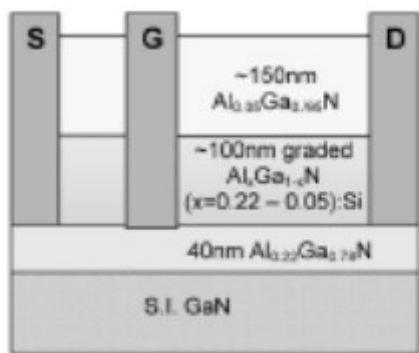


Figura 2.4.4: Struttura planare di un HEMT con gate recess [1]

2.5 Fenomeni di degrado

Al fine di irrobustire ed evolvere i dispositivi e, quindi, renderli commerciabili, diventa necessario valutarne l'affidabilità, nonché comprendere i meccanismi che comportano degrado.

Risulta fondamentale la comprensione dei punti deboli degli HEMT AlGaIn/GaN con l'intenzione di trovare delle soluzioni tecnologiche che mitighino gli effetti indesiderati sulle prestazioni.

I principali meccanismi di degrado oggi studiati e considerati i più importanti in questa tecnologia, sono l'elevato campo elettrico e l'effetto piezoelettrico inverso.

Come deducibile, l'impiego di HEMT su GaN in applicazioni ad alta potenza comporta la gestione di alte tensioni e alte correnti.

Risulta quindi necessario valutare l'effetto di degrado indotto dallo stress elettrico, nonché da alti campi elettrici in gioco nel dispositivo, in particolare tra gate e drain.

I dispositivi su GaN possono sostenere campi elettrici più elevati della tecnologia GaAs, consentendo lo scaling dei dispositivi, il che comporta però (al pari di tensioni applicate) maggiori campi elettrici e quindi, la formazione di elettroni caldi che interagendo con il reticolo possono danneggiarlo e creare, quindi, stati trappola.

Se ad esempio prendiamo in considerazione un generico HEMT su GaAs, polarizzato con una tensione drain-source elevata, l'elevato campo elettrico accelera gli elettroni nel canale, i quali sono in grado raggiungere energie tali da generare coppie e^-/h^+ per ionizzazione da impatto; i portatori così creati, chiamati secondari, sono raccolti al drain assieme a quelli primari e le lacune sono perciò accelerate verso il source e il gate.

Andando a misurare la corrente di gate, che risulta negativa in quanto è uscente, è possibile avere una caratterizzazione degli effetti della ionizzazione da impatto, in quanto vi sono le lacune generate [10].

Il tasso di ionizzazione da impatto, cioè il rapporto $|I_g/I_d|$ è proporzionale al prodotto $\alpha \cdot L_{eff}$ e si può scrivere:

$$\left| \frac{I_g}{I_d} \right| = \alpha \cdot L_{eff} = L_{eff} \cdot \exp\left(\frac{-1}{\xi}\right) = L_{eff} \cdot \exp\left(\frac{-L_{eff}}{V_{ds} - V_{dsat}}\right) \quad (2.5.1)$$

dove α è il coefficiente di ionizzazione da impatto degli elettroni del canale, L_{eff} è l'estensione della regione di canale dove ha luogo la ionizzazione, ξ è il campo elettrico longitudinale nella regione L_{eff} e V_{dsat} è la tensione di saturazione.

Se rappresentiamo su un grafico di ordinate $\ln(|I_g/I_d|)$ in funzione di $1/(V_{ds} - V_{dsat})$, otterremo una retta decrescente, in accordo con la relazione (2.5.1).

Per quanto riguarda gli HEMT su GaN, invece, occorre tenere in considerazione che la corrente di gate è dominata da meccanismi di iniezione per effetto tunnel e quindi non è possibile prenderla in considerazione nello studio degli effetti da impatto considerando inoltre il basso tasso di ionizzazione dovuto all'alto energy-gap del GaN.

Si adotta dunque un metodo di misura alternativo, che consiste in una misura di elettroluminescenza.

Polarizzando il dispositivo in opportune condizioni operative, si ha emissione di fotoni dai bordi del gate lato drain.

In analogia con le misure sulla corrente di gate, andando a riportare su un grafico il rapporto tra intensità dell'elettroluminescenza e la corrente di drain in funzione di $1/(V_{ds} - V_{dsat})$, ricaviamo ancora una relazione lineare, concludendo quindi, che l'intensità di luce emessa risulta proporzionale alla concentrazioni di elettroni caldi.

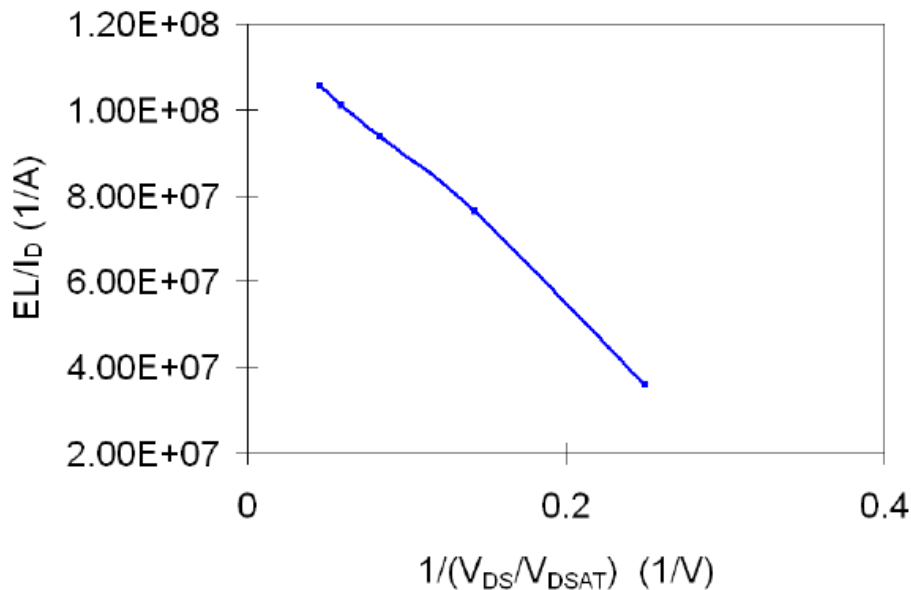


Figura 2.5.1: Grafico di EL/ID vs $1/(V_{DS} - V_{DSAT})$ in un AlGaIn/GaN HEMT

Alcuni studi mostrano che i fotoni emessi dagli HEMT su GaN possono essere dovuti a transizioni interne alla banda di conduzione [13] di elettroni molto energetici, situati nella regione del canale ad elevato campo elettrico, o da scattering col reticolo.

Come sappiamo, la tensione V_{gs} modula la carica libera nel canale; la corrente di drain, invece, è dovuta all'effetto del campo elettrico longitudinale a cui è sottoposta tale carica, i cui portatori vengono, quindi, accelerati (incrementando la loro energia cinetica).

Da tale contesto, è intuibile la generazione di portatori caldi che favoriscono le transizioni intrabanda e quindi, l'emissione di fotoni che risulta crescente all'aumentare della tensione V_{gs} .

Aumentando ulteriormente la tensione V_{gs} , e superato un valore critico, si verifica un calo di emissione fotonica, dovuto a un calo del campo elettrico nel canale (non della carica accumulata che continua a crescere).

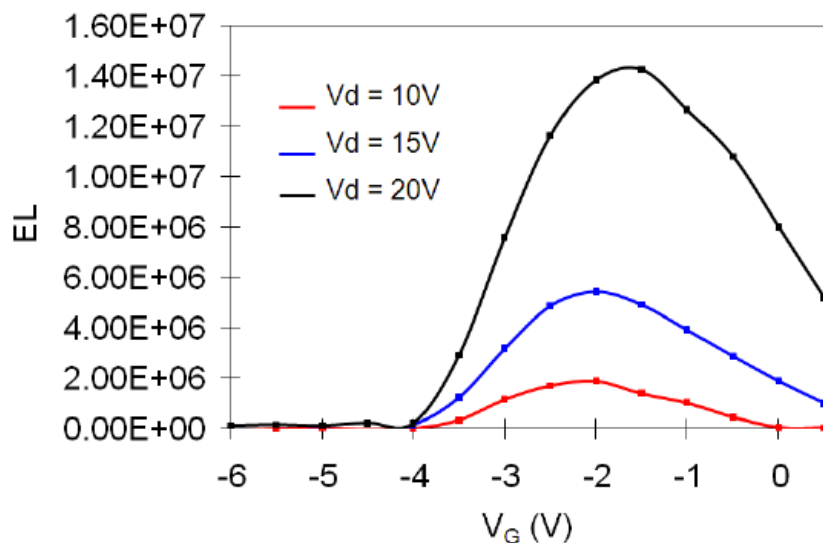


Figura 2.5.2: Campana di emissione al variare di V_g

HEMT

Il fenomeno di degrado dovuto a elettroni caldi comporta sostanzialmente la generazione di trappole, dando così spiegazione alle problematiche del collasso della corrente, della dispersione in frequenza e del calo di altri parametri elettrici.

Tali trappole, infatti, comportano accumuli di carica in superficie, nell'AlGaN o nel buffer.

Altre cause di degrado dei dispositivi su GaN, oltre al meccanismo dei portatori caldi, è l'effetto piezoelettrico inverso, dovuto alle caratteristiche intrinseche del GaN e in particolare, alle alte costanti piezoelettriche specifiche del materiale.

L'elevato campo elettrico tra gate e drain comporta una deformazione del reticolo [14] che, oltrepassato un limite critico, può rompersi e rilassare dando origine a stati trappola nell'interfaccia AlGaN/GaN [15].

Trappole generate nello strato barriera possono favorire l'*effetto tunnelling*, comportando quindi un aumento della corrente di gate.

La **Figura 2.5.3** evidenzia i percorsi conduttivi che possono formarsi nello strato barriera per mezzo di trappole.

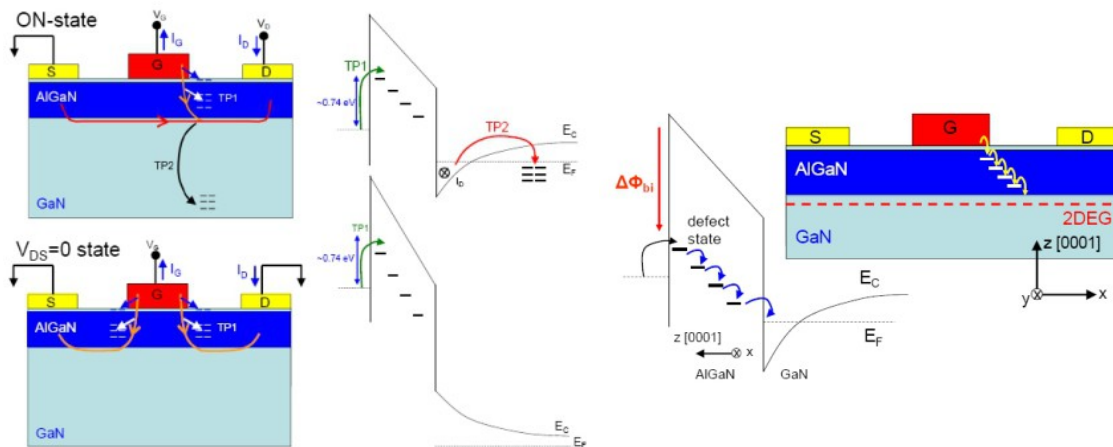


Figura 2.5.3: Percorsi conduttivi dovuti all'effetto piezoelettrico inverso

Al fine di valutare l'affidabilità di questi dispositivi, risulta utile stabilire una tensione critica oltre la quale lo stress reticolare all'interfaccia comporta la creazione di difetti cristallografici che alterano in maniera significativa le proprietà elettriche del dispositivo.

Specifiche misure di *step-stress* che fanno lavorare in inversa i diodi gate-drain e gate-source a diverse tensioni di gate, si prestano alla stima di tale tensione critica, in quanto stimolano l'effetto piezoelettrico aumentando via via il campo elettrico: misure in condizioni di *off-state* dimostrano, infatti, un degrado delle caratteristiche dinamiche e in particolare, l'aumento della corrente di leakage [16] [17].

2.6 Contatti metallo-semiconduttore in un HEMT

Una volta cresciuto il GaN sul substrato con i metodi di epitassia visti, la deposizione dello strato barriera AlGaN realizza il canale 2DEG.

A questo punto, segue la procedura di metallizzazione.

Mentre il contatto di gate è superficiale, in quanto richiede una metallizzazione in corrispondenza del canale al di sopra dello strato barriera, i contatti di drain e source devono realizzare un contatto diretto di tipo ohmico con il canale e quindi, devono penetrare nella struttura.

La metallizzazione di gate realizza, per mezzo dello strato AlGaN, una giunzione di tipo Schottky

con il canale.

Visto lo spessore limitato della barriera e l'alta presenza di stati trappola, si ha una probabilità non nulla che dei portatori superino, per effetto tunnel attraverso le trappole, tale barriera.

La corrente di leakage attraverso percorsi conduttivi per conto di trappole nell'AlGaIn risulta decisamente maggiore rispetto a quella dovuta a quei portatori che, secondo una certa statistica, riescono ad effettuare quel salto energetico imposto dalla barriera.

A differenza degli HEMT su GaAs, quelli su GaN non necessitano di drogaggio dello strato barriera in quanto la forte polarizzazione intrinseca del materiale consente di realizzare un canale 2DEG efficiente (inoltre il drogaggio del GaN comporta delle difficoltà produttive).

L'assenza di drogaggio, mitiga il problema delle correnti di leakage dato che l'AlGaIn ha già una bassa conducibilità.

Altre soluzioni strutturali propongono la presenza di uno strato isolante tra strato barriera e metallo. In questo modo, la modulazione del canale è sicuramente meno efficiente, ma la corrente di leakage nel gate è molto ridotta.

Per i contatti, si adottano metalli ad alta funzione di lavoro ad esempio nickel, platino e palladio.

E' fondamentale, inoltre, che il contatto metallico sia aderente al semiconduttore e stabile alle variazioni di temperatura.

Al fine di ottenere una buona conducibilità e stabilità termica su questo tipo di dispositivi, viene spesso adottata una soluzione multistrato che impiega titanio, oro e alluminio.

Le metallizzazioni di drain e source, invece, hanno come obiettivo quello di realizzare un contatto ohmico con il canale 2DEG. La procedura per ottenere un interfacciamento diretto con il canale richiede un processo di anelling del metallo che, per riscaldamento, penetra nella struttura.

Inoltre, per aumentare la conducibilità si adottano soluzioni multistrato.

Attualmente, la metallizzazione su nitruri prevede uno strato di titanio (Ti) depositato direttamente sul semiconduttore; il secondo strato metallico è solitamente alluminio (Al) e spesso sono usati strati addizionali composti da platino/oro (Pt/Au), nichel/oro (Ni/Au) e titanio/oro (Ti/Au).

Nella seguente figura è riportata la caratteristica tensione-corrente della giunzione formata dalla sovrapposizione di alcuni metalli con il Nitruro di Gallio. Si nota che tanto più tale caratteristica risulta lineare e con pendenza elevata, cioè in una condizione di bassa resistività, tanto migliore sarà il contatto ohmico realizzato.

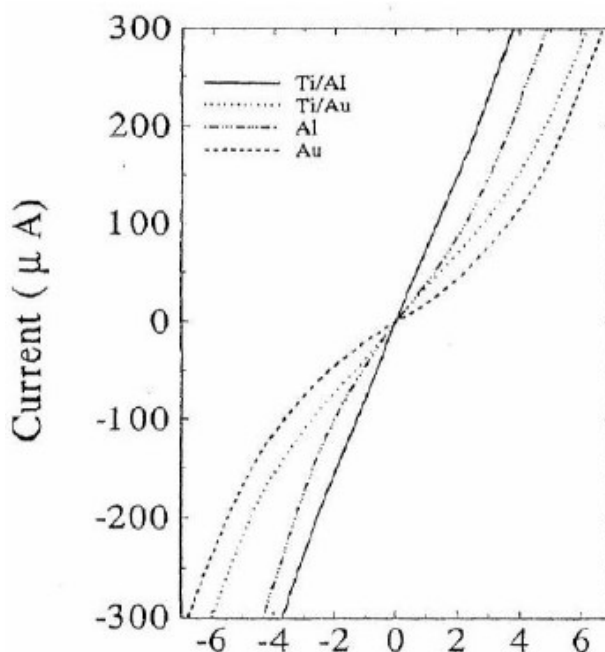


Figura 2.6.1: Caratteristica I-V di alcuni contatti ohmici su GaN

2.7 Fe-doping [18] [19]

In assenza di imperfezioni, il GaN si presenta come un semiconduttore semi-isolante.

Tale caratteristica è fondamentale per l'efficienza del canale 2DEG del dispositivo, in quanto si riducono le perdite nel bulk e si ottimizza il confinamento dei portatori soprattutto ad alte tensioni V_{ds} (effetti di canale corto).

Purtroppo, la crescita epitassiale secondo MOCVD del GaN, comporta un drogaggio intrinseco del cristallo di tipo 'n': si suppone che tale fenomeno sia dovuto a residue impurità di ossigeno generate dalla procedura di deposizione[ref].

Al fine di ottenere uno strato semi-isolante, è necessario compensare gli stati donori con degli stati accettori ricorrendo a un drogaggio con carbonio o inserendo delle dislocazioni guidate (Threading dislocations); entrambe le procedure, però, comportano effetti indesiderati in quanto non si riescono a tenere sotto controllo le imperfezioni del materiale.

Nell'ultimo decennio, si sta studiando la possibilità di inserire del ferro come drogante alternativo.

Si è già osservata un'ottima efficacia in termini di alta resistività e contenuti difetti cristallografici.

Trattandosi però di stati trappola, sono inevitabili degli effetti di intrappolamento, discussi meglio nel capitolo successivo, che comportano dei transitori (ton e toff) sulla corrente di drain rispettivamente all'accensione e allo spegnimento, che risultano spesso molto più lunghi dei tempi di formazione del canale.

Il drogaggio di ferro può essere distribuito nel buffer in GaN secondo diversi profili: uno di questi, che è quello più banale, consiste nel mantenere la concentrazione di drogante costante in tutta la profondità.

Una soluzione più efficace, al fine di evitare la presenza di stati trappola e dislocazioni all'interfaccia AlGaN/GaN che potrebbero comportare una riduzione della mobilità degli elettroni liberi nel canale, consiste nell'adottare un profilo con concentrazione di ferro crescente con la profondità del buffer.

La **Figura 2.7.1** riporta un'illustrazione esemplificativa del profilo:

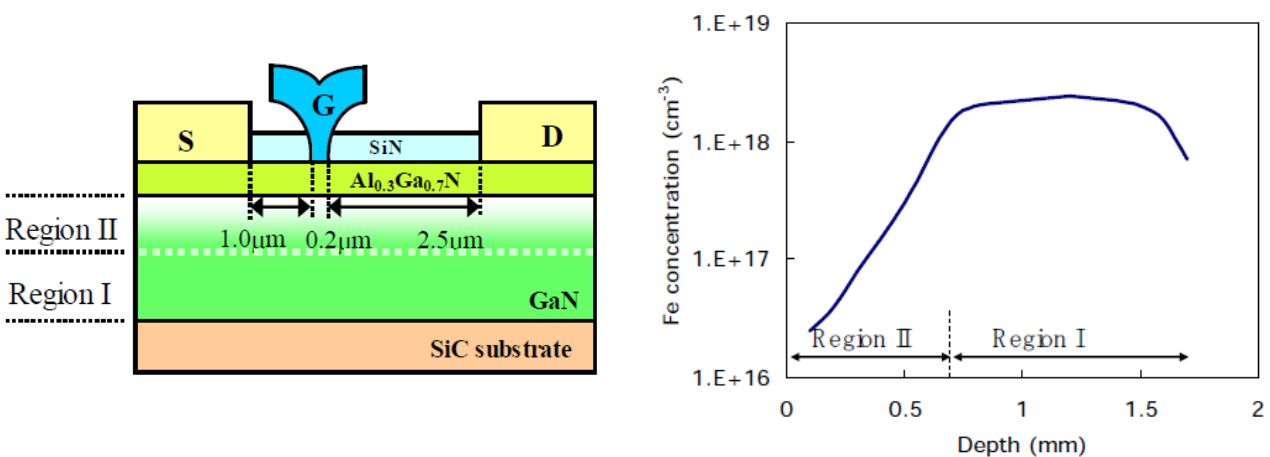


Figura 2.7.1: Profilo di ferro in un GaN buffer con concentrazione crescente

La **Figura 2.7.2** mostra come il Fe-doping nel buffer ha dei benefici sulla caratteristica di pinch-off del dispositivo, in quanto è più efficiente lo spegnimento a tensioni di V_{gate} inferiori alla tensione di formazione del canale:

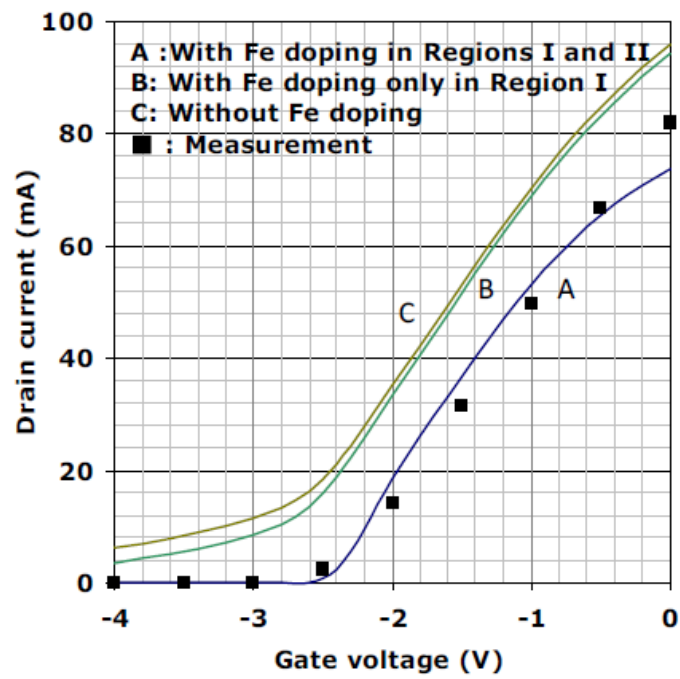


Figura 2.7.2: Caratteristica I_d/V_g di un dispositivo HEMT su GaN con diversi profili del drogaggio di ferro

HEMT

Capitolo 3

Fenomeni di trapping

Il mio lavoro di tesi, si pone come obiettivo principale, quello di valutare l'effetto delle trappole sull'affidabilità e le prestazioni di dispositivi HEMT su GaN.

Come preannunciato, il nostro interesse riguarderà dispositivi su strato buffer ferroso, ossia, sottoposti a un trattamento di drogaggio con ferro (Fe-doped).

A titolo di completezza di informazioni, ritengo utile approfondire sotto un ottica teorica il fenomeno che andremo a studiare, nonché quello del trapping (intrappolamento) e delle conseguenze che comporta nei processi di generazione/ricombinazione dei portatori nei semiconduttori.

Approfondiremo, inoltre, la teoria che sta alla base delle nostre misurazioni.

3.1 Teoria Shockley-Hall-Read

Dalla teoria dei semiconduttori, sappiamo che esistono più processi di generazione e ricombinazione dei portatori.

In questo capitolo, prestiamo particolare interesse ai processi di generazione e ricombinazione tramite stati trappola.

La domanda che è consueto porsi è: Cosa si intende per trappola? E come la si rappresenta?

Ogni difetto cristallografico, nonché ogni contaminante esterno intruso nel materiale, può costituire un livello trappola, ossia una zona del materiale in cui la probabilità che un elettrone (lacuna) nelle vicinanze, venga catturato risulta superiore rispetto a quella definita dalla Teoria della ricombinazione banda a banda.

Per quantificare il tasso di generazione/ricombinazione, quindi, è necessario fare riferimento a un nuovo modello teorico che tenga presente delle caratteristiche parametriche dello stato trappola: quello a cui noi ci riferiamo è il processo Shockley-Hall-Read (SHR).

Secondo il modello a bande, la trappola è rappresentata da uno stato quantico ad energia intermedia tra la banda di conduzione e di valenza, il che è in accordo con l'ipotesi che la ricombinazione (generazione) sia più probabile.

Per semplicità, non ci addentreremo nel dettaglio del modello SHR: trascureremo, quindi, la sua dimostrazione e prenderemo per buone le sue conclusioni, in particolare la sua relazione principale:

$$U_{SHR} = G - R = \frac{dn}{dt} = \frac{np - n_i^2}{n + n_T + 2n_T \cosh\left(\frac{E_i - E_T}{kT}\right)} \cdot \frac{1}{\tau} \quad \tau = \frac{1}{N_T v_{th} \sigma}$$

con N_T e E_T rispettivamente la densità di stati trappola e il loro livello energetico.

Le osservazioni che a noi interessano maggiormente, al fine di comprendere i meccanismi che si verificano e che sollecitiamo nelle nostre misurazioni, sono sostanzialmente tre:

- $np > n_i^2$: condizione di fuori equilibrio in cui si ha generazione netta di portatori;

Fenomeni di trapping

- $np < n_i^2$: condizione di fuori equilibrio in cui si ha ricombinazione netta di portatori;
- tempo transitorio : dato che le concentrazioni di portatori sono relazionate da un'equazione differenziale, a seguito di una perturbazione (ad esempio per radiazione luminosa) è evidente che il sistema raggiunga uno stato di equilibrio dopo un tempo di transitorio.

3.2 Effetto delle trappole sulla giunzione PN

Sulla base di quanto detto nel paragrafo precedente, cerchiamo ora di comprendere come vengono stimolati i meccanismi di Generazione/Ricombinazione (G/R) per mezzo di trappole nei vari stati di polarizzazione del diodo (V_{pn}).

Le osservazioni fatte sono le seguenti:

- $V_{pn}=0$: dispositivo non polarizzato; la giunzione lavora in condizione di equilibrio, per cui vale la relazione $pn=n_i^2$.
Di conseguenza, $U=np-n_i^2=0$; quindi, non sussistono fenomeni G/R per mezzo di trappole.
- $V_{pn}>0$: dispositivo polarizzato in diretta; la giunzione lavora fuori equilibrio e avendo diffusione nelle regioni quasi neutre (RQN), intuivamo che siamo nella condizione $pn > n_i^2$.
Di conseguenza, $U=np-n_i^2 > 0$; quindi, c'è una corrente che si somma alla classica corrente del diodo ideale, dovuta a una generazione netta.
- $V_{pn}<0$: dispositivo polarizzato in inversa; la giunzione lavora fuori equilibrio e non avendo diffusione delle regioni quasi neutre, intuivamo che siamo nella condizione $pn < n_i^2$.
Di conseguenza, $U=np-n_i^2 < 0$; quindi, c'è una corrente inversa che si somma alla classica corrente del diodo ideale, dovuta a una ricombinazione netta.

Il meccanismo di trapping si estende in quella regione nell'intorno della regione quasi neutra in cui non vale la relazione di equilibrio; più questa regione è estesa, più trappole verranno eccitate.

3.3 Effetto delle trappole su dispositivi HEMT

Il principio che spiega meccanismo di trapping in una giunzione PN, può essere applicato allo studio delle trappole negli HEMT su GaN.

In realtà, quando si parla di dispositivi HEMT, non si ha a che fare con giunzioni PN, ma con giunzioni Shottky; la teoria che sta alla base degli effetti di generazione/ricombinazione delle trappole sono comunque gli stessi.

I contatti metallici di drain e source sono processati in modo da realizzare dei contatti ohmici con il canale 2DEG; il contatto di gate, invece, realizza una giunzione Shottky con il canale, ovvero un contatto metallo semiconduttore rettificante.

La seguente figura evidenzia la presenza dei diodi gate-drain e gate-source in condizione di off-state, ossia in assenza di canale formato in corrispondenza della metallizzazione di gate:

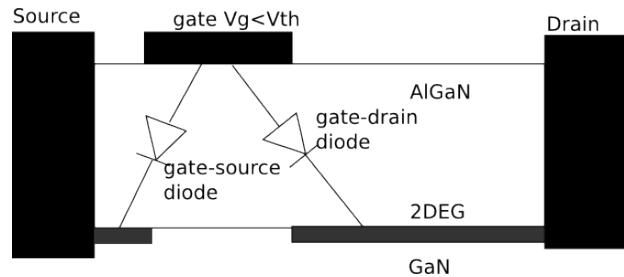
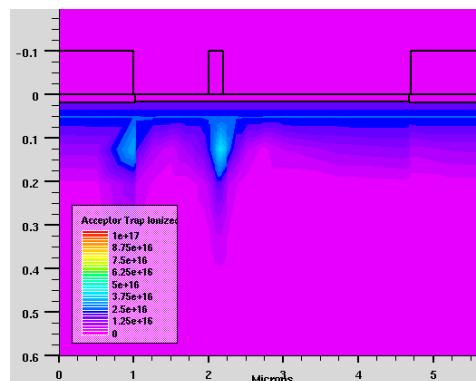


Figura 3.3.1: schematizzazione dei diodi gate-drain e gate-source di un dispositivo HEMT in condizione di off-state

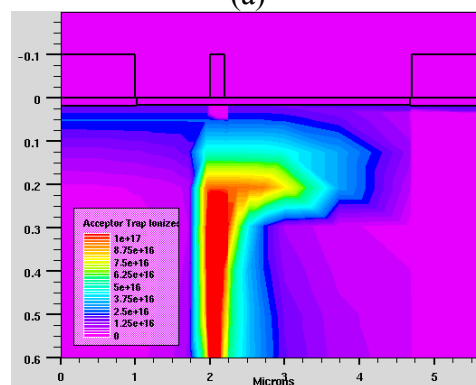
Polarizzando il dispositivo in condizioni di off-state, quindi con tensione tra gate-source V_{gs} minore della tensione di soglia di formazione del canale V_{th} $V_{gs} < V_{th} < 0$, source a massa e tensione di drain $V_d > 0$, si osserva che entrambi i diodi gate-source e gate-drain sono polarizzati inversamente.

In corrispondenza della metallizzazione di gate nello strato GaN si forma una regione di carica spaziale che si estende in profondità al crescere della tensione V_d ; nella regione di svuotamento si è nella condizione di fuori equilibrio $n_p < n_i^2$; in condizioni di buffer drogato, dove è probabile la presenza di livelli trappola, la regione di carica spaziale interesserà una porzione di buffer crescente in funzione della polarizzazione inversa, portando fuori equilibrio le trappole in questa regione.

La seguente **Figura 3.3.2** mostra la concentrazione di ionizzazione delle trappole in uno strato buffer drogato con Ferro in condizioni di polarizzazione diretta e inversa, si può notare come la concentrazione di trappole coinvolte sia superiore nel secondo caso:



(a)



(b)

Figura 3.3.2: Simulazione sulla distribuzione di ionizzazione degli stati accettori dovuti a drogante nello strato buffer in GaN HEMT nelle condizioni di on-state (a) e off-state con $V_g = -6V$, $V_d = 100V$ (b) [ref]

3.4 Come le misure Double-Pulse sollecitano il trapping

Come riportato nel capitolo adibito alla descrizione dei sistemi di misurazione, è stato utilizzato in sistema a doppio impulso per sollecitare i fenomeni di trapping (o di intrappolamento) e valutare perciò gli effetti transitori nei dispositivi esaminati nella tesi.

Il sistema double-pulse polarizza il dispositivo grazie a due impulsatori che impongono due segnali rettangolari sincronizzati tra loro, rispettivamente sul drain e sul gate; ad ogni impulso, il dispositivo passa da uno stato di off-state (con V_d e V_g fissate dalla *baseline* scelta) a uno stato di on-state.

Come abbiamo visto nel paragrafo precedente (**Figura 3.3.2 b**), in condizione di off-state si crea una regione di svuotamento dovuta alla polarizzazione inversa dei diodi gate-drain e gate-source; questa regione è in fuori equilibrio, alterando, di conseguenza, il riempimento degli stati trappola.

Passando dalla condizione di off-state a quella di on-state lo stato delle trappole ritorna all'equilibrio (**Figura 3.3.2 a**) previo un tempo transitorio; plottando la corrente di drain in un asse temporale si ottengono informazioni interessanti sul tempo di vita medio di trappolamento-detrappolamento.

La **Figura 3.4.1** riporta l'andamento temporale della corrente d'uscita a seguito di polarizzazione a gradino su un dispositivo di esempio:

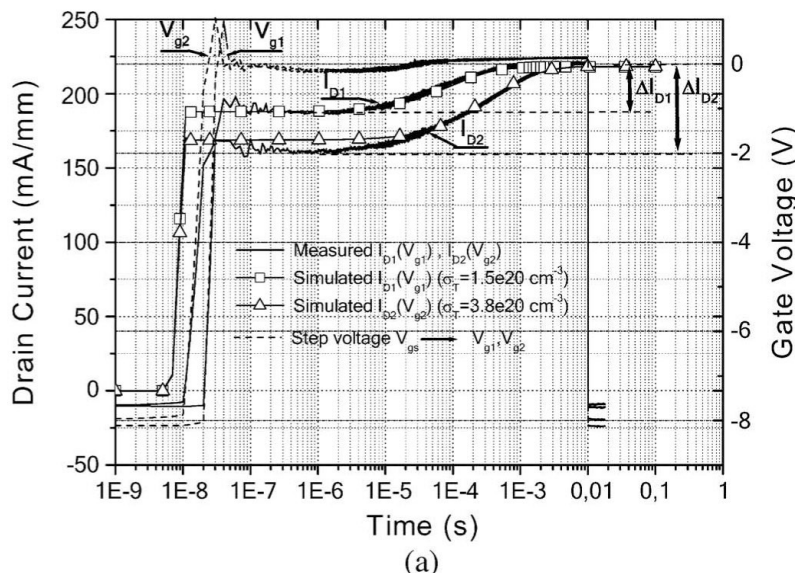


Figura 3.4.1: Andamento temporale della corrente d'uscita in accensione partendo da un punto da una condizione di intrappolamento in off-state in un dispositivo di esempio

Capitolo 4

Sistemi di misurazione

Questo capitolo riporta la descrizione dei sistemi di misura utilizzati in questa esperienza di tesi. Da questo punto, cominceremo ad addentrarci nell'aspetto pratico dell'attività di ricerca che il gruppo di ricerca di microelettronica del dipartimento di Ingegneria dell'Informazione dell'Università di Padova affronta da anni, in collaborazione con altre Università italiane e estere e con molte aziende prestigiose.

Nei seguenti paragrafi, riporto una descrizione degli strumenti e dell'attrezzatura del nostro laboratorio, nonché delle procedure di misura adottate.

4.1 Misure DC

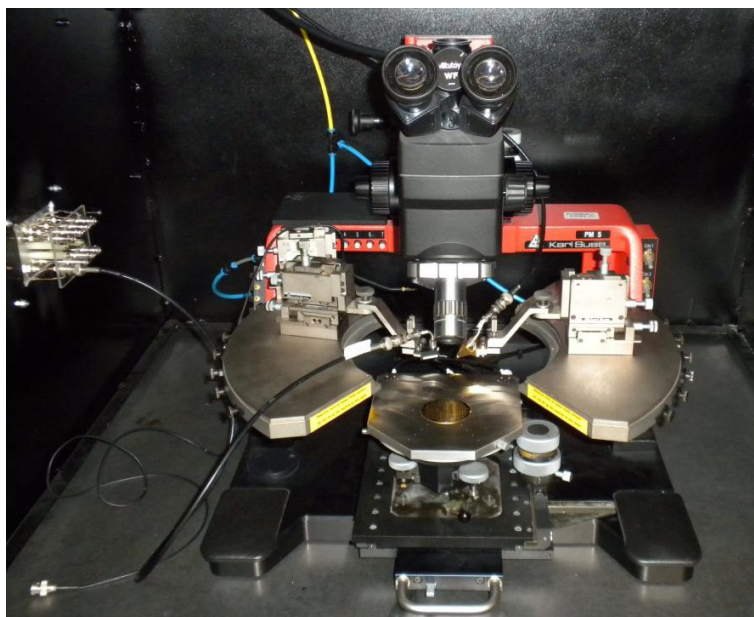


Figura 4.1.1: Probe station Karl Suss PM5

Il sistema di misure DC si compone della seguente attrezzatura:

- probe station: Karl Suss PM5;
- parameter analyzer: Agilent E5263A;
- PC con applicazione ad-hoc in Lab-View per la gestione delle misure DC;

Al fine di ridurre disturbi e altri effetti indesiderati (oscillazioni) che alterano la misura, adottiamo delle micropunte RF e dei cavi triassiali per connettere i dispositivi al parameter analyzer: si tratta di punte a pettine, in configurazione ground-signal-ground, dalle dimensioni compatibili al layout dei

Sistemi di misurazione

nostri dispositivi:

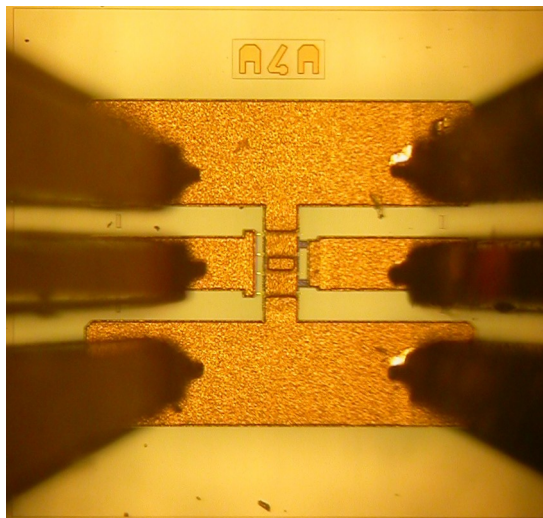


Figura 4.1.2: Connessione di un dispositivo con punte RF

La polarizzazione viene effettuata connettendo il dispositivo con due punte RF: una fornisce segnale al gate ed è connessa in configurazione source-gate-source, l'altra al drain in configurazione source-drain-source; entrambe sono connesse al parameter analyzer per mezzo di cavi triassiali e montate su manipolatori che permettono di controllare con precisione il posizionamento sui pad del dispositivo.

Il parameter analyzer Agilent E5263A è fornito di due Source Monitor Unit(SMU): la High Speed High Power SMU (modello E5290A) fornisce la tensione di drain-source e ne misura la corrente prodotta, e la High Speed Medium Power SMU (E5291A) che svolge le stesse funzioni sul gate. Come già anticipato, il source è connesso al riferimento di massa dello strumento tramite le maglie dei cavi.

L'Agilent E5263A è connesso ad un PC tramite un cavo GP-IB, sul quale un'applicazione virtual instrument in Lab-View ne gestisce la polarizzazione e i sweep di tensione sui terminali del dispositivo.

Le misure effettuate vengono poi salvate su un file di testo e ordinate secondo una struttura ad array. La comodità di un'applicazione che gestisce lo strumento, consente inoltre, di effettuare degli stress automatici: una tipica procedura consiste nel pilotare lo strumento in maniera da effettuare una caratterizzazione DC dopo ogni condizione di polarizzazione a tensioni e tempi prefissati.

In questo modo è possibile confrontare le caratteristiche del componente prima e dopo ogni passo di stress.

Durante la misura, è bene proteggere il dispositivo da eventuali disturbi provenienti dall'esterno (elettromagnetici e meccanici), la probe station è schermata da un contenitore metallico che fa da gabbia di Faraday.

4.2 Misure di foto-emissione

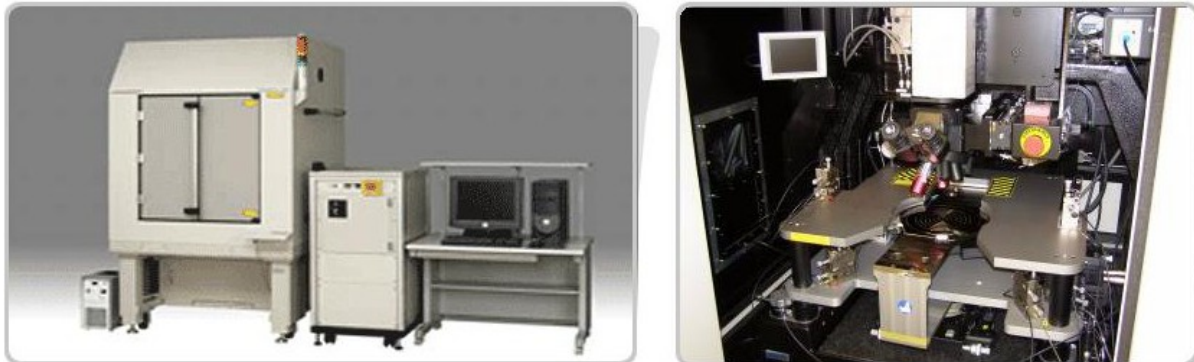


Figura 4.2.1: Hamamatsu Phemos200

Al fine di valutare l'affidabilità dei dispositivi e riconoscere le zone di degrado, si ritiene utile localizzare i punti su un dispositivo polarizzato dove avviene un'emissione rilevante di fotoni; avendo un'immagine della densità di fotoni emessi in funzione delle coordinate X-Y, è possibile riconoscere eventuali punti di ricombinazione indesiderati dovuti a deterioramento localizzato o eventuali difetti cristallografici.

Lo strumento adottato per questo tipo di misura si chiama Hamamatsu Emission Microscopy System PHEMOS P200, consiste in una probe station simile a quella vista per le misure DC munita di microscopio a emissione e un sensore per il conteggio dei fotoni (CCD) alla temperatura di lavoro di -50°C .

Il dispositivo viene collegato alla strumentazione per mezzo di quattro punte DC: una contatta il gate, una il drain e due il source.

Dei micromanipolatori consentono la connessione delle punte alla strumentazione per mezzo di cavi biassiali e trassiali che si connettono al parameter analyzer HP4142B collegato al PC tramite cavo GP-IB.

Un software di caratterizzazione interattiva ICS consente di effettuare procedure di polarizzazione e misurazione automatizzate e di salvare i dati in file di testo.

Il microscopio di cui è dotato il PHEMOS 200 consente un ingrandimento del dispositivo fino a 100X;

All'immagine di emissione del dispositivo polarizzato viene "sottratta" l'immagine di emissione in condizioni di buio (dark-image) in modo da mitigare l'effetto del rumore di fondo.

Sovrapponendo la foto del dispositivo con l'immagine di emissione è possibile individuare visivamente i punti sul dispositivo dove si hanno salti energetici dei portatori, non dovuti solo a ricombinazione, ma anche a transizioni intra-banda; si individuano così quelle aree in cui si hanno perdite di potenza per emissione che possono rappresentare difetti, punti di rottura o punti fortemente sotto stress.

4.3 Misure dinamiche

Le misure dinamiche sono quelle che più evidenziano i fenomeni di intrappolamento transitori che vogliamo osservare e studiare, nonché, l'effetto di stati trappola dovuto al drogaggio del buffer con ferro; non a caso, sono le misure che più mi hanno coinvolto in questa attività di tesi.

La strumentazione consiste in un sistema custom chiamato Double-Pulse, costituito da una *probe-*

station molto simile a quella adottata per misure DC; anche in questo caso, i contatti vengono realizzati con punte RF in modo da mitigare l'effetto di disturbi e “oscillazioni” indotte dal campione o dagli strumenti.

Due impulsatori forniscono un treno di impulsi rettangolari, sincronizzati tra loro, rispettivamente al gate e al drain del dispositivo, partendo da un punto di riposo arbitrario chiamato *baseline*.

Un oscilloscopio, la cui misura è sincronizzata dai segnali precedenti, campiona l'andamento della tensione $V_{dd}(t)$ e $V_{ds}(t)$ che differiscono della caduta di tensione su una resistenza serie da noi inserita sulla maglia di uscita.

Un applicazione in Lab-View gestisce sia il setup degli impulsatori che l'acquisizione, l'elaborazione e il salvataggio in file di testo dei dati rilevati.

Questo sistema consente di eseguire delle caratterizzazioni I-V dinamiche: sostanzialmente, è una procedura intenta a stimolare i fenomeni di trapping/detrapping sul dispositivo, causa di un temporaneo collasso della corrente di uscita.

Il nostro obiettivo è studiare tale fenomeno in funzione della *baseline* e del diverso doping, evidenziando eventuali variazioni permanenti dei parametri del dispositivo, nonché eventuali cause di degrado.

Tra i vari parametri di misura da impostare, quello fondamentale, che determina l'entità del collasso di corrente e che è l'unico che andremo a variare secondo una procedura standard, è la scelta della *baseline*: si tratta di una coppia di valori di tensione (V_{g_bl}, V_{d_bl}) che vengono applicate rispettivamente alla Vg e Vd del dispositivo (V_s a massa) e impongono uno stato iniziale di off-state prima dell'impulso.

La procedura da noi adottata fa riferimento a una sequenza di *baselines* predefinita: (0V,0V) che fa da riferimento in quanto non sollecita l'intrappolamento, (-6V,0V), (-6V,10V), (-6V,20V), (-6V,25V), (-6V,30V), (-6V,40V) e (-6V,50V).

Come descritto dalla **Figura 4.3.1**, la strumentazione comprende:

- pulser **HP8110A**: è utilizzato per pilotare il gate.
E' dotato di 2 canali di uscita, ognuno capace di fornire un segnale a onda quadra del quale è possibile impostare i parametri V_L, V_H , frequenza o periodo T, duty-cycle;
Parametri limite: $T_{max}=1.5s$, $T_{Hmax}=999ms$, $t_{LH}=t_{HL}=2ns$, $|V_H-V_L|_{max}=10V$, $|V_H-V_L|_{min}=0.1V$;
- pulser **HP8114A**: è applicato alla maglia di uscita del dispositivo.
Ha un unico canale di uscita con le stesse possibilità di setting dell'HP8110A, ma fornisce tensioni e correnti più alte.
Parametri limite: $T_{max}=999ms$, $T_{Hmax}=949ms$, $t_{LH}, t_{HL} > 5ns$ (dipende dalle punte e dai cablaggi), $|V_H-V_L|_{max}=100V$, $|V_H-V_L|_{min}=2V$;
lo strumento può lavorare sia in modalità *continuous*, comportandosi come generatore di onda quadra, sia in modalità *triggered* se si necessita di una sincronizzazione degli impulsi.
Nel nostro caso, lo strumento è impostato in modalità trigger su segnale in esterno fornito dall'HP8110.
- oscilloscopio **Tektronix TD654C**: è dotato di 4 canali.
E' sincronizzato sul segnale fornito dall'HP8110 al fine di rilevare gli andamenti temporali delle tensioni $V_{dd}(t)$, $V_{gs}(t)$ e $V_{ds}(t)$ in corrispondenza dell'impulso di polarizzazione.

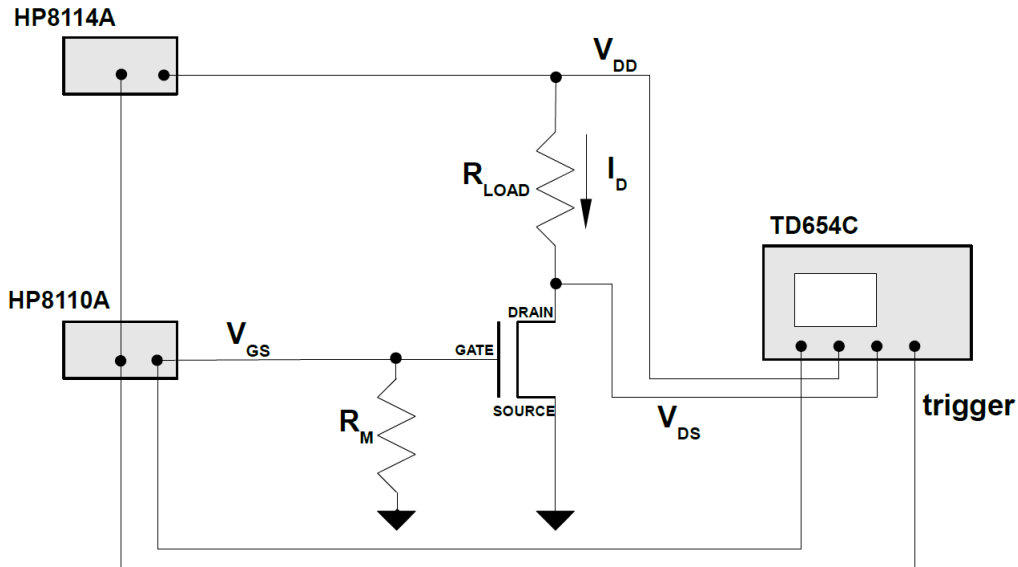


Figura 4.3.1: Schema a blocchi del sistema double-pulse

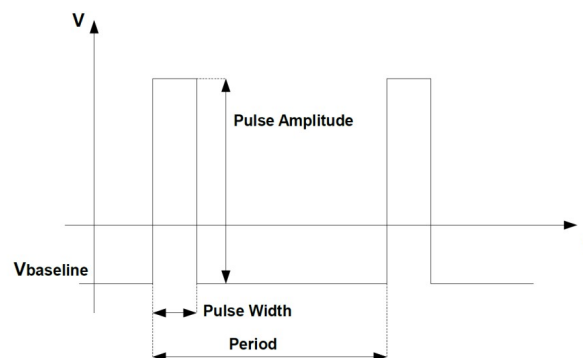


Figura 4.3.2: Segnale imposto dagli impulsori sia sul gate che sul drain del dispositivo

La connessione del dispositivo è quella standard di un amplificatore in classe A; la resistenza sulla rete di uscita R_{load} funge da *carico di shunt*, conoscendo sia $V_{dd}(t)$ che $V_{ds}(t)$ è possibile ricavare, infatti, la corrente di drain $i_d(t)$ applicando la legge di ohm:

$$i_d(t) = \frac{V_{dd}(t) - V_{ds}(t)}{R_{load}}$$

Tra gate e source è connessa una resistenza di adattamento per garantire il *matching* con il generatore di impulsi;

Per effettuare la caratterizzazione I-V dinamica del dispositivo, il sistema polarizza il dispositivo ad ogni treno di impulsi secondo tempistiche e sweep di V_g e V_{dd} prefissati, partendo da una condizione di off-state fissata dalla *baseline*.

Gli andamenti di tensione $V_{dd}(t)$, $V_{ds}(t)$ e $V_{gs}(t)$ vengono così campionati e registrati in file di testo.

Le caratterizzazioni di nostro interesse sono la I_d - V_d e la I_d - V_g .

La prima consiste nell'impostare lo sweep della V_{dd} a vari passi di V_g ; per ogni valore della tensione V_g , il sistema provvede a registrare un impulso su tutta la scala di V_{dd} ; se viene misurata una tensione V_{ds} che supera il valore $V_{ds\ max}$ fissato, il sistema provvede automaticamente a fare

Sistemi di misurazione

una nuova caratterizzazione Id-Vd incrementando Vg o a terminare la misurazione.

La misura della trans-caratteristica Id-Vg, invece, consiste nel fissare uno sweep (e relativo step) per la Vg alla tensione Vds a cui si vuole misurare la corrente Id; per ogni step di Vg, il sistema provvede a incrementare la Vdd (secondo uno step fissato) in modo da inseguire la tensione del drain prefissata; a questo punto, gli andamenti di Vgs, Vdd, Vds in corrispondenza dell'impulso possono essere salvati.

I file di testo generati dal sistema double-pulse vengono poi elaborati da specifici fogli di lavoro in Excel.

In poche parole, per ogni impulso salvato, viene associato ogni valore di Vd o Vg a un valore di corrente di uscita Id(T_F) misurato durante l'impulso nell'istante T_F fissato compreso tra l'istante di salita e quello di discesa; il valore Id(T_F) può essere ottenuto anche da una media tra valori di corrente contigui nell'intorno dell'istante T_F.

Da questi valori è possibile ottenere dei grafici Id-Vd, Id-Vg (o anche gm-Vg) alle varie *baselines* confrontabili alle varie condizioni di intrappolamento.

A titolo illustrativo si riporta in **Figura 4.3.2** l'andamento temporale della corrente di drain Id(t) in corrispondenza degli impulsi di polarizzazione:

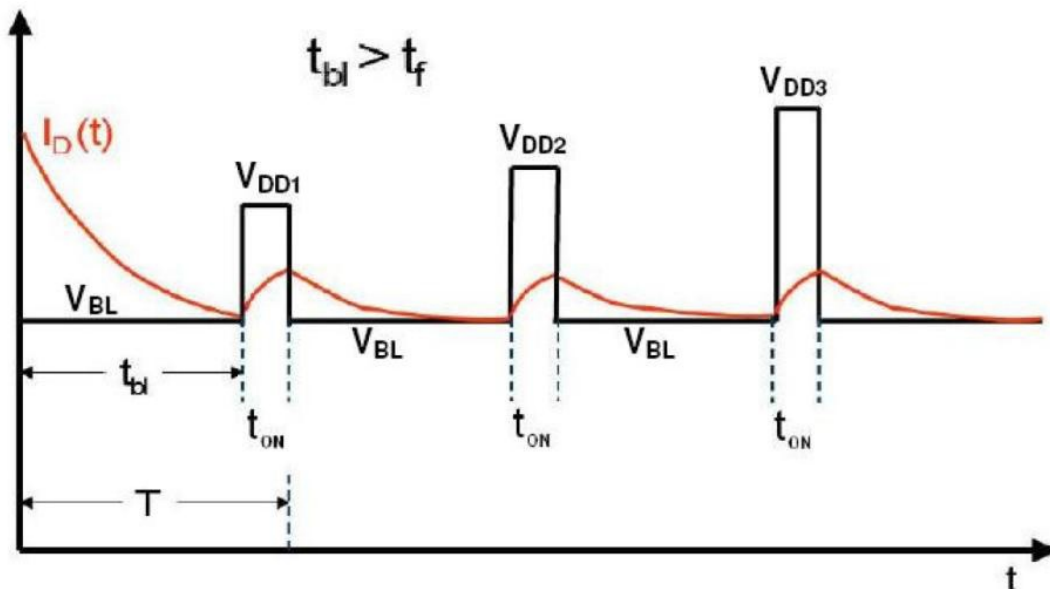


Figura 4.3.2: Andamento temporale della corrente di drain di un dispositivo HEMT sottoposto a misura Double-Pulse

Il parametro a cui facciamo riferimento per valutare i fenomeni di intrappolamento prende il nome di Slump-Ratio (SR) ottenuto attraverso misure Id-Vd; esso si definisce come il rapporto della corrente di drain Id(T_F) in misure impulsive ad una certa baseline con riferimento a quella ottenuta alla baseline (0V,0V).

Un secondo parametro importante nei nostri studi è lo spostamento di soglia che subisce la caratterizzazione Id-Vg in impulsata alle varie baseline.

4.5 Misure CV

Nel corso del lavoro di tesi, al fine di studiare l'effetto di trapping nel buffer dovuto al ferro, sono state effettuate alcune misure capacità-tensione su diodi ad elevata area di gate; tali dispositivi sono stati processati allo stesso modo dei dispositivi di nostro interesse ma, presentando un'area di gate decisamente maggiore, risulta più facile la misurazione della capacità intrinseca di gate.

La misurazione CV prevede che il dispositivo venga collegato con source a massa.

Al gate, invece, viene applicato uno sweep di tensione che polarizza il canale dalla condizione di pinch-off a quella di canale aperto (lo sweep può essere impostato anche in inversa); sovrapposto alla componente continua, viene applicato un piccolo segnale sinusoidale a una certa frequenza la cui ampiezza è tale da non compromettere la polarizzazione del canale.

A seconda dello sfasamento tra tensione e corrente del piccolo segnale nonché dalla relazione tra le ampiezze, è possibile avere informazioni sull'impedenza equivalente di gate e quindi sulla sua capacità.

Lo strumento impiegato per la misura è un HP4284A LCR meter e consente la misura di CV da 20Hz a 1MHz.

Tali misure vengono effettuate in una configurazione a quattro terminali, due dei quali (H_p ed L_p) sono utilizzati per imporre la tensione, comprensiva di polarizzazione e segnale, mentre altri due (H_c ed L_c) consentono la misura della corrente.

La massima frequenza per la misurazione, purtroppo, non è stabilita dallo strumento, ma dalle punte e dai cavi adottati: durante le misure di impedenza, infatti, lo strumento mantiene in *virtual ground* il terminale L_p attraverso un circuito basato su un amplificatore operazionale retroazionato; in definitiva, le punte adottate sono DC.

Utilizzando le micropunte RF il conduttore L_p , che va a contattare source e drain del dispositivo, verrebbe posto direttamente a massa, di fatto impedendo il corretto funzionamento dello strumento.

La banda delle punte DC comunque è comparabile con quella dello strumento, in ogni caso, dato che lo studio affrontato interessa fenomeni di intrappolamento lenti non siamo interessati a lavorare ad elevate frequenze.

Lo strumento è impostato per misurare un'impedenza equivalente riconducibile al parallelo di una capacità e di una conduttanza (C_p e G_p): le componenti parassite, dovute ad esempio ai cavi e alle connessioni, vengono compensate dallo strumento in fase di calibrazione.

Visto il nostro interesse a eseguire misure di capacità 'pura', risulta fondamentale effettuare misurazioni con sweep in frequenza e polarizzazione fissa di canale al fine di ricavare una banda in cui lo sfasamento tra i segnali di tensione e corrente sinusoidali siano più possibile di -90° : in questo caso, l'effetto capacitivo è predominante.

Con sfasamenti più alti, lo strumento può interpretare come capacità altri contributi resistivi, falsando perciò la misura.

Capitolo 5

Descrizione dei dispositivi

L'esperienza in cui sono stato coinvolto in questo periodo di tesi è parte del un progetto europeo MANGA (Manufacturable GaN) finanziato da European Defence Agency (EDA) che ha lo scopo di sviluppare e realizzare dispositivi su GaN totalmente prodotti in Europa (dal substrato al processo superficiale al packaging) per uso militare.

Al progetto collaborano aziende leader in Europa e istituti di ricerca operanti nello sviluppo della tecnologia GaN per applicazioni elettroniche.

L'attività svolta dai partner coinvolti nel progetto ricoprono l'intera filiera di sviluppo dei dispositivi su GaN, dalla realizzazione del substrato in carburo di Silicio al dispositivo finale.

Le aziende del progetto fornitrici dei substrati sono *SiCristal* e *Norstel*, mentre la crescita epitassiale è affidata all'organizzazione di ricerca *Alcatel Thales III-V LAB*, all'istituto di ricerca IAF (Fraunhofer Institute for Applied Solid State Physics) e all'Università di *Lincoping* in Svezia.

Infine, i wafer sono processati da UMS, SELEX, III-VLAB, IAF e Chalmers University.

Il ruolo degli istituti di ricerca (Xlim) e delle Univerità di Padova, Modena e Bristol è di fornire un supporto nella caratterizzazione delle strutture epitassiali e di giudicare le prestazioni e affidabilità dei dspositivi.

La **Figura 5.0** riporta una schematizzazione a blocchi del progetto:

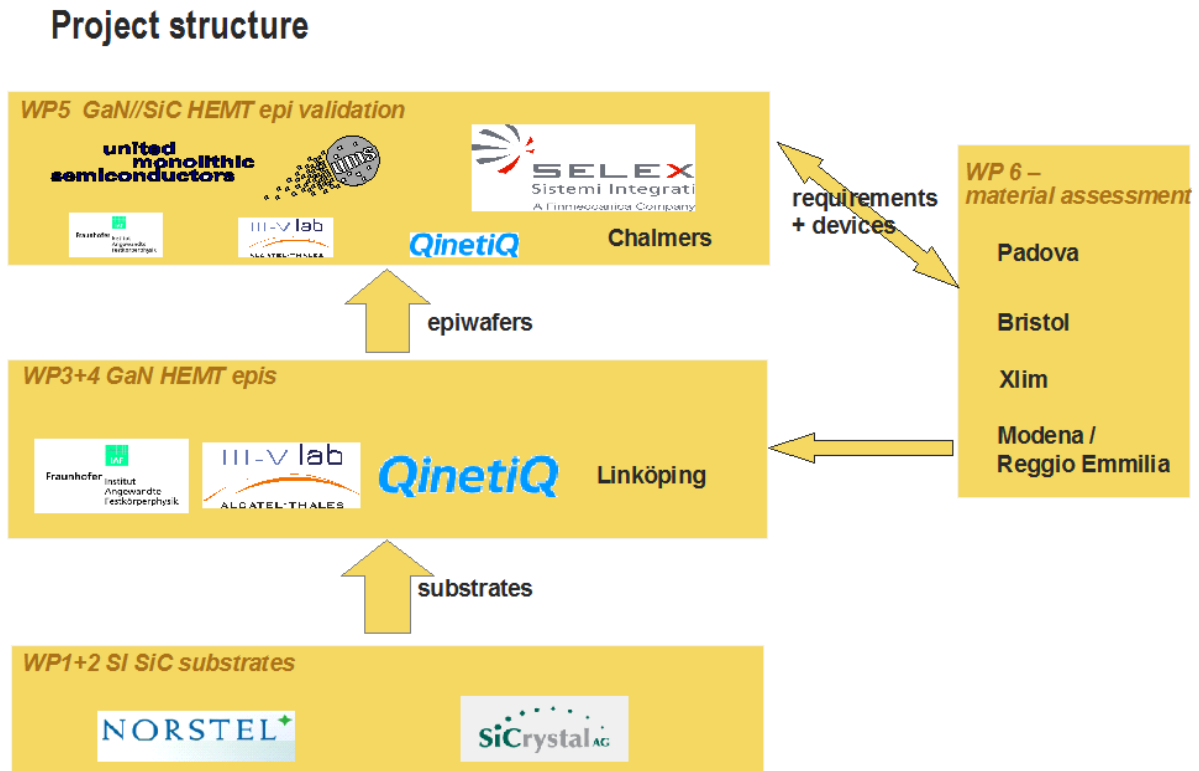


Figura 5.0: Schematizzazione a blocchi del progetto MANGA

Di seguito, riporto una descrizione dei dispositivi analizzati durante questo periodo di tesi.

5.1 Wafer

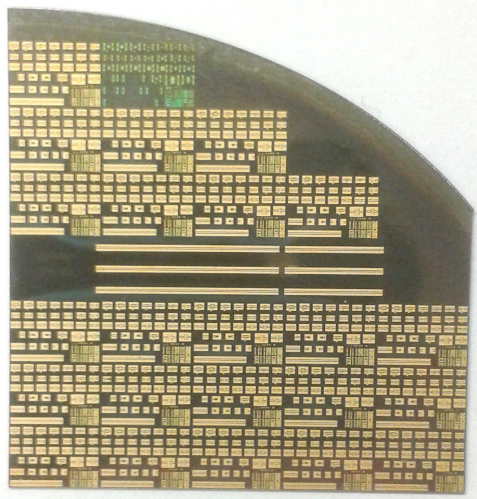
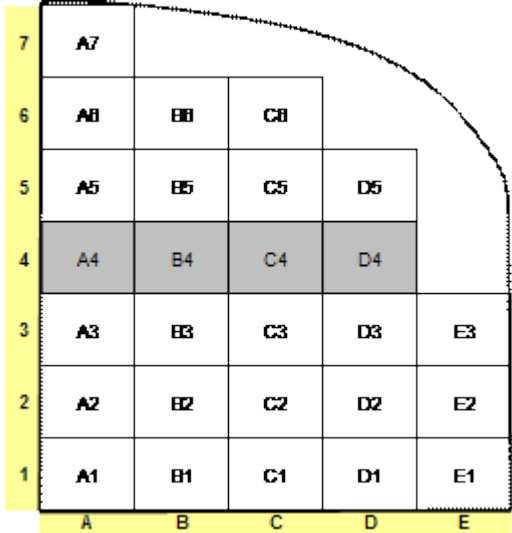
I Wafer sui quali ho lavorato in questa esperienza di tesi sono forniti da Selex Sistemi Integrati. La seguente **Tabella 5.1.1** riporta la lista dei wafer studiati nonché delle caratteristiche dei dispositivi.

La caratteristica che a noi interessa maggiormente è la concentrazione di drogaggio (nonché il profilo) con ferro.

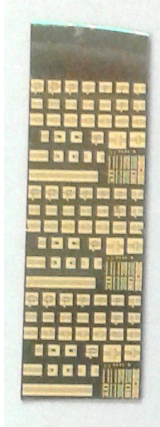
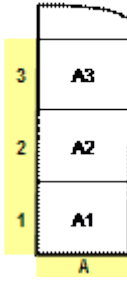
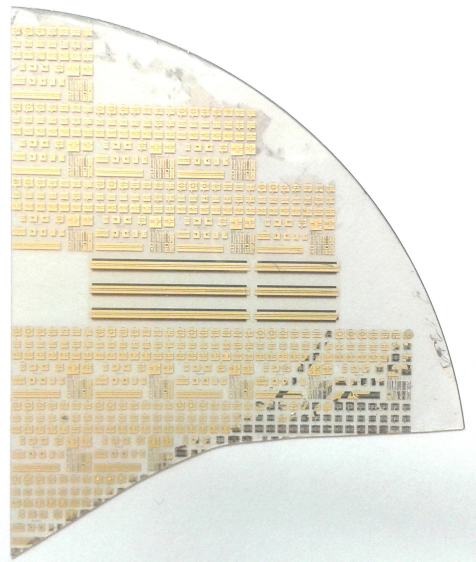
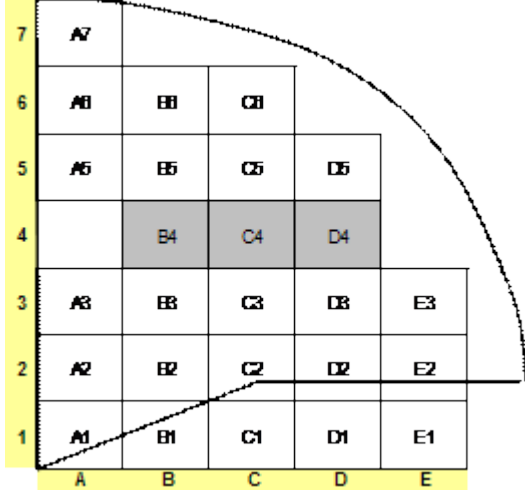
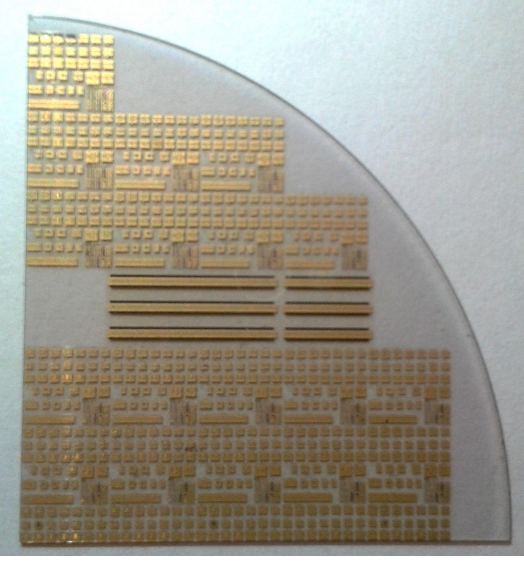
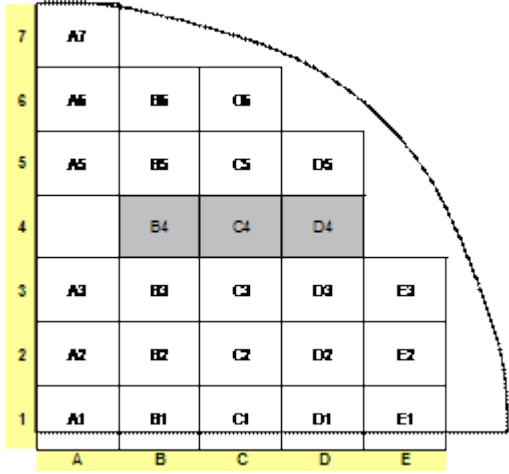
| Fab | Wafer | substrate | Substrate | AlGaN | AlGaN | GaN | GaN | epilayer |
|-------|----------|-----------|-----------|--------|-------|--------|-----------|----------|
| | | | supplier | d (nm) | Al % | d (um) | Fe doping | supplier |
| Selex | SLX IA01 | 6H-SiC | B | 20 | 25 | 1.9 | 4.00E+17 | E |
| Selex | SLX CA04 | 4H-SiC | A | 26 | 29 | 1.8 | 1.00E+18 | C |
| Selex | SLX_NC03 | 4H-SiC | A | 20 | 25 | 2.4 | 0.00E+00 | D |
| Selex | SLX_CA02 | 4H-SiC | A | 26 | 29 | 1.8 | 1.00E+18 | C |
| Selex | SLX_IC01 | 6H-SiC | B | 20 | 25 | 1.9 | 1.00E+17 | E |
| Selex | SLX_ID01 | 6H-SiC | B | 20 | 25 | 1.9 | 2.00E+17 | E |

Tabella 5.1.1: Informazioni sui wafer forniti da Selex

I wafer sono riportati nella seguente **Tabella 5.1.2:**

| Sigla | Immagine | Struttura celle |
|-----------|---|--|
| SLX NC-01 |  |  |

Descrizione dei dispositivi

| | | |
|------------------|---|--|
| <p>SLX CA-02</p> |  | <p>Scheggia 3B</p>  |
| <p>SLX CA-04</p> |  |  |
| <p>SLX IA-01</p> |  |  |

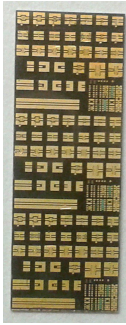
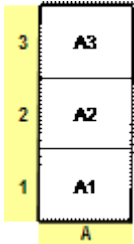
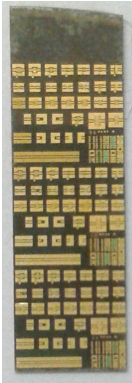
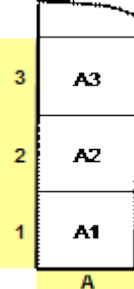
| | | |
|-----------|---|---|
| SLX IC-01 |  |  |
| SLX ID-01 |  |  |

Tabella 5.1.2: Schegge di wafer forniti da Selex

Ogni cella presenta la seguente struttura:

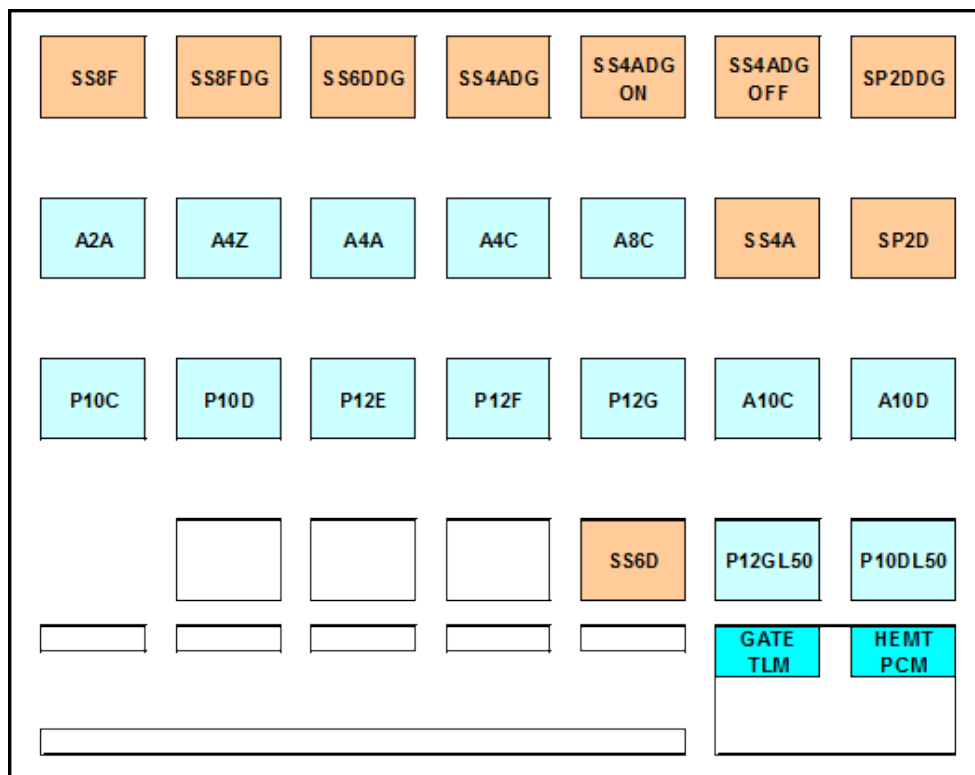


Figura 5.1.1: Distribuzione dei dispositivi in una cella

5.2 Dispositivi

I dispositivi sono disposti all'interno della cella secondo il layout riportato in **Figura 5.2.1**:

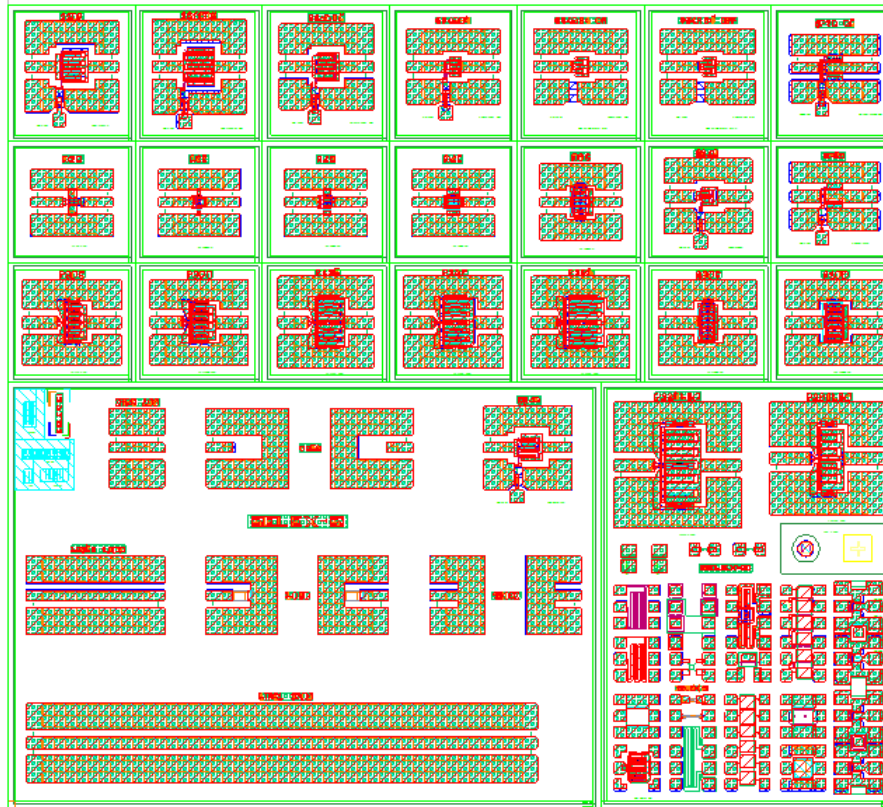


Figura 5.2.1: Layout della cella

Le dimensioni della cella sono: altezza 5.9mm, larghezza 6.1mm.

Si tratta di dispositivi HEMT su GaN passivati in Nitrato di Silicio (SiN), che si distinguono tra loro per lunghezza di canale e numero di finger di gate in parallelo; le metallizzazioni sono depositate al fine di ottenere le seguenti dimensioni: $L_G=0.5\mu\text{m}$, $L_{GS}=1.25\mu\text{m}$, $L_{GD}= 2.25\mu\text{m}$.

In particolare, i dispositivi di nostro interesse sono quelli contrassegnati dai seguenti nomi: A2A, A4Z, A4A, A4C, A8C.

La seguente **Tabella 5.2.1** riassume le caratteristiche dei dispositivi:

| ID | W _{gate-tot} [um] | N _{finger} X W _{gate-finger} [um] |
|-----|----------------------------|---|
| A2A | 100 | 2x50 |
| A4Z | 100 | 4x25 |
| A4A | 200 | 4x50 |
| A4C | 300 | 4x75 |
| A8C | 600 | 8x75 |

Tabella 5.2.1: Lunghezze di gate dei dispositivi

La struttura dei dispositivi si presenta con il layout riportato in **Figura 5.2.2**, tipicamente detto layout RF, in quanto compatibile alla connessione per mezzo di punte RF:

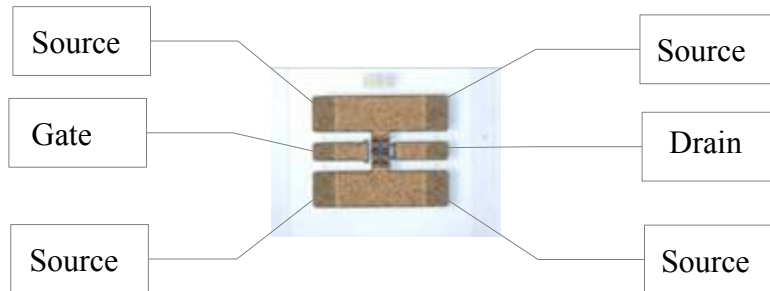
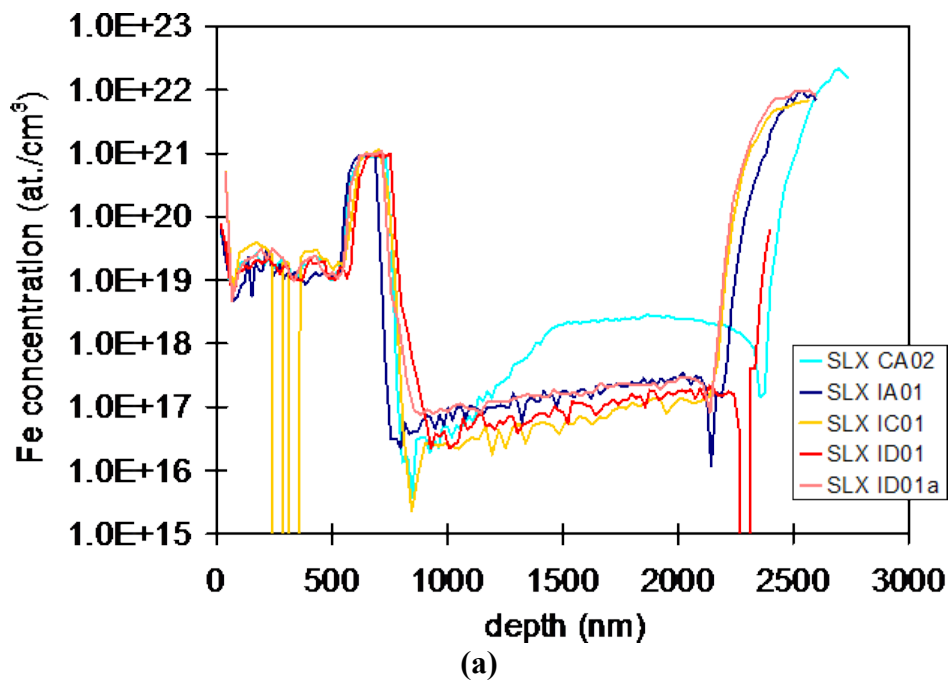


Figura 5.2.2: Layout di un dispositivo

A seconda del wafer, i dispositivi presentano diversi profili di drogaggio di Ferro nello strato buffer; grazie alla collaborazione del Dipartimento di Fisica, per ogni wafer è stato possibile avere una stima della concentrazione di atomi di ferro in funzione della profondità; I risultati ottenuti da tale misurazione, che prende il nome di SIMS (Secondary Ion Mass Spectrometry), sono riportati in **Figura 5.2.3**.



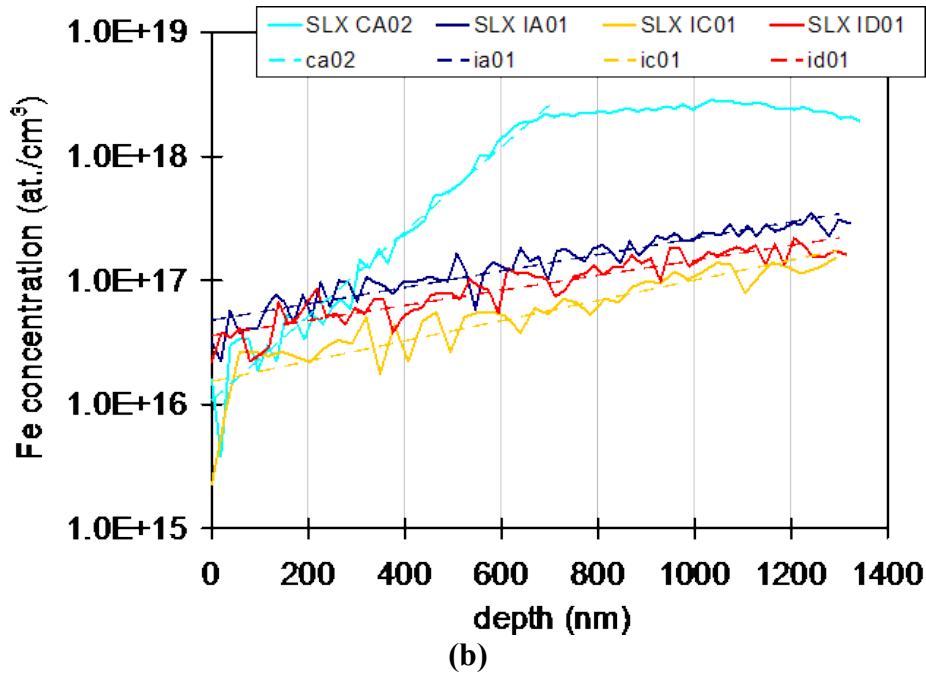


Figura 5.2.3: Profili della concentrazione di ferro: (a) in tutta la profondità del dispositivo
(b) nello strato buffer

Il SIMS del wafer SLX CA-04 non è riportato, in quanto è realizzato con la stessa procedura del wafer SLX CA-02: si suppone, quindi, che il profilo della concentrazione di ferro sia lo stesso. Si ricorda, come riportato in **Tabella 5.1.2**, che il wafer SLX NC-03 non è drogato con il Ferro; per questo motivo, viene considerato come wafer di riferimento per confrontare i risultati delle varie misurazioni.

Capitolo 6

Studio dei fenomeni di trapping

In questo capitolo saranno descritte le procedure di misurazione adottate, nonché le scelte fatte sui progressivi step di studio dei nostri dispositivi.

Verranno riportati, inoltre, i risultati ottenuti e le problematiche riscontrate nell'ordine in cui si sono susseguite al fine di rivivere la nostra esperienza.

6.1 Misure al double-pulse

Prima di cominciare a descrivere la mia esperienza, ritengo opportuno riportare delle figure di riepilogo di alcune misure al double-pulse fatte su vari campioni.

Le osservazioni che ne deduciamo costituiscono il punto di partenza per le mie misure.

Le seguenti tabelle riportano il confronto dello Slump-Ratio (SR) e scostamento della tensione di soglia su vari dispositivi dello stesso wafer.

Considerando una baseline intermedia, ad esempio (-6V,30V), si osserva che lo SR si aggira intorno a valori di 0.9 sia per il wafer NC che per i CA.

Per i wafer IA, ID e IC, invece, si aggira intorno a valori rispettivamente 0.6, 0.7 e 0.8.

Dalle osservazioni fatte si deduce che il collasso della corrente (su misurazioni impulsive) è maggiore sui dispositivi in wafer con più alta concentrazione di ferro nell'intorno del canale in quanto, sono più soggetti a fenomeni di trapping.

Si ricorda che i wafer CA, nonostante abbiano un buffer con concentrazione di drogaggio con ferro superiore agli altri, nell'intorno del canale i fenomeni di trapping sono quasi comparabili con quelli del wafer NC data la sua graduale concentrazione all'aumentare della profondità.

Per quanto riguarda lo spostamento di soglia dovuto a trapping, per misure al double-pulse svolte in modalità "alternata" (linee continue), si osserva che lo scostamento della tensione di soglia è crescente all'aumentare della baseline sui wafer NC e CA, che mediamente presentano scostamenti simili.

Per i wafer IA, IC e ID, invece, si osserva uno scostamento della tensione di soglia decrescente fino alla baseline (-6V,20V) e crescente al di sopra.

Supponendo che la misura al double-pulse imponga uno scostamento della tensione di soglia crescente all'aumentare della baseline, deduciamo che ci sia un fenomeno di degrado che dipende dalla tensione imposta V_d , che sposti la soglia verso valori decrescenti.

Per valutare l'entità di degrado abbiamo pensato di effettuare una misura DC a seguito di ogni misura al double-pulse per ogni baseline. La procedura adottata è riportata dettagliatamente nel paragrafo successivo.

Di seguito, sono riportati i grafici di riepilogo delle misure al double-pulse, in particolare l'andamento dello SR e lo spostamento di soglia su vari campioni di ogni wafer, in funzione della baseline; ogni figura è contraddistinta da una lettera rispettiva alla seguente descrizione:

- a) Confronto dello SR di tutti i campioni misurati;
- b) Confronto dello spostamento di soglia di tutti i campioni misurati;
- c) Confronto dello SR dei campioni piccoli misurati;
- d) Confronto dello spostamento di soglia dei campioni piccoli misurati;

Studio dei fenomeni di trapping

- e) Confronto dello SR dei campioni grandi misurati;
- f) Confronto dello spostamento di soglia dei campioni grandi misurati;

Wafer: SLX NC-03 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

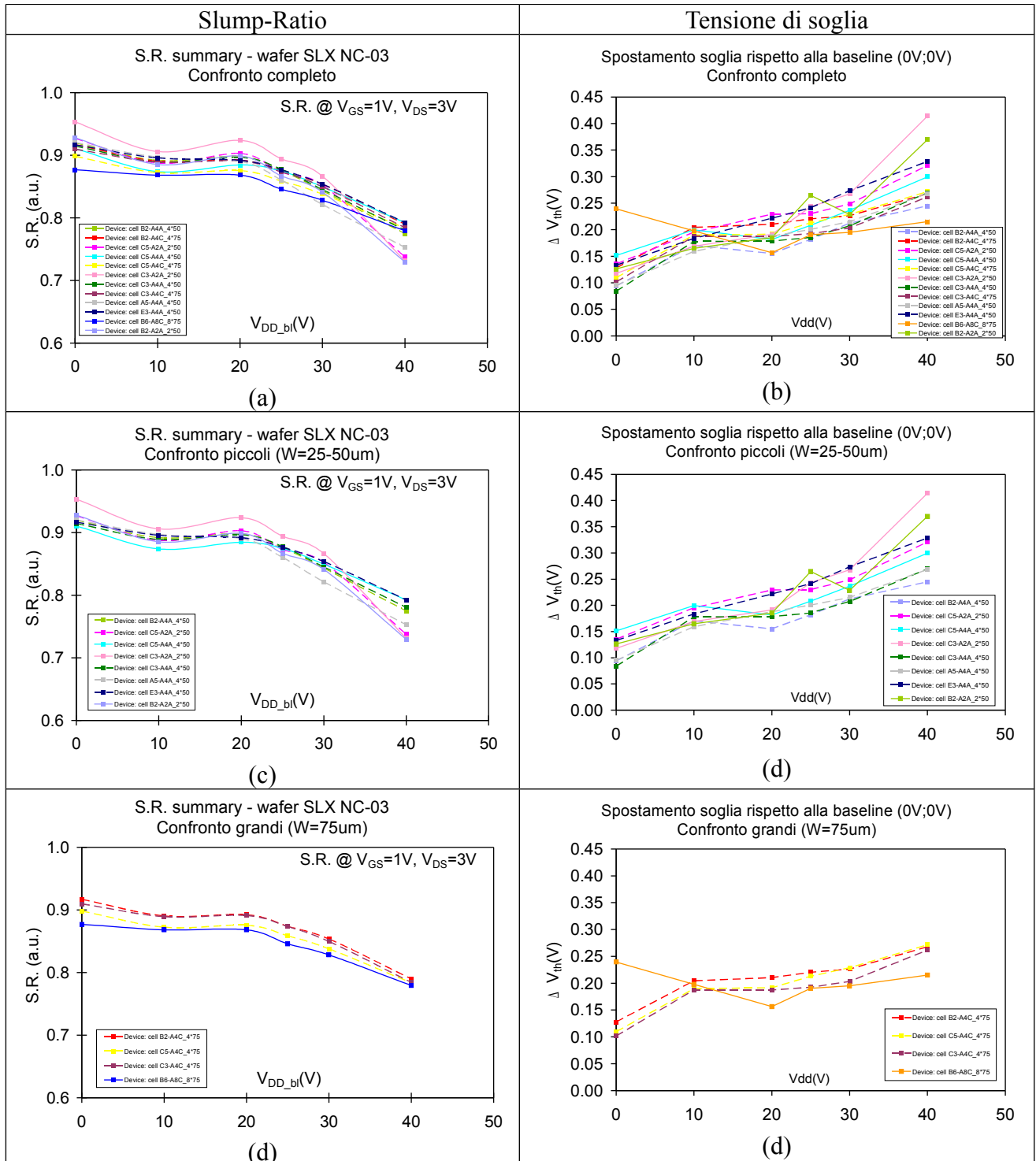


Tabella 6.1.1: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX NC-03

Wafer: SLX CA-04 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

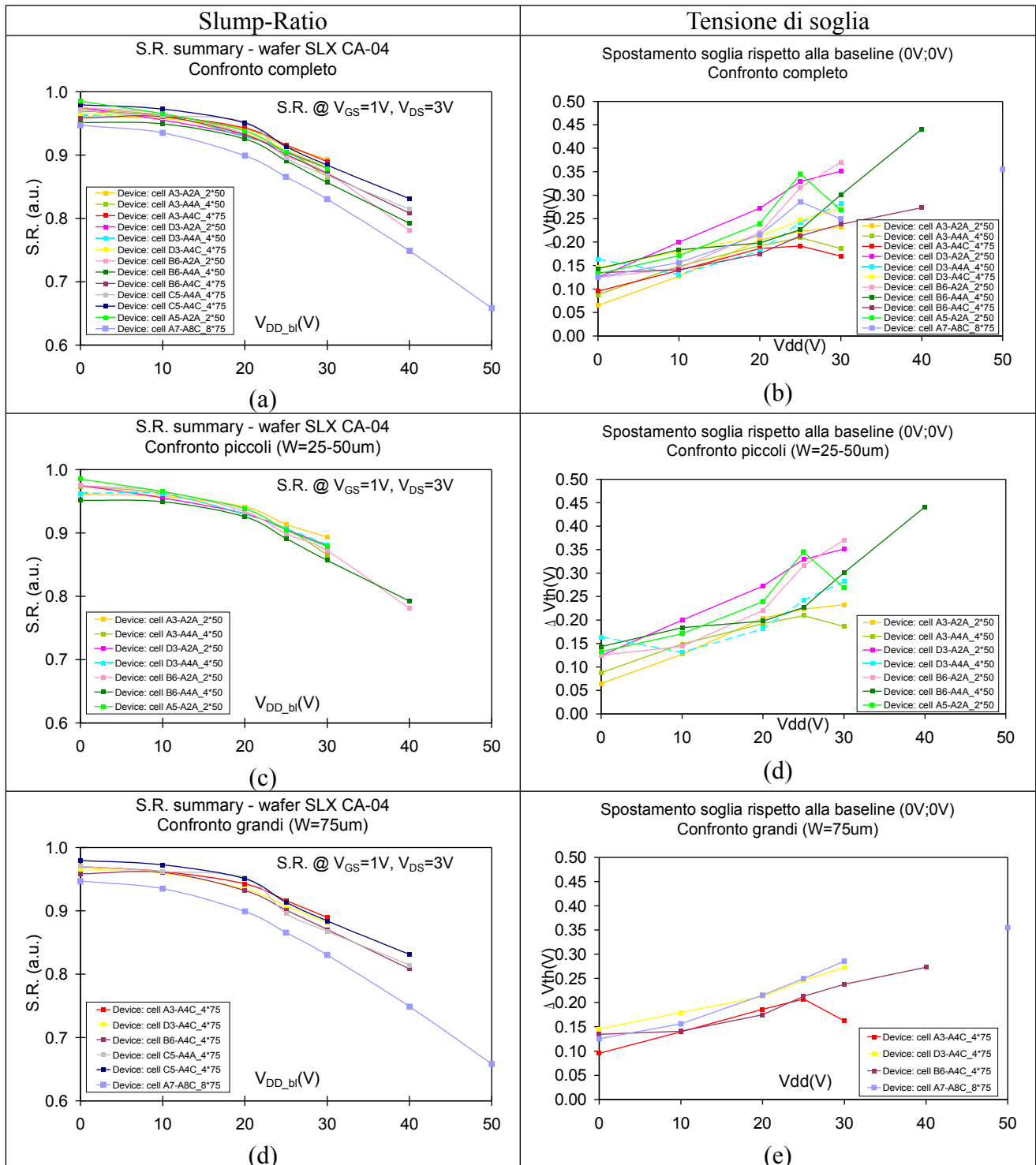


Tabella 6.1.2: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX CA-04

Studio dei fenomeni di trapping

Wafer: SLX CA-02 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

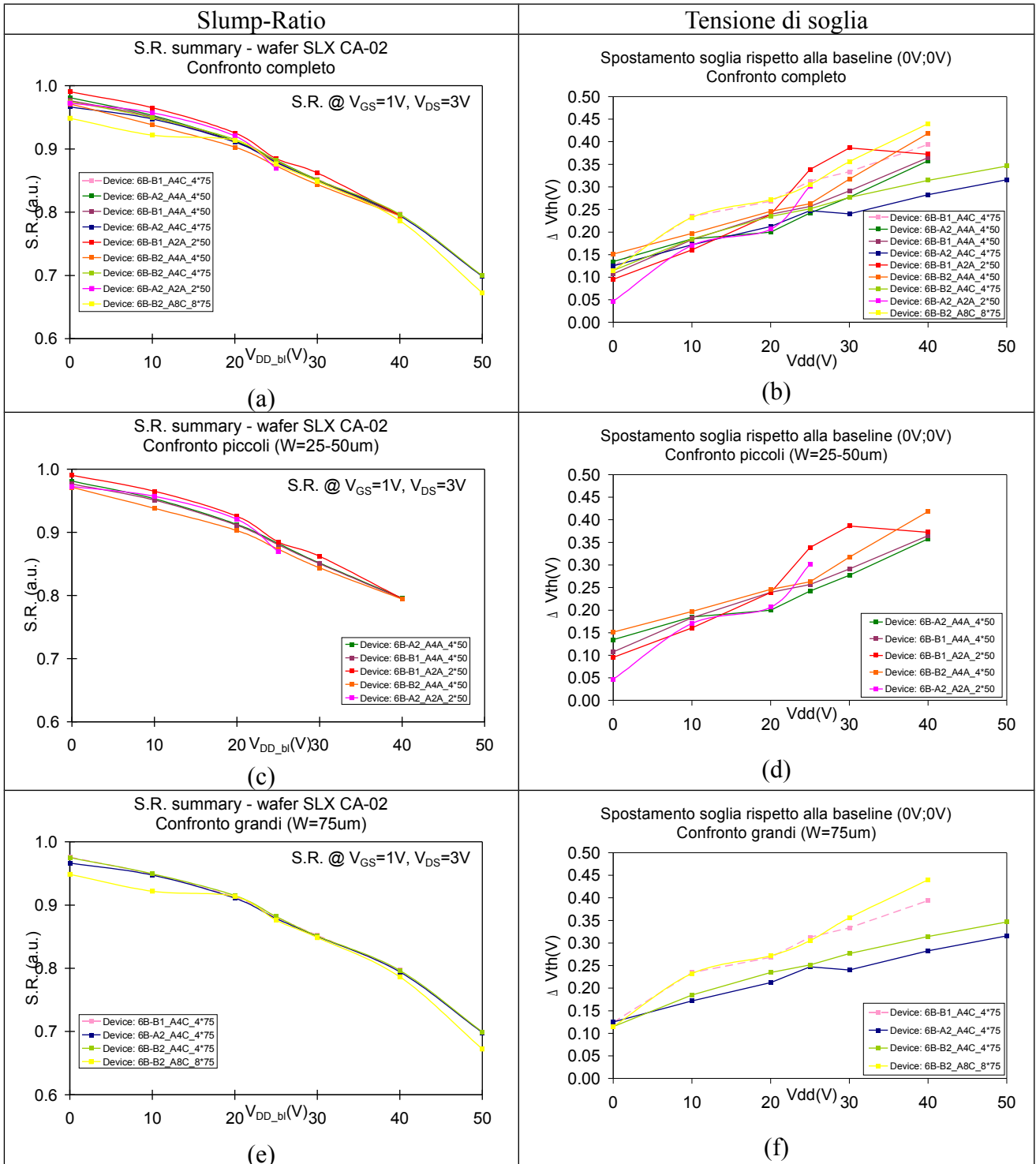


Tabella 6.1.3: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX CA-02

Wafer: SLX IA-01 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

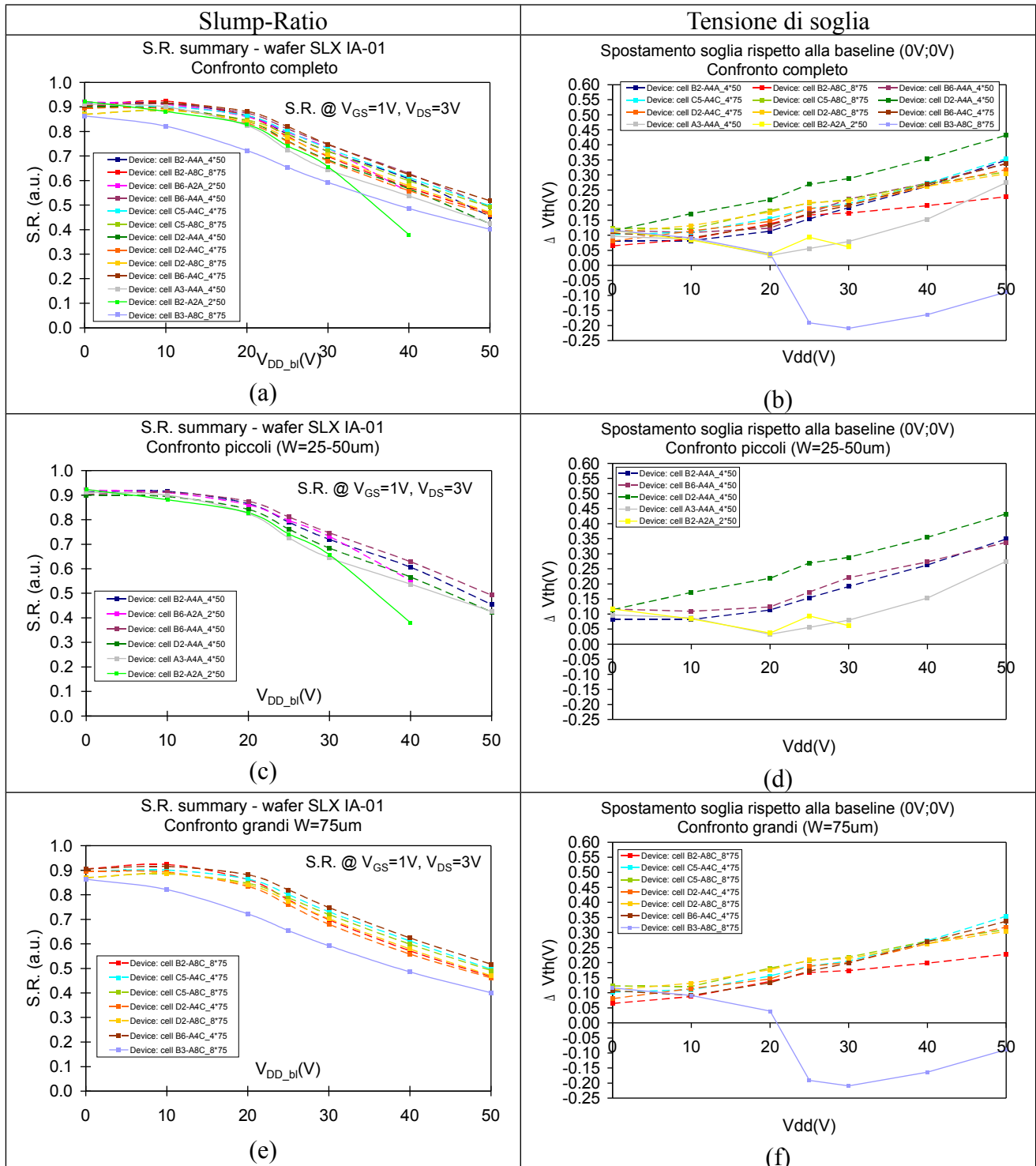


Tabella 6.1.4: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX IA-01

Studio dei fenomeni di trapping

Wafer: SLX IC-01 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

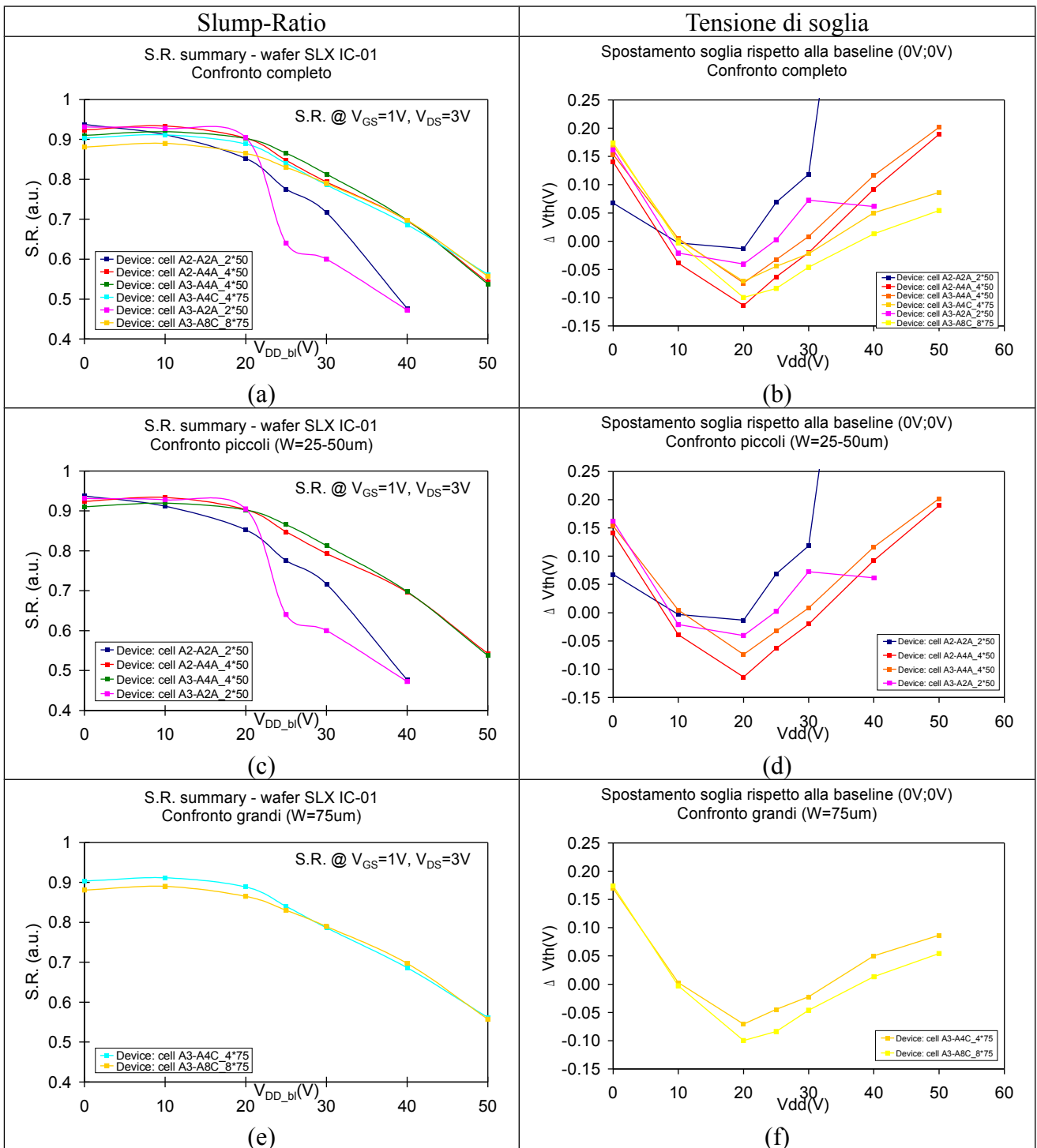


Tabella 6.1.5: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX IC-01

Wafer: SLX ID-01 (le linee tratteggiate indicano che la misura al DP è stata effettuata secondo un ordine “serie”)

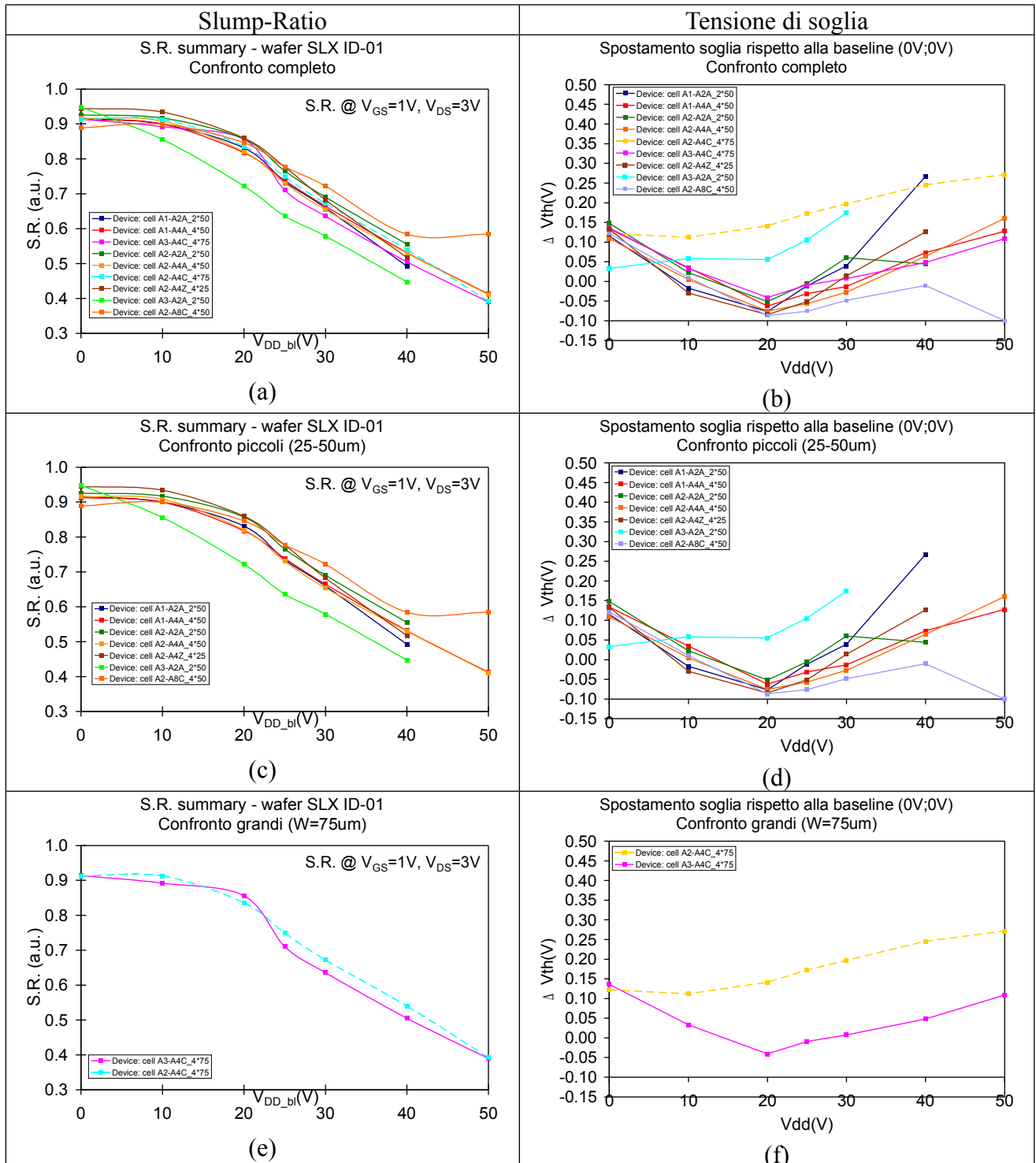


Tabella 6.1.6: Grafici di riepilogo Slump-ratio e Spostamento di soglia su wafer SLX ID-01

6.2 Sequenza Double-Pulse – relax – DC

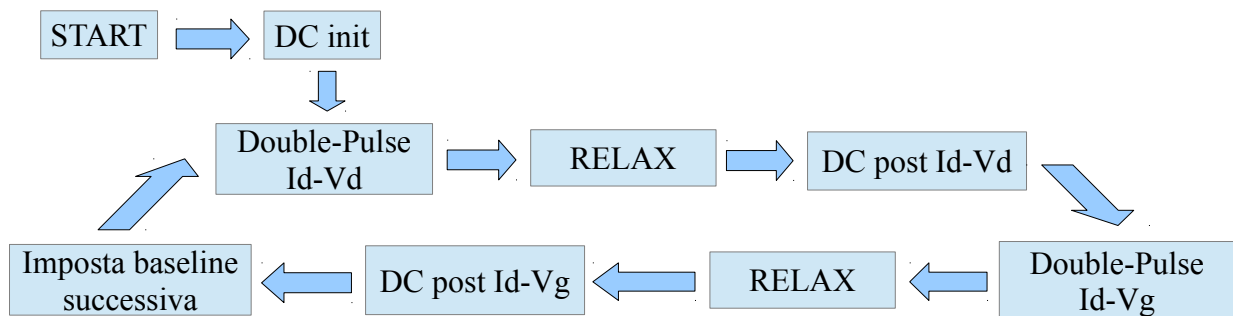
La prima parte dell'esperienza da me svolta consiste nello studio dei fenomeni transitori parassiti presenti su ogni wafer.

Da studi precedenti, si era potuto osservare un degrado significativo sui campioni di alcuni wafer a seguito di misure impulsive intervallate da misure DC con l'obiettivo principale di capire a quale *baseline* il dispositivo comincia a subire un degrado delle prestazioni.

Al fine di valutare il degrado a seguito di una misura di double-pulse, è necessario attendere che il dispositivo raggiunga uno stato di equilibrio delle trappole che sia più possibile simile a quello iniziale; con questo accorgimento, ci accertiamo che la misura DC, finalizzata a riconoscere il degrado ad ogni double-pulse, non sia alterata da fenomeni di trapping transitori (più o meno lenti).

6.2.1 Procedura

La procedura scelta per lo studio descritto è riportata dal seguente schema a blocchi:



Ad ogni ciclo, la *baseline* viene incrementata secondo l'ordine riportato nel capitolo relativo ai sistemi di misurazione:

(0,0) ; (-6,0) ; (-6,10) ; (-6,20) ; (-6,25) ; (-6,30) ; (-6,40) ; (-6;50)

La procedura è da considerarsi conclusa nei seguenti casi:

- il dispositivo da indicazioni di degrado delle prestazioni;
- una volta concluso il ciclo con la baseline (-6,50), in quanto la nostra strumentazione fornisce una tensione massima di drain pari a 50V.

Il dispositivo è da considerarsi degradato nei seguenti casi:

- la corrente di leakage nei diodi in parallelo GD//GS è almeno un ordine di grandezza superiore rispetto a quella misurata dalla prima DC, in tal caso, si parla di degrado del gate;
- il ginocchio della caratterizzazione Id-Vd è decisamente meno marcato rispetto a quello della prima DC, in tal caso, si parla di aumento della R_{ON} (ossia il rapporto $\Delta V_{ds}/\Delta I_d$ a V_{gs} costante nell'intorno del punto di origine della caratterizzazione DC);
- dalle caratterizzazioni Id-Vg, si nota una corrente I_d , in condizioni di off-state, almeno un ordine di grandezza superiore rispetto a quella misurata nella prima DC, in tal caso, si ha un peggioramento della caratterizzazione a canale chiuso;
- calo del valore di picco della trans-conduttanza g_m rispetto a quella misurata nella prima DC, in tal caso, si parla di un aumento della Raccesso.

La fase di RELAX consiste nel sottoporre il dispositivo a una fonte luminosa per circa 20 minuti; l'intenzione è di facilitare lo svuotamento delle trappole al fine di riportare lo stato del dispositivo nelle condizioni da vergine.

Il double-pulse è impostato secondo il seguente setup:

- caratterizzazione Id-Vd:
 - sweep Vds: 0/10V;
 - sequenza Vgs: 1V, 0V, -1V;
- caratterizzazione Id-Vg:
 - tensione fissa Vds: 3V;
 - sweep Vgs: -6/1V;

A seguito della procedura descritta, per quei dispositivi degradati ma non falliti, è stata fatta un'ulteriore misura DC dopo almeno 48 ore.

Di seguito riporto i riepiloghi delle DC a seguito di ogni misura al double-pulse Id-Vg sui campioni da me svolti (per semplificare il grafico, non sono riportate le misure DC post Id-Vd salvo nei casi esplicitati).

Ogni figura, riportata nelle tabelle seguenti, è contrassegnata con una lettera specifica, alla quale è associata la seguente descrizione:

- a) Corrente sui diodi in parallelo gate-drain e gate-source;
- b) Caratterizzazione Id-Vd a Vgs=1V, 0V e -1V;
- c) Transconduttanza gm con Vgs=3V;
- d) Transconduttanza gm con Vgs=7V;
- e) Corrente Id di sotto-soglia;
- f) Caratterizzazione Id-Vg Vds=7V.

6.2.2 Risultati DC intermedie al DP

Riepilogo grafici DC del wafer SLX CA-04:

Cella: A5 Dispositivo: A2A

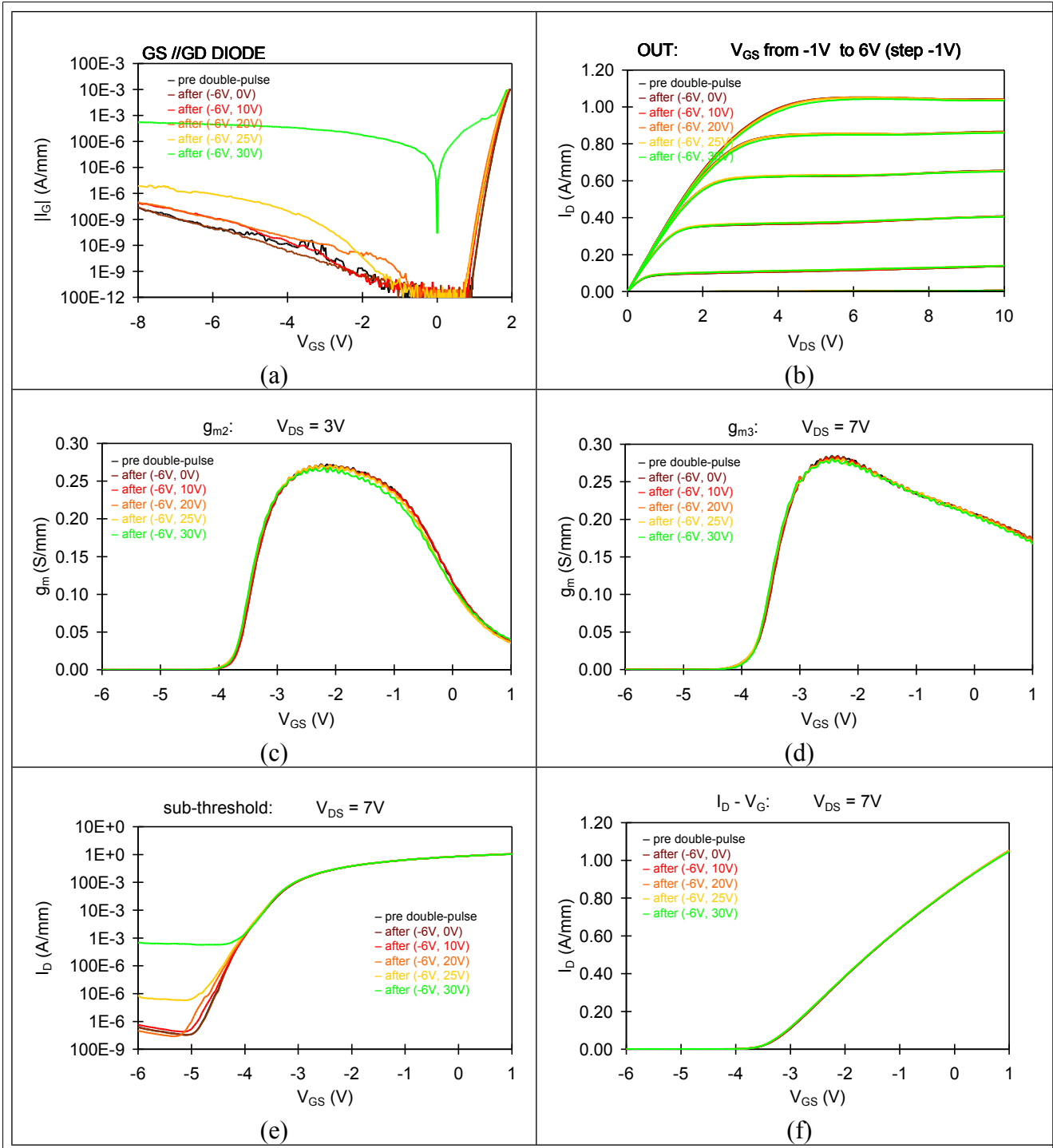


Tabella 6.2.2.1: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX CA-04

Cella: A7 Dispositivo: A8C

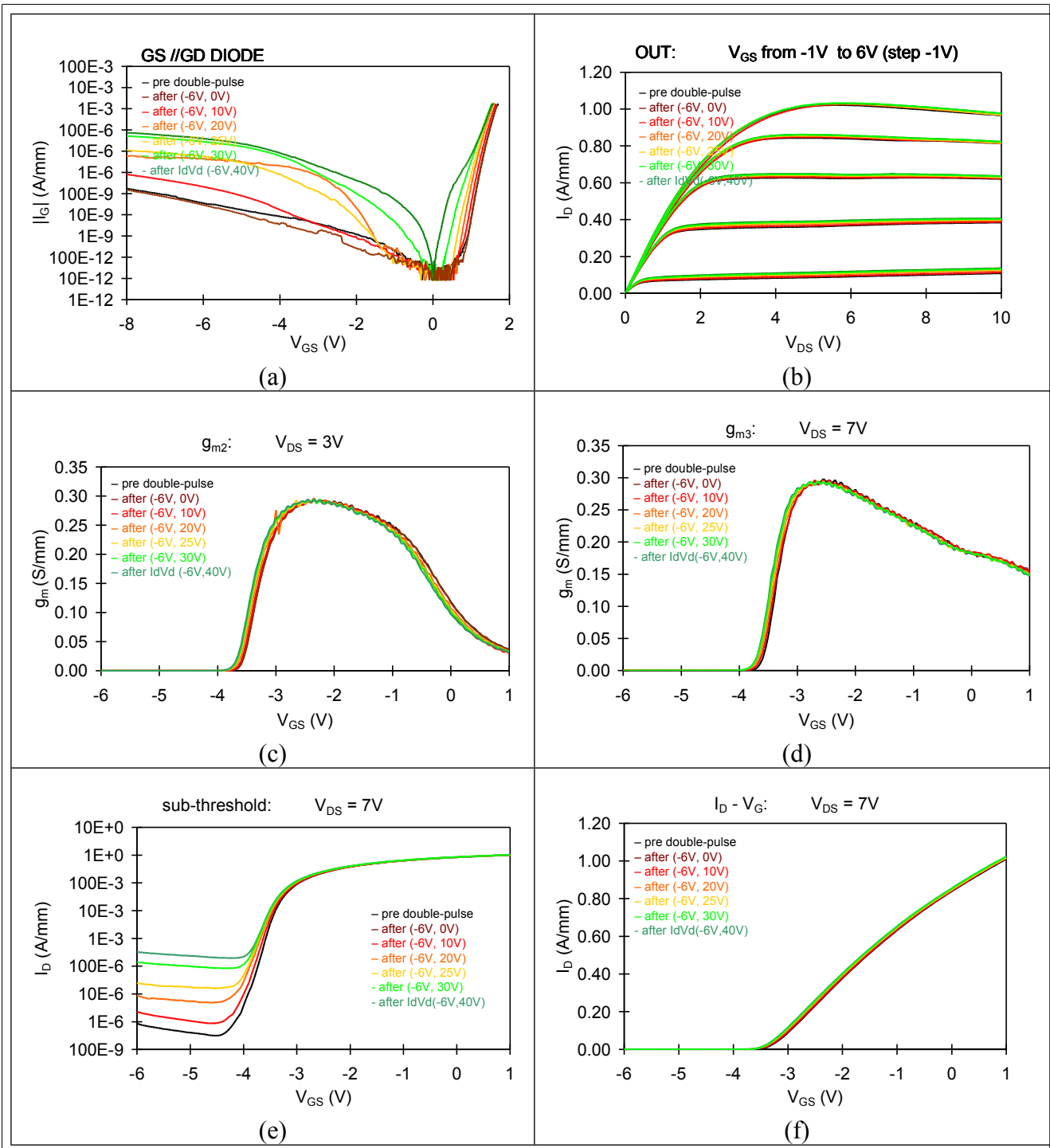


Tabella 6.2.2.2: Caratterizzazioni DC post DP di un campione grande del wafer SLX CA-04

Studio dei fenomeni di trapping

Riepilogo grafici DC del wafer SLX CA-02:

Cella: A2 Dispositivo: A2A

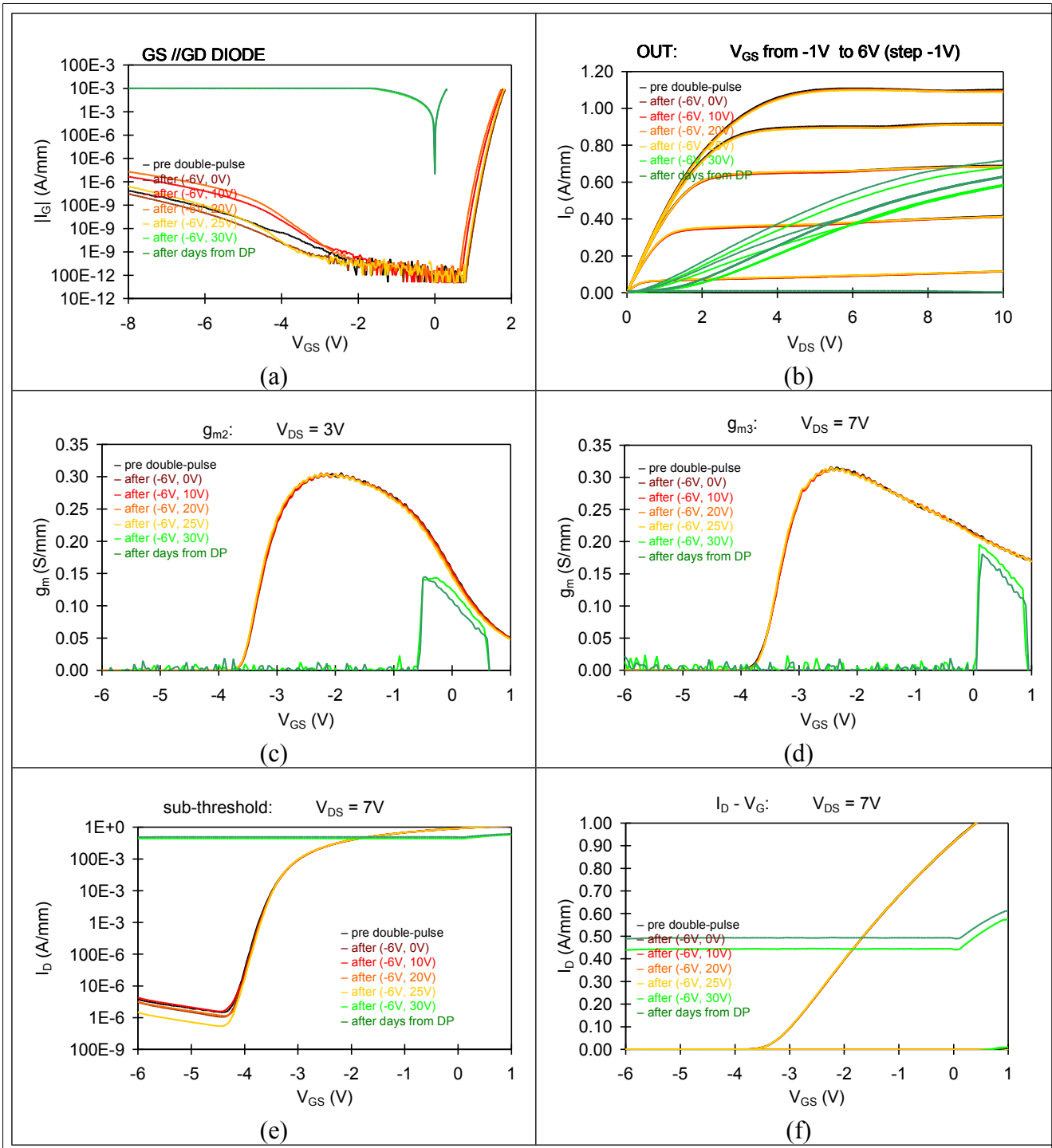


Tabella 6.2.2.3: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX CA-02

Cella: B2 Dispositivo: A8C

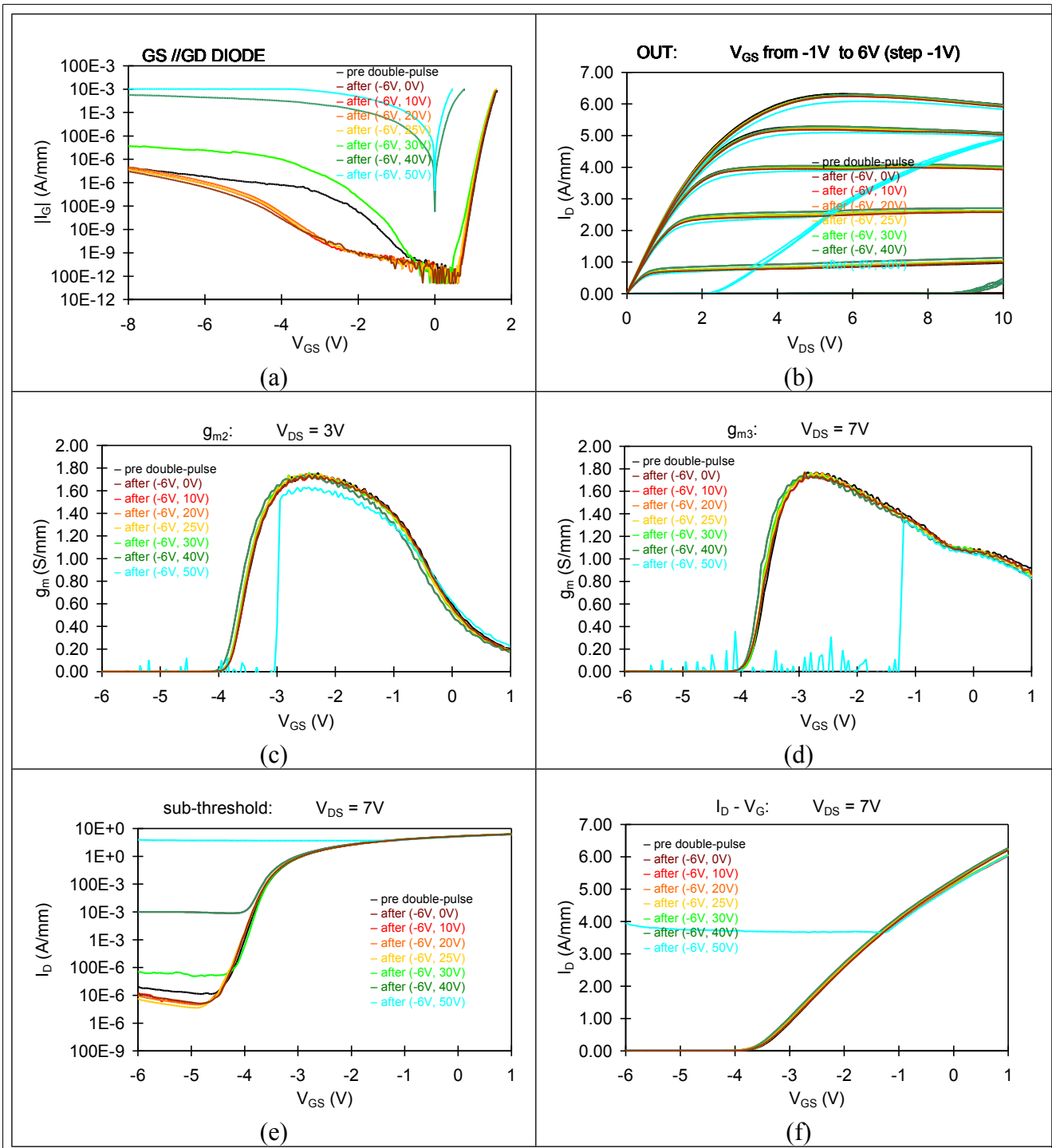


Tabella 6.2.2.4: Caratterizzazioni DC post DP di un campione grande del wafer SLX CA-02

Studio dei fenomeni di trapping

Riepilogo grafici DC del wafer SLX IA-01:

Cella: B2 Dispositivo: A2A

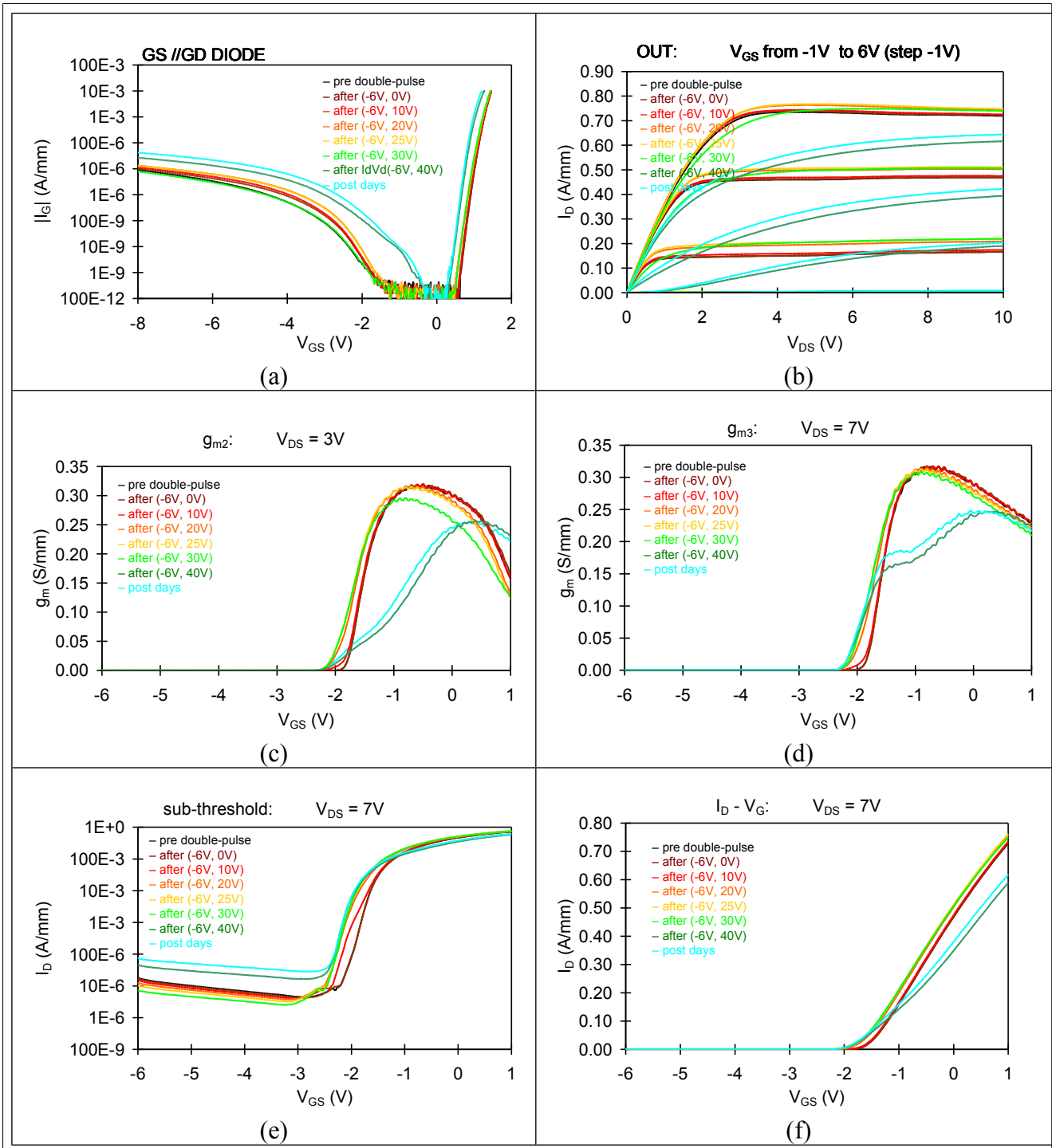


Tabella 6.2.2.5: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX IA-01

Cella: B3 Dispositivo: A8C

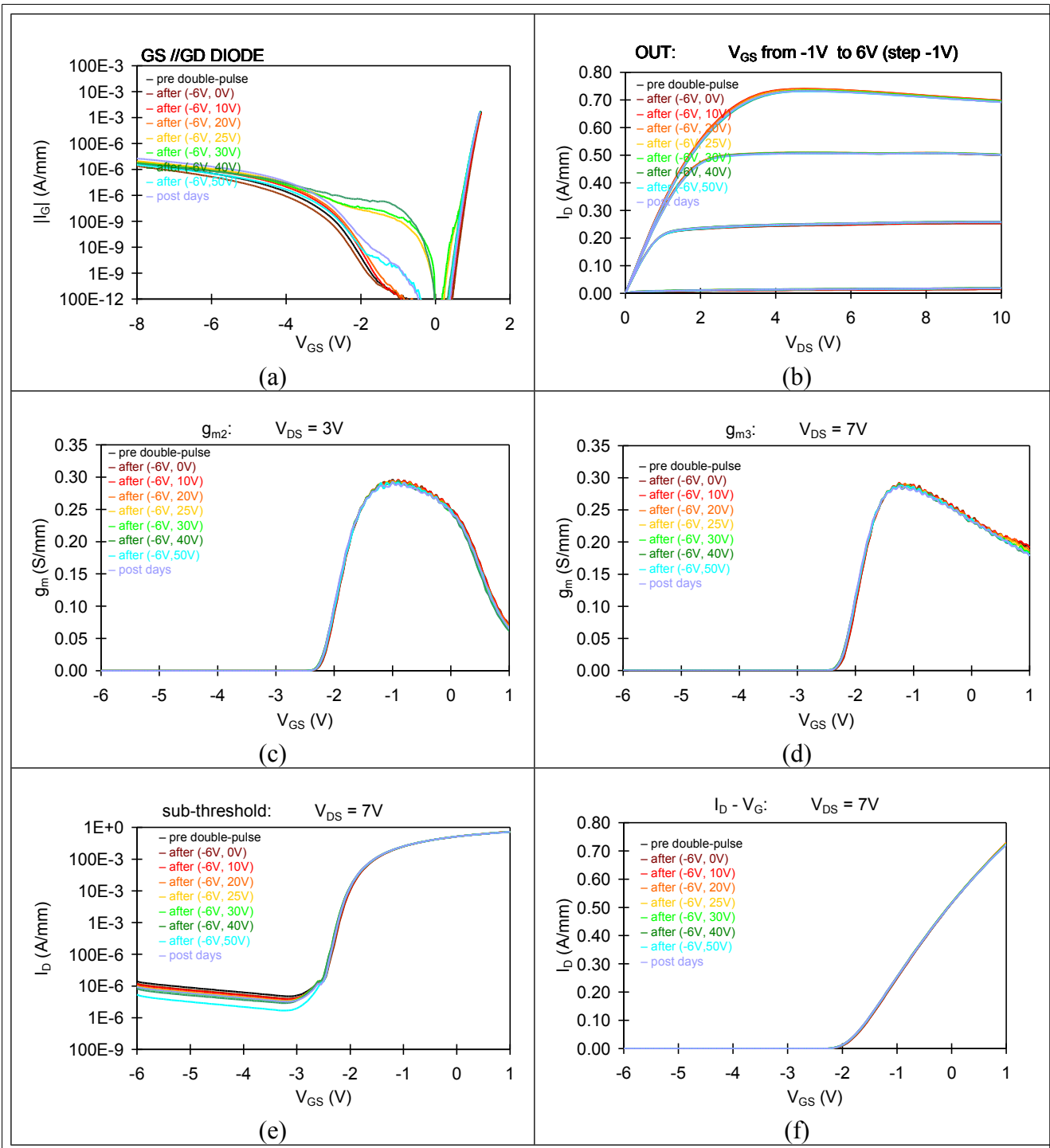


Tabella 6.2.2.6: Caratterizzazioni DC post DP di un campione grande del wafer SLX IA-01

Studio dei fenomeni di trapping

Riepilogo grafici DC del wafer SLX IC-01:

Cella: A3 Dispositivo: A2A

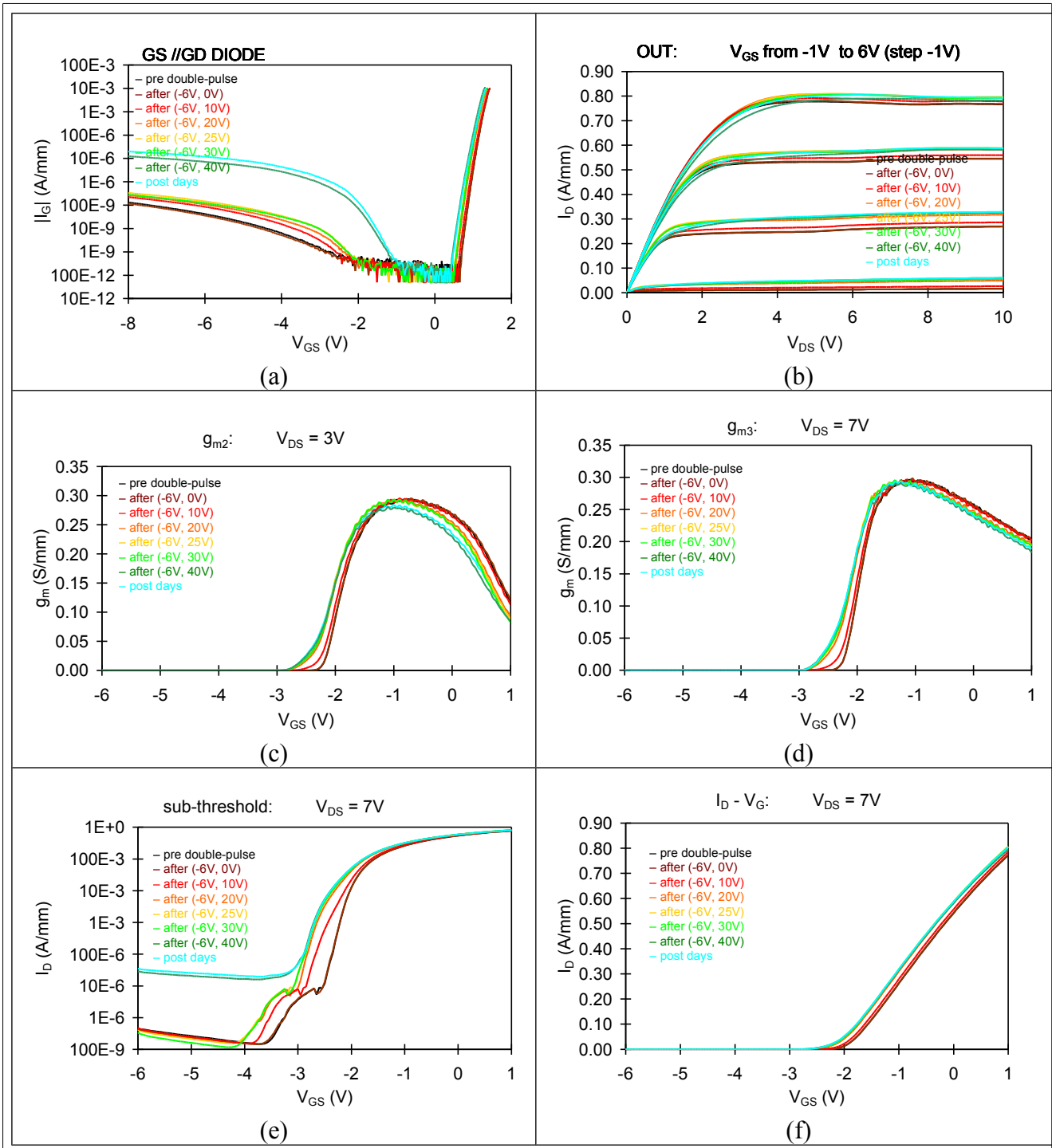


Tabella 6.2.2.7: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX IC-01

Cella: A3 Dispositivo: A8C

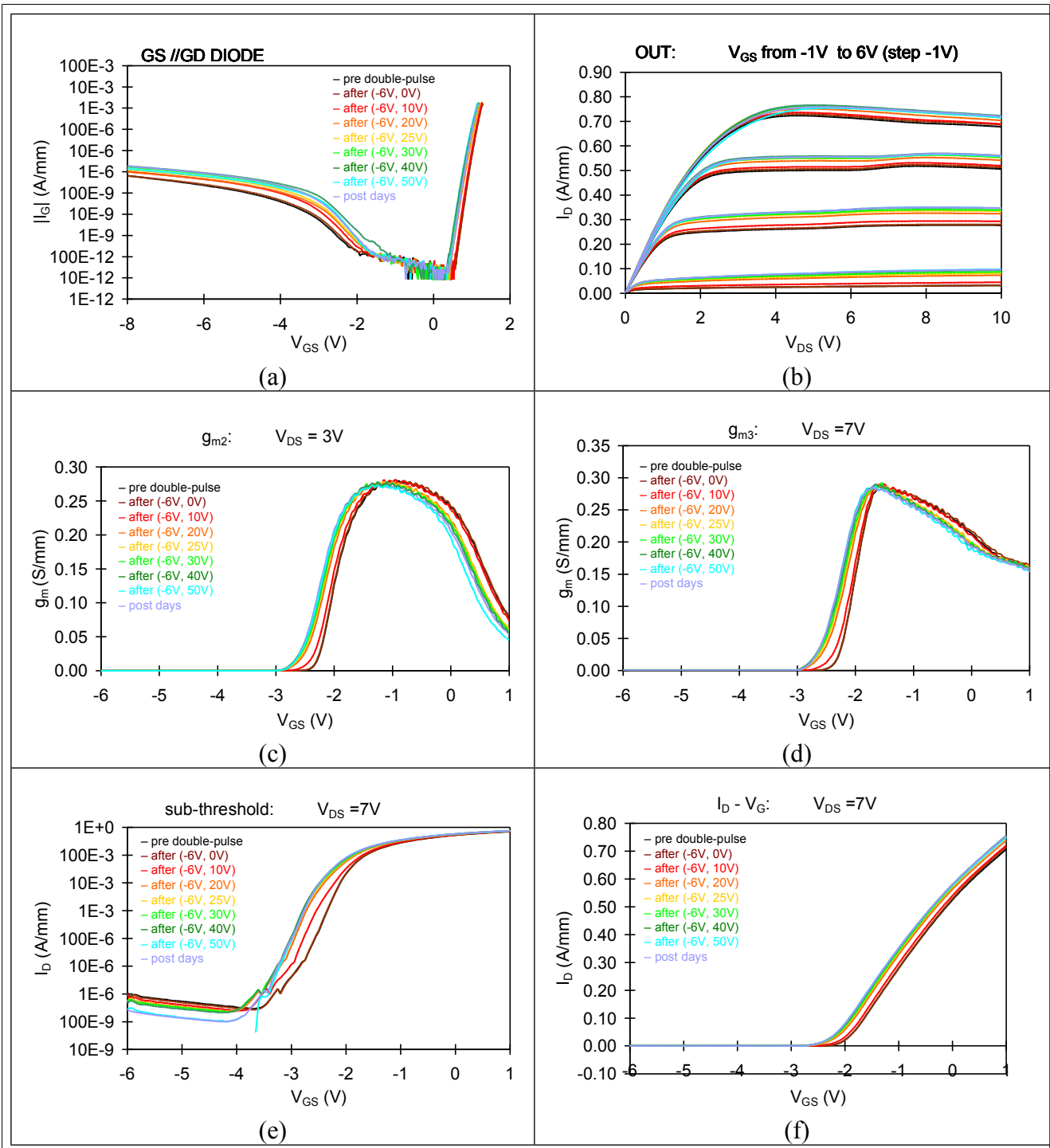


Tabella 6.2.2.8: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX IC-01

Studio dei fenomeni di trapping

Riepilogo grafici DC del wafer SLX ID-01:

Cella: A2 Dispositivo: A4Z

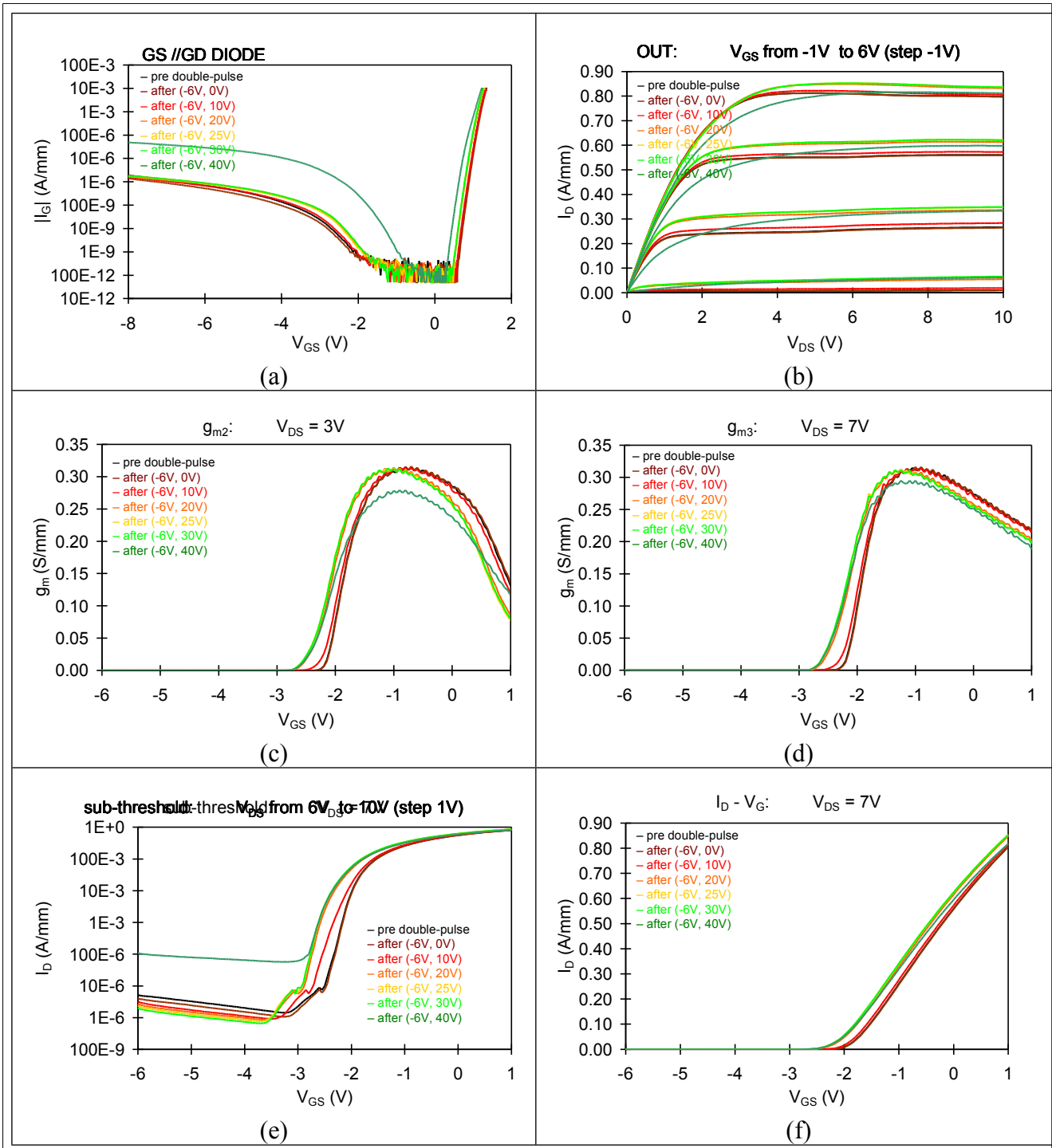


Tabella 6.2.2.9: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX ID-01

Cella: A2 Dispositivo: A8C

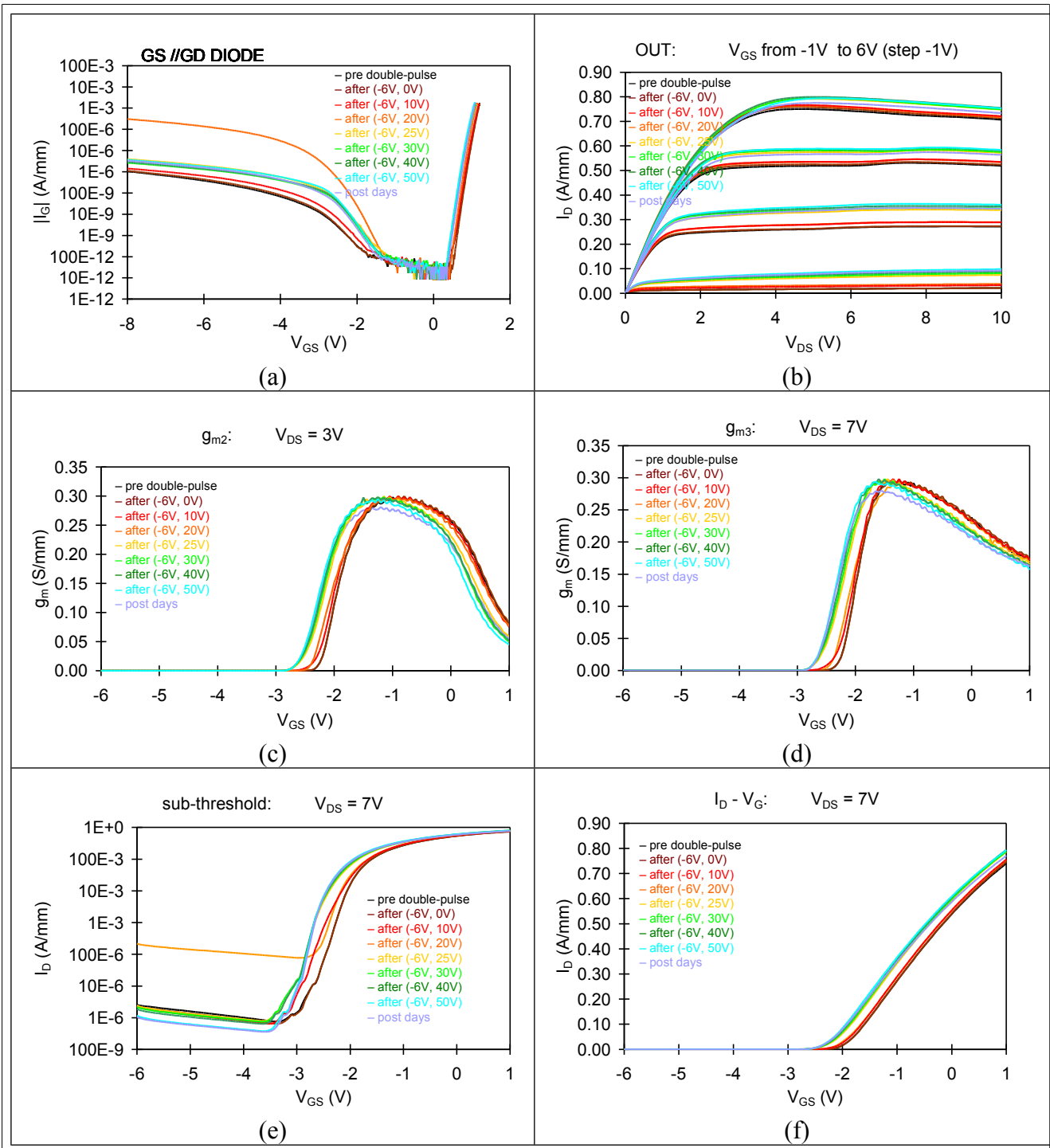


Tabella 6.2.2.10: Caratterizzazioni DC post DP di un campione grande del wafer SLX ID-01

Studio dei fenomeni di trapping

Riepilogo grafici DC del wafer SLX NC-03:

Cella: B6 Dispositivo: A8C

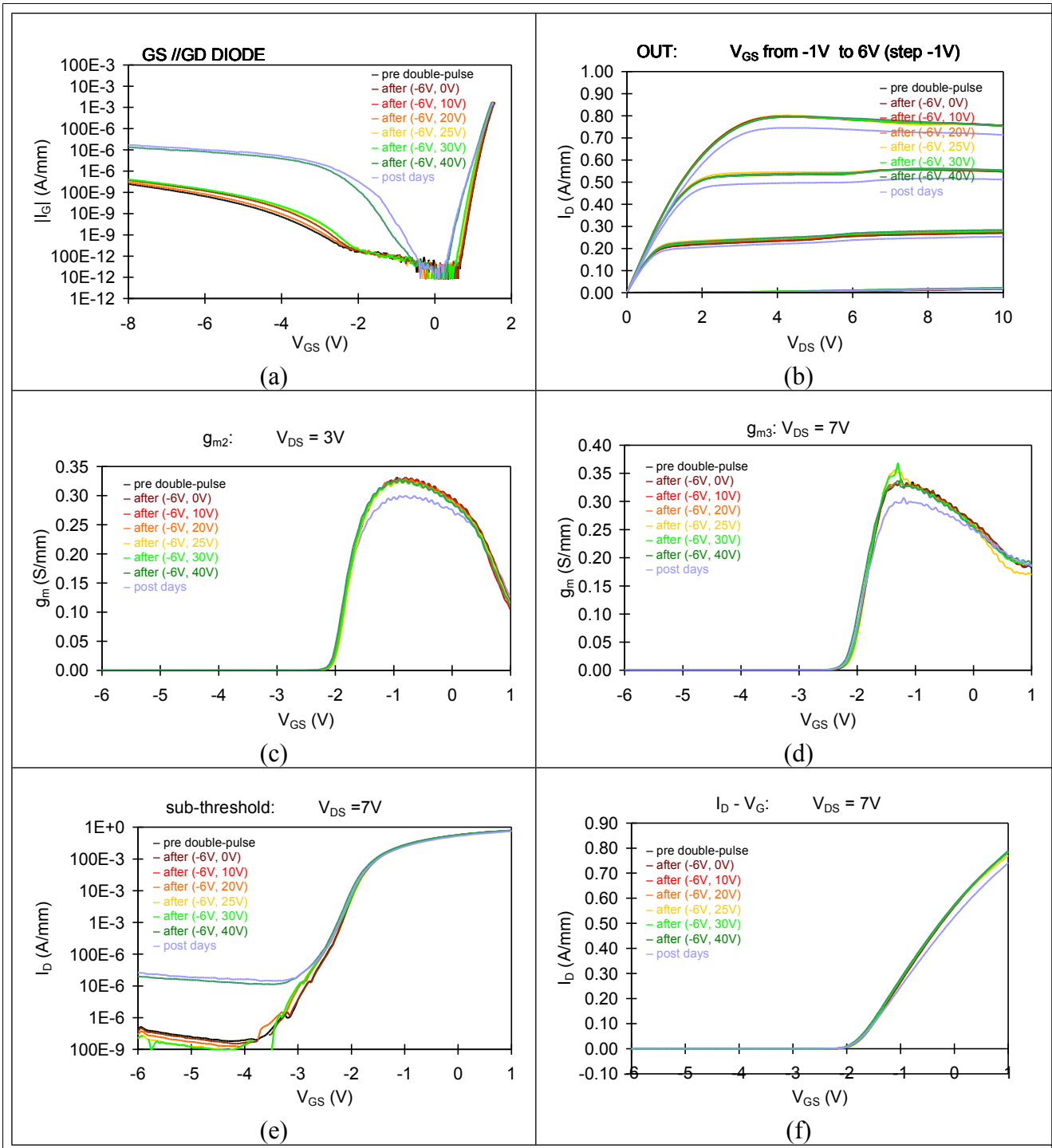


Tabella 6.2.2.11: Caratterizzazioni DC post DP di un campione grande del wafer SLX NC-03

Cella: B2 Dispositivo: A2A

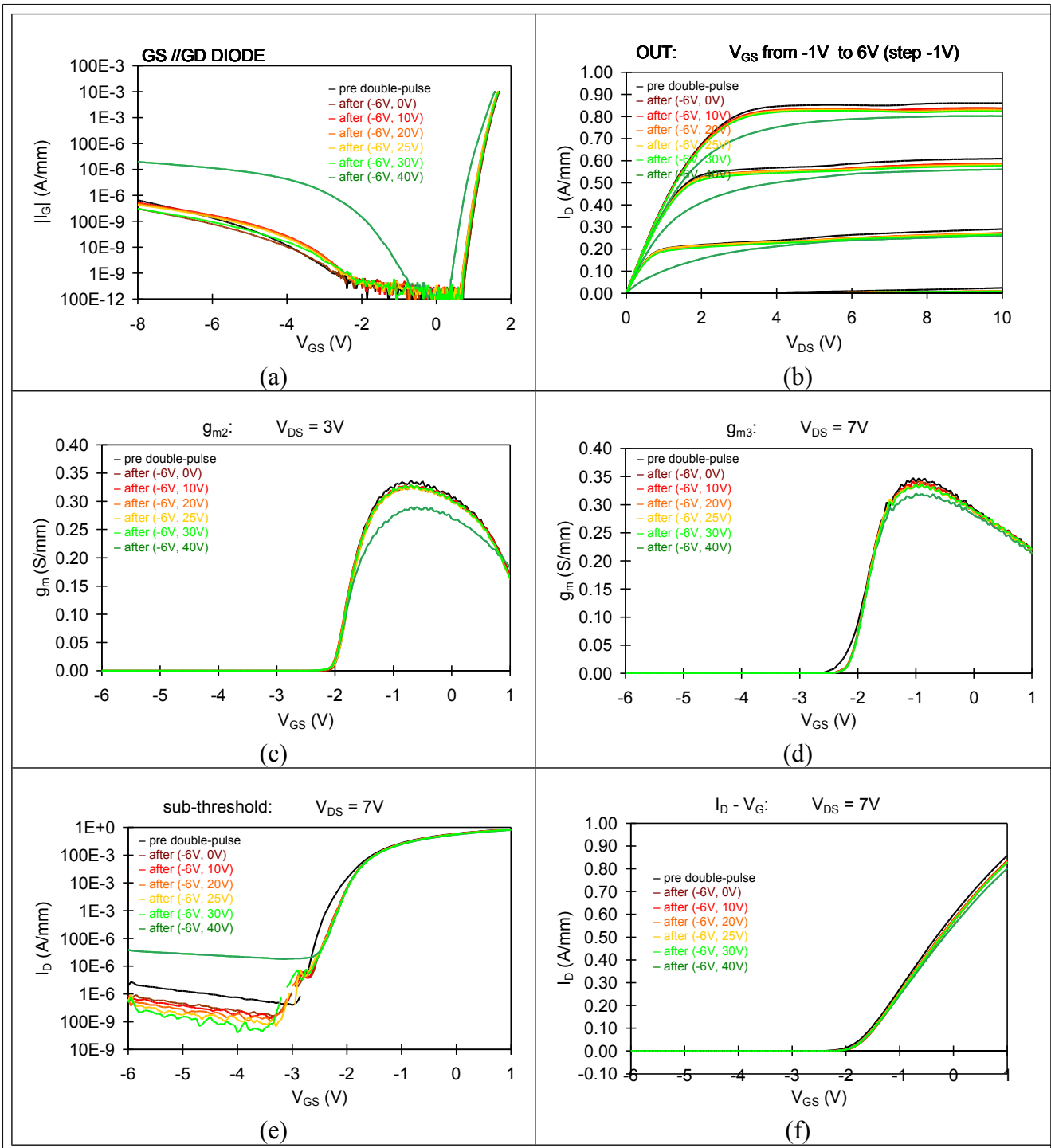


Tabella 6.2.2.12: Caratterizzazioni DC post DP di un campione piccolo del wafer SLX NC-03

6.2.3 Osservazioni

Dall'analisi dei grafici delle DC riportate nel paragrafo precedente, di riconoscono le baseline che comportano un deterioramento ai dispositivi:

- SLX CA-04
 - (-6,25): aumento della corrente di leakage sui diodi e aumento della corrente di sotto-soglia;
- SLX CA-02
 - (-6,30): cresce la corrente di sotto-soglia, portando il dispositivo al fallimento;
- SLX IA-01
 - (-6,30): calo della trans-conduttanza gm;
- SLX IC-01
 - (-6,40) per il campione piccolo: aumento della corrente di leakage sui diodi e aumento della corrente di sotto-soglia;
 - nessun degrado per il campione più grande, solo un lieve incremento del leakage;
- SLX ID-01
 - (-6,40) per il campione piccolo: aumento della corrente di leakage sui diodi, aumento della corrente di sotto-soglia;
 - nessun degrado per il campione grande, solo un lieve incremento del leakage;
- SLX NC-03
 - (-6,40): aumento della corrente di leakage sui diodi e un calo della trans-conduttanza gm;

Inoltre, osserviamo che i dispositivi su wafer drogati con ferro secondo un profilo quasi costante nello strato buffer, ovvero quelli che riportano la sigla IA, IC e ID, al crescere della *baseline* sono soggetti a uno spostamento di soglia verso sinistra permanente a partire dalla baseline (-6V,10V).

Tali wafer sono quelli che presentano una concentrazione di ferro più alta nell'intorno del canale, quindi, abbiamo ipotizzato che lo spostamento della soglia sia dovuto a stati trappola dovuti al drogante attivati ad alti campi elettrici, che comportano concentrazione fissa di carica positiva.

Non si trascura l'ipotesi che il fenomeno sia dovuto ad altri elementi contaminanti associati al processo.

Analizzando le misure del dispositivo A8C nel wafer SLX IA-01; osserviamo che è l'unico campione del gruppo dei wafer I che non ha subito uno spostamento di soglia.

Abbiamo notato però, da una misurazione DC fatta mesi prima, che la soglia era visibilmente più a destra.

Non è chiaro per quale ragione ci sia stato questo spostamento di soglia dato che il campione non era registrato come 'stressato'; è comunque evidente che il fenomeno di spostamento di soglia sussiste anche in questo caso e si è verificato prima delle misure dinamiche.

Dato lo spostamento di soglia decrescente all'aumentare della baseline, è inevitabile un aumento della corrente Id nella caratterizzazioni Id-Vd, non solo per le misure DC, ma anche per le misure in impulsata: le misurazioni al double-pulse risultano, quindi, alterate da questo fenomeno.

Per avere dei risultati affidabili che descrivano i fenomeni di trapping, è necessario, perciò, effettuare uno stress al dispositivo che forzi lo spostamento di soglia senza deteriorare le sue prestazioni.

Per fare questo, abbiamo pensato di sottoporre dei campioni a un doppio double-pulse (con baseline

massima tale da non degradare il componente): il primo ha lo scopo di spostare la soglia a sinistra, mentre il secondo ci da informazioni affidabili sui fenomeni di intrappolamento, nonché sullo slamp-ratio della corrente di drain e sulle sue cause.

6.3 Analisi con misure double-pulse doppie

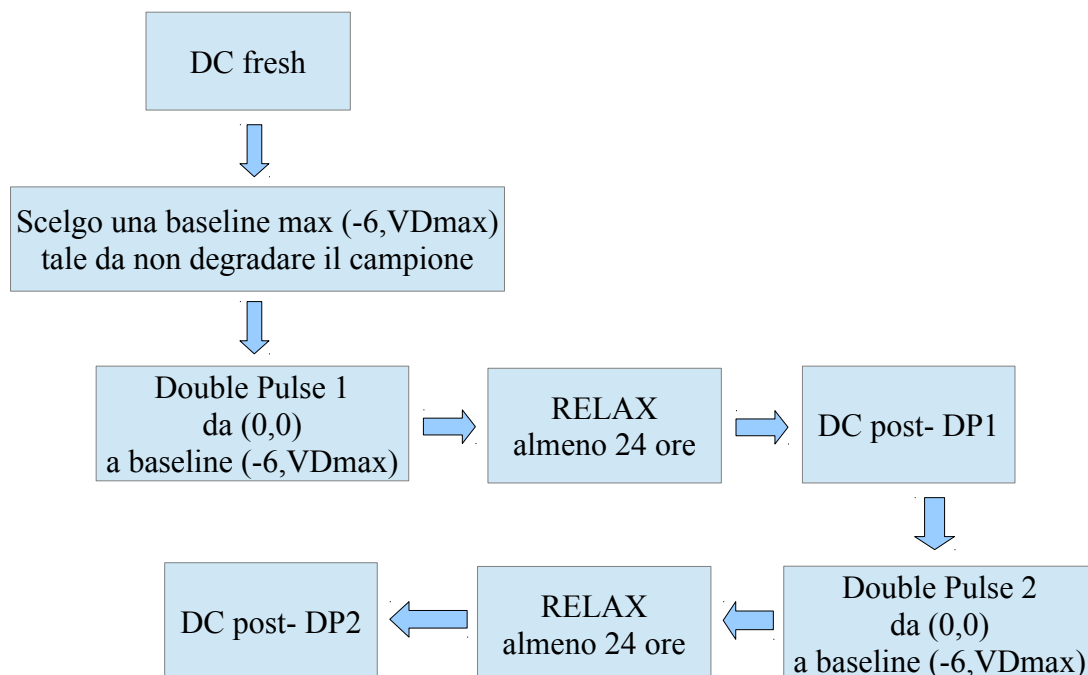
Come già introdotto nel paragrafo precedente, questo step di misura ha l'obbiettivo principale di studiare i fenomeni di intrappolamento sui dispositivi della serie I (con profilo di drogaggio di ferro circa costante anche in prossimità del canale).

Come si nota dai grafici riportati al paragrafo precedente, tali dispositivi subiscono uno spostamento di soglia verso sinistra all'incremento della baseline di misura al double-pulse.

Tale inconveniente altera le misurazioni che descrivono il comportamento in impulsata, in quanto, lo spostamento di soglia fa perdere il riferimento con la baseline (0,0). Abbiamo, perciò, ritenuto ragionevole effettuare una doppia misura al double-pulse con baseline massima tale da non degradare i campioni: la prima serve a spostare la soglia, la seconda ci da delle misure di confronto affidabili sui meccanismi di intrappolamento nei dispositivi.

6.3.1 Procedura

La procedura adottata per ogni campione è la seguente:



Studio dei fenomeni di trapping

Di seguito riporto il confronto tra DC fresh – DC post-DP1 – DC post-DP2 nei campioni sottoposti alla procedura.

Ogni figura, riportata nelle tabelle seguenti, è contrassegnata con una lettera specifica, alla quale è associata la seguente descrizione:

- a) Corrente sui diodi in parallelo gate-drain e gate-source;
- b) Caratterizzazione I_d - V_d a $V_{gs}=1V, 0V$ e $-1V$;
- c) Transconduttanza g_m con $V_{gs}=3V$;
- d) Transconduttanza g_m con $V_{gs}=7V$;
- e) Corrente I_d di sotto-soglia;
- f) Caratterizzazione I_d - V_g $V_{ds}=7V$.

Si osservi come già a seguito della prima misura al double-pulse si ha una saturazione dello spostamento di soglia, come ci si aspettava, senza alterare le altre caratteristiche del dispositivo.

Al fine di riconoscere il degrado sulla soglia anche dallo studio dei fenomeni di trapping, il paragrafo 6.3.2 riporta anche le figure di confronto dello Slump-Ratio e dello spostamento di soglia in impulsata alla prima e alla seconda misura al double-pulse.

6.3.2 Risultati

Wafer: SLX IA-01 A1 A2A

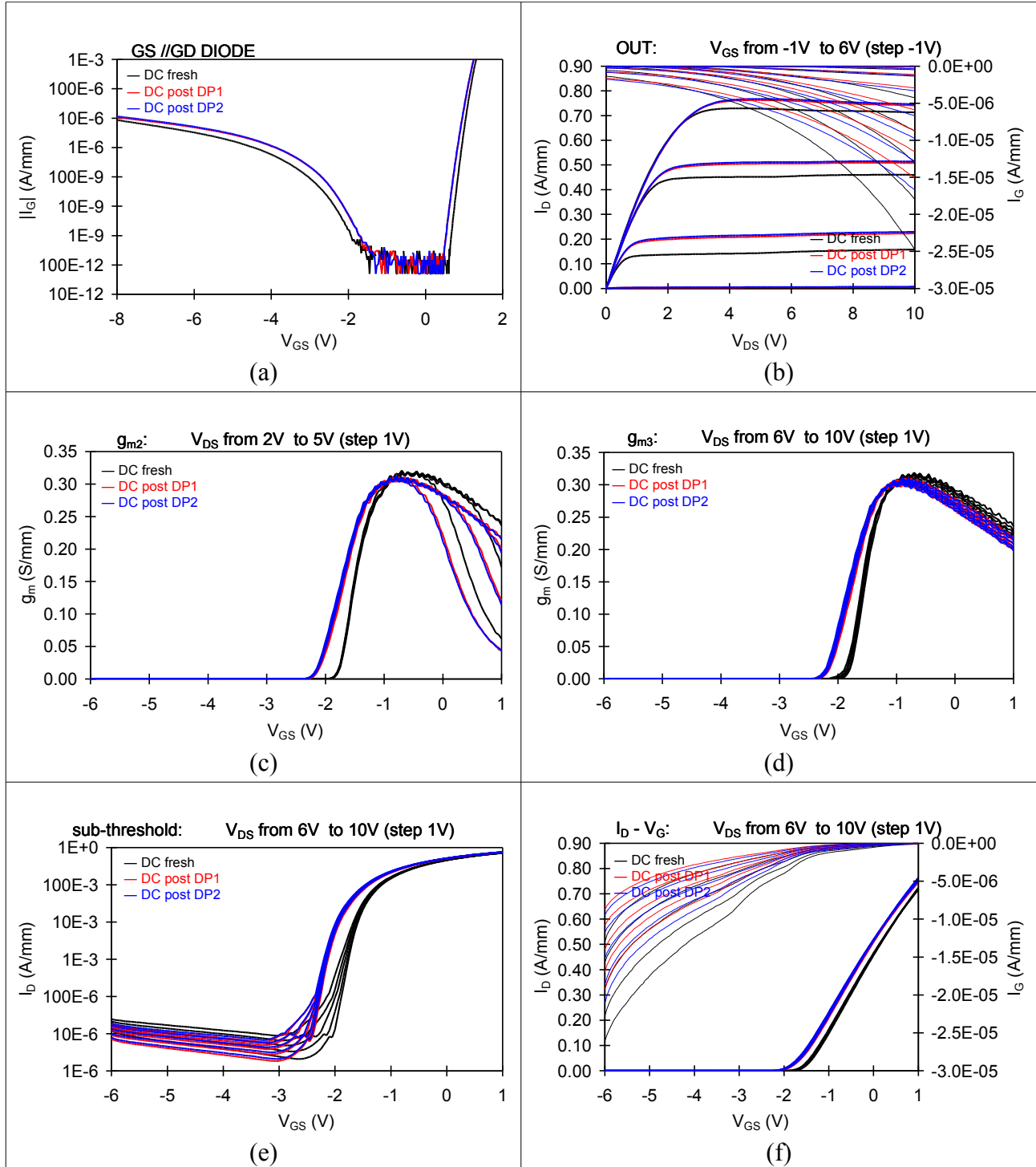


Tabella 6.3.2.1: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione piccolo del wafer SLX IA-01

Wafer: SLX IA-01 B6 A8C

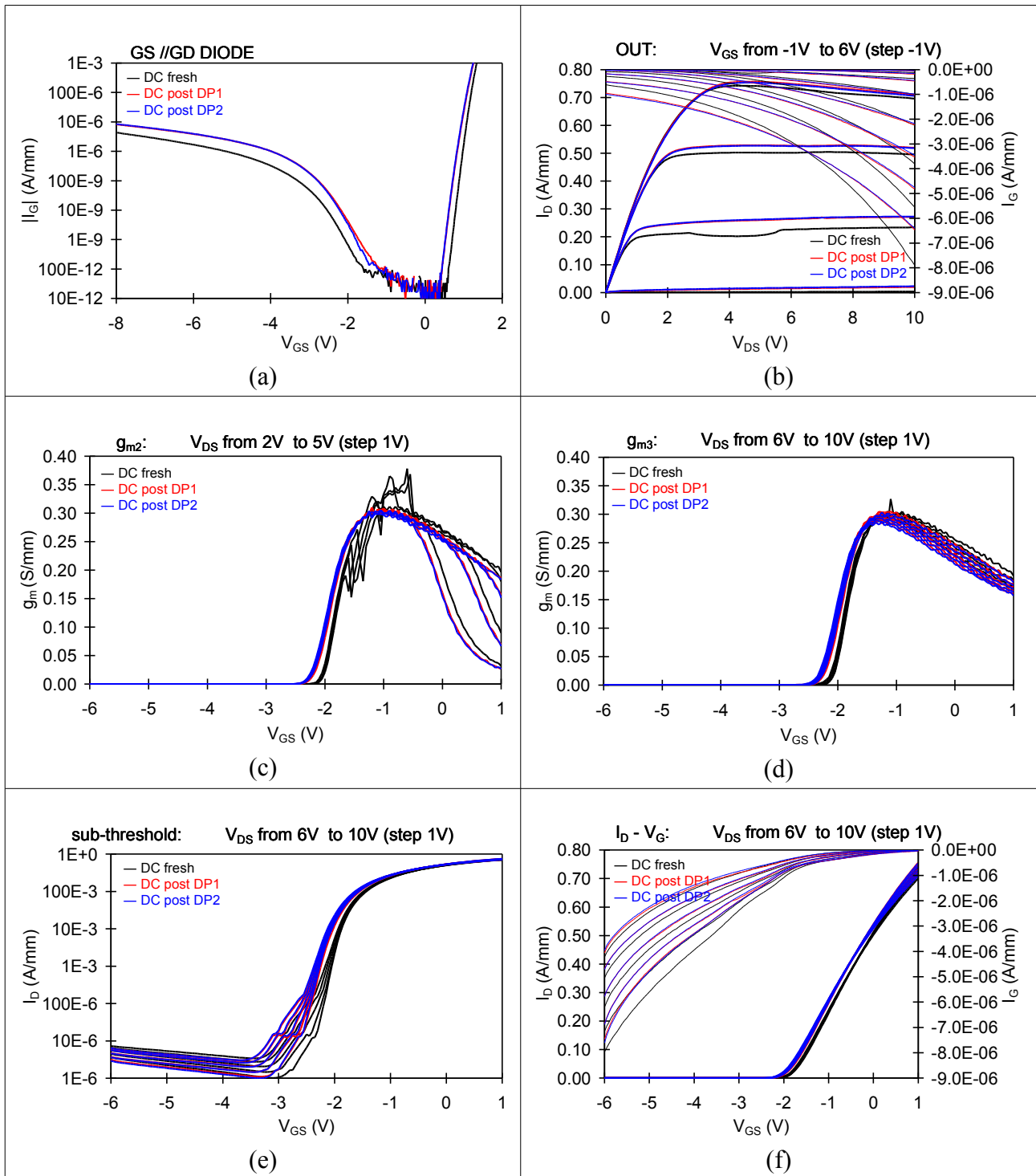


Tabella 6.3.2.2: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione grande del wafer SLX IA-01

Wafer: SLX IC-01 A1 A4Z

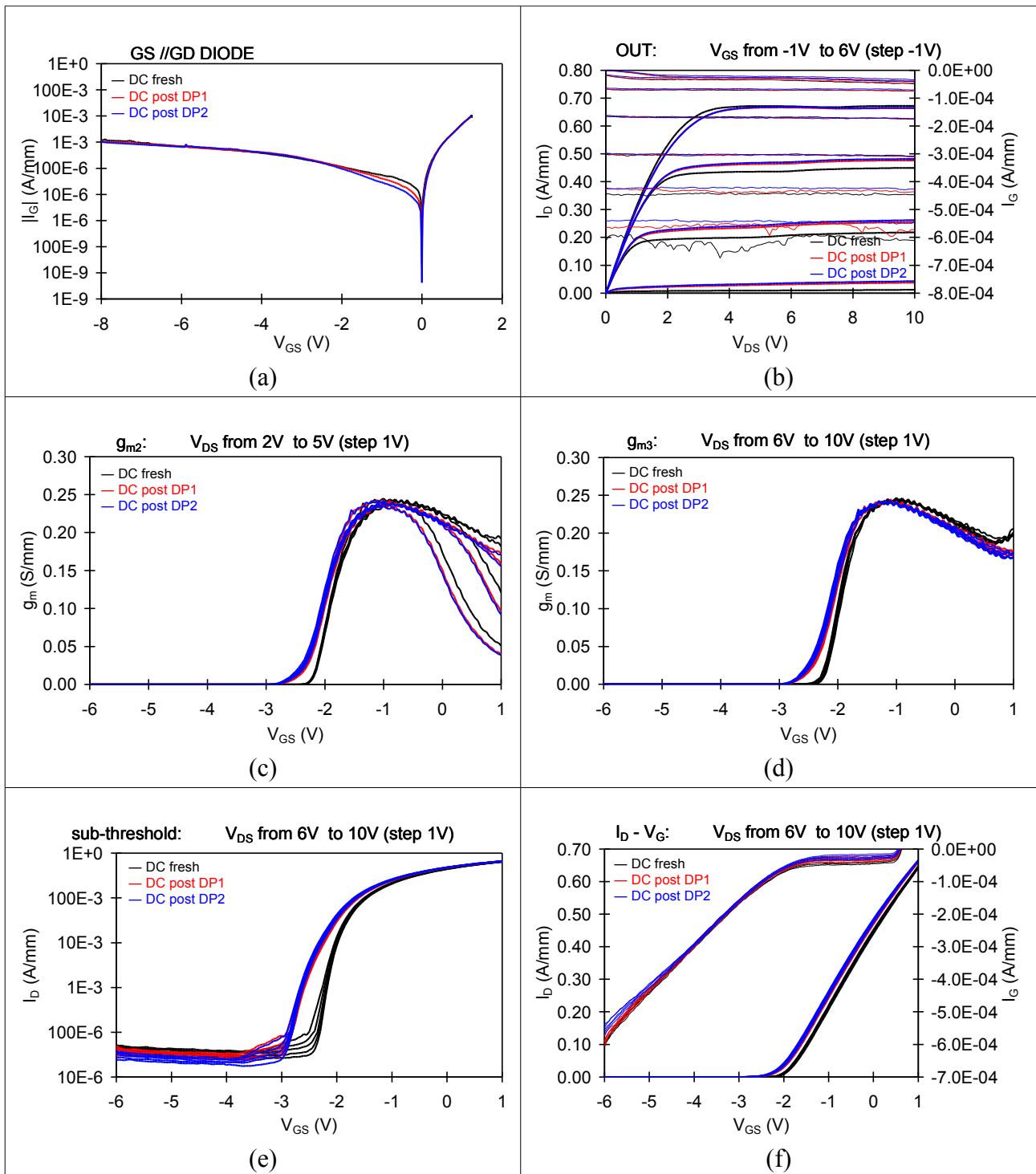


Tabella 6.3.2.3: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione piccolo del wafer SLX IC-01

Wafer: SLX IC-01 A3 A8C

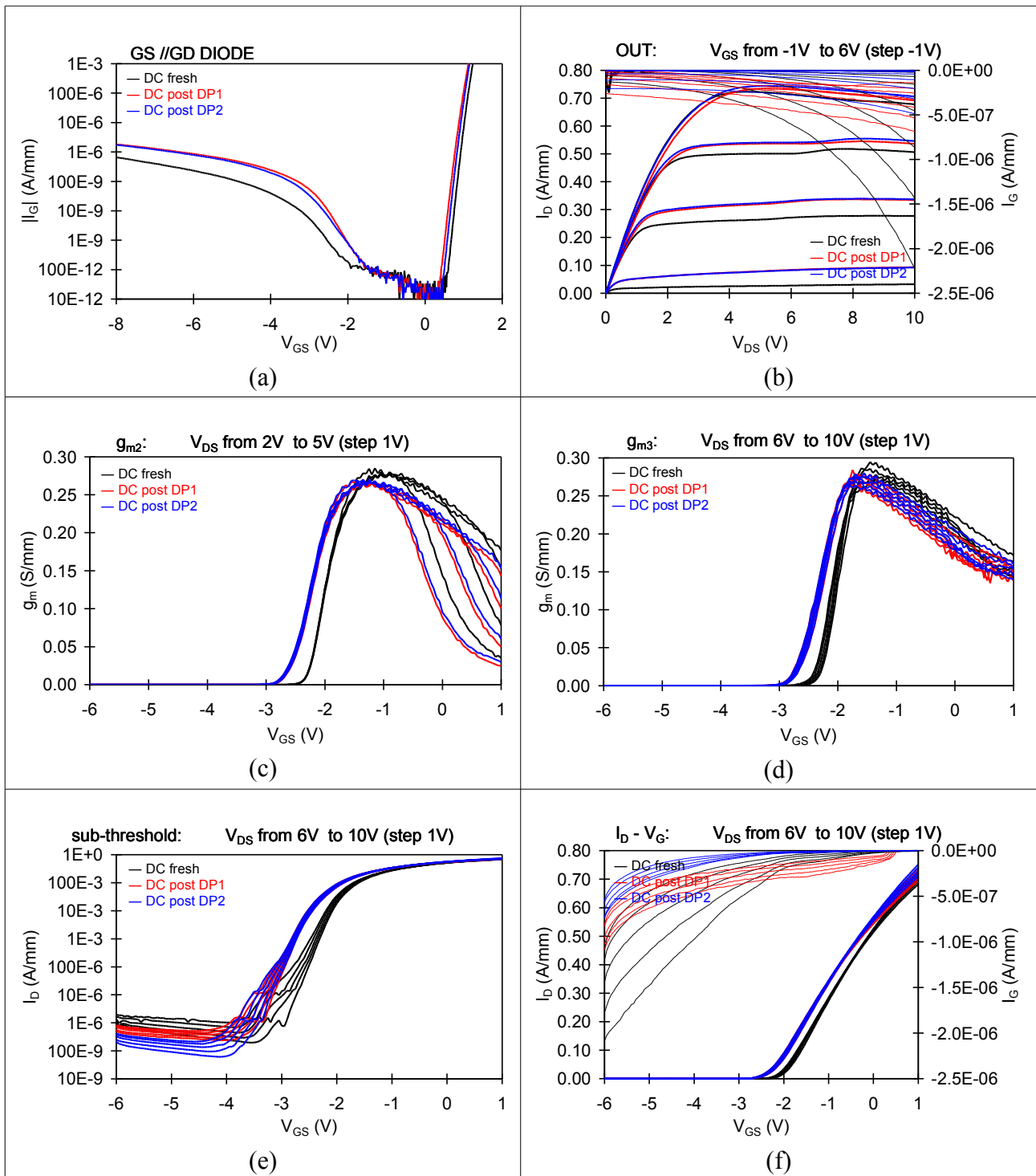


Tabella 6.3.2.4: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione grande del wafer SLX IC-01

Wafer: SLX ID-01 A1 A4C

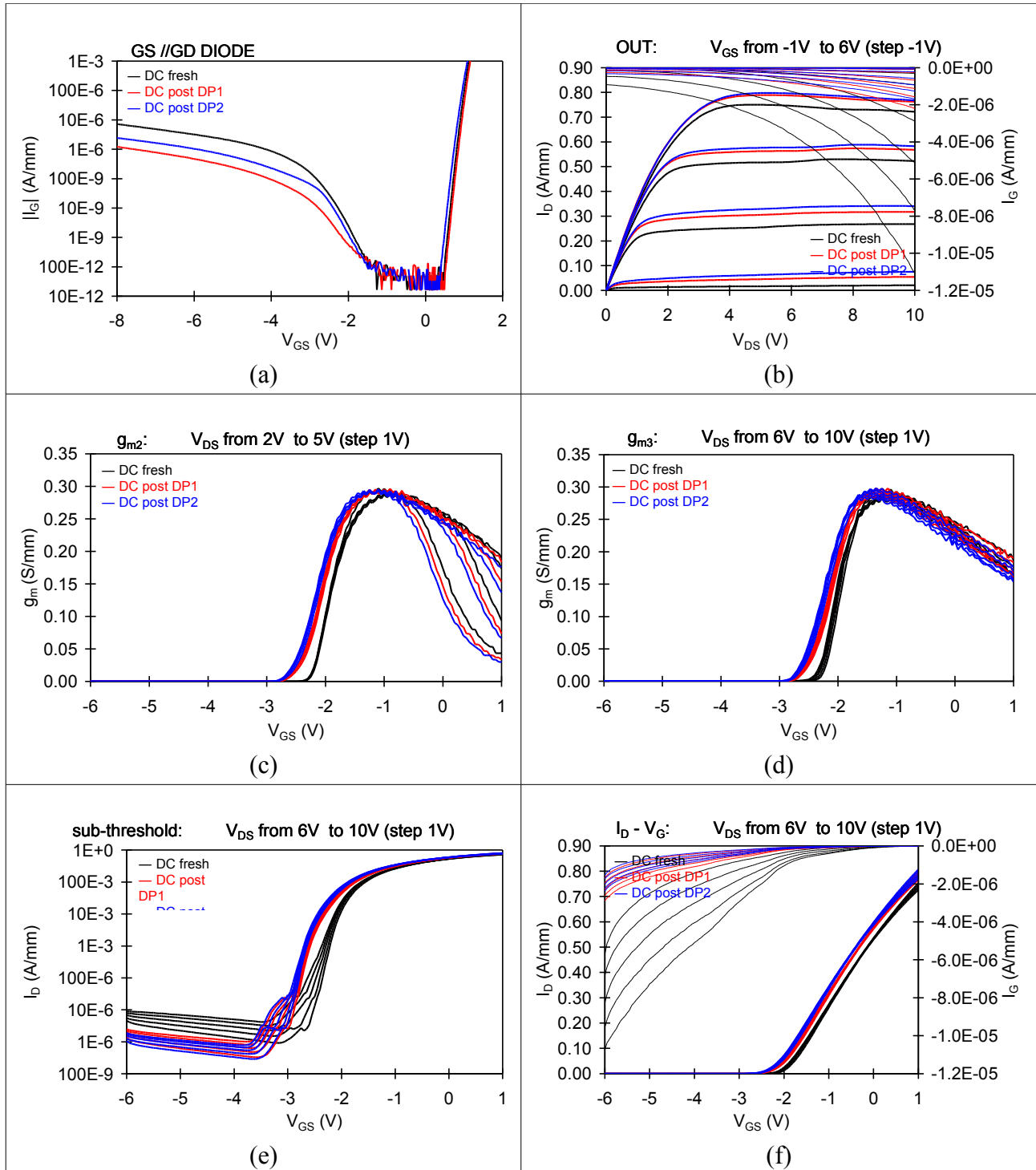


Tabella 6.3.2.5: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione grande del wafer SLX ID-01

Wafer: SLX ID01 A3 A4C

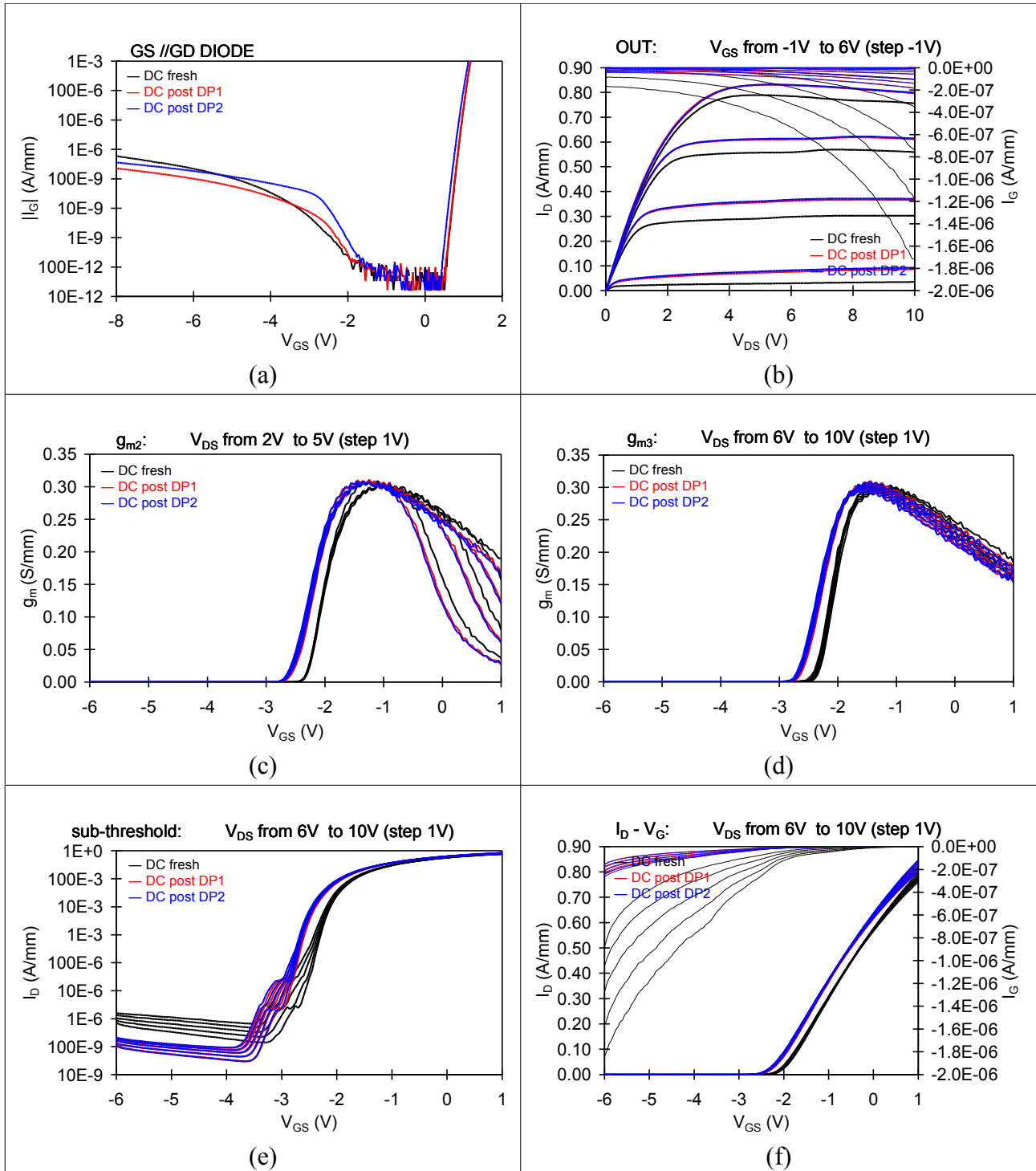


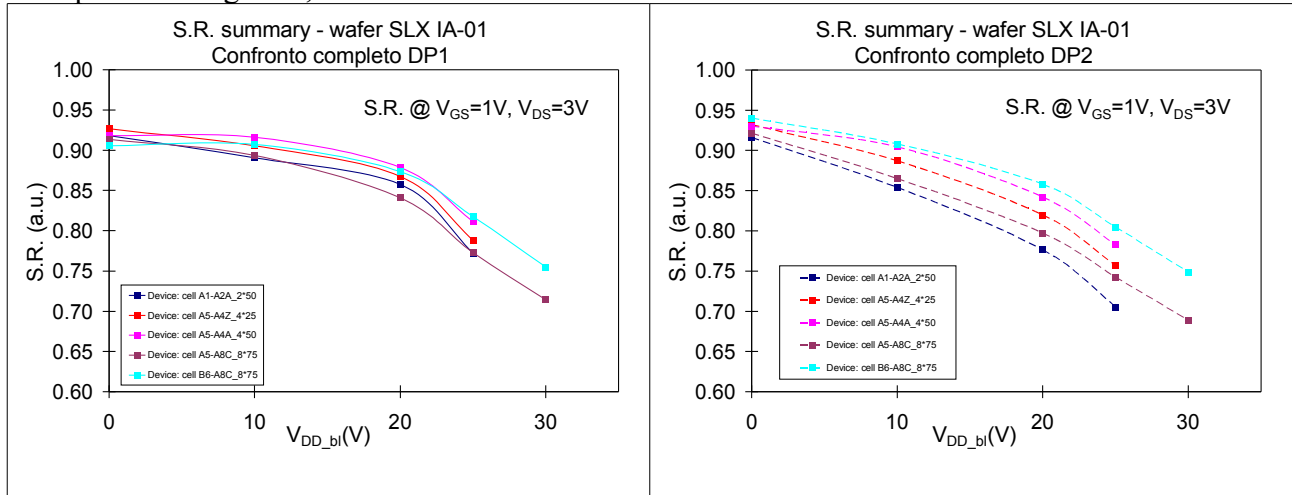
Tabella 6.3.2.6: Confronto tra caratterizzazioni DC a seguito delle misure al DP di un campione grande del wafer SLX IA-01

Di seguito vengono riportate le figure di riepilogo delle misure al double-pulse rispettivi dei wafer IA, IC e ID confrontando i dati ricavati dalla prima misura e dalla seconda.

I parametri confrontati sono lo Slump-Ratio a 3V e a 10V della caratterizzazione in impulsata e lo spostamento di soglia alle varie baseline (con riferimento ai dati ottenuti con baseline (0V,0V)).

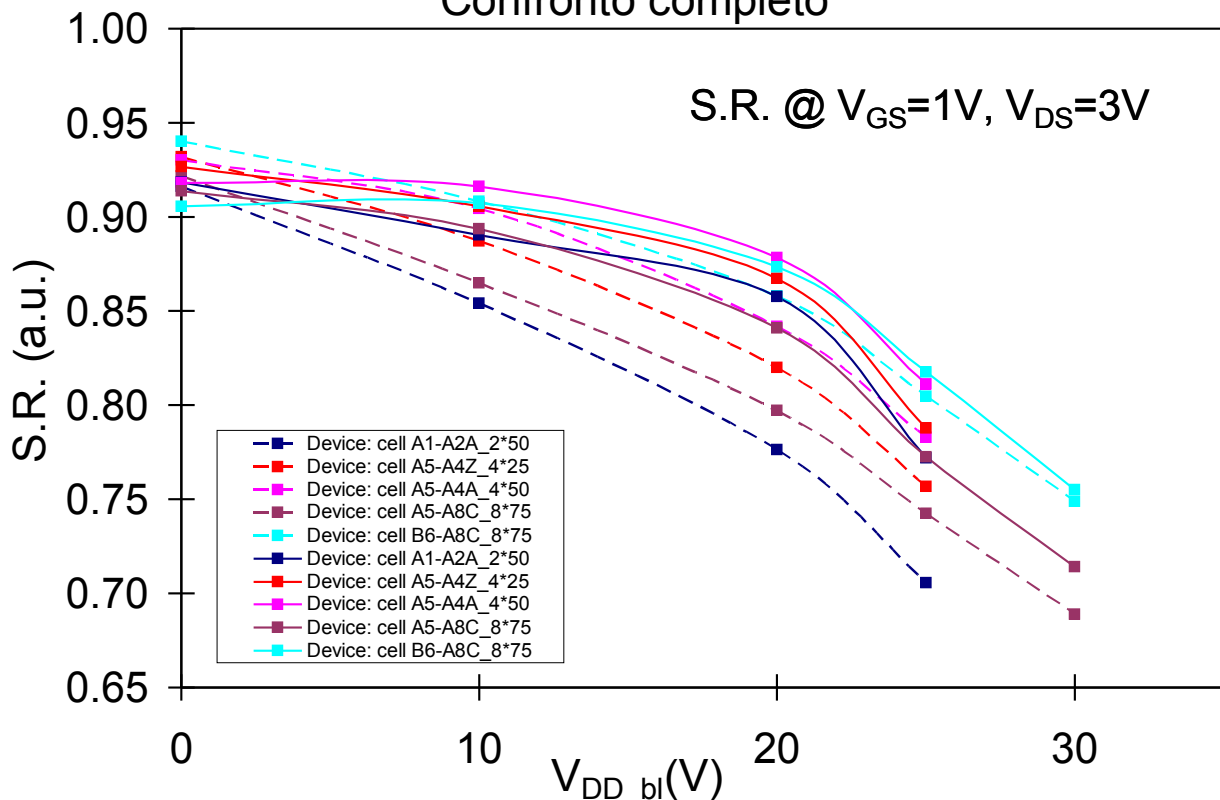
Wafer: SLX IA-01

Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$



Sovrapponendo:

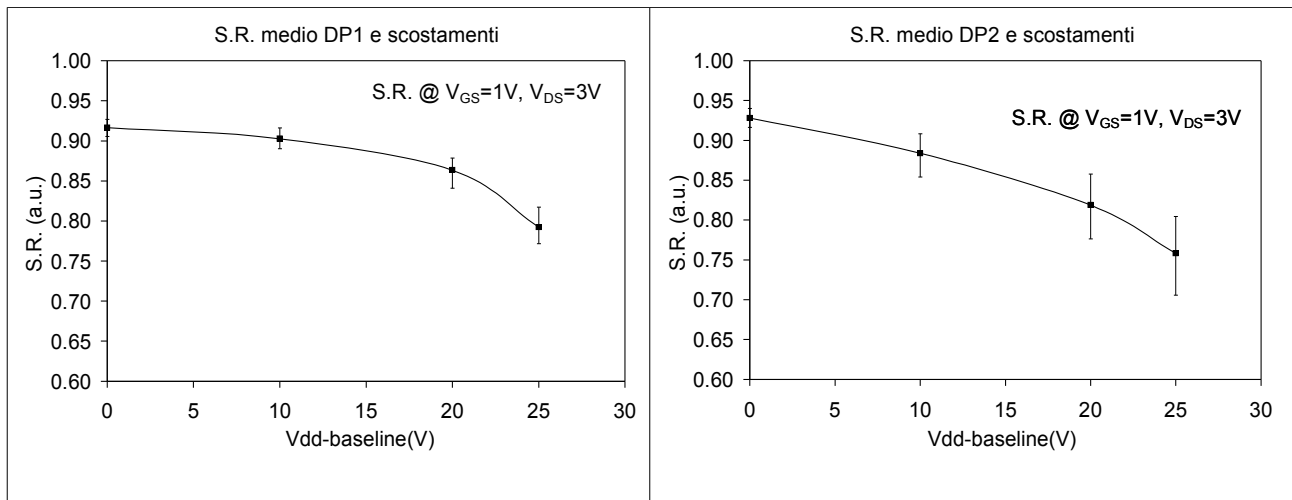
S.R. summary - wafer SLX IA-01
Confronto completo



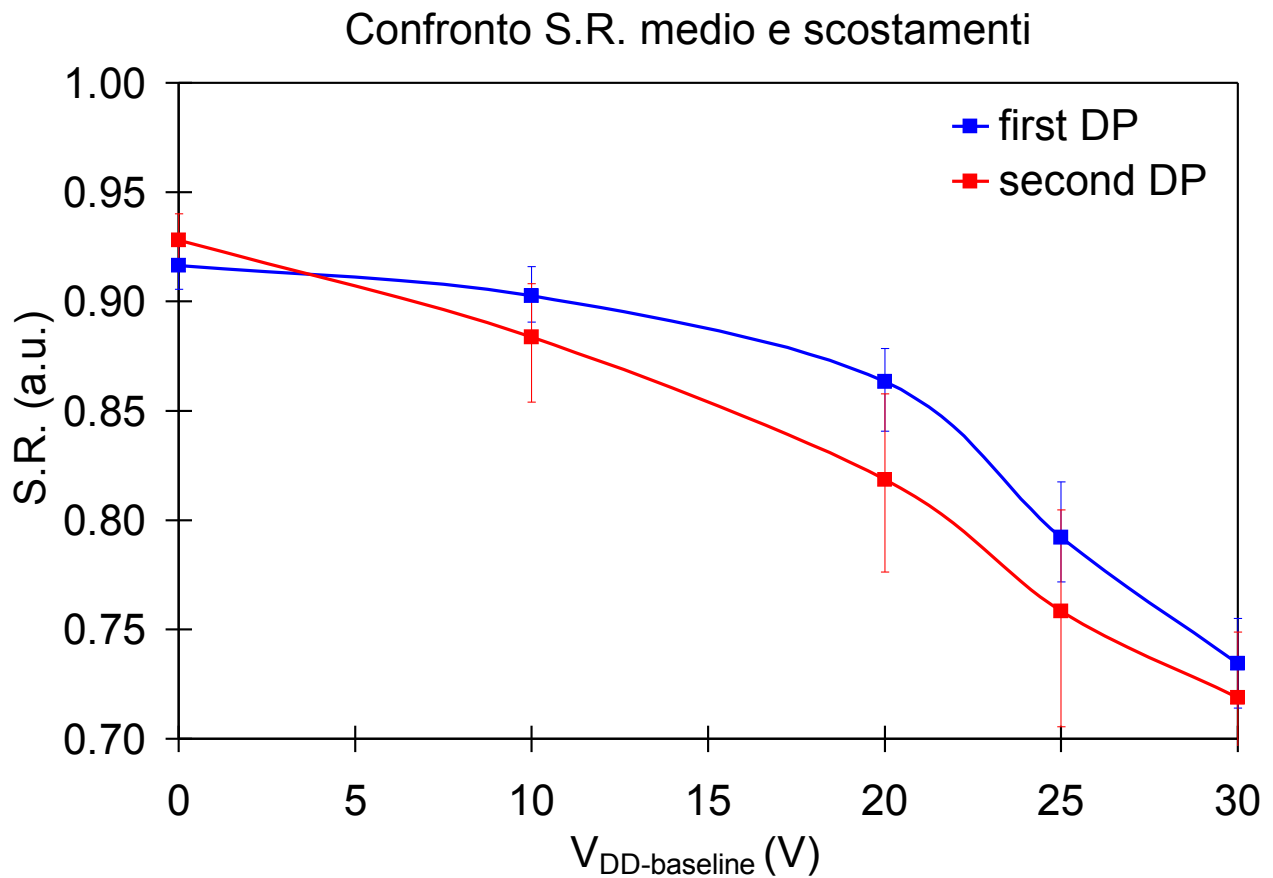
Studio dei fenomeni di trapping

Wafer: SLX IA-01

Valore medio e scostamento dello Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$

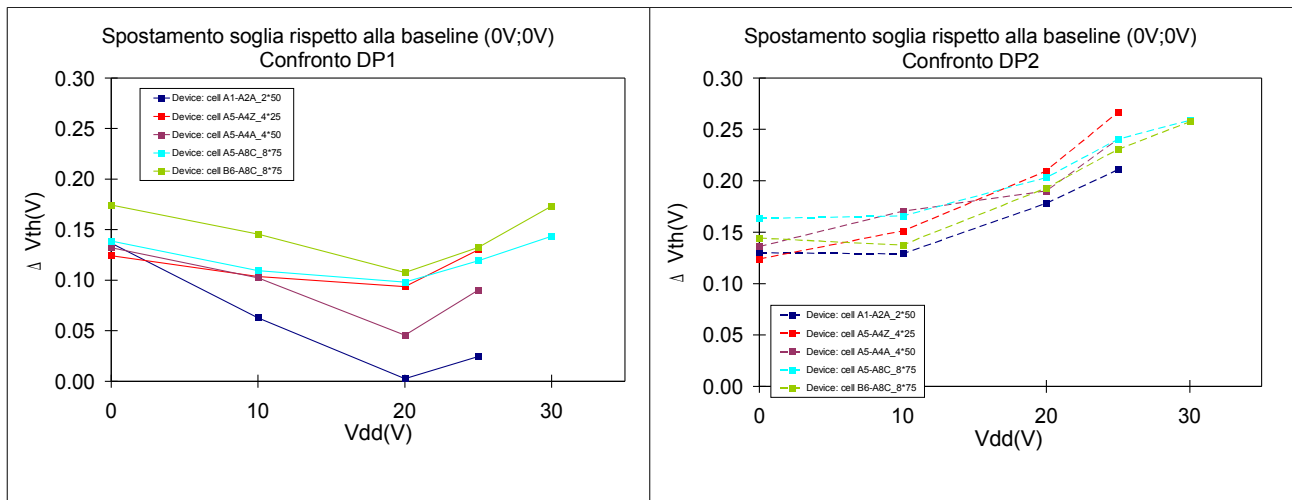


Sovrapponendo:

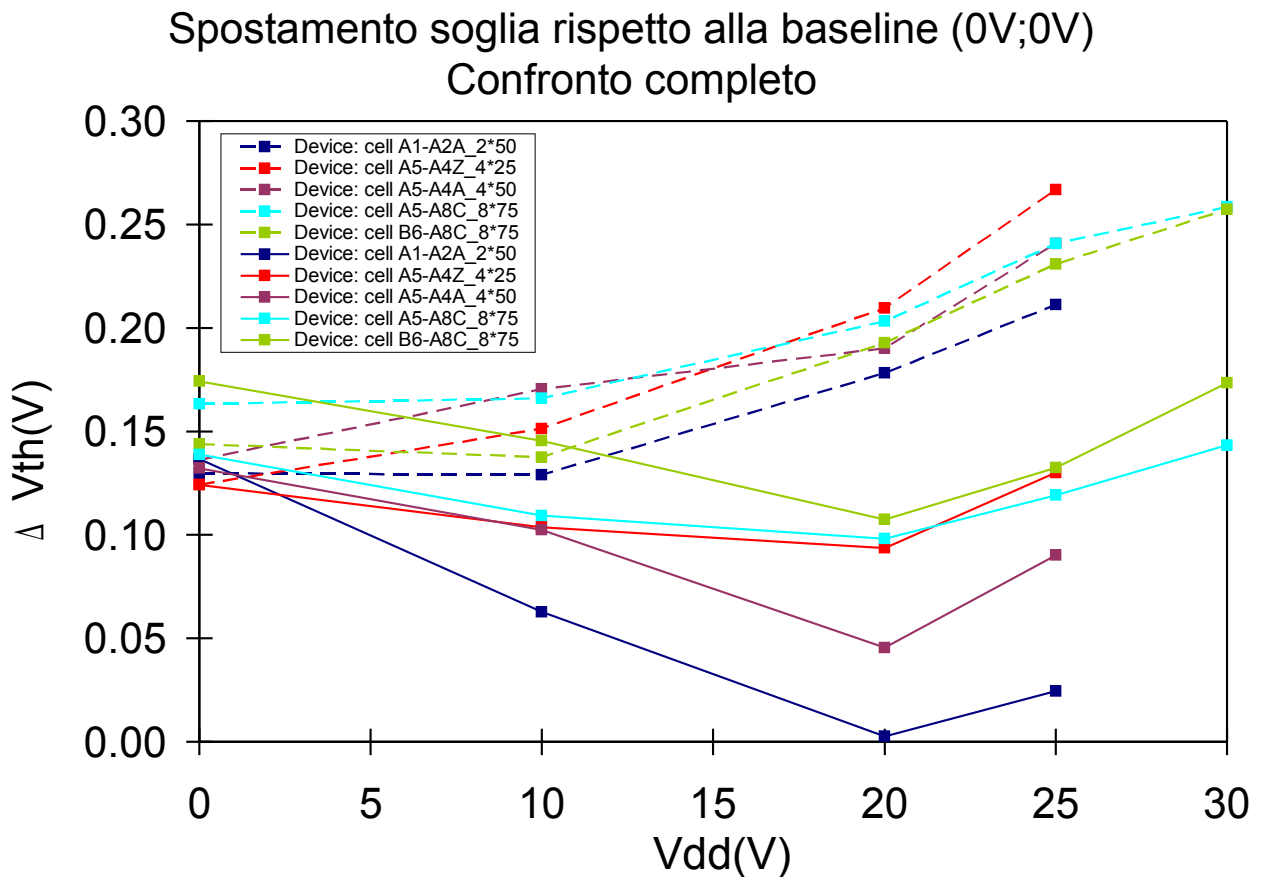


Wafer: SLX IA-01

Tensione di soglia estratta da misure Id-Vg impulsive a Vds=3V



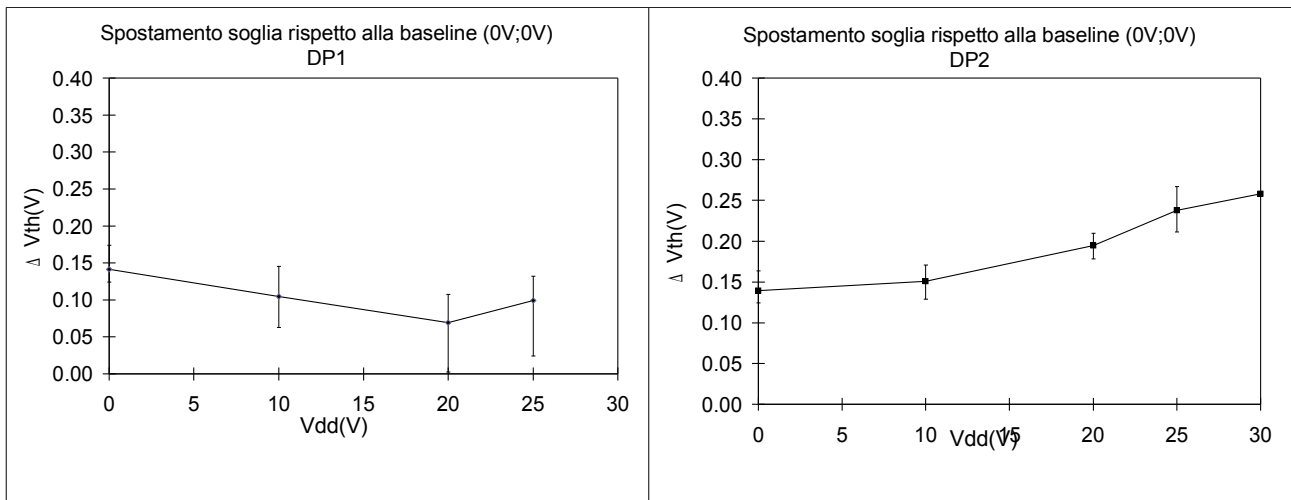
Sovrapponendo:



Studio dei fenomeni di trapping

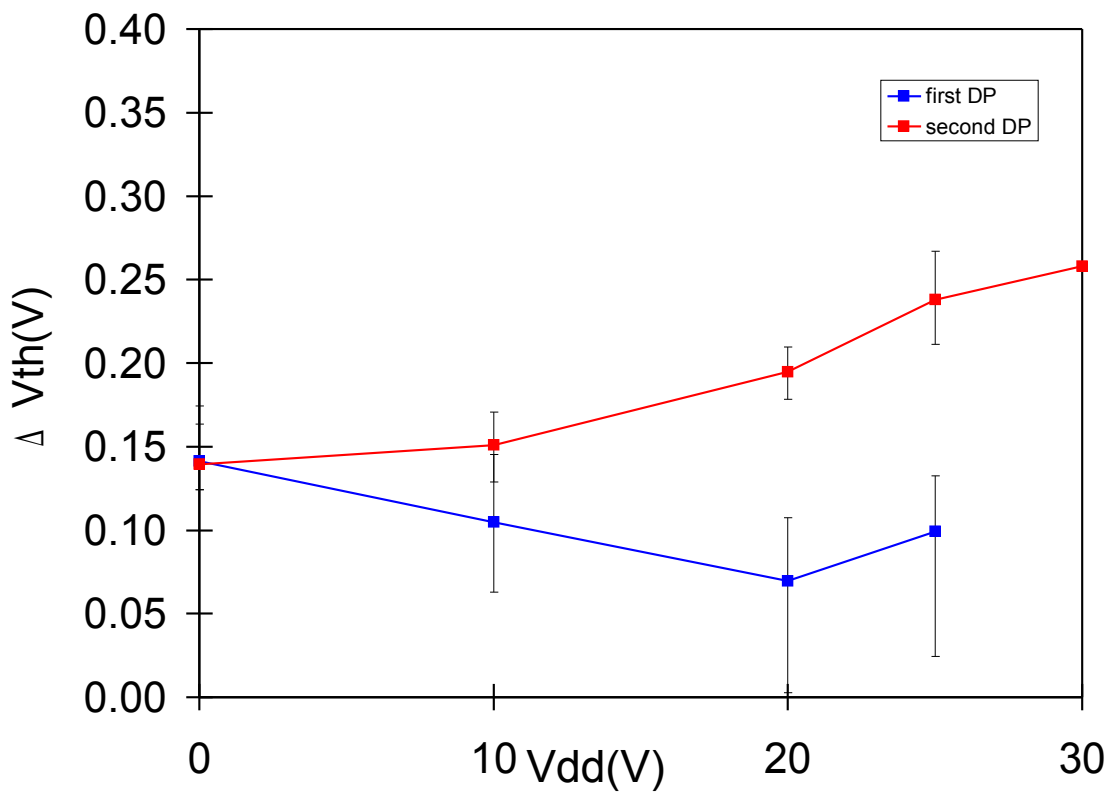
Wafer: SLX IA-01

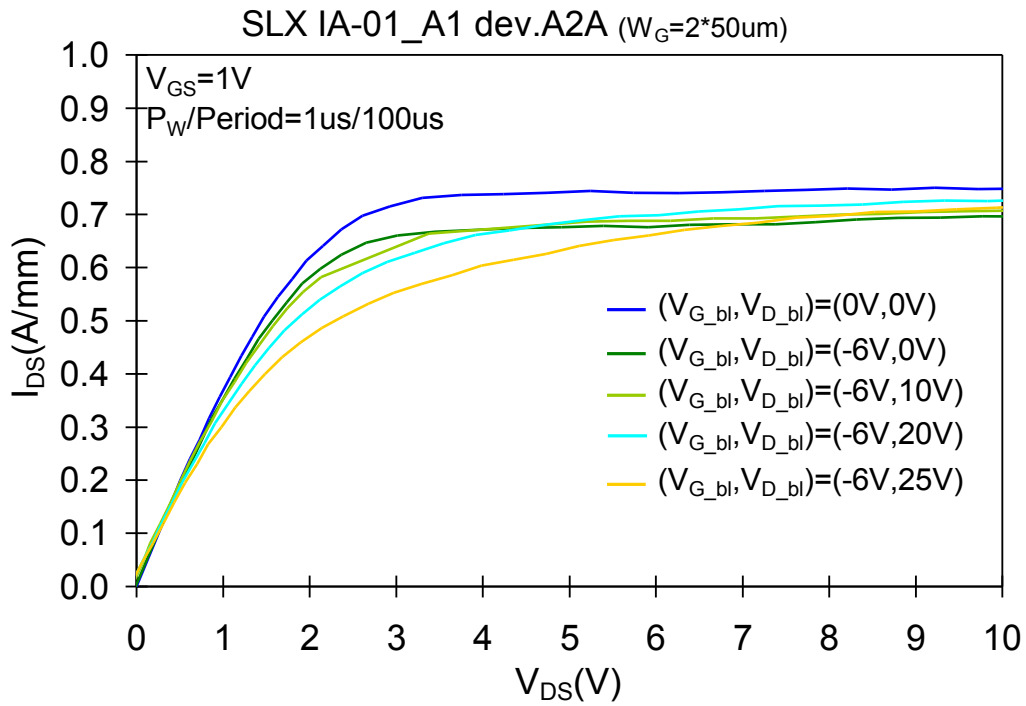
Valore medio e scostamento della tensione di soglia estratta da misure Id-Vg impulsive a Vds=3V



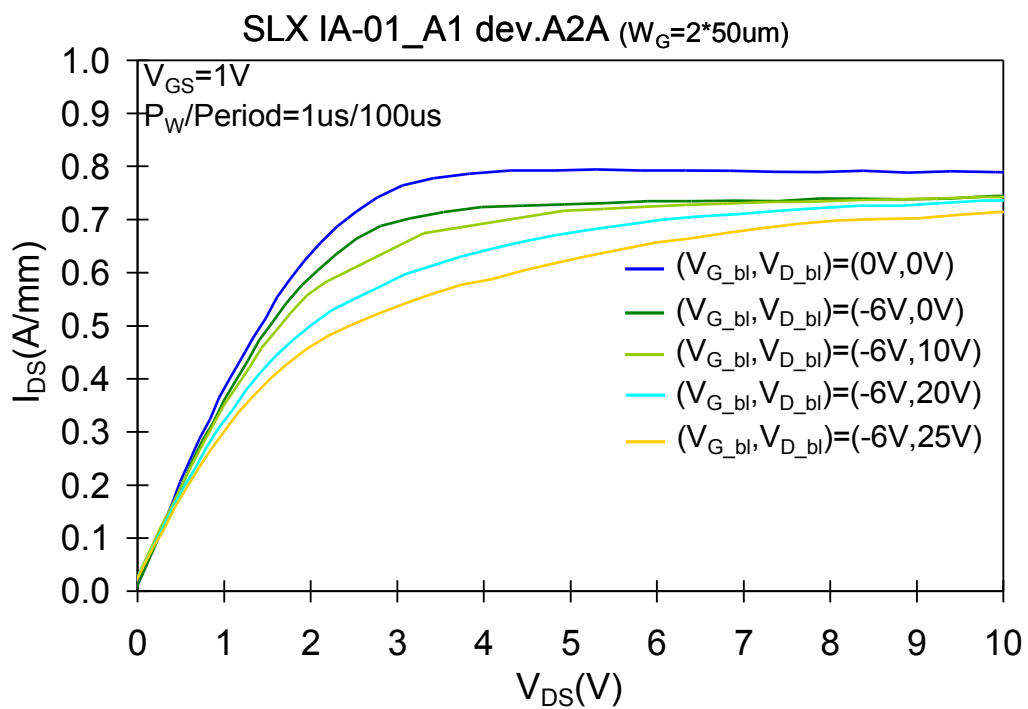
Sovrapponendo:

Spostamento soglia rispetto alla baseline (0V;0V)





(a)



(b)

Figura 6.3.2.1: Confronto tra le caratterizzazioni I_d - V_d in impulsata tipiche: (a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

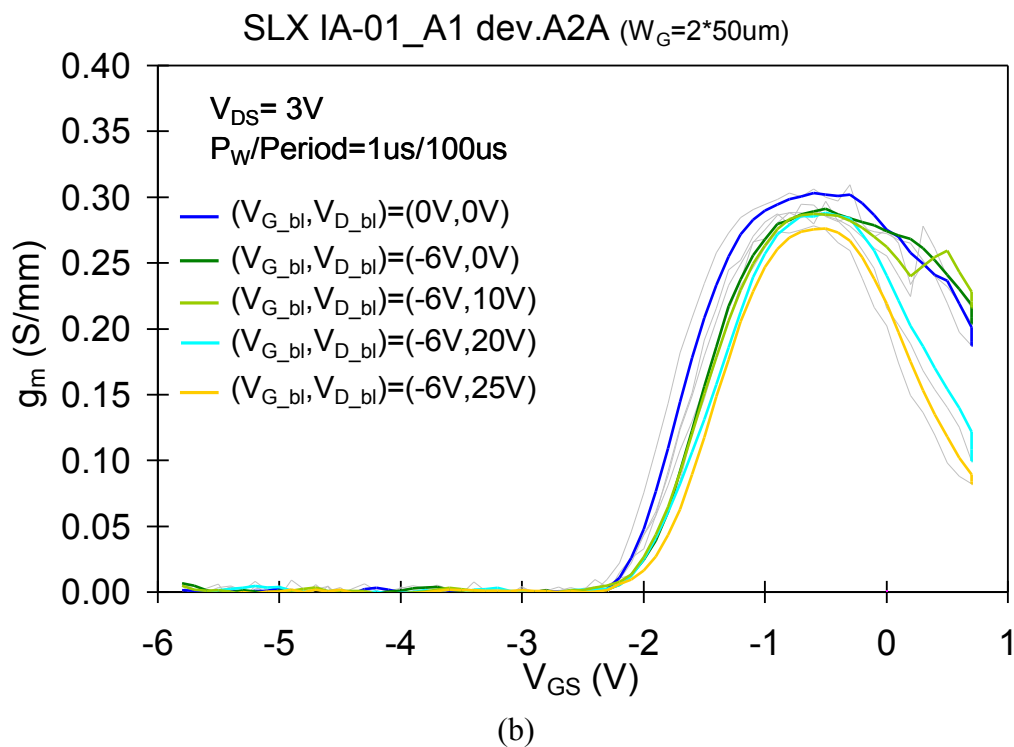
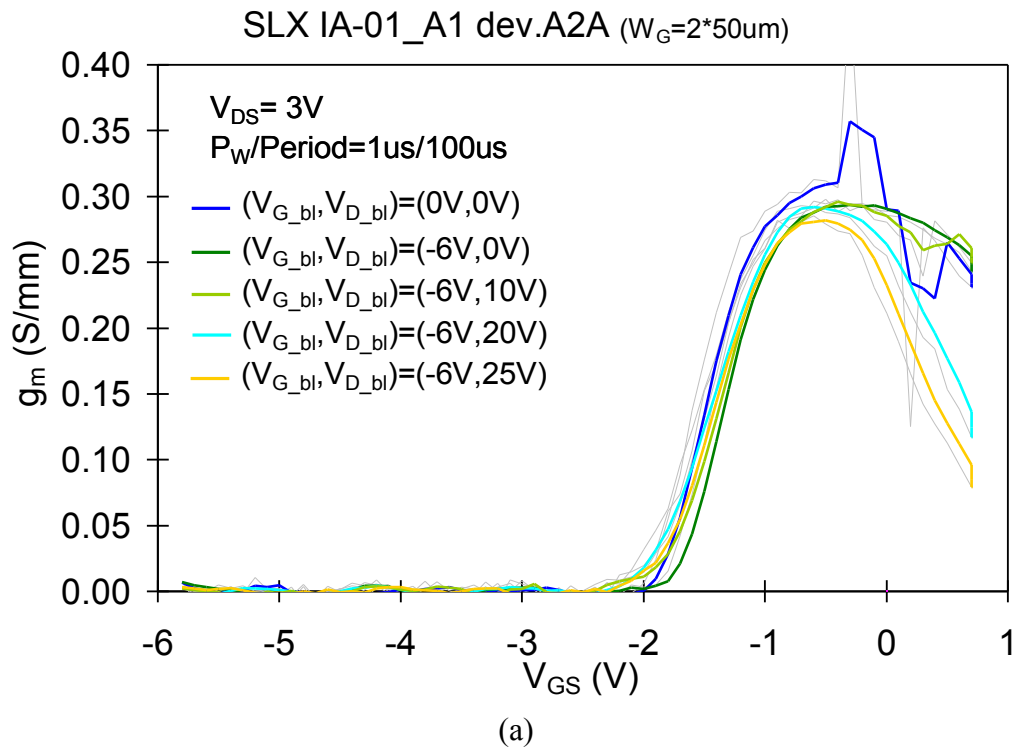
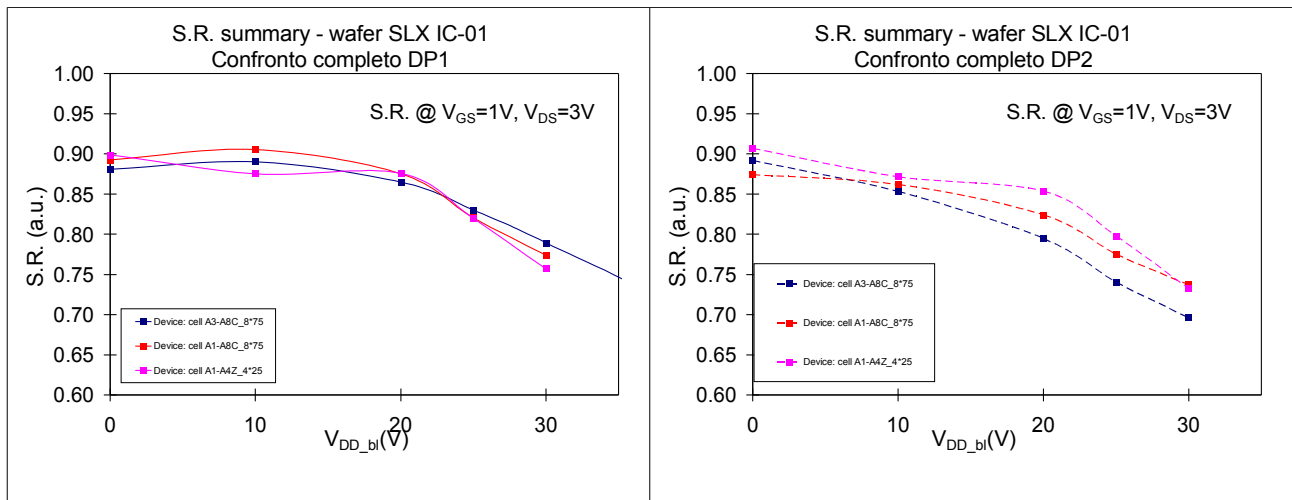


Figura 6.3.2.2: Confronto tra le transconduttanze g_m ottenute da caratterizzazioni I_d - V_g in impulsata tipiche di un campione del wafer SLX IA-01: (a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

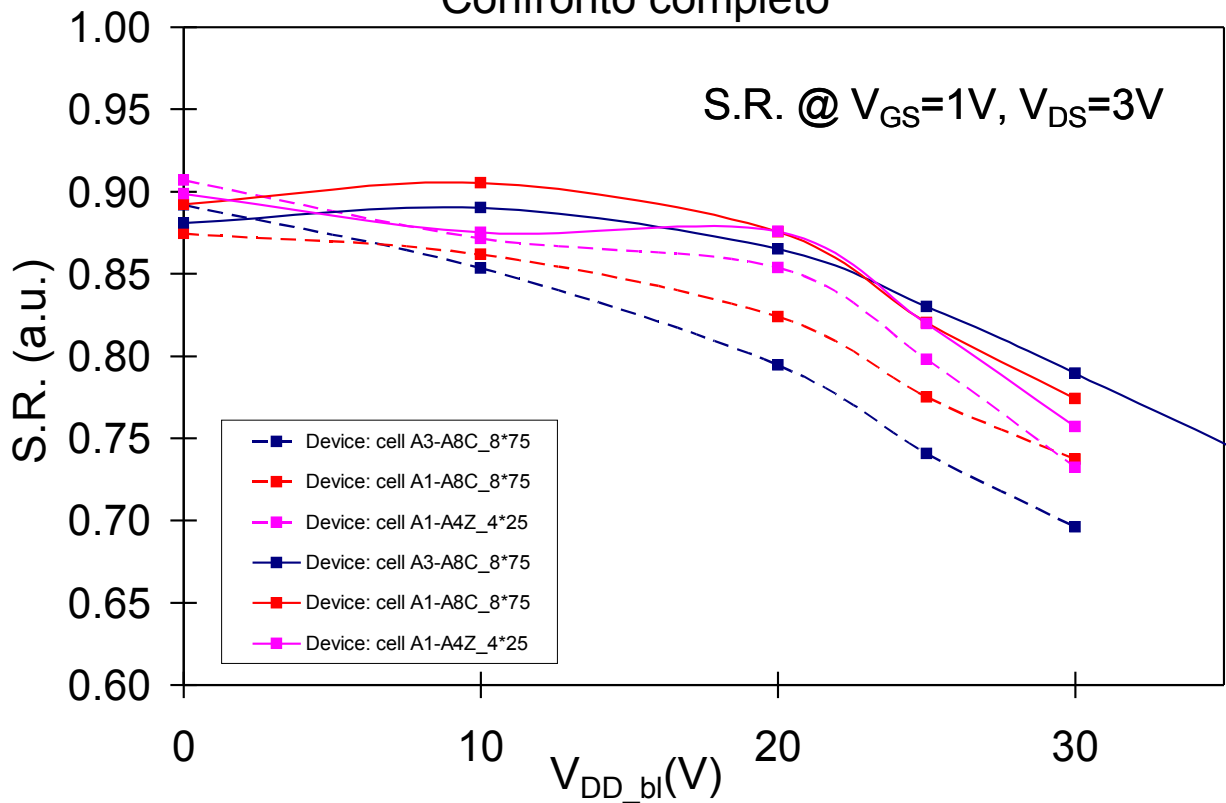
Wafer: SLX IC-01

Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$



Sovrapponendo:

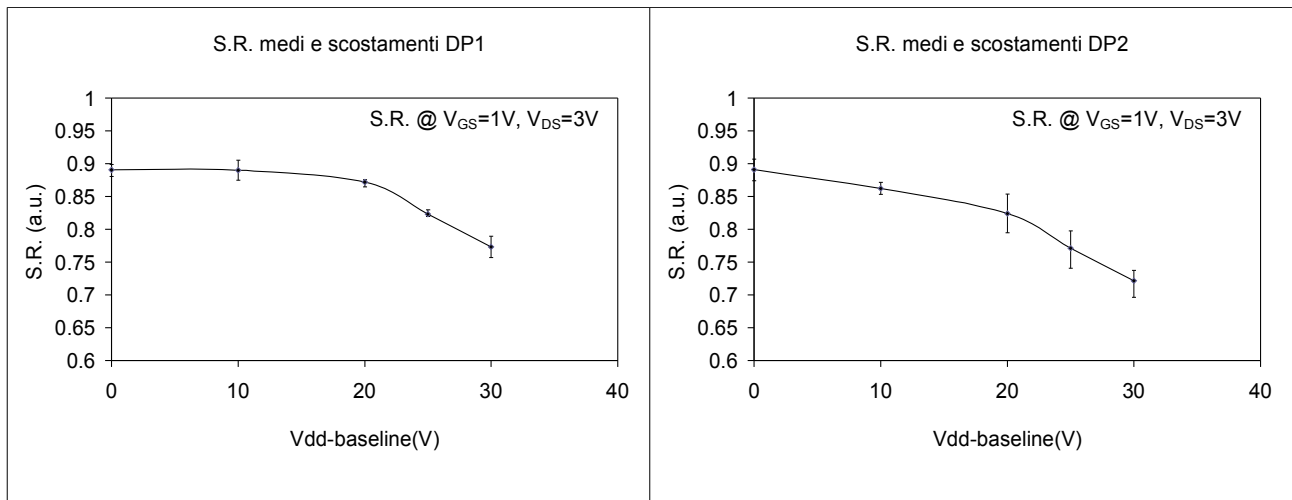
S.R. summary - wafer SLX IC-01
Confronto completo



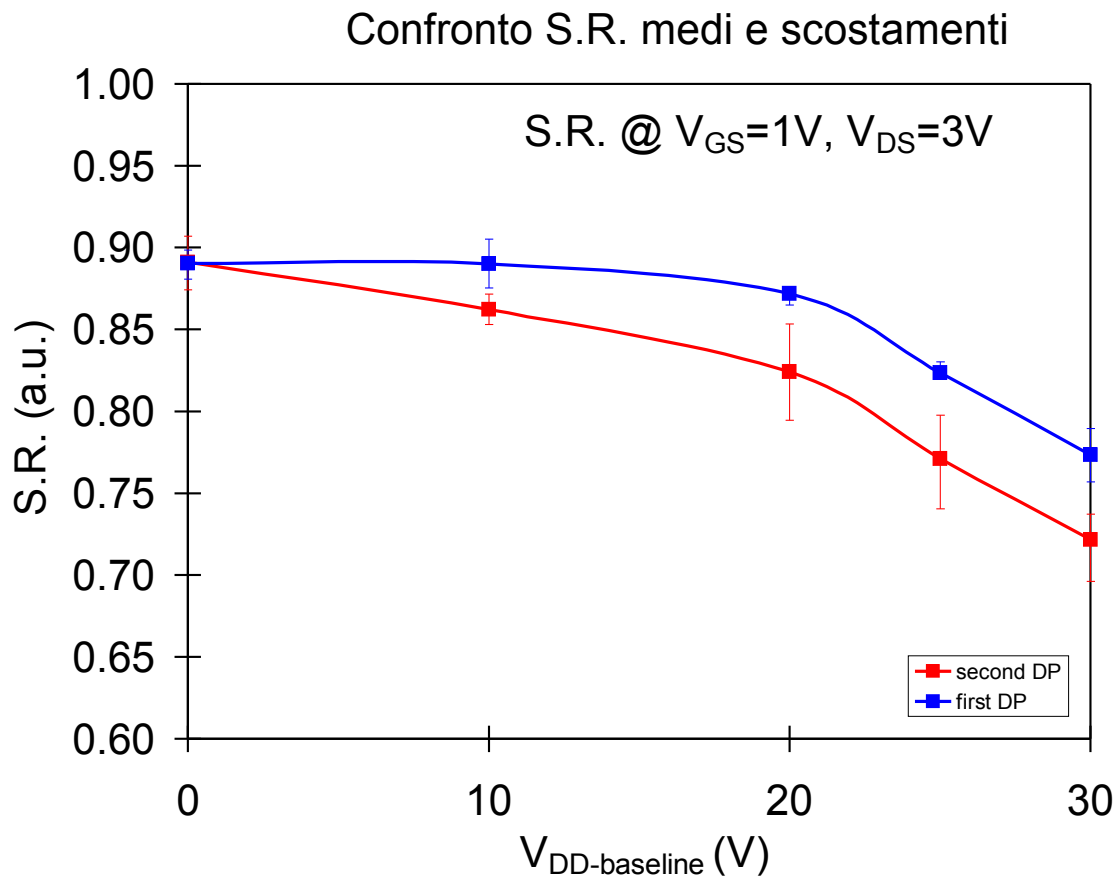
Studio dei fenomeni di trapping

Wafer: SLX IC-01

Valore medio e sostamento dello Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$

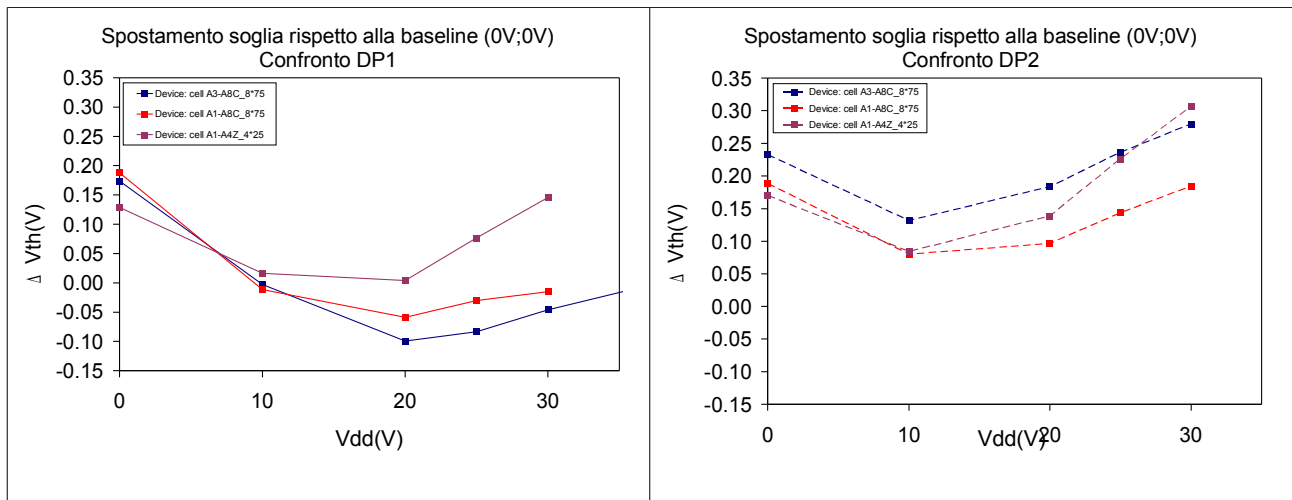


Sovrapponendo:

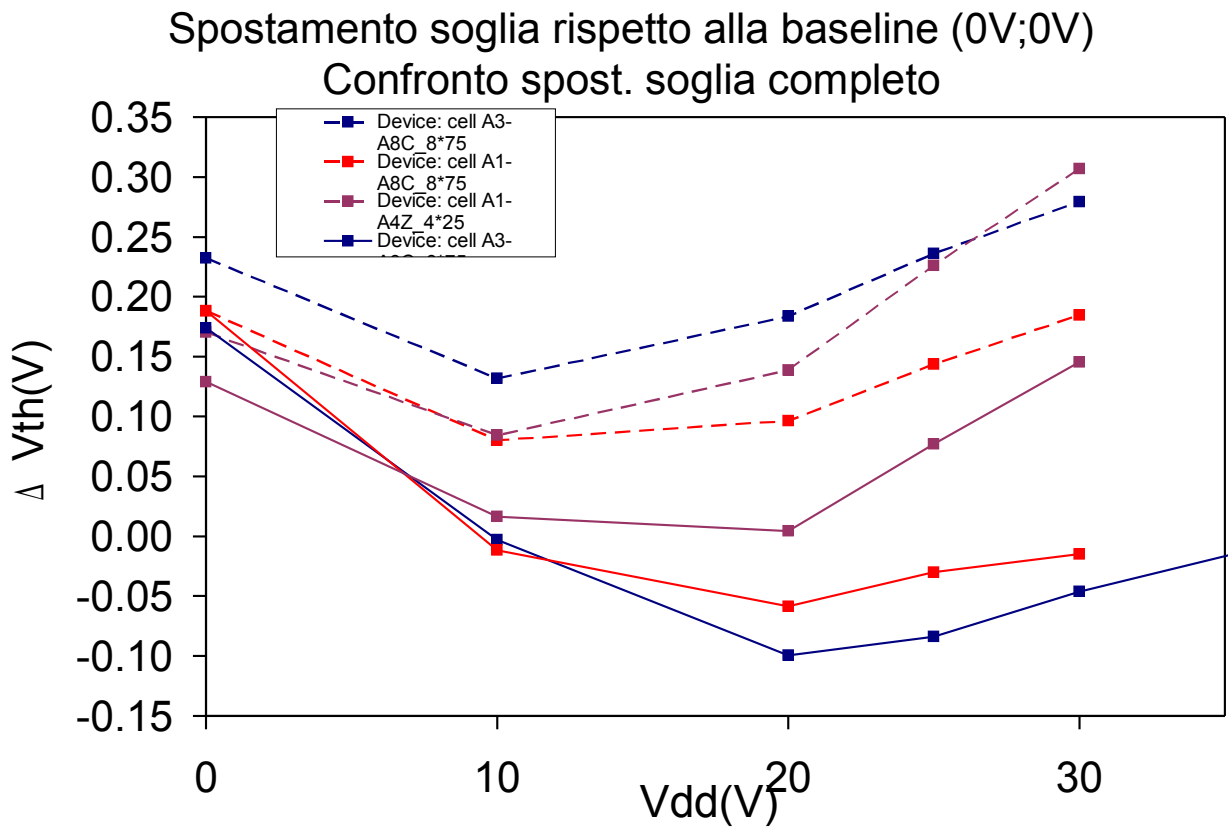


Wafer: SLX IC-01

Tensione di soglia estratta da misure Id-Vg impulsive a Vds=3V



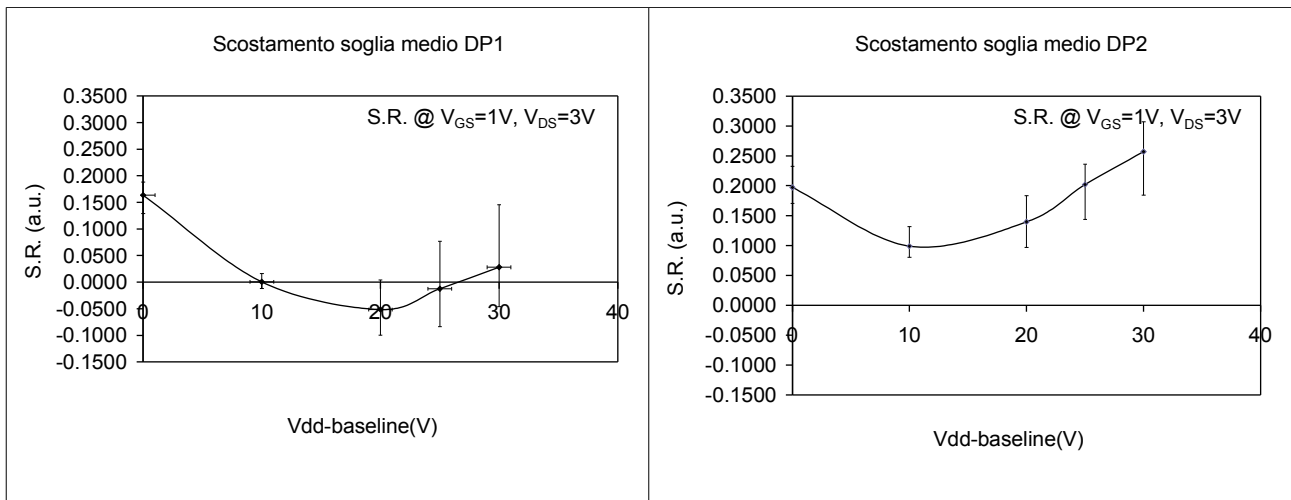
Sovrapponendo:



Studio dei fenomeni di trapping

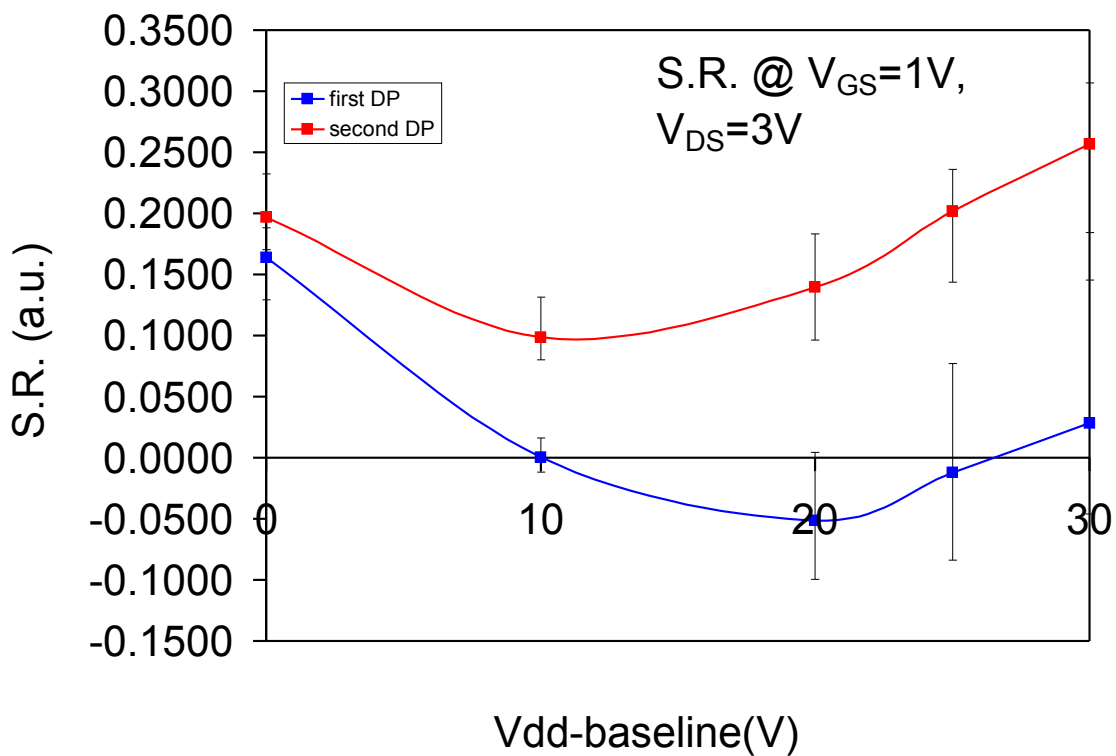
Wafer: SLX IC-01

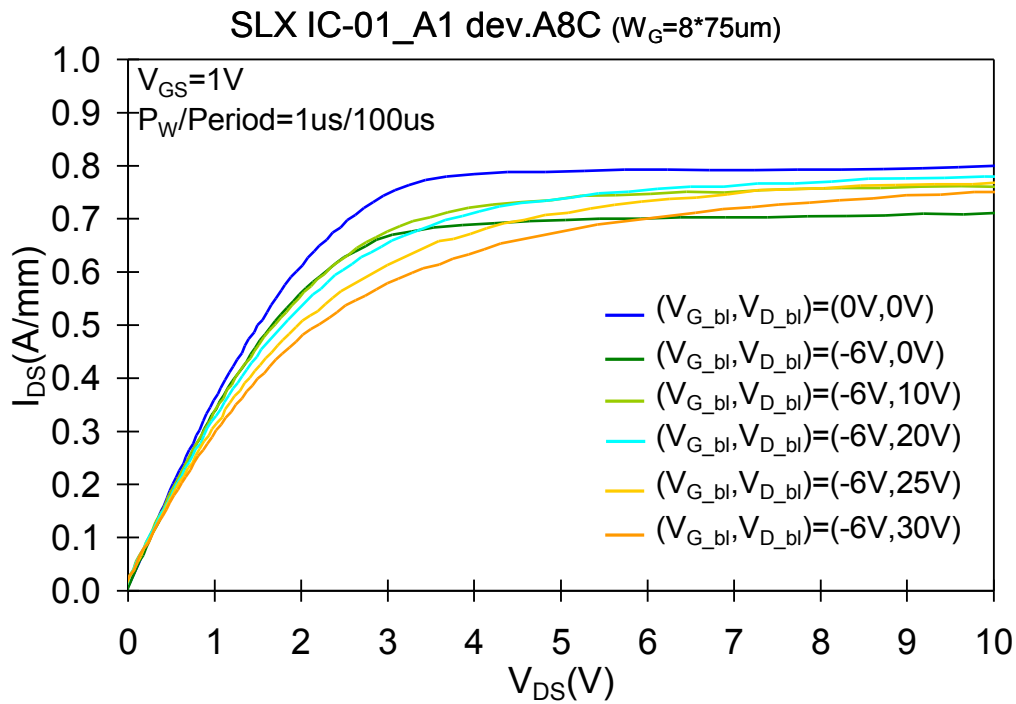
Valore medio e scostamento della tensione di soglia estratta da misure Id-Vg impulsive a $V_{DS}=3V$



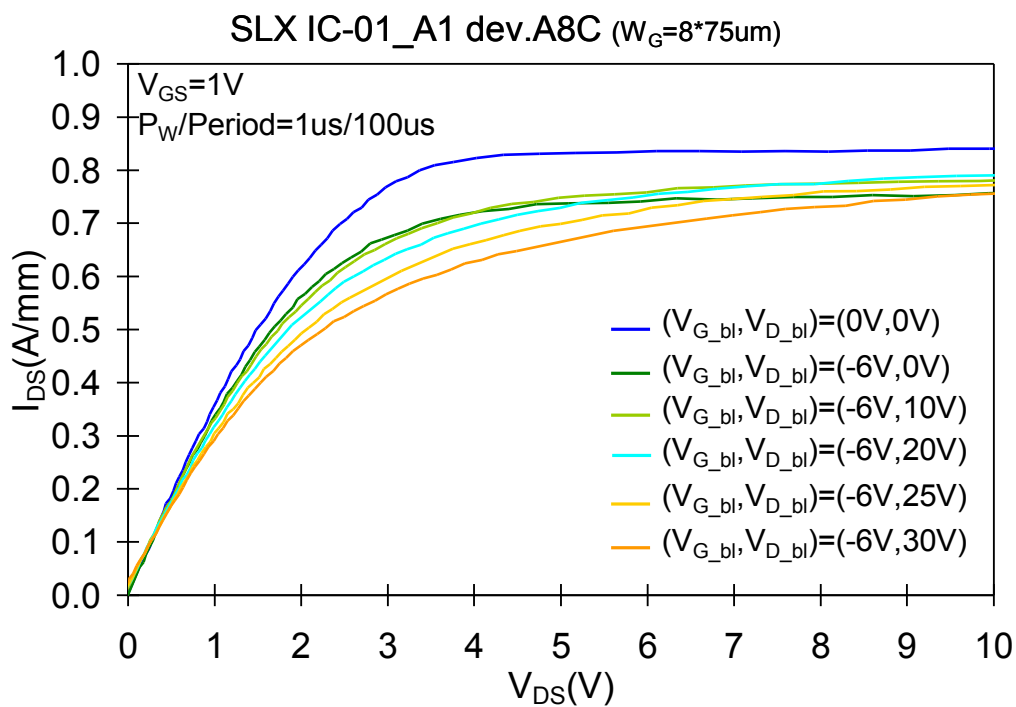
Sovrapponendo:

Confronto scostamento soglia medio





(a)



(b)

Figura 6.3.2.3: Confronto tra le caratterizzazioni Id-Vd in impulsata tipiche di un dispositivo su wafer SLX IC-01:(a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

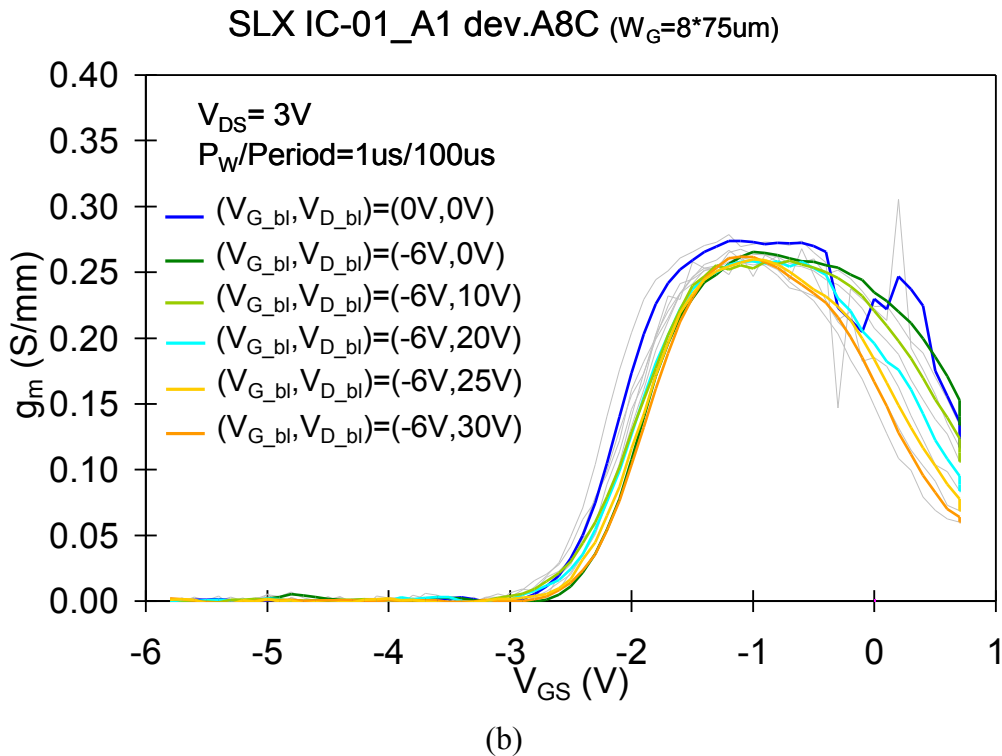
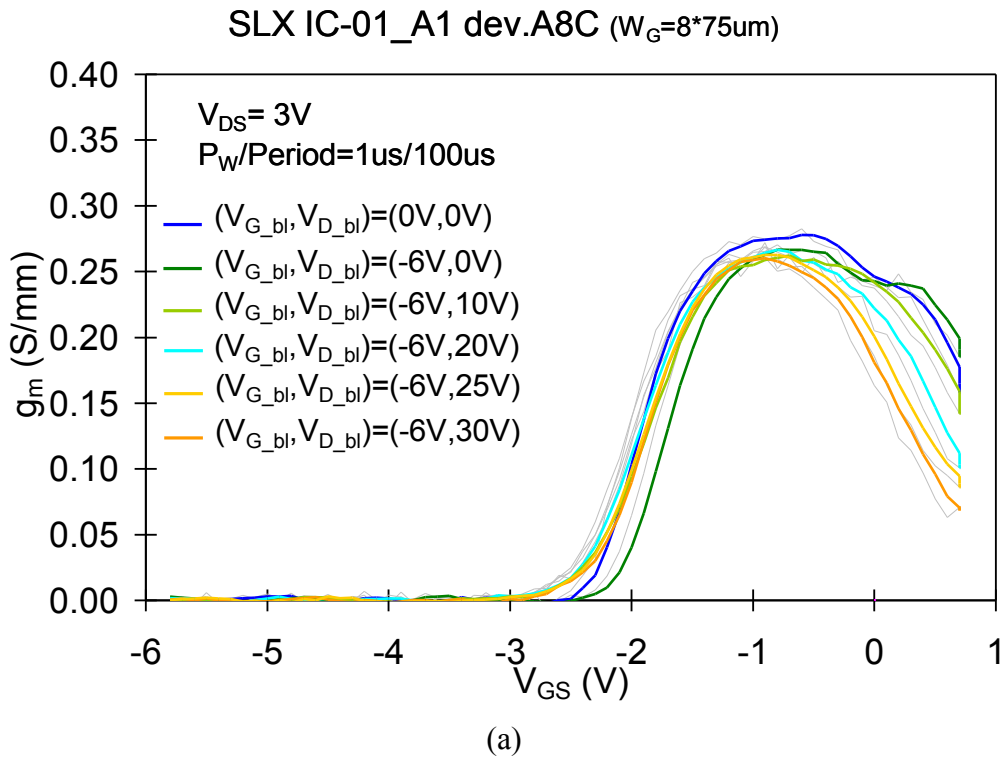
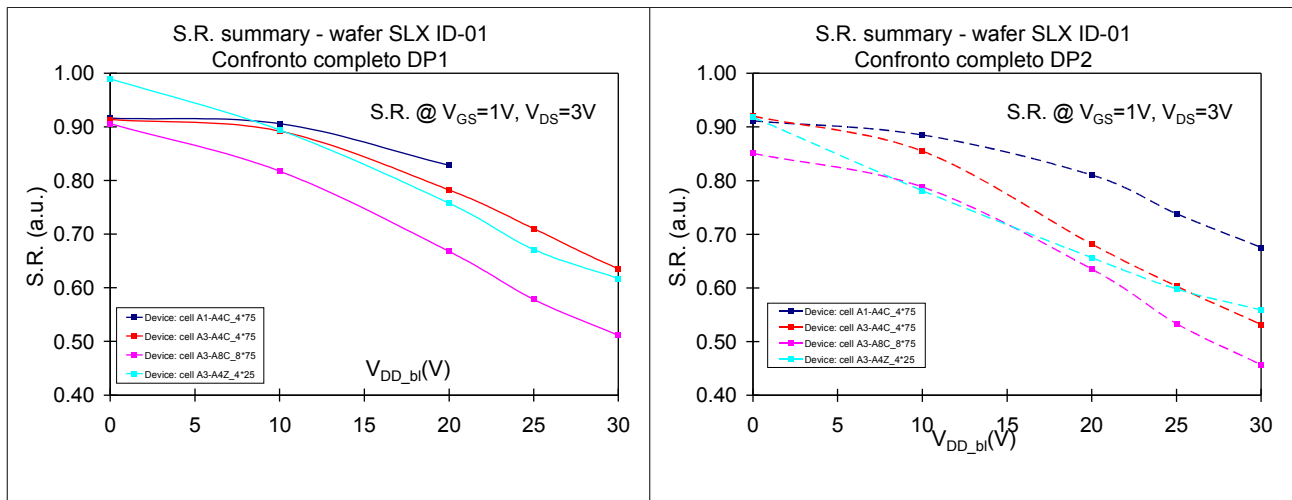


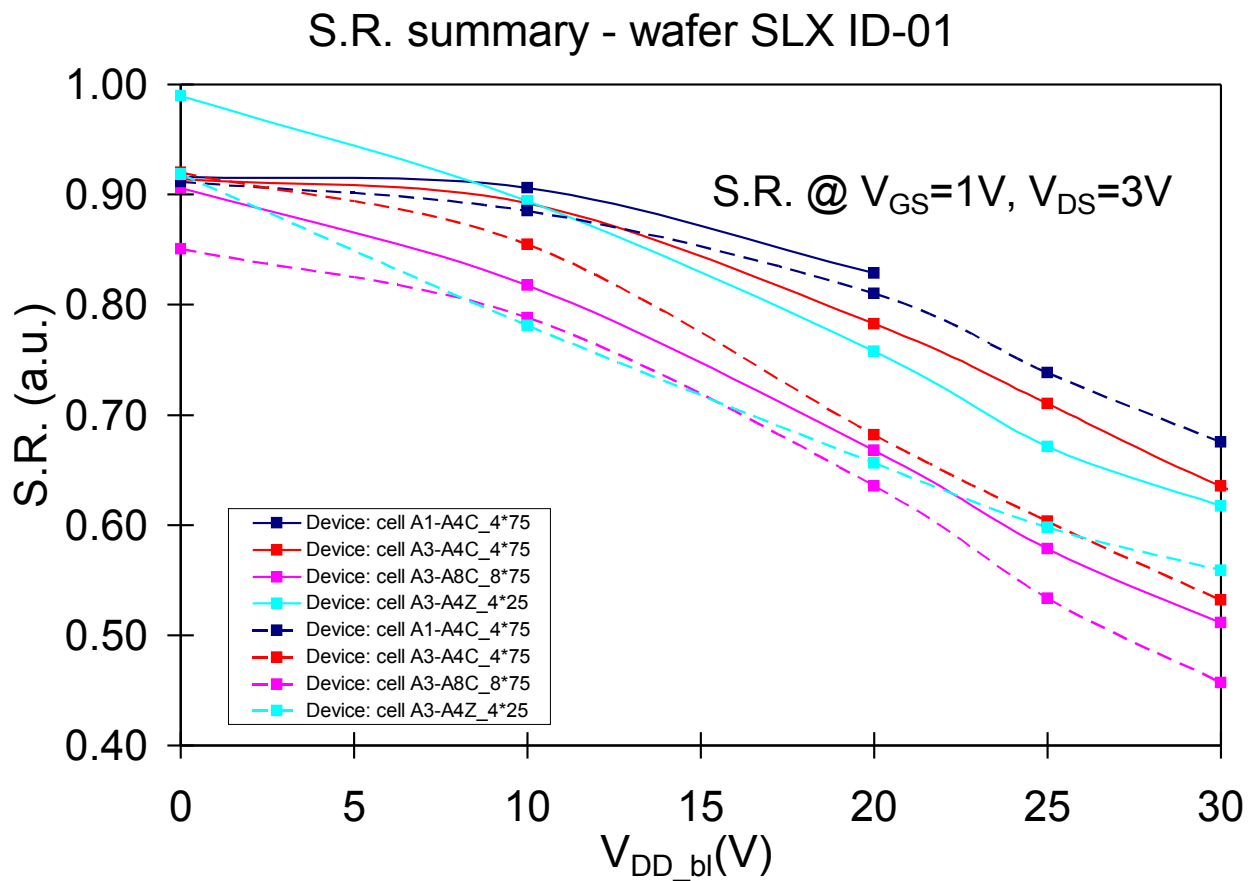
Figura 6.3.2.4: Confronto tra le transconduttanze g_m ottenute da caratterizzazioni I_d - V_g in impulsata tipiche di un campione del wafer SLX IC-01: (a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

Wafer: SLX ID-01

Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$



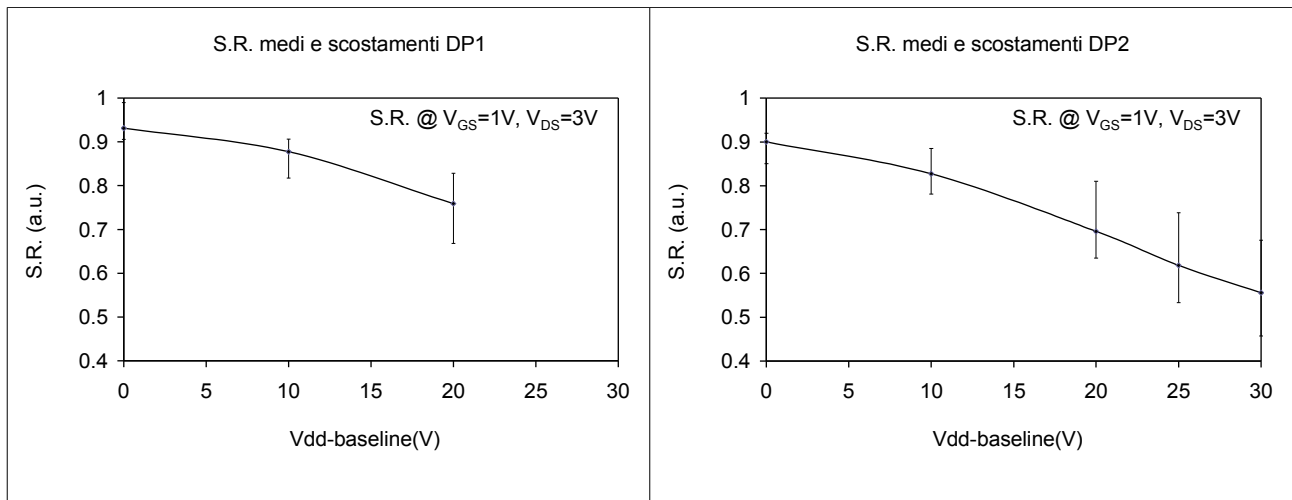
Sovrapponendo:



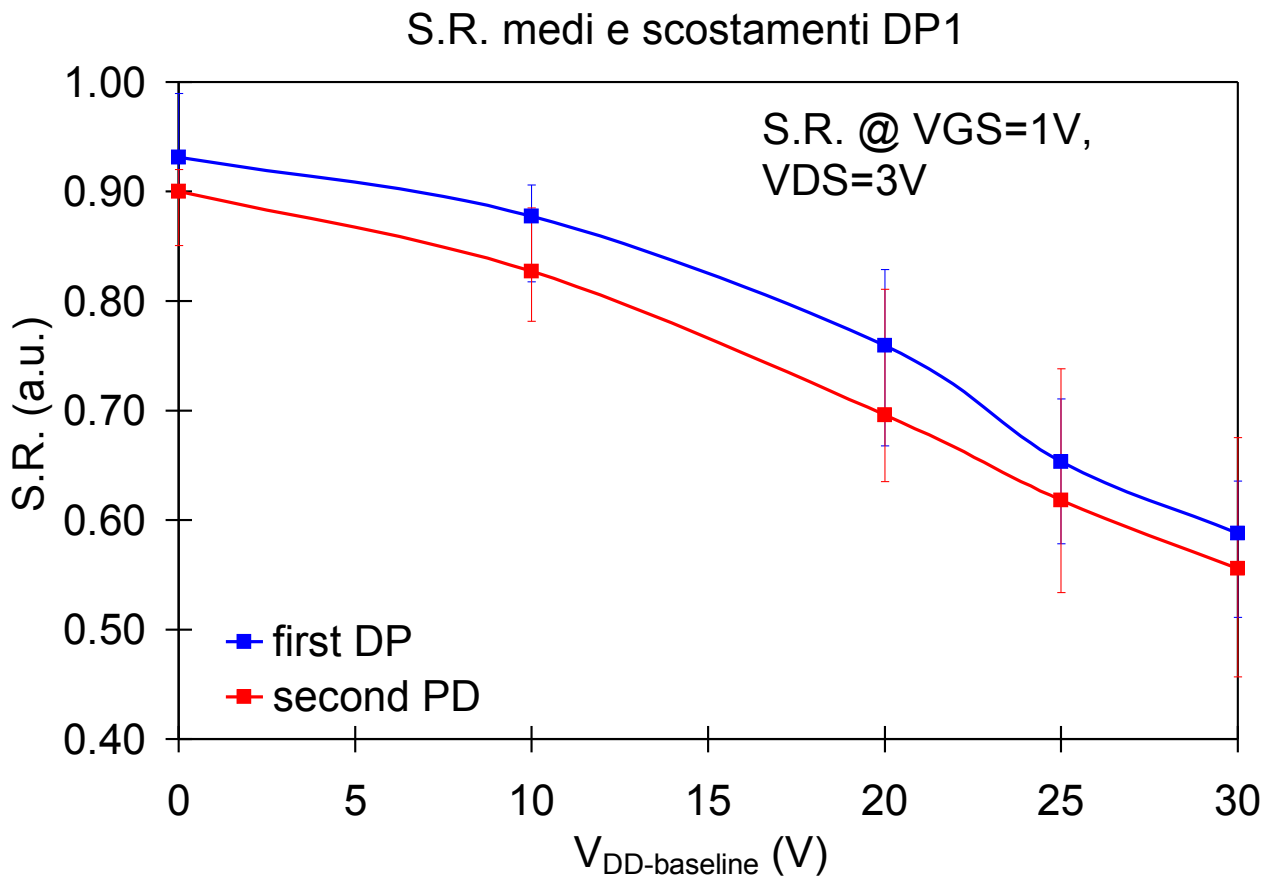
Studio dei fenomeni di trapping

Wafer: SLX ID-01

Valore medio e scostamento dello Slump-Ratio a $V_{GS}=1V$, $V_{DS}=3V$

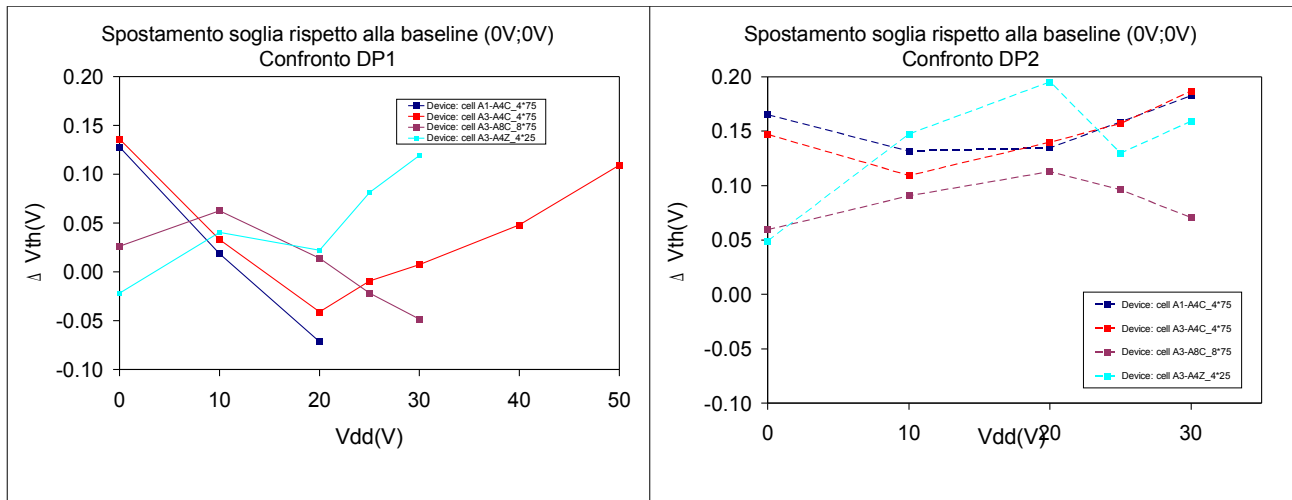


Sovrapponendo:

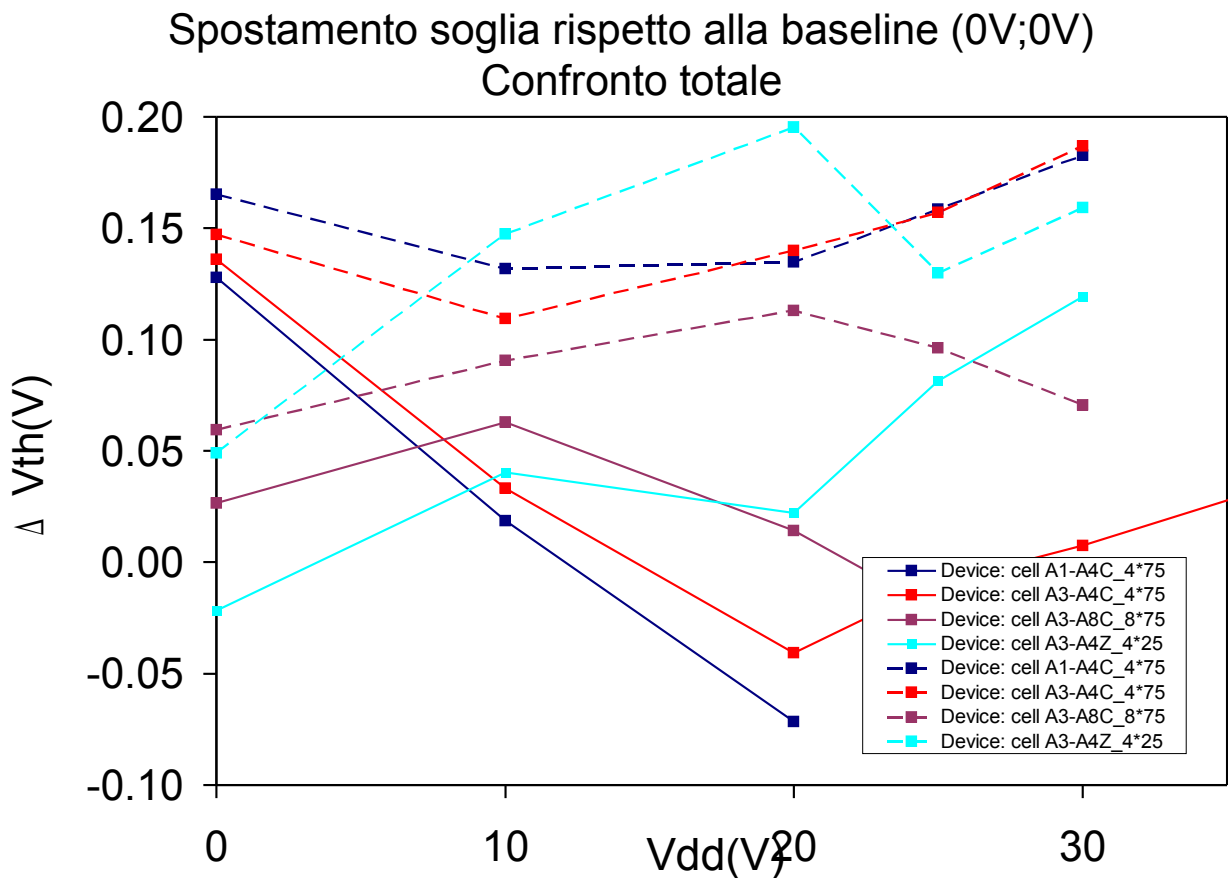


Wafer: SLX ID-01

Tensione di soglia estratta da misure Id-Vg impulsive a Vds=3V



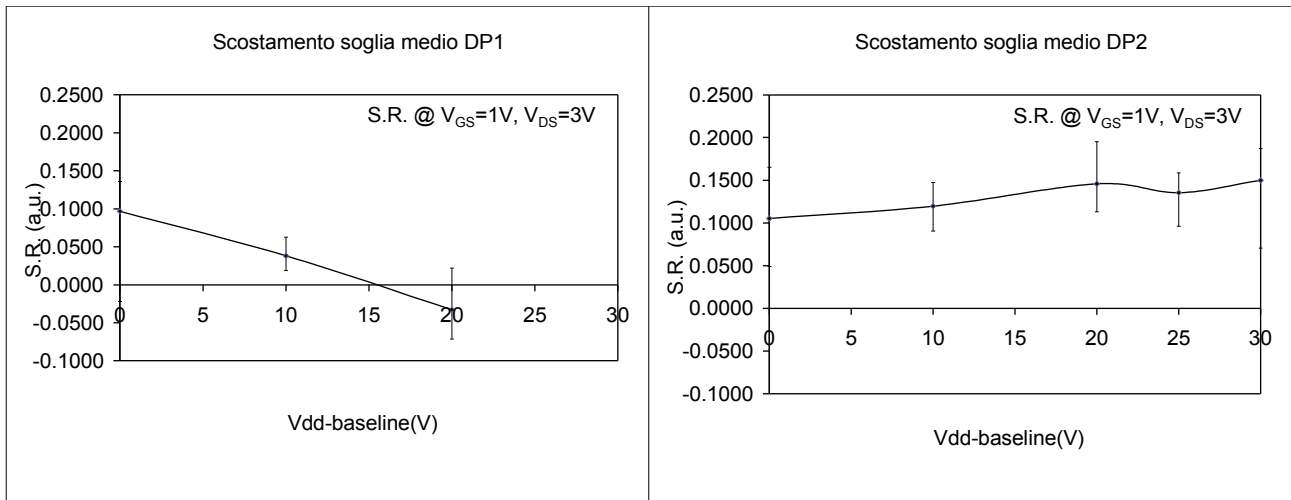
Sovrapponendo:



Studio dei fenomeni di trapping

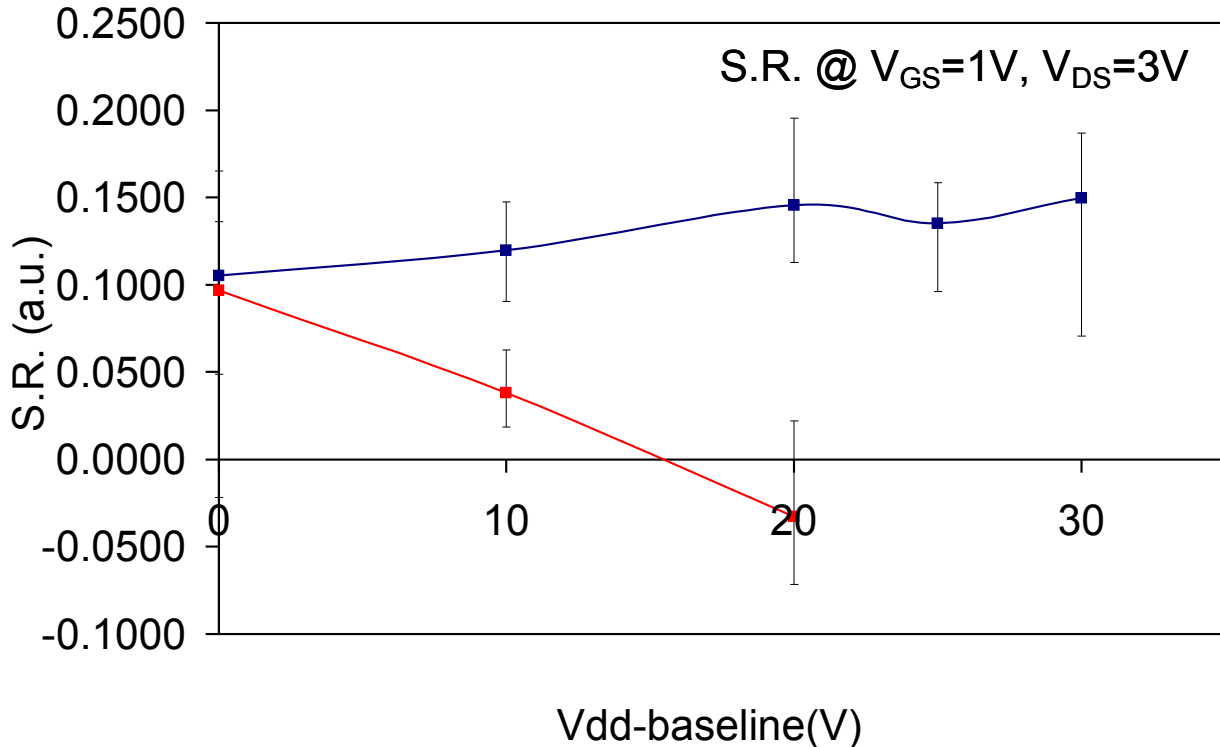
Wafer: SLX ID-01

Valore medio e scostamento della tensione di soglia estratta da misure Id-Vg impulsive a $V_{ds}=3V$



Sovrapponendo:

Confronto scostamento soglia medio



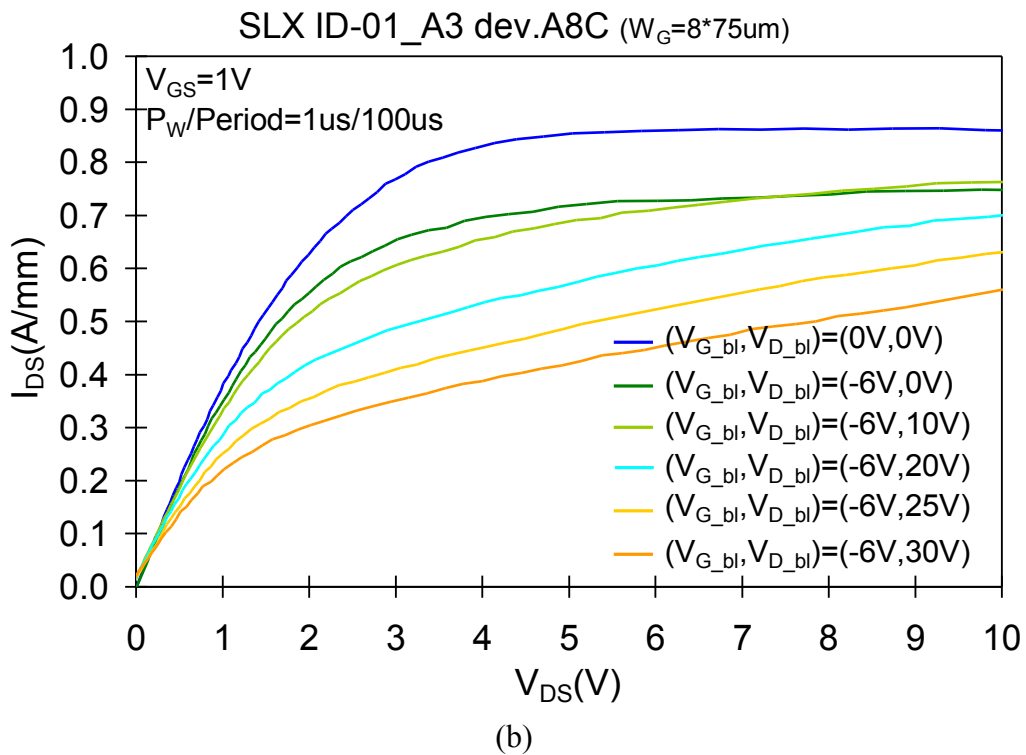
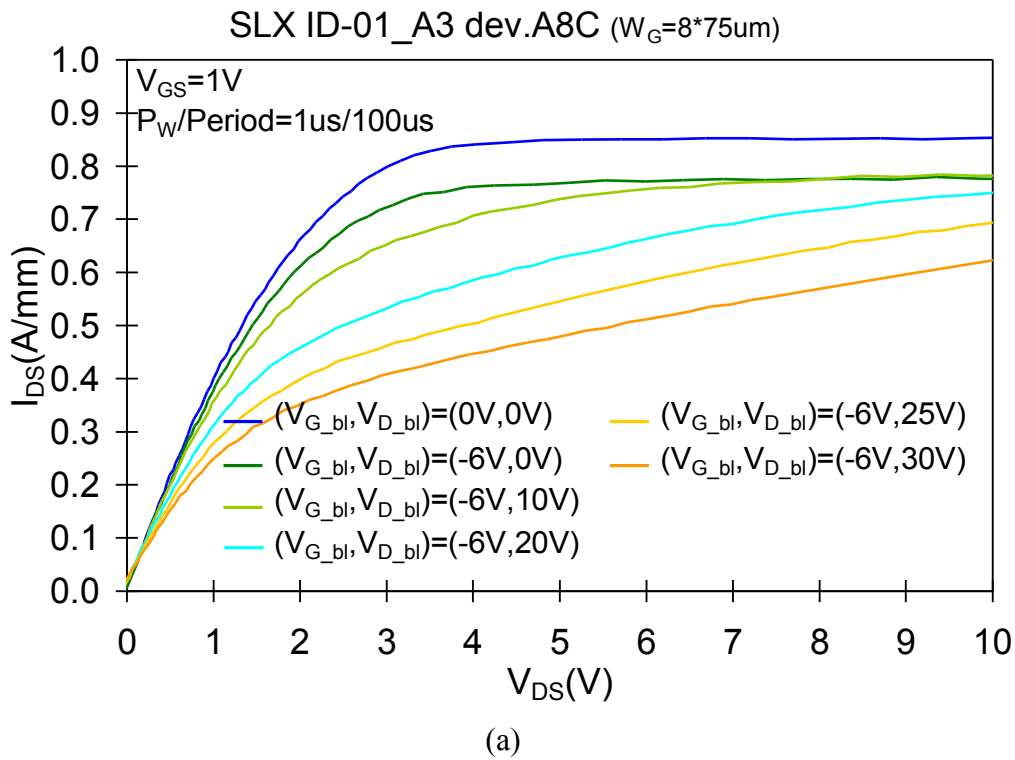


Figura 6.3.2.5: Confronto tra le caratterizzazioni Id-Vd in impulsata tipiche di un dispositivo su wafer SLX ID-01: (a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

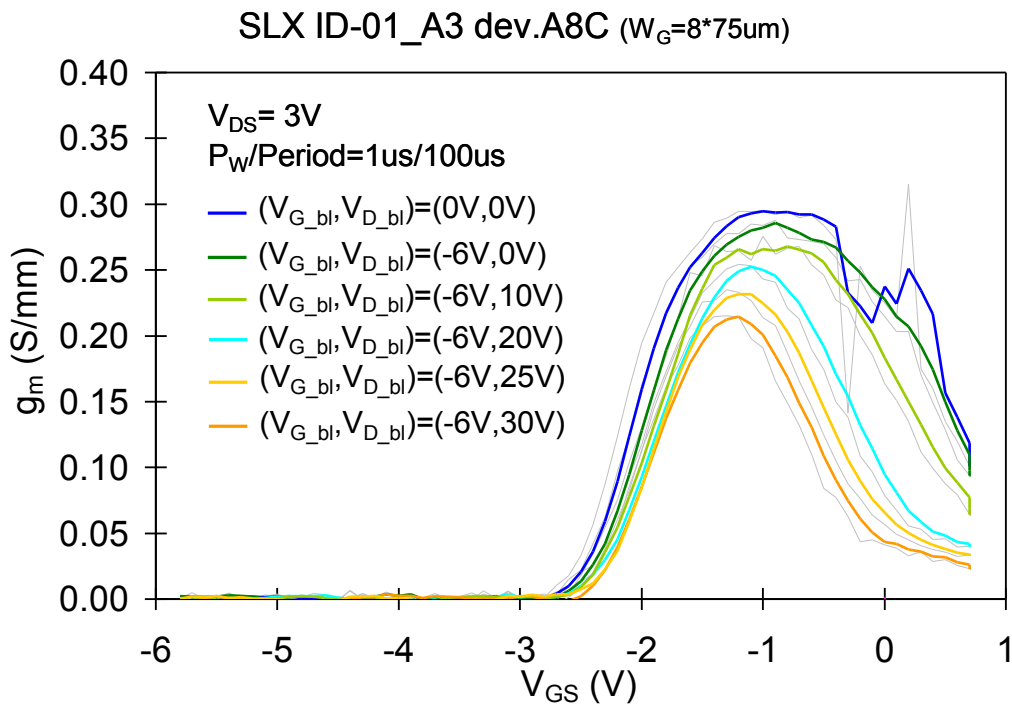
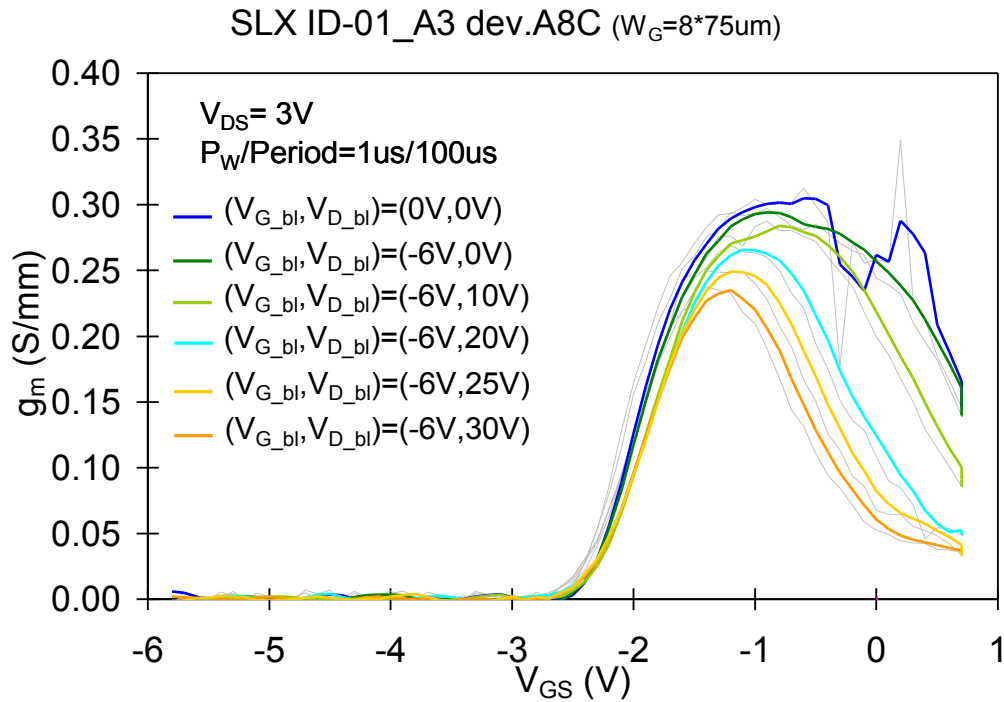


Figura 6.3.2.6: Confronto tra le transconduttanze g_m ottenute da caratterizzazioni Id-Vg in impulsata tipiche di un campione del wafer SLX ID-01: (a) alla prima misura al double-pulse, (b) alla seconda misura al double-pulse

6.3.3 Osservazioni

Analizzando i grafici di riepilogo dello Slump-Ratio medio per i vari wafer, si nota un evidente calo di tale parametro tra la prima e la seconda misura al double-pulse.

In particolare, considerando la baseline (-6V,20V), per il wafer SLX IA si nota uno spostamento dello SR da 0.87 alla prima misura al DP, a 0.81 alla seconda, per il wafer SLX IC lo spostamento va da 0.87 a 0.83, mentre per il wafer SLX ID si va da 0.77 a 0.70.

Lo scostamento del parametro SR tra le due misure evidenzia l'effetto dello spostamento di soglia verso sinistra dovuto a degrado che si manifesta al crescere della baseline alla prima procedura al double-pulse. Tale fenomeno favorisce l'apertura del canale, il dispositivo tende dunque ad assorbire più corrente a parità di polarizzazione, si perde, così, il riferimento rispetto alla baseline (0V,0V) il che consegue la scarsa affidabilità dei risultati nello studio dei fenomeni di trapping.

Per quanto riguarda, invece, l'analisi dello spostamento della tensione di soglia medio: tutti i wafer presentano, alla prima misura al double-pulse, uno spostamento di soglia decrescente fino alla baseline (-6V,20V); alla seconda misura, invece, l'andamento dello spostamento della soglia è decisamente più alto: per il wafer SLX IA e SLX ID è crescente all'aumentare della baseline, per l'SLX IC c'è un punto di minimo alla baseline (-6V,10V).

Mentre i punti di minimo a seguito della prima misura sono giustificati dallo spostamento progressivo della soglia verso sinistra dovuto a degrado permanente, quelli alla seconda misura sono dovuti a una riduzione della pendenza della caratterizzazione Id-Vg nell'intorno della tensione di soglia (e, di conseguenza, della gm). Con questa considerazione, deduciamo che il metodo adottato per il calcolo della tensione di soglia ci fornisce solamente un'informazione qualitativa di ciò che sta accadendo; se, però, osserviamo le curve delle gm relative a un campione tipico per ogni wafer osserviamo che, alla seconda misura al double-pulse, le curve risultano, rispetto alla prima, molto più disperse verso destra al crescere della baseline così da far quadrare le aspettative.

Le **Figure 6.3.3.1** e **6.3.3.2** riportano un confronto dei valori medi tra i parametri SR e spostamento della soglia nei vari wafer. Risulta evidente che il collasso della corrente in impulsata è decisamente più alto (SR basso) in quei dispositivi su wafer della serie I: da tale osservazione deduciamo che il drogaggio a concentrazione di ferro costante nel buffer genera degli stati trappola nell'intorno del canale contribuendo al collasso di corrente, anche se il collasso non segue proporzionalmente la concentrazione di ferro.

Dal grafico di confronto tra gli spostamenti di soglia medi, notiamo una certa omogeneità tra i vari wafer, sia su quelli con buffer drogato che non; deduciamo che lo spostamento della soglia su caratterizzazioni Id-Vg in impulsata sia dovuto al trapping superficiale a trappole posizionate sotto al gate, dovute alla fase di processo omogenea nei vari wafer.

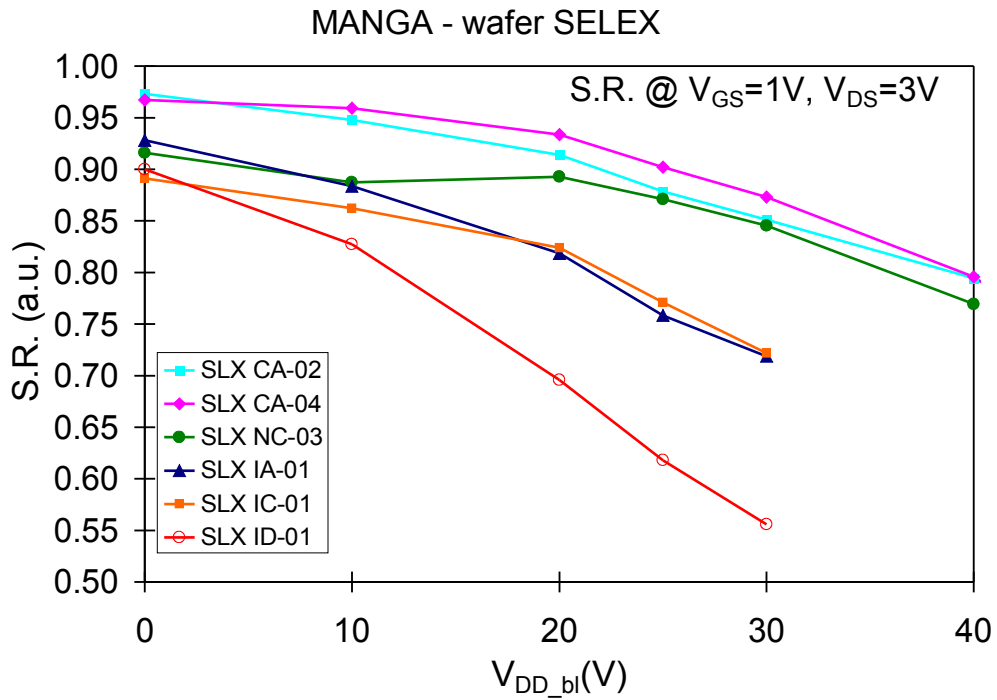


Figura 6.3.3.1: Confronto dei parametri medi dello Slump-Ratio tra i vari wafer

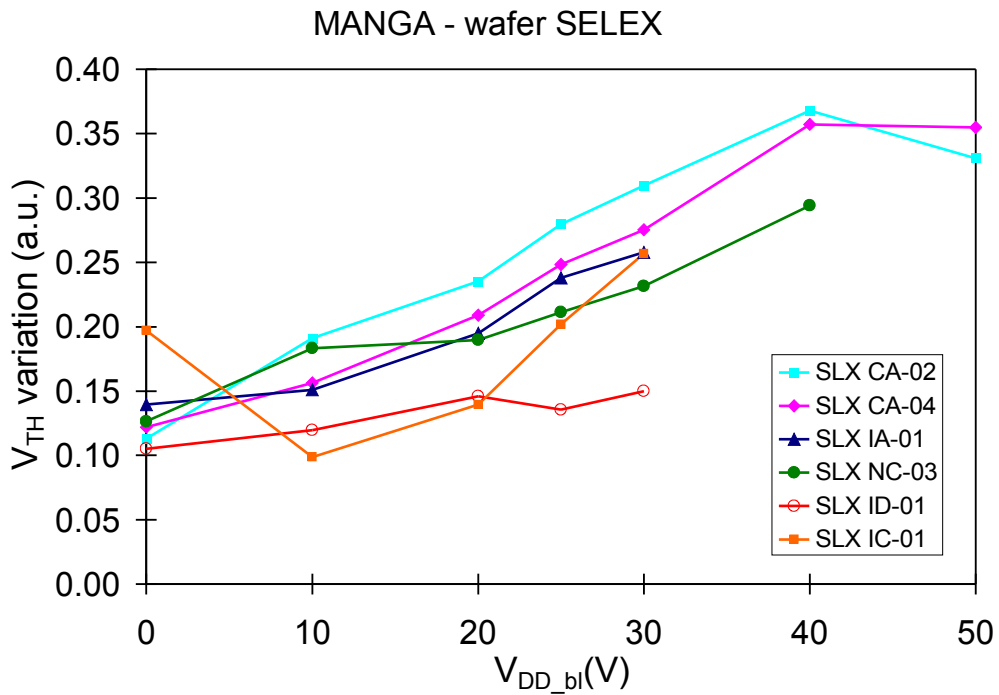


Figura 6.3.3.2: Confronto dei parametri medi dello spostamento di soglia tra i vari wafe

Capitolo 7

Misure di affidabilità mediante Step-stress

L'ultima fase di misura da me svolta in questa esperienza di tesi consiste in una serie di test di affidabilità.

L'obiettivo è studiare la stabilità dei dispositivi, la loro robustezza alle alte tensioni di stress per brevi periodi di tempo e il fenomeno dello spostamento di soglia osservato nelle misure impulsive.

Come è riportato nella sezione delle misure DC, la strumentazione consente di automatizzare questo tipo di procedure che in genere ricorrono ad una routine di eventi con determinate tempistiche.

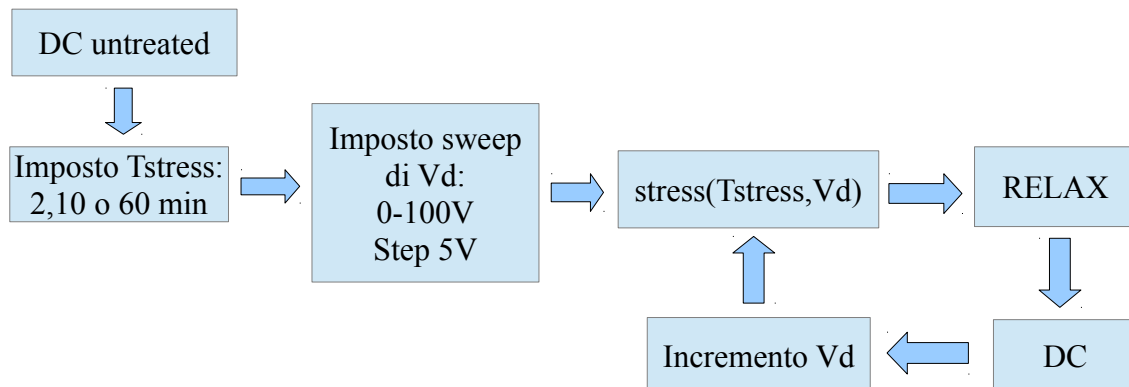
Nel nostro caso, il contributo del tempo è fondamentale, in quanto dobbiamo studiare l'effetto permanente dello spostamento di soglia e non quello transitorio dovuto a trapping; dobbiamo fare in modo che le tempistiche siano idonee affinché il secondo effetto sia latente.

Per questo motivo, abbiamo pensato di eseguire l'intera procedura con campione sottoposto a fonte luminosa così da favorire i processi di detrapping.

7.1 Procedura

Sono stati eseguiti degli stress a canale chiuso con tensione di drain via via crescente (step-stress) con tempi di stress variabili per verificare la presenza dello shift di soglia permanente visto in precedenza attraverso misure al double-pulse.

La procedura adottata ha la seguente schematizzazione a blocchi:



I tempi di stress scelti sono di 2min, 10min e 1ora.

In fase di stress, il dispositivo è in off-state con $V_g = -6V$ e V_d variabile da 0-100V a step di 5V.

La fase di RELAX ha lo scopo di dare il tempo al campione di raggiungere uno stato in cui i fenomeni di intrappolamento siano in una condizione stabile. Dopo una valutazione sperimentale, allo scopo di standardizzare la procedura di stress, è stato scelto di sottoporre il dispositivo a un tempo di relax di 5minuti con luce accesa.

I dispositivi sui quali si è scelto di effettuare la procedura sono gli A4Z del wafer SLX IA-01 dato che mostrava un significativo shift di soglia e godeva di una maggiore disponibilità di campioni: di questi sono stati scelti quelli che con una corrente di leakage sui diodi simile in modo da poter considerare affidabili eventuali confronti.

Misure di affidabilità mediante Step-stress

In seguito vengono riportati i risultati ottenuti dalle misure da me svolte; le figure di riepilogo riportate nelle seguenti tabelle sono contrassegnate da lettere specifiche della seguente descrizione:

- a) Corrente sui diodi in parallelo gate-drain e gate-source ad ogni step di stress;
- b) Corrente di drain con $V_{gs}=1V$ ad ogni step di stress;
- c) Variazione percentuale rispetto alla prima DC della resistenza di canale R_{on} e della corrente di drain con $V_{ds}=3V$ e $7V$ a $V_{gs}=1V$ ad ogni step di stress;
- d) Spostamento della soglia rispetto alla prima DC ad ogni step di stress;
- e) Variazione percentuale del picco della transconduttanza g_m ad ogni step di stress;
- f) Variazione percentuale della corrente di leakage sul gate rispettivamente per $V_{ds}=0.1V, 3V$ e $7V$ ad ogni step di stress;
- g) Correnti I_g e I_d nel tempo durante i vari step di stress;
- h) Correnti I_g e I_d nel tempo a confronto in scala logaritmica in vari step di stress;
- i) Corrente di sottosoglia per $V_{ds}=3V$ nei vari step di stress;
- l) Transconduttanza g_m per $V_{ds}=3V$ nei vari step di stress;
- m) Corrente di sottosoglia per $V_{ds}=7V$ nei vari step di stress;
- n) Transconduttanza g_m per $V_{ds}=7V$ nei vari step di stress;

7.2 Risultati

Wafer: SLX IA-01 A1 A4Z : Tstress=2min

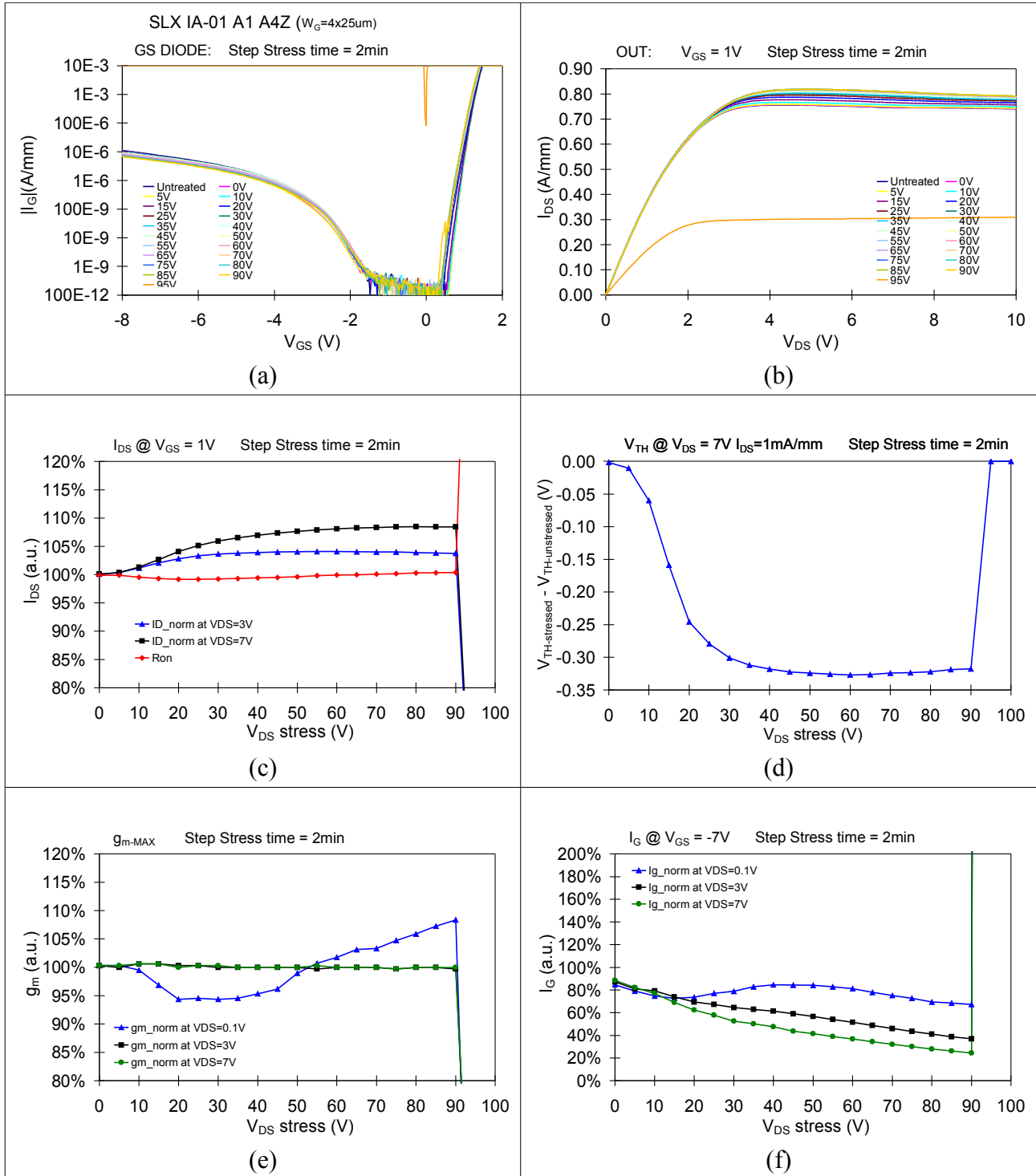


Tabella 7.2.1: Riepilogo risultati step-stress a 2 min di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 A1 A4Z : Tstress=2min

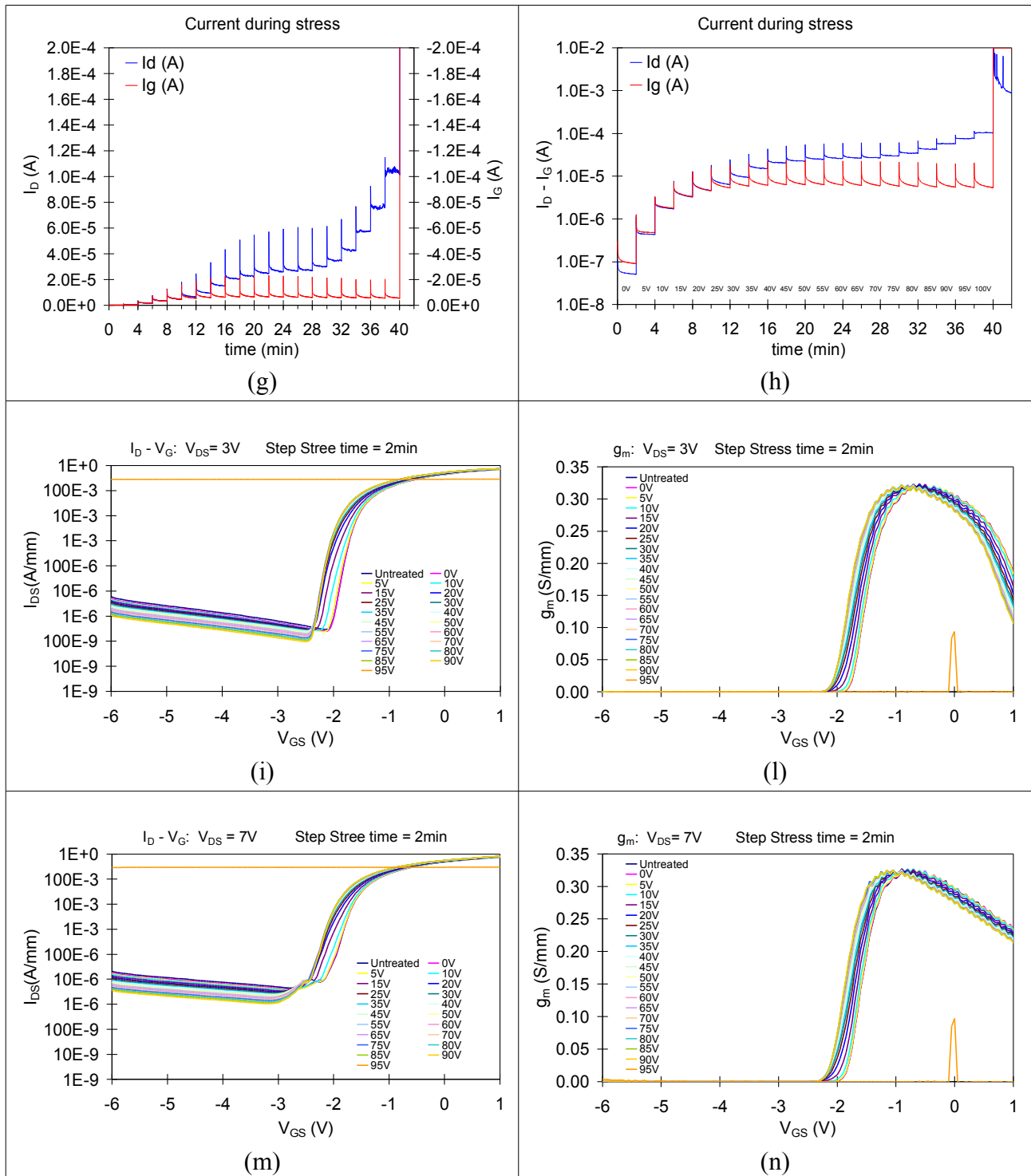


Tabella 7.2.2: Riepilogo grafici step-stress a due minuti di un campione del wafer SLX IA-01

Wafer: SLX IA-01 D2 A4Z : Tstress=2min

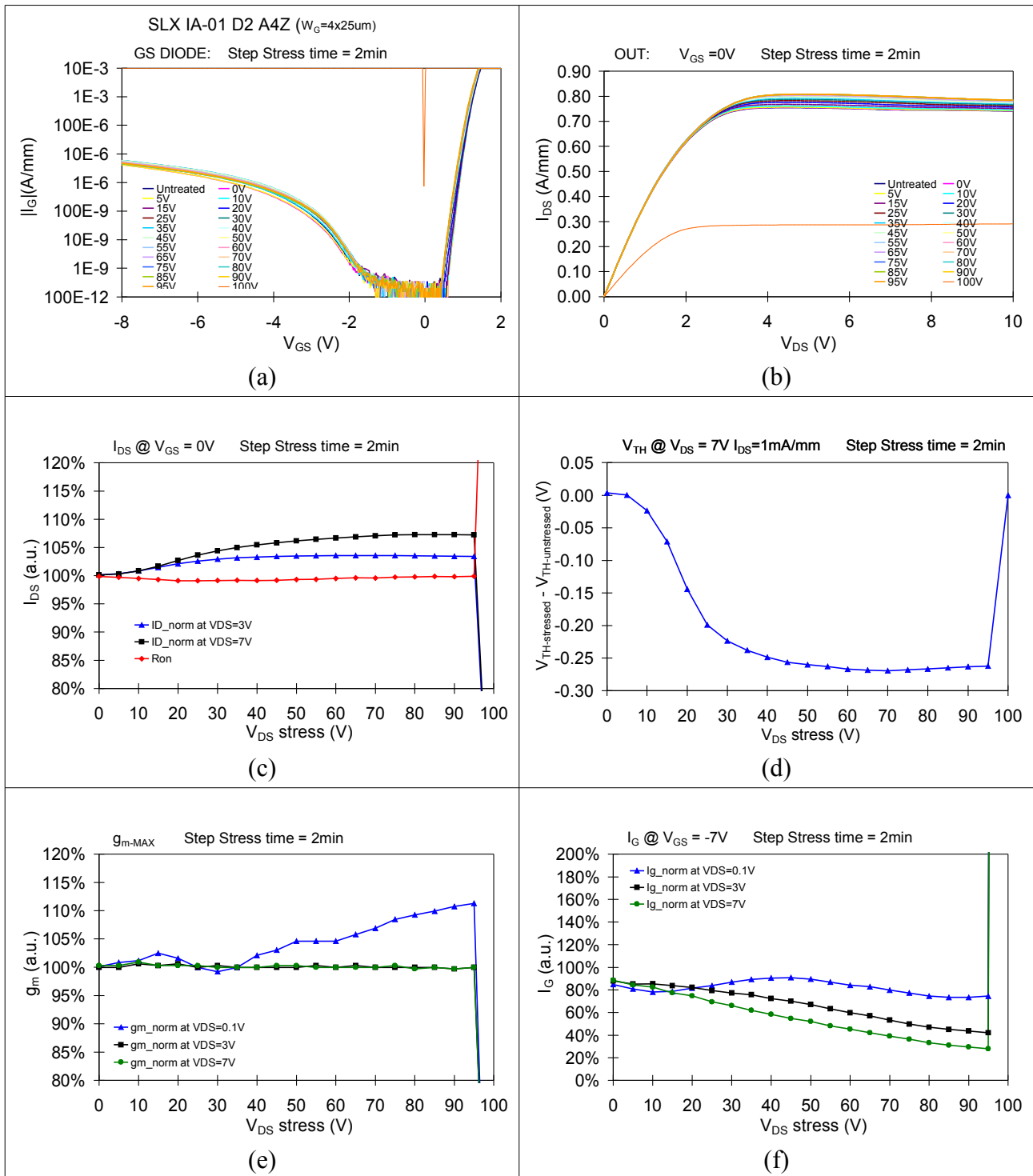


Tabella 7.2.3: Riepilogo risultati step-stress a 2 minuti di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 D2 A4Z : Tstress=2min

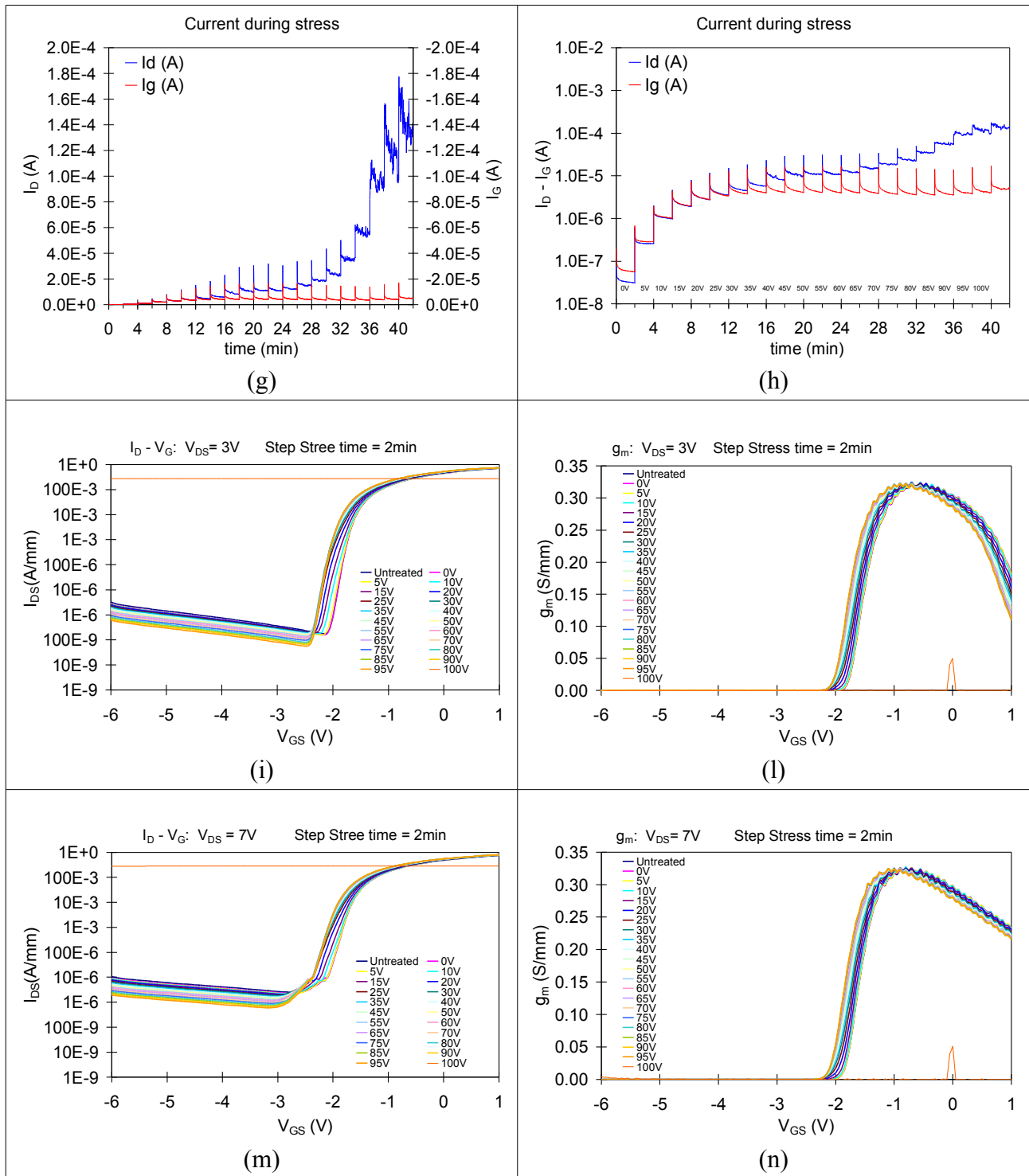


Tabella 7.2.4: Riepilogo grafici step-stress a due minuti di un campione del wafer SLX IA-01

Wafer: SLX IA-01 B3 A4Z : Tstress=10min

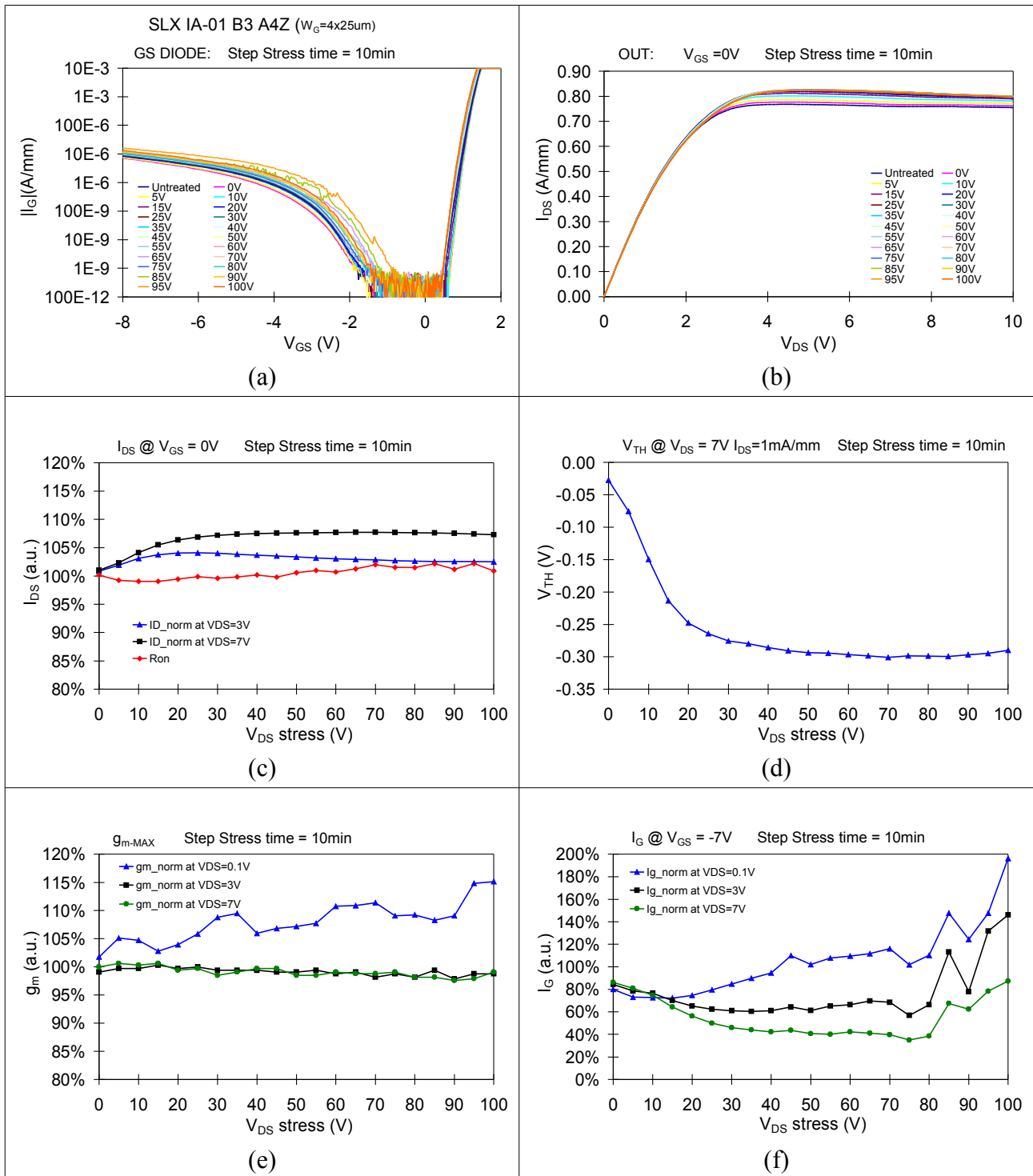


Tabella 7.2.5: Riepilogo risultati step-stress a 10 minuti di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 B3 A4Z : Tstress=10min

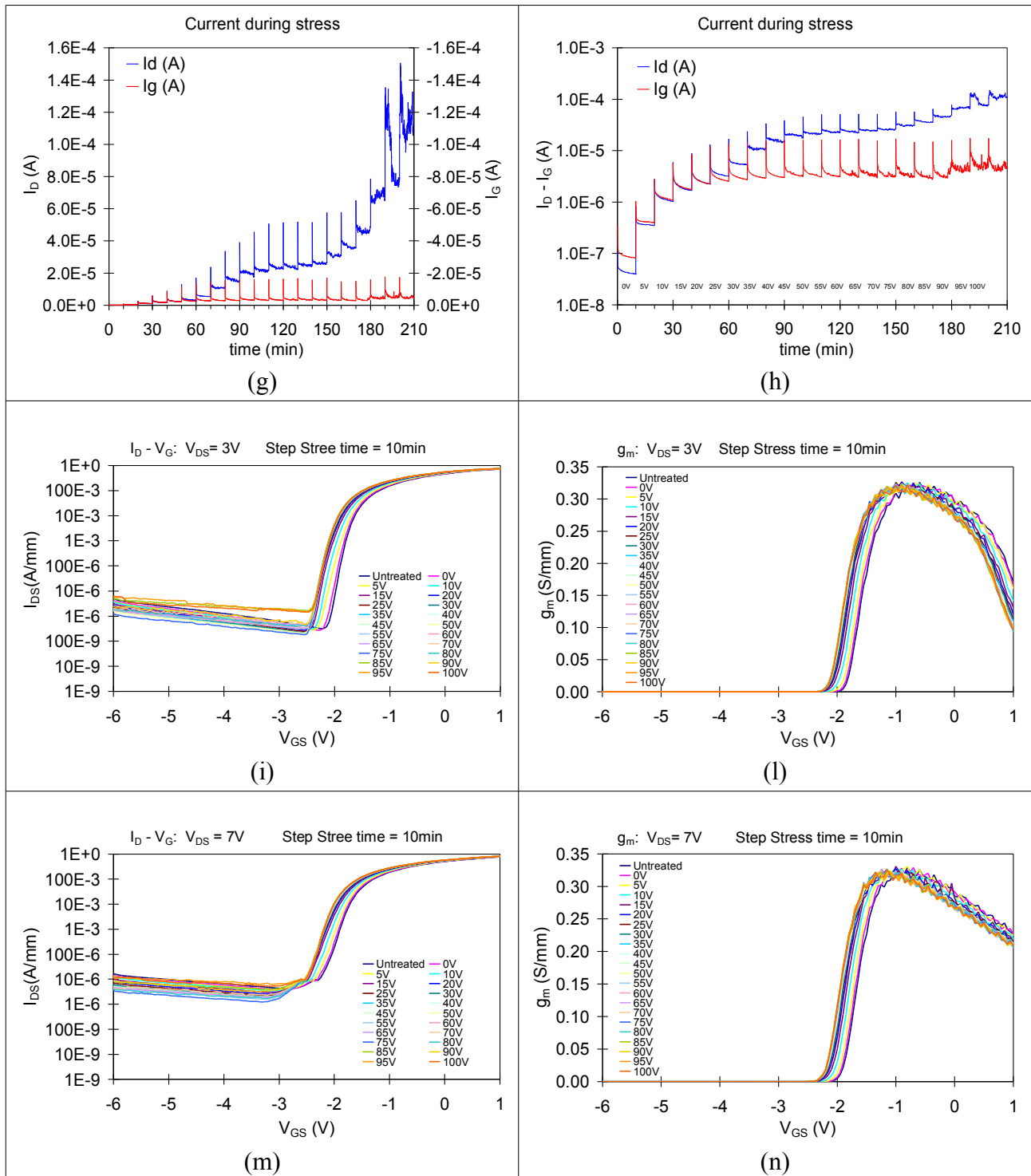


Tabella 7.2.6: Riepilogo grafici step-stress a 10 minuti di un campione del wafer SLX IA-01

Wafer: SLX IA-01 B2 A4Z : Tstress=1h

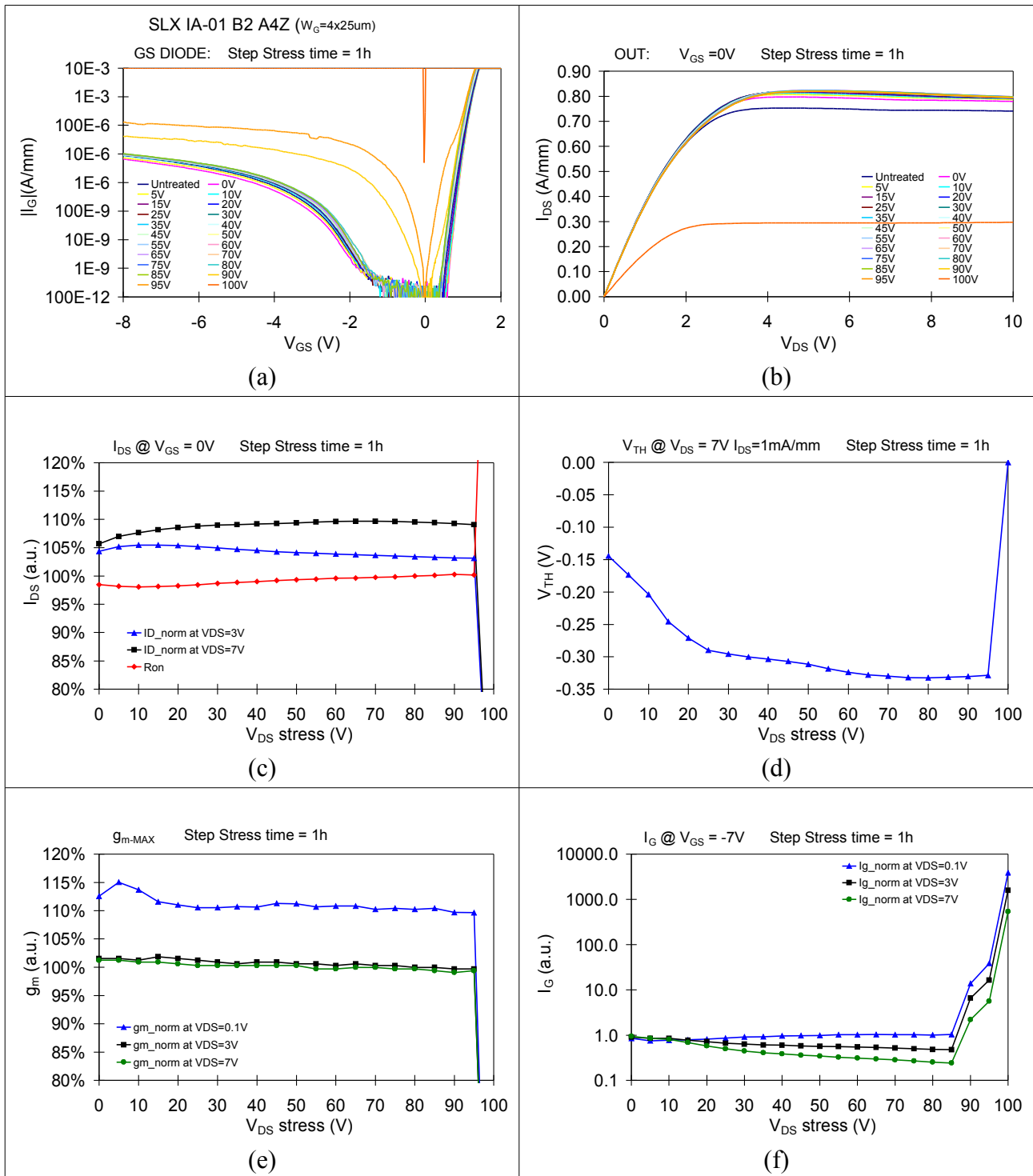


Tabella 7.2.7: Riepilogo risultati step-stress a 1 ora di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 B2 A4Z : Tstress=1h

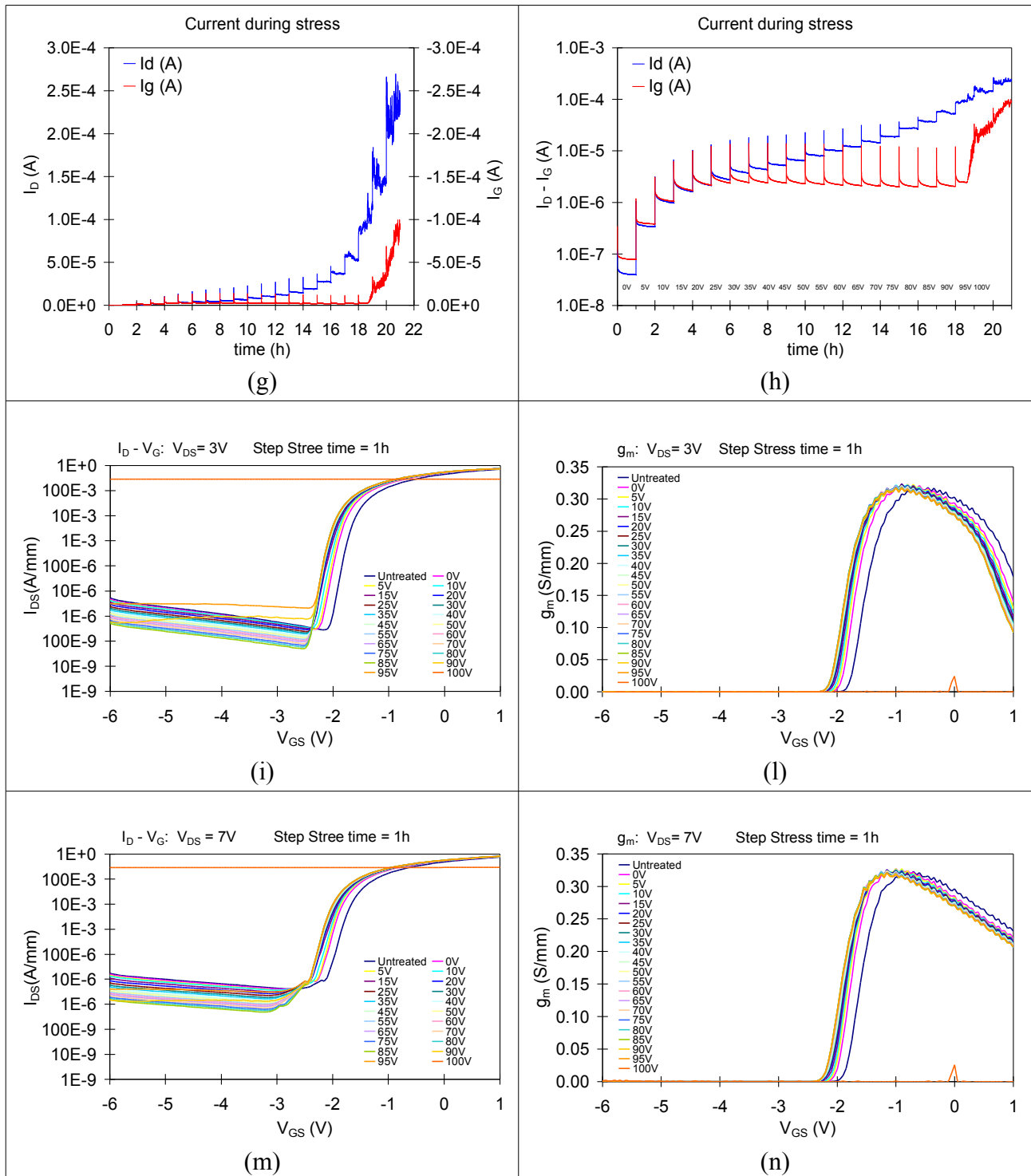


Tabella 7.2.8: Riepilogo grafici step-stress a 1 ora di un campione del wafer SLX IA-01

Wafer: SLX IA-01 C1 A4Z : Tstress=1h

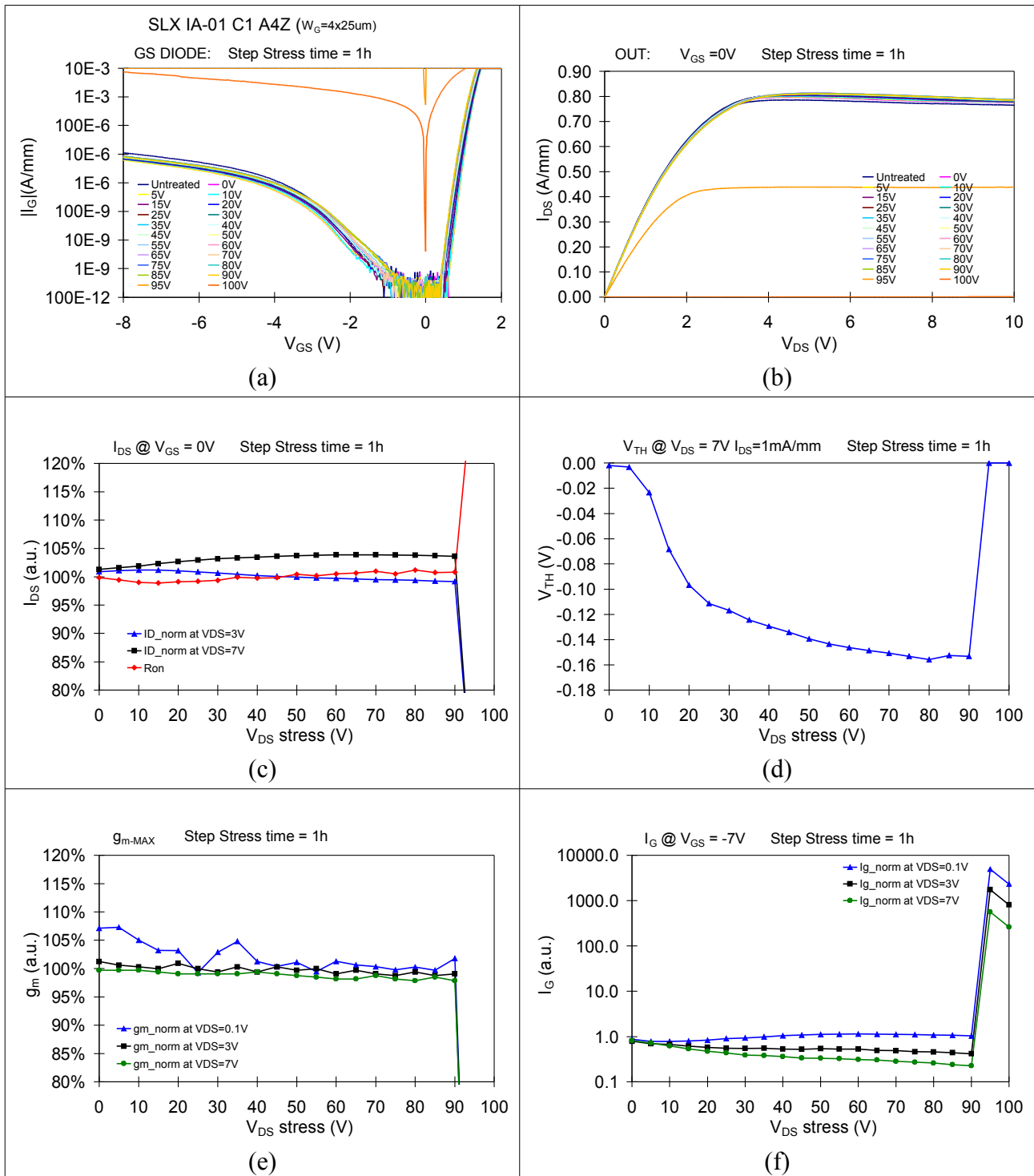


Tabella 7.2.9: Riepilogo risultati step-stress a 1 ora di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 C1 A4Z : Tstress=1h

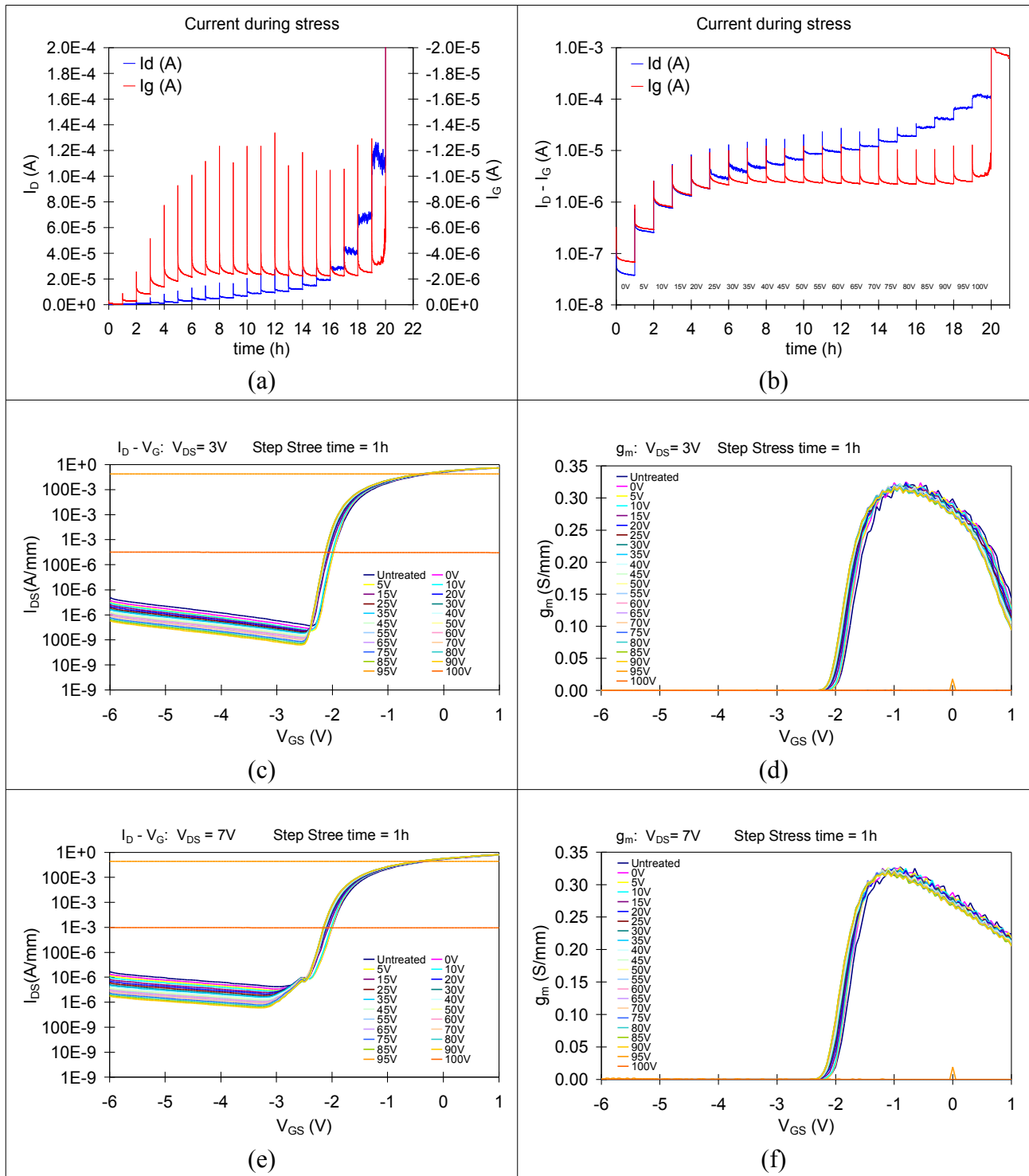


Tabella 7.2.10: Riepilogo grafici step-stress a 1 ora di un campione del wafer SLX IA-01

Wafer: SLX IA-01 E1 A4Z : Tstress=1h

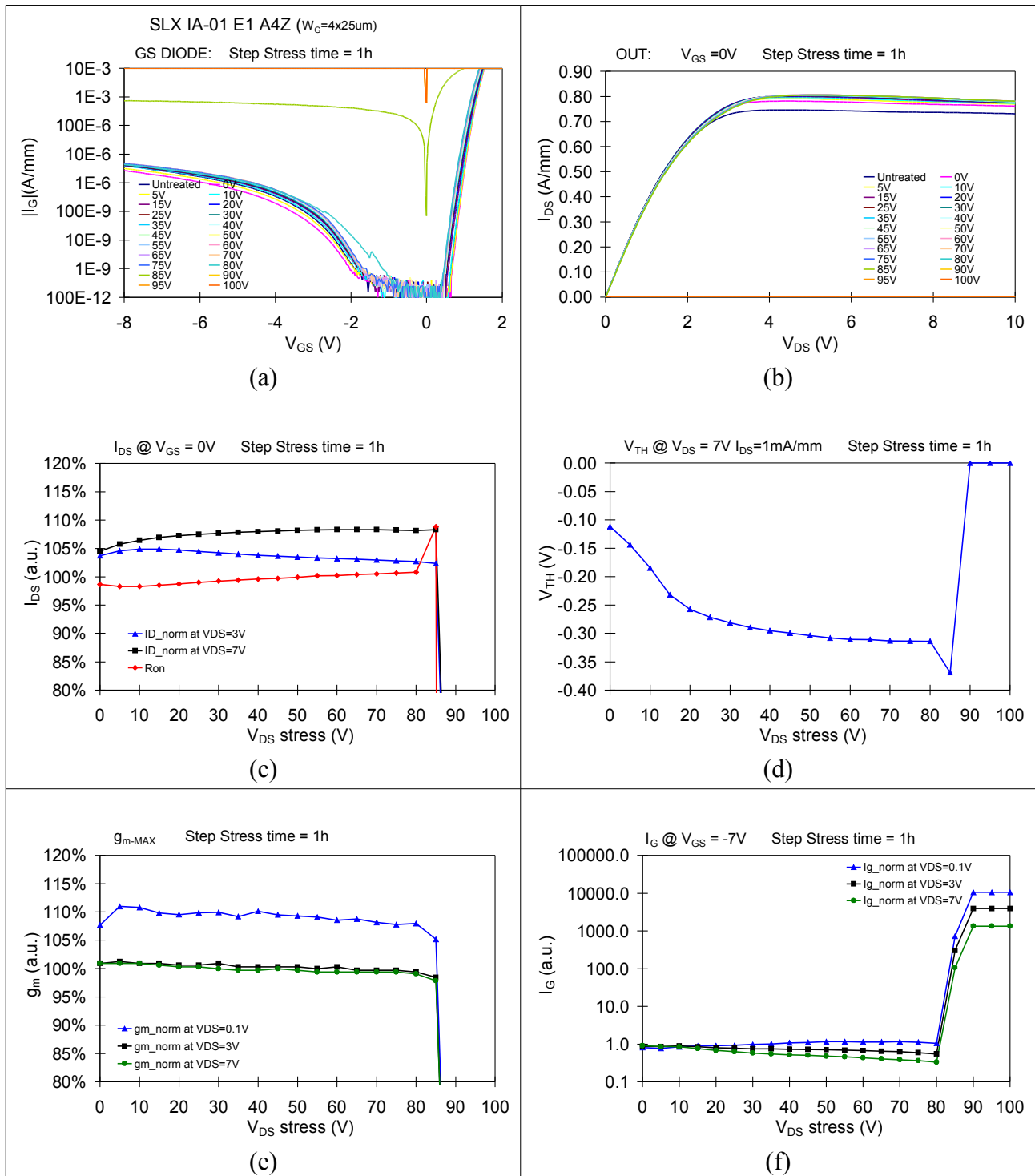


Tabella 7.2.11: Riepilogo risultati step-stress a 1 ora di un campione del wafer SLX IA-01

Misure di affidabilità mediante Step-stress

Wafer: SLX IA-01 E1 A4Z : Tstress=1h

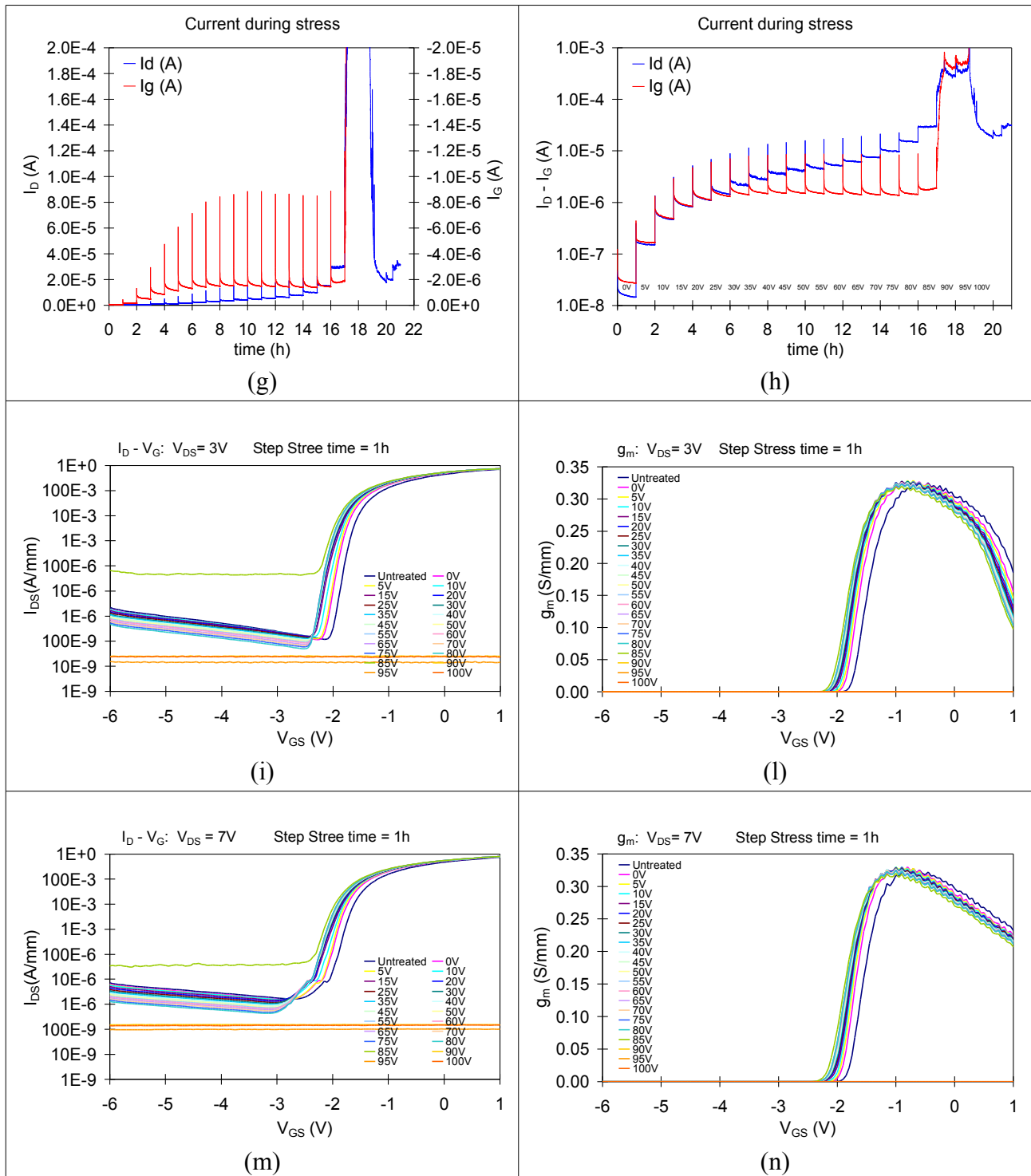


Tabella 7.2.12: Riepilogo grafici step-stress a 1 ora di un campione del wafer SLX IA-01

7.3 Osservazioni

Tutti gli stress hanno mostrato risultati molto simili, indipendentemente dal tempo di stress.

Dai grafici dei diodi $gd//gs$ e dalle caratterizzazioni DC dei vari dispositivi stressati (figure 'a' e 'b') si osserva che i campioni sono in grado di sostenere tensioni di stress fino a circa 90V di V_d , oltre tale tensione si ha degrado o un breakdown catastrofico sul gate; in condizioni di rottura, su certi campioni si osserva un dimezzamento della corrente di drain, il che può significare che il degrado comincia a manifestarsi su dei finger di gate ben precisi.

Analizzando i grafici dello spostamento di soglia al variare della tensione di stress (figure 'd'), si nota che all'aumentare del tempo di stress, la soglia si sposta più velocemente, segno che il fenomeno non dipende solo dalla tensione, ma anche dal tempo in cui il campione è polarizzato: negli stress a 2 minuti la soglia comincia a scendere a 10V, a 10 minuti dopo 5V, mentre a 1 ora basta la solo $V_g = -6V$ a causare metà dello spostamento complessivo della soglia. Questo risultato rispecchia quanto visto, in particolare su tempi di stress a 10 minuti e 1 ora, su misure al double-pulse che mostravano lo stesso spostamento di soglia tra le baseline (-6V,10V) e (-6V,20V).

In quasi tutti i campioni si ha una saturazione di questo spostamento ad un valore di -0.3V circa; diversamente dagli altri, il dispositivo della cella C1 subisce uno spostamento di soli -0.15V, probabilmente perché parte già da valori più negativi della tensione di soglia.

Al diminuire della tensione di soglia si rileva un aumento della corrente di drain di circa il 10% a $V_{ds}=7V$, del 5% a $V_{ds}=3V$ su tutti i dispositivi (a parte su quello precedentemente indicato).

Analizzando i grafici dell'andamento delle correnti I_d e I_g durante le fasi di stress (figure 'g' e 'h'), si osserva che per tensioni di stress superiori a 30V, si ha la condizione $|I_d| > |I_g|$, il che significa che parte della corrente entrante dal drain, esce dal source; si assiste, dunque, a una riduzione dello strozzamento del canale indicando che il gate non riesce più a chiudelo bene; una corrente dunque riesce a passare coinvolgendo, forse, una parte più profonda del buffer (tipo punch-through).

Capitolo 8

Conclusioni

Rispetto a studi precedenti effettuati sugli stessi wafer, quello affrontato in questa esperienza di tesi ha dato nuovi elementi per comprendere i meccanismi fisici che avvengono in questi dispositivi appartenenti al progetto Manga.

Trattandosi di un'esperienza sperimentale, non era scopo di questa attività arrivare a delle conclusioni certe su questi meccanismi, quindi ci limiteremo a evidenziarne le osservazioni più significative e i punti che maggiormente contribuiscono al progetto.

8.1 Principali risultati

Il progetto sostanzialmente è progredito nei seguenti punti:

- È stato analizzato e quantificato il fenomeno dello spostamento di soglia permanente verso sinistra nei dispositivi dei wafer della serie I: si è osservato che tale effetto è dovuto principalmente alle tensioni applicate e ai tempi in cui il dispositivo è sottoposto a stress; si è osservato, inoltre, sia su misure al double-pulse che su test brevi di affidabilità, che si ha evidente spostamento intorno a tensioni V_d applicate di circa 10V e satura intorno ai 30V circa.
- Si è effettuato uno studio sui fenomeni di trapping: abbiamo scoperto che le misure al double-pulse sui dispositivi della serie I sono affidabili solamente se il dispositivo ha già subito uno stress tale da spostare la soglia verso sinistra, altrimenti verrebbe perso il riferimento rispetto alle caratterizzazioni ottenute alla baseline (0V,0V).
- Abbiamo effettuato dei test di affidabilità sui dispositivi del wafer SLX IA-01: in particolare, abbiamo scoperto che il dispositivo non subisce un significativo degrado fino a tensioni di circa 90V; dagli step-stress riconosciamo che il degrado non è significativamente dipendente dal tempo di stress, ma solo dalle tensioni imposte, con la rottura catastrofica tra i 90V e 100V.
- Si è osservato che i fenomeni di trapping sono molto più evidenti in termini di SR o di collasso della corrente nei dispositivi dei wafer della serie I, rispetto a quelli senza ferro o con profilo di ferro diverso.
Nonostante ciò, gli andamenti dello Slump-Ratio dei wafer siglati IA, IC e ID non sembrano dare informazioni linearmente dipendenti dalla diversa concentrazione di ferro.

8.2 Ipotesi sulle osservazioni effettuate

Già dalle prime misure da me svolte, abbiamo riconosciuto quello spostamento di soglia permanente sui dispositivi dei wafer della serie I di cui abbiamo tanto parlato; è inevitabile

chiedersi secondo quale meccanismo fisico avvenga questo fenomeno.

Di certo, se lo spostamento della soglia è verso sinistra significa che all'aumentare delle tensioni di stress viene attivato un fenomeno di “intrappolamento permanente” che favorisce la formazione del canale e, quindi, può essere rappresentato come una carica fissa positiva nello strato barriera o nel buffer.

Dato che il fenomeno è evidente solamente in quei dispositivi a profilo di drogaggio del buffer costante, abbiamo dedotto che possa essere dovuto a stati trappola dovuti al ferro attivati sotto stress, anche se in letteratura non sono riportati risultati simili dovuti al drogaggio ferro.

Non si escludono, comunque, altre ipotesi; ad esempio, un'ulteriore supposizione è che lo spostamento di soglia sia dovuto a stati trappola non presenti nel buffer bensì sulla superficie al di sotto del gate: si suppone che il processo adottato per la realizzazione del gate possa essere differente nei vari wafer, in particolare si pensa che gli stati trappola si siano formati a seguito di un diverso processo di etching del gate con fluoro.

8.3 Attività future

Il lavoro futuro consisterà, prima di tutto, nell'analizzare mediante test di affidabilità con step-stress anche dei campioni appartenenti ad altri wafer oltre quello siglato IA, per valutare l'effetto delle diverse concentrazioni e profili di drogaggio nell'affidabilità dei dispositivi.

Per quanto riguarda, invece, l'analisi dello spostamento permanente della soglia, un possibile obiettivo da porsi è trovare una relazione tra spostamento di soglia, tensione e tempi di stress.

Bibliografia

- [1] U. K. Mishra, L. Shen, T. E. Kazior, and Y.-F. Wu, "Gan-based rf power devices and amplifiers," *Proceedings of the IEEE*, vol. 96, no. 2, 2008.
- [2] R. Trew, "Sic and gan transistors - is there one winner for microwave power applications?" *Proceedings of the IEEE*, vol. 90, no. 6, 2002.
- [3] U. K. Mishra, P. Parikh, and Y.-F. Wu, "Algan/gan hemts - an overview of device operation and application," *IEEE*, vol. 90, no. 6, 2002.
- [4] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. Sierakowski, W. J. Scha, L. F. Eastman, R. Dimitrov, A. Mitchell, and M. Stutzmann, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped algan/gan heterostructure," *Journal of Applied Physics*, vol. 87, no. 1, 2000.
- [5] L. Liu and J. H. Edgar, "Substrates for gallium nitride epitaxy," *Electronics Letters*, Apr. 2002.
- [6] S. Binari, K. Ikossi, J. Roussos, W. Kruppa, D. Park, H. Dietrich, D. Koleske, A. Wickenden, and R. Henry, "Trapping effects and microwave power performance in AlGa_N/Ga_N HEMTs", *IEEE Transaction on Electron Devices*, vol. 48, no. 3, 2001.
- [7] S. Seo, "Algan/gan high electron mobility transistor (hemts)," *University of Michigan - project report, Tech. Rep.*, 2003.
- [8] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, "Polarization effects, surface states, and the source of electrons in algan/gan heterostructure field effect transistors," *Applied Physics Letters*, vol. 77, no. 2, pp. 250-252, 2000.
- [9] Y. Zhang and J. Singh, "Charge control and mobility studies for an algan/gan high electron mobility transistor," *Journal of Applied Physics*, vol. 85, no. 1, pp. 587-594, 1999.
- [10] C. Canali, A. Paccagnella, P. Pisoni, C. Tedesco, P. Telaroli, and E. Zanoni, "Impact ionization phenomena in AlGaAs/GaAs HEMTs", *IEEE Trans. Electron Devices*, vol. 38, no. 11, 1991.
- [11] S. C. Binari, P. Klein, and T. E. Kazior, "Trapping effect in gan and sic microwave fets," *Proceedings of the IEEE*, vol. 90, no. 6, 2002.
- [12] R. Nicolo, "Algan-gan single- and double-channel high electron mobility transistors," *Master's thesis, Universita di Padova*, giugno 2008.
- [13] N. Shigekawa, K. Shiojima, and T. Suemitsu, "Electroluminescence characterization of AlGa_N/Ga_N high electron mobility transistors", *Appl. Phys. Lett.*, vol. 79, no. 8, 2001.

Bibliografia

- [14] J. and J. A. del Alamo, "Mechanisms for electrical degradation of GaN high-electron mobility transistors", in IEDM Tech. Dig., 2006, pp. 415-418.
- [15] J. Joh and J. A. del Alamo, "Critical Voltage for Electrical Degradation of GaN High-Electron Mobility Transistor", IEEE Electron Device Letters, vol. 29, no. 4, April 2008.
- [16] C. Lee, L. Witkowski, H.-Q. Tserng, P. Saunier, R. Birkhahn, D. Olson, G. Munns, S. Guo, and B. Albert, "Effects of AlGaIn/GaN HEMT structure on rf reliability", Electronics Letters, vol. 41, no. 3, 2005.
- [17] Y. C. Chou, D. Leung, I. Smorchkova, M. Wojtowicz, R. Grundbacher, L. Callejo, Q. Kan, R. Lai, P. H. Liu, D. Eng, and A. Oki, "Degradation of AlGaIn/GaN HEMTs under elevated temperature lifetesting", Microelectron. Reliab., vol. 44, no. 7, 2004.
- [18] Mayumi Hirose, Yoshiharu Takada, Kunio Tsuda "Numerical analysis of short-gate GaN HEMTs with Fe-doped buffer layers"
- [19] S. Heikman, S. Keller, T. Mates, S.P. DenBaars, U.K. Mishra "Growth and characteristic of Fe-doped GaN"

Le figure e tabelle facenti parte dei capitoli teorici 1, 2, 3, 4 che non sono state associate ad alcun reference hanno come fonte la rete.