

UNIVERSITÀ DEGLI STUDI DI PADOVA

Dipartimento di Ingegneria dell'Informazione

Corso di Laurea Magistrale in Ingegneria Elettronica

Tesi di Laurea

Studio delle caratteristiche elettriche e dell'affidabilità di transistor ad alta mobilità elettronica (HEMT) per sistemi di trasmissione oltre i 20 GHz.

Relatore: Prof. Enrico Zanoni

Laureando: Giovanni Fezzi

Anno Accademico:2018-2019

Contenuti

Introduzione

1. Il Nitruro di Gallio

- 1.1 Semiconduttori composti
- 1.2 Struttura reticolare (GaN)
- 1.3 Diagrammi a bande
- 1.4 Polarizzazione
- 1.5 Substrati
- 1.6 Metodi di crescita epitassiale
 - 1.6.1 MOCVD
 - 1.6.2 MBE

2. High Electron Mobility Transistor

- 2.1 Principio di funzionamento
- 2.2 Struttura AlGaN/GaN
- 2.3 Trappole
- 2.4 Meccanismi di degrado e fallimento
- 2.5 Miglioramenti strutturali
- 2.6 Affidabilità

3. Sistemi di misura

- 3.1 Caratterizzazione DC preliminare
- 3.2 Misure Double-Pulse
- 3.3 Drain Current Transient
- 3.4 Elettroluminescenza

4. Stress

- 4.1 Short Term Stress (Step Stress, 24H DC stress)
 - 4.1.1 Step Stress
 - 4.1.2 DC 24 H Stress
- 4.2 Storage Termico

5. Analisi dati

- 5.1 Calo della corrente di drain
- 5.2 Forte aumento della corrente di perdita di drain
- 5.3 Fallimenti catastrofici
- 5.4 Variazione della corrente di perdita di gate e dell'altezza di barriera
- 5.5 Tempo al fallimento

Conclusioni

Bibliografia

Introduzione:

Ai giorni nostri, la ricerca e lo sviluppo di nuove tecnologie nei campi dell'elettronica e delle telecomunicazioni, ha portato alla ricerca di nuovi materiali, in grado di offrire migliori prestazioni rispetto a quelli attualmente sul mercato.

In particolare, in alcuni settori vi è la necessità di operare a frequenze sempre maggiori, di avere dispositivi sempre più piccoli, di operare con livelli di densità di potenza sempre maggiore e infine ottenere dei dispositivi che combinino queste caratteristiche garantendo allo stesso tempo una buona affidabilità e stabilità nel tempo.

Queste caratteristiche sono tipiche dei semiconduttori composti ad elevato energy gap, tra i più utilizzati si trovano l'Arsenuro di Gallio (GaAs), ed il Nitruro di Gallio (GaN). Tali materiali si prestano bene alla realizzazione degli HEMTs (High electron mobility transistors).

Focalizzandoci ora sul nitruro di Gallio, possiamo riassumere le caratteristiche che lo rendono così interessante e appetibile per sostituire il Silicio in alcune applicazioni particolari: maggiore mobilità elettronica, campi elettrici di rottura dieci volte superiori, permette un funzionamento a temperature più elevate (almeno doppie rispetto al Silicio), può lavorare a frequenze e potenze molto più elevate.

Una peculiarità del Nitruro di Gallio è quella di essere insensibile alle radiazioni ionizzanti, il che lo rende particolarmente adatto per la realizzazione di pannelli solari per astronavi e più in generale per elettronica destinata ad applicazioni spaziali.

Il GaN non andrà a sostituire il silicio in tutte le sue applicazioni o nei dispositivi elettronici di tutti i giorni, ma è senza alcun dubbio il miglior candidato per un salto qualità nell'ambito di applicazioni RF (radiofrequenza) e di potenza (switching converters) destinati ad ambienti particolari in cui le performance raggiunte con i dispositivi al silicio non sono più sufficienti.

Dopo aver elencato tutti questi aspetti che rendono il GaN più performante del Silicio, bisogna elencare ora gli svantaggi, ovvero il costo decisamente elevato e i processi di produzione ed elaborazione non sono così semplici come nel caso del Silicio.

Lo scopo di questo elaborato è lo studio dell'affidabilità di transistor ad elevata mobilità elettronica (Hemt) destinati ad applicazioni oltre i 20 GHz.

La prima fase è stata caratterizzata da stress di tipo elettrico di breve durata (e di vario tipo) realizzati a campione su alcuni dispositivi al fine di estrapolare informazioni riguardo le tensioni di breakdown dei dispositivi e la caratterizzazione di stati trappola nel materiale.

Partendo da un wafer suddiviso in quattro quarti, abbiamo conservato un quarto vergine, mentre gli altri 3 sono stati sottoposti a storage termico di durata complessiva 2000 ore (ciascuno), ciascuno a temperatura differente: 275°C, 300°C e 325°C.

Scopo di tali test è la valutazione dei meccanismi di fallimento e degradazione che si possono verificare nei dispositivi elettronici basati su nitruro di gallio.

Le misure e gli stress sono stati effettuati su tecnologia $L_G=0.25\ \mu\text{m}$ prodotti da Leonardo SpA in ambito di GSTP (General Support Technology Program) di ESA (European Space Agency).

L'elaborato sarà suddiviso in cinque capitoli incentrati sui seguenti aspetti:

struttura cristallina del nitruro di gallio (cap 1), struttura e principio di funzionamento dei transistor ad elevata mobilità elettronica basati su nitruro di gallio (cap 2), layout dispositivi testati, misure e setup (cap 3), stress elettrici e storage termico (cap 4), analisi dati, meccanismi di fallimento e degradazione osservati ed estrapolazione del tempo di vita (cap 5).

Le misure DC sono state ripetute su ogni singolo dispositivo dopo ogni passo di storage termico in modo tale da poter creare una statistica sul numero di dispositivi falliti, rispetto alla temperatura ed alla durata dello stress termico.

In questo modo siamo in grado di monitorare la variazione di parametri significativi come la corrente di drain, la transconduttanza, la corrente di perdita di gate, la tensione di pinch-off e molti altri.

Basandoci sulla degradazione della corrente di drain abbiamo estrapolato il tempo al fallimento di ciascun layout a diversa temperatura e l'energia di attivazione del suddetto meccanismo.

Capitolo 1: Il Nitruro di Gallio

1.1 Semiconduttori composti

Il nitruro di gallio fa parte dei cosiddetti semiconduttori composti (compound semiconductors), ovvero materiali semiconduttori ottenuti dall'unione di due (semiconduttori composti binari) o più (ternari o quaternari) materiali.

I semiconduttori composti sono generalmente formati dall'unione di materiali appartenenti ai gruppi III-V, II-VI o IV-IV della tavola periodica degli elementi. [18]

Questi tipi di semiconduttori composti hanno ormai da tempo iniziato a farsi strada nel mercato dell'elettronica grazie alle loro proprietà.

Uno dei più promettenti su cui si stanno focalizzando molte attività di studio e ricerca è il già menzionato nitruro di gallio (GaN).

Il GaN è un semiconduttore composto binario appartenente ai gruppi III-V; altri composti derivanti dall'unione tra materiali appartenenti ai due gruppi sono l'arsenuro di gallio (GaAs), fosfuro di indio (InP), il nitruro di alluminio (AlN); quindi perché utilizzare il nitruro di gallio?

La risposta sta nel fatto che i transistor basati su GaN hanno minor resistenza di accensione, meno capacità (il che significa meno perdite nelle fasi di carica e scarica del dispositivo), sono più veloci (possono operare a frequenze più elevate), consentono una scalabilità maggiore, possono sopportare densità di corrente molto elevate, possono operare a temperature e campi elettrici più elevati.

Il modo in cui gli elettroni liberi si muovono all'interno di un semiconduttore dipende tipicamente da due fattori, noti come mobilità elettronica e velocità di saturazione.

A queste ottime caratteristiche elencate si aggiungono due ulteriori proprietà, la polarizzazione spontanea (proprietà intrinseca del materiale) e l'effetto piezoelettrico (derivante dall'utilizzo di eterostrutture es:AlGaN/GaN).

La mobilità dei portatori in un materiale dipende tipicamente da due proprietà note come mobilità elettronica e velocità di saturazione.

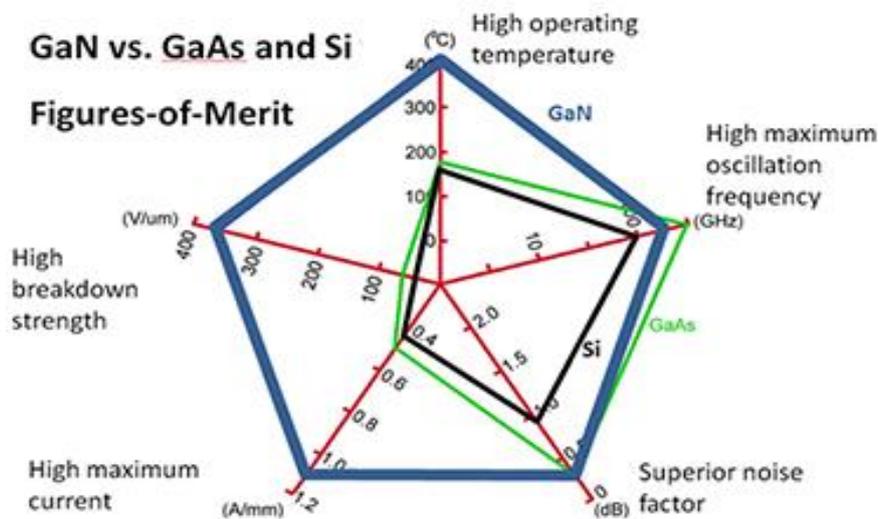


Figura 1: Figura di merito GaN vs GaAs vs Si.

La mobilità elettronica è la capacità che hanno gli elettroni di muoversi all'interno di un mezzo (nel nostro caso un solido) sotto l'azione di un campo elettrico relativamente debole.

Tale proprietà dipende esclusivamente dalle caratteristiche fisiche del materiale e dalla temperatura e tiene conto esclusivamente della velocità media (o di deriva) delle particelle.

La velocità di saturazione è invece la massima velocità raggiungibile dalle particelle accelerate da un intenso campo elettrico applicato.

1.2 Struttura reticolare

I materiali più utilizzati per la creazione di strutture micro ed opto elettroniche sono solidi cristallini appartenenti alla colonna IV o alle colonne III-V.

I semiconduttori appartenenti al gruppo IV (come silicio e germanio) che possiedono quattro elettroni nella shell più esterna privilegiano la formazione di legami covalenti puri. I legami avvengono tramite la formazione di coppie (di due o più atomi) di atomi identici, i quali mettono in comune uno dei quattro elettroni con un altro atomo.

Questa proprietà rende la formazione di legami tra materiali diversi poco probabile, in quanto sia l'acquisizione che la cessione di quattro elettroni sono eventi molto poco probabili per motivi energetici.

Il modo in cui si formano i legami è un po' differente nel caso di semiconduttori composti, ovvero quando si devono legare atomi di materiali differenti.

Il nitruro di Gallio o GaN è un semiconduttore composto ottenuto dal legame tra un elemento del III gruppo, il Gallio (Ga) ed un elemento del V gruppo, l'Azoto (N).

Tale semiconduttore composto ad elevato gap energetico, si presenta a temperatura ambiente, in due strutture reticolari differenti in fase solida.

Infatti, mantenendo un legame tetraedrico tra le specie componenti, esso può cristallizzare con due geometrie reticolari differenti: la wurtzite (esagonale) e la zincoblenda (cubica).

La struttura wurtzite [1] consta in una cella elementare tetraedrica in cui ogni atomo di gallio si lega con quattro atomi di azoto ugualmente spazati nelle 3 dimensioni. Il reticolo che risulta dall'unione di queste celle elementari si presenta in forma esagonale e, essendo costituito da due reticoli esagonali (uno per il gallio e uno per l'azoto) compenetrati tra loro a distanze specifiche del composto, crea piani formati dallo stesso elemento alternati tra loro. Le costanti reticolari per questa struttura sono $a = b \neq c$, $\alpha = \beta = 90^\circ$ e $\gamma = 120^\circ$.

La struttura zincoblenda consta anch'essa in una cella elementare tetraedrica, tuttavia l'unione delle celle crea una struttura reticolare cubica a facce centrate, costituita da due reticoli cubici compenetrati tra loro. Le costanti reticolari per la struttura zincoblenda sono $a = b = c$, $\alpha = \beta = \gamma = 90^\circ$.

La struttura wurtzite tende ad essere la più stabile, ed è perciò la forma verso cui ogni composto tende a dirigersi, inoltre in questa struttura il GaN presenta un energy gap elevato dovuto essenzialmente alla forza dei legami in gioco; per questo motivo la wurtzite rimane la struttura utilizzata per la costruzione di transistor ad elevata mobilità elettronica.

La differenza di elettronegatività tra gli atomi di gallio e azoto porta alla formazione di legami covalenti polari. L'elettrone in comune trascorrerà più tempo nell'orbitale dell'atomo più elettronegativo, conferendo così la caratteristica di legame polare al composto.

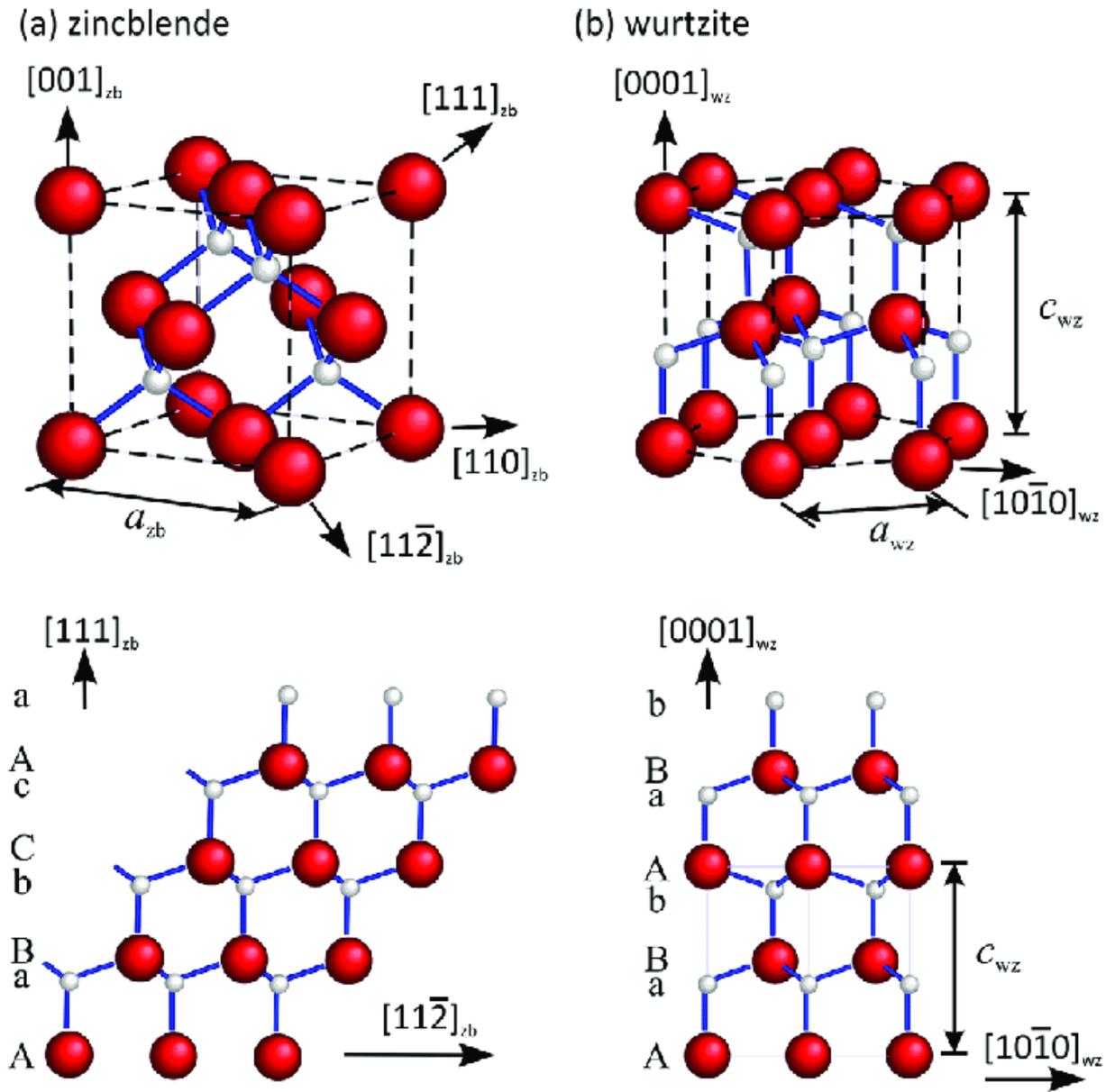


Figura 2: Struttura reticolare delle configurazioni Zincoblenda (a) e Wurtzite (b).

1.3 Diagrammi a bande

I diagrammi a bande vengono utilizzati per studiare alcune caratteristiche dei semiconduttori e mettono in relazione l'energia E (asse ordinate) con il momento della quantità di moto k (vettore d'onda sulle ascisse).

Tale diagramma è uno strumento molto utile alla comprensione delle caratteristiche e del comportamento del semiconduttore in termini generazione e ricombinazione dei portatori e del loro movimento nelle varie condizioni di polarizzazione.

I semiconduttori possono essere suddivisi in semiconduttori a gap diretto o indiretto a

seconda di come sono disposti il minimo della banda di conduzione ed il massimo della banda di valenza rispetto al vettore k (vettore momento di quantità di moto).

Nei diagrammi a bande dei semiconduttori a band-gap diretto, il minimo della banda di conduzione coincide (per momento di quantità di moto k) con il massimo della banda di valenza.

Il nitruro di gallio è un semiconduttore composto a band gap diretto, ciò significa che il gap energetico proibito tra la banda di valenza e quella di conduzione non sono traslate di un vettore k l'una rispetto all'altra.

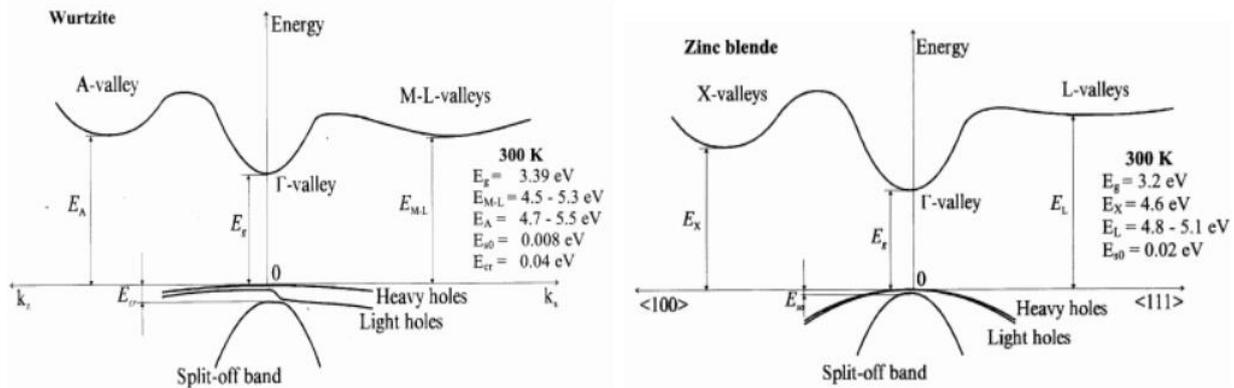


Figura 3: Diagramma a bande per le strutture Wurtzite e Zincoblenda.

La distinzione tra semiconduttori a gap diretto e indiretto risulta molto importante dal punto di vista della ricombinazione radiativa dei portatori.

Nei materiali a band-gap diretto, l'allineamento del minimo della banda di conduzione con il massimo di quella di valenza favorisce le ricombinazioni di tipo radiativo (emissione di luce) tra elettrone e lacuna, cosa che invece non accade (a meno dell'intervento di una terza particella detta fonone) nei semiconduttori a band-gap indiretto.

Questa caratteristica rende i materiali a band-gap diretto adatti alla realizzazione di dispositivi optoelettronici come led e laser.

1.4 Polarizzazione

Come precedentemente riportato, i legami tra gli atomi di gallio e azoto sono di natura polare a causa della differenza di elettronegatività tra gli atomi che costituiscono i due materiali.

In particolare, i composti III-N presentano una cella cristallografica che non corrisponde alla cella ideale propria della configurazione Wurtzite a causa di un piccolo spostamento di una delle due specie coinvolte rispetto alla sua posizione ideale. Tale spostamento rispetto alle posizioni ideali comporta la formazione di un dipolo di carica, il quale prende il nome di polarizzazione spontanea del semiconduttore e sarà indicata con P_{sp} .

Tale fenomeno di polarizzazione spontanea può avvenire solo nei cristalli non-centrosimmetrici [1], ovvero la cui cella elementare non possiede simmetria rispetto al

proprio centro.

All'interno del GaN la polarizzazione totale è nulla perché gli strati adiacenti hanno polarizzazione uguale (in modulo) e opposta (direzione) e quindi risultante nulla; le cose cambiano però se si taglia il materiale lungo la direzione [0001] (direzione di crescita del cristallo), in questa situazione il vettore di polarizzazione lungo l'asse c non sarà più nullo.

Tagliando il materiale lungo la direzione di crescita del cristallo, si può ottenere una struttura che termina con faccia gallio oppure con faccia azoto.

A seconda di quale faccia si trovi all'estremità del cristallo (Ga-face o N-face), si ottiene una polarizzazione positiva o negativa.

La polarizzazione spontanea per il GaN vale $P_{sp} = -0.029 \text{ C/m}^2$.

Un altro fenomeno di polarizzazione rilevante è il cosiddetto effetto piezoelettrico, tale fenomeno non è intrinseco del materiale, ma si verifica quando si utilizzano eterostrutture.

La polarizzazione piezoelettrica è infatti determinata dagli stress meccanici reticolari (tensili o di compressivi) che si hanno alle interfacce tra i materiali (con costanti reticolari differenti) che compongono l'eterostruttura.

Tale effetto si verifica ad esempio quando si utilizza un'eterostruttura AlGaN/GaN.

Sia la struttura cristallina un prisma a base esagonale, essa può essere descritta da 3 parametri a_0 , c_0 e u che sono rispettivamente la lunghezza del lato dell'esagono di base, l'altezza del prisma e un parametro adimensionale definito come la lunghezza del legame parallelo all'asse c in unità di c_0 [1].

Facendo riferimento agli assi della struttura Wurtzite, tale componente si può calcolare come: $P_{pz} = e_{33} \epsilon_z + e_{31} (\epsilon_x + \epsilon_y)$, (1) dove:

- $\epsilon_z = (c - c_0)/c_0$: rappresenta lo strain lungo la direzione di crescita del cristallo (asse c);
- $\epsilon_x = \epsilon_y = (a - a_0)/a_0$: rappresenta lo strain nel piano ed è assunto come isotropo;
- e_{33}, e_{31} : sono i coefficienti piezoelettrici;
- a, c : sono le costanti reticolari del reticolo sotto sforzo.

La relazione tra le costanti reticolari nella struttura AlGaN è data da:

$$\frac{c-c_0}{c_0} = -2 \frac{C_{13}}{C_{33}} \frac{a-a_0}{a_0} \quad (2)$$

dove C_{13} e C_{33} sono costanti elastiche.

Combinando le due equazioni si ricava il valore della polarizzazione piezoelettrica lungo l'asse c:

$$P_{pz} = 2 \frac{a-a_0}{a_0} (e_{31} - e_{33} \frac{C_{13}}{C_{33}}). \quad (3)$$

L'equazione (1) è valida per piccoli valori di sforzi tensili o compressivi e tiene conto unicamente dello sforzo lungo le componenti a e c del reticolo cristallino. Da un punto

di vista microscopico, uno sforzo parallelo o perpendicolare all'asse c produce un piccolo spostamento degli atomi di metallo rispetto a quelli di azoto. Questo spostamento si misura in una variazione del parametro u.

La componente piezoelettrica (indicata come P_{pz}) è data quindi dalla somma di due contributi: uno dovuto al cambiamento macroscopico della struttura cristallina l'altro dovuto alla variazione del parametro u; tale componente può sommarsi o sottrarsi alla polarizzazione spontanea del materiale.

La polarizzazione totale del materiale risulta quindi essere: $P = P_{sp} + P_{pz}$.

1.5 Substrati

Il substrato costituisce il supporto fisico sul quale verranno cresciuti i dispositivi, sono quindi fondamentali alcune proprietà come la rigidità e la robustezza del materiale.

I substrati vengono generalmente prodotti con uno dei seguenti metodi:

-Metodo Czochralski;

-Metodo Bridgman;

i quali sono stati introdotti a partire dagli anni 50' e vengono utilizzati per la produzione di Silicio monocristallino, policristallino o altri semiconduttori (es: arsenuro di gallio GaAs).

La soluzione migliore dal punto di vista delle prestazioni dei dispositivi è la creazione di substrati in GaN in quanto non si avrebbero interfacce tra substrato ed epitassia; il problema di tale soluzione sta nel costo molto elevato del GaN unito alla difficoltà di creare substrati di buona qualità e dimensione.

Nella pratica, i materiali utilizzati per la realizzazione di substrati sui quali crescere il GaN sono tre: Zaffiro (Al_2O_3), Carburo di Silicio (6H-SiC) e Silicio (Si).

Proprietà	Al_2O_3	6H-SiC	Si
Simmetria	esagonale	esagonale	cubica
costante $a_0(A)$	4.765	3.08	5.431
costante $c_0(A)$	12.982	15.117	-
Conducibilità termica (W/cmK)	0.25	3.8	1.56
Mismatch reticolare col GaN (%)	15	3.1	17

Figura 4: Confronto substrati.

Tra i tipi di substrato sopra citati, il 6H-SiC è sicuramente quello che meglio si presta alla crescita epitassiale di dispositivi in GaN; infatti il mismatch reticolare tra SiC e GaN è solamente del 3%, mentre sale al 15% se si considera lo zaffiro. Nonostante la buona adattabilità del carburo di Silicio, i costi per la produzione di substrati di buona qualità sono ancora molto elevati ed i processi per ottenere film di buona qualità sono molto complessi; la soluzione migliore deriva quindi dal compromesso tra mismatch

reticolare, costo di produzione e conducibilità termica.

Il silicio continua a rimanere un ragionevole candidato per la costruzione di substrati nonostante l'elevato mismatch reticolare con il GaN (~17%); ciò deriva dal fatto che l'utilizzo del silicio comporta innumerevoli vantaggi dal punto di vista economico e produttivo e dal fatto che il problema del mismatch reticolare può essere ridotto mediante l'inserimento dei cosiddetti nucleation layer[1].

1.6 Metodi di crescita epitassiale

I film epitassiali possono essere cresciuti da fase solida, liquida o gassosa.

Storicamente esistono quattro metodi di crescita epitassiale:

- LPE (Liquid Phase Epitaxy);
- VPE (Vapor Phase Epitaxy);
- MOCVD (Metal-Organic Chemical Vapor Deposition);
- MBE (Molecular Beam Epitaxy).

Tra le tecniche di crescita elencate, quelle utilizzate per eterostrutture basate su GaN sono principalmente due: MOCVD e MBE. Negli ultimi anni queste tecniche sono state migliorate e permettono ad oggi di ottenere eterostrutture con buone caratteristiche all'interfaccia e bassa concentrazione di difetti nei materiali [21].

1.6.1 Molecular Beam Epitaxy

Tale tecnica di deposizione è stata introdotta a partire dagli anni 70' e poi migliorata con il passare del tempo al fine di ottenere film di qualità sempre maggiore.

La MBE è caratterizzata da una camera di crescita dove si opera in condizioni di alto vuoto, consente tuttavia di ottenere dei film di ottima qualità grazie anche alle temperature non troppo elevate.

Il motivo per cui si desidera avere una condizione di alto vuoto è quella di ridurre al minimo gli urti tra gli atomi dei materiali introdotti nella camera e che andranno ad incidere sulla superficie del substrato.

La pressione base, ovvero quella in cui le sorgenti che compongono il sistema sono non attive è di 10^{-10} torr e permette di ottenere materiali di purezza molto elevata.

Gli elementi ed i composti da utilizzare per la crescita del cristallo sono contenuti in camere ermetiche che si affacciano al reattore tramite degli otturatori. La temperatura in tali camere viene regolata e monitorata con grande precisione in quanto da questa dipende la pressione del vapore e quindi la densità del flusso di molecole che uscirà dall'otturatore.

Questa tecnica, permette inoltre di monitorare in tempo reale la crescita del materiale nella camera di alto vuoto sfruttando la diffrazione degli elettroni, cosa che non è possibile con i metodi di crescita che operano a pressioni elevate.

La velocità di crescita dei film mediante MBE è molto ridotta circa 1-2 $\mu\text{m}/\text{h}$ [22], con possibilità di scendere anche al di sotto di tale rate; questo aspetto, unito alla possibilità di monitorare il processo produttivo in tempo reale consente un controllo del materiale con una precisione inferiore allo spessore del singolo monostrato atomico del materiale in crescita.

Queste caratteristiche rendono l'MBE poco utilizzata a livello industriale, mentre trova

maggior impiego nel settore della ricerca, per il quale è importante avere materiali cresciuti con altissima qualità.

ciò consente quindi di avere un controllo migliore sul prodotto rispetto ad altre tecniche.

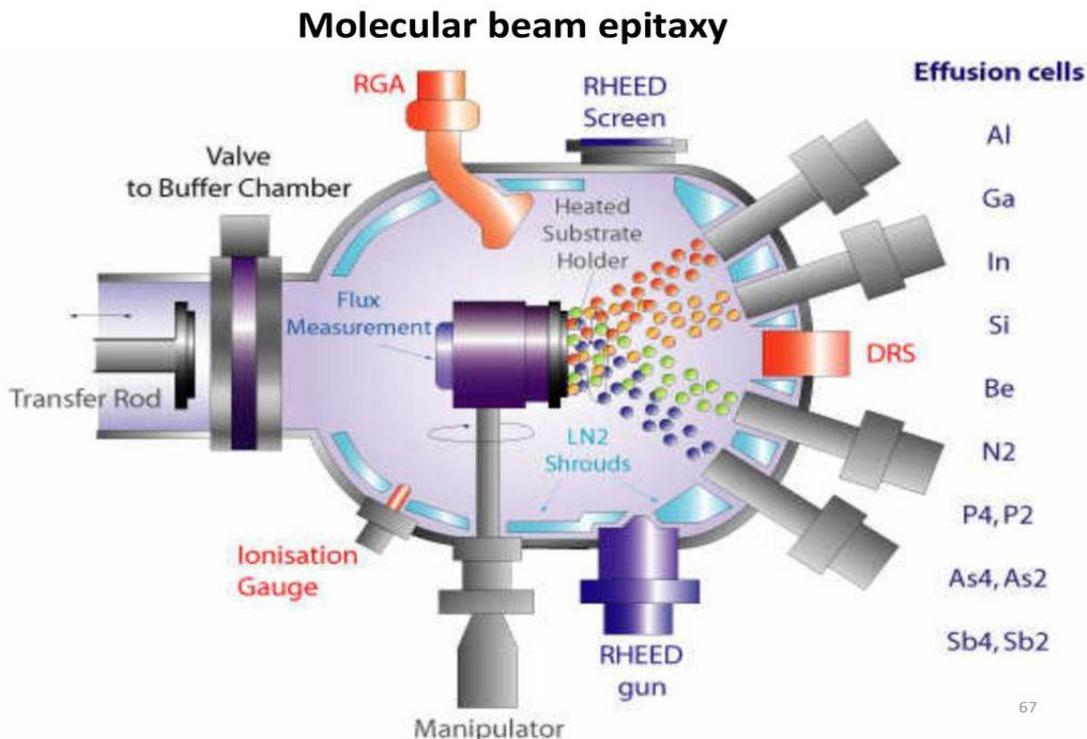


Figura 5: Molecular Beam Epitaxy.[27]

1.6.2 Metal-Organic Chemical Vapor Deposition

La MOCVD è una tecnica di crescita epitassiale introdotta a partire dal 1990, che ha subito delle modifiche al fine di adattarla meglio alla crescita di eterostrutture come ad esempio quella AlGa_{0.3}N/GaN.

Le camere utilizzate per la crescita lavorano a temperatura elevata (circa 1000 °C) e pressione atmosferica, permettendo un cospicuo risparmio di denaro che deriverebbe dall'acquisto di un impianto a vuoto.

La fase di deposizione del materiale avviene come reazione chimica in prossimità del substrato riscaldato, tra reagenti che vengono introdotti nella camera in fase di vapore. I precursori utilizzati per crescita del GaN sono: il Trimetilgallio (TMGa), il Trimetilalluminio (TMAI) e l'ammoniaca (NH₃); essi vengono fatti reagire ad una temperatura prossima ai 1000°C e si depositano poi sul substrato replicando la struttura reticolare il più possibile.

Gli svantaggi nell'utilizzo di tale tecnica si ritrovano nella tossicità della maggior parte dei reagenti coinvolti, la contaminazione da idrogeno e carbonio e la difficoltà nel controllare strati sottili.

Un ulteriore aspetto critico è dovuto al fatto che si opera a temperature elevate ed al fatto che i substrati non vengono realizzati in GaN in quanto è molto dispendioso dal

punto di vista economico e non si riescono a realizzare substrati di dimensioni accettabili.

Non potendo utilizzare il nitrato di gallio come substrato, si ricorre all'eteroepitassia ovvero la crescita di un materiale su un substrato di materiale differente (Zaffiro, Carburo di Silicio, Silicio).

Tale aspetto risulta critico in quanto la deposizione avviene a circa 1000°C , la differenza di costante reticolare e di costante di espansione termica tra i due materiali porta ad avere stress meccanici all'interfaccia che possono essere di tipo tensile o compressivo.

Le sollecitazioni meccaniche citate possono portare alla formazione di difetti di reticolo, i quali impattano negativamente sulle prestazioni dei dispositivi ottenuti. Per questo motivo si introducono degli strati buffer molto sottili detti nucleation layer, posti tra il substrato ed il materiale cresciuto sopra possono essere realizzati ad esempio con nitrato di alluminio (AlN) o AlGaN.

La funzione di tali strati è di rendere graduale la variazione di costante reticolare al fine di ridurre gli stress meccanici (e quindi la formazione di difetti di reticolo) durante la fase di crescita.

Come precedentemente accennato, l'introduzione dei nucleation layer consente l'utilizzo di materiali con mismatch reticolare elevato (rispetto al GaN) per la realizzazione di substrati.

La crescita tramite deposizione a fase di vapore (di cui fa parte la MOCVD) consente una crescita epitassiale molto più rapida rispetto alla citata MBE, consente la crescita multiwafer e consente di ottenere risultati migliori per quanto riguarda la crescita di dispositivi optoelettronici (rispetto alla MBE).

L'elevata velocità di crescita (oltre $3\ \mu\text{m}/\text{h}$) rende la Metal-Organic Chemical Vapor Deposition ideale per la produzione su scala industriale [23].

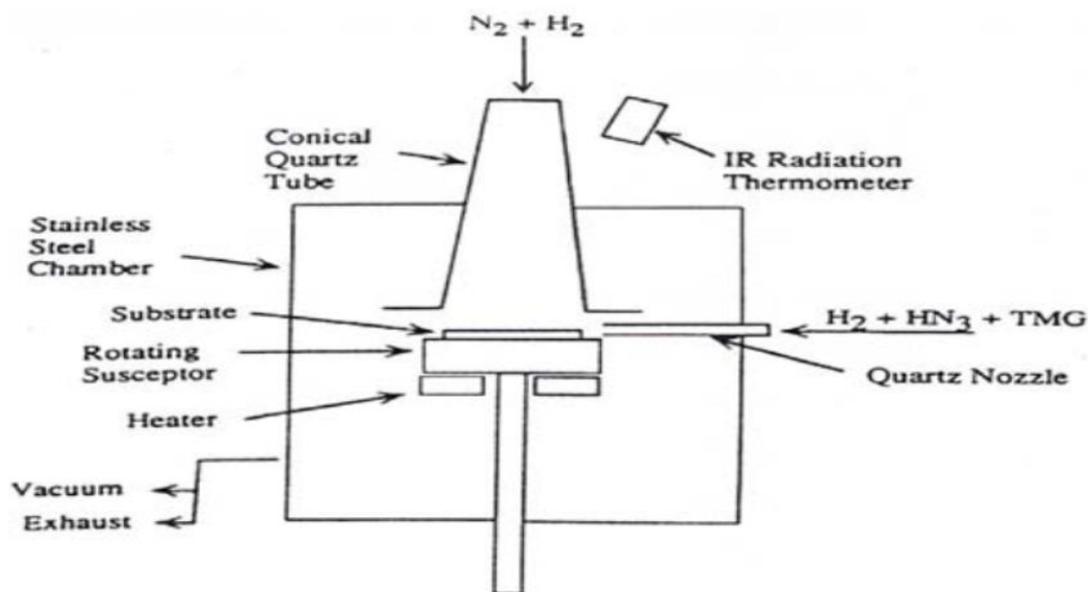


Figura 6: MOCVD

Capitolo 2: High electron mobility transistor (HEMT)

Gli Hemt sono transistor ad elevata mobilità elettronica basati su eterostruttura formata generalmente da semiconduttori a gap elevato.

Alcune tra le eterostrutture più comunemente utilizzate per la realizzazione di Hemt sono: AlGaAs/GaAs, InGaAs/GaAs e AlGaN/GaN.

La scelta dei materiali che compongono l'eterostruttura è legata al tipo di applicazione a cui saranno destinati i dispositivi (applicazioni di potenza, applicazioni RF, optoelettronica).

L'eterostruttura è quindi il punto chiave per comprendere il funzionamento e le caratteristiche di questi dispositivi così performanti.

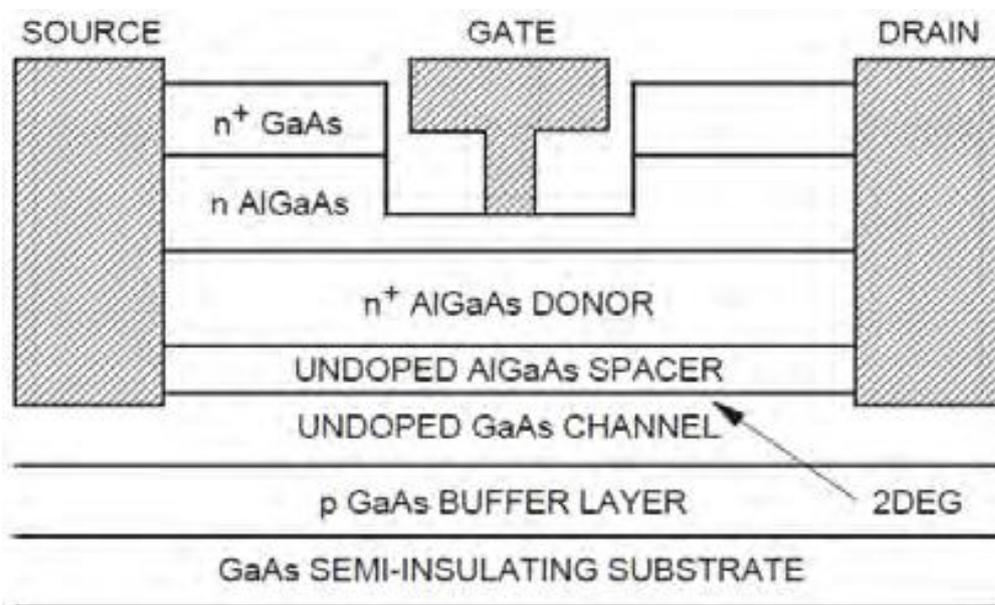


Figura 2.1: Struttura AlGaAs/GaAs Hemt

2.1 Principio di funzionamento

L'eterostruttura deve essere formata da due semiconduttori con elevato energy gap, dei quali, uno è drogato mentre l'altro è intrinseco (non contiene dopanti); è proprio all'interfaccia tra i due materiali che si viene a creare il canale conduttivo.

L'idea di base è quella di sfruttare l'elevata densità di portatori presenti nel semiconduttore drogato e di utilizzare il semiconduttore intrinseco per la creazione del canale conduttivo.

In un semiconduttore intrinseco si ha una maggior mobilità elettronica proprio grazie al fatto che non vi sono state introdotte impurità (i droganti), in questo modo lo scattering tra i portatori e le impurità presenti nel reticolo viene fortemente ridotto.

Combinando l'alta densità di portatori forniti dal semiconduttore drogato e l'elevata mobilità di quello intrinseco si ottiene il cosiddetto 2deg (two dimensional electron gas)

cioè il canale conduttivo sfruttato negli Hemt.

Il risultato di tale combinazione sono dei dispositivi in grado di sopportare correnti e tensioni più elevate rispetto ai transistor tradizionali, permettendo così un impiego in applicazioni di potenza e altissima frequenza (RF).

Quando i due materiali vengono a contatto si ha il passaggio di elettroni dal più elettronegativo al meno elettronegativo fino a che i due livelli di Fermi coincidono. Il piegamento di bande che ne consegue porterà la banda di conduzione del GaAs al di sotto del livello di Fermi nei pressi dell'interfaccia AlGaAs/GaAs dando origine ad una buca di potenziale all'interno della quale vengono confinati i portatori.

La corrente (portatori) potrà scorrere solo nel piano orizzontale rispetto al dispositivo da cui deriva il nome Two Dimensional Electron Gas.

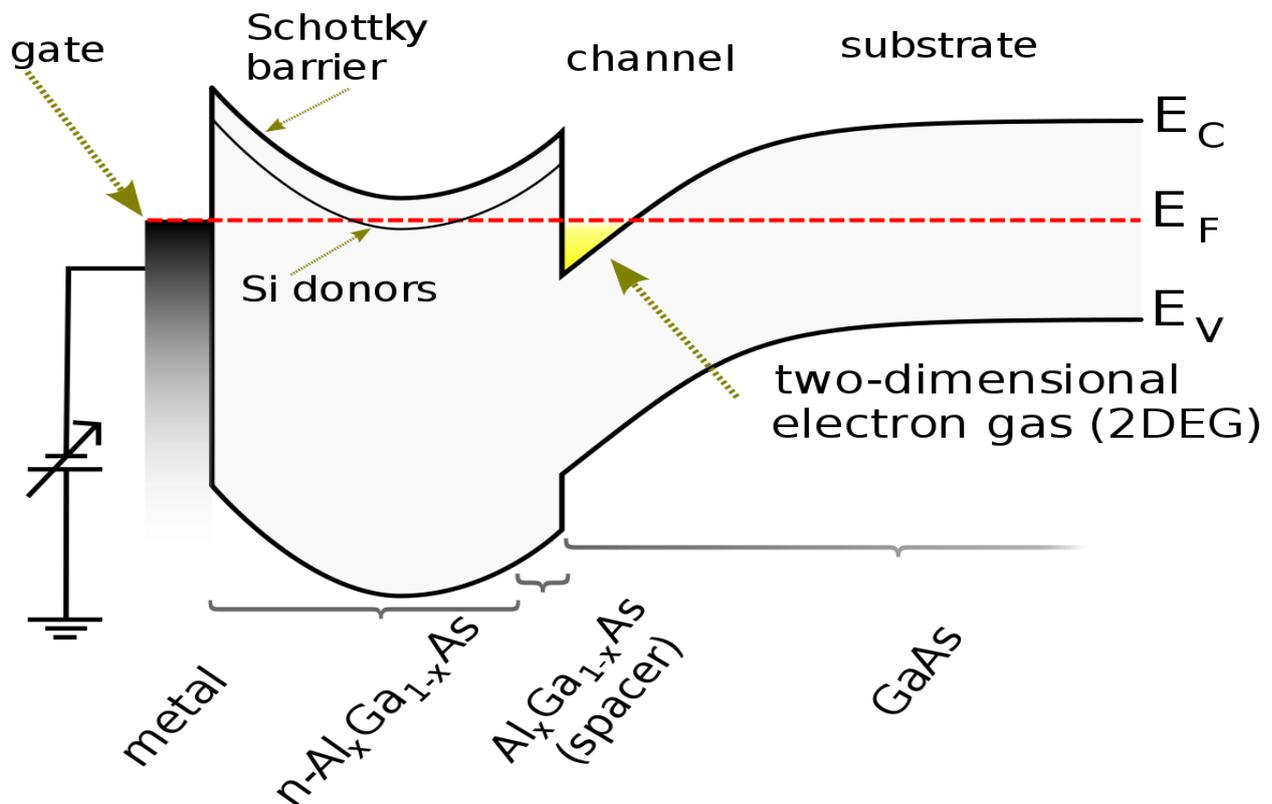


Figura 2.2: Diagramma a bande eterostruttura AlGaAs/GaAs [26].

2.2 AlGaN/GaN Hemt

Questa particolare eterostruttura non necessita di un semiconduttore drogato come sorgente di portatori per il canale 2-deg; essi vengono forniti in parte dalla natura intrinseca del materiale (polarizzazione spontanea) ed in parte dagli stress tensili o compressivi che si generano all'interfaccia AlGaN/GaN a causa del mismatch reticolare (effetto piezoelettrico).

Combinando questi due contributi si riescono a raggiungere densità di portatori nel canale dell'ordine di $2 \times 10^{13} \text{ cm}^{-2}$ [1].

Questa elevata concentrazione di portatori ha permesso lo sviluppo di tecnologie Hemt in grado di portare correnti dell'ordine dei 1000 mA/mm.

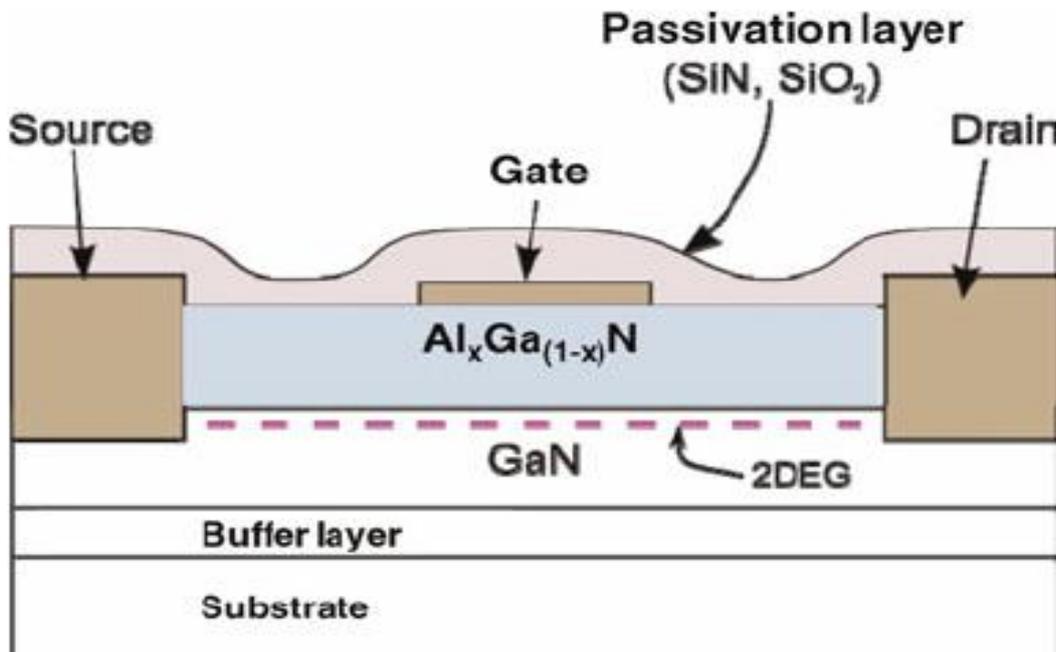


Figura 2.3: Sezione AlGaIn/GaN Hemt.

Come si può vedere dalla sezione di Hemt di Figura 2.3, la struttura risulta stratificata; partendo dal basso si trova il substrato, il cui compito è fornire rigidità meccanica alla struttura e isolarla rispetto a terra (evita che si creino percorsi conduttivi di correnti di perdita verso terra), tra il substrato e l'eterostruttura AlGaIn/GaN possono essere inseriti dei buffer layer con il compito di rendere inferiore il mismatch verso lo strato AlGaIn/GaN al fine di ridurre i difetti di interfaccia. Procedendo verso l'alto troviamo l'eterostruttura AlGaIn/GaN alla cui interfaccia si crea il canale conduttivo ed infine vengono depositi i contatti metallici ed uno strato di passivazione.

I contatti metallici sono solitamente leghe composte contenenti oro, platino, argento, nichel ed altri metalli dalle ottime proprietà elettriche. Il contatto di gate viene realizzato tramite giunzione metallo-semiconduttore con caratteristica I-V di tipo Schottky rettificante, mentre i contatti di drain e source hanno solitamente una caratteristica I-V di tipo ohmico.

Avere un contatto di tipo Schottky rettificante significa sostanzialmente che il contatto possiede la caratteristica I-V di un diodo. Lo scopo del contatto rettificante è quello di avere un controllo sul canale minimizzando la corrente di leakage (le correnti di perdita) verso quel terminale.

Differentemente rispetto al caso del gate, i contatti di drain e source vengono realizzati con caratteristica I-V di tipo Ohmica (lineare) al fine di minimizzare la resistenza offerta dai contatti al passaggio di corrente.

La grande differenza sta nelle caratteristiche dei metalli utilizzati per la realizzazione di uno o l'altro contatto; per la realizzazione di contatti rettificanti si prediligono metalli con funzione lavoro elevata mentre per quelli ohmici si prediligono metalli con funzione lavoro ridotta.

Spesso un contatto viene realizzato mediante la deposizione di più strati di metalli diversi o di leghe metalliche; per i contatti di source e drain è comune l'impegno di Ti/Al/Ni/Au al fine di ottenere una miglior resistenza di contatto mentre per il contatto di gate vengono spesso impiegati Ni/Au (nichel-oro) e Au/Pt (oro-platino).

In entrambi i casi spesso l'ultimo strato viene realizzato con Oro o Alluminio in quanto migliorano la conducibilità elettrica del contatto ed allo stesso tempo sono più resistenti a fenomeni di ossidazione.

Oltre alle caratteristiche "elettriche" dei metalli utilizzati per realizzare i contatti, assumono importanza rilevante anche altri parametri come la stabilità in temperatura (un buon contatto non deve variare troppo la propria resistenza al variare della temperatura) e dal punto di vista meccanico si deve avere una buona adesione tra i metalli depositi e lo strato barriera AlGa_N.

Viene poi depositato un ulteriore strato detto di passivazione, realizzato solitamente con SiN (nitruro di silicio) o con SiO₂ (diossido di silicio); la passivazione ha il compito di rivestire il wafer in maniera omogenea (contatti esclusi) per proteggere la superficie da fenomeni di corrosione ma anche di ridurre la formazione di stati trappola superficiali.

2.3 Trappole e meccanismi di intrappolamento

Le trappole sono essenzialmente causate dall'interruzione della periodicità del reticolo cristallino a causa di legami liberi o incompleti, si possono trovare sulla superficie superiore (trappole superficiali), all'interfaccia AlGa_N/Ga_N (trappole d'interfaccia) e nello strato buffer in Ga_N (deep levels). [2]

I meccanismi di intrappolamento di carica sono vari, tra loro differenti per natura, locazione ed effetto sul dispositivo; per questo motivo si utilizzano sistemi di misura differenti a seconda del tipo di trappola che si vuole caratterizzare.

Un primo meccanismo di intrappolamento che porta ad un calo delle prestazioni del dispositivo diffuso negli AlGa_N/Ga_N Hemt's è il current collapse. Tale fenomeno si presenta come calo della corrente di drain, associato generalmente alla presenza o formazione di stati trappola sotto la regione di gate o nella regione gate-drain (trappole superficiali) [3].

Un secondo fenomeno di intrappolamento è il cosiddetto "virtual gate", un fenomeno dispersione in frequenza associato alla presenza di trappole sulla superficie ed all'interfaccia.

In condizione di canale formato gli stati superficiali si comportano come donori e cedono il loro elettrone al canale, cedendo l'elettrone tali stati diventano carichi positivamente e si crea così uno strato di carica positiva sulla superficie AlGa_N. Passando in condizione di canale strozzato, il gate si trova polarizzato con tensione negativa e gli elettroni presenti aiutati dal campo elettrico nella regione gate-drain tendono a compensare la carica positiva degli stati superficiali comportando così uno svuotamento di una zona di canale non controllata dal gate.

Le costanti di tempo associate a tali trappole sono lunghe, quindi alla riaccensione del canale il fenomeno di de-trapping non è sufficientemente veloce, si crea quindi una densità di carica negativa residua che mantiene spenta una parte di canale (come se

fosse presente un gate virtuale in serie a quello reale) limitando di fatto la corrente di uscita.

Alcuni meccanismi si presentano quando si polarizza il transistor con tensioni fortemente negative, ad esempio il “gate-lag” (tensioni fortemente negative al gate) ed il “drain-lag” (tensioni elevate al drain), in off-state. I fenomeni di gate-lag e drain-lag consistono sostanzialmente in un ritardo di fase della corrente di drain rispetto a variazioni impulsive della tensione sul gate (o sul drain) che si può presentare come aumento del periodo di commutazione e variazioni della tensione di soglia.

Un altro fenomeno diffuso negli HEMT's è il Kink, tale fenomeno provoca una modifica delle caratteristiche dc del dispositivo, esso infatti si presenta come un abbassamento della curva di corrente di drain fino ad una determinata tensione V_{DS} , oltre la quale la curva recupera il suo andamento normale. Il Kink è associato a stati trappola campo-elettrico dipendenti situati nello strato buffer [6-7] di GaN (deep levels) o all'interfaccia AlGaN/GaN; tali trappole catturano parte dei portatori causando un calo di densità nel canale 2-deg e quindi un calo della corrente, oltre un certo valore di V_{DS} , il campo elettrico acquista energia sufficiente a svuotare le trappole e le curve di corrente recuperano il loro andamento.

In letteratura si trovano esempi di confronti tra dispositivi con passivazione e dispositivi privi di tale strato, i risultati mostrano come i primi presentino una curva di corrente più elevata rispetto ai campioni non passivati, concordano nell'affermare che le trappole superficiali provocano un calo graduale della curva di corrente e non contribuiscono invece al fenomeno del Kink.

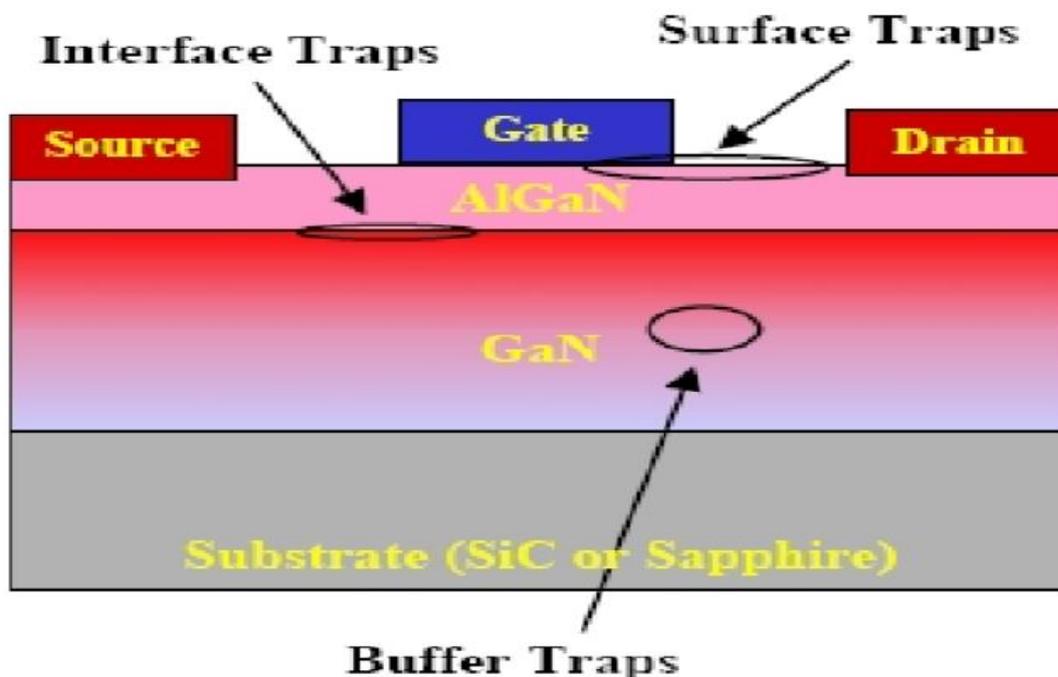


Figura 2.4: Zone soggette alla formazione di trappole.

2.4 Meccanismi di degradazione e fallimento

Per poter studiare l'affidabilità è necessario comprendere i meccanismi fisici reversibili

o meno che si verificano nei dispositivi dopo esser stati sottoposti a stress elettrici o termici di durata ed intensità differenti.

Possiamo quindi classificare almeno in parte i meccanismi di fallimento associandoli alla temperatura, al campo elettrico o ad una combinazione di temperatura, campo elettrico e struttura intrinseca del materiale.

Vari studi mostrano come storage di lunga durata a temperature che eccedono i 300°C possono impattare sulla struttura dei contatti; un fenomeno riscontrato in diverse occasioni è la degradazione del contatto di gate a causa della diffusione dell'oro attraverso lo strato di nichel e raggiunge lo strato AlGaIn/GaN andando così ad intaccare le prestazioni del dispositivo (degradazione delle proprietà rettificanti, aumento delle correnti di leakage a seguito dell'applicazione di campi elettrici intensi) [24-25].

Altri meccanismi di degrado associati alla temperatura elevata sono la perdita di adesione (o distacco) dello strato di passivazione e la formazione di trappole e difetti cristallini all'interno dello strato buffer in GaN o all'interfaccia AlGaIn/GaN a causa dei diversi coefficienti di dilatazione termica tra i materiali.

Un meccanismo dipendente sia da struttura del materiale che da campo elettrico è l'effetto piezoelettrico inverso, esso ha luogo prevalentemente nella regione tra il gate ed il drain in quanto in questa regione si sviluppano i campi elettrici più intensi.

Applicando forti campi elettrici si sottopongono i legami reticolari a sforzi ancora più intensi, il successivo rilassamento del reticolo dà origine a difetti reticolari e quindi trappole.

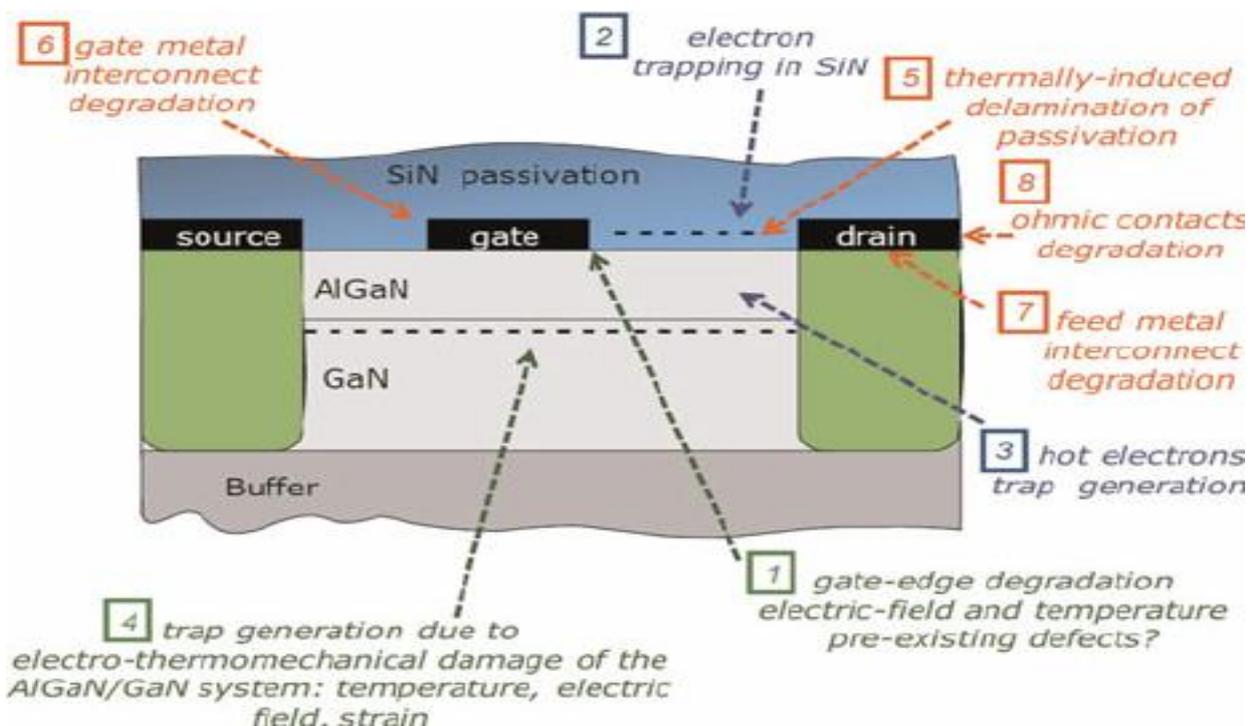


Figura 2.5: Stati trappola e degradazione dei contatti.

In particolare, il leakage di gate aumenta grazie al tunnelling assistito dalle trappole. In alcuni casi, se il campo elettrico verticale è troppo elevato, gli elettroni possono

provocare un breakdown dello strato AlGa_N portando alla formazione di percorsi conduttivi tra gate e substrato. (Breakdown Isolanti e percorsi conduttivi parassiti).

L'ultimo meccanismo di degradazione negli hemt è quello dovuto agli hot electrons, esso si verifica in situazione di on-state, quando vengono applicate tensioni gate-drain elevate. Alcuni elettroni del canale accelerati dal campo elettrico, acquisiscono una quantità di energia tale da consentirgli di oltrepassare lo strato barriera e finire nel reticolo cristallino; qui gli elettroni dissipano l'energia in eccesso attraverso collisioni con il reticolo stesso.

L'impatto tra gli hot electrons e gli atomi del reticolo può provocare la rottura di alcuni legami gallio-azoto generando così difetti (o stati trappola), calo della corrente ed aumento della resistenza di canale che impattano negativamente sulle prestazioni dei dispositivi.

2.5 Miglioramenti strutturali

Alcuni dei fenomeni di intrappolamento e degradazione appena elencati che affliggono i dispositivi sono stati ridotti nel corso degli anni mediante alcune migliorie dei processi produttivi, variazioni costruttive rispetto alla struttura di partenza.

Gli effetti di intrappolamento dovuti agli stati superficiali possono essere ridotti mediante passivazione della superficie, ovvero la deposizione di uno strato isolante (solitamente in nitrato di silicio). L'entità del miglioramento che si può ottenere con questa tecnica è fortemente influenzata da fattori costruttivi come: qualità della superficie, qualità dei materiali e dei metodi di deposizione.

Un altro elemento costruttivo utile è il field plate, il quale consiste in un contatto metallico di forma T o Γ che ricopre il gate e la zona gate-drain andando a diminuire il picco massimo del campo e di ridistribuirlo; in questo modo si riduce il fenomeno di intrappolamento superficiale che era favorito dal forte campo elettrico presente nella regione.

Un terzo metodo diffuso è l'impiego della struttura gate recess, la quale consiste nell'inserimento di ulteriori strati AlGa_N o Ga_N tra l'interfaccia AlGa_N/Ga_N e la superficie. In questo modo si allontana fisicamente il canale dalla superficie, così facendo si riesce a limitare l'effetto di collasso della corrente anche in assenza di passivazione superficiale.

2.6 Affidabilità

Il concetto di affidabilità indica l'attitudine di un'entità a svolgere la funzione richiesta in condizioni date e per un dato intervallo di tempo.

Dal punto di vista delle prestazioni in termini di potenza, frequenza e resistenza ai campi elettrici, i dispositivi basati su nitrato di gallio si sono mostrati di gran lunga più performanti rispetto alla precedente tecnologia fondata su arsenuro di gallio (GaAs).

Risulta quindi di fondamentale importanza effettuare uno studio riguardante l'affidabilità di tali dispositivi, in quanto candidati ad essere utilizzati in una serie di settori di nicchia in cui sono fondamentali tanto il livello delle prestazioni offerte quanto l'affidabilità stessa.

I primi responsabili di meccanismi di degradazione e fallimento sono i difetti

cristallografici presenti nei materiali a causa della non idealità dei processi utilizzati per la creazione di substrati e la successiva crescita epitassiale.

Dal punto di vista dell'affidabilità un difetto può essere innocuo (se non ha alcun tipo di effetto sul dispositivo), fatale (se si trova in posizione strategica) o latente (non fatale nell'immediato ma può causare problemi di affidabilità in seguito).

I difetti hanno un differente impatto a seconda del tipo di materiale in cui si trovano; hanno impatto debole sui metalli, mentre hanno un impatto pesante su semiconduttori ed isolanti.

I difetti vengono suddivisi in difetti di reticolo e difetti macroscopici; della prima categoria fanno parte i difetti di punto, le dislocazioni e i confini tra grani, mentre alla seconda categoria appartengono i vuoti, le strutture mancanti, le strutture deformate o fratturate e gli agenti contaminanti.

Ogni meccanismo di guasto è differente ed ha una distribuzione statistica differente rispetto ad altre tipologie, risulta quindi cruciale scegliere la funzione di distribuzione più appropriata per rappresentare un fenomeno specifico.

Per descrivere le statistiche di guasto di componenti elettronici si prediligono due funzioni di distribuzione: la Weibull e la lognormale.

La distribuzione di Weibull viene usata sia in contesti in cui il suo utilizzo è fisicamente giustificato (caso in cui il guasto è dovuto ad un anello debole, breakdown dielettrici) sia in contesti in cui si adatta bene alla rappresentazione dei dati senza però avere una giustificazione teorica.

Si predilige invece l'utilizzo della distribuzione lognormale se la distribuzione del guasto è rappresentabile come prodotto di variabili aleatorie positive ed indipendenti tra loro (degradazione graduale causata da diffusione, corrosione e reazioni chimiche). Una volta riusciti ad associare una funzione di distribuzione $f(t)$ ad un meccanismo di guasto, è possibile risalire alla distribuzione cumulativa di guasto $F(t)$ e quindi alla funzione affidabilità $R(t)$.

Vale la relazione: $F(t) = \int_0^t f(\tau) d\tau$.

La distribuzione cumulativa di guasto rappresenta la probabilità che all'istante t un oggetto, scelto a caso dalla popolazione n , si sia guastato e si può esprimere come:

$$F(t) = \lim_{n \rightarrow \infty} \frac{n_f(t)}{n}$$

n_f : numero di componenti guasti al tempo t ;

n : numero iniziale di componenti, nominalmente uguali.

Possiamo ora esprimere la funzione affidabilità come: $R(t) = 1 - F(t)$.

Il tasso di guasto dei dispositivi si può esprimere come:

$$\lambda(t) = \frac{1}{R(t)} \frac{dF(t)}{dt} = \frac{f(t)}{R(t)}$$

L'obiettivo finale è quello di risalire al tempo medio al guasto (MTTF: Mean Time To Failure), il quale può essere calcolato media empirica o media statistica sfruttando le seguenti relazioni:

- $MTTF = \frac{t_1+t_2+t_3+\dots+t_n}{n}$ (media empirica)
- $MTTF = \int_0^{\infty} t f(t) dt = \int_0^{\infty} R(t) dt$ (media statistica)

Il tasso di fallimento dei dispositivi in funzione del tempo viene descritto da una curva detta a “vasca da bagno” (bathtub).

Si possono individuare tre andamenti distinti all’interno della bathtub; nella prima fase detta “mortalità infantile” si ha un rapido fallimento dei dispositivi difettosi ed un conseguente calo nel tasso di guasto all’aumentare del tempo, nella seconda fase la curva assume un andamento quasi costante ed è rappresentativa dei guasti casuali che si possono verificare durante la fase di vita di un dispositivo, infine è presente un ultimo tratto dove la pendenza aumenta nuovamente e rappresenta l’aumento dei guasti dovuti a criteri di fallimento associabili all’invecchiamento dei dispositivi.

Al fine di effettuare un’analisi sull’affidabilità dei dispositivi vengono utilizzati test di vita accelerati basati solitamente su storage termico a tre differenti temperature dai quali ricavare l’energia di attivazione di un determinato meccanismo di fallimento e ricavare così l’MTTF.

Si sceglie solitamente un criterio di guasto che corrisponde ad un calo percentuale del 10% su una grandezza significativa come ad esempio la corrente di drain o la transconduttanza.

Nel caso di meccanismi attivati termicamente, il tempo medio al guasto si ricava tramite legge di Arrhenius il cui MTTF corrispondente è:

$$MTTF = A \exp\left(\frac{E_a}{KT}\right)$$

A: Costante che dipende dal tipo di meccanismo di guasto innescato;

Ea: Energia di attivazione del guasto espressa in eV;

K: Costante di Boltzmann;

T: Temperatura di test espressa in grado Kelvin.

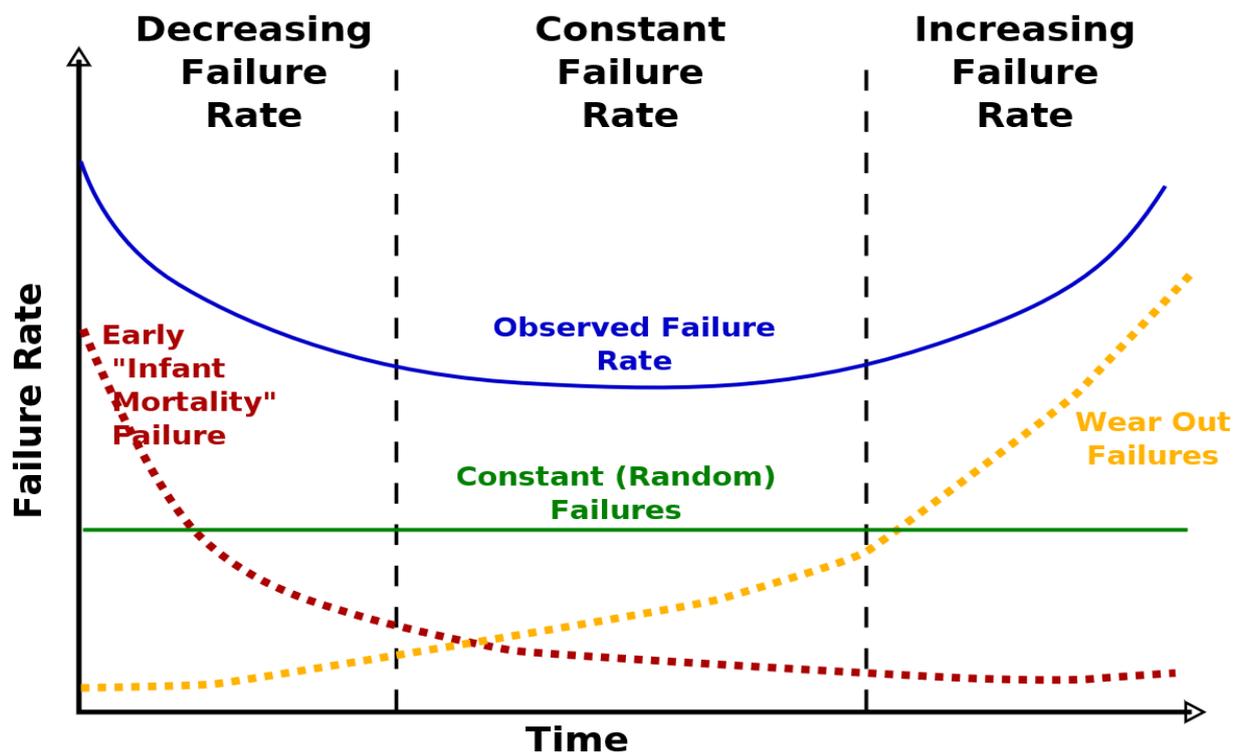


Figura 2.6: Curva "vasca da bagno" o bathtub.

Capitolo 3: Caratterizzazione wafer

3.1 Dispositivi Testati

Il wafer SLX_CE16 di Leonardo S.p.A è arrivato suddiviso in quattro quarti (QA QB, QC, QD), dei quali uno è stato mantenuto come quarto vergine (QA) mentre gli altri tre sono stati destinati tra le altre cose allo storage termico a 275 °C (QB), 325 °C (QC) e 300 °C (QD).

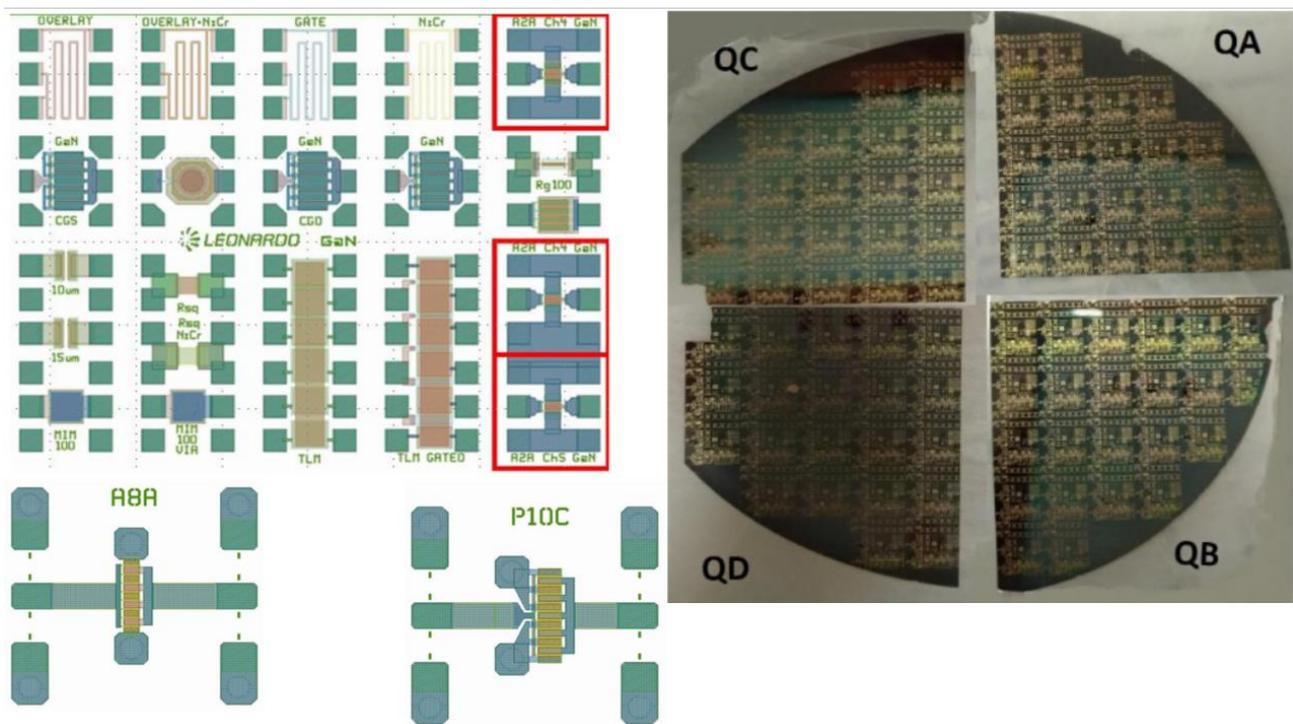


Figura 2.1: Pragan PCM, Wafer SLX_CE16 di LEONARDO.

I contatti ohmici di drain e source sono realizzati mediante deposizione di più strati di metalli diversi, in questo caso sono stati utilizzati Ti/Al/Ni/Au temprati a 850°C in modo da ridurre la resistenza di contatto ($<0.5 \Omega\text{mm}$).

Il contatto Schottky di gate è composto di Ni/Pt (Nichel/Platino) ed è di lunghezza $0.25\mu\text{m}$ ed è stato deposto tramite Electronic Beam Lithography (EBL) al fine di raggiungere dimensioni così ridotte.

Il field plate di gate è realizzato tramite deposizione di Ni/Au [14]; l'ottimizzazione di questo processo permette di raggiungere tensioni di breakdown maggiori e di avere un controllo migliore del current collapse.

Periferie testate:

Nome Dispositivo	Posizione	L _G (nm)	System Field-Plate	W _G	L _{ds} (μm)
A2ACH4GaNP	In the PCM Top	250	Si	2 x 100 (μm)	4
A2ACH4GaN	In the PCM Bottom	250	No	2 x 100 (μm)	4
A8A	Outside the PCM	250	Si	8 x 50 (μm)	4
P10C	Outside the PCM	250	Si	10 x 75 (μm)	4

Il piano preliminare per la caratterizzazione del wafer e della sua affidabilità si sviluppa in sette punti:

1. Caratterizzazione DC completa sui quarti QB, QC, QD;
2. Caratterizzazione tramite Misure impulsive (double pulse);
3. Transitori della corrente di drain (I-DLTS);
4. Immagini da elettroluminescenza;
5. Step Stress al drain;
6. 24 ore di stress a tensione costante;
7. Storage Termico a 3 temperature (275°C, 300°C, 325°C).

Dei test preliminari effettuati in azienda fanno parte: step stress a tensione V_{GS} costante, effettuati in off-state, semi-on state e on-state per tensioni V_{DS} crescenti fino a rottura dispositivo; DC stress 24 h on a vari punti operativi tutti giacenti su una curva a potenza costante pari a 23 W/mm, o a V_{DS} costante (40 V) o lungo una retta di carico RL = 50 Ω.

Gli short term test sono stati effettuati con lo scopo di rilevare possibili modi e meccanismi di fallimento della tecnologia in esame e distinguere tra la degradazione dovuta all'azione termica, al campo elettrico o agli hot-electrons.

In seguito, sono state effettuate delle misure DC, dalle quali sono stati estratti numerosi parametri in modo da poter monitorare con la maggior accuratezza possibile gli effetti dello storage termico sulle prestazioni dei dispositivi in esame.

I quattro layout scelti per la caratterizzazione DC fanno parte di tecnologia 0.25 μm AlGaN/GaN drogati con Fe.

Al fine di monitorare la degradazione dei dispositivi in esame, è necessario ripetere le misure effettuate al termine di ogni passo di storage termico effettuato.

3.2 Caratterizzazione DC preliminare

La caratterizzazione DC dei dispositivi è stata effettuata mediante l'utilizzo di una probe station Carl Suss dotata di microscopio elettronico, manipolatori RF, un parameter analyzer Agilent E5263A connesso a computer tramite GP-IB e comandato da programma sviluppato in Labview.

L'Agilent E5263A è dotato di due SMU (Source Monitor Unit) denominate E5290A High Speed High Power SMU e E5291A High Speed Medium Power che servono a

connettere e misurare corrente e tensione di drain e di gate rispettivamente. Entrambi le SMU funzionano come force e sense, ovvero servono contemporaneamente a polarizzare il dispositivo ed a misurarne i parametri di interesse.

I dispositivi vengono contattati mediante l'azione sui manipolatori a cui sono meccanicamente fissate delle punte RF elettricamente connesse al parameter analyzer attraverso cavi BNC.

Le punte RF si presentano con forma di tridente con configurazione ground-signal-ground; la punta di gate sarà source-gate-source mentre quella di drain sarà source-drain-source con source cortocircuitato a massa.

Dalla caratterizzazione DC sono stati estratti i seguenti parametri:

1. Densità di Corrente di saturazione di drain I_{DSS} (mA/mm) a $V_{DS} = 7V$ e $V_{GS} = 0V$;
2. Massima densità di corrente di drain I_{Dplus} (mA/mm) a $V_{DS} = 7V$ e $V_{GS} = 1V$;
3. Tensione di pinch-off V_{po} (V) a $V_{DS} = 7V$ e $I_D = 1$ mA/mm;
4. Densità di corrente di perdita di drain I_{Dleak} (mA/mm) a $V_{DS} = 7V$ e $V_{GS} = V_{po}-1$;
5. Densità di corrente di perdita di gate I_{Gleak} (mA/mm) a $V_{DS} = 7V$ e $V_{GS} = V_{po}-1$;
6. Massima densità di transconduttanza g_{mMax} (mS/mm) a $V_{DS} = 7V$ e $V_{po} < V_{GS} < +1V$;
7. Densità di corrente I_{Dgm} (mA/mm) a g_{mMax} e $V_{DS} = 7V$;
8. Tensione di gate V_{Ggm} (V) a g_{mMax} e $V_{DS} = 7V$;
9. Corrente di drain in regione lineare a $V_{DS} = 20$ mV e $V_{GS} = 0V$;
10. Corrente di drain in regione lineare a $V_{DS} = 100$ mV e $V_{GS} = 0V$;
11. Resistenza On a $V_{GS} = 0V$;
12. Pendenza sotto-soglia (SS) a $V_{DS} = 7V$ e $V_{GS} = 0V$;
13. Abbassamento di barriera indotto dal drain IDBL;
14. Corrente di drain misurata a tensioni elevate ($V_D = 10V, 30V, 50V$) e $V_G = -5V$;
15. Caratteristica di uscita I_D vs V_{DS} fino a $V_{DS} = 20V$ per A2ACH4 e A8A, fino a $V_{DS} = 15V$ per P10C, V_G da V_{po} a $0V$;
16. Curve I_D vs V_{GS} e g_m vs V_{GS} da V_{po} a $0V$ a $V_{DS} = 1V, 3V, 5V, 7V$;
17. Caratteristica I_D sottosoglia $\text{Log}(I_D)$ vs V_{GS} da $0V$ a $V_{po}-1$ a $V_{DS} = 100$ mV, $1V, 3V, 5V, 7V, 10V, 15V, 20V$;
18. Caratteristica diodo Schottky GS (gate-source), drain collegato a terra, V_G da $-7V$ a $1.5V$;

I grafici mostrano la dispersione parametrica delle quattro tipologie di transistor a confronto in riferimento ai parametri sopra riportati. Va sottolineato che i test DC preliminari (prima dello storage termico) sono stati effettuati su tutti i dispositivi disponibili per le 4 tipologie in esame sul quarto QB.

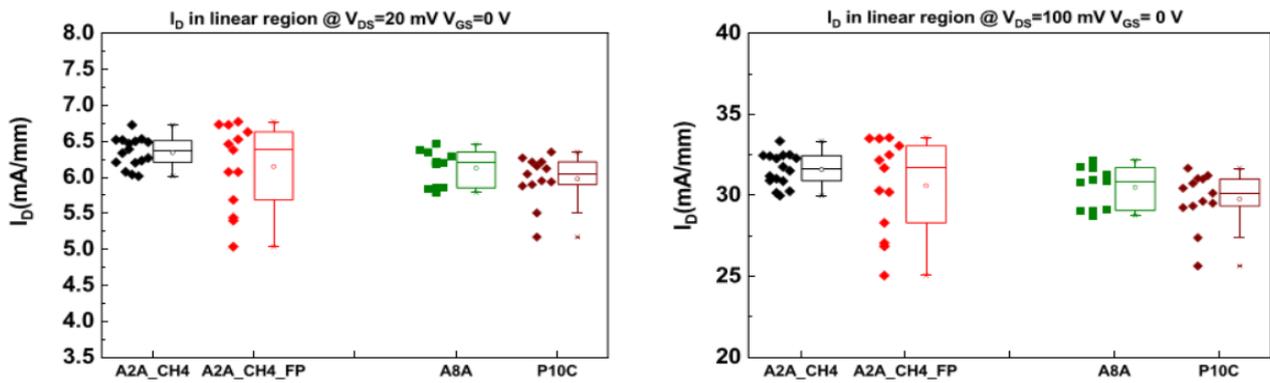


Figura 3.2: Corrente di drain in regione lineare a $V_{GS} = 0V$ rispettivamente per $V_{DS} = 20mV$ e $V_{DS} = 100mV$.

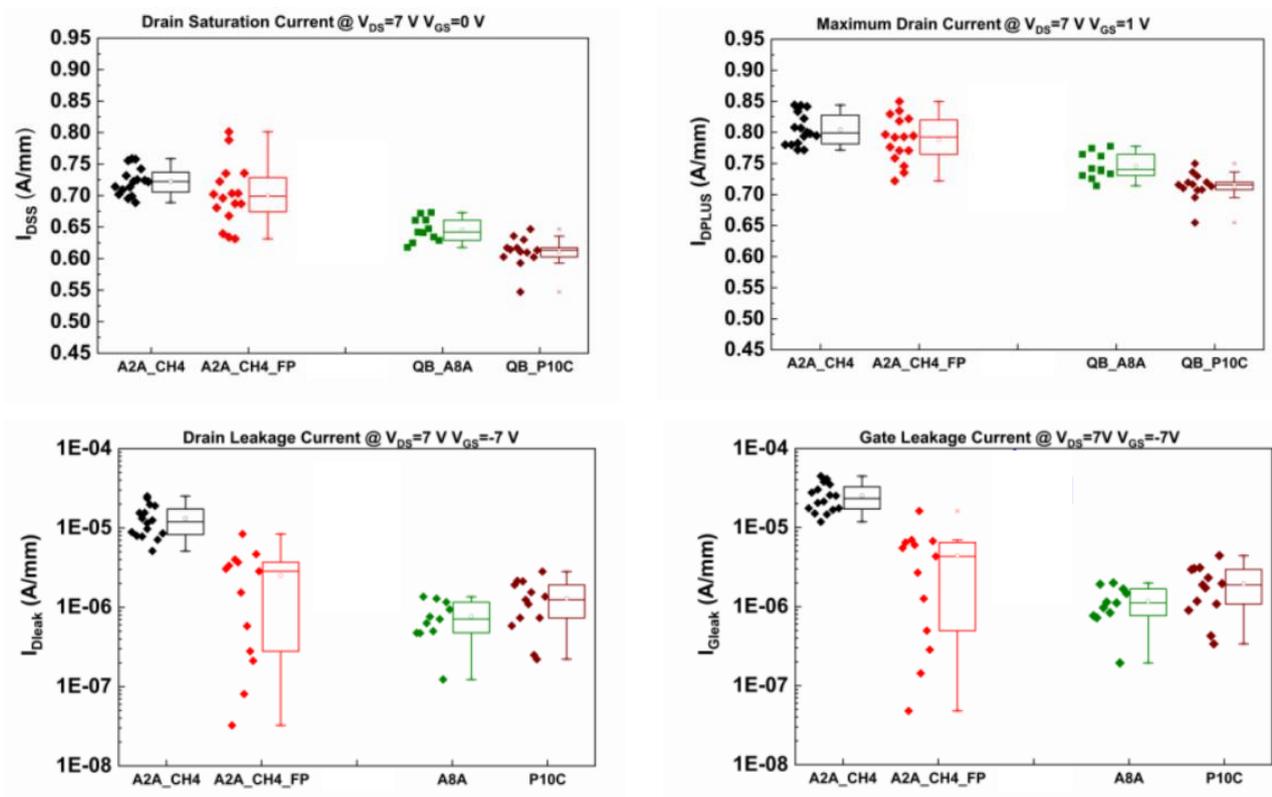


Figura 3.3: Corrente di saturazione di drain I_{DSS} e picco di corrente di drain I_{DPLUS} e correnti di leakage di drain e di gate a $V_{DS} = 7V$ e $V_{GS} = -7V$.

Osservando la distribuzione statistica dei vari dispositivi circa la corrente di drain si nota che la maggior parte dei dispositivi mostrano valori di corrente riproducibili, con una bassa dispersione statistica. Gli A2ACH4FP mostrano una dispersione maggiore sulla corrente di drain I_D rispetto agli A2ACH4.

In tutte le condizioni testate ($V_D = 10V, 20V, 50V$), il leakage di gate mantiene valori abbondantemente inferiori rispetto alla soglia scelta (1 mA/mm).

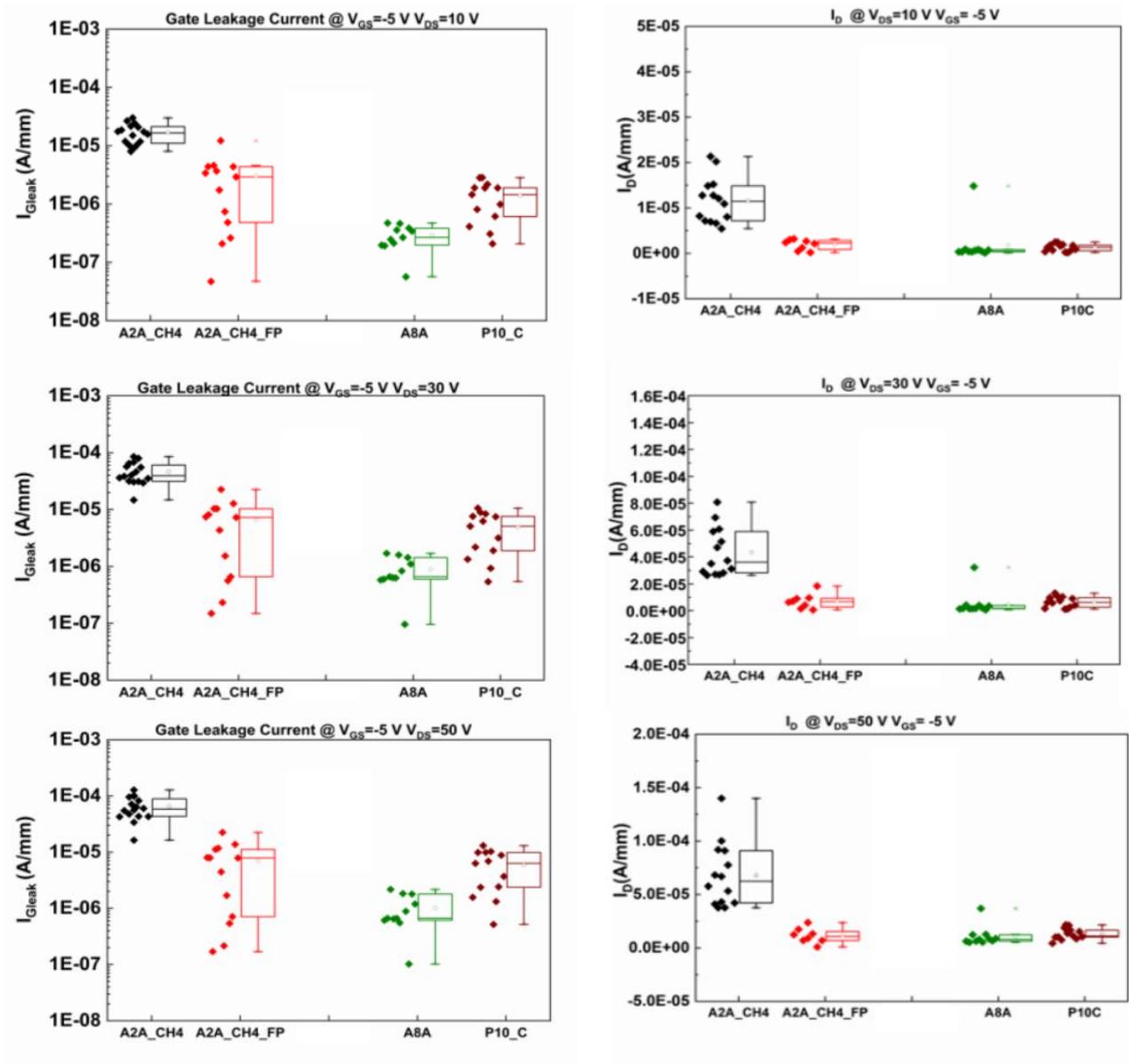


Figura 3.4: Leakage di gate I_{Gleak} a $V_{GS}=-5V$ e $V_{DS}=10V, 30V, 50V$,
Leakage di drain I_D a $V_{GS}=-5V$ e $V_{DS}=10V, 30V, 50V$.

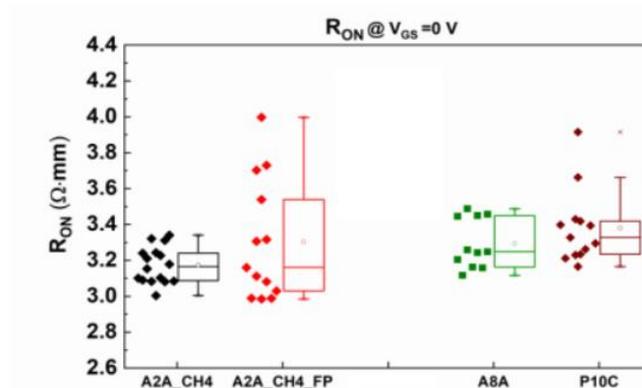


Figura 3.5: R_{ON} a $V_{GS}=0V$.

Anche osservando l'andamento della RON, i dispositivi che mostrano variazione maggiore tra un dispositivo e l'altro rimangono gli A2ACH4FP.

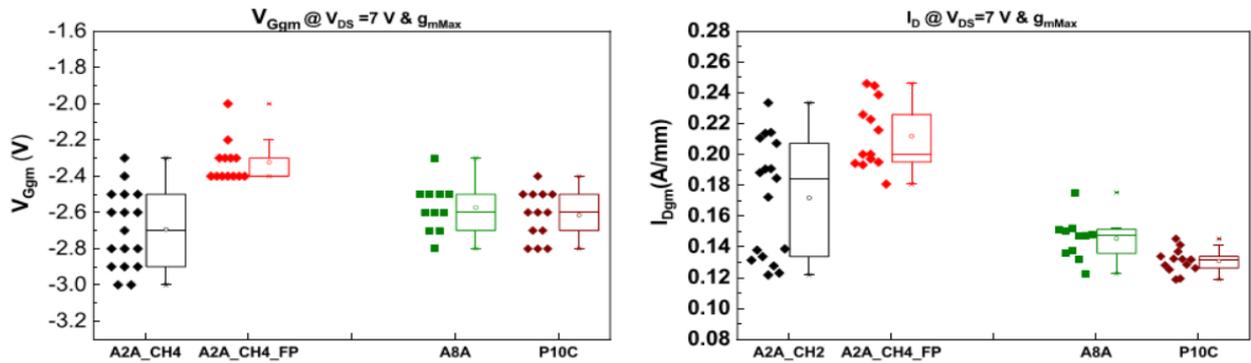


Figura 3.6: Tensione al gate V_{Ggm} e corrente di drain I_D a $V_{DS}=7V$, g_{mMax} .

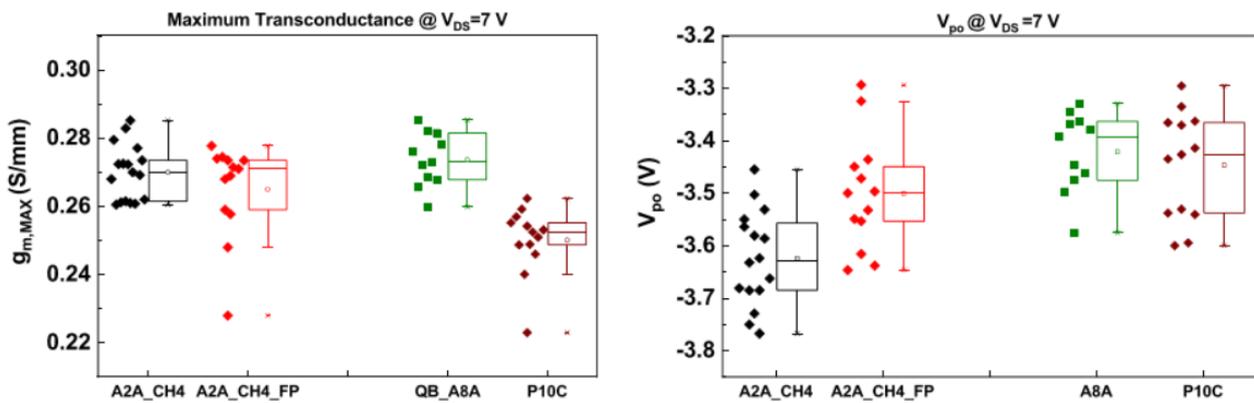


Figura 3.7: Transconduttanza massima g_{mMax} e tensione di pinch off a $V_{DS}=7V$.

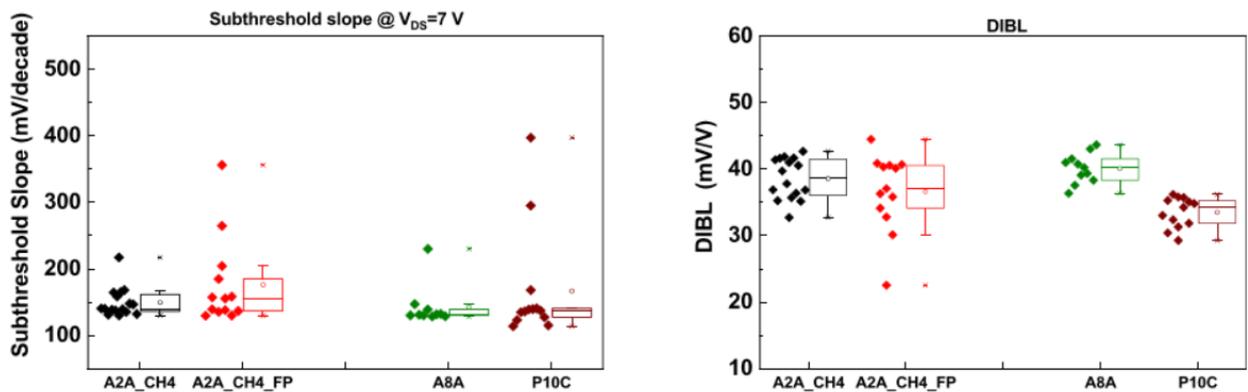


Figura 3.8: Pendenza sottosoglia SS a $V_{DS}=7V$ e DIBL (Drain Induced Barrier Lowering).

Lo studio sulla corrente di drain, sul leakage, tensione di pinch-off etc è stato effettuato tenendo conto della posizione dei dispositivi sul quarto di wafer.

In particolare, i dispositivi situati nella zona centrale del wafer, sono risultati più performanti rispetto ai dispositivi posizionati ai lati del quarto, nonostante ciò, la differenza in termini di corrente di drain e tensione di pinch-off è piuttosto ridotta, per quanto riguarda la corrente di leakage la differenza rimane entro l'ordine di grandezza.

IDSS (A) (0 V, 7 V)					Idleak (A) (-7 V, 7 V)						
1					1						
2	0.070	0.070			2	9.73E-07	5.12E-07				
3	0.072	0.073	0.071		3	7.8E-07	7.97E-07	8.55E-07			
4	0.071	0.073	0.072	0.070	4	1.97E-06	7.09E-07	1.56E-06	1.32E-06		
5		0.076	0.076	0.072	5		8.88E-07	1.90E-06	2.52E-06		
6	0.075	0.074	0.076	0.071	0.069	6	1.23E-03	1.15E-06	2.37E-06	1.55E-06	1.25E-06
	F	G	H	I	J		F	G	H	I	J

Figura 3.9: Distribuzione di $IDSS$ e I_{leak} rispetto alla posizione sul wafer.

3.3 Misure double-pulse

Le misure di tipo impulsato sono utilizzate per caratterizzare trappole e meccanismi di intrappolamento che avvengono vicino alla superficie; un grosso vantaggio derivante dall'impiego di questa tecnica è quello di evitare fenomeni di auto-riscaldamento. Tale fenomeno si presenta come un calo nella corrente di saturazione di drain ed è ben visibile nelle misure DC.

Le misure dinamiche di tipo double pulse vengono utilizzate per investigare fenomeni come il collasso della corrente; la misura è realizzata andando a impulsare in modo sincronizzato i terminali di gate e "drain" con forme d'onda quadra con duty-cycle 1%. Il livello "alto" dell'onda quadra corrisponde all'istante di misura, mentre il livello "basso" viene definito base-line.

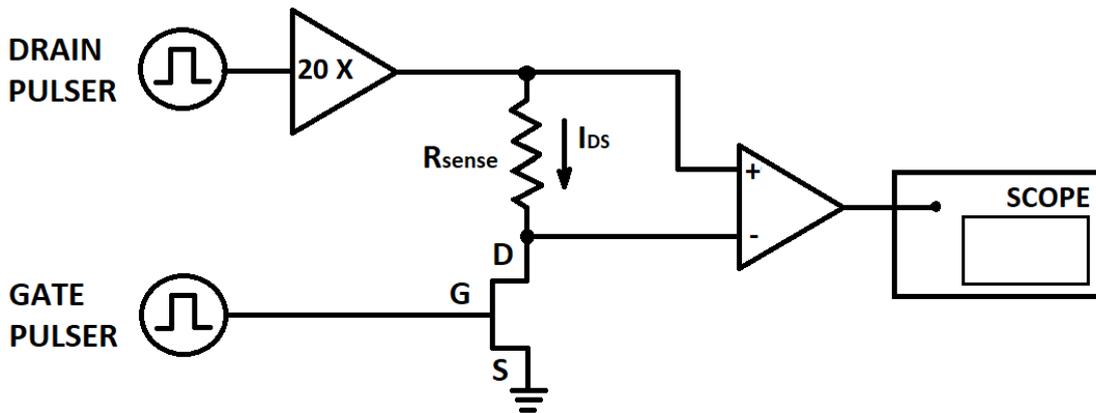


Figura 3.10: Setup sistema double pulse.

I due generatori di impulsi (gate e drain) sono tra loro sincronizzati e collegati ad un oscilloscopio, il segnale del generatore di drain viene amplificato di un fattore 20 per poi polarizzare la serie di R_{sense} e del transistor. Tramite una sonda differenziale si misura la caduta di tensione sulla resistenza (di valore noto) e si ottiene così la corrente di drain ID .

Il guadagno dell'amplificatore ed il valore della resistenza R_{sense} utilizzata cambiano

in base al tipo di dispositivo da analizzare; si utilizzano guadagno 20 e R_{sense} 50 Ω nel caso di A2ACH4 (con e senza field plate), mentre si utilizza un guadagno pari a 10 ed una resistenza da 100 Ω per i dispositivi A8A e P10C.

La V_{DD} imposta durante la misura non corrisponde alla tensione sul drain, tenendo conto della caduta sulla resistenza, vale la relazione:

$$V_R = V_{DD} - V_{DS}, \text{ la corrente di drain } I_D \text{ viene ricavata come } I_D = \frac{V_R}{R_{sense}}.$$

La misura viene realizzata mantenendo il dispositivo in condizione di base-line per un certo lasso temporale, poi ci si porta in condizione desiderata (livello “alto” dell’onda quadra) per un breve istante e si effettua la misura.

La caratteristica $I_D V_G$ viene misurata con $V_{DD} = 9$ V mentre la $I_D V_D$ viene calcolata per $V_G = 0$ V, entrambe le curve vengono estratte per ciascuna base-line effettuando misure a step di 0.2 V (per V_G e V_D); prima di ogni step di tensione si riporta il dispositivo in condizione di base-line.

Il tempo utilizzato per la base-line è di 100 μs , mentre il periodo di misura è di 1 μs .

Le tre base-line utilizzate sono:

1. $V_G = 0$ V, $V_D = 0$ V;
2. $V_G = -7$ V, $V_D = 0$ V;
3. $V_G = -7$ V, $V_D = 25$ V.

La prima condizione (0,0) è una condizione detta di equilibrio, ovvero in cui non ci si aspetta di avere intrappolamento di carica.

Portando la V_G al valore -7V le cose cambiano, non si è più in condizioni di equilibrio, bensì di intrappolamento, in particolare ci si aspetta intrappolamento di carica nella regione limitrofa al gate; infine la condizione (-7V, 25V) è anch’essa una condizione di intrappolamento, che questa volta coinvolgerà tutta la regione gate drain.

Dai dati ottenuti dalle misure, è stato estratto un parametro denominato Slump Ratio (S.R), tale valore fornisce una misura dell’effetto di crollo di corrente dovuto a fenomeni di intrappolamento [20].

Definendo: $I_{DSAT} = I_D$ quando $V_G = 0$ V e $V_{DS} = \text{Knee Voltage}$, lo slump ratio si ottiene come:

$$S. R. (25) = 1 - \frac{I_{DSAT} (V_{GSq} = -7 V; V_{DSq} = 25 V)}{I_{DSAT} (V_{GSq} = 0 V; V_{DSq} = 0 V)}$$

Tale parametro assume valore 1 nel caso il dispositivo abbia subito un crollo completo di corrente, mentre assumerà valore nullo se nel dispositivo non si è verificato alcun crollo.

L’S.R è stato valutato anche mediante la misura della transconduttanza (g_m vs V_{GS}) per $V_{DS} = \text{Knee Voltage}$ (es: $V_{DS} = 4$ V) la quale permette di discriminare meglio se il crollo di corrente è dovuto a trappole nella regione di gate o nella regione di accesso.

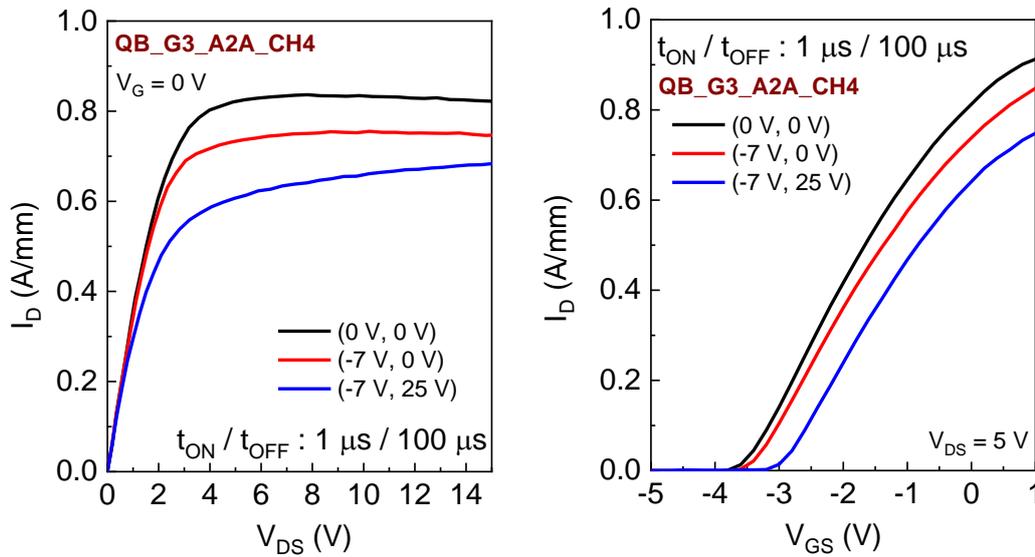


Figura 3.11: Caratteristica double pulse I_D - V_D & caratteristica double pulse I_D - V_G .

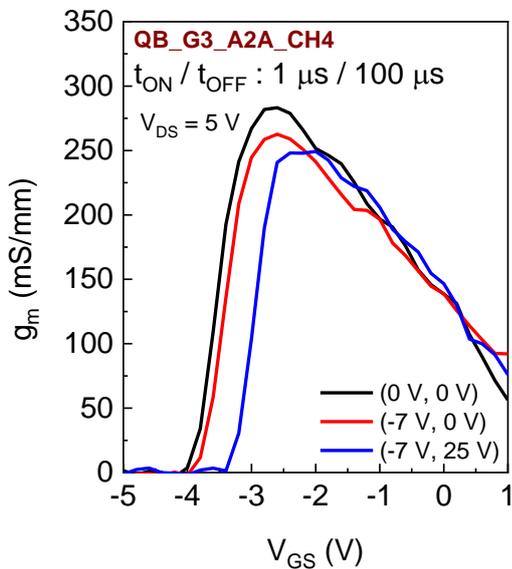


Figura 3.12: Transconduttanza g_m .

Osservando l'andamento delle curve si vedono gli effetti di intrappolamento di carica dovuti alle condizioni di intrappolamento al gate e nella regione gate-drain. L'effetto di crollo di corrente maggiore, come atteso, si ha nella condizione (-7, 25) ed è correlato alla variazione di tensione di soglia ed al leggero calo nel picco di transconduttanza. Gli A2ACH4 (con e senza field plate) risentono maggiormente il fenomeno di collasso della corrente, mostrano infatti uno Slump Ratio ed una dispersione statistica maggiore rispetto a quelle di A8A e P10C; tuttavia nonostante l'elevata dispersione, lo slump ratio rimane compreso circa tra il 20-30 %.

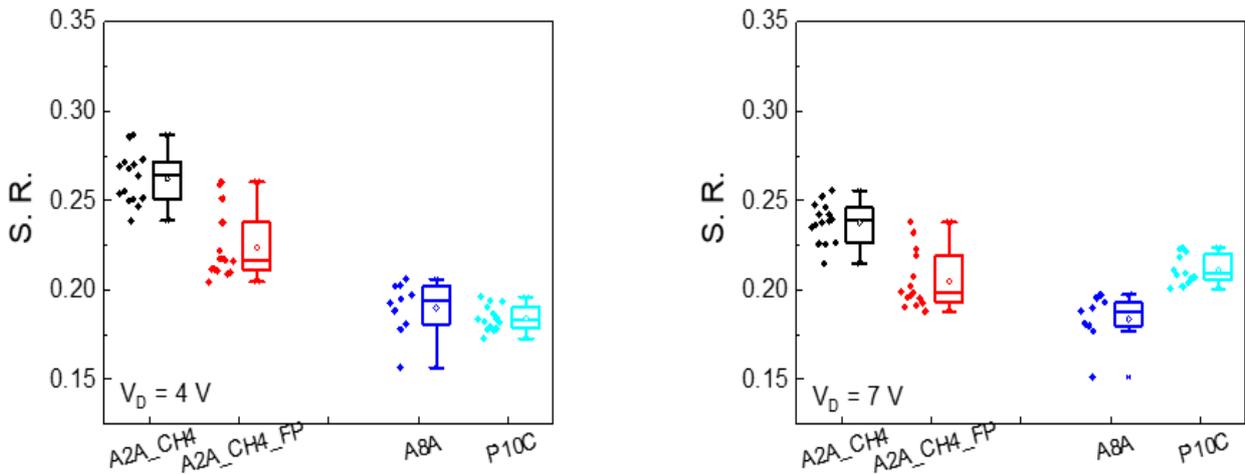


Figura 3.13: Dispersione statistica dello Slump Ratio calcolato per $V_{DS}=4 V$ e per $V_{DS}=7 V$.

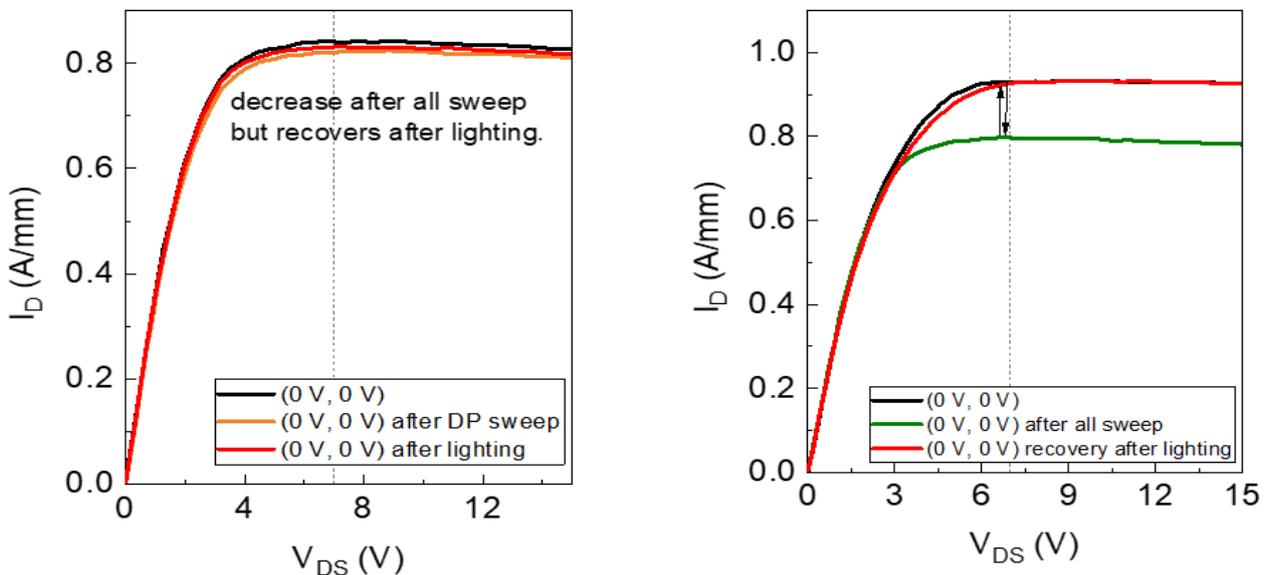


Figura 3.14: Effetto dell'intrappolamento di carica associato a trappole con costante di tempo elevata.

Grazie alle misure di tipo impulsato, è stato osservato un fenomeno di intrappolamento di carica con costante di rilascio elevata.

Si è osservato che ripetendo la misura di tipo double pulse su uno stesso dispositivo al punto di riposo (0, 0) dopo aver effettuato la misura nella condizione di maggior intrappolamento (-7, 25), la curva di corrente non recupera l'andamento che aveva inizialmente nella stessa condizione di base-line (0, 0), ma si assesta su un valore più basso. Su alcuni dispositivi sono stati osservati cali di corrente del 7 %, tuttavia è sufficiente l'esposizione del dispositivo a luce bianca per qualche minuto per liberare la carica intrappolata e ripristinare così gli andamenti della curva di corrente.

3.4 Misura della temperatura di canale

Una stima accurata della temperatura di canale è essenziale per la corretta estrapolazione dell'energia di attivazione di meccanismi di fallimento accelerati termicamente e comprendere meglio i meccanismi di degradazione.

La stima della temperatura di canale risulta particolarmente complicata in dispositivi ad elevata densità di potenza (come i GaN HEMTs) a causa dell'auto-riscaldamento e dell'elevato gradiente di temperatura tra il canale ed il piano base.

La tecnica utilizzata per l'estrapolazione di tali informazioni è stata proposta da Jungwoo Joh e Jesús A. del Alamo [4] ed è basata su misure elettriche di I_{Dmax} e R_{ON} mediante setup I-V impulsive.

Il punto di forza di questa tecnica sta nel fatto che non necessita layout circuitali particolari per essere applicata (come invece succedeva con l'utilizzo di immagine termica ad infrarossi e spettroscopia Raman) in quanto basata unicamente su misure elettriche.

Proprietà di trasporto elettrico come mobilità elettrica e velocità di saturazione sono anch'essi dipendenti dalla temperatura di canale; questa correlazione fornisce un'opportunità di stimare la temperatura di canale basandosi su I_{Dmax} e R_{ON} .

La temperatura di canale può variare a causa di auto-riscaldamento o a causa di riscaldamento esterno. Questa tecnica prevede la calibrazione della dipendenza dei parametri dalla temperatura attraverso riscaldamento esterno, successivamente misuriamo la temperatura del dispositivo in condizioni di funzionamento attraverso la misura degli stessi parametri elettrici del dispositivo impulsando dalla condizione operativa. Il punto chiave per la buona riuscita di tale operazione è quindi il sistema I-V impulsato in grado di impulsare gate e drain nello stesso istante con impulsi di durata inferiore al microsecondo.

La tecnica si suddivide in due parti, la prima consiste nell'effettuare una calibrazione, mentre la seconda consiste nell'effettuare la misura.

La calibrazione prevede di misurare I_{Dmax} e R_{ON} in funzione della temperatura della piastra su cui poggia il wafer; tale misura viene realizzata impulsando dalla condizione $V_{GS}=0V$, $V_{DS}=0V$ (Potenza dissipata nulla), in questa situazione la temperatura di canale coincide con quella applicata esternamente. Da queste misure viene creata una tabella di riferimento contenente I_{Dmax} e R_{ON} in funzione della temperatura T_j .

Nella seconda fase, si effettua la misura dei parametri di interesse impulsando da differenti condizioni di riposo con potenza dissipata non nulla.

In ogni condizione di riposo, il dispositivo dissipa una differente quantità di potenza ($V_{DSQ} \times I_{DQ}$); come risultato possiamo misurare I_{Dmax} e R_{ON} a differenti temperature di canale (che sono imposte dalle condizioni di riposo). Attraverso la tabella di consultazione creata nella prima fase della misura possiamo tradurre le misure elettriche in temperatura di canale.

Tramite questa caratterizzazione è possibile correggere i risultati riguardanti le energie di attivazione dei meccanismi di degradazione oggetto dei nostri studi.

3.5 Deep Level Characterization:

Al fine di caratterizzare i meccanismi di intrappolamento osservati nei dispositivi è necessario studiare il fenomeno in maniera approfondita.

In particolare, su alcuni dispositivi sottoposti a misure double pulse si è reso evidente un fenomeno di intrappolamento con costante di tempo associata elevata. Per questo motivo, alcuni campioni sono stati sottoposti a misure di drain current transient;

quest'approccio prevede di mantenere il dispositivo in condizione di intrappolamento (V_G, V_D), solitamente in condizione di spento o semi acceso per un intervallo di tempo che varia tra 1 ms e 100 s.

Nel nostro caso la condizione di intrappolamento scelta è: (-5V, 20V).

Successivamente, il dispositivo viene portato in condizione di accensione con basse tensioni e basse potenza ad un punto operativo di (0V, 7V) per permettere l'acquisizione del transitorio di corrente di drain e l'analisi delle costanti di tempo relative ai fenomeni in analisi.

Eseguendo un fitting del transitorio di corrente è possibile estrarre la costante di tempo dei meccanismi di intrappolamento e liberazione di carica.

Ripetendo lo stesso procedimento per temperature differenti ed analizzandone il diagramma di Arrhenius, è possibile ottenere l'energia di attivazione (E_a) e la sezione di cattura (σ_c).

Per l'estrazione di tali parametri, lo stesso procedimento è stato ripetuto a 5 temperature differenti (50°, 60°, 70°, 80° e 90°).

Dagli andamenti del transitorio di corrente e del fitting (figura 3.15) della sua derivata, sono ben visibili due distinti meccanismi di intrappolamento (E1 e E2).

Nei grafici di Arrhenius (Figura 3.16) sono riportate le energie di attivazione dei due meccanismi di intrappolamento (0.58eV e 0.26eV), tenendo conto della resistenza termica, è stata successivamente effettuata una correzione dei dati che ha portato ai due valori finali ($E_{a2}=0.73$ eV, $E_{a1}=0.32$ eV).

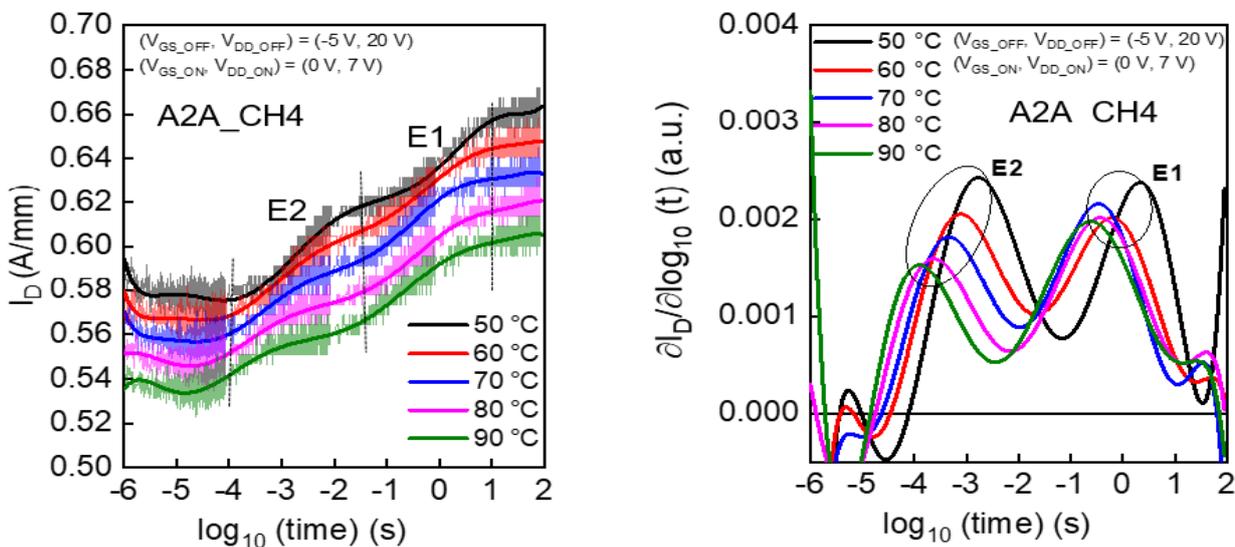


Figura 3.15: Transitorio di corrente di drain & Fitting.

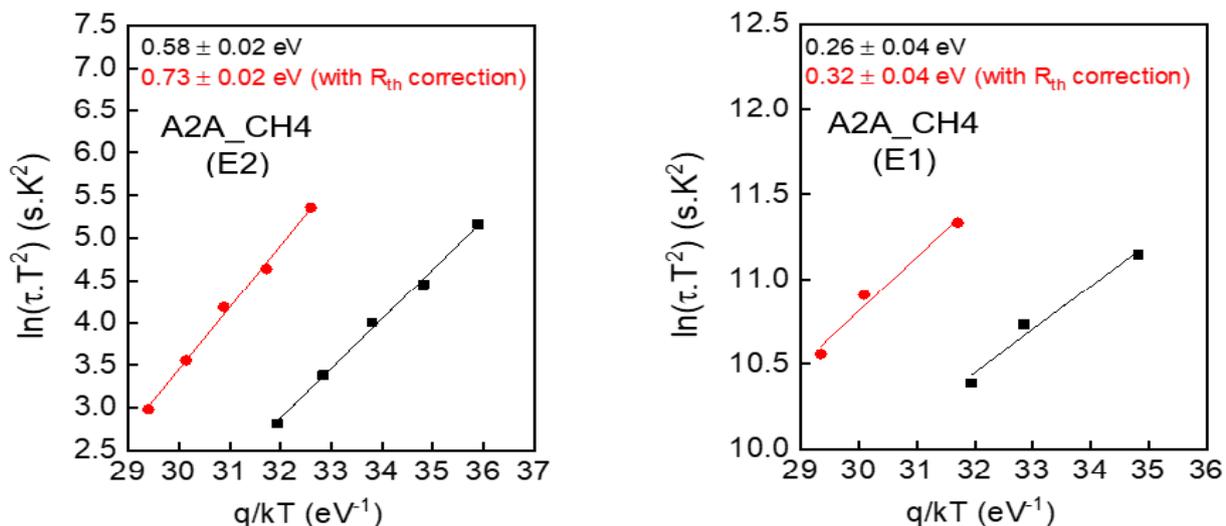


Figura 3.16: Diagrammi di Arrhenius di E2 ed E1 con relativa correzione Rth.

I risultati ottenuti sono stati confrontati con dati di studi presenti in letteratura per cercare di associare le energie di attivazione trovate con meccanismi di intrappolamento definiti e ben localizzati.

Le trappole con energia compresa tra 0.58 e 0.73 eV possono essere dovute a difetti di punto nel GaN o a difetti del punto nativo dell'azoto [9] presenza di impurità esterne o droganti come ferro (Fe) [13], carbonio (C) [10] o altri materiali. Il meccanismo con energia di attivazione inferiore (E1) è invece compatibile con trappole superficiali nello strato AlGaIn [11-8] o con trappole $Fe^{3+}/^{2+}$ [12].

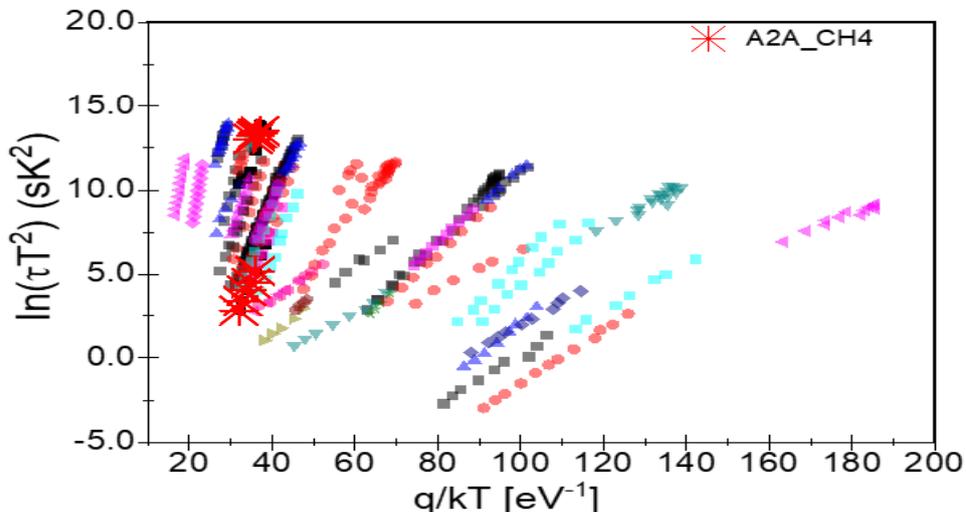


Figura 3.17: Confronto Tra i valori trovati e i valori presenti in letteratura [5].

3.6 Immagini da elettroluminescenza

Le misure di elettroluminescenza danno una stima dei fenomeni di tipo radiativo che possono verificarsi nei dispositivi a causa di fenomeni di ricombinazione dei portatori o causati da hot electrons.

Tale procedura rileva l'emissione di fotoni della regione di interesse (regione attiva, fingers di gate) permettendo così la rilevazione e la localizzazione di fenomeni di hot-

spot e di generazione/ricombinazione e fenomeni di ionizzazione da impatto.

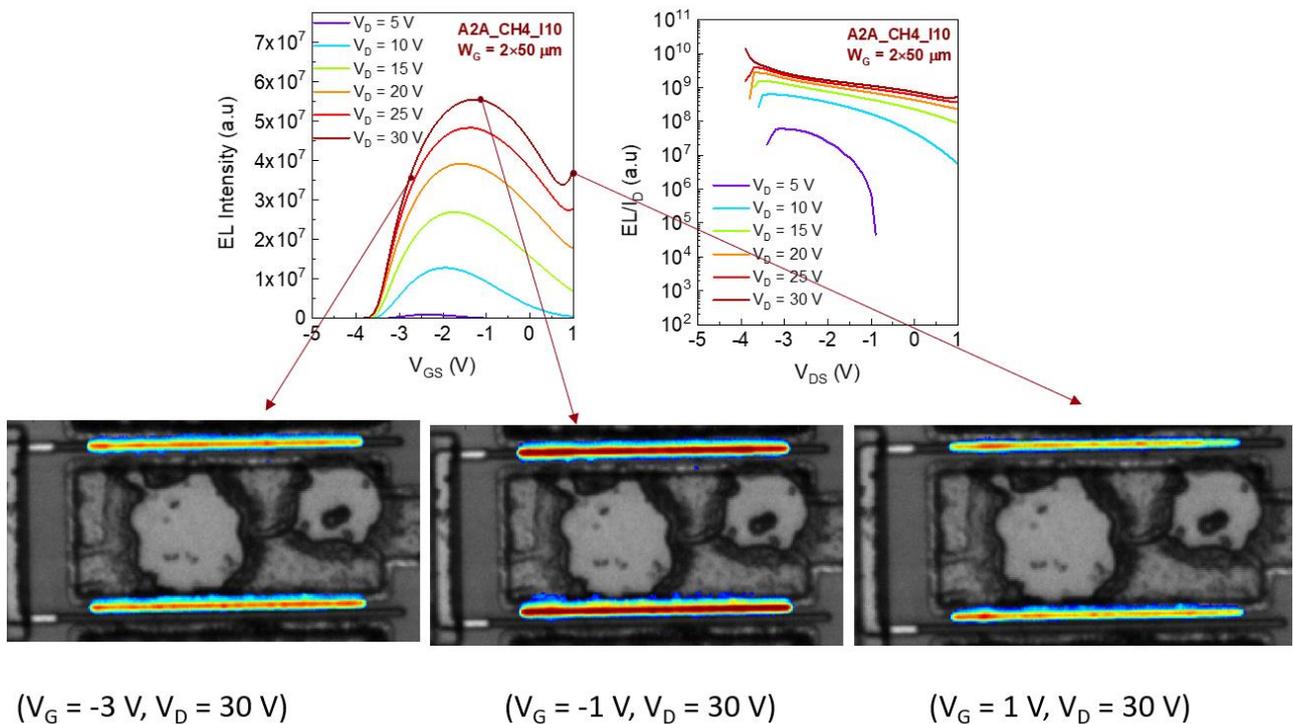


Figura 3.18: Intensità luminosa vs V_{GS} , Rapporto EL/ID vs V_{DS} ,

Immagini E.L. (acquisite al microscopio) dei finger di gate nelle condizioni specificate.

L'idea alla base è quella di misurare l'intensità luminosa per risalire all'entità del fenomeno radiativo. Quando un transistor Hemt viene polarizzato con tensioni gate-drain elevate, si crea, nella suddetta regione un campo elettrico molto intenso. I portatori accelerati dal campo elettrico, urtano contro il reticolo del materiale liberando altri portatori (elettroni e lacune) detti portatori "secondari"; tali portatori secondari vengono separati dal forte campo elettrico e indirizzati verso la regione di gate-source (lacune) o verso quella di drain (elettroni), una parte si ricombina con gli elettroni nel canale ed una parte urta contro il reticolo, perdendo energia, tale fenomeno di scattering permette ai portatori di dissipare l'energia in eccesso attraverso l'emissione di fotoni. L'entità della ionizzazione da impatto ha una forte dipendenza da due fattori prevalentemente: la densità di portatori presenti nel canale e l'intensità del campo elettrico che fornisce loro l'energia in eccesso.

I risultati delle misure E.L. vengono riportati in grafici in cui si valuta l'andamento dell'intensità luminosa in funzione della tensione V_{GS} mantenendo fissa la tensione al drain (V_D); l'andamento tipico è quello di una campana simile a quanto già si trova in letteratura [16][17].

Gli andamenti sopra riportati confermano quanto noto dalla teoria, in condizione di off-state ($V_G < -3.5$ V) non si ha emissione di luce indipendentemente dalla tensione al drain. Aumentando V_G iniziano ad entrare nel canale elettroni sempre più energetici, aumentando ulteriormente V_G , gli effetti di auto riscaldamento (maggiori vibrazioni reticolari che portano alla riduzione del percorso libero medio dell'elettrone) e la riduzione della tensione (e quindi anche del campo elettrico) gate-drain portano ad un

calo del segnale luminoso emesso [2].

Il picco di emissione massimo si ha per $-2V < V_G < -1 V$, verrà scelto quindi questo valore per la polarizzazione del gate durante l'applicazione dello step stress in tensione al drain in questo modo è possibile studiare la degradazione derivante da questo fenomeno.

La campana presenta un'emissione di luce uniforme il cui picco è rappresentativo dell'effetto massimo dovuto agli hot-electron, anche osservando le foto dei finger sembra esserci buona distribuzione di corrente lungo il finger stesso, sia tra i due finger del dispositivo.

Capitolo 4: Test di vita accelerati

In questo capitolo verranno discussi i test di vita accelerati effettuati sui dispositivi; partendo dagli stress a breve termine e passando poi a quelli a lungo termine.

Il tasso di guasto nei componenti elettronici è compreso tra $10^{-10}h^{-1}$ e $10^{-7}h^{-1}$, condurre un test di vista in condizioni nominali richiederebbe quindi troppo tempo e denaro.

A questo proposito, i test di vita accelerati sono delle prove nelle quali l'intensità della sollecitazione applicata viene scelta in modo da eccedere le sollecitazioni presenti in regime di funzionamento nominale; in questo modo si riduce di molto il tempo necessario a osservare l'effetto della sollecitazione sul dispositivo.

Due requisiti importanti che deve avere una prova accelerata sono:

- non deve alterare il meccanismo di guasto;
- non deve accelerare altri meccanismi di guasto.

Nella progettazione di una prova accelerata sono fondamentali alcuni aspetti come: la selezione dei fattori di stress, l'intensità e la durata dello stress, la scelta e la numerosità del campione, la definizione di un criterio di guasto e la scelta di un modello di accelerazione.

Nelle prove su componenti (presi singolarmente) il tipo di guasto e lo stress che accelera tale meccanismo vengono generalmente scelti in base all'esperienza, con l'obiettivo di comprendere il fenomeno dal punto di vista fisico.

Nelle prove accelerate su sistemi invece generalmente si combinano diversi fattori di stress, il limite è posto dalla robustezza del componente più debole, ma è possibile ricavare solo modelli empirici.

I fattori di stress possono essere ambientali (temperatura, umidità), elettrici (tensione, corrente) e meccanici (vibrazioni, urti); ed in generale un meccanismo di guasto può essere accelerato da uno, due o più fattori di stress.

I fattori ambientali ed in particolare l'umidità è generalmente responsabile di corrosione chimica, corrosione elettrochimica (o galvanica), cortocircuiti e rigonfiamenti dei package.

Anche lo stress termico è spesso tra i fattori che attivano meccanismi di degrado o fallimento nei dispositivi elettronici; per questo motivo l'aumento di temperatura è un metodo molto comune di realizzare una prova accelerata.

I fattori elettrici infine vengono utilizzati per accelerare meccanismi come il breakdown di dielettrici (campo elettrico e temperatura) e per testare la tenuta dei contatti (corrente, tensione e temperatura).

Un'ultima distinzione tra gli stress riguarda la durata di applicazione degli stessi, da questo punto di vista possiamo distinguere tra stress a breve termine e stress a lungo termine.

4.1 Short term stress:

Questa tipologia di test viene utilizzata prevalentemente per identificare rapidamente alcuni possibili meccanismi di guasto potenzialmente pericolosi per il funzionamento

dei dispositivi.

Nel percorso di valutazione dell'affidabilità dei dispositivi in esame sono stati eseguiti due tipo di stress a breve termine: caratterizzazione DC dopo 24 ore di stress applicato e step stress in tensione al drain.

Vengono generalmente realizzati in tre condizioni di polarizzazione dette OFF-state, semi-ON state e ON-state.

Lo stato OFF corrisponde ad una condizione in cui il gate è polarizzato con una tensione inferiore rispetto alla tensione di soglia, ovvero il canale 2deg non è formato mentre il drain è sottoposto a valori di tensione elevati; in questa situazione i campi elettrici nella regione gate-drain sono molto intensi. Questo tipo di stress accresce fenomeni come la degradazione dei bordi del contatto di gate con conseguente crescita della corrente di leakage di gate ed effetti di intrappolamento i quali possono portare a variazioni della tensione di soglia V_{TH} .

Aumentando la tensione di gate ed avvicinandosi al valore di pinch-off si entra nella regione semi-ON, si combinano densità di corrente moderate nel canale e campi elettrici abbastanza elevati, in questa situazione si favoriscono fenomeni di degradazione come gli hot-electrons, i quali sono elettroni fortemente energetici che perdono la loro energia in eccesso mediante collisioni con il reticolo cristallino del materiale portando alla generazione di difetti oppure vengono intrappolati nello stato di passivazione.

Infine, portando la tensione di gate oltre il suo valore di pinch-off si è in ON-state, questa condizione è caratterizzata da un elevata densità di corrente nel canale (regione di saturazione) e campi elettrici "deboli" in quanto la differenza di tensione tra drain e gate è minore rispetto alle due condizioni sopra citate.

È stato dimostrato ad oggi che questa condizione di funzionamento produce una debole degradazione dei parametri elettrici dei dispositivi.

4.1.1 Step Stress test:

Lo step stress in tensione al drain è stato effettuato a temperatura ambiente, lo scopo è quello di valutare quali sono le massime tensioni operative al drain in condizioni di off-state, semi-on state e on state.

In questo modo è possibile estrarre informazioni riguardanti i meccanismi fisici ed i fattori che determinano le prestazioni dei dispositivi come: degradazione elettro termica dovuta all'elevata dissipazione di potenza ed alla temperatura di giunzione, effetti di elettromigrazione associati alla elevata densità di corrente, rottura di isolanti e semiconduttori (fenomeno tempo dipendente) dovuta all'intensità del campo elettrico, effetto hot-electrons ed effetto valanga.

Al fine di determinare la massima tensione applicabile al drain, sono stati applicati 3 step stress distruttivi (uno per ogni condizione di funzionamento).

Esecuzione della misura:

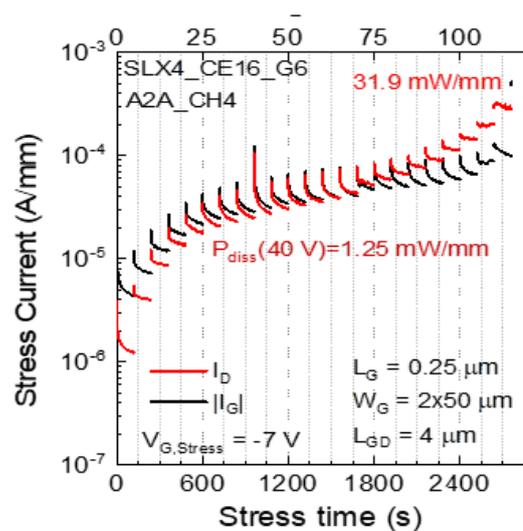
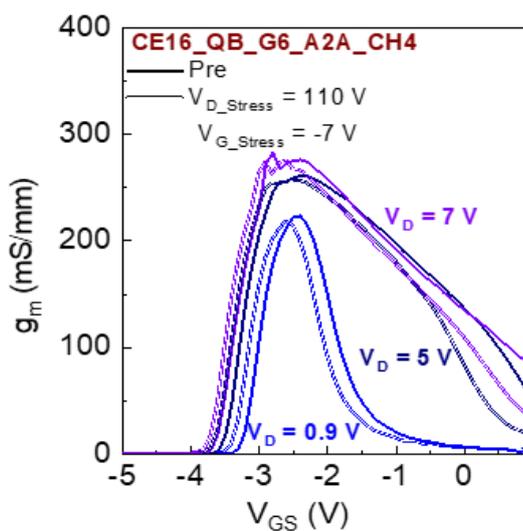
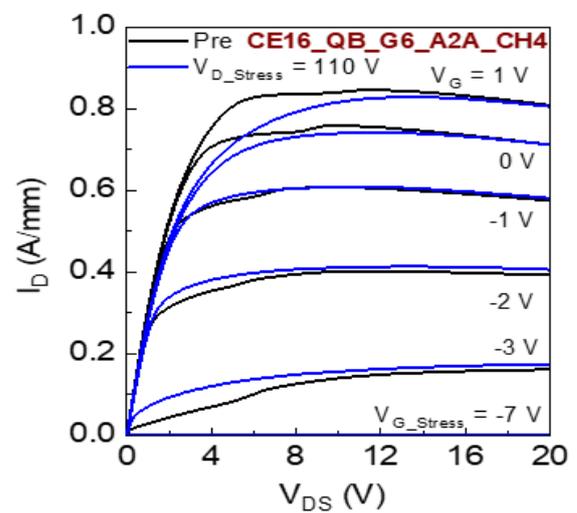
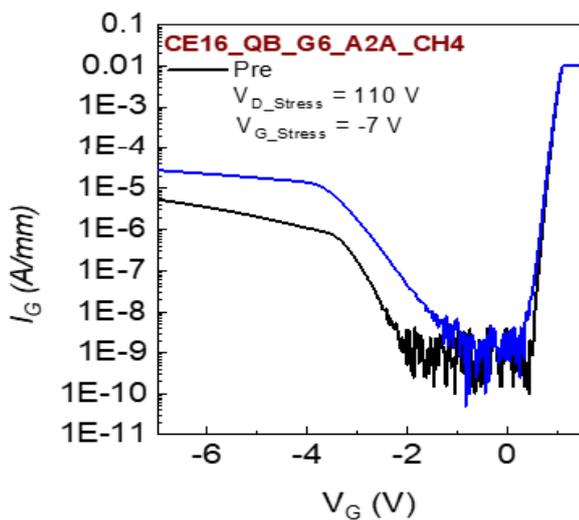
- Tensione di gate V_G costante;
- Tensione di drain che aumenta a passi di 5 V fino a tensione di rottura;
- Ogni tensione dello stress viene mantenuta per 2 minuti;

- 5 minuti di rilassamento dopo lo stress, prima che venga effettuata la caratterizzazione DC;
- Misure DC eseguite prima dell'inizio dello step stress e dopo ogni step di tensione sul drain;
- Immagini di elettroluminescenza rilevate ad ogni step in tensione.

Condizione off-state: $V_G = -7$ V, V_D da 5 V a V_{BD} (tensione di breakdown)

In queste condizioni il dispositivo ha mostrato un breakdown improvviso alla tensione $V_{DS} = 115$ V.

Come si può osservare dai risultati riportati, durante lo step stress il leakage di gate è aumentato di un fattore pari a 5 rispetto al suo valore iniziale, I_{DSS} presenta un calo di circa il 10% a $V_G = 1$ V e $V_G = 0$ V mentre è aumentata per $V_G < 0$ V, tale aspetto può essere attribuito ad una piccola variazione verso valori negativi della tensione di soglia V_{TH} ; infine la R_{ON} , presenta anch'essa un incremento di circa il 10%.



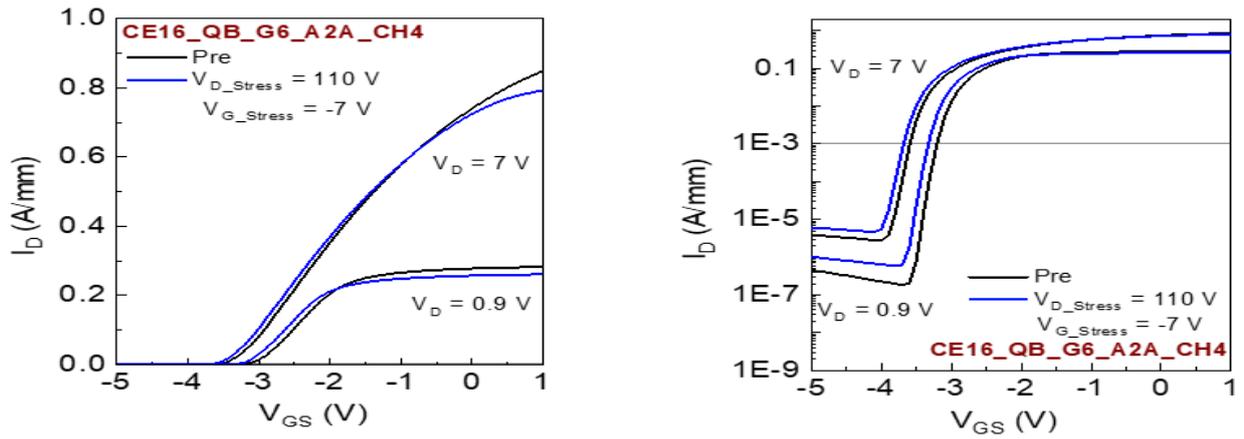
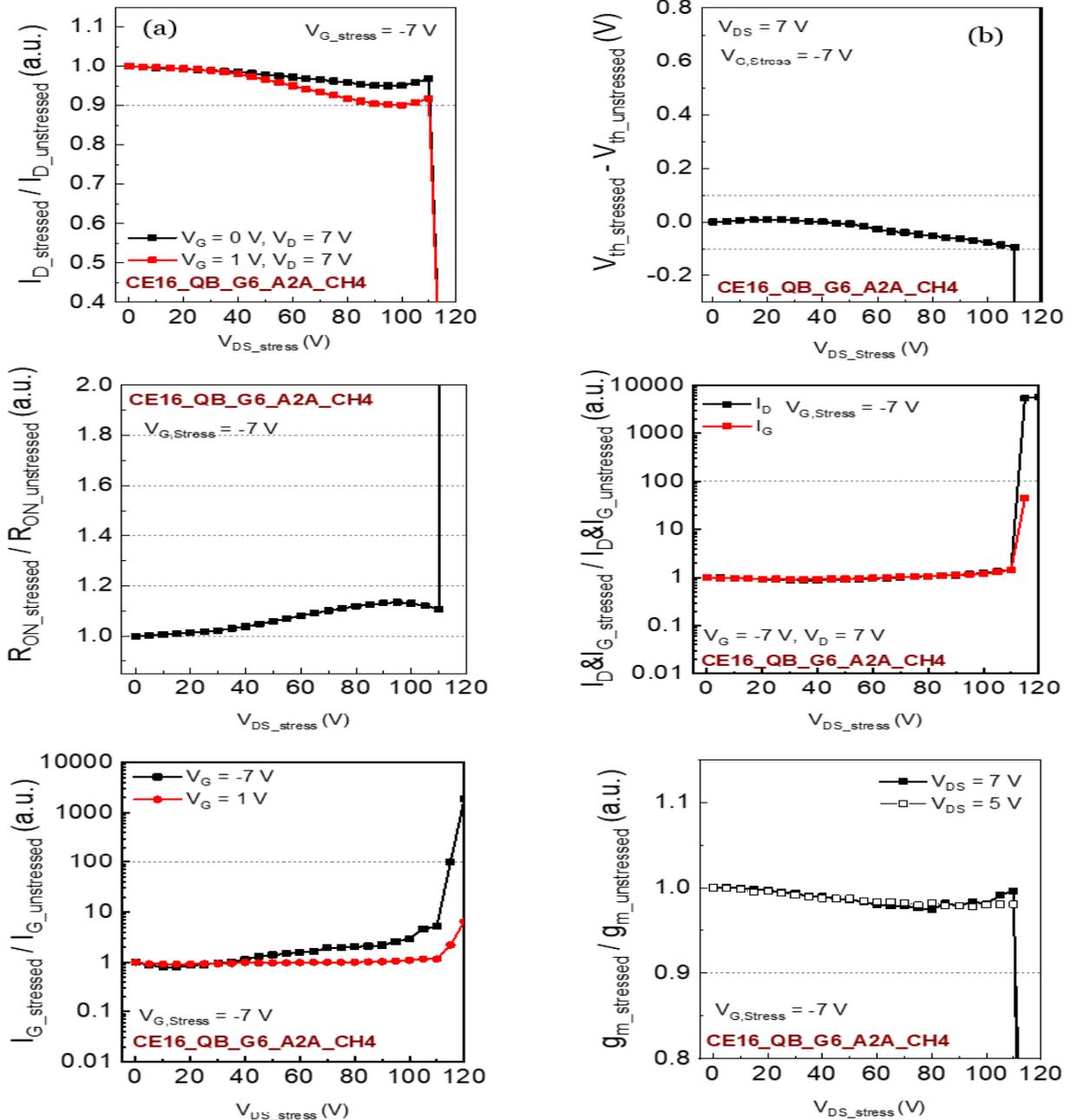


Figura 3.1: Parametri DC rilevati in condizione di off-state prima dell'inizio dello step stress e prima dello step catastrofico ($V_{DS}=115V$) e andamenti delle correnti di gate e drain vs tempo di stress.



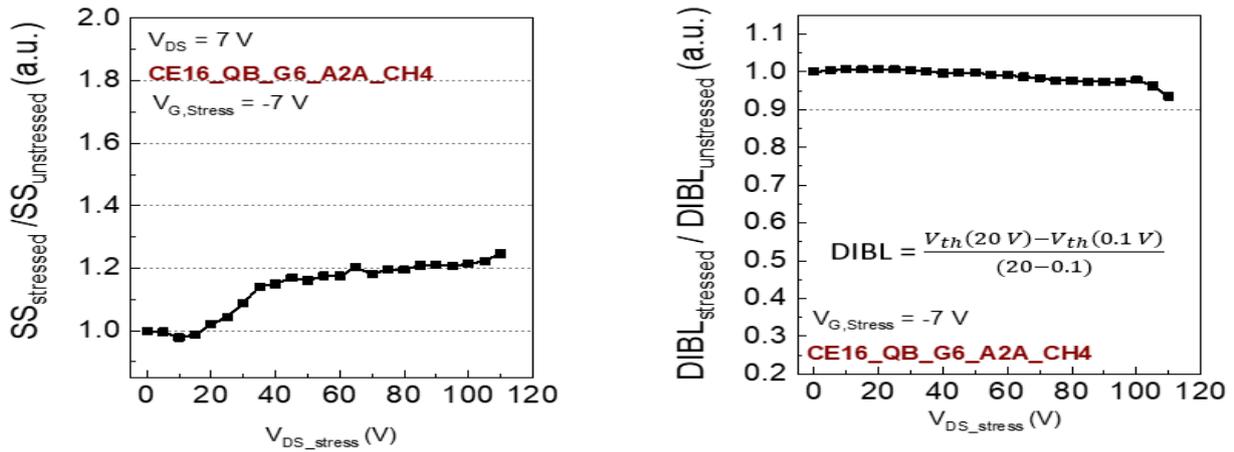


Figura 4.2: Parametri DC (OFF-state) normalizzati.

Condizione semi-on state: $V_G = -2$ V, V_D da 5 V a V_{BD} (tensione di breakdown).

La condizione $V_G = -2$ V corrisponde alla situazione in cui è stato osservato il massimo del fenomeno dovuto agli hot-electrons, il dispositivo in questa situazione ha mostrato una tensione di rottura pari a $V_{DS} = 75$ V.

Contrariamente a quanto osservato in off-state, il leakage di gate è diminuito di un fattore pari a 5, la I_{DSS} subisce un calo di circa il 10% alla tensione di stress $V_D = 50$ V, nella stessa zona RON mostra un incremento del 10%. Il picco di transconduttanza subisce anch'esso un calo di circa il 9%; la V_{TH} mostra invece un leggero (0.1 V) spostamento verso valori positivi, tale shift si presenta per $V_{DS} \geq 40$ V.

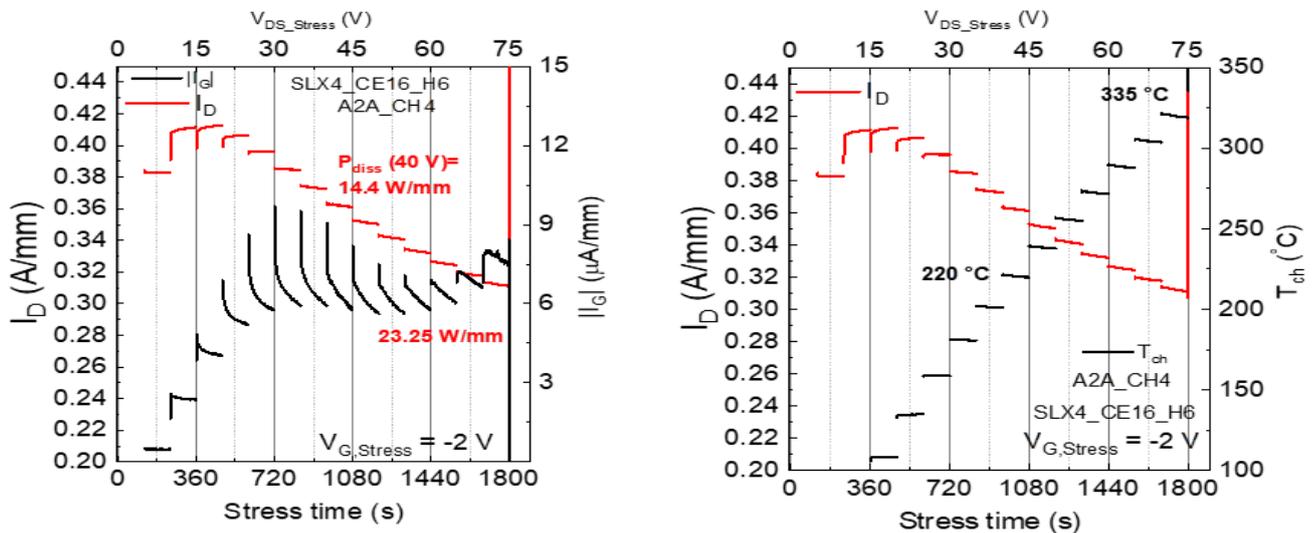


Figura 4.3: Correnti di drain e di gate vs tempo di stress & temperatura di canale (ottenuta con correzione RTH) vs tempo di stress (semi-ON).

Riportiamo ora i parametri DC (normalizzati) in funzione della tensione di stress (V_{DS}).

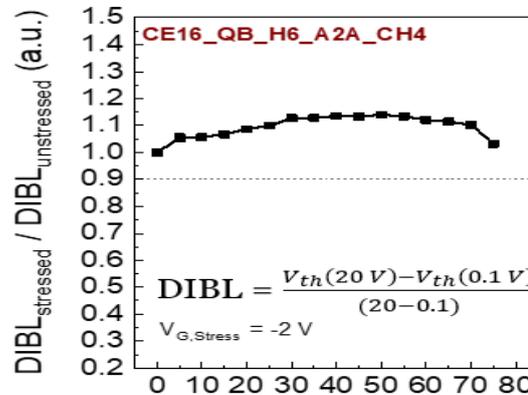
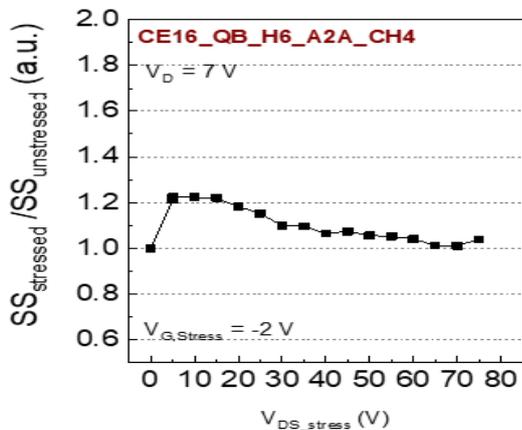
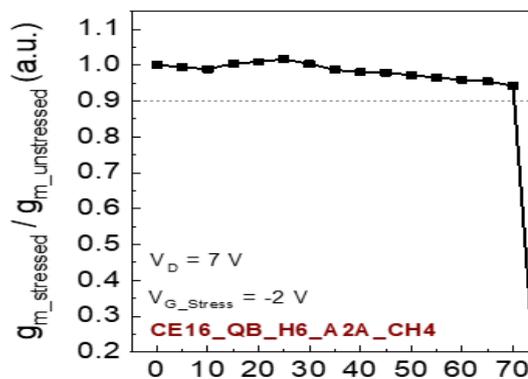
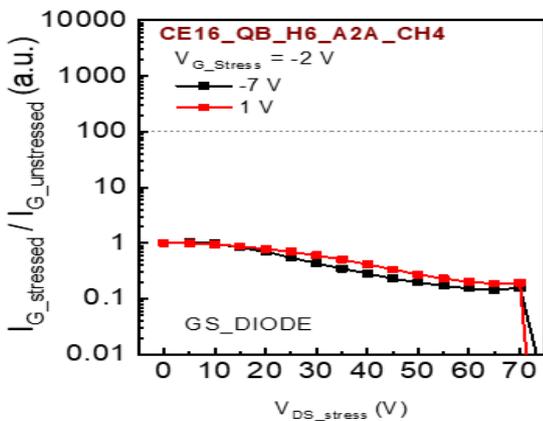
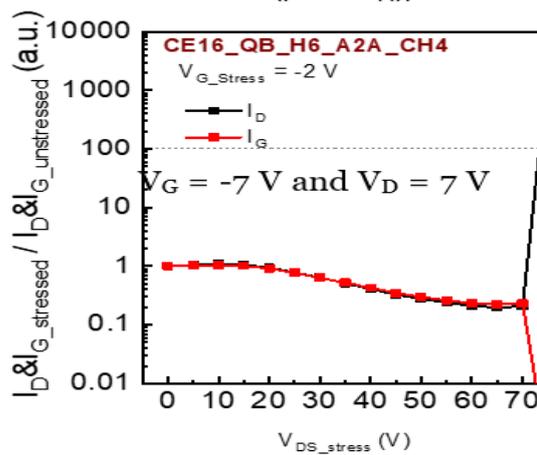
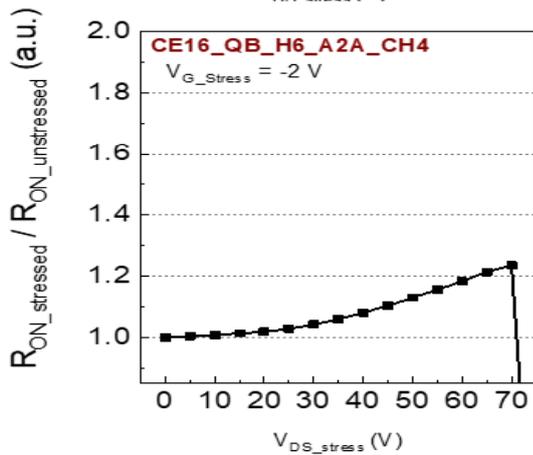
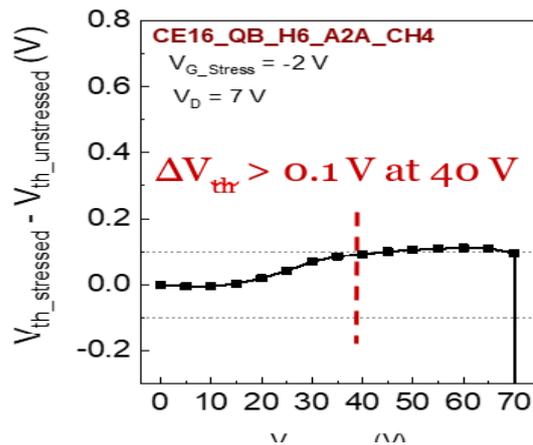
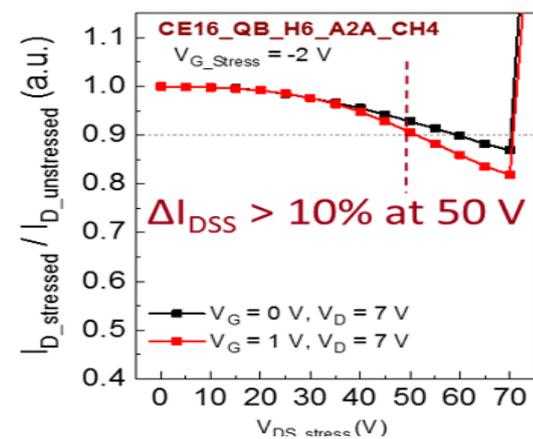


Figura 4.4: Parametri DC normalizzati in funzione di V_{DS} .

Condizione on-state: $V_G = 0\text{ V}$, V_D da 5 V a V_{BD} (tensione di breakdown)

In condizione di acceso, il dispositivo va in breakdown per $V_{DS} = 65\text{ V}$, tale condizione si manifesta come un incremento incontrollato della corrente I_D e della temperatura di canale T_{CH} .

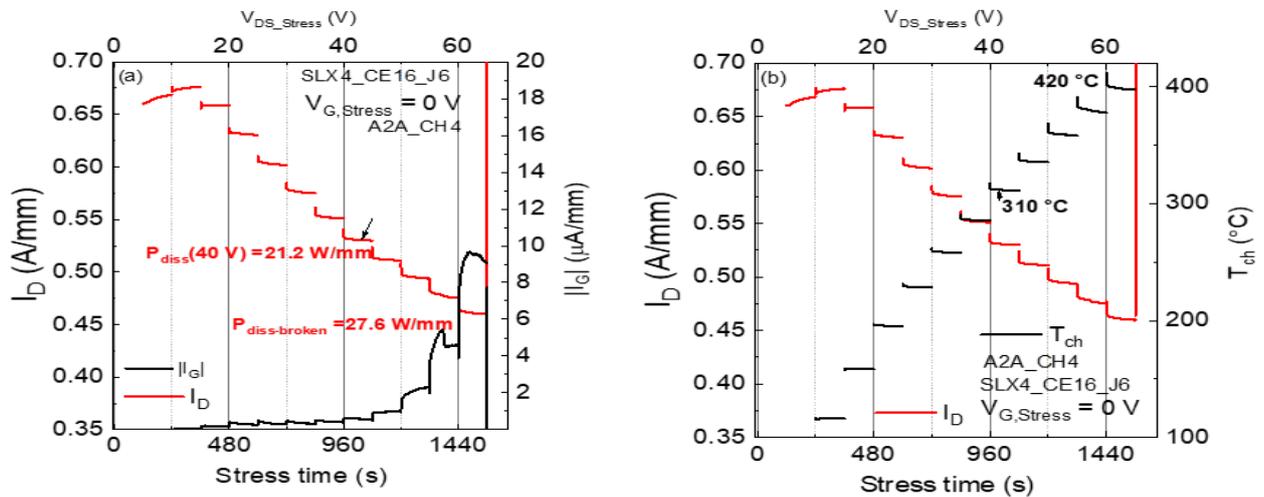
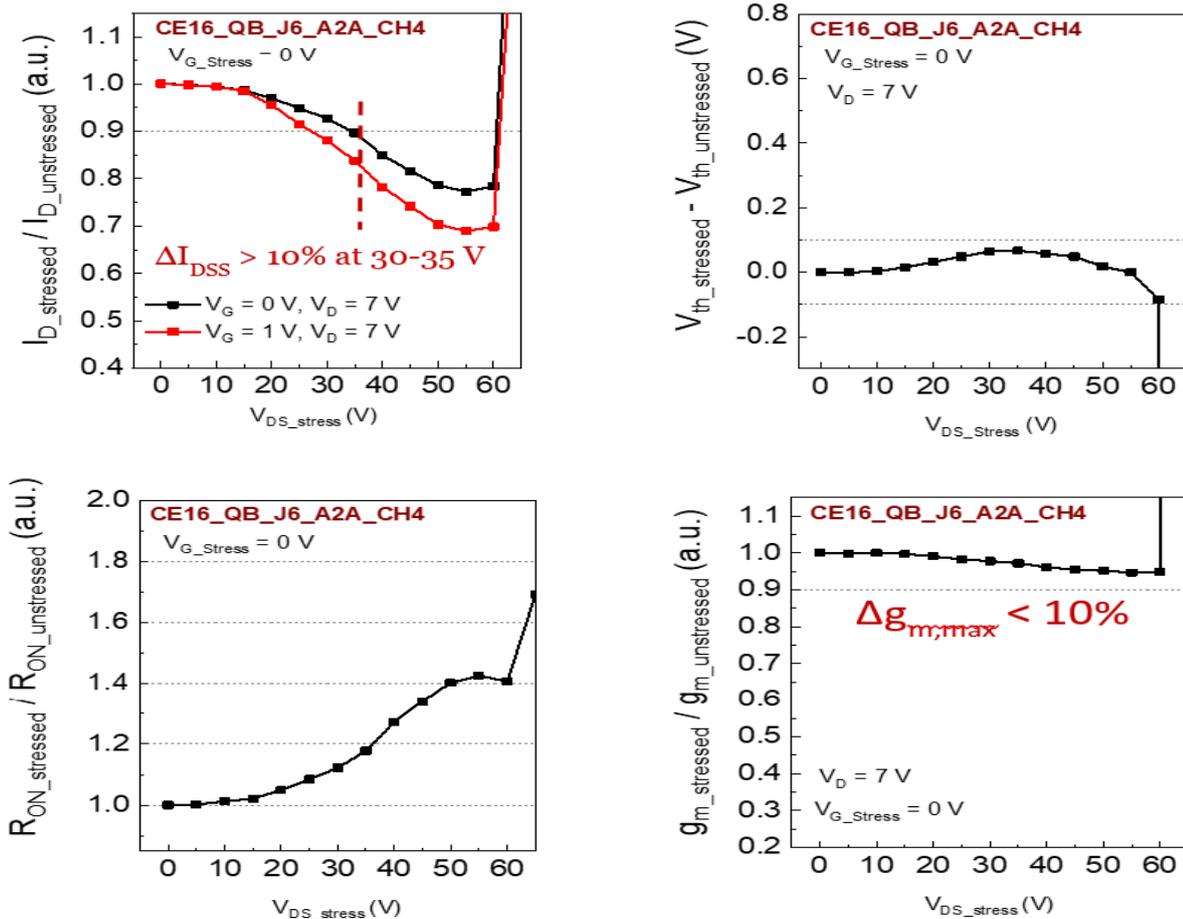


Figura 4.4: Correnti di drain e di gate vs tempo di stress & temperatura di canale (ottenuta con correzione RTH) vs tempo di stress (ON).



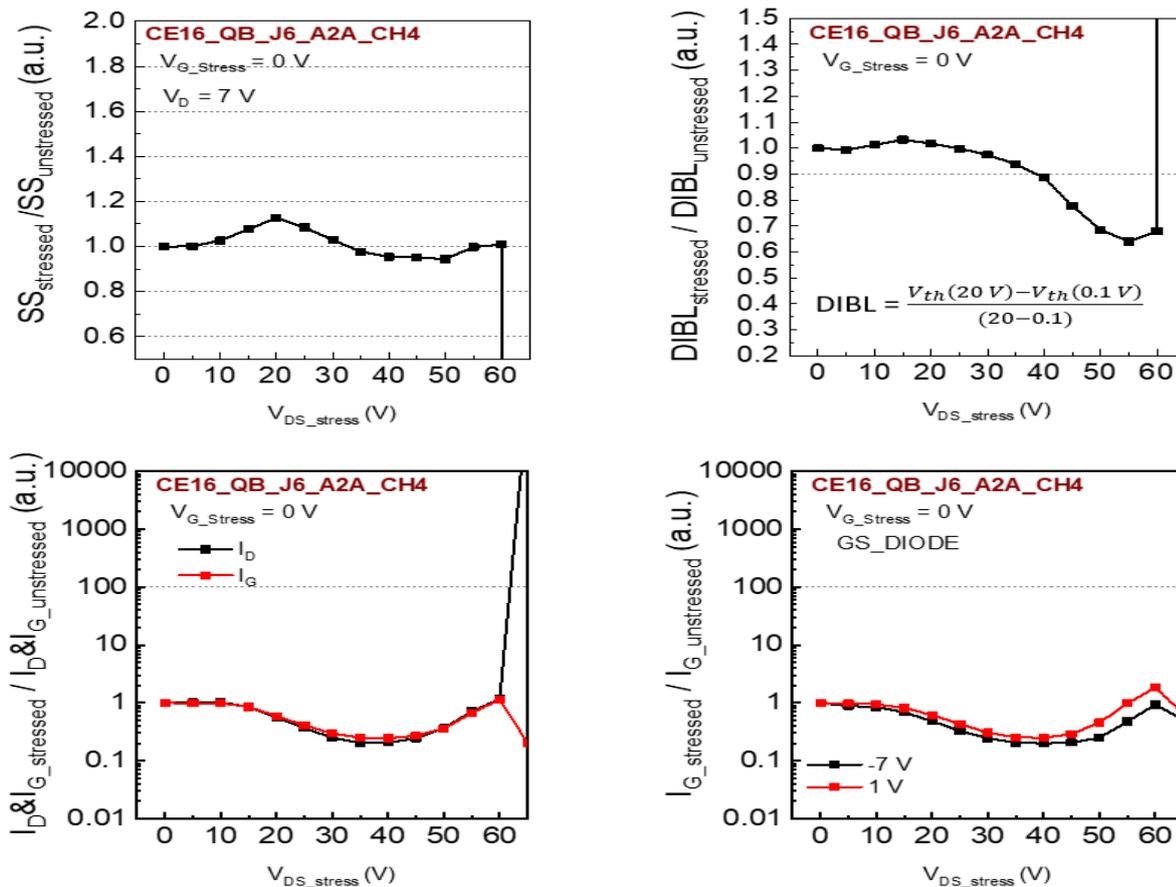


Figura 4.5: Parametri DC normalizzati in funzione di V_{DS}.

Confrontando i parametri DC riportati prima e dopo lo stress a V_{DS}=60 V, si nota un calo graduale della corrente I_{DSS} quantificabile con circa il 10% ad una tensione di stress prossima ai 35V (il crollo aumenta ulteriormente spostandoci verso la tensione di breakdown). La R_{ON} mostra una crescita graduale (compatibile con il calo di I_{DSS}), mentre la transconduttanza presenta una buona stabilità su tutto il range di V_{DS}. Due parametri mostrano invece comportamenti differenti (la tensione di soglia V_{TH} e la corrente di leakage di gate I_G) prima e dopo lo step stress a V_{DS} = 30/35 V, dove la potenza dissipata è di 20 W/mm e la temperatura di canale è di circa 300°C. Inizialmente la tensione di soglia V_{TH} presenta un leggero aumento (0.08V) mentre la corrente di leakage di gate I_G mostra un calo, quest'andamento mostra la stessa degradazione che avveniva in condizione semi-on. Successivamente, quando la tensione di stress supera i 35 V, la potenza dissipata eccede i 20 W/mm e la temperatura sale oltre i 300°C; in questa condizione si presenta un calo della V_{TH} ed un aumento del leakage di gate.

Confrontiamo ora i risultati dei 3 step stress:

complessivamente, la transconduttanza massima g_{mMax} non mostra variazioni significative nelle varie condizioni. I parametri che mostrano degradazione maggiore sono la corrente di drain I_{DSS} (calo graduale della corrente), la resistenza R_{ON} mostra un incremento graduale (compatibile con il calo di I_{DSS}).

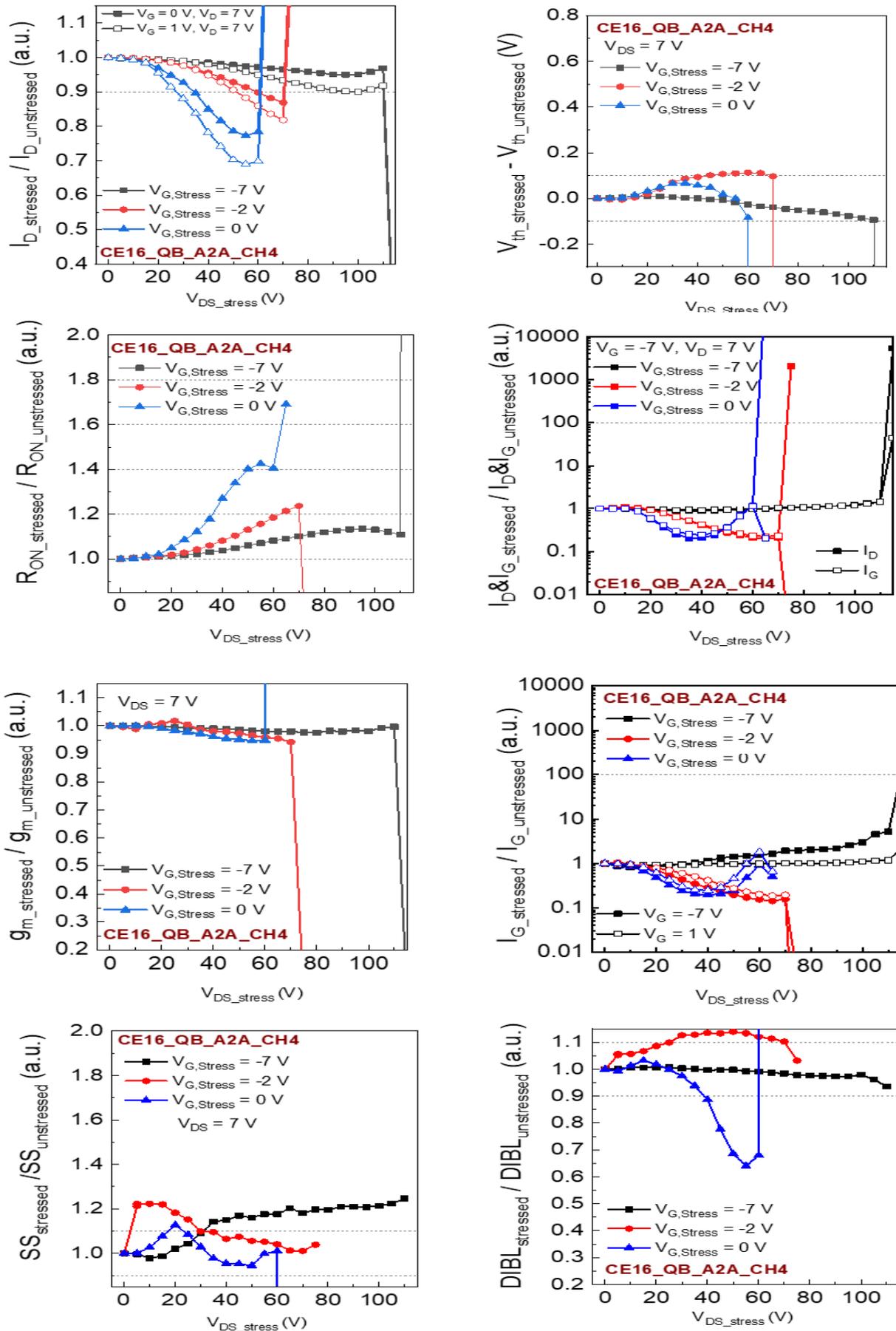


Figura 4.6: Confronto tra le variazioni dei parametri DC ottenuti mediante Step Stress nelle

condizioni OFF, semi-ON e ON.

La tensione di soglia V_{TH} mostra un leggero incremento ed il leakage di gate mostra un calo (in condizione semi-ON), diminuzione della V_{TH} ed aumento del leakage di gate nelle condizioni OFF e ON. Considerando il calo delle prestazioni evidenti nella caratterizzazione DC e avendo scelto come criterio di degradazione il 10% di calo di I_{DSS} e g_{mMax} e $\pm 0.1V$ come variazione su V_{TH} il confronto tra gli step stress è riassunto nella seguente tabella.

Quindi dall'analisi dei risultati ottenuti dagli step stress effettuati sono state ricavate le tensioni critiche di drain nelle tre regioni di funzionamento del dispositivo.

	step stress			
	-10% I_{DSS}	-10% $g_{m,max}$	$\pm 0.1 V \Delta V_{th}$	$\times 100 I_{GS,rev}$
	$V_G = 0 V, V_D = 7 V$	$V_D = 7 V$	$V_D = 7 V$	$V_G = -7 V$
off-state	115	115	110	115
semi on-state	60	75	40	75
on-state	35	65	~35	65

Tabella 4.1: Confronto tra le tensioni critiche ottenute tramite step stress.

In condizione di OFF state ($V_G = -7V$) la tensione di soglia subisce uno spostamento verso valori negativi trascurabile mentre non sono visibili altre degradazioni.

In condizione semi-ON ($V_G = -2V$) si può osservare un calo della corrente di leakage di gate (I_{Gleak}), un calo della transconduttanza per valori elevati di V_{DS} , un aumento della RON ed un crollo della corrente di drain possibilmente dovuto ad intrappolamento nella regione gate-drain.

In condizione ON ($V_G = 0V$) la degradazione maggiore avviene sulla transconduttanza ed un leggero effetto è visibile sulla tensione di soglia; tali effetti potrebbero essere dovuti all'intrappolamento degli hot electrons, all'ossidazione elettrochimica accelerata termicamente della barriera AlGaN o alla creazione di difetti al confine del gate.

4.1.2 24 ore DC Stress Test:

Questa tipologia di prova fa parte dei test di vita accelerati, viene realizzato mantenendo il dispositivo in data condizione di polarizzazione per una durata di 24 ore; al termine dello stress viene effettuata nuovamente la caratterizzazione DC e si confrontano i parametri con i valori mostrati prima dell'applicazione dello stress stesso. Grazie ai risultati ottenuti da step stress, siamo ora in grado di scegliere delle tensioni non distruttive (non provocano breakdown) da applicare al drain per realizzare stress a tensione costante. Riportiamo ora le grandezze definite per ciascuna prova dei test DC 24 ore, con le condizioni di misura per ciascun dispositivo testato. È visibile anche un

leggero spostamento della tensione di soglia V_{TH} verso valori positivi.

Test DC 24 ore con polarizzazione su curva a potenza costante $P_{diss}=23 \text{ W/mm}$:

- un campione in condizione ON ($V_G=0\text{V}$, $V_D=40\text{V}$, $T_{j,ini}=349^\circ\text{C}$);
- un campione in condizione ON ($V_G=1\text{V}$, $V_D=30\text{V}$, $T_{j,ini}=330^\circ\text{C}$);
- un campione in condizione semi-ON ($V_G=-2\text{V}$, $V_D=50\text{V}$, $T_{j,ini}=261^\circ\text{C}$);
- un campione in condizione semi-ON ($V_G=-2\text{V}$, $V_D=60\text{V}$, $T_{j,ini}=261^\circ\text{C}$);

Test DC 24 ore con dispositivi polarizzati lungo una retta di carico ($R=50\Omega*\text{mm}$):

- un campione in condizione OFF ($V_G=-7\text{V}$, $V_D=70\text{V}$, $T_{j,ini}=349^\circ\text{C}$);
- un campione in condizione semi-ON ($V_G=-1\text{V}$, $V_D=40\text{V}$, $T_{j,ini}=310^\circ\text{C}$);
- un campione in condizione ON ($V_G=1\text{V}$, $V_D=30\text{V}$, $T_{j,ini}=330^\circ\text{C}$);
- un campione in condizione OFF ($V_G=-7\text{V}$, $V_D=80\text{V}$, $T_{j,ini}=261^\circ\text{C}$);

Test DC 24 ore con $V_{DS}=40 \text{ V}$ costante e V_G variabile:

- un campione in condizione OFF ($V_G=-7\text{V}$, $V_D=40\text{V}$);
- un campione in condizione semi-ON ($V_G=-2\text{V}$, $V_D=40\text{V}$, $T_{j,ini}=233^\circ\text{C}$);
- un campione in condizione ON ($V_G=-1\text{V}$, $V_D=40\text{V}$, $T_{j,ini}=310^\circ\text{C}$);
- un campione in condizione ON ($V_G=0\text{V}$, $V_D=40\text{V}$, $T_{j,ini}=349^\circ\text{C}$);

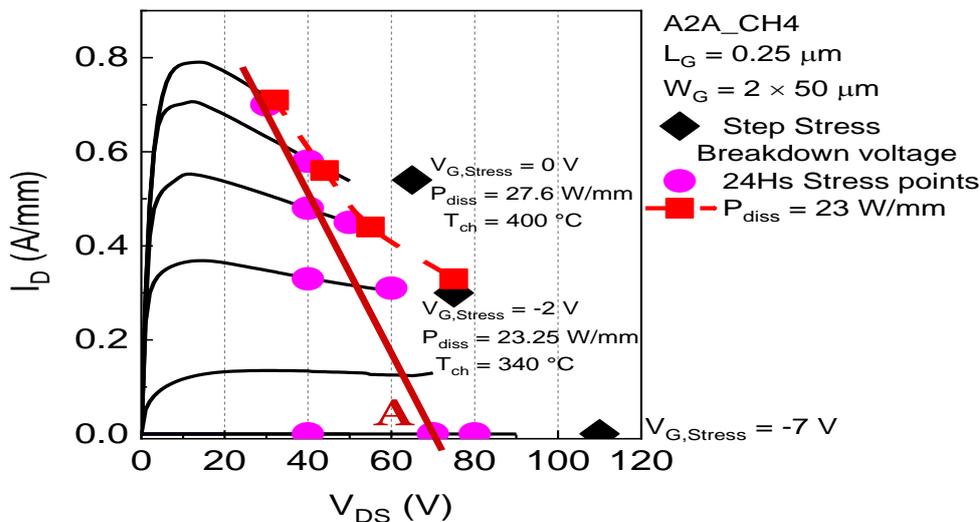


Figura 4.8: Punti operativi DC confrontati con le tensioni critiche ricavate dagli step stress.

DC 24 ore: $V_{DS}=40\text{V}=\text{COST}$

Condizione OFF ($V_G=-7\text{V}$, $V_D=40\text{V}$):

durante lo stress il dispositivo è rimasto polarizzato con tensione al gate $V_G=-7 \text{ V}$ e $V_D=40 \text{ V}$, la caratterizzazione DC è stata eseguita con la seguente cadenza 1-2-4-8-16-24 ore. Al termine delle 24 ore di stress, il dispositivo è stato lasciato a riposo a temperatura ambiente ($\sim 25^\circ\text{C}$) per 30 ore prima di eseguire nuovamente la caratterizzazione DC. Nei grafici sono riportati gli andamenti delle grandezze estrapolate prima dello stress (linea nera), post 24 ore di stress (linea rossa) e dopo 30 ore a riposo (linea blu).

Il dispositivo mostra un calo di I_{DSS} di oltre il 10% dopo le 24 ore di stress ed un aumento di RON che supera anch'esso il 10%, ciò nonostante, la transconduttanza g_m e la tensione di soglia V_{TH} mostrano variazioni trascurabili.

In ogni caso un risultato importante è che dopo le 30 ore di riposo a temperatura ambiente i parametri degradati segnalano un recupero del 99% rispetto al valore pre-stress.

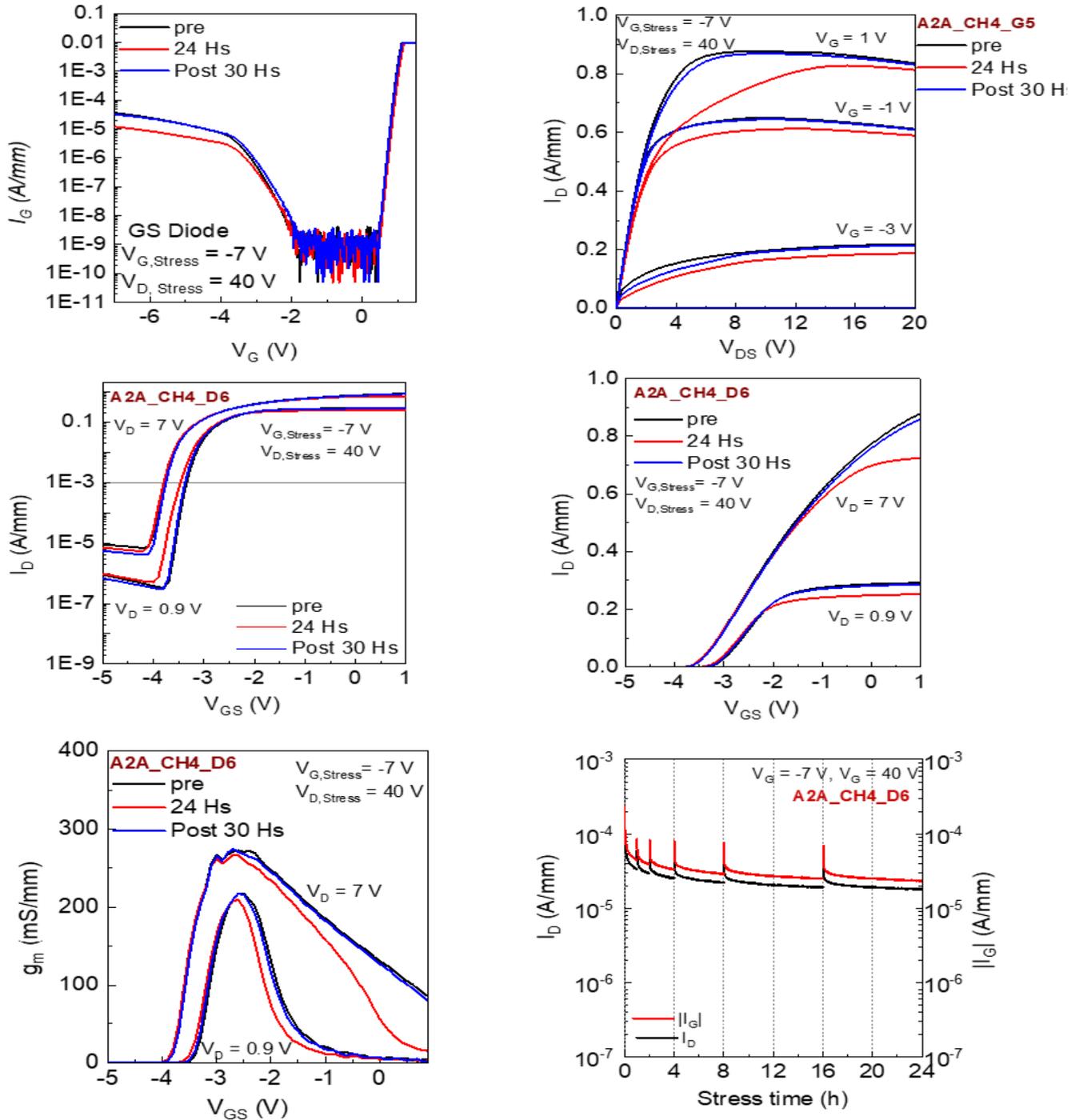


Figura 4.9: Confronto parametri DC pre-stress, post-stress e post 30 ore di riposo.

I parametri DC normalizzati in funzione del tempo di stress sono mostrati in figura 4.10.

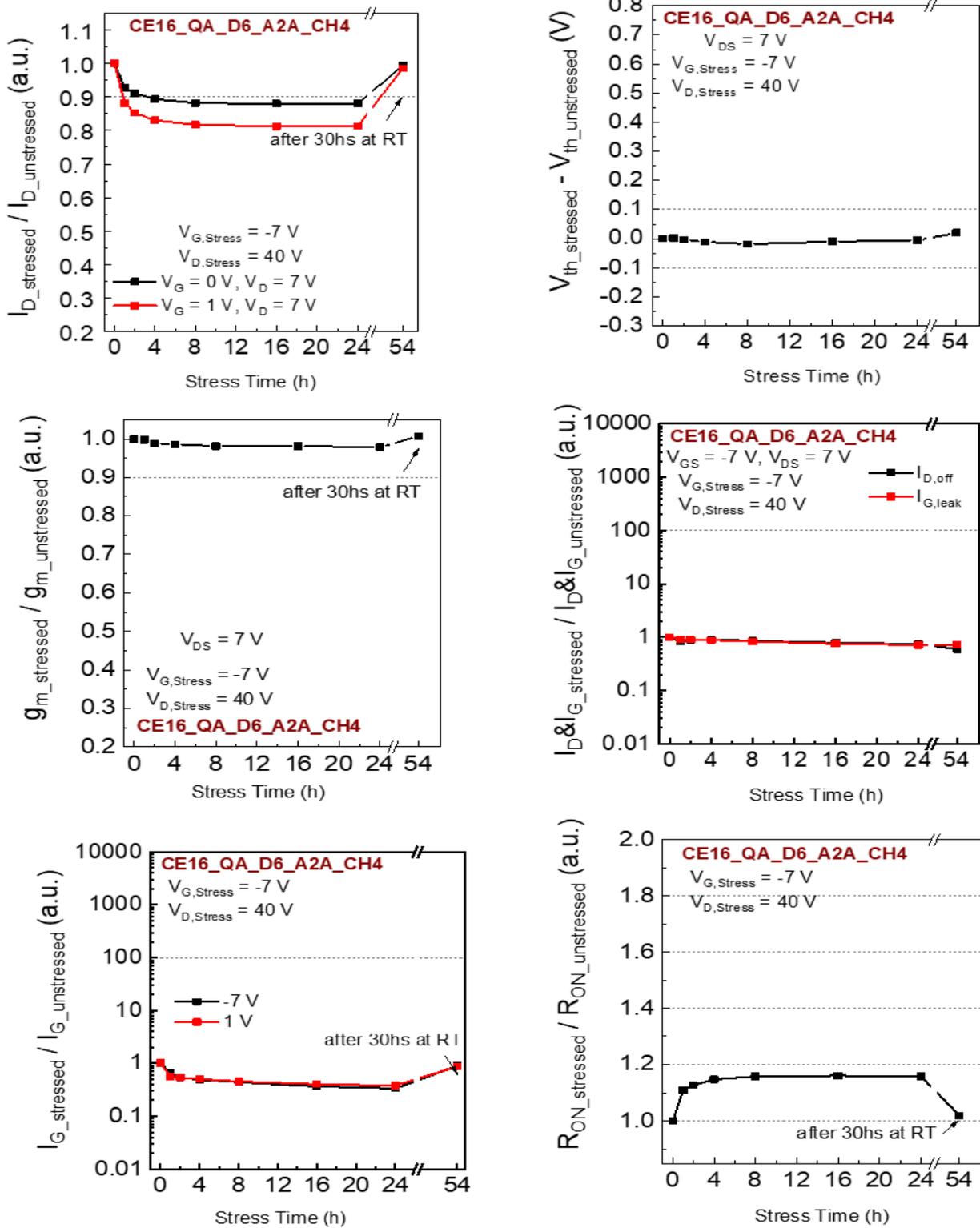


Figura 4.10: Parametri DC normalizzati vs tempo di stress.

L'andamento delle curve normalizzate mostra che la degradazione avviene prevalentemente nelle prime 4 ore di stress, per poi rimanere quasi stabile fino a fine stress; l'ultimo punto presente sulle curve rappresenta il valore calcolato dopo le 30 ore di riposo e mostra come i parametri tornano ai loro valori iniziali.

Per comprendere meglio gli effetti di tale stress sulla degradazione dei dispositivi, un altro campione è stato sottoposto alla stessa tipologia di prova accelerata.

I risultati sono mostrati in figura 4.11.

Il dispositivo in questione mostra maggiori variazioni di g_m e V_{TH} , le quali rimangono però abbondantemente entro il 10% di scostamento rispetto al loro valore iniziale.

La corrente di saturazione I_{DSS} mostra un crollo superiore al 15% dopo due ore di stress, la resistenza R_{ON} aumenta del 20 % nello stesso lasso temporale.

Anche in questo caso è evidente come la degradazione si concentri nelle prime ore di stress e come per il dispositivo precedente si ha un recupero quasi totale delle prestazioni dopo 30 ore di riposo a temperatura ambiente.

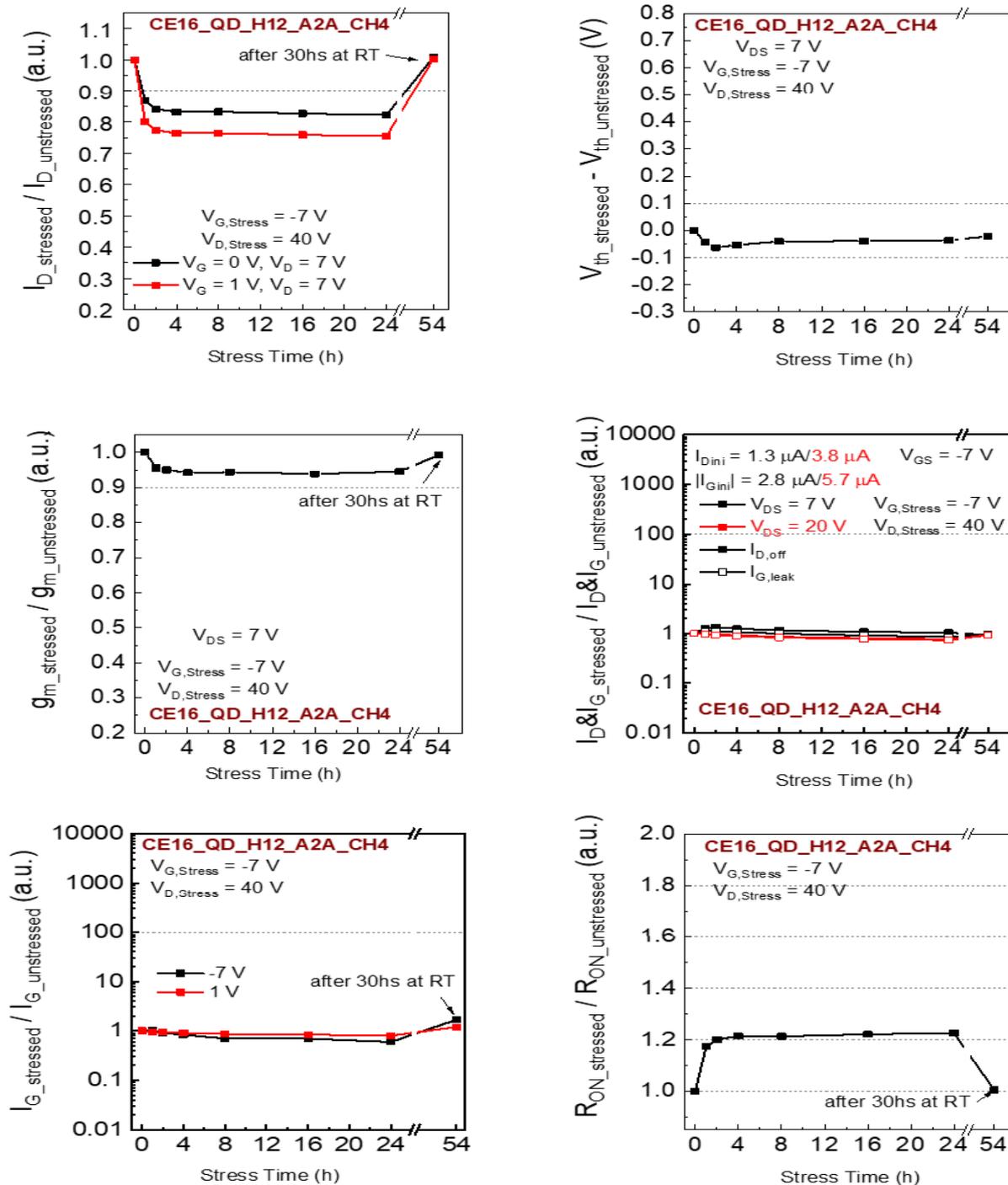


Figura 4.11: Parametri DC normalizzati vs tempo di stress.

Sono state inoltre acquisite immagini EL in condizione ON ($V_G = -2V, V_D = 10V$) dopo

1 ora, 24 ore e dopo 30 ore di recupero a temperatura ambiente, è stata inoltre misurata l'intensità luminosa emessa in condizione $V_{G_Stress}=-7V$, $V_{D_stress}=40V$ (figura 4.12).

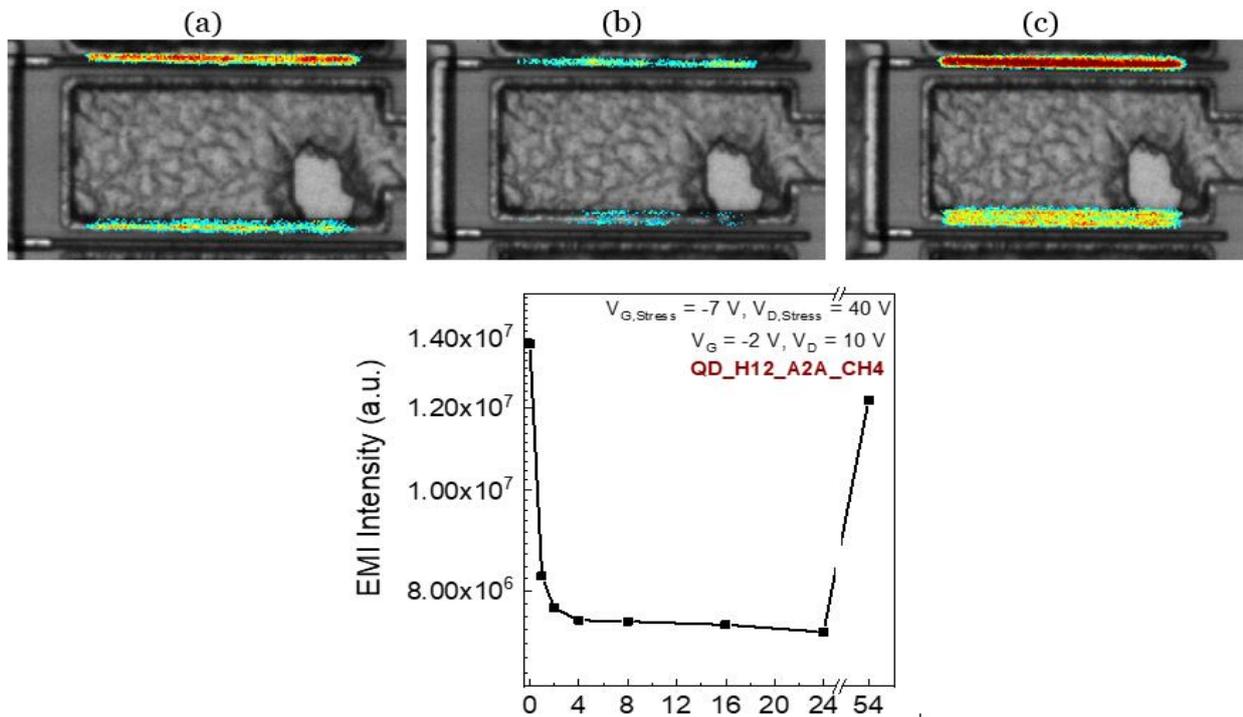


Figura 4.12: Immagini EL acquisite dopo 1, 24 e 30 ore e intensità luminosa in condizione semi-ON ($V_G=-2V$, $V_D=10V$).

Di seguito sono riportate le immagini EL acquisite durante lo stress in condizione OFF ($V_G=-7V$, $V_D=40V$) (figura 4.13).

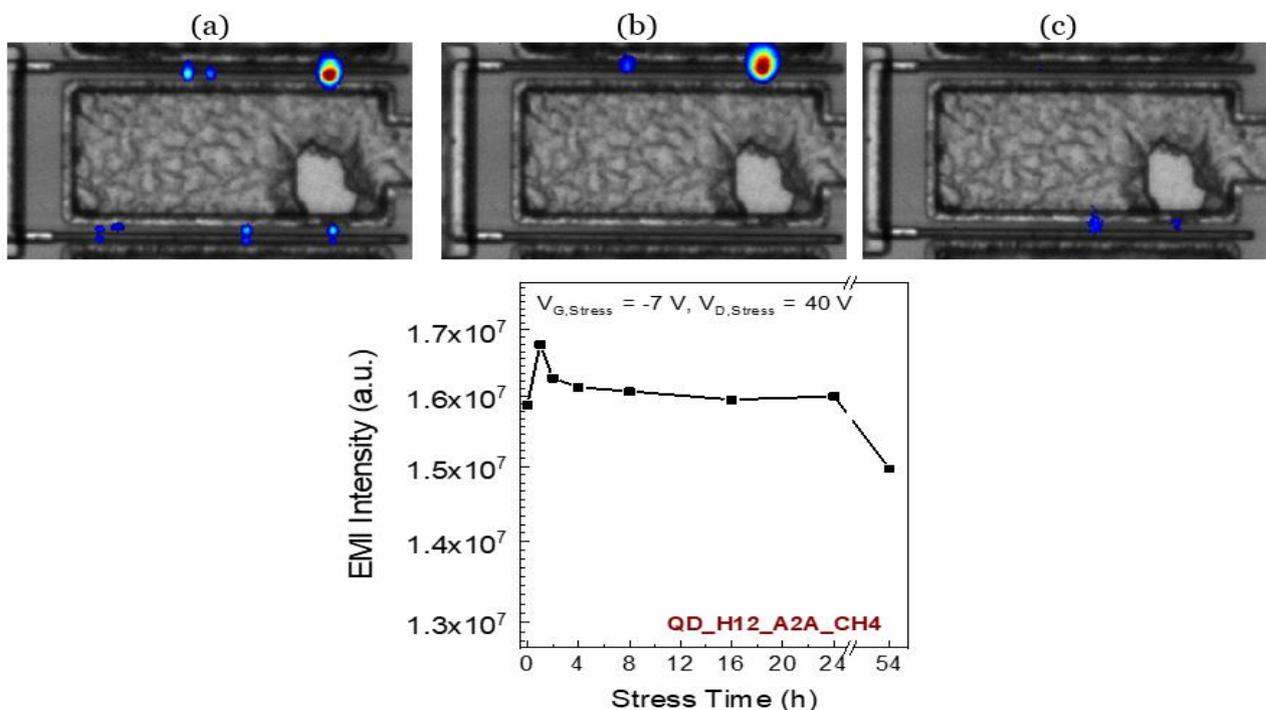


Figura 4.13: Immagini EL acquisite durante lo stress dopo 1, 24 e 30 ore in condizione OFF ($V_G=-7V$, $V_D=40V$) e tempo di emissione pari a 15 secondi.

Condizione semi-ON ($V_G = -2$ V, $V_D = 40$ V, $T_{j,ini} = 233$ °C)

La procedura utilizzata è la stessa presentata nella condizione di spento (OFF).

Anche in questa condizione si ha un recupero delle caratteristiche DC dopo le 30 ore a temperatura ambiente, tuttavia è un recupero solo parziale in quanto il valore finale si discosta non poco da quello iniziale.

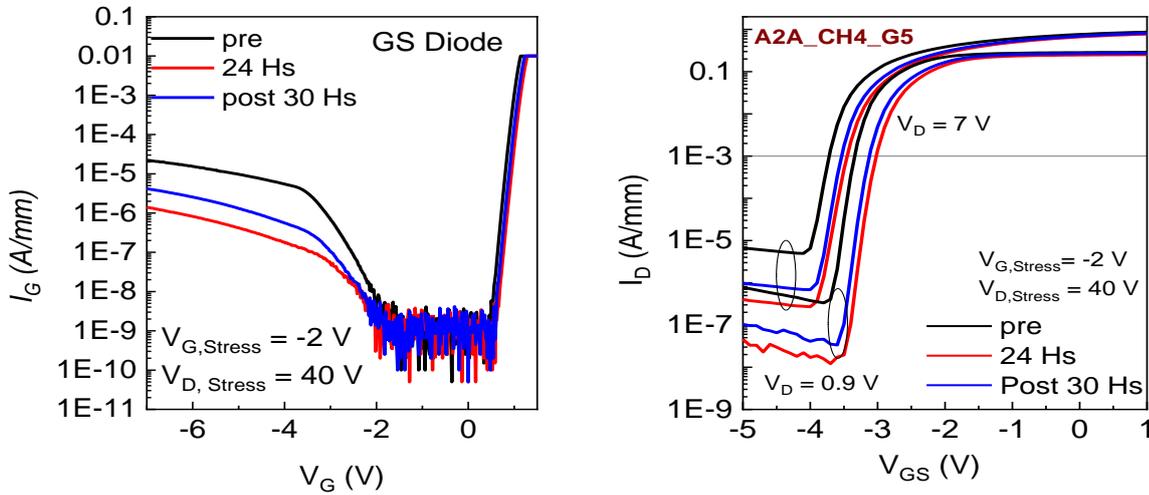
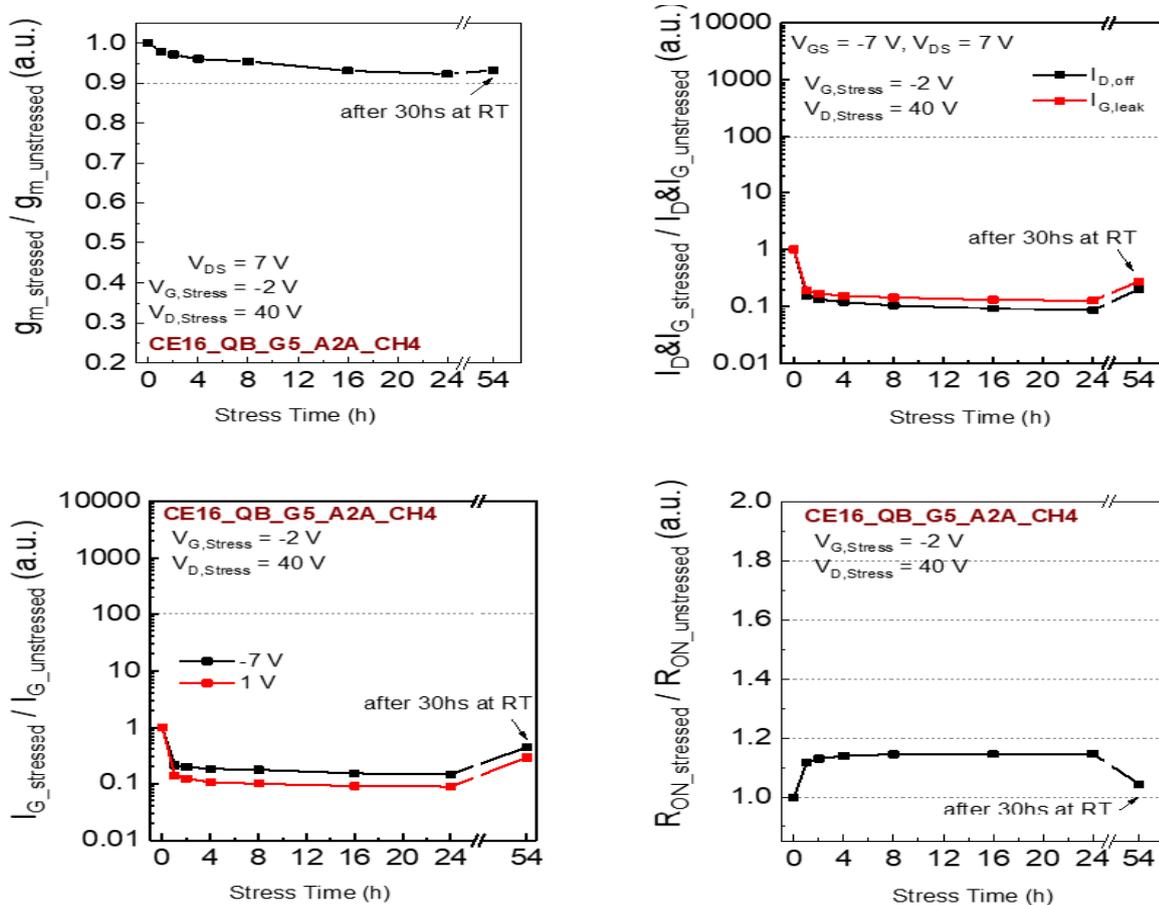


Figura 4.14: Diodo gate-source e corrente di drain I_D vs V_{GS} .

Tale comportamento risulta evidente anche dai parametri normalizzati riportati in figura 4.15.



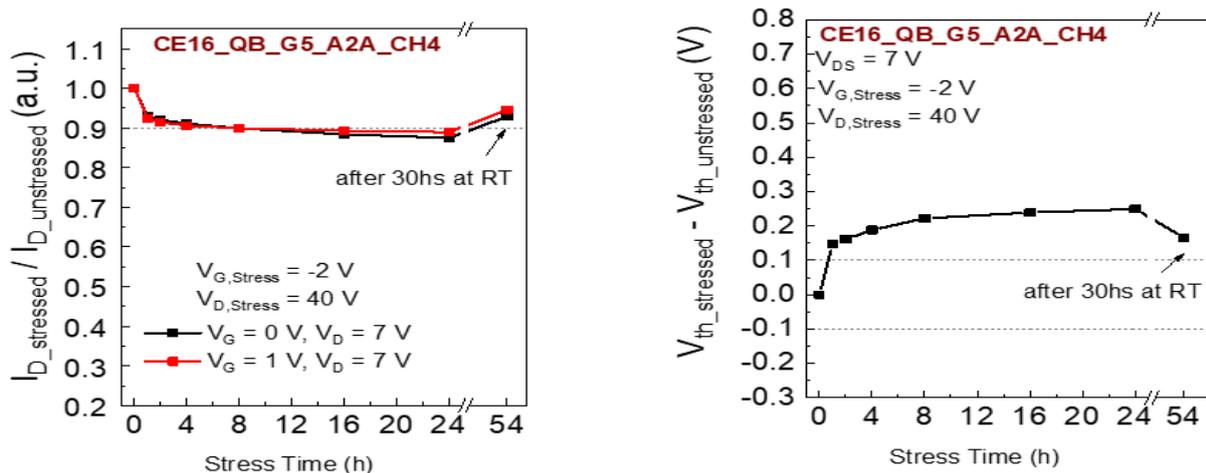


Figura 4.15: Parametri DC normalizzati estratti in condizione semi-ON.

Il dispositivo presenta un crollo di I_{DSS} superiore all'11% ed un aumento di R_{ON} superiore al 13% dopo le 24 ore di stress, la tensione di soglia subisce uno spostamento verso valori positivi pari a 0.25 V e la transconduttanza massima g_{mMax} cala dell'8%. Dopo le 30 ore i parametri recuperano comunque il 95% del loro valore iniziale (specialmente I_{DSS} e R_{ON}), fatta eccezione per la variazione di V_{TH} e g_{mMax} , la cui degradazione non è reversibile. Questo aspetto è una prova del fatto che lo stress di 24 ore in condizione ($V_G = -2V$, $V_D = 40V$) comporta comunque una degradazione permanente (anche se non distruttiva) del dispositivo nelle regioni di gate e gate-drain.

Condizione ON ($V_G = -1 V$, $V_D = 40 V$, $T_{j,ini} = 310 \text{ }^\circ\text{C}$)

In queste condizioni il dispositivo mostra un calo della I_{DSS} attorno al 15%, un incremento di R_{ON} che a 24 ore di stress è di circa il 20%, anche dal punto di vista della tensione di soglia V_{TH} e della transconduttanza g_m la variazione è consistente (+0.45V per V_{TH} e calo del 12% di g_m).

Dopo 30 ore a temperatura ambiente il dispositivo mostra una ripresa pari al 95% di I_{DSS} e R_{ON} , tuttavia come nel caso precedente lo spostamento della tensione di soglia ed il crollo di transconduttanza non sono fenomeni reversibili.

Per questo motivo, possiamo ipotizzare che il meccanismo di degradazione osservato sia lo stesso visto nella condizione precedente ($V_G = -2V$, $V_D = 40V$).

Visto che quasi tutti i parametri subiscono una degradazione superiore al 10% (valore limite scelto per decretare il fallimento del dispositivo) e variazione sulla tensione di soglia di molto superiore al limite (0.1V), sembrerebbe che la condizione ON unita ad elevate tensioni al drain risultino molto degradanti per i dispositivi in questione.

I parametri DC normalizzati in funzione del tempo di stress sono riportati in figura 4.16.

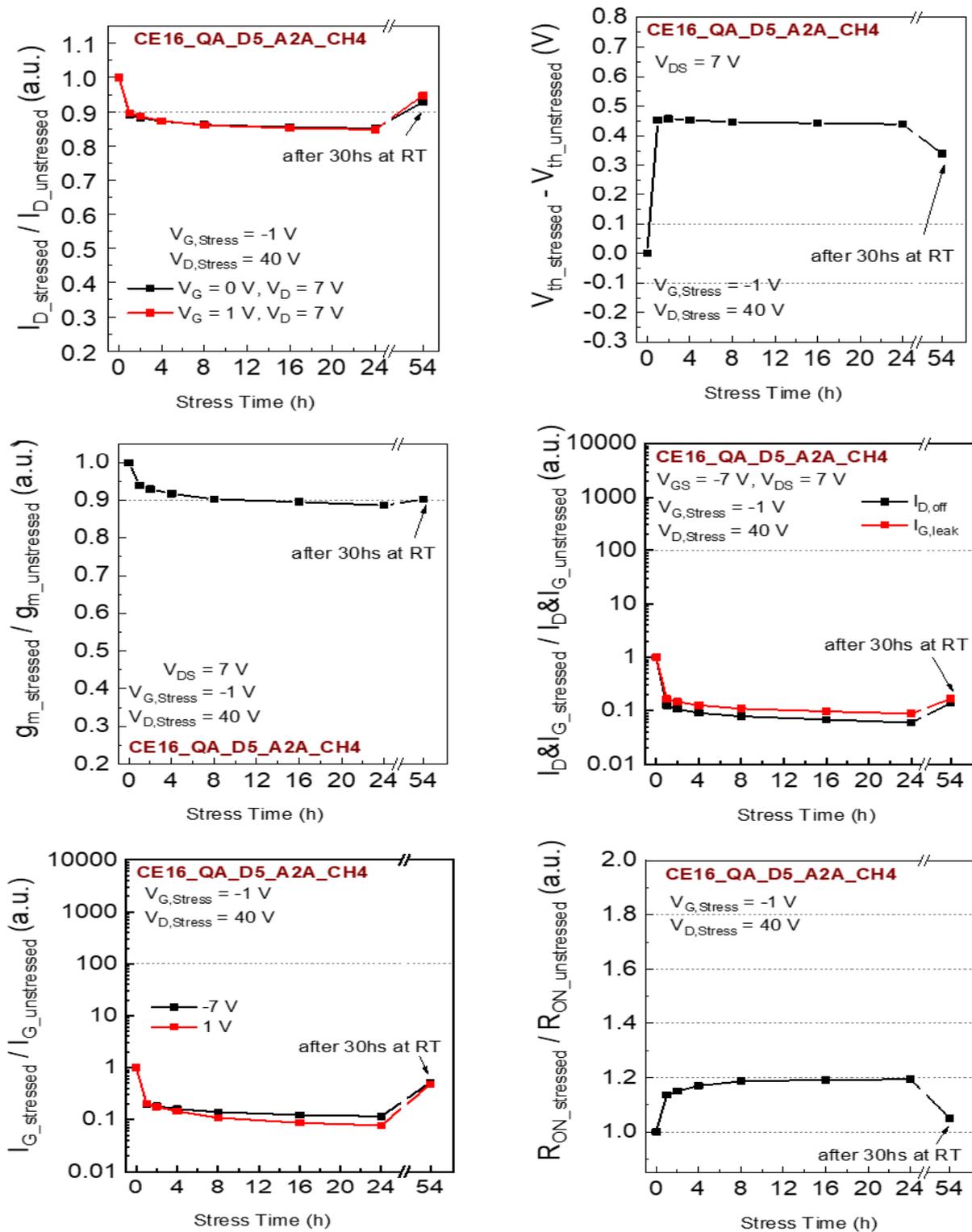


Figura 4.16: Degradazione dei parametri DC normalizzati a seguito di stress DC 24 ore in condizione ON ($V_G = -1\text{ V}$, $V_D = 40\text{ V}$).

Condizione ON ($V_G = 0\text{ V}$, $V_D = 40\text{ V}$, $T_{j,ini} = 349\text{ }^\circ\text{C}$)

Il dispositivo mostra un calo della corrente di saturazione di drain I_{DSS} superiore all'11%, un incremento della R_{ON} che supera il 20%, la variazione della tensione di soglia è molto più contenuta rispetto al caso precedente ma raggiunge comunque un valore pari a +0.15V dopo la prima ora, la transconduttanza mostra invece una buona stabilità in quanto subisce una variazione che non supera il 6%.

La corrente di leakage di gate e drain mostra un comportamento opposto rispetto ai casi precedenti, si ha infatti un leggero aumento sia di I_{Gleak} che di I_{Dleak} . Dopo le 30 ore di riposo a temperatura ambiente, la corrente I_{DSS} mostra un recupero del 95%, come negli altri casi la variazione su V_{TH} non è un fenomeno reversibile.

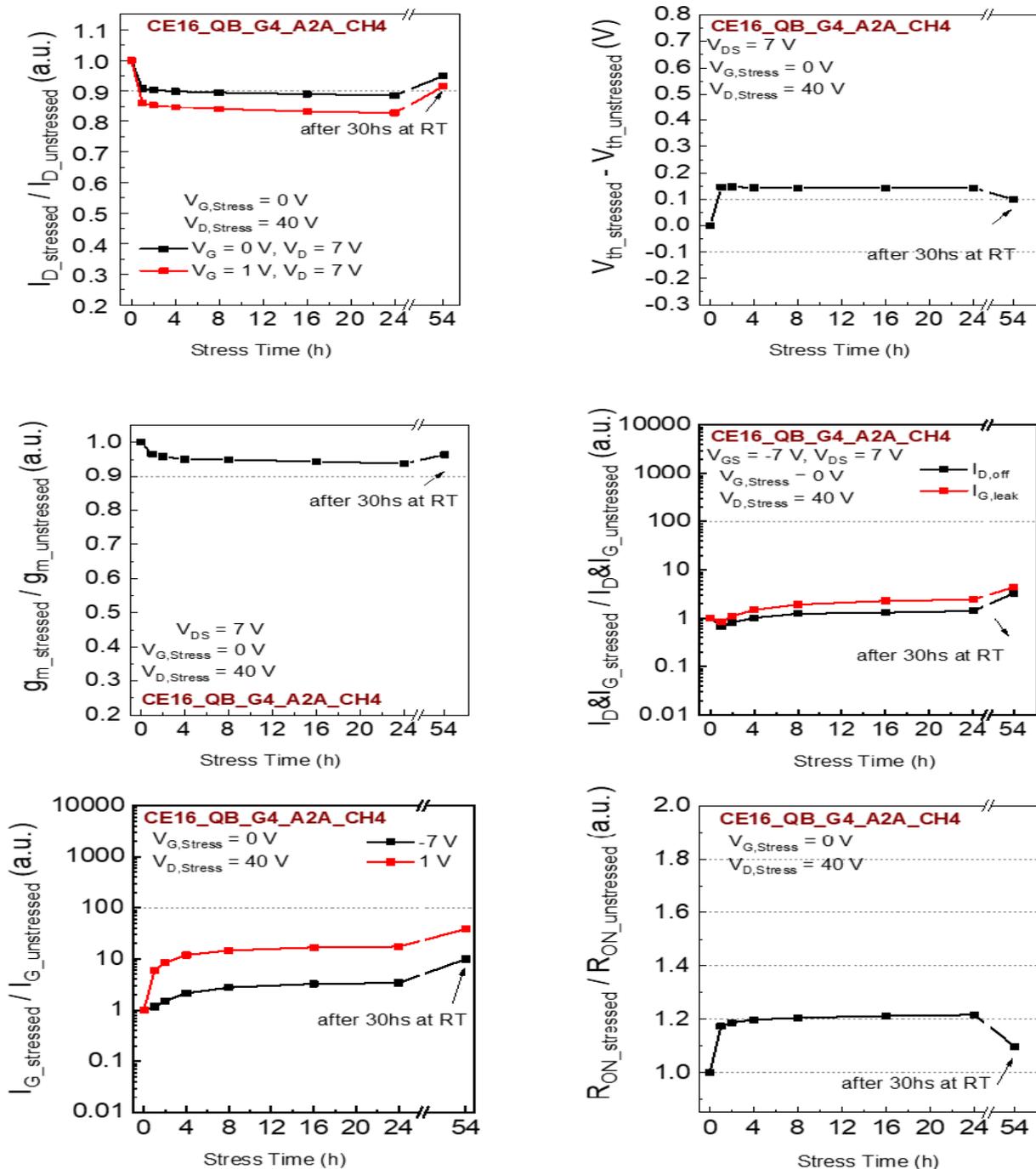


Figura 4.17: Parametri DC normalizzati condizione ON ($V_G=0V, V_D=40V$).

DC 24 ore di stress lungo retta di carico.

Sono stati scelti 4 dispositivi sottoposti ciascuno ad una delle quattro condizioni di polarizzazione lungo la retta di carico di figura 4.8. Le misure vengono ripetute dopo 1-2-4-8-16-24 ore e l'ultima caratterizzazione viene effettuata dopo riposo di 30 ore a temperatura ambiente.

24 ore DC stress lungo retta di carico, condizione OFF ($V_G=-7V$, $V_D=70V$):

Il dispositivo mostra una degradazione della corrente di saturazione molto contenuta, tale valore si assesta a circa 3-4%, anche la tensione di soglia V_{TH} non subisce grosse variazioni (+0.05V) in seguito allo stress DC in condizione di canale chiuso, anche le variazioni di R_{ON} (~3%) e g_m risultano essere trascurabili.

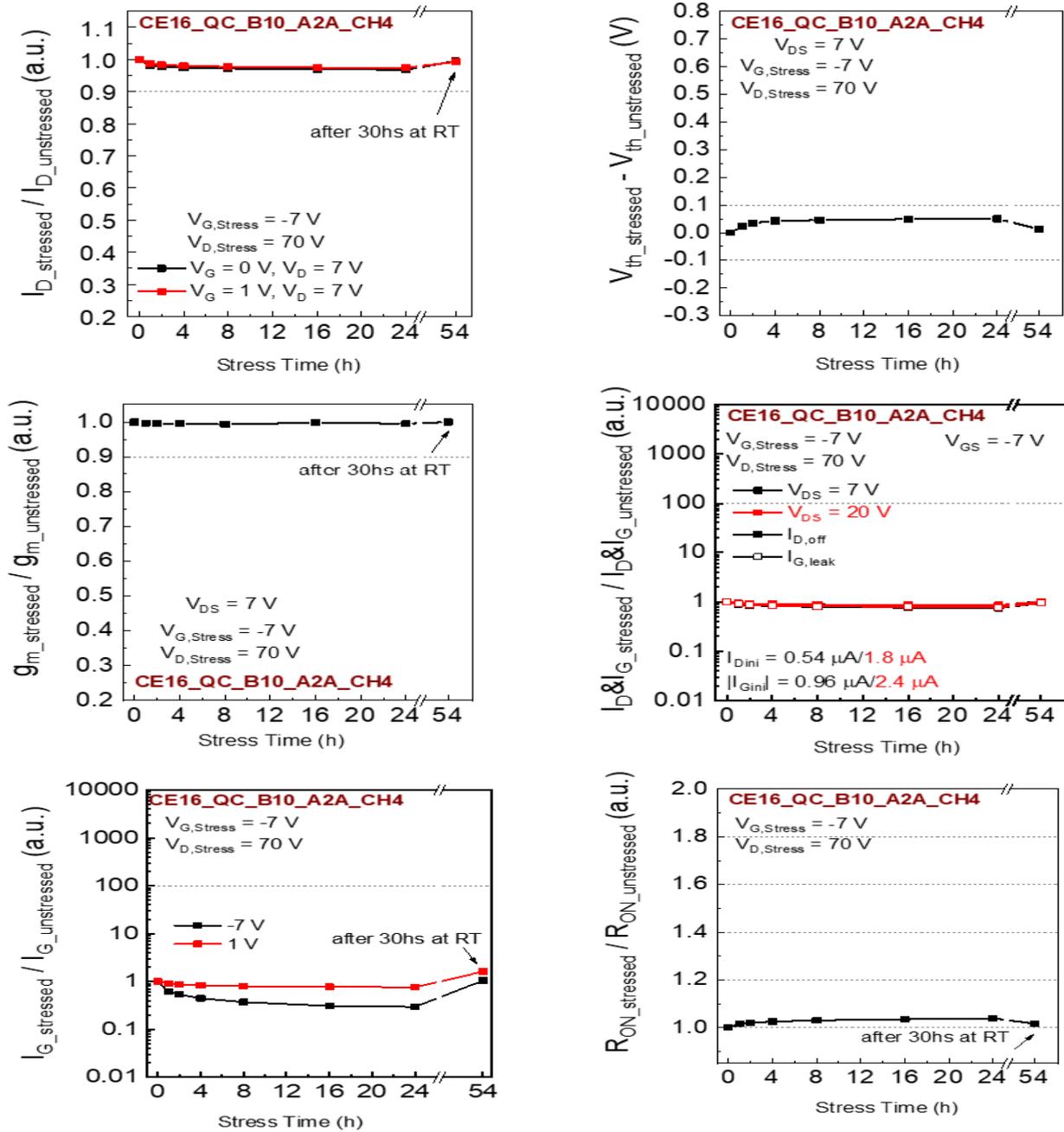


Figura 4.18: Parametri DC normalizzati ottenuti in seguito a stress in condizione OFF ($V_G=-7V$, $V_D=70V$).

24 ore DC stress lungo retta di carico, condizione OFF ($V_G=-7V$, $V_D=80V$):

Rispetto alla prova precedente, l'unica differenza è l'aumento della tensione al drain (80V invece che 70V) durante lo stress; per questo motivo essendo comunque a tensioni inferiori rispetto a quelle di Breakdown ricavate da step stress test, ci aspettiamo un leggero incremento (non significativo) della degradazione.

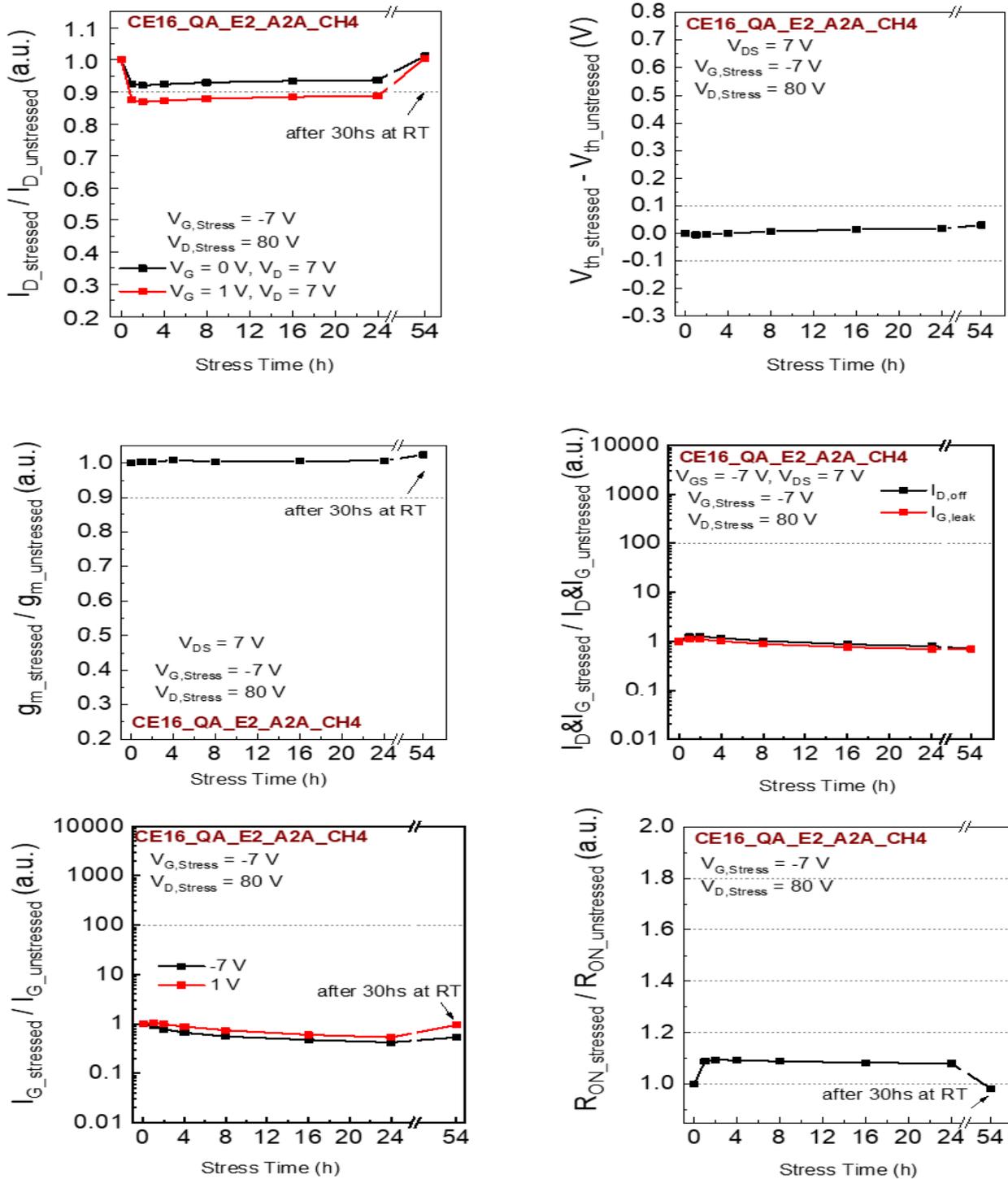


Figura 4.19: Parametri DC normalizzati, ottenuti da stress DC 24 ore in condizione OFF ($V_G=-7V$, $V_D=80V$).

Nel complesso si nota una buona stabilità di transconduttanza e tensione di soglia, gli effetti dell'aumento del campo elettrico nella regione gate-drain impattano sulla corrente di saturazione di drain I_{DSS} (calata del 10%) e sull'incremento di R_{ON} (incremento del 10%). In generale lo stress DC 24 ore in condizione OFF (-7V, 80V) non ha provocato elevata degradazione nei parametri DC; dopo le 30 ore di riposo i parametri DC mostrano un recupero quasi totale (99%).

24 ore DC stress lungo retta di carico, condizione ON ($V_G=1V$, $V_D=30V$)

In condizione di canale aperto e campi elettrici gate-drain non troppo intensi, I_{DSS} mostra un crollo circa dell'8% dopo 4 ore di stress, la tensione di soglia si sposta verso valori positivi di 0.15V e la R_{ON} subisce una variazione massima del 12%. La transconduttanza presenta variazioni non superiori al 5%, mentre il leakage mostra un incremento durante il tempo di stress.

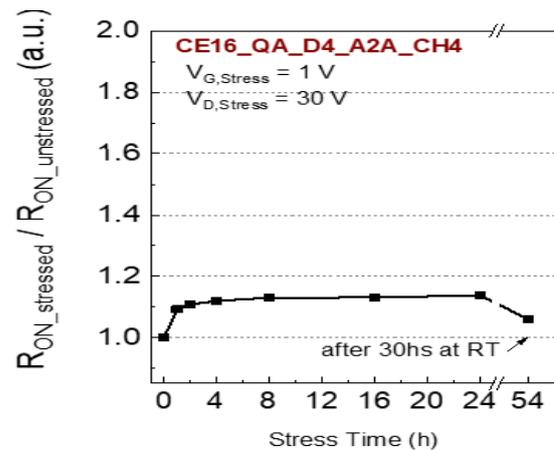
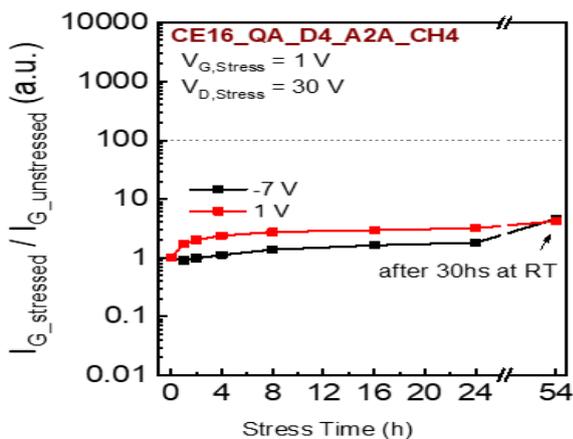
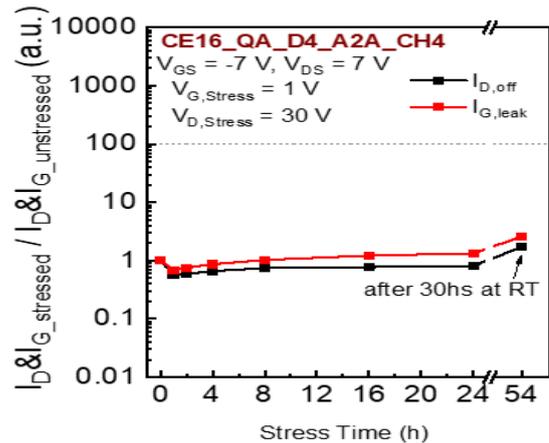
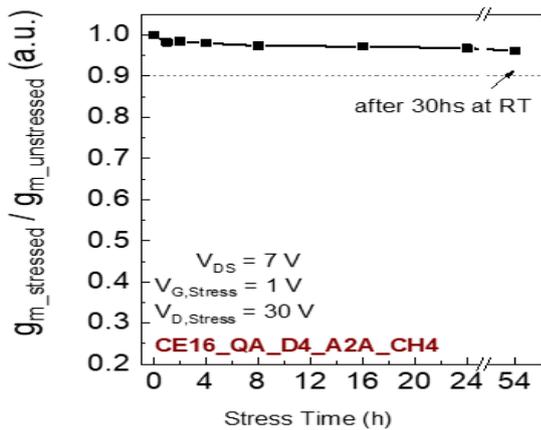
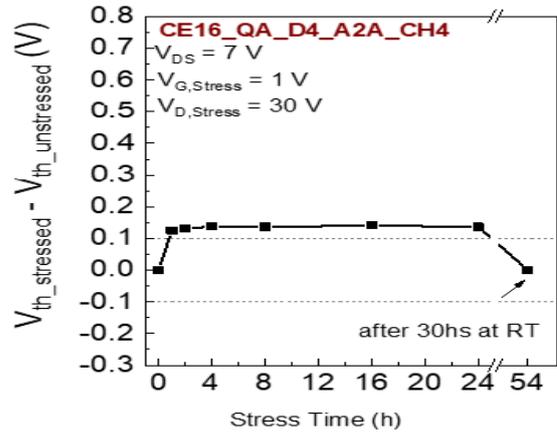
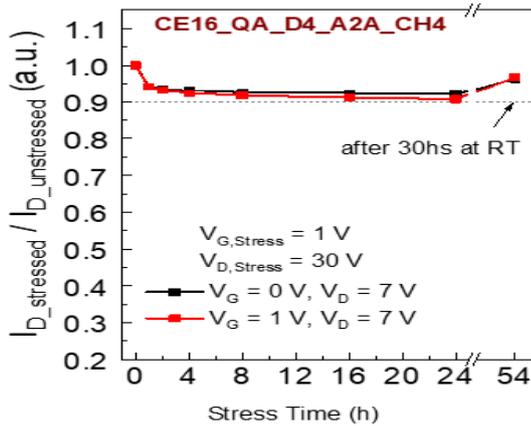


Figura 4.20: Parametri DC normalizzati ricavati da 24 ore DC stress lungo retta di carico in condizione ON ($V_G=1V$, $V_D=30V$).

24 ore DC stress lungo curva a potenza costante ($P=23W/mm$):

24 ore DC stress su curva a potenza costante, condizione semi-ON ($V_G=-1, V_D=50$)

In queste condizioni il dispositivo ha mostrato un notevole degrado; la corrente di saturazione cala del 20% mentre la tensione di soglia V_{TH} subisce uno spostamento verso valori positivi pari a $+0.35 V$ nelle prime 4 ore di stress per poi rimanere quasi stabili. La transconduttanza g_m non subisce variazioni significative ($<6\%$), i leakage di drain e di gate calano fortemente mentre la R_{ON} subisce un forte incremento ($\sim 35\%$). Dopo 30 ore di riposo a temperatura ambiente, si ha un recupero non superiore al 10% per R_{ON} , V_{TH} e I_{DSS} ; ciò prova che 30 ore di riposo a temperatura ambiente non sono sufficienti per un recupero delle funzionalità degradate in seguito ad uno stress DC di 24 ore in condizioni ($V_G=-1V, V_D=50V$).

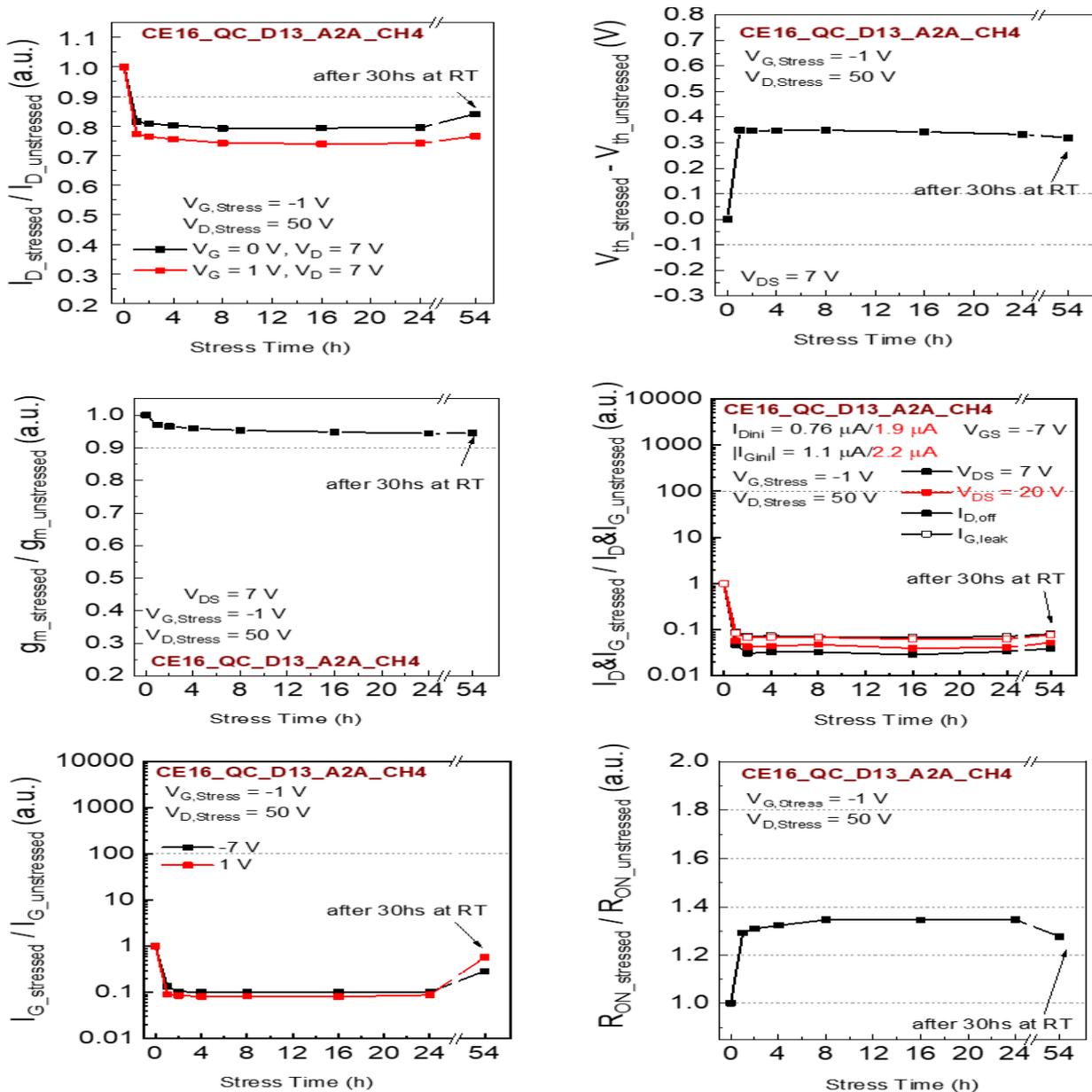


Figura 4.21: Parametri DC normalizzati, ottenuti da stress a potenza costante condizione ON ($V_G=-1V, V_D=50V$).

Lo stress effettuato in condizione OFF ($V_G=-7, V_D=70/80V$) non produce degradazione su tensione di soglia e transconduttanza, gli unici effetti visibili sono un calo della

corrente di drain ed un aumento della resistenza R_{ON} .

Nelle condizioni semi-ON ($V_G=-2V$, $V_D=40V$) è visibile uno spostamento verso valori positivi della tensione di soglia, la quale non recupera il proprio valore dopo 30 ore di riposo a temperatura ambiente; la stessa cosa accade a semi-ON ($V_G=-1V$, $V_D=40V$). In entrambi i casi la degradazione consiste in un incremento (reversibile) di R_{ON} ed in una variazione non reversibile di V_{TH} .

Possiamo quindi dire che in OFF state, il dispositivo subisce una degradazione dei parametri molto contenuta e quasi del tutto reversibile, cosa che invece non accade in condizione ON in cui la variazione di tensione di soglia risulta non reversibile.

4.2 Storage termico

Lo storage termico fa parte della categoria long term stress, ovvero stress che eccedono le 100 ore di durata complessiva.

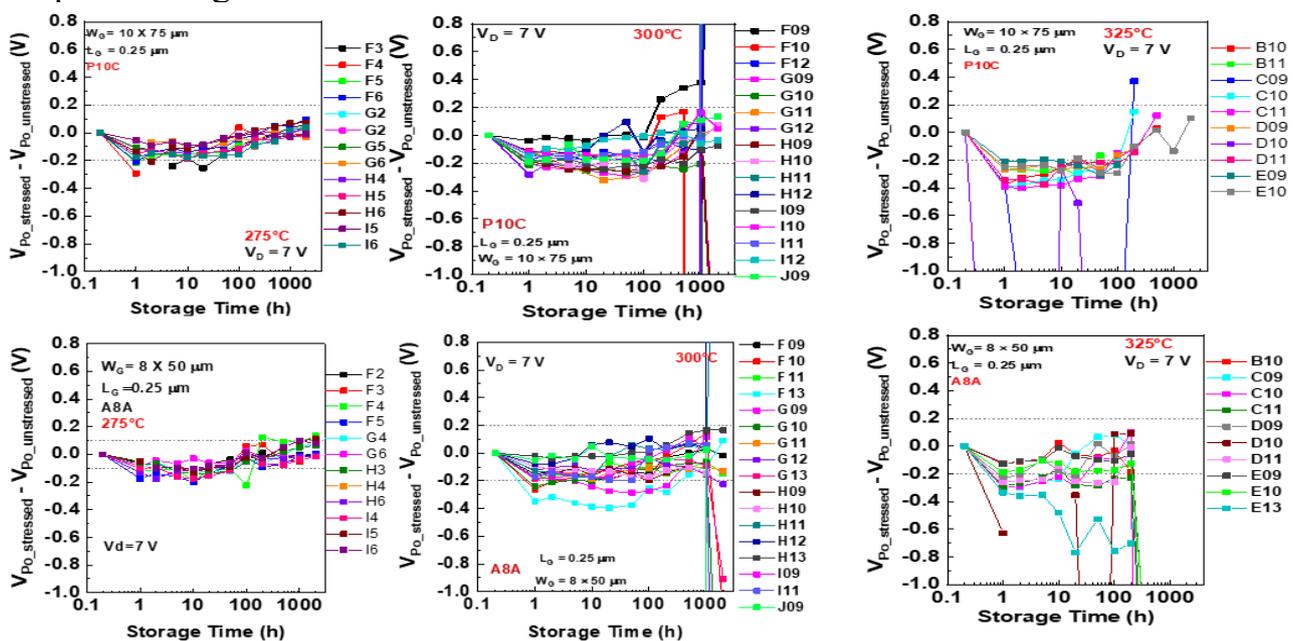
I tre quarti di wafer QB, QC, QD sono stati sottoposti a storage termico a temperatura differente l'uno dall'altro, in questo modo è possibile osservare gli effetti differenti provocati dalle 3 temperature (275°C, 300°C, 325°C).

Ogni quarto di wafer raggiunge complessivamente 2000 ore di storage termico ed al fine di monitorare la variazione dei parametri dei dispositivi, la caratterizzazione DC è stata realizzata complessivamente 12 volte di cui una prima dell'inizio dello storage per poter avere dei valori di riferimento e le altre dopo 1-2-5-10-20-50-100-200-500-1000-2000 ore.

L'obiettivo dello storage termico è quello di testare l'affidabilità dei dispositivi in questione, accelerarne i meccanismi di degrado indotti e/o accelerati termicamente.

Per caratterizzare i meccanismi di degradazione e fallimento, bisogna estrapolarne l'energia di attivazione E_a , per fare ciò bisogna scegliere un criterio di fallimento come ad esempio un crollo percentuale di uno dei parametri, solitamente la corrente di saturazione o la transconduttanza.

Le variazioni dei parametri DC di maggiore interesse sono riportate in funzione del tempo di storage:



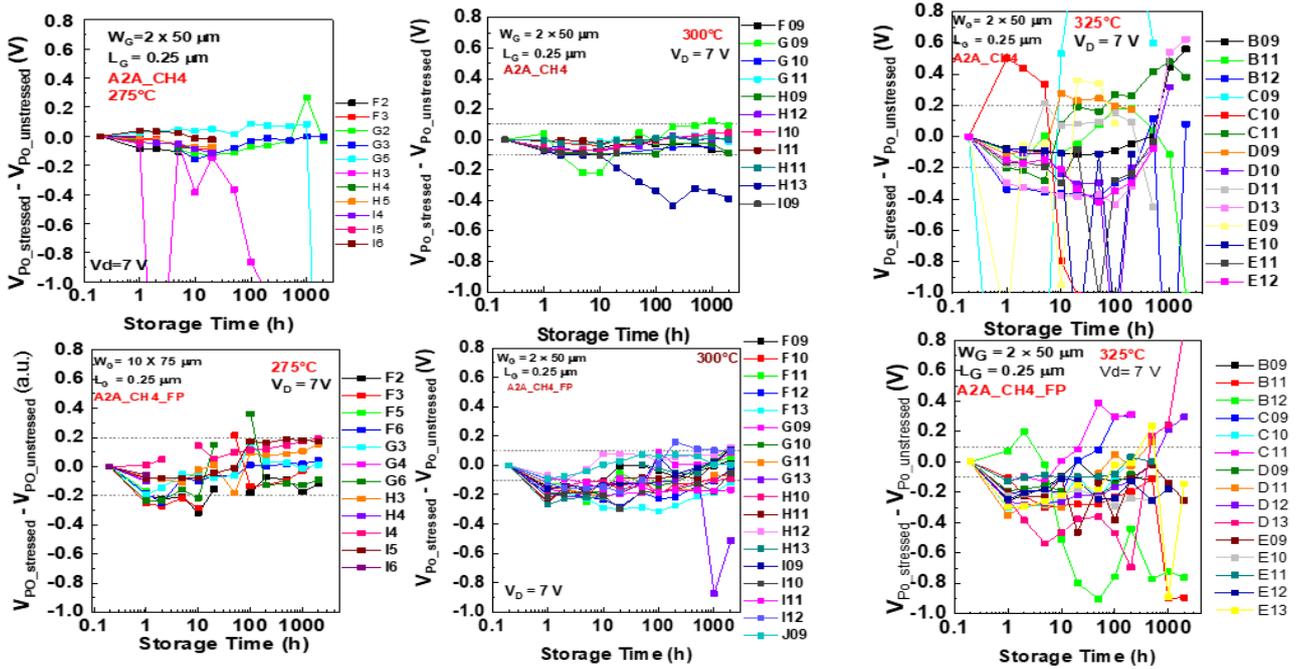
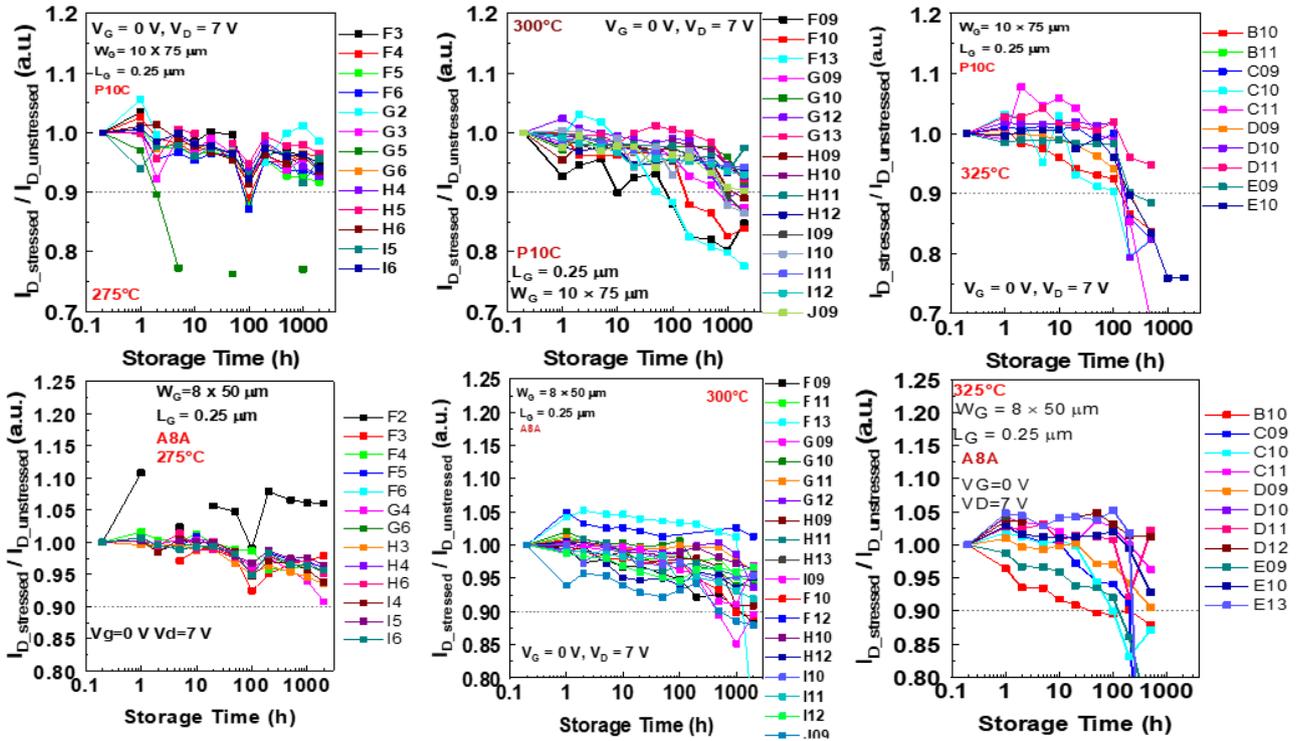


Figura 4.22: Variazione della tensione di soglia in funzione delle ore di storage termico per le 3 temperature.

La tensione di soglia mostra una buona stabilità alla temperatura inferiore (275°C) per tutte le tipologie di dispositivo, aumentando la temperatura lo spread tra i dispositivi di una determinata tipologia aumenta; infine lo storage a 325°C mostra un forte impatto sul parametro in questione e si notano molti più fallimenti rispetto alle 2 temperature precedenti. Il trend mostrato per tutte le topologie circuitali e per tutte le temperature è un calo del parametro nelle prime ore di storage ed un aumento nella fase finale.



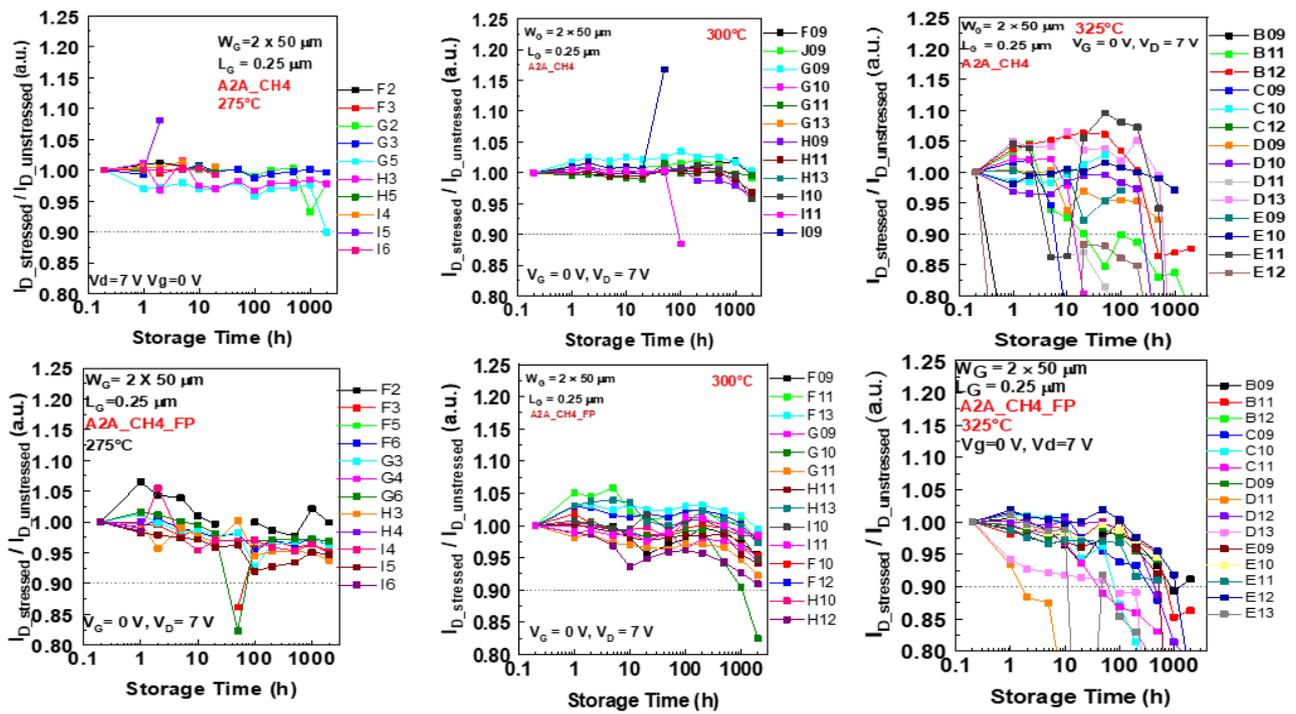
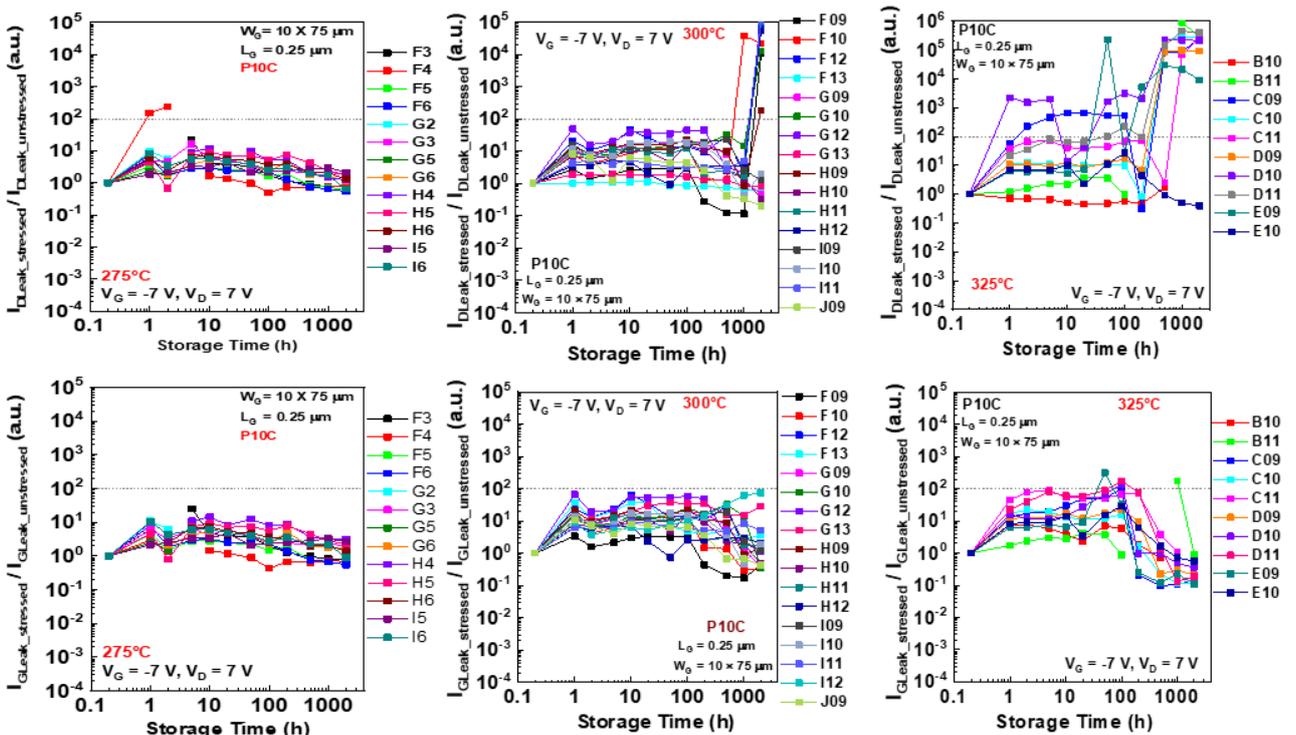


Figura 4.23: Variazione della corrente di drain di saturazione.

Alla temperatura di 275°C non sono visibili grossi fenomeni di calo della corrente, tutte le topologie circuitali mostrano una buona stabilità rimanendo tutte abbondantemente entro il 10% di calo. A 300°C i dispositivi con periferia maggiore (A8A e P10C) mostrano un crollo maggiore della corrente di saturazione rispetto alle topologie di dimensioni inferiori (A2ACH4 e A2ACH4FP) con alcuni dispositivi che eccedono il 10% di variazione. A 325°C i dispositivi mostrano forti segni di degradazione, si contano numerosi fallimenti in tutte le topologie di Hemt.



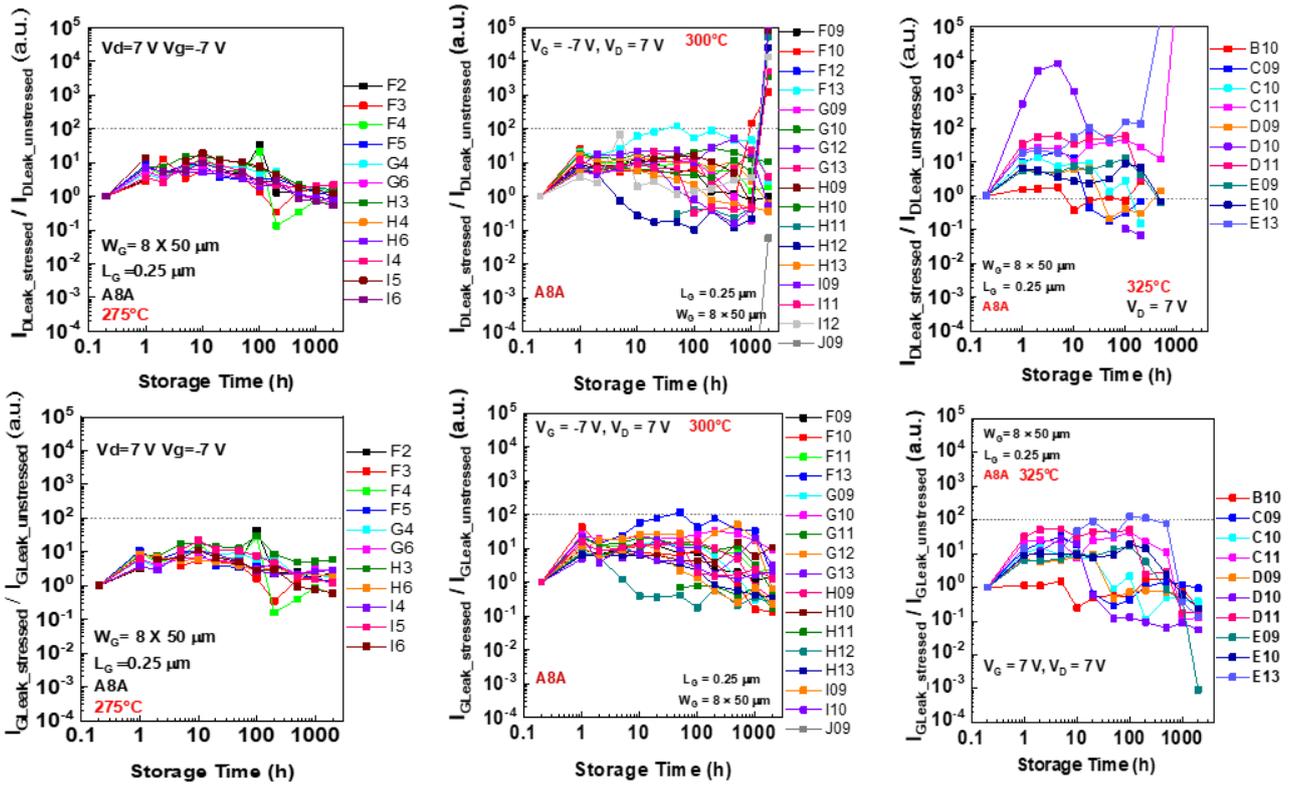
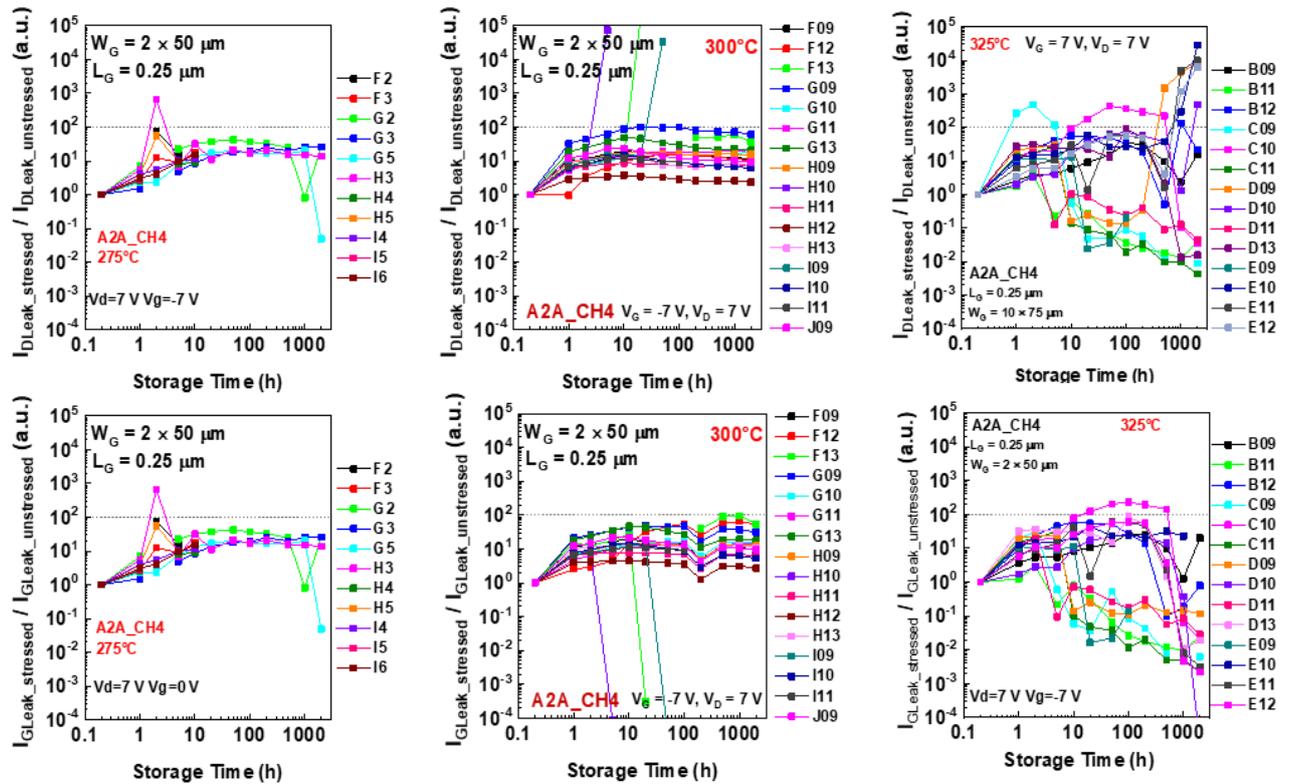
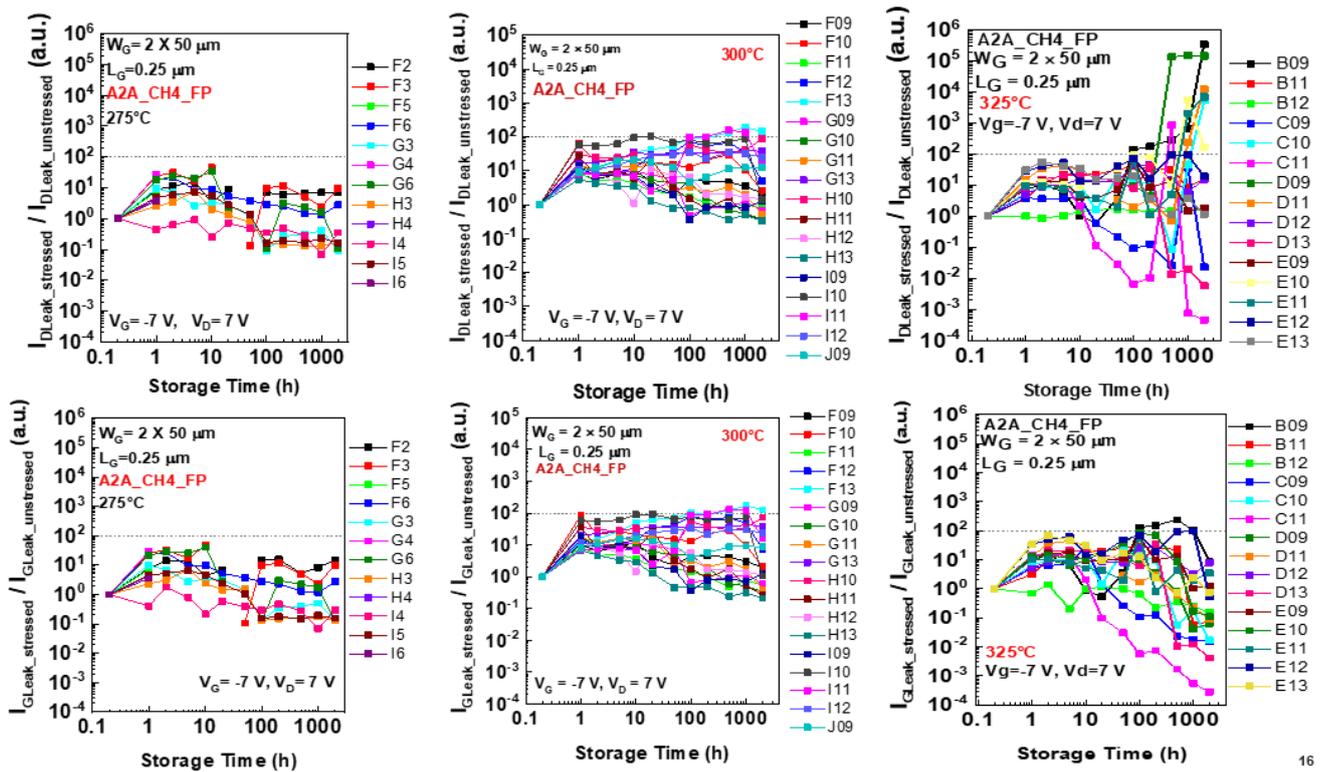


Figura 4.24: Variazione delle correnti di perdita di gate e drain per le topologie P10C e A8A.



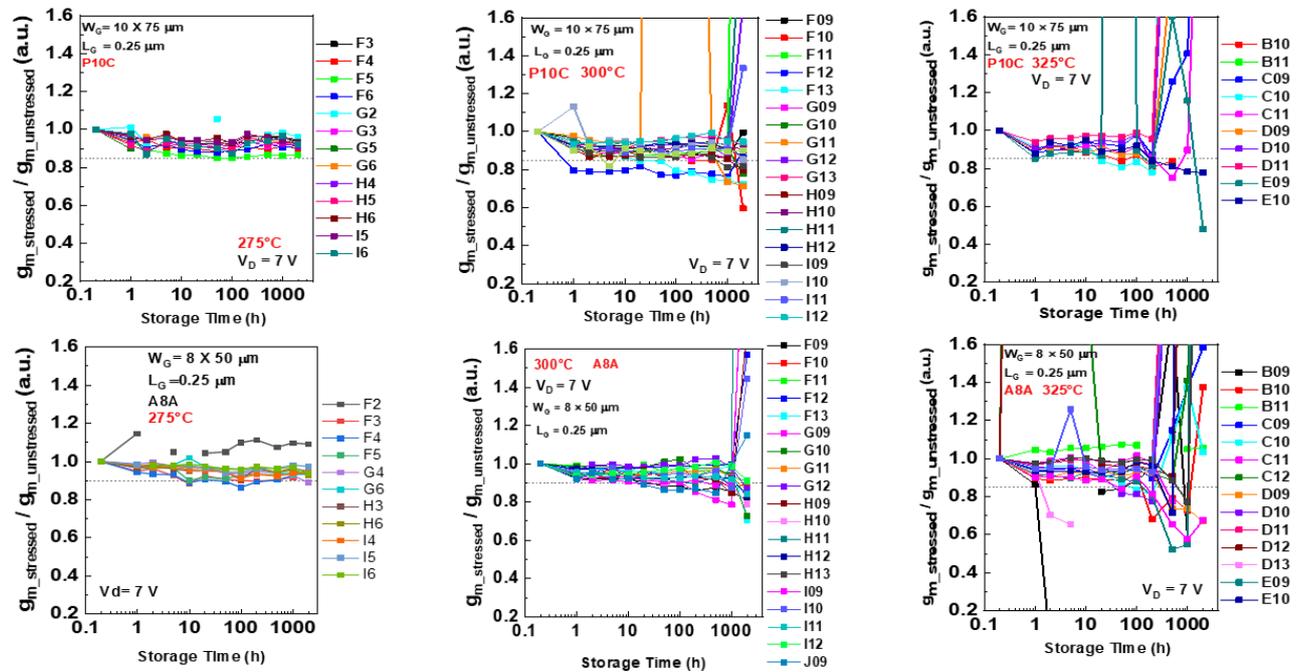


16

Figura 4.25: Variazione delle correnti di perdita per le topologie A2ACH4 e A2ACH4FP.

I_{GLeak} e I_{Leak} hanno un andamento molto simile per degradazione alle temperature $275^\circ C$ e $300^\circ C$, mentre a $325^\circ C$ il leakage di drain sembra subire una variazione leggermente superiore rispetto a quello di gate.

Entrambe le correnti mostrano un andamento a campana (bell-shape) durante lo storage.



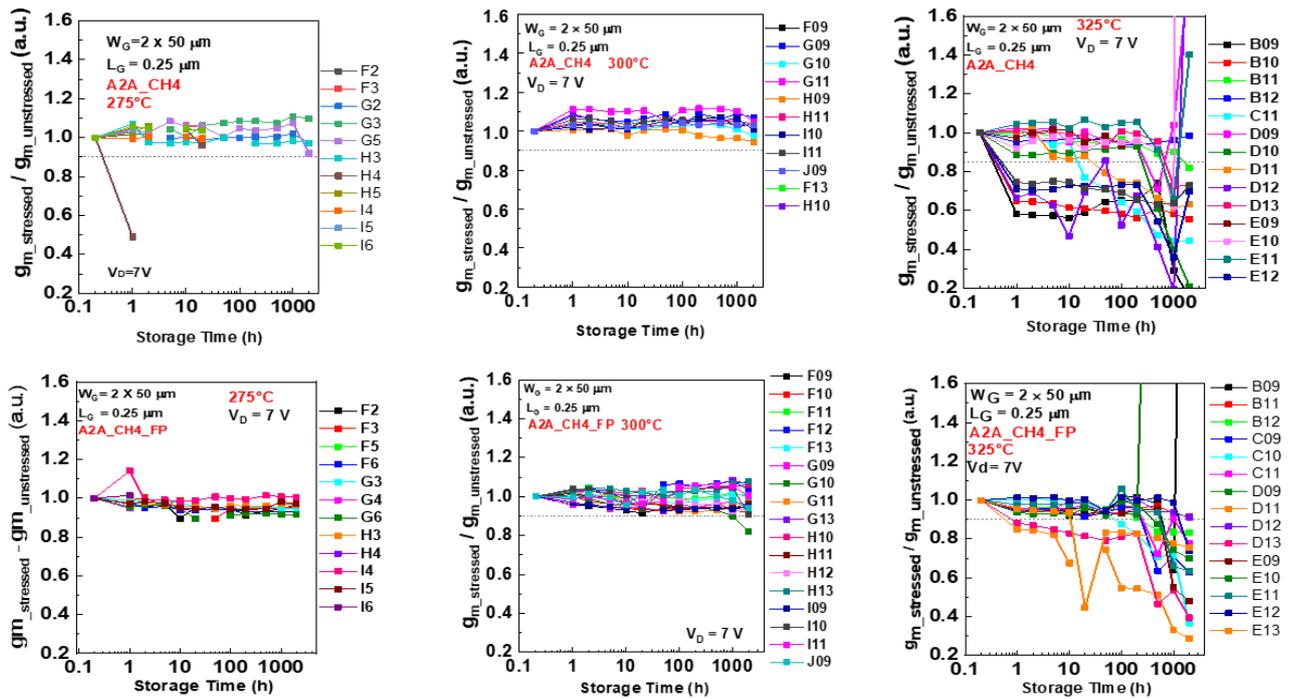


Figura 4.26: Variazione di transconduttanza per le 4 topologie di dispositivi.

La transconduttanza g_{mMax} risulta avere una buona stabilità a 275°C durante tutto lo storage (per tutti i dispositivi testati), a 300°C si mantengono abbastanza stabili i valori per le topologie A2ACH4 e A2ACH4FP, il trend dei dispositivi più grandi è un po' peggiore in particolare si hanno molti fallimenti dopo le 500 ore di storage. A 325°C tutte le topologie mostrano forti segni di degradazione e fallimenti di dispositivi.

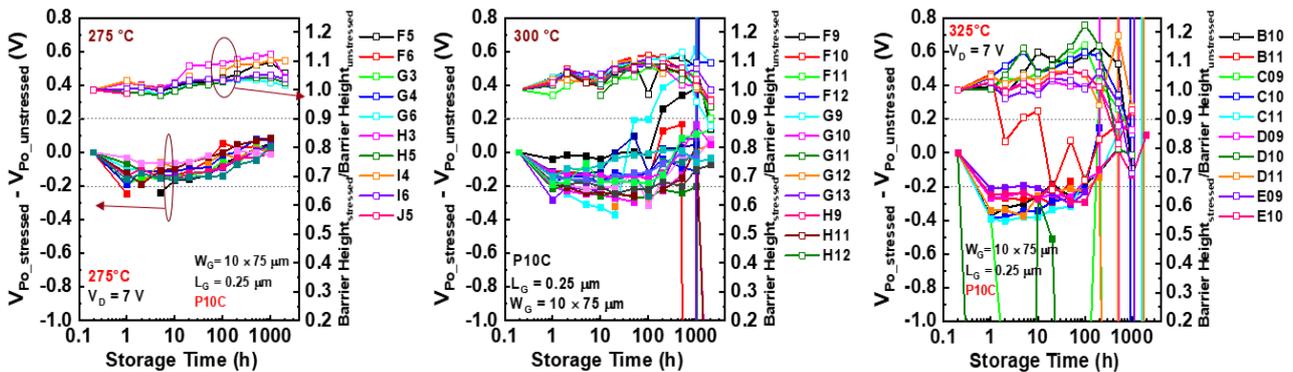


Figura 4.27: Confronto tra la variazione di tensione di soglia e la variazione di altezza di barriera.

La variazione della tensione di soglia in funzione del tempo di storage mostra un andamento a “campana rovescia” ed è correlato alla variazione dell’altezza di barriera che mostra un andamento a campana.

Nelle prime ore di storage l’altezza di barriera aumenta mentre la tensione di soglia diminuisce (spostamento verso valori più negativi), mentre nelle ore finali di storage il trend si inverte con un calo dell’altezza di barriera ed un aumento della V_{TH} .

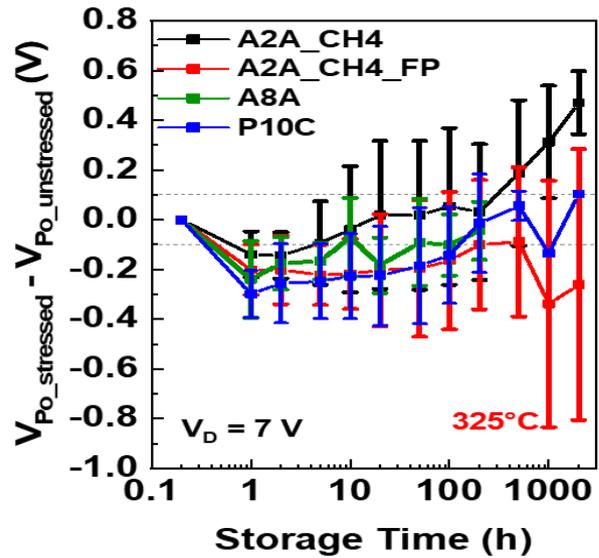
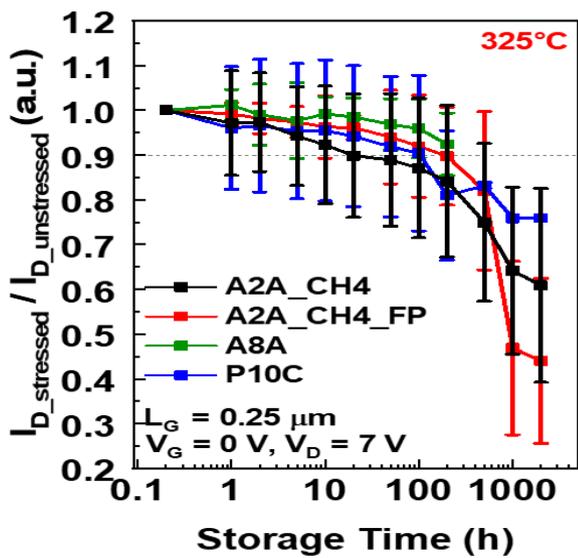
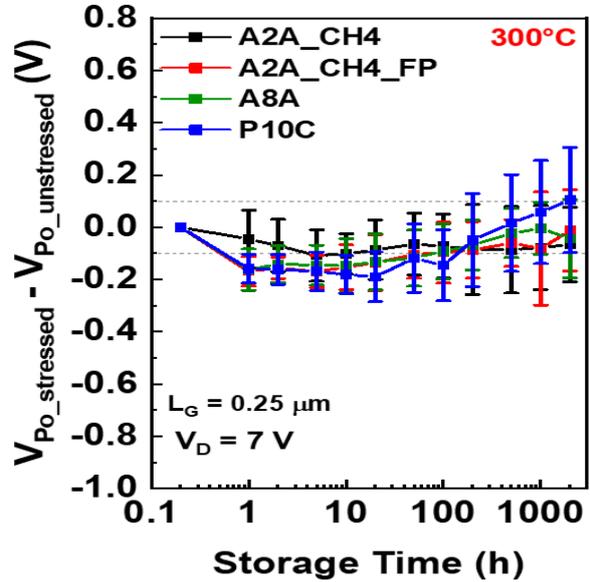
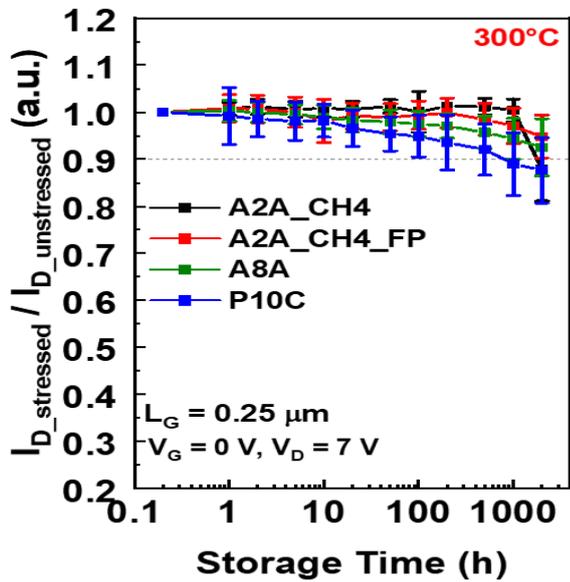
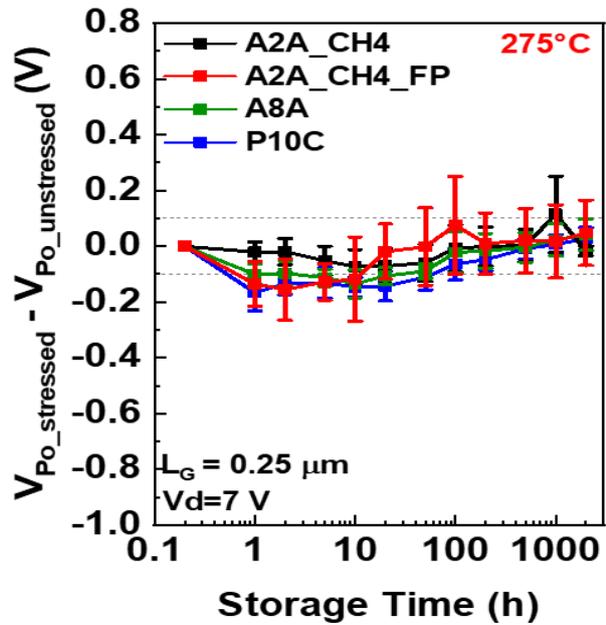
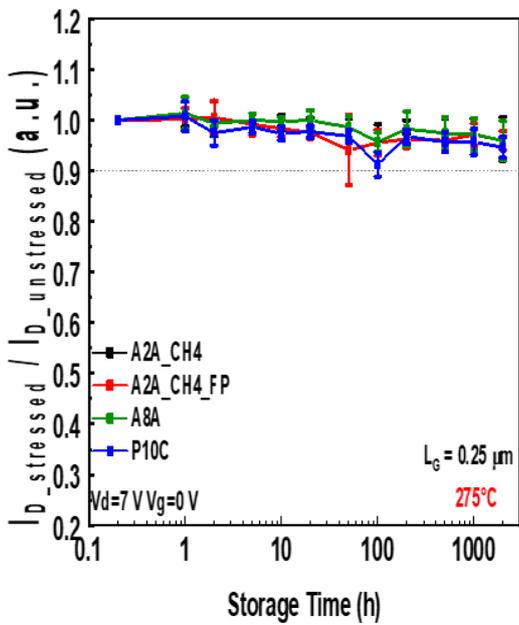


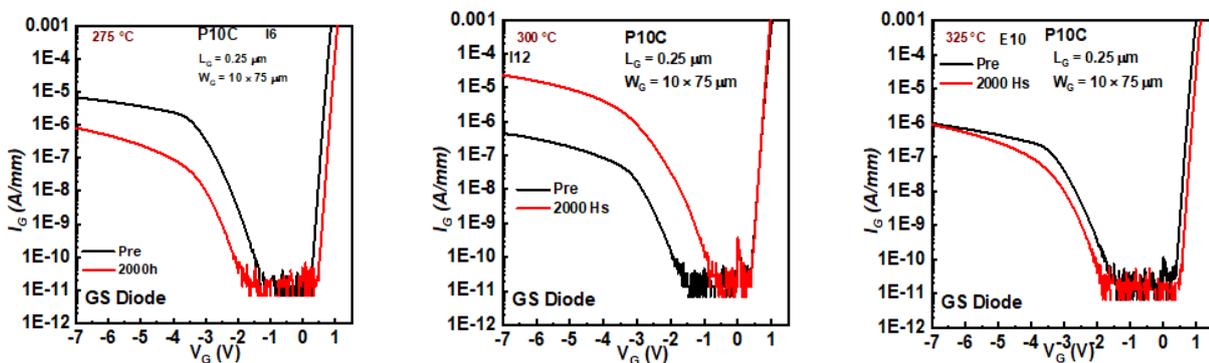
Figura 4.28: Confronto tra la degradazione subita dai vari layout a ciascuna temperatura di storage.

Capitolo 5: Analisi dati

Le elevate temperature di storage possono impattare in vari modi sul funzionamento e tempo di vita di un dispositivo; in alcuni casi i dispositivi continuano a funzionare ma con prestazioni ridotte (rispetto a quelle iniziali) ad esempio con correnti di saturazione inferiori, in alcuni casi perdono il controllo sul canale (cortocircuito al gate). Un certo numero di campioni mostra grossi problemi di pinch-off, ovvero anche le curve misurate con tensione al gate inferiore a quella di accensione del dispositivo mostrano correnti I_D non nulle (il dispositivo conduce corrente anche quando non dovrebbe). Chiaramente l'entità di tale corrente sotto soglia è inferiore a quanto si può misurare in condizioni di canale aperto, per cui potrebbe essere dovuta a percorsi parassiti che corrono in parallelo al canale tradizionale 2deg o a variazioni della tensione di soglia. Alcuni effetti risultano visibili solo dopo aver effettuato dei test elettrici mentre altri effetti possono essere visibili con l'aiuto di un microscopio (come ad esempio distacco di parti di passivazione, crack fisici dei dispositivi, formazione di bolle o depressioni in superficie) o di immagini EL (hot spot, hot carriers).

5.1 Calo della corrente di drain

Riportiamo ora il confronto tra il calo di corrente di drain a diverse temperature di storage, abbiamo scelto 3 campioni che siano sopravvissuti a 2000 ore di storage. I grafici riportano l'andamento di 3 parametri: diodo gate-source, corrente di drain e transconduttanza misurati prima di iniziare lo storage termico e dopo la conclusione dello stesso. Risulta bene visibile il crollo della corrente di drain che è particolarmente significativo alle temperature di 300°C e soprattutto 325°C così come risultano visibili il calo della transconduttanza e lo spostamento della soglia verso valori positivi. Non risulta invece visibile il comportamento “va e vieni” dei leakage di gate e drain mostrato dalla maggior parte dei dispositivi.



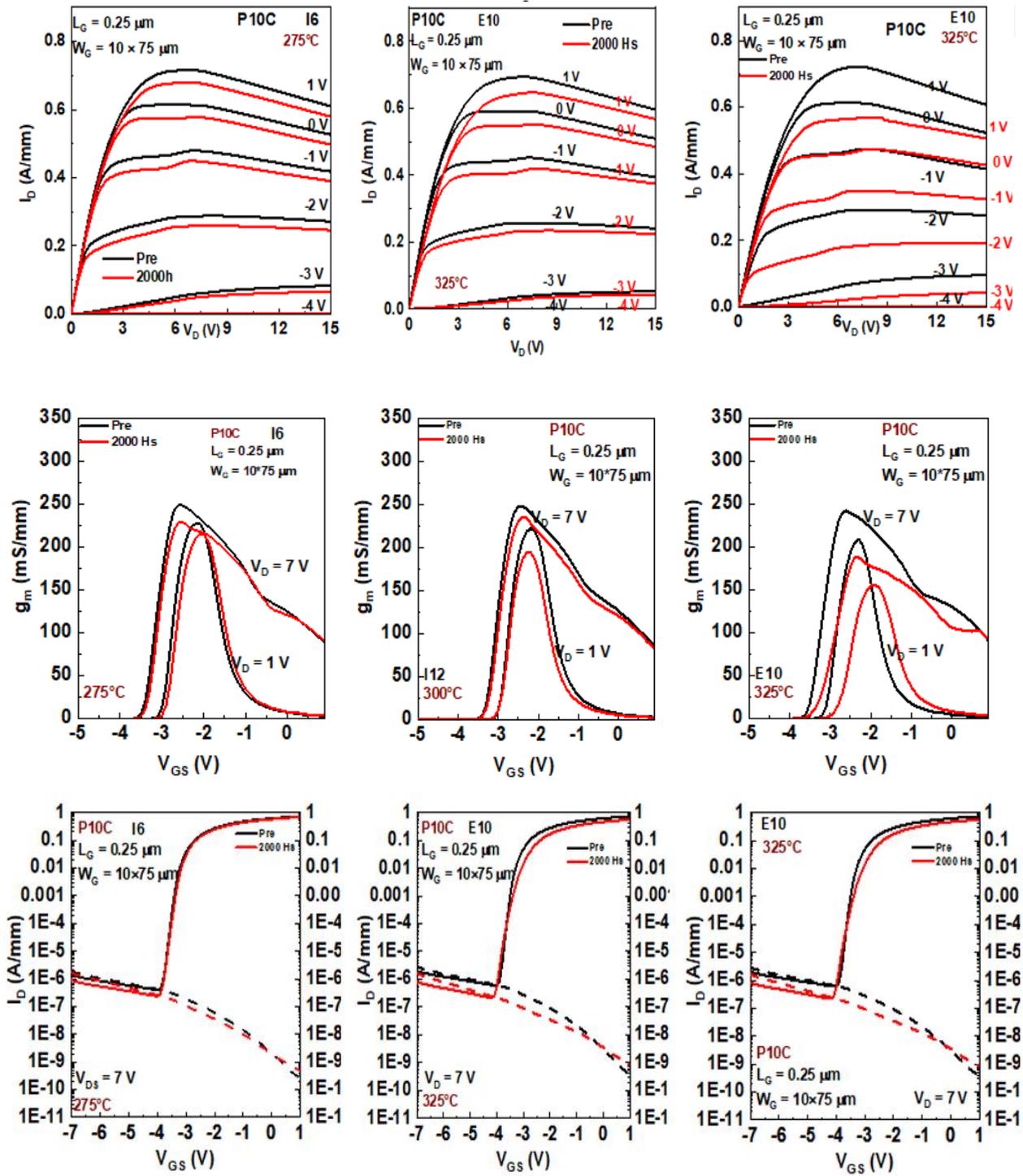


Figura 5.1: Confronto tra le variazioni delle caratteristiche di: diodo G-S, I_D vs V_D , transconduttanza e I_D vs V_G prima e dopo 2000 h di storage a 275°C , 300°C e 325°C .

	A2A_CH4		A2A_CH4_FP		A8A		P10C		Total		
	N° DEV measured	Failed for	N° DEV measured	Failed for Ileak inc. Total No.	N° DEV measured	Failed for Ileak inc. Total No.	N° DEV measured	Failed for Ileak inc. Total No.	N° DEV measured	Failed for Ileak inc. Total No.	%
275°C	14	1	13	0	13	0	14	0	54	1	2%
300°C	18	0	18	1	18	4	19	6	73	11	15%
325°C	18	13	17	13	13	8	10	8	58	42	72%

Tabella 5.1: Fallimento dei dispositivi per forte incremento della corrente di leakage.

5.2 Forte incremento della corrente di perdita di drain

Alcuni dispositivi hanno mostrato un incremento improvviso della corrente di leakage di drain durante lo storage, con la conseguenza di non modulare più il canale per tensioni V_{GS} ridotte. Questo meccanismo di fallimento è imputabile alla rottura di uno o più finger di gate nei dispositivi multifinger.

I dispositivi maggiormente soggetti a tale meccanismo di fallimento sono gli A8A; a 300°C, 12 dispositivi su un totale di 18 dispositivi testati sono falliti per questo criterio ed a 325°C tutti i dispositivi testati (A8A) sono falliti dopo 500 ore di stress.

High Drain leakage current failure										
	A2A_CH4		A2A_CH4_FP		A8A		P10C		tot	
	N° DEV meas	Failed for Ileak inc. Total No.	N° DEV meas	Failed for Ileak inc. Total No.	N° DEV meas	Failed for Ileak inc.	N° DEV meas	Failed for Ileak inc.	% dev failed	
275°C	14	1	13	4	13	3	14	2	18%	
300°C	18	1	18	0	18	12	19	10	32%	
325°C	18	7	17	9	13	13	10	8	66%	

Tabella 5.2: Fallimenti dei dispositivi per l'elevato corrente di leakage di drain.

Osservando l'andamento delle caratteristiche del dispositivo C10 (A8A) (Figura 5.2) rappresentativo del fallimento di tutti i 13 dispositivi a 500 h di storage a 325°C, si nota che l'incremento del leakage non avviene in modo graduale rispetto alle ore di storage, ma aumenta improvvisamente dopo 500 ore. Tale aumento improvviso non è legato all'incremento del leakage di gate in quanto quest'ultimo rimane circa stabile anche dopo il fallimento del dispositivo. Il calo della corrente di drain e del picco di transconduttanza non sono quindi legati a tale meccanismo di fallimento.

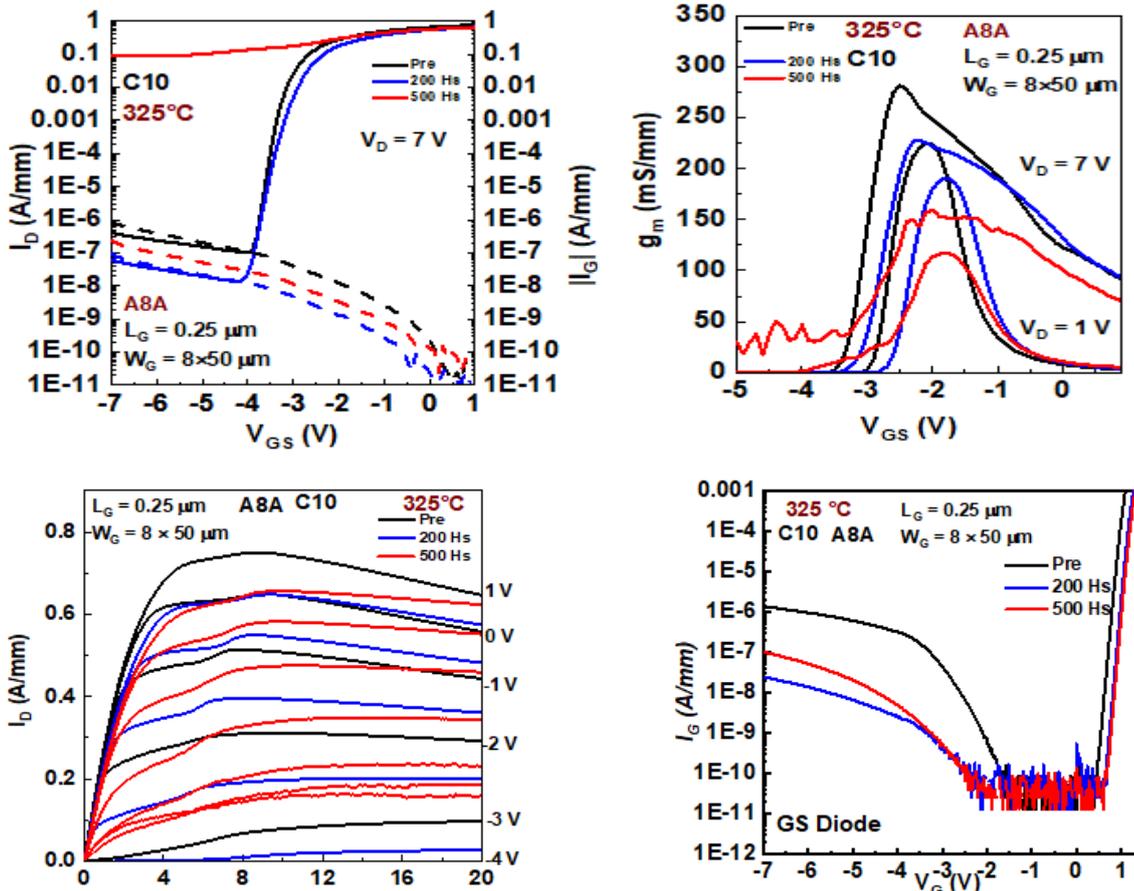


Figura 5.2: Variazione dei parametri rispetto al tempo di storage (325°C) per il dispositivo C10 (layout A8A).

Sulla periferia P10C, di 10 dispositivi testati, 4 soffrono dello stesso tipo di fallimento brusco, mentre 3 dispositivi hanno mostrato un aumento graduale del leakage di drain (Figura 5.3) che tuttavia ha portato al medesimo risultato finale.

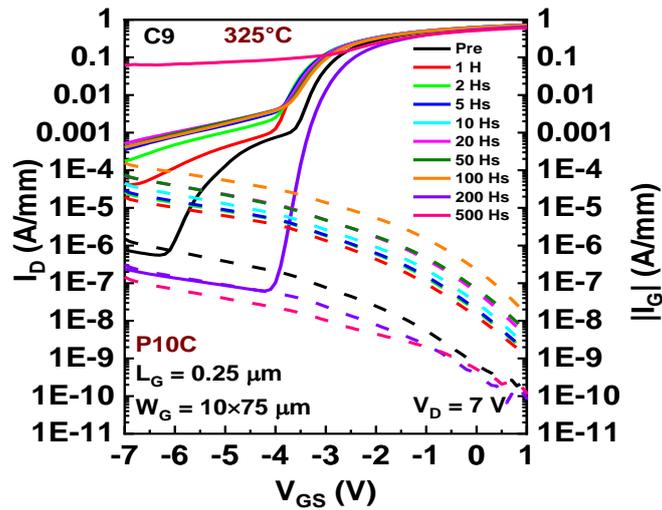


Figura 5.3: Aumento graduale del leakage di drain (dispositivo C9, layout P10C).

5.3 Fallimenti Catastrofici

La periferia A2ACH4 è l'unica a soffrire di fallimento prematuro nelle prime ore di storage a causa di bruciatura. Questo tipo di fallimento è visibile solamente su questo layout che fa parte della PCM (Process Control Monitor) ed alla temperatura di 275°C. Il fatto che solamente un tipo di dispositivo abbia mostrato questo tipo di fallimento e considerando che si è verificato nei campioni sottoposti alla temperatura di storage più bassa (275°C) e nelle ore iniziali, l'ipotesi più probabile è che sia legato ad un errore nello svolgimento della misura più che ad un meccanismo di fallimento vero e proprio. I risultati circa i fallimenti catastrofici per le varie periferie sono mostrati in Tabella 5.3.

Catastrophic failures									
	A2A_CH4		A2A_CH4_FP		A8A		P10C		% failed dev
	N° DEV measured	No. failed dev	N° DE V measurement	No. failed dev	N° DEV measured	No. dev failed	N° DEV measured	No.	
275°C	14	10	13	2	13	0	14	1	22%
300°C	18	4	18	0	18	1	19	1	8%
325°C	18	0	17	0	13	0	10	2	3%

Figure 5.3: Fallimenti Catastrofici.

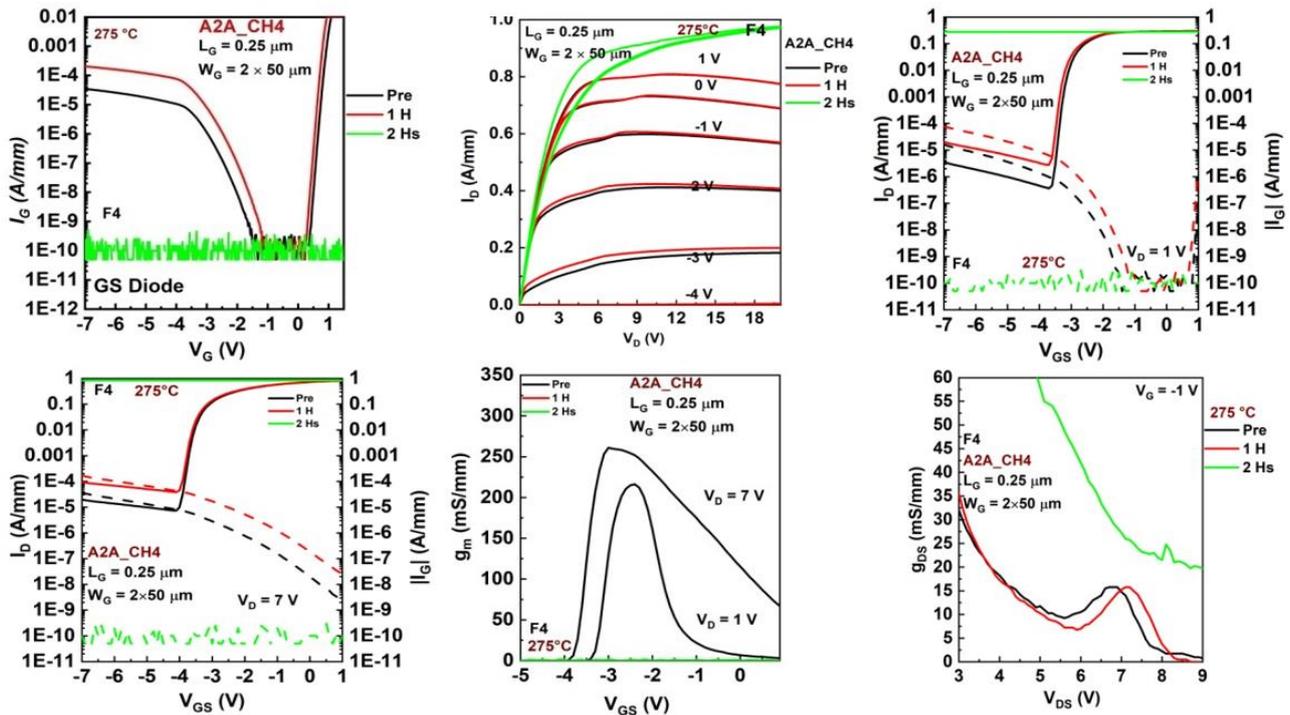


Figure 5.4: Fallimento catastrofico su layout A2ACH4 (275°C).

In alcuni dispositivi gli effetti dello storage hanno portato alla perdita del controllo sul canale a causa di un cortocircuito avvenuto sul gate, tale effetto risulta visibile dalla caratteristica del diodo gate source, dalla curva I_D-V_G ; tale effetto risulta essere generalmente non reversibile.

Il dispositivo in questione non è più in grado di modulare il canale, ciò risulta visibile dalle curve di corrente I_D-V_D che risultano essere sovrapposte per qualsiasi tensione di gate, da un crollo della transconduttanza, dalle correnti di leakage di drain e gate e naturalmente dalla caratteristica del diodo gate-source (Figura P10C).

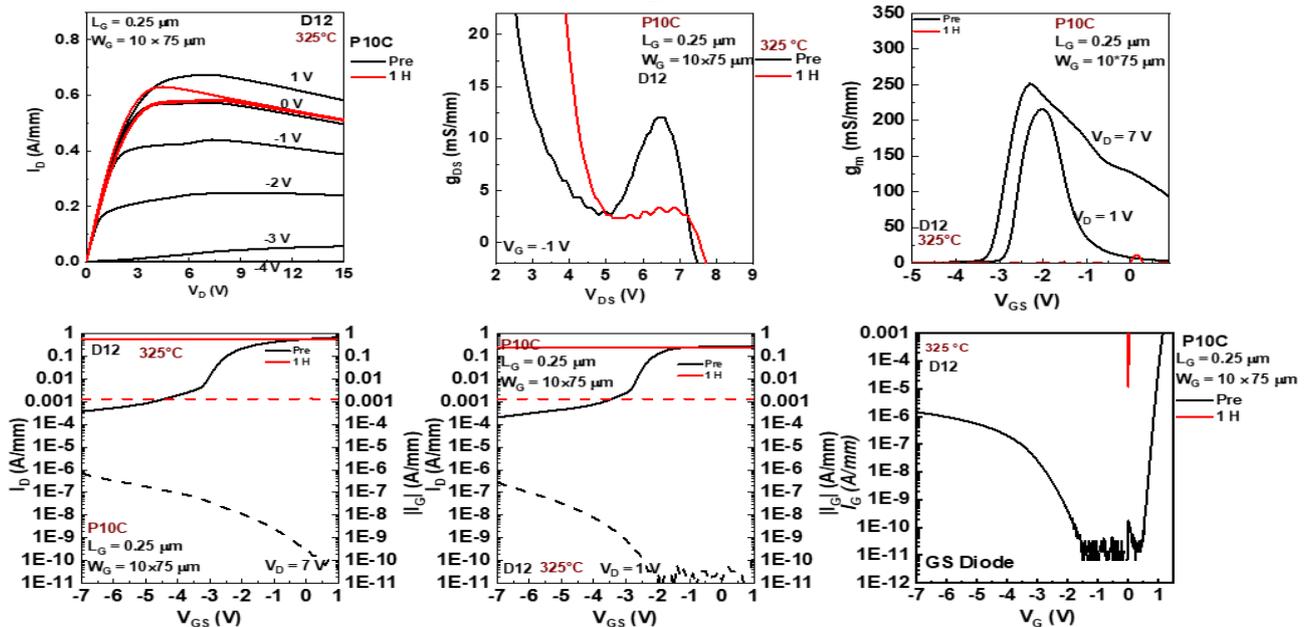


Figure 5.5: Cortocircuito sul diodo gate-source su P10C.

In qualche caso isolato si sono verificati cortocircuiti al gate “reversibili”, tale fenomeno potrebbe essere dovuto alla deposizione di materiale che avrebbe creato un vero e proprio cortocircuito tra i terminali di gate e source. Il recupero delle caratteristiche osservato in seguito può essere spiegato con l’evaporazione dei materiali responsabili del cortocircuito (figura 5.2).

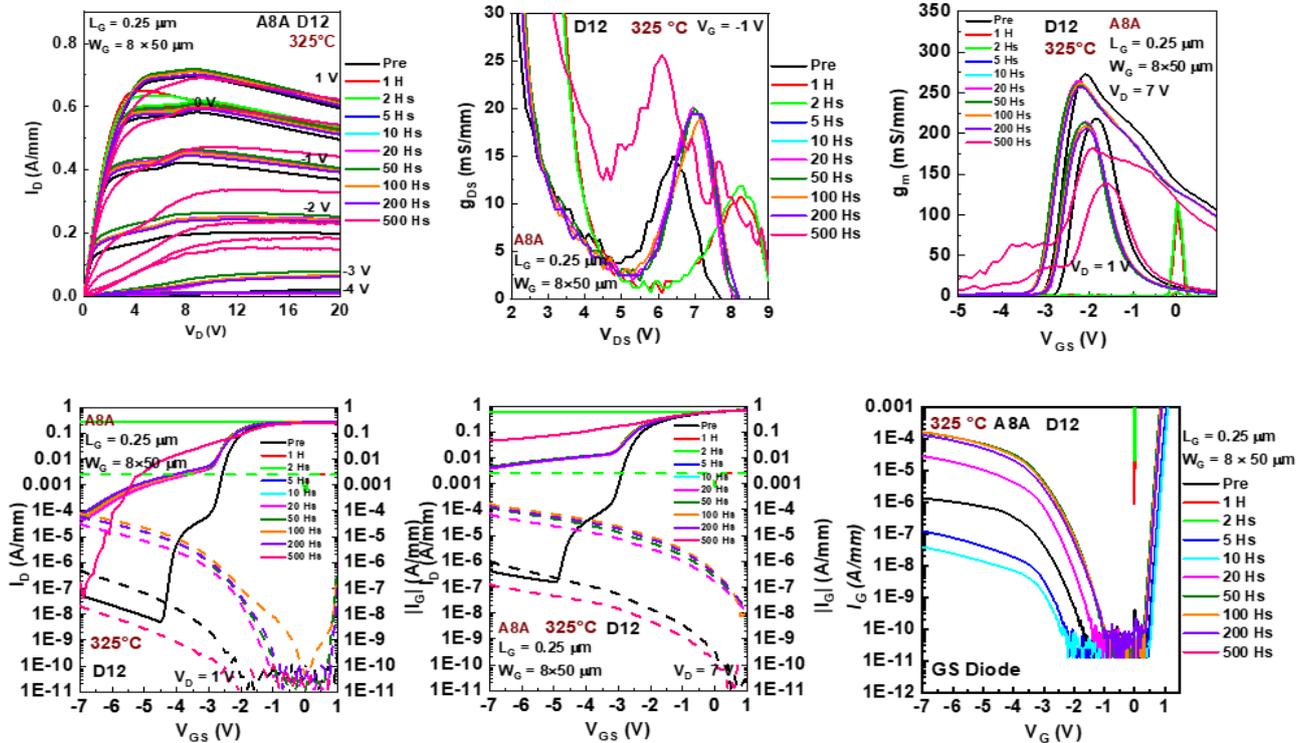


Figura 5.2: Cortocircuito reversibile al gate su A8A.

5.4 Variazione del leakage di gate e dell’altezza di barriera

Un comportamento comune a tutti i dispositivi, visibile a tutte le temperature di storage è l’aumento della corrente di leakage di gate nelle prime 5-10 ore seguita da un calo della stessa fino a valori inferiori rispetto a quelli pre-storage. Allo stesso tempo risulta visibile uno shift della corrente in polarizzazione diretta verso sinistra nelle prime 10 ore e poi un graduale spostamento verso destra della stessa.

Tale comportamento della corrente di leakage di gate può essere apprezzato meglio se fissiamo la tensione di gate a $V_G = -7V$ o per la corrente in conduzione diretta a $V_G = 0.5V$.

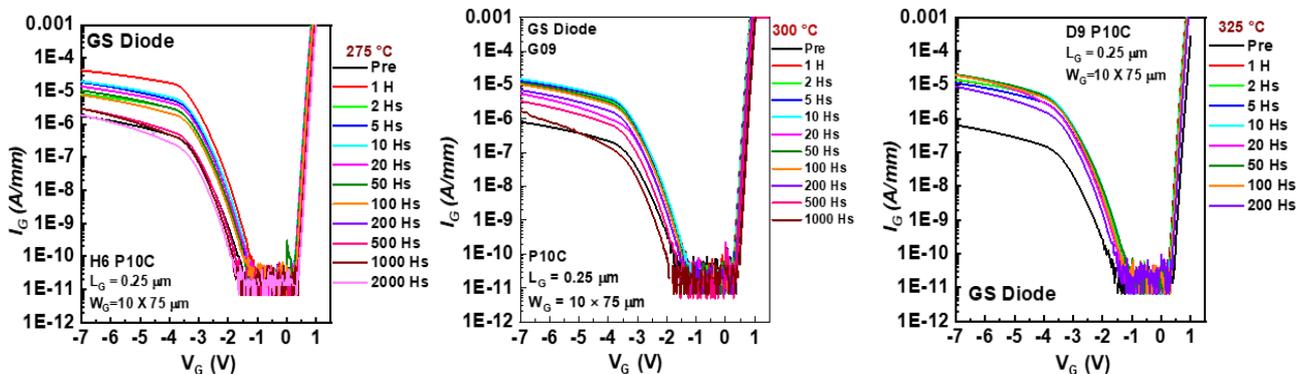


Figura 5.3: Gate-source Schottky diode.

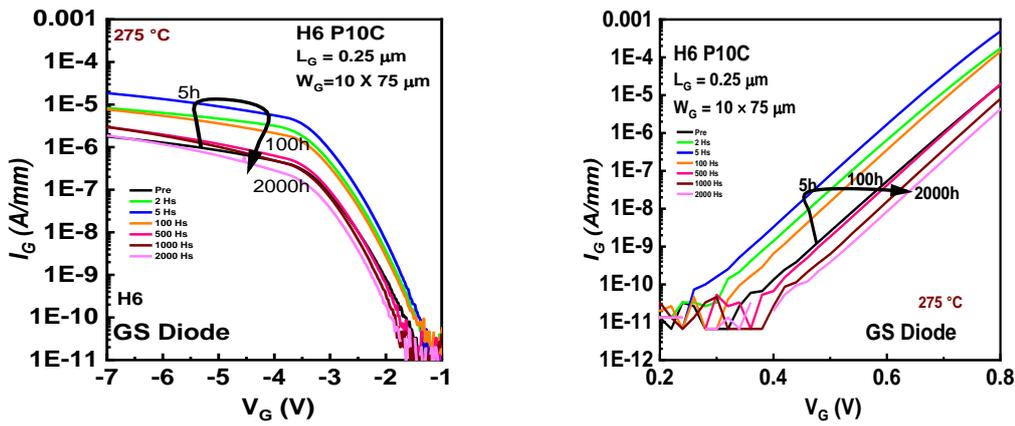


Figura 5.4: Diodo Schottky in polarizzazione inversa (sx) e diretta (dx).

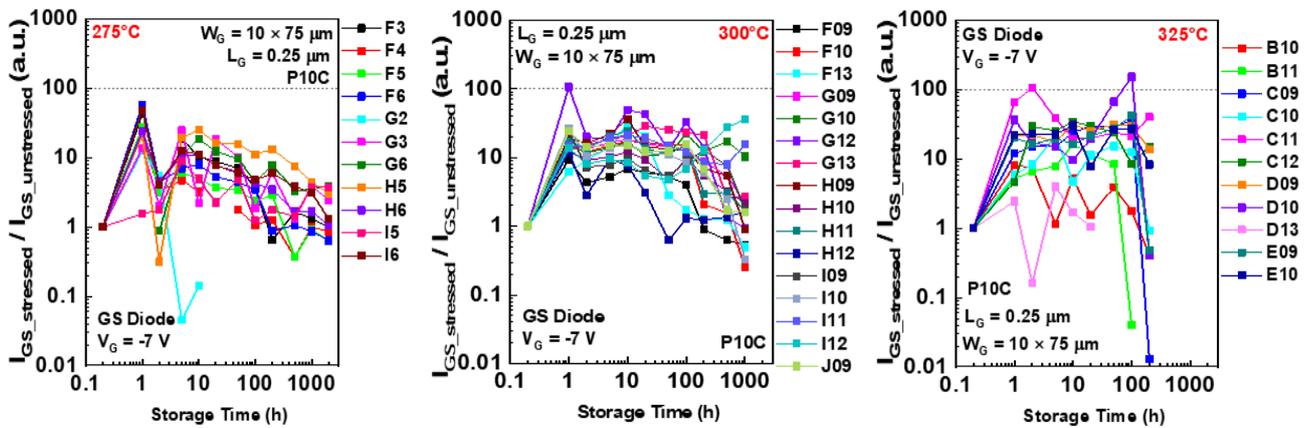


Figura 5.5: Variazione di I_{GS} a tensione fissata $V_{GS} = -7V$ per 3 temperature (P10C).

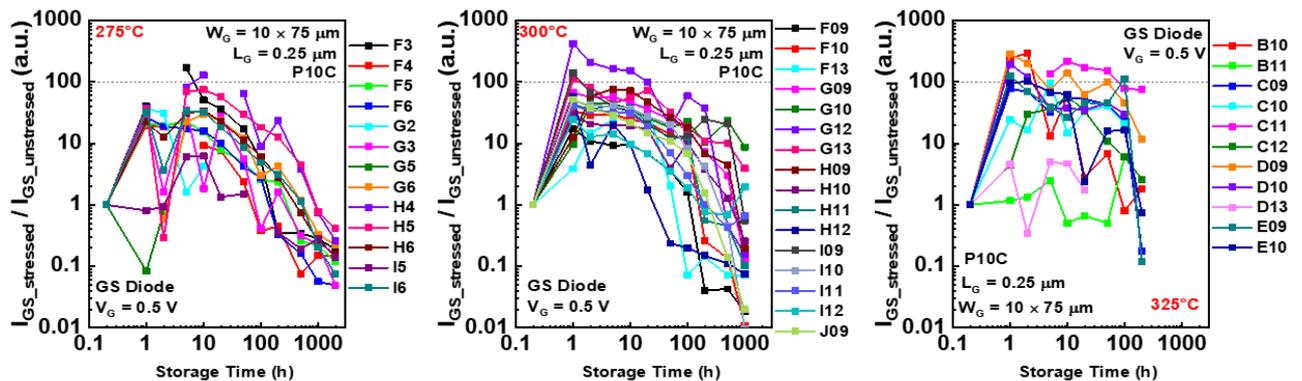


Figura 5.6: Variazione di I_{GS} a tensione fissata $V_{GS} = 0.5V$ per 3 temperature (P10C).

L'incremento dell'altezza di barriera è prevalentemente monotono, eccezion fatta per i dispositivi sottoposti a storage termico alla temperatura 325°C i quali mostrano forti segni di degradazione a 500 ore di storage.

È probabile che tale variazione influenzi la tensione di pinch-off come si può vedere in Figura 5.9, infatti il pinch-off cala nella prima parte (in corrispondenza dell'aumento dell'altezza di barriera) per tornare a spostarsi verso valori positivi dopo 10-20 ore.

Il picco di transconduttanza g_m e la corrente I_{DSS} non sembrano essere influenzati da tale variazione.

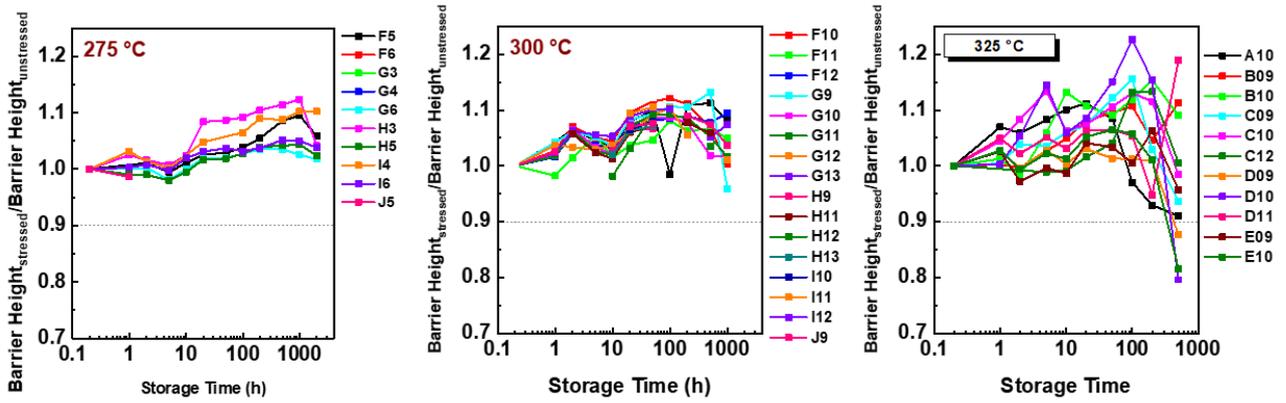


Figura 5.7: Variazione dell'altezza di barriera durante lo storage termico (P10C).

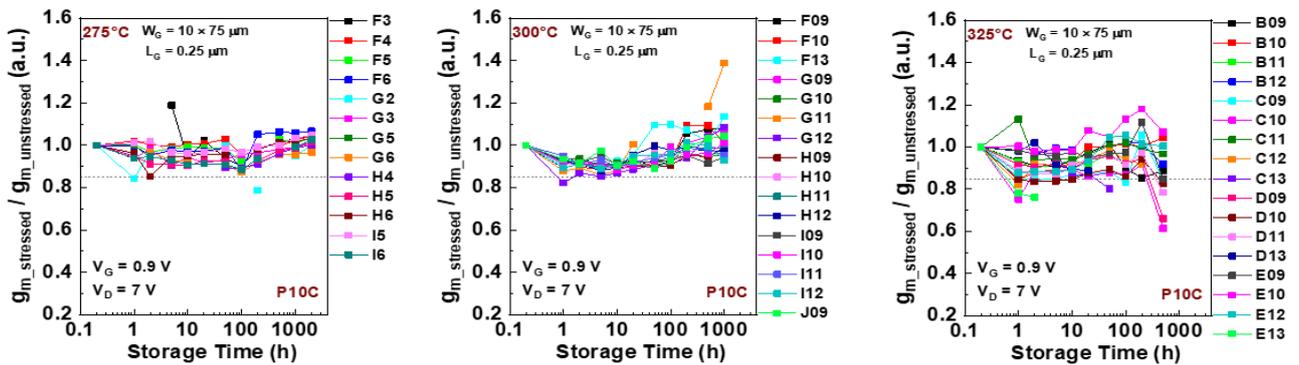


Figura 5.8: Variazione di transconduttanza durante lo storage termico (P10C).

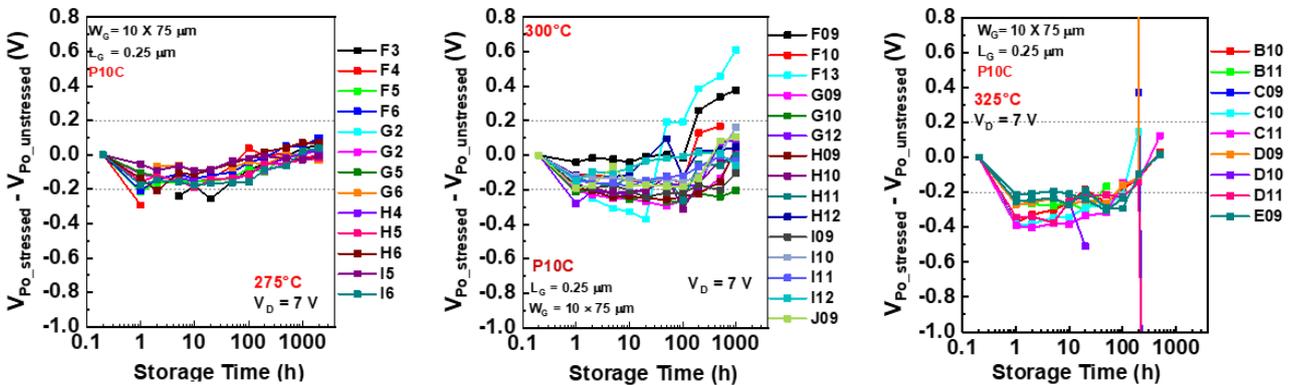


Figura 5.9: Variazione della tensione di pinch-off (P10C).

Non è la prima volta che si incontra questo comportamento “va e vieni” della variazione di corrente del diodo Schottky.

Lo stesso tipo di variazione è stata studiata per tecnologia $0.25\mu\text{m}$ e $0.50\mu\text{m}$ [14] provenienti da differenti fornitori; questi dispositivi differiscono da quelli di Leonardo per il processo di epitassia e per la composizione delle metallizzazioni di gate. Crediamo quindi che questo comportamento non sia legato all'interdiffusione di metalli nella barriera Schottky.

Ancona e Binari hanno studiato l'effetto della temperatura sugli stress meccanici tensili e compressivi dei materiali [15]; ipotizzando che i danni non derivino dall'espansione termica in sè, ma dalla differenza nell'espansione termica dei diversi materiali a

contatto.

Lo strato di passivazione in nitruro di silicio ha anch'esso un effetto sulle caratteristiche termomeccaniche dei dispositivi in quanto può incorporare stress intrinseci.

Gli stress meccanici possono quindi impattare sulla variazione dell'altezza di barriera durante lo storage termico, sono tuttavia necessari ulteriori studi sul fenomeno.

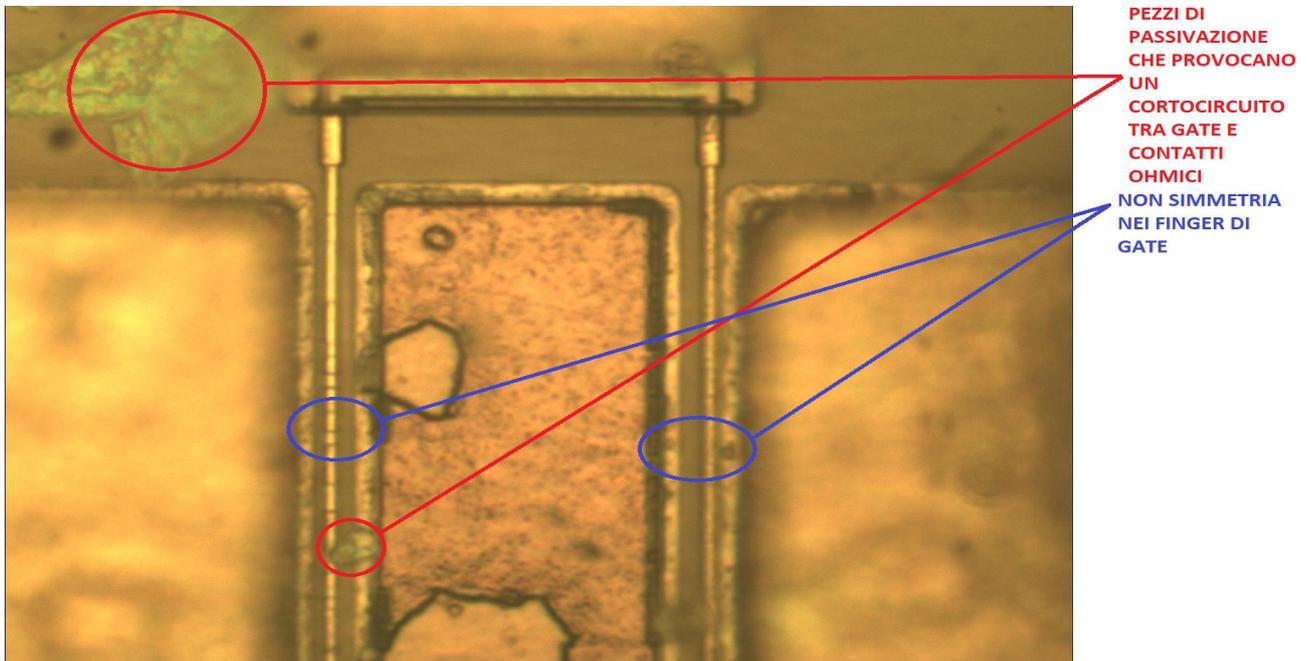


Figura 5.4: Fotografia (100X) regione attiva A2ACH4 (QC).

Figura 5.4 mostra la regione attiva di un A2ACH4 sul quale dei pezzi di passivazione provocano dei cortocircuiti tra terminale di gate e contatti ohmici (drain e source); la fotografia mette in evidenza la mancanza di simmetria dei finger di gate rispetto ai terminali di drain e source. Tale mancata simmetria è imputabile al processo di produzione e non ad una degradazione termica, tuttavia la differente distribuzione di corrente tra i due finger potrebbe invece portare a problemi di affidabilità.

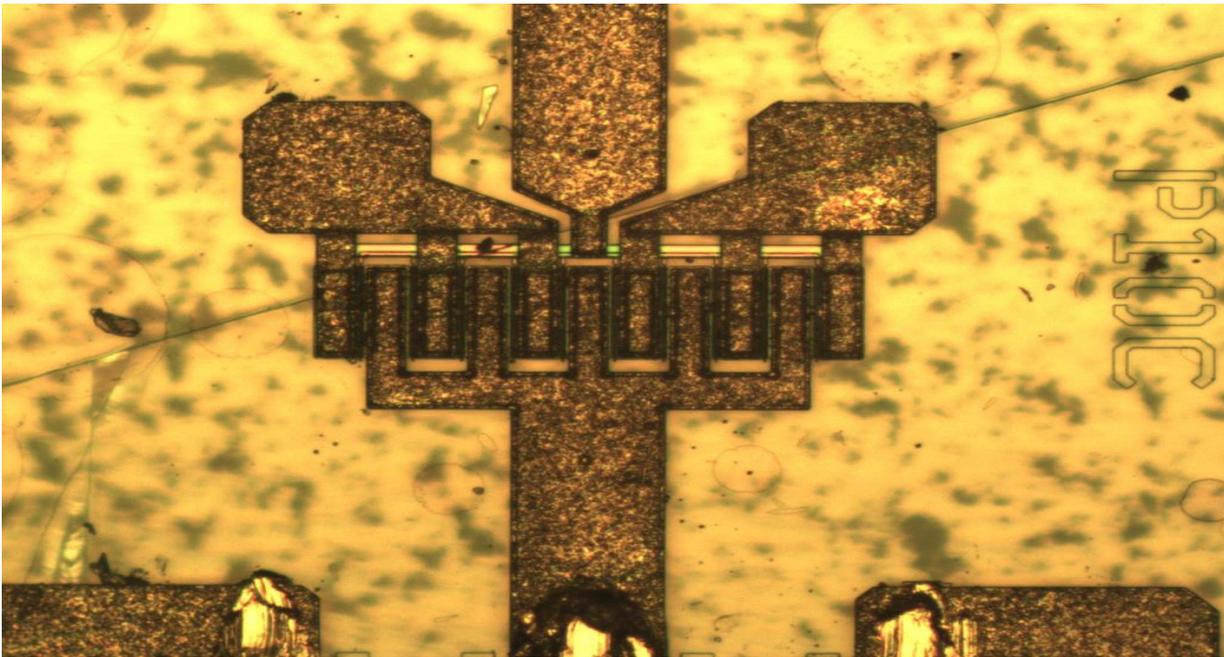


Figura 5.5: Crepa che attraversa un dispositivo P10C.

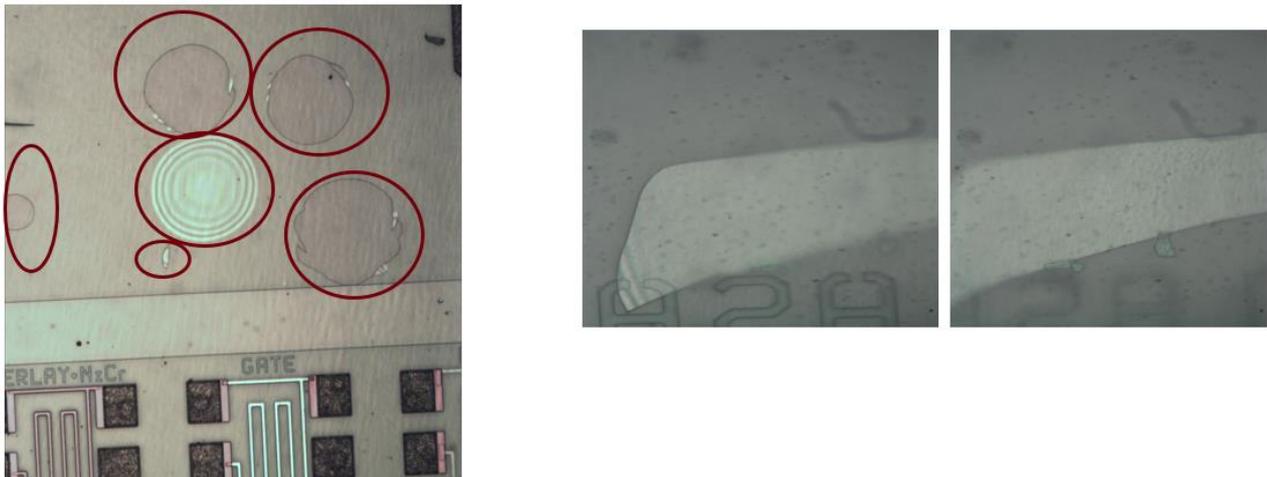
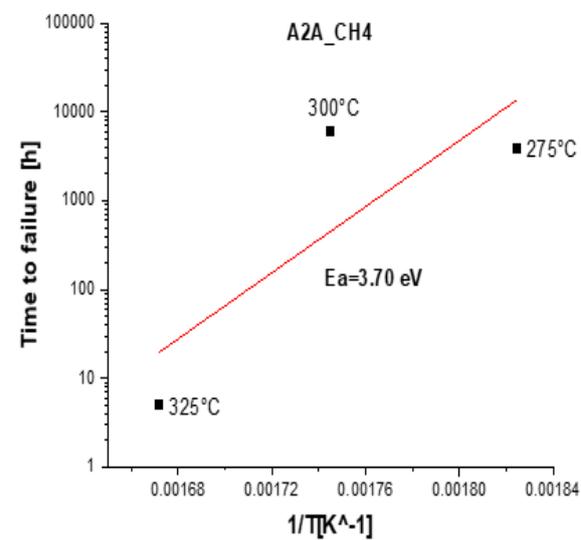
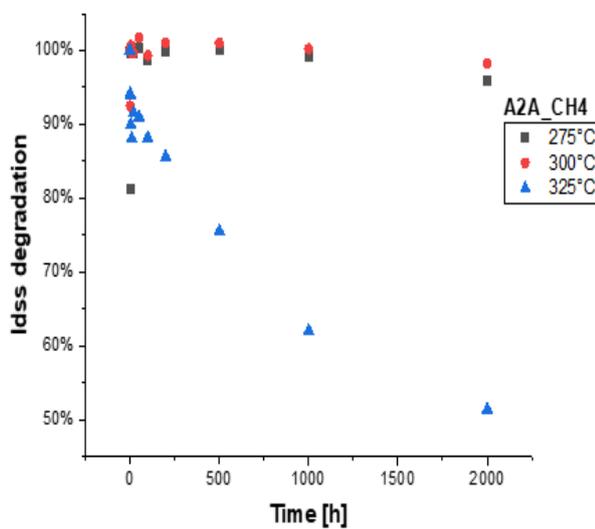
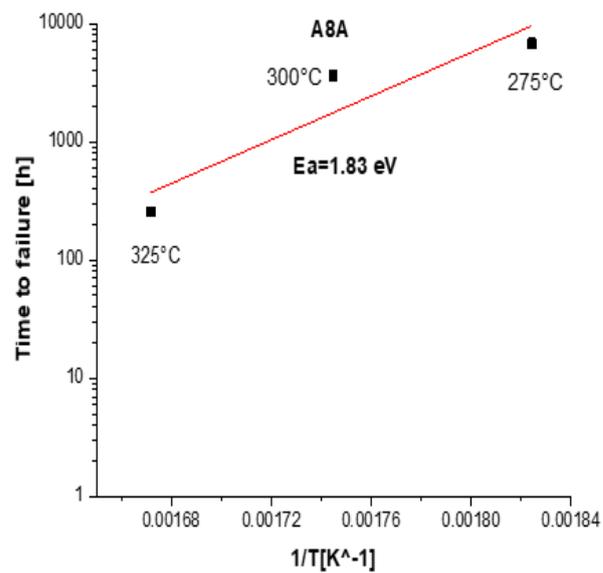
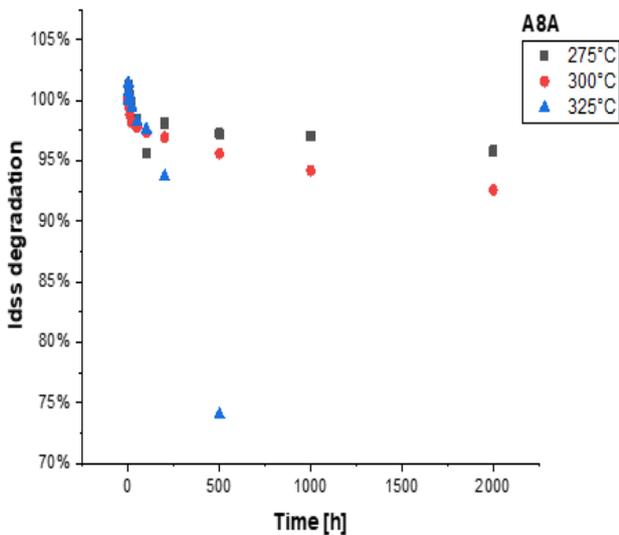
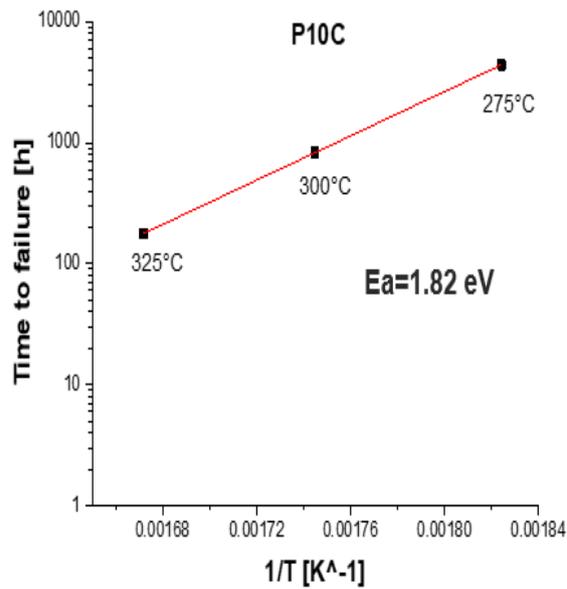
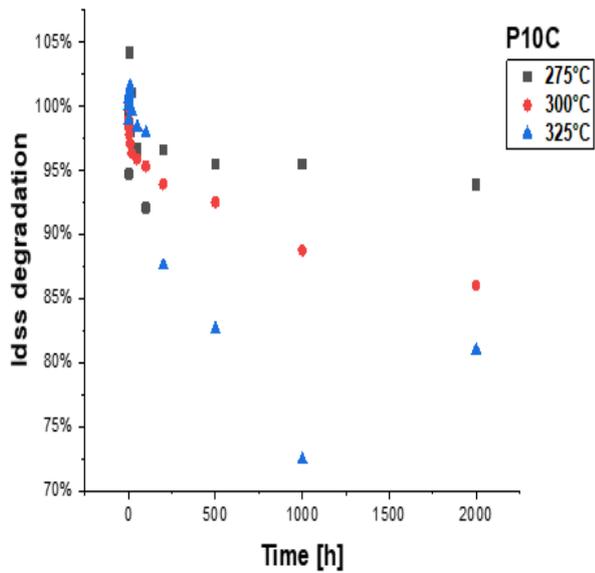


Figura 5.6: Bolle e cerchi apparsi su strato di passivazione (sx), pezzi di passivazione staccati (dx).

5.6 Tempo al fallimento

Partendo dai dati delle correnti di saturazione dei dispositivi ottenute durante lo storage termico, abbiamo estratto media e variazione standard per ciascun tipo di dispositivo ad ogni ora di storage, abbiamo scelto una variazione del 10% del suddetto parametro (I_{DSS}) come criterio di fallimento per i dispositivi.

I valori di energia di attivazione trovati con questo metodo sono compatibili con quanto studiato ed analizzato in altre occasioni, fatta eccezione per gli A2ACH4 che mostrano un'energia di attivazione molto maggiore rispetto agli altri layout. Tale risultato potrebbe essere stato falsato dall'elevato numero di dispositivi falliti durante uno step di storage termico a 275°C.



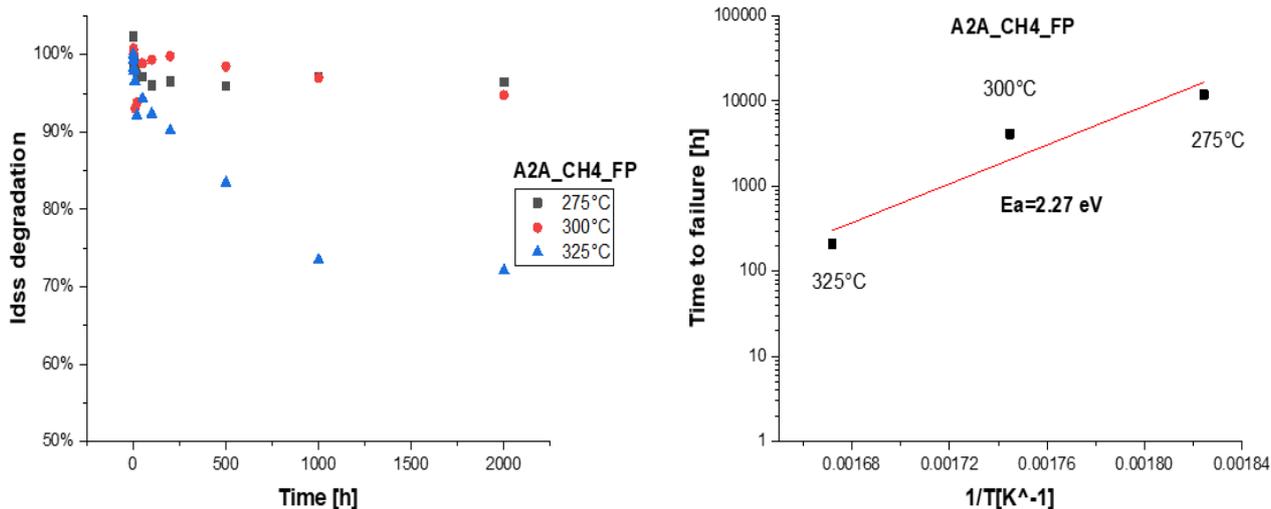


Figura 5.7: Degradazione percentuale di I_{dss} e tempo al fallimento per le 4 periferie analizzate.

L'unica periferia priva di field plate (A2ACH4) mostra maggior degradazione della corrente se confrontata con il corrispettivo provvisto di field plate in particolare alla temperatura di storage più elevata.

Conclusioni

I test elettrici realizzati su le quattro periferie descritte hanno dato dei buoni risultati, in particolare è stato possibile identificare degli stati trappola presenti nel materiale e tramite confronti con dati di studi presenti in letteratura si sono attribuite alla presenza di Fe^{3+}/Fe^{2+} , C (Carbonio) o trappole all'interfaccia AlGa_N/Ga_N.

Gli step stress in tensione applicati al terminale di drain hanno consentito di ricavare le tensioni (campi elettrici) critici per il dispositivo nelle varie condizioni di funzionamento (off-state, semi on-state e on-state).

Gli stress di 24 ore a tensione costante sono stati utili nella comprensione di quale condizione sia la più "delicata" dal punto di vista della degradazione dei parametri.

Tramite immagini EL abbiamo osservato alcuni fenomeni legati ad hot-spot, hot carriers e non omogeneità nella distribuzione di corrente tra i vari finger di gate dei dispositivi, oltre a tali fenomeni mediante l'utilizzo di microscopio elettronico siamo riusciti ad individuare delle mancate simmetrie nelle distanze tra i finger di gate ed i contatti ohmici (drain e source) imputabili a non idealità dei processi produttivi ed in particolare al non perfetto allineamento delle maschere utilizzate in fase di produzione. Lo storage termico ha mostrato una forte affidabilità della tecnologia 0.25 μ m di Leonardo, la periferia P10C è stata trovata un'energia di attivazione $E_a=1.8$ eV, che a 200°C corrisponde ad un tempo di vita di oltre 200 anni; tuttavia alcuni meccanismi di fallimento sono stati individuati, sarà quindi necessario tenerne conto durante lo svolgimento di stress termici a lungo termine in condizioni di polarizzazione previsti per i prossimi mesi.

Il crollo della corrente di drain ed il calo del picco di transconduttanza sono i meccanismi di degradazione più importanti tra quelli osservati ed hanno superato valori del 20% a temperatura 325°C.

I dispositivi multifinger hanno mostrato debolezza su alcuni finger, l'aumento brusco della corrente di leakage drain-source è associabile alla rottura di uno o più finger.

Durante lo svolgimento dello storage si è osservata una variazione dell'altezza di barriera, tale variazione si è rivelata impattare sulla tensione di pinch-off minando la stabilità della stessa. Tale effetto è stato osservato su dispositivi con layout differenti, per questo motivo possiamo ipotizzare che le cause risiedano nella natura piezoelettrica del materiale (effetto piezoelettrico inverso) e nello stress termomeccanico che si verifica durante lo storage in temperatura.

Due meccanismi potrebbero essere ritenuti responsabili di questa forte degradazione; il primo meccanismo è associato allo strato di passivazione, mentre il secondo a fenomeni che avvengono all'interfaccia AlGa_N/Ga_N.

Del primo meccanismo abbiamo riscontro grazie a fotografie acquisite mediante l'utilizzo di microscopio elettronico, in particolare si evidenziano danni allo strato di passivazione sotto forma di apparizione di bolle e cerchi (dovuti alla fusione dello strato) ed in altri casi si ha il distacco di porzioni di passivazione che talvolta possono provocare dei cortocircuiti sulle giunzioni gate-source.

Il secondo meccanismo che è forse il maggior responsabile dei fallimenti ha luogo all'interfaccia AlGa_N/Ga_N ed è principalmente dovuto ai danni riportati a livello di reticolo causati dalle differenti costanti di espansione termica di AlGa_N e Ga_N.

Un'ulteriore ipotesi è che la combinazione di stress termico e di misura ad alte tensioni (parte della caratterizzazione DC) combinate aumentino di molto la velocità con la quale degradano i parametri dei dispositivi.

Sarà necessario approfondire lo studio legato a questo fenomeno.

Bibliografia

- [1] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, L. F. Eastman, R. Dimitrov, A. Mitchell, e M. Stutzmann. “Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa_N/Ga_N heterostructures”. *Journal of Applied Physics* 87, 334 (2000).
- [2] Gaudenzio Meneghesso, Giovanni Verzellesi, Francesca Danesin, Fabiana Rampazzo, Franco Zanon, Augusto Tazzoli, Matteo Meneghini and Enrico Zanoni. “Reliability of GaN High Electron Mobility Transistors: State of the Art and Perspectives”. *IEEE TRANSACTIONS ON DEVICE AND MATERIAL RELIABILITY*, VOL. 8, NO. 2, JUNE 2008.
- [3] Gaudenzio Meneghesso, Matteo Meneghini, Davide Bisi, Isabella Rossetto, Cester, Umesh K Mishra e Enrico Zanoni. “Trapping phenomena in AlGa_N/Ga_N HEMTs: a study based on pulsed and transient measurements”. *Semicond. Sci. Technol.* 28 (2013) 074021.
- [4] Jungwoo Joh, Jesús. A del Alamo, Uttiya Chowdhury, Hua-Quen Tserng, and Jose L. Jimenez. “Measurement of Channel Temperature in GaN High-Electron Mobility Transistors”. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 56, NO. 12, DECEMBER 2009: 2895-2901.
- [5] Davide Bisi, Matteo Meneghini, Carlo de Santi, Alessandro Chini, Michael Dammann, Peter Brückner, Michael Mikulla, Gaudenzio Meneghesso and Enrico Zanoni. “Deep-Level Characterization in GaN HEMTs-Part I: Advantages and Limitations of Drain Current Transient Measurements”. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, VOL. 60, NO. 10, OCTOBER 2013.
- [6] S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, D. Park, H. B. Dietrich, D. D. Koleske, A. E. Wickenden, and R. L. Henry, “Trapping Effects and Microwave Power Performance in AlGa_N/Ga_N HEMTs,” *IEEE Transactions on Electron Devices*, vol 48, no. 3, pp. 465-471, March 2001.
- [7] S. C. Binari, P. B. Klein, and T. E. Kazior, “Trapping Effects in GaN and SiC Microwave FETs,” *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1048-1058, June 2002.
- [8] T. Okino, M. Ochiai, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani, “Drain current DLTS of AlGa_N-Ga_N MIS-HEMTs,” *IEEE Electron Device Lett.*, vol. 25, no. 8, pp. 523–525, 2004.
- [9] P. Hacke, T. Detchpromm, K. Hiramatsu, N. Sawaki, K. Tadatomo, and K. Miyake “Analysis of deep levels in n-type GaN by transient capacitance methods,” *J. Applied Physics*, vol. 76, no. 1 pp:304-309, July 1994.
- [10] D. C. Look, Z. Q. Fang, and B. Claflin, “Identification of donors, acceptors, and traps in bulk-like HVPE GaN,” *J. Cryst. Growth*, vol. 281, no. 1, pp. 143–150, 2005.

- [11] M. Gassoumi, B. Grimbert, C. Gaquiere, and H. Maaref, "Evidence of surface states for AlGaN/GaN/SiC HEMTs passivated Si₃N₄ by CDLTS," *Semiconductors*, vol. 46, no. 3, pp. 382–385, 2012.
- [12] R. Heitz *et al.*, "Excited states of in GaN," *Phys. Rev. B - Condens. Matter Mater. Phys.*, vol. 55, no. 7, pp. 4382–4387, 1997.
- [13] M. Silvestri, M. J. Uren, and M. Kuball "Iron induced deep-levels acceptor centre In GaN/AlGaN high electron mobility transistors: Energy level and cross section," *Appl. Phys. Lett.*, vol. 102, no. 7, pp. 1-5, 2013.
- [14] E. Zanoni, G. Meneghesso, et al "Preliminary Validation of Space Compatible GaN foundry Process" Abstract of ESA/ESTEC Contract No.4000106310/12/NL/SFe
- [15] M.G.Ancona, S.C. Binari, D.J. Meyer "Fully coupled thermoelectromechanical analysis of GaN high electron mobility transistor degradation" *Journal of Applied Physics* 111, 074504 (2012)
- [16] M. Meneghini *et al.*, "Electron and hole-related luminescence processes in gate injection transistors," *Appl. Phys. Lett.*, vol. 97, no. 3, 2010.
- [17] M. Meneghini *et al.*, "Investigation of trapping and hot-electron effects in GaN HEMTs by means of a combined electrooptical method," *IEEE Trans. Electron Devices*, vol. 58, no. 9, pp. 2996–3003, 2011.
- [18] Wikipedia contributors. (2019, November 5). Gallium nitride. In *Wikipedia, The Free Encyclopedia*. Retrieved 17:53, November 25, 2019.
- [19] E. Zanoni, M. Meneghini, A. Chini, D. Marcon, and G. Meneghesso, "AlGaN/GaN-based HEMTs Failure Physics and Reliability: Mechanism Affecting Gate Edge and Schottky Junction," *IEEE Transaction on Electron Devices*, vol. 60, pp. 3139-3131, September 2013.
- [20] ESA-GSTP-TECQTC-SOW-1802-RFQ/3-14571/16/nl/ps/GP
- [21] D. Ehrentraut, E. Maissner, and M. Bockowski, "Technology of Gallium Nitride Crystal Growth," Springer 2010.
- [22] R. Quay, "Gallium Nitride Electronics", Springer 2008.
- [23] F. Ren, and J. C. Zopler, "Wide Energy Bandgap Electronics Devices" World Scientific Publishing Co. Pte. Ltd., 2003
- [24] G. Meneghesso, R. Pierobon, F. Rampazzo, G. Tamiazzo, E. Zanoni, J. Bernat, P. Kordos, A. F. Basile, A. Chini, and G. Verzellesi, "Hot Electron Stress degradation in unpassivated devices GaN/AlGaN/GaN HEMTs on SiC," *IEEE 43rd Annual International Reliability Physics Symposium*, San Jose, 2005
- [25] G. Meneghesso, F. Rampazzo, P. Kordos, G. Verzellesi, and E. Zanoni, "Current Collapse

and High-Electric-Field Reliability of Unpassivated GaN/AlGaIn/GaN HEMTs,” *IEEE Transaction on Electron Devices* vol. 53, no. 12, pp. 2932-2941, December 2006.

[26] [http : //en.wikipedia.org/wiki/High-electron-mobility_transistor](http://en.wikipedia.org/wiki/High-electron-mobility_transistor).