

**UNIVERSITÀ
DEGLI STUDI
DI PADOVA**

Sede Amministrativa: Università degli Studi di Padova
Dipartimento di Tecnica e Gestione dei Sistemi Industriali

CORSO DI LAUREA MAGISTRALE IN INGEGNERIA MECCATRONICA

Analisi e sperimentazione di tecniche di controllo ad elevate prestazioni per gruppi statici di continuità

Relatore

Prof. Paolo Mattavelli

Correlatore

Ing. Michele Corradin

Laureando

Riccardo Caliaro

ANNO ACCADEMICO 2016/2017

Riccardo Caliaro:

*Analisi e sperimentazione di tecniche di controllo ad elevate prestazioni per gruppi statici di
continuità*

RELATORE:

Prof. Paolo Mattavelli

Vicenza,

Dicembre 2017

RINGRAZIAMENTI

Vorrei esprimere la mia sincera gratitudine al Professore Mattavelli, per l'indispensabile guida durante lo svolgimento di questo lavoro e, soprattutto, per la grande gentilezza e disponibilità che ha sempre dimostrato nei miei confronti.

Un particolare ringraziamento va a Michele Corradin, per i consigli, la disponibilità ed il supporto continuo in questi mesi di lavoro. Senza il suo aiuto il raggiungimento dei risultati presenti in questa tesi non sarebbe stato possibile.

Vorrei, poi, ringraziare le persone con cui ho condiviso i mesi di lavoro per la stesura di questa tesi nel laboratorio integrato di mecatronica. In particolare vorrei ricordare Francesco Cavazzana, Andrea Petucco e Aram Khodamoradi per la disponibilità dimostratami, a livello tecnico, ma soprattutto a livello personale. Vorrei ricordare poi il mio collega e amico Vladimir Mogildea per i consigli ed il supporto che mi ha sempre riservato in questi mesi.

Vorrei esprimere, infine, la più profonda gratitudine alla mia fidanzata Giulia, a mia madre Carla, mio padre Emanuele, a Mira ed Almeris, per la pazienza e il supporto quotidiano, senza i quali non avrei potuto raggiungere alcun obiettivo.

INDICE

Elenco delle figure	vii	
Elenco delle tabelle	xiii	
1	INTRODUZIONE	1
1.1	Gruppi statici di continuità	2
1.2	Obiettivi della tesi	5
1.3	Struttura della tesi	5
2	SISTEMA A DATI CAMPIONATI E MODELLAZIONE	7
2.1	Sistema considerato	8
2.2	Elementi di un sistema a dati campionati	9
2.2.1	Convertitori A/D: problematiche principali	9
2.3	Modellazione di convertitori di potenza	12
2.3.1	Modelli di regime	12
2.3.2	Modelli dinamici	13
2.3.3	Modelli dinamici per il controllo digitale	14
3	CONTROLLO DIGITALE PER CONVERTITORI DC/AC	17
3.1	Controllo a basso livello dell'inverter	17
3.1.1	Modulatore PWM: generalità	18
3.1.2	Modulatore PWM digitale	19
3.1.3	Sincronizzazione di campionamento e modulazione	24
3.2	Ritardi nell'anello di controllo digitale	26
3.2.1	Ritardo del controllore	26
3.2.2	Ritardo del modulatore digitale	26
3.3	Non idealità e oscillazioni di ciclo limite	27
3.3.1	Quantizzazione in ingresso	28
3.3.2	Quantizzazione aritmetica e quantizzazione in uscita	28
3.3.3	Oscillazione di ciclo limite	29
3.4	Controllo esterno dell'inverter	30
3.4.1	Modalità di progetto: una panoramica	31
3.4.2	Modello dinamico del VSI	32
3.4.3	Controllo di corrente	35
3.4.4	Controllo di tensione	40
3.5	Saturazione dell'attuatore e anti-windup	43
3.5.1	Limitazione dinamica dell'integratore	45
3.6	Controllo di corrente sovracampionato	46
3.6.1	Controllo PI sovracampionato	47
3.6.2	Controllo dead-beat sovracampionato	49
3.6.3	Controllo a isteresi digitale a frequenza fissa	50

4	METODOLOGIA E STRUMENTI DI ANALISI	53
4.1	Inverter multilivello	53
4.1.1	Inverter a tre livelli NPC	55
4.2	Procedura di analisi del sistema di controllo	58
4.3	Strumenti di simulazione	59
4.4	Strumenti di indagine sperimentale	59
5	CONTROLLO DEAD-BEAT MULTIANELLO	63
5.1	Controllo dead-beat di corrente	63
5.1.1	Progetto in spazio di stato	65
5.1.2	Progetto con approccio "fisico"	68
5.1.3	Compensazione del ritardo di calcolo	70
5.2	Controllo dead-beat di tensione	71
5.2.1	Feed-forward della corrente sul condensatore	73
5.2.2	Stima della corrente di carico	73
5.2.3	Interpolazione del riferimento di corrente	74
6	SIMULAZIONI	75
6.1	Controllo di corrente	76
6.1.1	Prove in cortocircuito	76
6.1.2	Prove con carico resistivo a potenza nominale	78
6.2	Controllo di tensione	80
6.2.1	Variazione di carico	80
6.2.2	Carico capacitivo	88
6.2.3	Carico distortore	92
7	RISULTATI SPERIMENTALI	97
7.1	Controllo di corrente	97
7.1.1	Prove a vuoto	98
7.1.2	Prove con carico resistivo	101
7.2	Controllo di tensione	105
7.2.1	Transitorio di carico	105
7.2.2	Carico capacitivo	108
8	CONCLUSIONI	113
	BIBLIOGRAFIA	115

ELENCO DELLE FIGURE

Figura 1.1	Disponibilità elettrica da fonti rinnovabili: situazione globale, in Unione Europea, BRICS (Brasile, Russia, India, Cina, Sudafrica) e nei 7 paesi con la maggiore capacità installata, fine 2015 [1].	1
Figura 1.2	Schema generale di un sistema UPS.	2
Figura 1.3	Schemi delle due tipologie principali di <i>Uninterruptible Power Supply</i> (UPS): a doppia conversione (a) e interattivo (b) [2].	4
Figura 2.1	Rappresentazione semplificata di un inverter <i>half-bridge</i> monofase [3].	8
Figura 2.2	Schema tipico di sistema di un sistema di controllo di corrente digitale per inverter <i>half-bridge</i> [3].	10
Figura 2.3	Schema a blocchi del processo di conversione A/D (a) e relative forme d'onda (b) [4].	11
Figura 2.4	Segnale campionato e ricostruito affetto da <i>aliasing</i> [3].	12
Figura 2.5	Modello ai piccoli segnali di un convertitore <i>buck-boost</i> [4].	14
Figura 3.1	Schema di base di un modulatore <i>Pulse Width Modulation</i> (PWM) analogico [5].	18
Figura 3.2	Funzionamento del modulatore PWM analogico.	19
Figura 3.3	Organizzazione hardware generale di un modulatore PWM digitale su microcontrollore [5].	20
Figura 3.4	Modalità di realizzazione della DPWM: <i>trailing edge</i> (a), <i>leading edge</i> (b) e simmetrica (c) [5].	21
Figura 3.5	Ritardo di risposta del modulatore PWM digitale [5].	22
Figura 3.6	Ritardo di risposta del modulatore in modalità <i>double update</i> [5].	23
Figura 3.7	Sincronizzazione di campionamento e modulazione, funzionamento in <i>double-update</i> [3].	25
Figura 3.8	Diagramma della temporizzazione di un controllore <i>hardware-based</i> [4].	27
Figura 3.9	Rappresentazione del fenomeno di oscillazione di ciclo limite [3].	29
Figura 3.10	Organizzazione tipica di un sistema di controllo digitale multianello per generatore controllato di tensione [3].	31
Figura 3.11	Rappresentazione grafica del sistema in spazio di stato.	32
Figura 3.12	Rappresentazione semplificata del VSI.	33

Figura 3.13	Schema a blocchi dell'anello di controllo digitale con ritardo di elaborazione e modello approssimato del modulatore PWM digitale [3].	34
Figura 3.14	Schema a blocchi equivalente con ritardo di elaborazione discreto [3].	34
Figura 3.15	Schema a blocchi dell'anello di controllo con regolatore PI.	37
Figura 3.16	Corrente di induttanza, risposta ad una variazione a gradino del riferimento: <i>Proporzionale Integrale</i> (PI) analogico progettato senza tenere conto del ritardo (a) e tenendo conto del ritardo (b) [3].	38
Figura 3.17	Effetto della variazione dell'induttanza su comportamento transitorio della corrente (a) e posizione dei poli a catena chiusa (b) [3].	40
Figura 3.18	Effetto dei tempi morti sul sistema con controllo di corrente <i>Dead-Beat</i> (DB) [3].	41
Figura 3.19	Schema a blocchi tipico di un sistema di controllo multianello per la regolazione di corrente e tensione [3].	42
Figura 3.20	Schema a blocchi del sistema multianello con rappresentate le funzioni di trasferimento G_{id} e G_{vd} [4].	43
Figura 3.21	Tensione di uscita del sistema controllato con PI di tensione in seguito a distacco di carico, la corrente di carico passa repentinamente da 9.5 A a 0 [3].	43
Figura 3.22	Schema di controllo DB multivariabile [6].	44
Figura 3.23	Tensione di uscita del sistema controllato con DB multivariabile in seguito a distacco di carico [3].	45
Figura 3.24	<i>Windup</i> dell'integratore su inverter <i>half-bridge</i> sottoposto a gradino positivo della corrente di carico [4].	46
Figura 3.25	Schema a blocchi dell' <i>anti-windup</i> con limitazione dinamica dell'integrale [3].	47
Figura 3.26	Corrente di induttanza ed errore di corrente, risposta ad una variazione a gradino del riferimento: senza <i>anti-windup</i> (a) e con <i>anti-windup</i> (b) [3].	47
Figura 3.27	Organizzazione hardware del regolatore PI sovracampionato di corrente [3].	48
Figura 3.28	<i>Digital Pulse Width Modulation</i> (DPWM) operante con regolatore PI di corrente sovracampionato [3].	48
Figura 3.29	Organizzazione hardware del regolatore DB di corrente sovracampionato [3].	49
Figura 3.30	Funzionamento del regolatore DB di corrente sovracampionato [3].	50

Figura 3.31	Organizzazione hardware di un regolatore a isteresi a frequenza fissa [3].	51
Figura 3.32	Rappresentazione del funzionamento del regolatore a isteresi digitale a frequenza fissa [3].	51
Figura 4.1	Schema di un <i>Flying Capacitor Multilevel Converter</i> (FCMLC) a 5 livelli monofase [7].	54
Figura 4.2	Schema di un <i>Cascade Multilevel Converter</i> (CMLC) monofase a 9 livelli con 4 sorgenti DC separate, e relative forme d'onda di tensione [7].	55
Figura 4.3	Schema di un inverter <i>Neutral Point Clamped</i> (NPC) a tre livelli trifase [7].	56
Figura 4.4	Modulazione PWM a tre livelli con portanti sfasate in ampiezza [8].	57
Figura 4.5	UPS modulare della famiglia <i>Modulys</i> : foto (a) e alcuni parametri di targa (b).	60
Figura 4.6	Schema del sistema di carico variabile utilizzato per il test dell'UPS, con la configurazione degli switch presenti per la selezione del carico.	61
Figura 4.7	Sistema di carico variabile utilizzato per il test dell'UPS.	62
Figura 5.1	Organizzazione del regolatore DB di corrente per implementazione di un controllo multianello [3].	64
Figura 5.2	Schema a blocchi di un generico controllo in retroazione con <i>Predittore di Smith</i> .	70
Figura 5.3	Schema a blocchi del sistema con regolatore DB di tensione e anello di corrente controllato con DB di corrente.	72
Figura 5.4	Schema a blocchi del regolatore DB di tensione migliorato.	73
Figura 5.5	Temporizzazione del sistema di controllo multianello con DB di corrente in <i>double-update</i> e DB di tensione [3].	74
Figura 6.1	Diagrammi di Bode della $G_{id}(s)$: cortocircuito (a) e carico resistivo a potenza nominale (b).	77
Figura 6.2	Risposta del sistema controllato in corrente con <i>Proporzionale Integrale Derivativo</i> (PID), variazione a gradino di 10 A del riferimento di corrente: PID e DB. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente, in blu l'errore.	77
Figura 6.3	Risposta del sistema controllato con DB, inclusa la componente integrale, ad una variazione di 10 A del riferimento di corrente. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente, in blu l'errore.	78

Figura 6.4	Risposta del sistema controllato in corrente con PID, variazione a gradino di 10 A del riferimento di corrente: PID e DB. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente. 78
Figura 6.5	Errore di corrente: PID e DB. 79
Figura 6.6	Risposta del sistema con PID di corrente e PID di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 81
Figura 6.7	Risposta del sistema con DB di corrente e PID di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 82
Figura 6.8	Oscillazione sul duty-cycle con regolatore DB di corrente al variare di α : $\alpha = 1$ (a) e $\alpha = 0,5$ (b). 83
Figura 6.9	Risposta del sistema con DB di corrente e DB di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 84
Figura 6.10	Risposta del sistema con PID di corrente e PID di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 85
Figura 6.11	Risposta del sistema con DB di corrente e PID di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 86
Figura 6.12	Risposta del sistema con DB di corrente e DB di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 87
Figura 6.13	Risposta del sistema con PID di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 89
Figura 6.14	Risposta del sistema con DB di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 90

- Figura 6.15 Risposta del sistema con DB di corrente e DB di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 91
- Figura 6.16 Risposta del sistema con PID di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 93
- Figura 6.17 Risposta del sistema con DB di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 94
- Figura 6.18 Risposta del sistema con DB di corrente e DB di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle. 95
- Figura 7.1 Forme d'onda del sistema controllato in corrente con regolatore PID a vuoto. Verde (CH1 33,33 m – /Div): riferimento di corrente; giallo (CH2 4,4 A/Div): segnale di corrente; blu (CH3 33,33 m – /Div): errore di corrente. Asse dei tempi 5,12 ms/Div. 99
- Figura 7.2 Forme d'onda del sistema controllato in corrente con regolatore DB a vuoto. Verde (CH1 33,33 m – /Div): riferimento di corrente; giallo (CH2 4,4 A/Div): segnale di corrente; blu (CH3 33,33 m – /Div): errore di corrente. Asse dei tempi 5,12 ms/Div. 100
- Figura 7.3 Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore PID a vuoto. Verde (CH1 33,33 m – /Div): riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente; asse dei tempi 2,56 ms/Div. 101
- Figura 7.4 Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore DB a vuoto. Verde (CH1 33,33 m – /Div), riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente; asse dei tempi 2,56 ms/Div. 102
- Figura 7.5 Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore PID, carico resistivo da 25 Ω. Verde (CH1 33,33 m – /Div), riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente; asse dei tempi 2,56 ms/Div. 103

- Figura 7.6 Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore DB, carico resistivo da 25Ω . Verde (CH1 33,33 m – /Div), riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente. Asse dei tempi 2,56 ms/Div. 104
- Figura 7.7 Risposta ad una variazione di carico a gradino, dal 25% al 50% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 A/Div), corrente di carico; bianco (CH4 0,1 iq/Div), errore di tensione. Asse dei tempi 5,12 ms/Div. 106
- Figura 7.8 Risposta ad una variazione di carico a gradino, dal 25% al 50% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 A/Div), corrente di carico; bianco (CH4 0,1 iq/Div), errore di tensione; asse dei tempi 5,12 ms/Div. 107
- Figura 7.9 Forme d'onda del sistema controllato in tensione con carico capacitivo al 20% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 iq/Div), riferimento di corrente (di induttanza); bianco (CH4 13,2 A/Div), segnale di corrente (di induttanza). Asse dei tempi 10,24 ms/Div. 109
- Figura 7.10 Forme d'onda del sistema controllato in tensione con carico capacitivo al 20% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 50 m_iq/Div), riferimento di corrente (di induttanza); bianco (CH4 13,2 A/Div), segnale di corrente (di induttanza). Asse dei tempi 10,24 ms/Div. 110
- Figura 7.11 Forme d'onda del sistema controllato in tensione con carico capacitivo al 40% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 iq/Div), riferimento di corrente (di induttanza); bianco (CH4 13,2 A/Div), segnale di corrente (di induttanza). Asse dei tempi 10,24 ms/Div. 111

Figura 7.12 Forme d'onda del sistema controllato in tensione con carico capacitivo al 40% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 iq/Div), riferimento di corrente (di induttanza); bianco (CH4 13,2 A/Div), segnale di corrente (di induttanza). Asse dei tempi 10,24 ms/Div. 112

ELENCO DELLE TABELLE

Tabella 3.1	Metodi di discretizzazione [3].	36
Tabella 4.1	Stato degli interruttori della generica fase X [7].	56

ACRONIMI

ADC	<i>Analog-to-Digital Converter</i>
ALU	<i>Arithmetic and Logic Unit</i>
CMLC	<i>Cascade Multilevel Converter</i>
CSI	<i>Current Source Inverter</i>
DAC	<i>Digital-to-Analog Converter</i>
DB	<i>Dead-Beat</i>
DCMLC	<i>Diode Clamped Multilevel Converter</i>
DPWM	<i>Digital Pulse Width Modulation</i>
DSP	<i>Digital Signal Processor</i>
FCMLC	<i>Flying Capacitor Multilevel Converter</i>
FPGA	<i>Field Programmable Gate Array</i>
FSR	<i>Full Scale Range</i>
GTO	<i>Gate Turn Off thyristor</i>
IGBT	<i>Insulated Gate Bipolar Transistor</i>
LCO	<i>Limit Cycle Oscillation</i>
LSB	<i>Least Significant Bit</i>
MIMO	<i>Multiple-Input Multiple-Output</i>
NPC	<i>Neutral Point Clamped</i>
PI	<i>Proporzionale Integrale</i>
PID	<i>Proporzionale Integrale Derivativo</i>
PV	<i>Photo-Voltaic</i>
PWM	<i>Pulse Width Modulation</i>
SHE	<i>Selective Harmonic Elimination</i>

SISO	<i>Single-Input Single-Output</i>
SNR	<i>Signal-to-Noise Ratio</i>
SVM	<i>Space Vector Modulation</i>
THD	<i>Total Harmonic Distortion</i>
UPS	<i>Uninterruptible Power Supply</i>
VSI	<i>Voltage Source Inverter</i>

INTRODUZIONE

Negli ultimi anni si è assistito ad una diffusione sempre maggiore di dispositivi elettronici collegati alla rete di distribuzione elettrica, supportata da una rapida evoluzione tecnologica in campo informatico, dei sistemi di telecomunicazione e di automazione. L'alta qualità e la grande disponibilità di energia elettrica, pertanto, costituiscono elementi strategici in moltissimi settori della società contemporanea, sia civili sia industriali.

La rete elettrica, tuttavia, è caratterizzata da una crescente suscettibilità nei confronti di disturbi di varia natura, come interruzioni della fornitura, di durata variabile dai millisecondi a qualche ora, o distorsioni in ampiezza e frequenza della tensione, ha assunto un ruolo centrale. Questa tendenza è stata accentuata dalla liberalizzazione del mercato dell'energia elettrica e dai cambiamenti climatici, come testimoniato da recenti avvenimenti catastrofici, in aggiunta ai disturbi creati dalle stesse installazioni elettriche [1]. La crescita impetuosa delle sorgenti di energia rinnovabile connesse alla rete, come visibile nell'infografia di Fig. 1.1, pone problemi di affidabilità e qualità nella disponibilità di energia elettrica, soprattutto nel contesto innovativo delle *microgrid*.

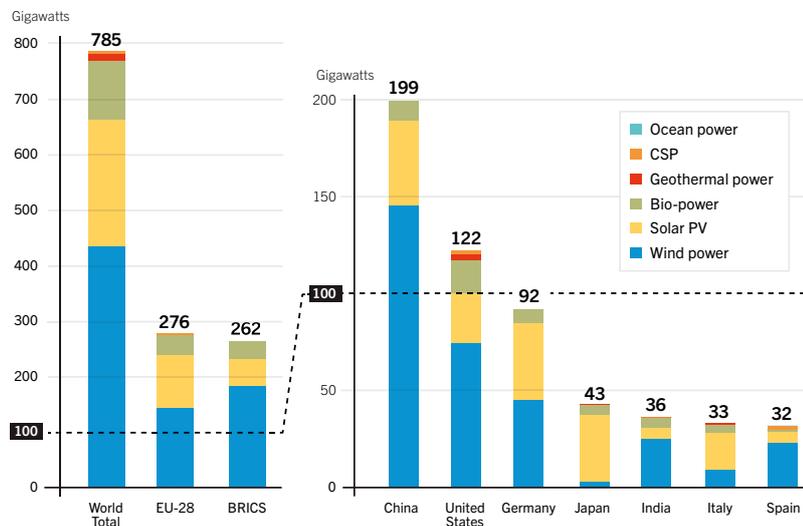


Figura 1.1: Disponibilità elettrica da fonti rinnovabili: situazione globale, in Unione Europea, BRICS (Brasile, Russia, India, Cina, Sudafrica) e nei 7 paesi con la maggiore capacità installata, fine 2015 [1].

In questo contesto divengono fondamentali due aspetti: la resilienza della rete elettrica stessa, da perseguire con le recenti innovazioni riguardo la generazione distribuita e le *microgrid*, e la protezione delle utenze sensibili attraverso opportuni dispositivi. Gli UPS, detti anche gruppi statici di continuità, sono uno dei più diffusi sistemi di protezione dai disturbi e interruzioni che affliggono la rete elettrica, risultando di fondamentale importanza per il corretto funzionamento di apparecchiature e processi produttivi connessi alla rete stessa. Ad oggi oltre il 95% dei sistemi di back-up dell'alimentazione venduti sono rappresentati da UPS, copertura che raggiunge il 98% per le applicazioni informatiche ed elettroniche [2].

1.1 GRUPPI STATICI DI CONTINUITÀ

Gli UPS costituiscono un sistema elettronico di interfaccia con la rete elettrica principale, in grado di alimentare l'utenza per un tempo limitato anche in presenza di *dropout* della rete stessa. Questo requisito è necessario nel caso in cui un sistema elettrico, elettronico o delle telecomunicazioni non ammetta interruzioni dell'alimentazione; esempi tipici sono server, data-center e apparecchiature ospedaliere denominati, appunto, carichi critici.

Un UPS, in tutta generalità, è costituito dai seguenti elementi principali:

1. un convertitore AC/DC, per la conversione della tensione alternata di rete in una tensione continua;
2. un set di batterie come sistema di accumulo, accoppiato con un convertitore DC/DC bidirezionale per l'adattamento della tensione delle batterie stesse, dell'ordine delle decine di Volt, con la tensione del *dc link*, tipicamente centinaia di Volt;
3. un convertitore DC/AC, per la conversione della tensione continua, raddrizzata o derivante da un sistema di accumulo, in tensione alternata.

Uno schema generale è visibile in Fig. 1.2.

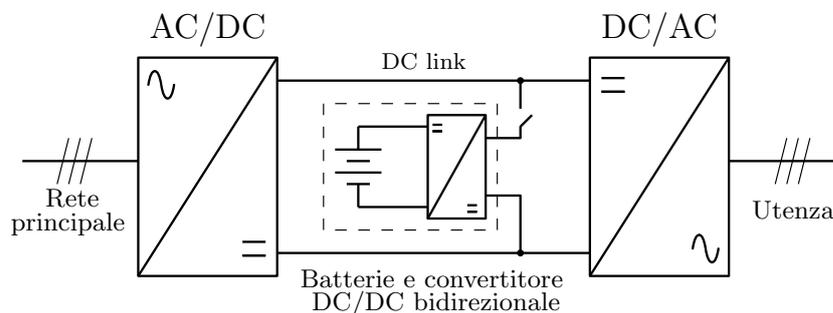


Figura 1.2: Schema generale di un sistema UPS.

Questi tre elementi base sono tipicamente integrati da componenti che svolgono funzioni aggiuntive, tra i quali fondamentale è il sistema di *bypass*. La quasi totalità degli UPS, infatti, prevede la possibilità di alimentare l'utenza attraverso un cosiddetto sistema di *bypass*, sia automatico sia manuale. Il *bypass* automatico interviene al verificarsi di sovraccarichi o guasti nell'UPS, isolando l'UPS stesso dall'utenza, alimentata da una fonte alternativa, che può essere la rete principale od un altro UPS. Il *bypass* manuale, invece, consente di isolare in ogni momento l'UPS, ad esempio per la manutenzione.

Nel corso degli anni sono state sviluppate diverse tipologie di UPS, per soddisfare differenti specifiche, ad esempio, in termini di qualità della tensione in uscita oppure di potenza nominale. A seconda della modalità di funzionamento, in particolare, si possono distinguere due macro-categorie di UPS:

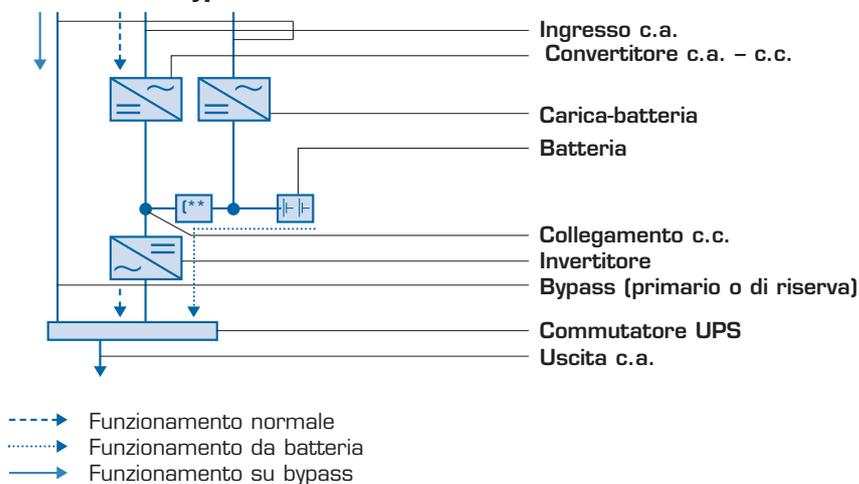
1. UPS a doppia conversione, in cui l'alimentazione dell'utenza, in condizioni normali, avviene sempre attraverso la doppia conversione AC/DC e DC/AC. Quando la tensione alternata di ingresso non rientra nelle tolleranze impostate nell'UPS, l'energia viene prelevata dal sistema di accumulo, fino ad esaurimento dell'autonomia o fino a che la tensione di ingresso non rientra nelle tolleranze ammesse. Uno schema di questa tipologia di UPS è visibile in Fig. 1.3a.
2. UPS interattivo, in cui l'alimentazione dell'utenza, in condizioni normali, viene garantita dalla rete principale. L'UPS, in questo caso, provvede a caricare il sistema di accumulo. Quando la tensione alternata non rientra nelle tolleranze impostate nell'UPS, l'utenza è alimentata dall'inverter, che preleva energia dalle batterie, fino all'esaurimento dell'autonomia o fino a che la tensione di rete non rientra nelle tolleranze ammesse [2]. Uno schema di questa tipologia di UPS è visibile in Fig. 1.3b.

Esiste una terza configurazione detta UPS passivo di riserva o *off-line*, in cui la commutazione dell'alimentazione dalla rete all'inverter, che preleva energia dal sistema di accumulo, avviene attraverso il sistema di *bypass*.

A livello di prestazioni, l'UPS a doppia conversione garantisce un tempo di risposta maggiore all'evenienza di un passaggio dall'alimentazione principale al sistema di accumulo. Storicamente lo svantaggio di questa tipologia era la ridotta efficienza di conversione, limitata dalle perdite nel raddrizzatore e nell'UPS; oggi lo sviluppo dei convertitori di potenza è in uno stato maturo, per cui sono tipici valori di efficienza dal 96% al 98%.

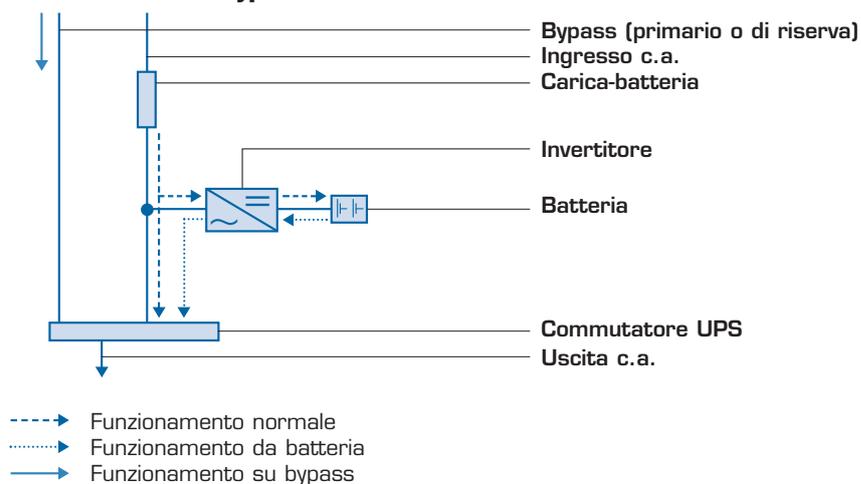
L'interesse del mondo della ricerca, invece, è ancora fervente riguardo alle strategie di controllo da implementare, in particolare riguardo a nuovi sistemi di controllo digitale per l'inverter, che risulta essere l'elemento di maggior criticità negli UPS attuali. In questo contesto possono essere identificati due aspetti fondamentali relativi al controllo digitale per inverter:

UPS a doppia conversione con bypass



(a)

UPS interattivo (line interactive) con bypass



(b)

Figura 1.3: Schemi delle due tipologie principali di UPS: a doppia conversione (a) e interattivo (b) [2].

1. sviluppo di algoritmi avanzati che mirano all'ottenimento di prestazioni di controllo molto elevate, sia in termini dinamici, sia in termini di robustezza nei confronti dei disturbi [3, 6, 9].
2. Analisi di approcci alternativi per l'implementazione degli algoritmi di controllo,

con l'obiettivo di minimizzare le non-idealità introdotte dalla classica soluzione a microcontrollore o *Digital Signal Processor* (DSP) [10].

1.2 OBIETTIVI DELLA TESI

Questo lavoro di tesi è svolto in collaborazione Sicon S.r.l., facente parte del gruppo Socomec come divisione *Critical Power*, che ha fornito il materiale necessario per la sperimentazione.

L'obiettivo principale del progetto di ricerca riguarda lo sviluppo e la sperimentazione di algoritmi di controllo per inverter, utilizzati in applicazioni di *energy storage* da sistemi fotovoltaici e UPS. Questo lavoro ha riguardato, in particolare, lo studio di algoritmi di regolazione per l'inverter presente negli UPS prodotti da Sicon S.r.l. Gli UPS considerati si presentano come sistemi modulari, essendo progettati specificatamente per essere integrati in armadi rack standard, in cui ciascun modulo è caratterizzato da una potenza di 25 kW.

L'obiettivo del lavoro di tesi è stato declinato nei seguenti task:

1. studio dello stato dell'arte delle topologie attuali di UPS, con particolare attenzione rivolta alla parte di inverter. Studio della struttura e della strategia di modulazione dell'inverter NPC a tre livelli.
2. Analisi dettagliata della struttura dell'UPS in dotazione, con particolare attenzione alla strategia di controllo implementata, avvalendosi del modello *Simulink* dell'inverter fornito assieme all'hardware. Il fine di questo studio preliminare è l'individuazione degli elementi di maggior criticità riguardo al sistema di regolazione implementato.
3. Studio dello stato dell'arte sulle tecniche di controllo avanzate per inverter quali, ad esempio, il controllo DB, regolatori risonanti e tecniche di controllo sovracampionato. Gli schemi di controllo più promettenti in termini di prestazioni dinamiche e di robustezza sono testati con *Simulink* sul modello dell'inverter, con l'obiettivo di caratterizzarne l'applicabilità al sistema fisico e l'effettivo miglioramento introdotto.
4. Analisi sperimentale degli algoritmi implementati, mirata a confermare la bontà delle soluzioni introdotte per l'innalzamento delle prestazioni.

1.3 STRUTTURA DELLA TESI

Questo lavoro di tesi è composto di 8 capitoli. Il capitolo corrente (Cap. 1) introduce gli aspetti investigati nella tesi e i maggiori contributi proposti dalla stessa.

I prossimi due capitoli, Cap. 2 e Cap. 3, presentano l'analisi dello stato dell'arte sul controllo digitale per inverter, focalizzando l'attenzione sugli elementi di maggior criticità propri di tale implementazione.

Il Cap. 4, invece, introduce la struttura del sistema utilizzato per la simulazione e la sperimentazione, descrivendo gli strumenti e le procedure utilizzate.

Il Cap. 5, poi, approfondisce l'analisi dei controllori DB di corrente e DB di tensione, applicati all'inverter, presentandone le peculiarità.

Il Cap. 6 espone i risultati di simulazione derivati con *MATLAB* e *Simulink*, mentre il Cap. 7 espone i risultati sperimentali ottenuti con l'UPS a disposizione in laboratorio.

Il Cap. 8, infine, riassume e sommarizza i risultati ottenuti.

Come ben noto, i convertitori DC/AC, detti propriamente inverter, consentono di generare una tensione alternata, partendo da una sorgente elettrica di natura continua. Gli inverter trovano principalmente applicazione nel campo degli azionamenti elettrici a frequenza variabile, della conversione da sorgenti fotovoltaiche o di accumulo e nei gruppi statici di continuità. La trattazione che segue si riferisce ai cosiddetti *Voltage Source Inverter* (VSI), cioè convertitori nei quali l'ingresso considerato è una tensione¹

In funzione della grandezza di uscita si possono distinguere tre famiglie di VSIs:

1. inverter monofase, nei quali l'uscita è un'unica tensione sinusoidale;
2. inverter trifase senza collegamento di neutro, nei quali l'uscita è una terna trifase. In questo caso, la modellazione e il progetto di sistemi di controllo fa ampio uso delle rappresentazioni vettoriali (α, β) e (d, q) per le tre tensioni sinusoidali.
3. Inverter trifase con collegamento di neutro, nei quali l'uscita è ancora una terna trifase. In questo caso la presenza del filo di neutro fornisce un riferimento comune per le tre tensioni, che possono essere considerate del tutto equivalenti a tre tensioni monofase, per cui modellazione e realizzazione del sistema di controllo risultano agevolati.

A seconda della topologia del convertitore, invece, si possono distinguere:

1. inverter *half-bridge*, nei quali per ogni fase è presente una coppia di interruttori;
2. inverter *full-bridge*, nei quali per ogni fase sono presenti quattro interruttori.

La scelta della topologia è tipicamente dettata dalla potenza richiesta: per elevate potenze, infatti, l'inverter *full-bridge* permette di ripartire su un numero maggiore di interruttori le elevate tensioni e corrente. Va precisato, poi, come le topologie *half-bridge* e *full-bridge* non siano denominazioni proprie unicamente di inverter, ma siano adottate, in generale, anche per definire particolari strutture di convertitori DC/DC bidirezionali, tra i quali si può citare il *buck* sincrono [12]. Per una descrizione approfondita di questi temi, sia in termini topologici, sia in termini di modulazione, si rimanda ai numerosi testi e lavori in materia, come [11, 13, 14].

Le due topologie di inverter appena presentate non differiscono in termini di implementazione del controllo digitale. È da rimarcare come i convertitori switching, basati sulla commutazione di interruttori elettronici, che siano inverter, raddrizzatori oppure convertitori DC/DC, si prestino naturalmente al controllo digitale.

¹ Sono da menzionare anche i cosiddetti *Current Source Inverter* (CSI), che risultano avere, tuttavia, un'applicazione molto limitata [11].

2.1 SISTEMA CONSIDERATO

Nel seguito del capitolo ci si riferisce all'inverter *half-bridge*, e al suo modello circuitale, come elemento base per l'introduzione e la descrizione delle tecniche di modulazione e controllo digitale. Uno schema di un inverter *half-bridge* è presente in Fig. 2.1. Gli

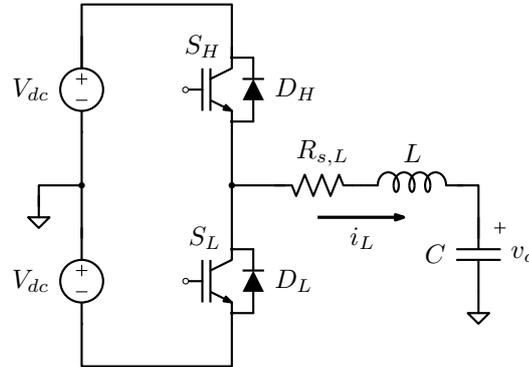


Figura 2.1: Rappresentazione semplificata di un inverter *half-bridge* monofase [3].

elementi principali del sistema in figura sono:

- sorgente di tensione continua (*dc bus*), rappresentata da due generatori ideali di tensione V_{dc} . Nella realizzazione pratica *dc bus* è formato da due condensatori di grossa taglia, alimentati da una sorgente primaria, che mantengono una tensione pressoché costante.
- Due interruttori S_H e S_L , qui rappresentati con il simbolo tipico degli *Insulated Gate Bipolar Transistor* (IGBT), ciascuno con un diodo di *free-wheeling* in antiparallelo;
- un filtro LC di uscita, in cui è rappresentata, anche, la resistenza parassita serie R_s dell'induttanza. Come descritto nel seguito del capitolo, il filtro LC ha la funzione di estrarre l'informazione relativa alla tensione di uscita da una grandezza modulata.

Per semplificare la trattazione che segue la coppia interruttore e diodo di *freewheeling* è approssimata da uno switch ideale, equivalente ad un cortocircuito nello stato *on* e ad un circuito aperto nello stato *off*.

Per una descrizione dettagliata sul funzionamento dell'inverter *half-bridge* si rimanda alla vasta letteratura in materia.

2.2 ELEMENTI DI UN SISTEMA A DATI CAMPIONATI

Nel caso in cui in un sistema fisico coesistano e siano in comunicazione, attraverso opportune interfacce, elementi analogici ed elementi digitali si parla, propriamente, di sistema a dati campionati.

In un sistema a dati campionati, in generale, è possibile identificare i seguenti elementi [15]:

- un controllore digitale, operante su segnali campionati. Questi trovano formalizzazione nella teoria dei segnali a tempo discreto, basata sulla definizione di equazioni alle differenze e, per l'analisi in frequenza, della trasformata Zeta.
- Un processo a tempo continuo, operante su segnali a tempo continuo.
- *Analog-to-Digital Converter* (ADC), per la digitalizzazione di segnali continui. Il funzionamento di queste interfacce prevede campionamento e quantizzazione del segnale continuo in ingresso, producendo una sequenza di campioni in uscita.
- *Digital-to-Analog Converter* (DAC), per la conversione di sequenze di campioni in segnali a tempo continuo.

Altri elementi tipicamente presenti nel sistema sono l'attuatore, che trasforma il segnale in uscita dal controllore nel segnale di ingresso per il processo, e il trasduttore, che effettua la misurazione dei segnali di retroazione li rende disponibili per l'ADC.

Un convertitore di potenza inserito in un sistema di controllo digitale, quindi, rappresenta un caso specifico di sistema a dati campionati, di cui un esempio è l'inverter *half-bridge*, controllato in corrente, schematizzato in Fig. 2.2. In questo caso l'interfaccia A/D è rappresentata dal trasduttore di corrente, mentre l'interfaccia D/A è rappresentata dal modulatore PWM digitale.

2.2.1 Convertitori A/D: problematiche principali

In questa sezione sono esposte le problematiche principali riguardanti i convertitori A/D in un sistema di controllo digitale per convertitori di potenza, mentre ciò che riguarda il convertitore D/A è presentato nella Sezione 3.1.

L'ADC, in tutta generalità, converte un segnale analogico di tensione in una rappresentazione numerica in formato binario del segnale stesso, attraverso le operazioni successive di campionamento e quantizzazione, come visibile in Fig. 2.3. Nel caso in cui la grandezza da acquisire non sia una tensione, il segnale è elaborato da un trasduttore, che lo converte in una differenza di potenziale elettrico, direttamente leggibile dall'ADC. Per un'approfondimento sulle caratteristiche e strutture circuitali dei convertitori A/D, nonché dei parametri che ne caratterizzano le prestazioni, si rimanda a [5].

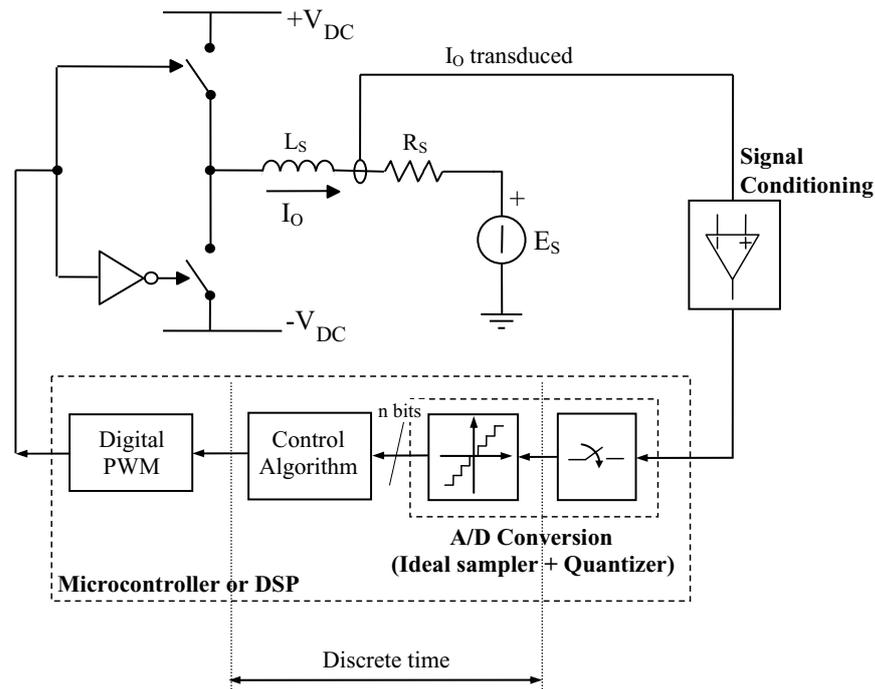


Figura 2.2: Schema tipico di sistema di un sistema di controllo di corrente digitale per inverter *half-bridge* [3].

Le problematiche relative alla trasduzione di un segnale e successiva conversione A/D non sono da sottovalutare, avendo un ruolo rilevante nelle prestazioni ottenibili dal sistema di controllo complessivo. Il condizionamento del segnale, dal punto di vista del trasduttore, deve garantire [3]:

1. adeguato condizionamento del segnale misurato, al fine di sfruttare completamente il range di ingresso dell'ADC;
2. adeguato filtraggio del segnale misurato per evitare il fenomeno dell'*aliasing*.

Queste due questioni sono strettamente collegate alle operazioni di campionamento e quantizzazione del convertitore A/D. Va specificato, riferendosi a Fig. 2.3a, come sia sempre presente un ritardo di conversione intrinseco t_{ADC} all'ADC, quantificabile come l'intervallo temporale tra inizio campionamento e aggiornamento del dato digitale in uscita. Definendo questa quantità è possibile considerare ideale il campionario.

Range di ingresso dell'ADC e quantizzazione

Lo sfruttamento totale del range di ingresso consente di minimizzare gli effetti introdotti dalla quantizzazione del segnale. Matematicamente il numero di bit effettivi N_e ,

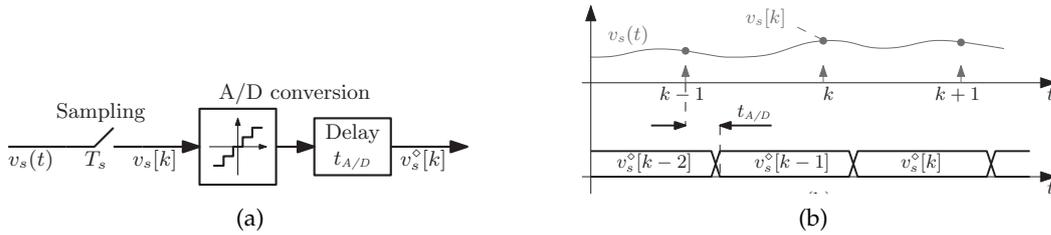


Figura 2.3: Schema a blocchi del processo di conversione A/D (a) e relative forme d’onda (b) [4].

disponibili per la rappresentazione binaria del segnale quantizzato, è massimo quando il range di tensione in ingresso è totalmente utilizzato:

$$N_e = n - \text{floor} \left[\frac{\log \left(\frac{FSR}{V_{s,pp}} \right)}{\log(2)} \right] \tag{2.1}$$

dove l’operazione $\text{floor}(x)$ restituisce il più grande intero minore o uguale a x , n è il numero di bit hardware dell’ADC, *Full Scale Range* (FSR) è il range di ingresso in Volt e $V_{s,pp}$ è l’ampiezza picco-picco del segnale trasdotto [3].

Il quantizzatore tipicamente utilizzato è di tipo uniforme che, come noto, introduce nel segnale quantizzato un rumore di quantizzazione di ampiezza picco-picco pari ad un *Least Significant Bit* (LSB). A meno del ritardo di campionamento τ_{ADC} , è dimostrato come le operazioni effettuate da campionatore ideale e quantizzatore uniforme siano essenzialmente funzioni istantanee, che non contribuiscono, quindi, alla dinamica del sistema.

Aliasing

Come ben noto il fenomeno dell’*aliasing*, invece, insorge nel momento in cui sia violato il *teorema del campionamento di Shannon*. Il teorema, infatti, impone un limite superiore alla banda passante del segnale in ingresso, oltre la quale la ricostruzione perfetta del segnale campionato non è possibile; si ha, infatti, la comparsa di *alias* all’interno della banda utile del segnale, come visibile in Fig. 2.4. La frequenza limite, detta *frequenza di Nyquist*, è dimostrata essere pari a metà della frequenza di campionamento prescelta. Il trasduttore, quindi, include sempre un filtro *anti-aliasing*, con l’obiettivo di limitare lo spettro in alta frequenza del segnale in ingresso [3].

É da specificare come il filtro *anti-aliasing* attenui notevolmente il contenuto armonico in alta frequenza del segnale, anche se lo spettro di quest’ultimo non è modificato qualitativamente. Ciò comporta la presenza di una minima componente di *aliasing* anche con pre-filtraggio del segnale [4]. Infine, per quanto riguarda la scelta della frequenza di campionamento, variabile di fondamentale importanza per le prestazioni dell’intero sistema di controllo, si rimanda alla Sezione 3.1.3.

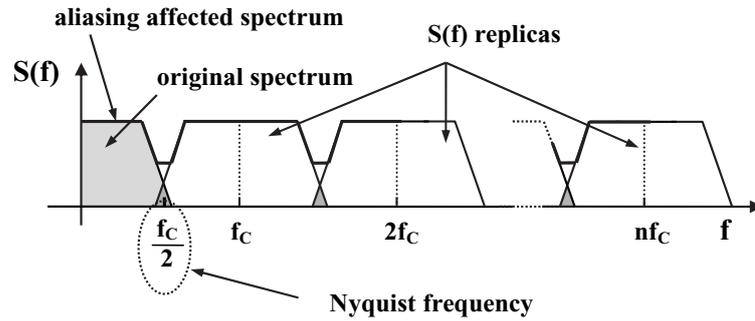


Figura 2.4: Segnale campionato e ricostruito affetto da *aliasing* [3].

2.3 MODELLAZIONE DI CONVERTITORI DI POTENZA

Per la corretta analisi del sistema a dati campionati è necessaria una conoscenza accurata del processo da controllare; di fondamentale importanza risulta il modello dinamico del convertitore, che permette sia di valutarne la stabilità, sia di progettare adeguatamente i sistemi di regolazione [16].

Le famiglie di modelli per convertitori di potenza presenti in letteratura sono essenzialmente due:

1. modelli a regime, consentono di predire il principio di funzionamento del convertitore e di formalizzare perdite di potenza ed efficienza del convertitore a regime (*steady state analysis*) [13, 4].
2. modelli dinamici, consentono di formalizzare il comportamento dinamico del convertitore; risultano necessari per il progetto del sistema di controllo e per valutarne la stabilità.

2.3.1 Modelli di regime

In condizione di regime ogni variabile di stato di un convertitore, e quindi ogni tensione e corrente, è periodica di periodo il periodo di commutazione T_{sw} . A regime, inoltre, tutti gli ingressi del sistema sono costanti ed ogni fenomeno transitorio è esaurito.

L'analisi e la modellazione a regime del convertitore si basa sui seguenti concetti fondamentali:

- bilancio del flusso sulle componenti induttive (*inductor Volt-second balance*); a regime è nulla la variazione su un periodo di commutazione della tensione ai capi delle induttanze,

$$L(i_L(T_{sw}) - i_L(0)) = \int_0^{T_{sw}} v_L(\tau) d\tau = 0 \quad \rightarrow \quad \bar{v}_L(t) = 0 \quad (2.2)$$

- Bilancio della carica sulle componenti capacitive (*capacitor charge balance*); a regime è nulla la variazione su un periodo di commutazione della corrente sui condensatori.

$$C(v_C(T_{sw}) - v_C(0)) = \int_0^{T_{sw}} i_C(\tau) d\tau = 0 \quad \rightarrow \quad \bar{i}_C(t) = 0 \quad (2.3)$$

- Ripple di corrente e tensione di ampiezza trascurabile rispetto all'ampiezza dei valori di regime delle stesse grandezze (*small ripple approximation*),

$$\begin{aligned} \Delta v_L \ll \bar{v}_L &\quad \rightarrow \quad v_L(t) \approx \text{constant} \\ \Delta i_C \ll \bar{i}_C &\quad \rightarrow \quad i_C(t) \approx \text{constant} \end{aligned} \quad (2.4)$$

ciò equivale ad assumere ogni induttore e condensatore equivalente, rispettivamente, ad un generatore ideale di corrente e ad un generatore ideale di tensione.

Per derivare un modello di regime per un convertitore di potenza sarebbero sufficienti le prime due assunzioni; l'approssimazione di piccolo ripple semplifica solamente la modellazione [4].

2.3.2 Modelli dinamici

Per la modellazione dinamica di un convertitore, a differenza del caso di regime, si è interessati al comportamento transitorio del sistema, determinato dalle sue caratteristiche dinamiche. Per tale motivo sono trascurate le variazioni alla frequenza di commutazione, come il ripple di corrente, considerando grandezze mediate sul periodo di commutazione stesso². Sono considerate, invece, le variazioni transitorie a bassa frequenza, formalizzate in termini di equazioni differenziali non lineari o di modelli in spazio di stato non lineari. La linearizzazione del modello avviene, quindi, attraverso un processo di perturbazione e linearizzazione.

Questo permette di derivare un modello ai piccoli segnali, linearizzato nell'intorno di un adeguato punto di lavoro [13]. La generica grandezza v , infatti, può essere così descritta:

$$v(t) = V + \hat{v}(t) \quad (2.5)$$

dove V e $\hat{v}(t)$ rappresentano, rispettivamente, il valore di regime, corrispondente al punto di lavoro per la linearizzazione, e una perturbazione di piccolo segnale. In Fig. 2.5, a titolo di esempio, è visibile il modello ai piccoli segnali di un convertitore *buck-boost*.

Riassumendo, la procedura di modellazione dinamica si compone dei seguenti passaggi:

² Per tale motivo ci si riferisce a questi modelli come *averaged AC models*.

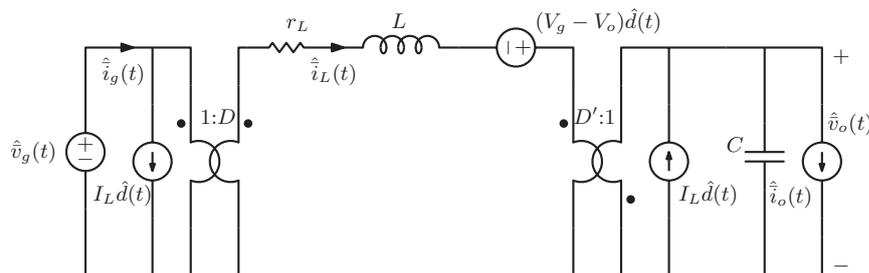


Figura 2.5: Modello ai piccoli segnali di un convertitore *buck-boost* [4].

1. ottenimento di un modello ai valori medi, effettuando una media sul periodo di commutazione delle grandezze coinvolte³;
2. derivazione del modello ai piccoli segnali, e delle funzioni di trasferimento, attraverso la procedura di perturbazione e linearizzazione.

Per un approfondimento riguardo la modellazione dinamica di convertitori di potenza si rimanda a testi specifici quali [4, 13].

2.3.3 Modelli dinamici per il controllo digitale

La procedura di modellazione dinamica descritta nella sezione precedente è, storicamente, sviluppata per il progetto di controllori analogici. Sarà più chiaro nel seguito che l'inclusione di un modulatore PWM digitale, a differenza di un modulatore analogico, introduce nel sistema di controllo un ritardo, che modifica la dinamica complessiva ai piccoli segnali. L'operazione di media per escludere le componenti spettrali ad alta frequenza dei segnali coinvolti, inoltre, non tiene conto dei possibili effetti di *aliasing*. Per questi due motivi il progetto di un controllore digitale, basato sulla procedura presentata nella sezione precedente, può avvenire solamente in modo approssimato [4].

Per il progetto esatto di un controllore digitale è necessario ricorrere alla modellazione a tempo discreto del convertitore, basata sulla conoscenza di un modello in spazio di stato a tempo continuo $\Sigma(\mathbf{A}, \mathbf{B}, \mathbf{C})$ del convertitore stesso.

Si consideri il sistema alternato tra due strutture topologiche S_0 e S_1 , a seconda dello stato degli switch. Le matrici della rappresentazione in spazio di stato a tempo continuo, ovviamente, variano a seconda dello stato topologico in cui si trova il convertitore.

La procedura di modellazione a tempo discreto si sviluppa in tre passi:

³ Il modello ai valori medi derivato con tale procedura è tempo invariante.

- espressione del vettore di stato a tempo discreto \mathbf{x} al passo di campionamento $k + 1$ in funzione dello stato al passo k , del vettore degli ingressi \mathbf{V} , considerato costante⁴, e del segnale di controllo u all'istante k ,

$$\mathbf{x}(k + 1) = \mathbf{f}(\mathbf{x}(k), \mathbf{V}, u(k)) \quad (2.6)$$

dove \mathbf{f} è una funzione vettoriale non lineare.

- Soluzione dell'equazione (2.6) a regime ponendo $\mathbf{x}(k + 1) = \mathbf{x}(k) = \mathbf{X}$ e considerando costante il segnale di controllo $u(k) = U$. In questo modo è possibile determinare il punto di lavoro $Q(\mathbf{X}, \mathbf{V}, U)$ del convertitore, dove \mathbf{X} , \mathbf{V} e U sono legate dalla relazione $\mathbf{X} = \mathbf{f}(\mathbf{X}, \mathbf{V}, U)$.
- Perturbazione e linearizzazione del sistema in (2.6) in un intorno del punto di lavoro Q . Il modello in spazio di stato a tempo discreto ai piccoli segnali è così ottenuto,

$$\begin{aligned} \hat{\mathbf{x}}(k + 1) &= \mathbf{F}\hat{\mathbf{x}}(k) + \mathbf{G}\hat{u}(k) \\ \hat{\mathbf{y}}(k) &= \mathbf{H}\hat{\mathbf{x}}(k) \end{aligned} \quad (2.7)$$

dove $\hat{\mathbf{x}}(k) = \mathbf{x}(k) - \mathbf{X}$, $\hat{u}(k) = u(k) - U$ e $\hat{\mathbf{y}}(k) = \mathbf{y}(k) - \mathbf{Y}$ sono le componenti a piccolo segnale del vettore di stato, segnale di controllo e vettore delle uscite. Le matrici \mathbf{F} , \mathbf{G} e \mathbf{H} , invece, corrispondono, rispettivamente, alla matrice di stato a tempo discreto a piccolo segnale, alla matrice degli ingressi a tempo discreto a piccolo segnale e alla matrice delle uscite a piccolo segnale, definite come:

$$\mathbf{F} = \left. \frac{\partial \mathbf{f}}{\partial \mathbf{x}} \right|_Q, \quad \mathbf{G} = \left. \frac{\partial \mathbf{f}}{\partial u} \right|_Q, \quad \mathbf{H} = \mathbf{C}. \quad (2.8)$$

Essendo $\mathbf{H} = \mathbf{C}$, la struttura di \mathbf{H} varia a seconda che il campionamento del sistema avvenga durante lo stato topologico S_0 o S_1 .

Il sistema in (2.7), essendo in forma di stato a tempo discreto, può essere espresso nel dominio delle trasformate Zeta, per cui è possibile derivare facilmente le funzioni di trasferimento tra segnale di controllo e vettore di uscita:

$$\mathbf{W}(z) = \frac{\hat{\mathbf{Y}}(z)}{\hat{U}(z)} = \mathbf{H}(z\mathbf{I} - \mathbf{F})^{-1} \mathbf{G}. \quad (2.9)$$

Per un'approfondimento ed alcuni esempi relativi a questa procedura di modellazione a tempo discreto si rimanda a [4].

⁴ Assunzione effettuata per focalizzare l'analisi relativamente alla dinamica tra segnale di controllo e uscita.

CONTROLLO DIGITALE PER CONVERTITORI DC / AC

Un sistema di controllo digitale può avere diverse strutture a seconda degli obiettivi di controllo. Il caso più tipico per un inverter prevede di considerare due diversi livelli di regolazione:

1. un controllo a basso livello del convertitore , direttamente collegato alla strategia di commutazione per gli switch;
2. un sistema di controllo più esterno, detto anche *system-level control*, adibito alla regolazione delle variabili di stato.

3.1 CONTROLLO A BASSO LIVELLO DELL'INVERTER

Alla base di qualsiasi tecnica di regolazione per convertitori a commutazione, tra i quali il nostro interesse riguarda l'inverter, è presente una determinata logica per il comando degli switch, che caratterizza il controllo a basso livello del convertitore stesso. A seconda del paradigma di regolazione considerato si distinguono:

1. convertitori nei quali la logica di controllo degli switch è determinata da un opportuno algoritmo di codifica dell'informazione relativa al comando degli switch realizzato da un modulatore. Tale tecnica si basa sull'interazione di un segnale modulante, contenente l'informazione di controllo, e un segnale ausiliario detto portante. La tecnica di modulazione più utilizzata per il controllo di convertitori di potenza è la PWM, nella quale l'informazione è codificata in termini di duty-cycle di un segnale in onda quadra [5].
2. Convertitori nei quali la logica di controllo degli switch è determinata da un regolatore a isteresi, caso particolare di controllo non lineare di tipo *bang-bang*. In un convertitore con regolatore a isteresi lo stato degli switch è controllato direttamente dalla comparazione di un segnale di riferimento con il corrispondente segnale controllato, permettendo a quest'ultimo di oscillare all'interno di una cosiddetta banda di isteresi [3].

La regolazione a isteresi, dal punto di vista dei segnali di controllo per gli interruttori, potrebbe essere associata ad una modulazione a larghezza di impulso, ed effettivamente, in letteratura, è indicata alcune volte come PWM a frequenza variabile. Il regolatore a isteresi convenzionale, infatti, è caratterizzato da una frequenza di modulazione variabile.

Nel seguito ci si concentra sulla descrizione e caratterizzazione del sistema di controllo basato su modulatore, in particolare sul modulatore PWM digitale, alla base del paradigma di controllo sviluppato in questo lavoro. Un cenno sui regolatori a isteresi, tuttavia, è presente al termine del capitolo corrente.

3.1.1 Modulatore PWM: generalità

La PWM non è l'unica tecnica di modulazione utilizzata per il controllo di convertitori *switching*, citando la modulazione a densità d'impulso e la modulazione a frequenza d'impulso, ma risulta la più utilizzata per i seguenti motivi [3]:

- semplicità di implementazione;
- funzionamento a frequenza costante;
- semplice demodulazione mediante un filtro passa-basso.

La PWM può essere sia di tipo analogico, nel caso si consideri un modulatore analogico, sia digitale, tipicamente realizzata da un sistema a microcontrollore o DSP. Una seconda classificazione prevede di suddividere le tecniche di modulazione in base alla topologia del convertitore da controllare. Sono individuabili modulazione a due livelli, unica possibile considerando inverter *half-bridge*, e modulazione a tre livelli, realizzabile solamente con inverter *full-bridge*¹. La modulazione a due livelli, cui ci si riferisce nel seguito del capitolo, definisce due stati per la tensione in uscita dall'inverter, alto e basso, mentre la modulazione a tre livelli, comprende anche lo stato nullo [12].

L'implementazione più semplice per una PWM, corrispondente alla PWM analogica, si basa sull'utilizzo di un generatore per il segnale portante e di un comparatore analogico. Nel caso di modulatore PWM per inverter, questo è sempre seguito da un driver, necessario per generare un adeguato segnale di comando per gli switch; uno schema generale di un sistema PWM per inverter è visibile in Fig. 3.1. Il comparatore analogico

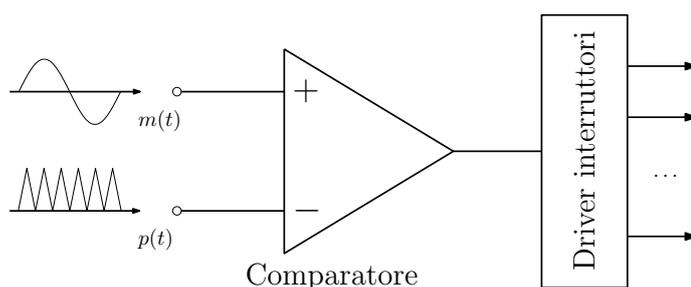


Figura 3.1: Schema di base di un modulatore PWM analogico [5].

¹ L'inverter *full-bridge* può essere controllato in modulazione a due livelli

determina lo stato degli interruttori confrontando il segnale modulante $m(t)$, contenente l'informazione di controllo, con il segnale portante $p(t)$ [3]. Come accennato, la demodulazione del segnale PWM avviene per mezzo del filtro passa basso di uscita dell'inverter, per cui la tensione media di inverter è:

$$\bar{v}_{inv}(t) = \frac{1}{T_s} \int_t^{t+T_s} v_{inv}(\tau) d\tau = V_{dc} (2\delta(t) - 1) \quad (3.1)$$

dove V_{dc} è la tensione del bus in continua e $\delta(t)$ è il duty-cycle del segnale PWM che, quindi, contiene l'informazione sulla tensione media. Come noto il filtro di uscita non riesce ad eliminare completamente il contenuto armonico caratteristico della PWM, per cui la corrente di induttanza media presenta un ripple di ampiezza dipendente dalle caratteristiche del filtro stesso, in particolare dal valore dell'induttanza. Una rappresentazione grafica del funzionamento dell'inverter controllato con PWM analogica e filtro LC di uscita è visibile in Fig. 3.2. Le caratteristiche della modulante sono determinate

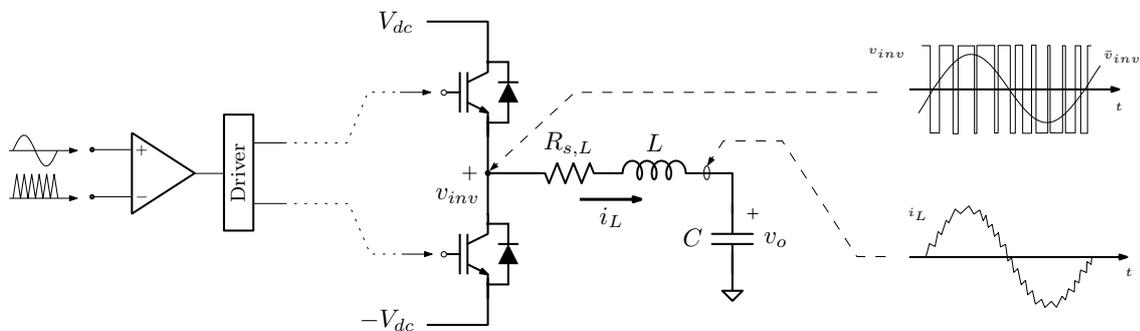


Figura 3.2: Funzionamento del modulatore PWM analogico.

dagli anelli di controllo più esterni, in base agli obiettivi di regolazione richiesti.

È dimostrato in [17], infine, come il ritardo introdotto dal modulatore PWM analogico sia trascurabile, nel senso che ad una variazione istantanea della modulante corrisponde una variazione simultanea del segnale in uscita dal comparatore.

3.1.2 Modulatore PWM digitale

I principi generali descritti nella sezione 3.1.1 sono validi anche per il modulatore PWM digitale, detto DPWM descritto nel seguito. Le principali differenze rispetto al caso analogico sono:

- segnale portante sostituito da un contatore binario;
- comparatore analogico sostituito da un comparatore digitale.

Il principio di funzionamento è facilmente derivabile: il comparatore binario asserisce il bit di uscita all'inizio di ogni periodo di conteggio, corrispondente al periodo di

modulazione; in tale istante viene tipicamente sollevato un *timer interrupt*, che determina una base temporale per la sincronizzazione con altre periferiche. Il comparatore binario confronta il valore del contatore, incrementato ad ogni periodo di clock, con un valore di *match*, memorizzato in un registro e corrispondente al duty-cycle desiderato per il periodo di modulazione corrente. Quando il valore del conteggio uguaglia il valore di *match*, viene sollevato un *match interrupt* e il bit di uscita del comparatore viene deassertito.

Il modulatore digitale è tipicamente presente su microcontrollore come periferica dedicata, o come particolare modalità di funzionamento del timer, la cui organizzazione hardware di base è visibile in Fig. 3.3.

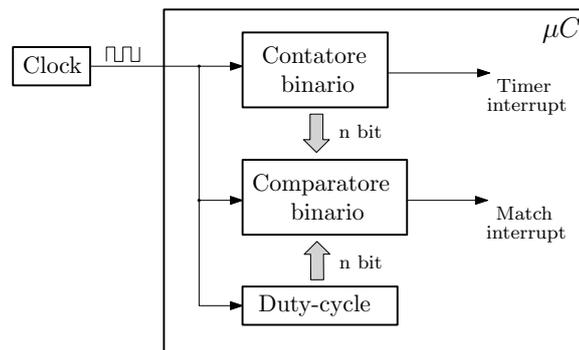


Figura 3.3: Organizzazione hardware generale di un modulatore PWM digitale su microcontrollore [5].

Come visibile in figura, contatore e comparatore sono caratterizzati da un preciso numero di bit, che determina la risoluzione del conteggio. Considerando un contatore a n bit la massima frequenza del conteggio, pari alla frequenza di clock², è $f_{clk} = f_{PWM} \cdot 2^n$, dove f_{PWM} è la frequenza di modulazione. La relazione tra numero di bit, frequenza di conteggio e frequenza di modulazione, quindi, è:

$$n = \frac{\log_{10}\left(\frac{f_{clk}}{f_{PWM}}\right)}{\log_{10}(2)} \quad (3.2)$$

In funzione del rapporto tra periodo di modulazione e periodo di conteggio, il numero di bit disponibili per rappresentare il duty-cycle, però, può essere minore di n . Si definisce, quindi, il seguente numero di bit effettivi N_e :

$$N_e = \text{floor} \left[\frac{\log_{10}\left(\frac{f_{clk}}{f_{PWM}}\right)}{\log_{10}(2)} \right] + 1 \quad (3.3)$$

L'equazione (3.3) evidenzia come, fissati il numero n di bit e la frequenza di clock della periferica, la risoluzione nella rappresentazione del duty-cycle e la frequenza di

² Considerando *prescaler* unitario per la periferica.

modulazione siano in *trade-off*. Il passo di quantizzazione nella rappresentazione del duty-cycle, inoltre, rappresenta parametro chiave nella generazione di oscillazioni di ciclo limite, come descritto nel seguito.

Modalità di realizzazione della DPWM

Diverse organizzazioni del contatore binario corrispondono a diverse modalità di realizzazione della DPWM. Si distinguono:

- modulazione *trailing edge*, il conteggio parte da 0 a salire, al riavvio del contatore corrisponde temporalmente il fronte di salita dell'impulso del comparatore.
- Modulazione *leading edge*, il conteggio parte dal valore massimo a scendere, al riavvio del contatore corrisponde il fronte di discesa dell'impulso del comparatore.
- Modulazione simmetrica, il conteggio parte da 0 a salire, raggiunto il valore massimo scende nuovamente a 0; in questo caso l'impulso del comparatore è simmetrico rispetto agli istanti di riavvio del conteggio.

Una rappresentazione grafica delle tre modalità è presente in Fig. 3.4.

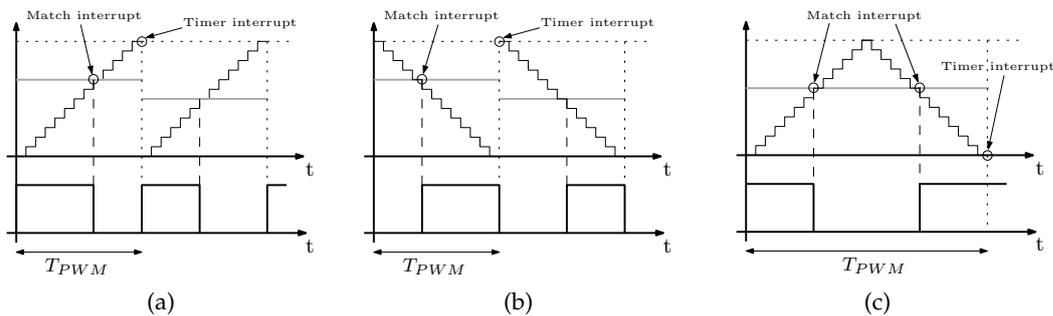


Figura 3.4: Modalità di realizzazione della DPWM: *trailing edge* (a), *leading edge* (b) e simmetrica (c) [5].

Caratterizzazione dinamica

A differenza del caso analogico, il modulatore PWM digitale presenta ritardo di risposta ΔT non nullo. Come visibile nelle rappresentazioni di Fig. 3.4, infatti, l'aggiornamento del segnale modulante è effettuato all'inizio del periodo di modulazione, ed è mantenuto costante tra due istanti di aggiornamento. Tale caratteristica rende il modulatore digitale responsabile di un effetto equivalente ad un *sample and hold* sul segnale modulante.

Appare evidente, quindi, come una variazione a gradino del duty-cycle richiesto possa essere realizzata dal modulatore solamente nel periodo di modulazione successivo a quello in cui è richiesta, come visibile nella rappresentazione di Fig. 3.5. Nel

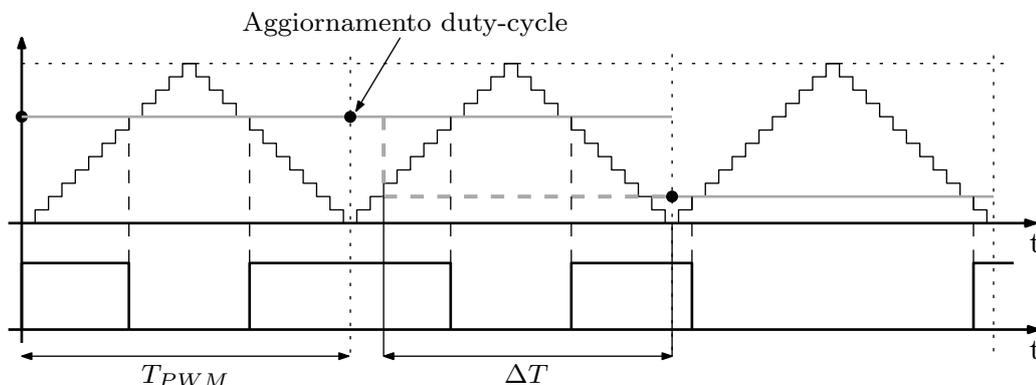


Figura 3.5: Ritardo di risposta del modulatore PWM digitale [5].

caso peggiore ciò corrisponde ad un ritardo di risposta pari ad un periodo di modulazione. Tale caratteristica, come descritto nei prossimi capitoli, riduce notevolmente il margine di fase dell'intero sistema, rispetto al caso analogico, ovvero obbligo ad un progetto più conservativo dei regolatori più esterni, limitando la banda passante del sistema a catena chiusa.

Ai fini della caratterizzazione dinamica che segue è trascurata la risoluzione finita di contatore e comparatore. In questo modo il funzionamento del modulatore digitale è equivalente a quello di un modulatore analogico, in cui la modulante è campionata e mantenuta costante ad ogni periodo di modulazione.

La caratterizzazione dinamica del modulatore è effettuata scomponendo il segnale modulante in una componente continua, o di regime, M e in una perturbazione a piccolo segnale \tilde{m} , cioè $m(t) = M + \tilde{m}(t)$ [3].

Nel caso di modulazione *trailing edge*, la funzione di trasferimento tra segnale in uscita dal comparatore $v_{mo}(t)$ e modulante $m(t)$, quindi, è:

$$DPWM_{tr}(s) = \frac{V_{mo}(s)}{M(s)} = \frac{e^{-sDT_s}}{P_{pk}} \quad (3.4)$$

dove $V_{mo}(s)$ e $M(s)$ sono, rispettivamente, la trasformata di Laplace di $v_{mo}(t)$ e $m(t)$, D è il valore continuo del duty-cycle e P_{pk} è l'ampiezza della portante. Si osservi come l'entità del ritardo sia proporzionale al valore di regime del duty-cycle.

Nel caso di modulazione *leading edge*, invece, la funzione di trasferimento del modulatore è:

$$DPWM_{le}(s) = \frac{V_{mo}(s)}{M(s)} = \frac{e^{-s(1-D)T_s}}{P_{pk}} \quad (3.5)$$

Per la modulazione simmetrica, con aggiornamento del duty-cycle nell'intervallo di tempo in cui lo switch è chiuso, corrispondente alla rappresentazione di Fig. 3.4c, si ha:

$$DPWM_{sim}(s) = \frac{V_{mo}(s)}{M(s)} = \frac{1}{2P_{pk}} \left(e^{-s(1-D)\frac{T_s}{2}} + e^{-s(1+D)\frac{T_s}{2}} \right) \quad (3.6)$$

mentre, nel caso in cui l'aggiornamento del duty sia effettuato nell'intervallo di tempo in cui lo switch è aperto, la funzione di trasferimento è ottenibile dalla (3.6) sostituendo D con 1 - D. La relazione in (3.6) può essere riscritta sfruttando l'equazione di Eulero, per cui si ottiene:

$$DPWM(s) = e^{-s\frac{T_s}{2}} \cos\left(\omega\frac{T_s}{2}D\right) \approx e^{-s\frac{T_s}{2}} \quad (3.7)$$

Quest'ultima equazione evidenzia come il ritardo di fase introdotto dalla DPWM simmetrica sia approssimabile come l'effetto introdotto da uno *zero-order hold*.

Single-update e double-update

Per limitare il ritardo introdotto dalla PWM digitale, molti microcontrollori offrono la possibilità di aggiornare il duty-cycle all'inizio e a metà del periodo di modulazione, procedura detta *double update*. In presenza di una perturbazione sul duty-cycle, quindi, la risposta del modulatore è più rapida, a costo della perdita temporanea di simmetria negli impulsi in uscita dal comparatore. Il massimo ritardo di risposta, infatti, è ridotto a metà del periodo di modulazione, rispetto al caso *single update*. Una rappresentazione grafica del funzionamento in *double update* è visibile in Fig. 3.6.

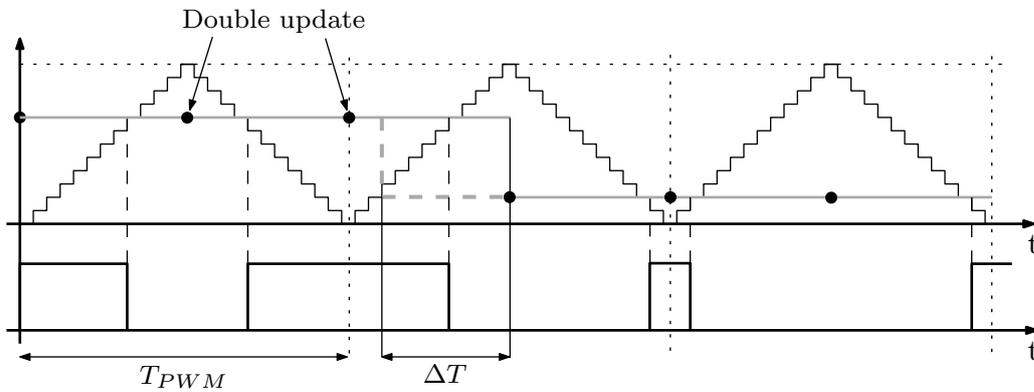


Figura 3.6: Ritardo di risposta del modulatore in modalità *double update* [5].

Analogamente alla sezione precedente, è possibile derivare la funzione di trasferimento del modulatore in funzionamento *double update* che, nel caso simmetrico, è:

$$DPWM_{sim,du}(s) = \frac{V_{mo}(s)}{M(s)} = \frac{1}{2P_{pk}} \left(e^{-sD\frac{T_s}{2}} + e^{-s(1-D)\frac{T_s}{2}} \right). \quad (3.8)$$

Anche in questo caso si può sfruttare la relazione di Eulero, ottenendo:

$$\text{DPWM}_{\text{sim,du}}(s) \approx e^{-s \frac{T_s}{4}}. \quad (3.9)$$

Il confronto tra il ritardo di fase introdotto dal modulatore in *single update* e *double update* evidenzia in modo chiaro il vantaggio di quest'ultima modalità dal punto di vista dell'intero sistema controllato:

- *single update*, dalla (3.6) si ha $\arg(\text{DPWM}_{\text{sim}}(j\omega)) = -\frac{\omega T_s}{2}$;
- *single update*, dalla (3.8) si ha $\arg(\text{DPWM}_{\text{sim,du}}(j\omega)) = -\frac{\omega T_s}{4}$.

Come già accennato il ritardo è dimezzato utilizzando il *double update*, rispetto al caso *single update*.

3.1.3 Sincronizzazione di campionamento e modulazione

Nel presentare quanto segue è comodo far riferimento ad un controllo di corrente digitale per inverter modulato con DPWM. Il funzionamento del modulatore PWM determina intrinsecamente la presenza di un ripple sulla forma d'onda di corrente, come già introdotto, che deve essere considerato nel processo di campionamento.

Come ben noto, per non violare il *teorema del campionamento di Shannon*, la frequenza di campionamento dell'ADC che acquisisce la corrente non deve essere inferiore alla massima estensione spettrale della corrente stessa. In un controllore convenzionale, con ciò intendendo la tipica implementazione su microcontrollore o DSP, la massima frequenza di campionamento corrisponde alla massima frequenza con cui è possibile aggiornare il duty-cycle. Nel caso di modulazione simmetrica con *double-update*, quindi, la massima frequenza di campionamento è pari al doppio della frequenza di commutazione.

Per elevare il più possibile la larghezza di banda del controllore, la frequenza di commutazione deve essere massimizzata, compatibilmente con i limiti imposti dai dispositivi di potenza utilizzati [3]. Ovviamente al crescere della frequenza di commutazione, cresce la frequenza del ripple sulla forma d'onda di corrente.

Quest'ultima osservazione permette di evidenziare la presenza di due esigenze contrastanti:

- la massima estensione spettrale della corrente deve essere limitata per non violare il teorema del campionamento;
- la frequenza di commutazione deve essere massimizzata per elevare la banda passante del controllore.

In ogni caso, considerando la massima frequenza di campionamento possibile per un controllore implementato su DSP, pari al doppio della frequenza di commutazione, il teorema del campionamento non è rispettato.

La soluzione a questo problema risiede nella sincronizzazione dei processi di campionamento e commutazione. È possibile dimostrare come, nel caso in cui le due operazioni siano adeguatamente sincronizzate, l'effetto dell'*aliasing*, derivante dalla violazione del teorema del campionamento, sia la perfetta ricostruzione del valore medio della corrente [3].

La sincronizzazione è realizzata nel momento in cui il campionamento della corrente avvenga all'inizio di ogni periodo di commutazione, nel caso di *single-update*, o all'inizio e a metà del periodo di commutazione, nel caso di *double-update*. In altre parole:

- nel caso di *single-update* il campionamento deve avvenire a metà dell'intervallo di tempo in cui lo switch è in conduzione o in interdizione;
- nel caso di *double-update* il campionamento deve avvenire sia a metà dell'intervallo di conduzione sia dell'intervallo di interdizione dello switch.

Uno schema che illustra questo principio è visibile in Fig 3.7.

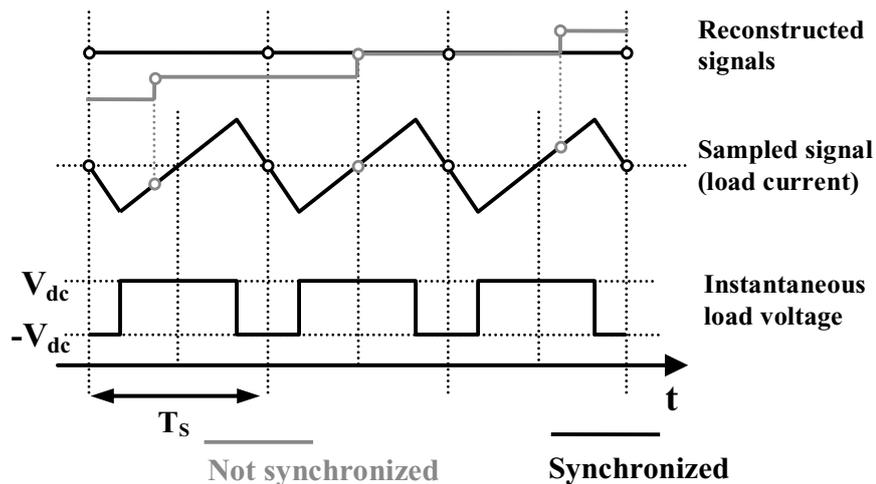


Figura 3.7: Sincronizzazione di campionamento e modulazione, funzionamento in *double-update* [3].

Si faccia attenzione che, nel caso in cui il campionamento non sia effettuato negli istanti sopra descritti, sebbene sincronizzato con la PWM a livello temporale, il valore medio della corrente presenta un errore statico. Tale errore è tipicamente annullato dagli anelli di regolazione esterni presenti nel controllore.

3.2 RITARDI NELL'ANELLO DI CONTROLLO DIGITALE

A differenza del caso analogico, un sistema di controllo digitale include ritardi di diversa natura; influiscono notevolmente sulla dinamica del sistema controllato e devono, quindi, essere tenuti in considerazione per il progetto del controllore digitale [4].

I due principali ritardi nell'anello di controllo sono introdotti dal convertitore A/D, dall'esecuzione dell'algoritmo di controllo e dal modulatore DPWM, come già accennato nelle sezioni precedenti.

3.2.1 Ritardo del controllore

Con ritardo del controllore t_{ctrl} si intende l'intervallo temporale che intercorre tra l'istante di campionamento k -esimo e l'istante in cui il campione k -esimo del segnale di controllo è disponibile in uscita dal controllore. Tale formulazione, quindi, comprende il ritardo di conversione dell'ADC e il ritardo di elaborazione relativa all'algoritmo di controllo implementato.

Il ritardo di conversione, ovviamente, dipende dalla tipologia e dalle caratteristiche dell'ADC considerato, come accennato nella Sezione 2.2.1.

Il ritardo di elaborazione, invece, dipende dall'implementazione prescelta per il controllore digitale. Seguendo l'approccio in [4], è possibile individuare:

- controllori software (*software-based controllers*), implementati su dispositivi a microcontrollore o DSP. In questo caso il ritardo di elaborazione corrisponde al tempo richiesto dalla CPU per eseguire le istruzioni che realizzano il compensatore.
- Controllori hardware (*hardware-based controllers*), implementati su circuiti integrati personalizzati o *Field Programmable Gate Array* (FPGA). Tipicamente questa implementazione permette di integrare ADC ottimizzati per l'applicazione richiesta, in grado di minimizzare il ritardo di conversione. In aggiunta a questo, poi, è presente il ritardo di propagazione delle reti combinatorie che realizzano il compensatore. Complessivamente il ritardo di elaborazione caratteristico di queste strutture è molto minore di quello introdotto dalle implementazioni su microcontrollore o DSP.

In Fig. 3.8 è presente un diagramma della temporizzazione di un sistema di controllo digitale implementato su hardware.

3.2.2 Ritardo del modulatore digitale

Come descritto nella Sezione 3.1.2, il modulatore PWM digitale introduce un ritardo t_{DPWM} di entità variabile e dipendente dalla strategia di modulazione prescelta (*single-update* o *double-update*).

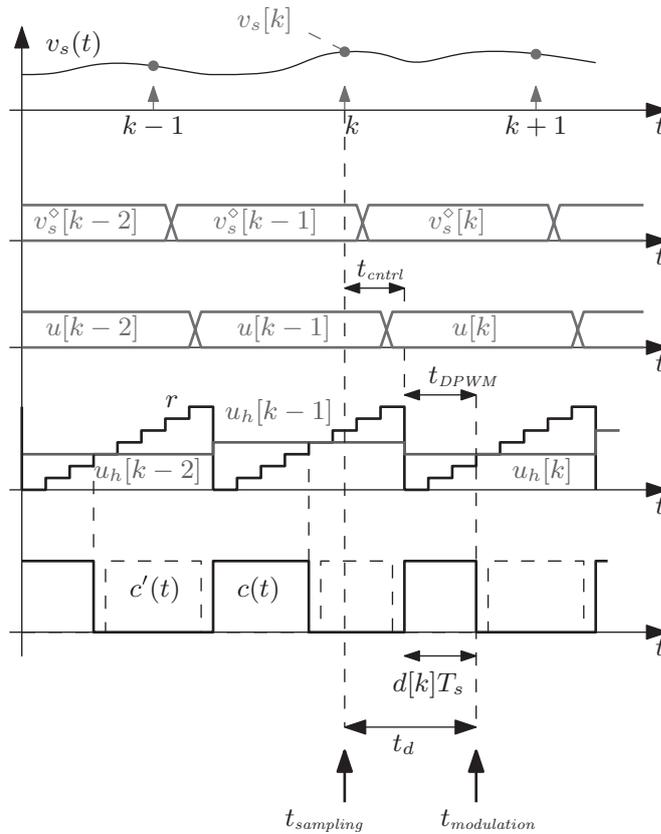


Figura 3.8: Diagramma della temporizzazione di un controllore *hardware-based* [4].

Il ritardo complessivo presente nel controllore digitale è la somma del ritardo di controllo e del ritardo del modulatore:

$$t_d = t_{ctrl} + t_{DPWM}. \tag{3.10}$$

Questo, supponendo trascurabile l'effetto dell'*aliasing*, può essere incluso nel modello ai valori medi del convertitore [4].

3.3 NON IDEALITÀ E OSCILLAZIONI DI CICLO LIMITE

In aggiunta al ritardo descritto nella sezione precedente, un sistema di controllo digitale presenta altre non idealità, che assumono la forma di rumore sovrapposto al segnale di controllo, tipicamente il duty cycle. Nel seguito ci si riferisce ad un controllore implementato via software su microcontrollore o DSP. Si possono distinguere [3]:

- rumore di quantizzazione in ingresso, introdotto dalla risoluzione finita dell'ADC;
- rumore di quantizzazione aritmetico e rumore di quantizzazione in uscita.

La descrizione precisa di questi fenomeni non rientra tra gli scopi di questo lavoro, ma nel seguito sono richiamati solamente i concetti fondamentali; approfondimenti possono essere trovati in [18].

3.3.1 Quantizzazione in ingresso

Come accennato nella Sezione 2.2.1, la quantizzazione in ingresso nasce dalla rappresentazione binaria del valore istantaneo di un segnale con un numero finito di bit, operata dall'ADC. La risoluzione di un'ADC a n è definita come il numero di livelli discreti assumibili dal segnale digitalizzato. Questo permette di definire anche il cosiddetto passo di quantizzazione q che dipende, oltre che dal numero di bit n , dal FSR del convertitore:

$$q = \frac{\text{FSR}}{2^n} = \text{LSB} \quad (3.11)$$

pari al LSB.

Ogni variazione del segnale analogico di ampiezza minore di q non è riconoscibile dal quantizzatore; ciò dimostra come l'operazione di quantizzazione produca una perdita di informazione relativamente al segnale originale. La formalizzazione di questo fenomeno si avvale di una descrizione statistica del processo di quantizzazione, per cui la perdita di informazione è modellata come un rumore sovrapposto al segnale quantizzato. Nel caso in cui si utilizzi un quantizzatore uniforme, la varianza del processo stocastico associato alla quantizzazione è:

$$\sigma_q^2 = \frac{q^2}{12} \quad (3.12)$$

Da tale relazione è possibile derivare l'espressione del *Signal-to-Noise Ratio* (SNR) dell'ADC, che esprime il rapporto tra la potenza del segnale utile e la potenza del rumore, in funzione del numero di bit del convertitore stesso:

$$\text{SNR} = 10 \cdot \log\left(\frac{12}{8} \cdot 2^{2n}\right) = 6.02 \cdot n + 1.76 \text{ dB} \quad (3.13)$$

Questa relazione fornisce un vincolo inferiore al numero n di bit dell'ADC in funzione del minimo SNR desiderato [3].

3.3.2 Quantizzazione aritmetica e quantizzazione in uscita

La quantizzazione aritmetica è l'approssimazione introdotta dalla precisione finita della *Arithmetic and Logic Unit* (ALU), utilizzata per eseguire l'algoritmo di controllo, nella

rappresentazione del segnale digitale. L'effetto principale di questa non idealità è il troncamento o l'arrotondamento della rappresentazione binaria delle grandezze coinvolte, sia dei coefficienti del controllore, sia delle variabili temporanee, soprattutto dei risultati delle moltiplicazioni binarie. Tipicamente l'effetto più evidente della precisione finita nella rappresentazione binaria è lo spostamento dei poli del sistema controllato, e quindi una distorsione della risposta in frequenza attesa. Anche in questo caso, la quantizzazione aritmetica è modellabile sotto forma di rumore sovrapposto al segnale, la cui descrizione precisa, tuttavia, è molto complessa [3].

La quantizzazione in uscita, invece, è introdotta dall'operazione di conversione D/A effettuata dal DPWM. Il troncamento (o l'arrotondamento) introdotto nella scrittura del duty-cycle nel registro di *match* del modulatore digitale, similmente a quanto detto per la quantizzazione aritmetica, è modellabile come un rumore sovrapposto al segnale utile. Come espresso nella Sezione 3.1.2, inoltre, il numero di bit disponibili per la rappresentazione del duty-cycle è sempre minore del numero di bit n caratteristici del modulatore, per cui la quantizzazione in uscita è inevitabile.

Quest'ultimo fenomeno è anche la causa dell'insorgere di una ben nota instabilità, caratteristica dei controllori digitali, detta oscillazione di ciclo limite³, descritta nel seguito.

3.3.3 Oscillazione di ciclo limite

L'instabilità di ciclo limite si verifica nel momento in cui il duty-cycle richiesto dal microcontrollore ha un valore compreso tra due livelli possibili per l'uscita del DPWM, limitati dalla quantizzazione di uscita. In questa condizione, infatti, non esiste uno stato di regime per il sistema controllato con regolatore digitale [4]. Una rappresentazione di questo fenomeno è visibile in Fig. 3.9.

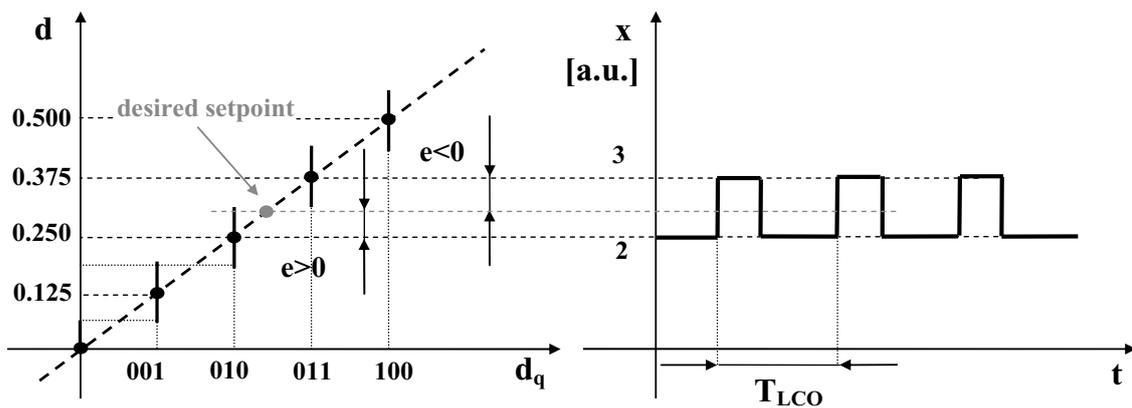


Figura 3.9: Rappresentazione del fenomeno di oscillazione di ciclo limite [3].

³ Limit Cycle Oscillation (LCO).

L'effetto principale di questa non idealità è la dissimmetria nel duty cycle degli impulsi di tensione effettivamente applicati:

- nel caso in cui il duty-cycle applicato sia il primo valore superiore a quello richiesto, si ha un incremento indesiderato della corrente oltre il valore di regime;
- nel caso in cui il duty-cycle applicato sia il primo valore inferiore a quello desiderato, si ha una riduzione della corrente al di sotto del valore di regime.

L'oscillazione del duty-cycle, quindi, produce a sua volta un'oscillazione sulle variabili di stato del sistema.

Per un approfondimento sulle caratteristiche e sulle tecniche di cancellazione di questa particolare instabilità si rimanda a [3, 19].

3.4 CONTROLLO ESTERNO DELL'INVERTER

A seconda dell'applicazione richiesta per il VSI sono disponibili diverse strutture per il sistema di controllo digitale esterno (*system-level control*). Tra le possibili applicazioni e modalità di funzionamento dell'inverter si citano:

- funzionamento da generatore controllato di corrente; in tal caso si ricorre all'implementazione di un anello di controllo di corrente (*current-mode control*).
- Funzionamento da generatore controllato di tensione, caso specifico degli inverter per UPS o per sorgenti *Photo-Voltaic* (PV); in questo caso, oltre all'anello di corrente si considera un anello esterno per il controllo della tensione. Va specificato come sia possibile controllare l'inverter anche solamente con un anello di regolazione della tensione (*voltage-mode control*) che, tuttavia, presenta diverse limitazioni, come descritto nel seguito.
- Azionamenti elettrici a frequenza variabile, nei quali all'anello di corrente sono aggiunti uno o più anelli esterni per il controllo, ad esempio, di velocità e/o posizione di un motore elettrico.

Le ultime due applicazioni richiedono la configurazione del controllore sotto forma di sistema multianello (*multiloop control*), in cui l'anello interno è costituito dal controllo di corrente. La struttura tipica di un sistema di controllo multianello per inverter funzionante da generatore controllato di tensione è visibile in Fig. 3.10.

I vantaggi principali di una struttura multianello, per un inverter che funzioni da generatore controllato di tensione, sono:

- possibilità di controllare e limitare direttamente la corrente durante i transitori, principalmente per scopi di protezione;

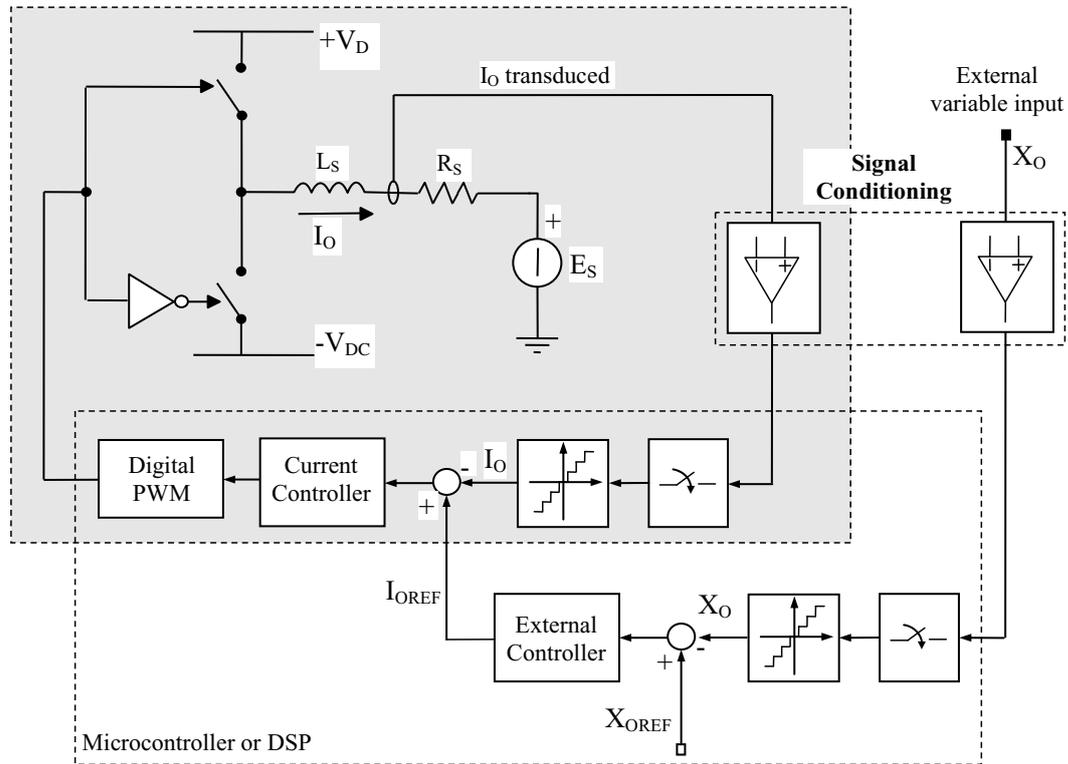


Figura 3.10: Organizzazione tipica di un sistema di controllo digitale multianello per generatore controllato di tensione [3].

- possibilità di condividere la corrente in sistemi in cui più convertitori operano in parallelo;
- compensazione del sistema più efficace e robusta rispetto al solo controllo di tensione.

Nel seguito ci si concentra sulla modalità di funzionamento del VSI come generatore controllato di tensione, presentando, quindi, alcune tipologie di controllori di corrente e di tensione.

3.4.1 Modalità di progetto: una panoramica

Riguardo alle modalità di progetto dei controllori, in questo lavoro sono citati:

- design diretto del regolatore a tempo discreto;
- discretizzazione di un regolatore analogico;
- progetto del regolatore sotto forma di retroazione di stato a tempo discreto

La modellazione a tempo discreto presentata nella Sezione 2.3 consente di progettare nel dominio delle trasformate Zeta le funzioni di trasferimento del compensatore, seguendo tipicamente specifiche frequenziali. La procedura di design diretto a tempo discreto sopracitata, pur essendo caratterizzata da un elevato grado di complessità, consente di derivare i regolatori digitali con approccio parallelo al progetto analogico; caso tipico è quello del regolatore PID digitale. La descrizione di questa procedura di progetto esula dagli obiettivi di questo lavoro; il lettore interessato può fare riferimento a [4].

Va specificato come il progetto nel dominio Zeta non sia l'unica possibilità di design per un regolatore digitale. Un'alternativa è rappresentata dal progetto del regolatore a tempo continuo e sua successiva discretizzazione, soluzione che comporta un grado di difficoltà molto ridotto, richiedendo principalmente un buon progetto del regolatore analogico di partenza. Ovviamente, a differenza del progetto per un sistema analogico, devono essere tenuti in considerazione i ritardi propri del sistema di controllo digitale.

Una terza strategia di progetto per regolatori digitali è rappresentata dalla retroazione dallo stato a tempo discreto, basata sull'allocazione dei poli del sistema in base alle specifiche dinamiche richieste. Esempio peculiare di questa modalità di progetto è il regolatore *dead-beat*, che sarà ampiamente descritto nel seguito.

3.4.2 Modello dinamico del VSI

In questo paragrafo sono derivati il modello dinamico a tempo continuo e a tempo discreto del VSI di Fig. 2.1, basilari per il design dei controllori presentati nel seguito. Le variabili di stato del sistema sono la corrente di induttanza $i_L(t)$ e la tensione di uscita $v_o(t)$, mentre le variabili indipendenti considerate sono tensione di ingresso $v_{inv}(t)$ (in uscita dal ponte) e la corrente di carico $i_o(t)$. Una rappresentazione grafica del sistema in spazio di stato è visibile in Fig. 3.11.

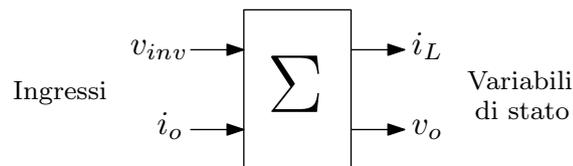


Figura 3.11: Rappresentazione grafica del sistema in spazio di stato.

Modello a tempo continuo

Il filtro LC di uscita può essere espresso in spazio di stato come segue:

$$\begin{aligned} \frac{d}{dt} \bar{x}(t) &= A\bar{x}(t) + B_1 \bar{v}_{inv}(t) + B_2 \bar{i}_o(t) \\ y(t) &= C\bar{x}(t) \end{aligned} \quad (3.14)$$

dove $\bar{x}(t) = [\bar{i}_L(t) \quad \bar{v}_o(t)]^T$, $\bar{y}(t) = \bar{i}_L(t)$ e $\bar{v}_{inv}(t) = V_{dc}(2\bar{\delta}(t) - 1) = \bar{\delta}'(t)V_{dc}$ ⁴. Tutte le grandezze considerate sono mediate sul periodo di commutazione T_{sw} ; nel seguito, inoltre, sarà omesso l'apice in $\bar{\delta}'(t)$, in modo da considerare un duty-cycle equivalente variabile tra -1 e 1 , in altre parole si considera $\bar{v}_{inv}(t) = \delta(t)V_{dc}$. Le matrici in (3.14) sono:

$$A = \begin{bmatrix} -\frac{R_{s,L}}{L} & -\frac{1}{L} \\ \frac{1}{C} & 0 \end{bmatrix}, \quad B_1 = \begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix}, \quad B_2 = \begin{bmatrix} 0 \\ -\frac{1}{C} \end{bmatrix}, \quad C = [1 \quad 0] \quad (3.15)$$

Il modello è derivato seguendo lo stesso approccio presente in [9, 6]. Il VSI, quindi, può essere rappresentato sotto forma di modello ai valori medi come in Fig. 3.12, avendo sostituito gli elementi a commutazione con un generatore di tensione equivalente δV_{dc} e le variabili istantanea con le corrispondenti ai valori medi.

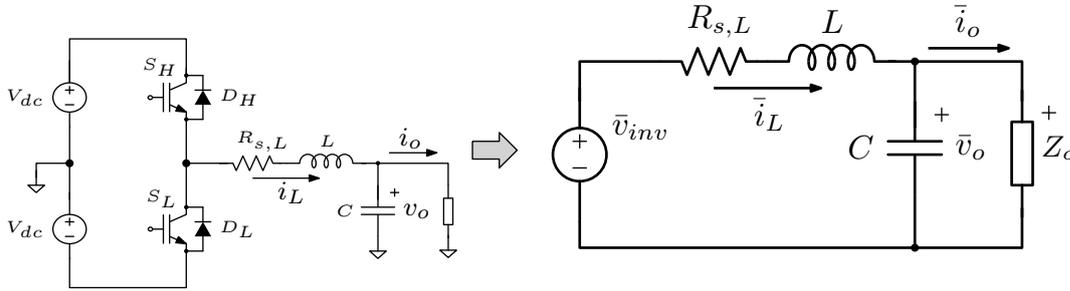


Figura 3.12: Rappresentazione semplificata del VSI.

Di particolare interesse è la funzione di trasferimento $G_{id}(s)$ tra il duty-cycle $\bar{\delta}(t)$ e la corrente di induttanza $\bar{i}_L(t)$:

$$G_{id}(s) = \frac{I_L(s)}{D(s)} = C(sI_2 - A)^{-1}B_1 = V_{dc} \cdot \frac{sC}{1 + sR_{s,L}C + s^2LC} \quad (3.16)$$

dove $I_L(s)$ e $D(s)$ sono, rispettivamente, le trasformate di Laplace delle variazioni ai piccoli segnali $\hat{i}_L(t)$ e $\hat{\delta}(t)$ di corrente e duty-cycle, nell'intorno di un determinato punto di lavoro.

La funzione di trasferimento in (3.21) può essere derivata, in alternativa, analizzando il circuito ai valori medi in Fig. 3.12. Questo approccio permette di derivare agilmente la G_{id} al variare del carico, sostituendo al termine capacitivo il parallelo di capacità e impedenza di carico:

$$G_{id}(s) = V_{dc} \cdot \frac{1}{R_{ESR,L} + sL + \frac{1}{sC} // Z_L(s)}, \quad G_{vi}(s) = \frac{1}{sC} // Z_L(s) \quad (3.17)$$

dove $Z_L(s)$ è appunto l'impedenza di carico. In particolare, nel caso di cortocircuito al carico ($Z_L(s) = 0$), la G_{id} diventa del primo ordine.

⁴ Si è posto $\bar{\delta}'(t) = 2\bar{\delta}(t) - 1$, considerando, quindi, un modulatore PWM in cui la portante varia tra -1 e 1 .

Modello a tempo discreto

Il modello a tempo discreto esatto per un convertitore di potenza è ottenibile con la procedura descritta nella Sezione 2.3.

È possibile derivare il modello a tempo discreto con un approccio più diretto e semplice di quello sopracitato; questo prevede di discretizzare il modello in spazio di stato in (3.14), considerando la dinamica del modulatore PWM derivata nella Sezione 3.1.2. L'anello di regolazione può essere schematizzato come visibile in Fig. 3.13. Ti-

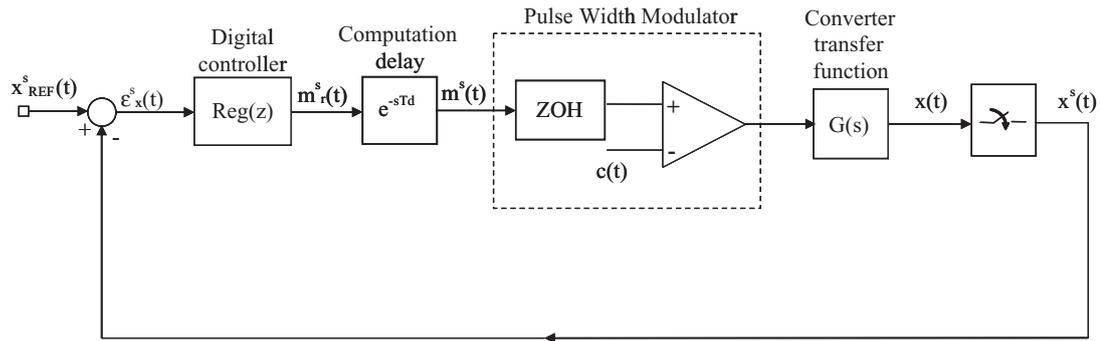


Figura 3.13: Schema a blocchi dell'anello di controllo digitale con ritardo di elaborazione e modello approssimato del modulatore PWM digitale [3].

picamente il ritardo di elaborazione e^{-sT_d} presente in figura, che include ritardo di conversione A/D e ritardo di controllo, può essere sostituito da un ritardo discreto equivalente di un passo di campionamento, per cui il sistema in Fig. 3.13 può essere modificato come visibile in Fig. 3.14. Il modello a tempo discreto, quindi, può essere

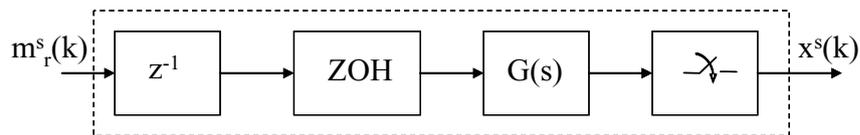


Figura 3.14: Schema a blocchi equivalente con ritardo di elaborazione discreto [3].

ottenuto mediante discretizzazione della funzione di trasferimento tra $m_r^s(k)$ e $x^s(k)$, cioè $G_{T_s}(z) = z^{-1}T_s\mathcal{Z}[ZOH(s)G(s)]$, con $ZOH(s) = (1 - e^{-sT_s})/s$. Per approfondire aspetti peculiari di questo approccio si rimanda a [3].

Anche il modello in spazio di stato a tempo discreto è ottenibile discretizzando con zero-order hold il sistema in 3.14, cioè considerando il duty-cycle costante tra due istanti di campionamento [6, 4].

$$\begin{aligned} \bar{x}(k+1) &= F\bar{x}(k) + G_1\bar{v}_{inv}(k) + G_2\bar{i}_o(k) \\ \bar{y}(k) &= H\bar{x}(k) \end{aligned} \tag{3.18}$$

dove:

$$\begin{aligned}
 F &= e^{AT_s} = \begin{bmatrix} \cos(\omega_o T_s) & -\frac{1}{\omega_o L} \sin(\omega_o T_s) \\ \frac{1}{\omega_o C} \sin(\omega_o T_s) & \cos(\omega_o T_s) \end{bmatrix}, \\
 G_1 &= (e^{AT_s} - I_2)A^{-1}B_1 = \begin{bmatrix} \frac{1}{\omega_o L} \sin(\omega_o T_s) \\ 1 - \cos(\omega_o T_s) \end{bmatrix}, \\
 G_2 &= (e^{AT_s} - I_2)A^{-1}B_2 = \begin{bmatrix} 1 - \cos(\omega_o T_s) \\ -\frac{1}{\omega_o C} \sin(\omega_o T_s) \end{bmatrix}, \\
 H &= \begin{bmatrix} 1 & 0 \end{bmatrix}
 \end{aligned} \tag{3.19}$$

Si faccia attenzione come sia stato posto $R_{s,L} = 0$ per semplificare la trattazione. Tipicamente si può assumere la frequenza di campionamento f_s molto superiore alla frequenza naturale $f_o = 2\pi\sqrt{1/LC}$, cioè $\omega_o T_s \ll 1$, per cui le matrici F e G in (3.19) possono essere approssimate come segue [9]:

$$F \approx \begin{bmatrix} 1 & -\frac{T_s}{L} \\ -\frac{T_s}{C} & 1 \end{bmatrix}, \quad G_1 \approx \begin{bmatrix} \frac{T_s}{L} \\ 0 \end{bmatrix}, \quad G_2 \approx \begin{bmatrix} 0 \\ -\frac{T_s}{C} \end{bmatrix} \tag{3.20}$$

tale approssimazione corrisponde alla linearizzazione con sviluppo di Taylor, giustificato essendo $AT_s \rightarrow 0$.

Ovviamente è possibile derivare la funzione di trasferimento tra il duty-cycle e la corrente di induttanza come segue:

$$G_{id}(z) = \frac{I_L(z)}{D(z)} = H(zI_2 - F)^{-1}G_2. \tag{3.21}$$

Anche in questo caso valgono le stesse considerazioni sul carico fatte per la funzione di trasferimento a tempo continuo.

3.4.3 Controllo di corrente

Per evidenziare le caratteristiche dei diversi controllori di corrente sono trascurati, nel seguito, gli effetti di quantizzazione presentati nella Sezione 3.3.

3.4.3.1 Controllo PI

Il regolatore PI, come noto, è uno degli algoritmi di controllo più utilizzati, essendo caratterizzato da bassa complessità di progetto ed implementazione, pur offrendo ottime prestazioni dinamiche. La presenza della componente integrale, in particolare, conferisce le note proprietà di reiezione ai disturbi e precisione di inseguimento, elevando notevolmente il guadagno in bassa frequenza del sistema controllato.

In questa sezione è descritto il progetto di un regolatore PI digitale attraverso discretizzazione di un regolatore PI analogico. La presentazione della procedura di design di un PI a tempo continuo non rientra tra gli obiettivi di questo lavoro, per cui si assume di disporre di un regolatore analogico adeguatamente progettato.

La procedura di discretizzazione del compensatore analogico, a differenza del progetto diretto a tempo discreto, richiede l'introduzione di alcune approssimazioni, derivanti da:

- metodo di discretizzazione prescelto;
- modalità di rappresentazione dei ritardi propri del sistema digitale, sotto forma di ritardi equivalenti a tempo continuo.

Sono possibili diverse strategie di discretizzazione, alcune basate sull'invarianza della risposta dinamica del sistema in corrispondenza di opportuni ingressi, tipicamente l'impulso di Dirac, altre basate su metodi di integrazione numerica. Tra questi ultimi, i principali sono l'integrazione secondo Eulero, sia con implementazione "avanti" sia "indietro" (*forward Euler* e *backward Euler*), e l'integrazione trapezoidale. Il sistema discreto è ottenuto sostituendo nella funzione di trasferimento a tempo continuo, la relazione che lega gli operatori complessi s e z detta *Z-form* e dipendente dal metodo di integrazione prescelto, come visibile in Tab. 3.1. In tabella è riportato il rapporto

Metodo	Z-form	Distorsione < 3%
<i>Forward Euler</i>	$s = \frac{z-1}{zT_s}$	$\frac{f_s}{f} > 20$
<i>Backward Euler</i>	$s = \frac{z-1}{T_s}$	$\frac{f_s}{f} > 20$
Trapezoidale (Tustin)	$s = \frac{2}{T_s} \frac{z-1}{z+1}$	$\frac{f_s}{f} > 10$

Tabella 3.1: Metodi di discretizzazione [3].

minimo che deve sussistere tra frequenza di campionamento ed una data frequenza di interesse f , in modo che la distorsione di fase introdotta dalla discretizzazione a tale frequenza sia minore del 3%. L'effetto di distorsione di fase è detto anche *warping*; come evidente il metodo che introduce minor approssimazione è quello di Tustin.

Riguardo il ritardo introdotto dal sistema digitale va precisato, che per ottenere delle prestazioni soddisfacenti, il controllore analogico deve essere progettato tenendo conto di questo ritardo.

Lo schema a blocchi dell'anello di corrente con regolatore PI discreto è visibile in Fig. 3.15. Nel seguito è descritta la discretizzazione del regolatore analogico con metodo di Eulero "indietro"; l'equazione del regolatore PI analogico è:

$$PI(s) = K_P + \frac{K_I}{s} = K_I \cdot \frac{1 + s \frac{K_P}{K_I}}{s} \quad (3.22)$$

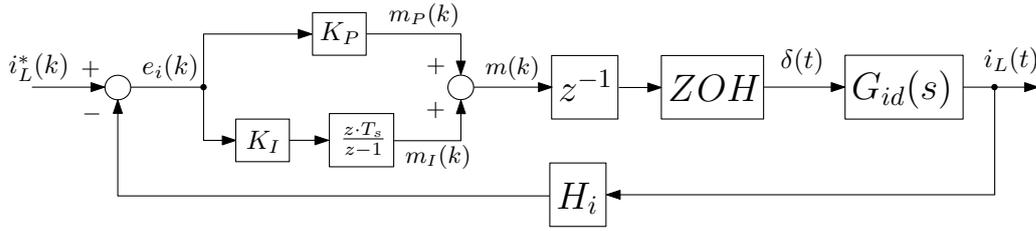


Figura 3.15: Schema a blocchi dell'anello di controllo con regolatore PI.

sostituendo la *Z-form* corrispondente al metodo *backward Euler* si ottiene:

$$PI(s) = K_P + K_I T_s \cdot \frac{z}{z-1} = K_I \cdot \frac{1 + \frac{z-1}{z T_s} \frac{K_P}{K_I}}{\frac{z-1}{z T_s}}. \quad (3.23)$$

Dalla (3.23) è possibile derivare facilmente l'algoritmo di controllo sotto forma di sistema di equazioni alle differenze [3]:

$$\begin{cases} m_I(k) = K_I T_s \cdot e_i(k) + m_I(k-1) \\ m(k) = K_P \cdot e_i(k) + m_I(k). \end{cases} \quad (3.24)$$

Discretizzando il regolatore con *Tustin*, invece, si ottiene:

$$\begin{cases} m_I(k) = K_I T_s \cdot \frac{e_i(k) + e_i(k-1)}{2} + m_I(k-1) \\ m(k) = K_P \cdot e_i(k) + m_I(k). \end{cases} \quad (3.25)$$

L'unica differenza tra i regolatori digitali ottenuti in (3.24) e (3.25) risiede nella parte integrale. Discretizzando con Eulero "indietro", infatti, il calcolo della componente integrale al passo k è basato sul campione al passo k dell'errore, mentre discretizzando con Tustin il calcolo è basato sulla media mobile dei due campioni più recenti dell'errore, $e(k)$ ed $e(k-1)$.

È importante sottolineare che:

- i guadagni K_P e K_I ottenuti discretizzando con Eulero "indietro" e Tustin sono uguali;
- il guadagno K_P del regolatore digitale è uguale al guadagno K_P del regolatore analogico, mentre il guadagno integrale del regolatore discretizzato è pari a T_s volte il guadagno integrale del regolatore analogico:

$$K_{P,d} = K_P, \quad K_{I,d} = T_s K_I. \quad (3.26)$$

- Il periodo di campionamento T_s considerato per la discretizzazione coincide con il periodo di campionamento del controllore, inteso come aggiornamento del duty-cycle, e con la frequenza di commutazione del convertitore⁵.

⁵ Come espresso nella Sezione 3.1.3.

Vale la pena rimarcare l'importanza del progetto del regolatore analogico considerando il ritardo di elaborazione introdotto dall'implementazione digitale. Per non penalizzare il margine di fase del sistema controllato, la banda passante di un regolatore analogico progettato tenendo conto del ritardo di elaborazione, ovviamente, deve essere minore di quella del regolatore progettato senza ritardo. In Fig. 3.16 è visibile, a titolo di esempio, la corrente di induttanza in risposta ad una variazione a gradino del riferimento. La risposta del sistema in Fig. 3.16a, rispetto a quella di Fig. 3.16b, presen-

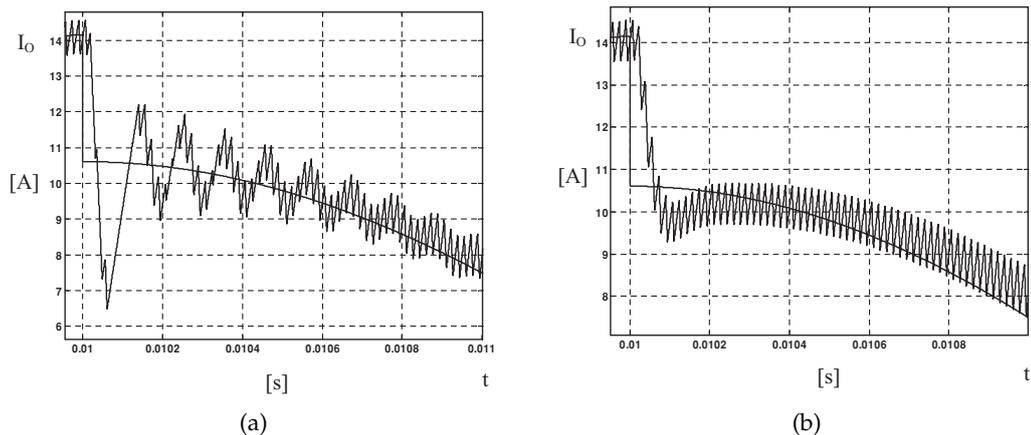


Figura 3.16: Corrente di induttanza, risposta ad una variazione a gradino del riferimento: PI analogico progettato senza tenere conto del ritardo (a) e tenendo conto del ritardo (b) [3].

ta minor sovralongazione ed oscillazione residua, ad indicare un maggiore margine di fase, e un tempo di assestamento più lungo, legato alla minor banda passante.

Va precisato, infine, come il progetto del PI appena descritto sia stato realizzato considerando il sistema a vuoto, condizione tipicamente peggiore dal punto di vista della stabilità. Per tale motivo è derivata esplicitamente solo la funzione di trasferimento $G_{id}(s)$ a vuoto.

3.4.3.2 Controllo *dead-beat*

Il controllo DB, oggetto di numerosi lavori in letteratura, tra i quali si citano [20, 21, 10, 22], rientra nella famiglia dei regolatori in retroazione di stato a tempo discreto.

L'algoritmo di controllo DB, realizzabile solamente con approccio digitale, prevede l'allocazione diretta degli autovalori del sistema controllato nell'origine del piano complesso. Come noto dalla teoria dei sistemi, gli autovalori del sistema coincidono con i poli della funzione di trasferimento a catena chiusa, per cui il regolatore DB conferisce al sistema controllato le due seguenti proprietà:

- funzione di trasferimento a catena chiusa equivalente ad un puro ritardo;

- errore di inseguimento nullo in un numero finito di passi;

Si noti come queste due caratteristiche siano equivalenti, la prima declinata nel dominio della frequenza, la seconda nel dominio del tempo.

In questa sezione sono introdotti gli aspetti peculiari del regolatore DB, mentre, la descrizione dettagliata del DB di corrente per VSI è descritta nel Capitolo 5. Come sarà più chiaro nel seguito, l'algoritmo DB può essere derivato con un approccio alternativo al progetto in spazio di stato, basato, nel caso del controllo corrente, sulla predizione della tensione di inverter che conferisce al sistema il comportamento desiderato. Per tale motivo il regolatore DB, talvolta, è indicato in letteratura come controllore predittivo.

Gli aspetti peculiari di un controllore DB sono:

- prestazioni dinamiche tipicamente molto superiori a quelle ottenibili con i classici regolatori PI o PID;
- semplicità di progetto, noti i parametri del sistema;
- necessità della misura o stima della tensione di uscita, condizione aggiuntiva rispetto ai PI o PID;
- elevata sensibilità alle variazioni parametriche, come la saturazione dell'induttanza, e alla presenza di dinamiche non modellate, come i tempi morti.

Quest'ultima caratteristica è attribuibile al basso guadagno in bassa frequenza proprio del regolatore DB, che non comprende una componente integrale.

A titolo di esempio in Fig. 3.17a e Fig. 3.17b sono riportati gli effetti della variazione dell'induttanza sul transitorio di corrente e sulla posizione dei poli a catena chiusa di un VSI [3]. Come visibile una variazione ΔL del 95%, che può essere somma di un errore di modellazione e variazione vera e propria dell'induttanza, porta il sistema vicino dell'instabilità. Ciò è chiaramente anche osservando la posizione dei poli a catena chiusa.

Le problematiche sopracitate possono essere efficacemente risolte con l'aggiunta di un termine integrale, adeguatamente progettato, al regolatore DB oppure con l'adozione di un compensatore del disturbo [21, 22].

In Fig. 3.18, invece, è evidenziato l'effetto introdotto dai tempi morti, necessari per il corretto funzionamento del VSI, sulla risposta temporale del sistema in controllo di corrente con regolatore DB. Come visibile sono presenti una distorsione nell'attraversamento dello zero della corrente ed un errore di inseguimento a regime. Per la compensazione di questi effetti sono state sviluppate numerose strategie, sia *offline*, basate sulla pre-compensazione della distorsione, sia *online*, basate sulla misura della tensione di inverter [23].

Un netto miglioramento delle prestazioni è ottenibile considerando il modulatore PWM funzionante in *double-update*, ovvero con due istanti di aggiornamento del duty-cycle per ogni periodo di modulazione. Tale scelta equivale a raddoppiare la frequenza

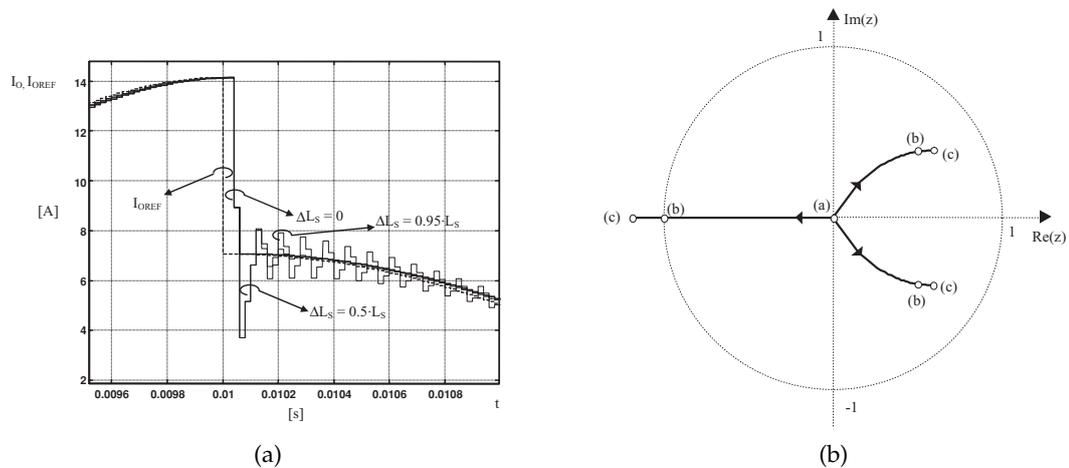


Figura 3.17: Effetto della variazione dell'induttanza su comportamento transitorio della corrente (a) e posizione dei poli a catena chiusa (b) [3].

di campionamento del controllore che diventa, quindi, doppia rispetto alla frequenza di commutazione. In questo modo il ritardo equivalente del sistema controllato con DB è dimezzato.

Il *double-update* è utilizzabile anche nel caso si consideri il regolatore PI di corrente. L'effetto immediato è l'aumento della banda passante del sistema controllato, essendo dimezzato il ritardo di elaborazione, pari a $T_{sw}/2$.

3.4.4 Controllo di tensione

Come già accennato, l'anello di regolazione di tensione si colloca esternamente all'anello di corrente. Il processo visto dal regolatore di tensione, quindi, è il convertitore controllato in corrente; questo deve essere adeguatamente modellato per il progetto del compensatore di tensione. A differenza del controllore di corrente, che richiede la modellazione ai valori medi e successiva linearizzazione del convertitore, le funzioni di trasferimento del sistema controllato in corrente sono tipicamente disponibili. Uno schema rappresentativo della struttura multianello è presente in Fig. 3.19.

L'anello di corrente può essere facilmente rappresentato attraverso la funzione di trasferimento G_{ii} tra riferimento di corrente i_L^* e corrente stessa i_L . Tale funzione di trasferimento dipende dalle componenti presenti nell'anello di corrente, in particolare dal controllore di corrente prescelto. Nel caso di un controllore di corrente digitale la funzione di trasferimento sopracitata può essere naturalmente espressa nel dominio Zeta, essendo il regolatore già descritto con tale rappresentazione, per cui si ha $G_{ii} = G_{ii}(z)$. Tipicamente, per l'espressione del processo in z , si segue la procedura di discretizzazione presentata nelle sezioni precedenti.

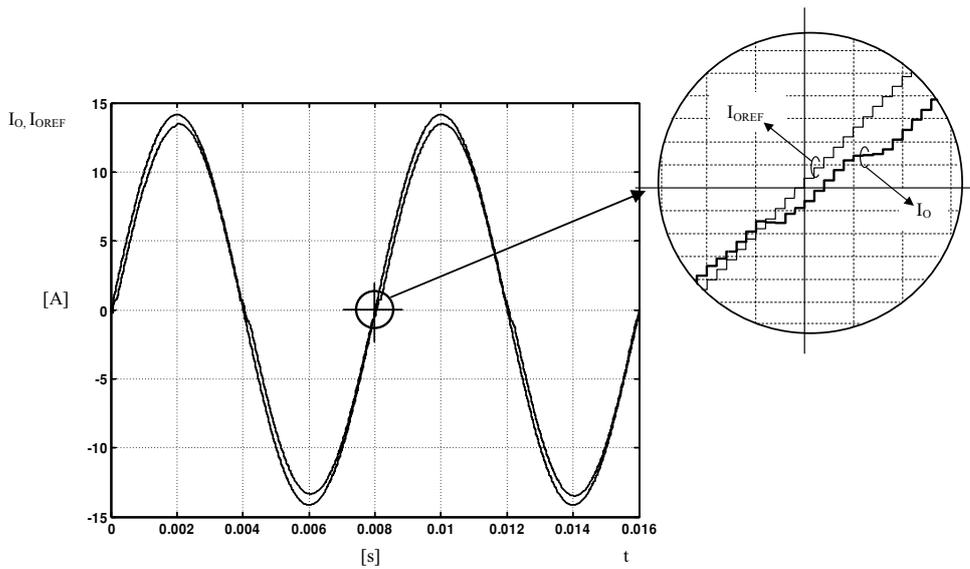


Figura 3.18: Effetto dei tempi morti sul sistema con controllo di corrente DB [3].

Ai fini del progetto del controllore di tensione, inoltre, è utile definire la funzione di trasferimento $G_{vi}(s)$ tra corrente e tensione di uscita, dipendente dal carico considerato, e la $G_{vd}(s)$, tra duty-cycle e tensione di uscita; è facile osservare che vale $G_{vd}(s) = G_{id}(s) \cdot G_{vi}(s)$. In questo modo lo schema a blocchi del sistema multianello può essere rappresentato come in Fig. 3.20. La G_{vi} è direttamente funzione dell'impedenza di carico $Z_L(s)$, essendo:

$$G_{vi}(s) = \frac{1}{sC} // Z_L(s). \tag{3.27}$$

In condizioni di cortocircuito al carico le G_{vi} e G_{vd} sono ovviamente nulle.

3.4.4.1 Controllo PI

Il progetto del regolatore PI di tensione è molto simile a quello seguito per il PI di corrente: è progettato inizialmente un regolatore analogico, successivamente discretizzato con uno dei metodi presentati in precedenza. La principale differenza è la mancanza del ritardo proprio del sistema digitale, considerato invece nell'anello di corrente.

Il design del regolatore analogico avviene, come nel caso del controllo di corrente, specificando vincoli in termini di banda passante del sistema controllato e margine di fase. Determinati i guadagni K_P e K_I del controllore analogico, i corrispondenti guadagni del controllore digitale sono, come nel caso dell'anello di corrente:

$$K_{P,d} = K_P, \quad K_{I,d} = T_s K_I. \tag{3.28}$$

Anche in questo caso, come si è considerato il progetto del PI in assenza di carico, condizione peggiore dal punto di vista della stabilità.

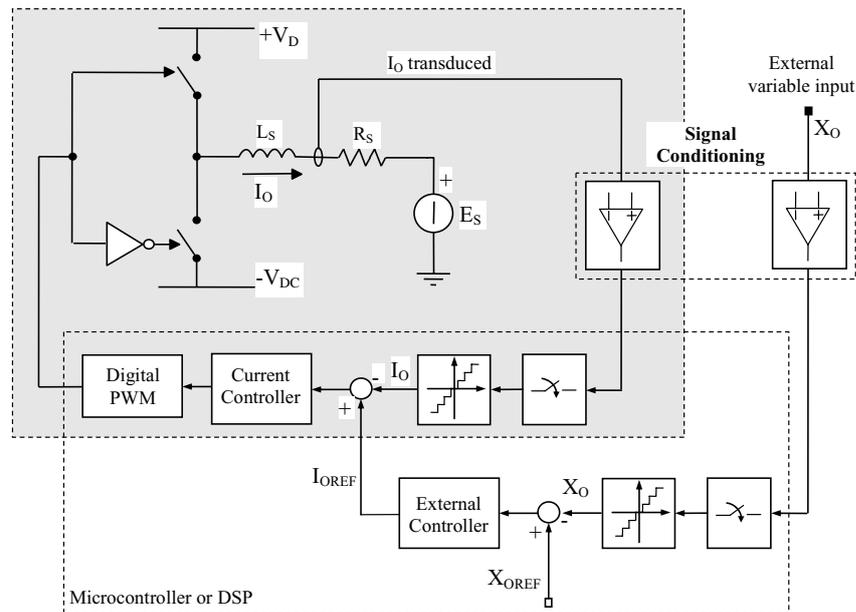


Figura 3.19: Schema a blocchi tipico di un sistema di controllo multianello per la regolazione di corrente e tensione [3].

Il comportamento dinamico del PI di tensione è verificato effettuato un distacco di carico in cresta, cioè nell'istante in cui la forma d'onda di tensione raggiunge il valore massimo, come visibile in Fig. 3.21. Il distacco di carico si manifesta come un errore di tensione negativo che deve essere compensato dal controllore.

3.4.4.2 Controllo *dead-beat*

Analogamente a quanto fatto per il controllo di corrente è possibile derivare un regolatore DB per l'anello di tensione. In questo modo, considerando l'anello di corrente regolato con un DB si ottiene una struttura multianello in cui i regolatori DB di corrente e tensione sono disaccoppiati, soluzione che coniuga elevate prestazioni e flessibilità.

Va precisato, tuttavia, che il progetto rigoroso del regolatore DB prevederebbe la sintesi attraverso allocazione degli autovalori del sistema di dimensione due, in cui le variabili di stato sono corrente di induttanza e tensione di uscita. Tale strategia di controllo, detta anche *multi-variable predictive control* [6, 24, 25], non consente una gestione diretta della corrente, problematica dal punto di vista della sicurezza e protezione dai guasti. Uno schema di esempio di un sistema di controllo DB multi-variabile è visibile in Fig. 3.22.

A titolo di esempio, in Fig. è riportata la risposta ad un distacco di carico in cresta del sistema controllato con DB multi-variabile. Rispetto alla risposta del sistema con-

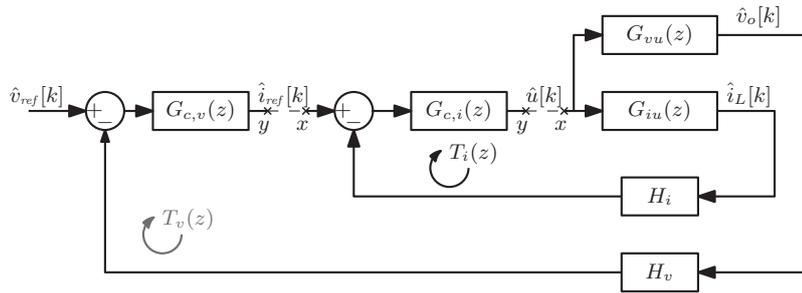


Figura 3.20: Schema a blocchi del sistema multianello con rappresentate le funzioni di trasferimento G_{id} e G_{vd} [4].

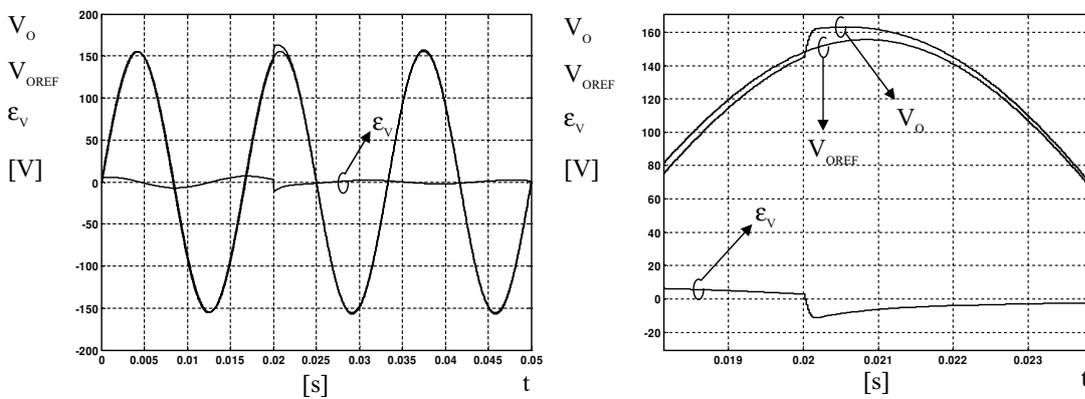


Figura 3.21: Tensione di uscita del sistema controllato con PI di tensione in seguito a distacco di carico, la corrente di carico passa repentinamente da 9.5 A a 0 [3].

siderando il regolatore PI di tensione, è osservabile un netto miglioramento sia della risposta transitoria, sia dell'errore di inseguimento a regime.

Il progetto del DB di tensione per uno schema multianello è presentato nella Sezione 5; per un approfondimento sul progetto multi-variabile si rimanda a [6].

3.5 SATURAZIONE DELL'ATTUATORE E ANTI-WINDUP

La saturazione dell'attuatore, il modulatore PWM stesso nei convertitori PWM, rappresenta una condizione in cui il sistema controllato funziona in condizioni di non linearità [4].

Tipicamente la saturazione dell'attuatore si verifica quando il sistema è sottoposto a transitori di notevole entità. Nel caso del modulatore PWM, sia esso analogico o digitale, la saturazione è intesa come limitazione del valore massimo e minimo che possono essere assunti dal segnale di controllo, che dipende dalla struttura del modulatore

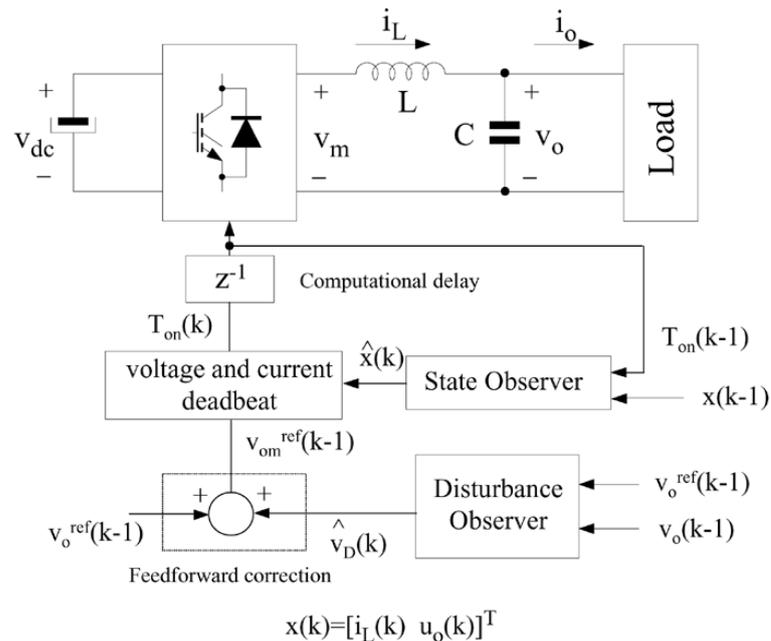


Figura 3.22: Schema di controllo DB multivariabile [6].

stesso

Il problema dell'*anti-windup* si presenta ogni qual volta il controllore include una componente integrale. Si consideri, ad esempio, il convertitore con controllo di corrente descritto nelle sezioni precedenti sottoposto ad un gradino positivo della corrente di carico, di entità tale da portare in saturazione il modulatore PWM. Durante la saturazione il duty-cycle è fissato al 100%, per cui il convertitore applica tutta la tensione possibile per seguire la variazione a gradino della corrente. L'errore di inseguimento, positivo e in crescita durante la saturazione, viene integrato senza soluzione di continuità, elevando rapidamente la componente integrale del segnale di controllo oltre il valore di regime. Di conseguenza, per riportare al valore di regime il segnale di controllo, deve essere integrata una sufficiente quantità di errore negativo. Questo fenomeno, tipico dei regolatore PID, si manifesta sotto forma di elevata sovraelongazione ed elevato tempo di assestamento per il sistema controllato, come visibile nell'esempio di Fig. 3.24.

Nel seguito è descritto uno degli algoritmi di *anti-windup* più semplici ed al tempo stesso efficaci. La discussione delle altre numerose strategie di *anti-windup* esula dagli obiettivi di questo lavoro, approfondimenti possono essere trovati in [3, 4].

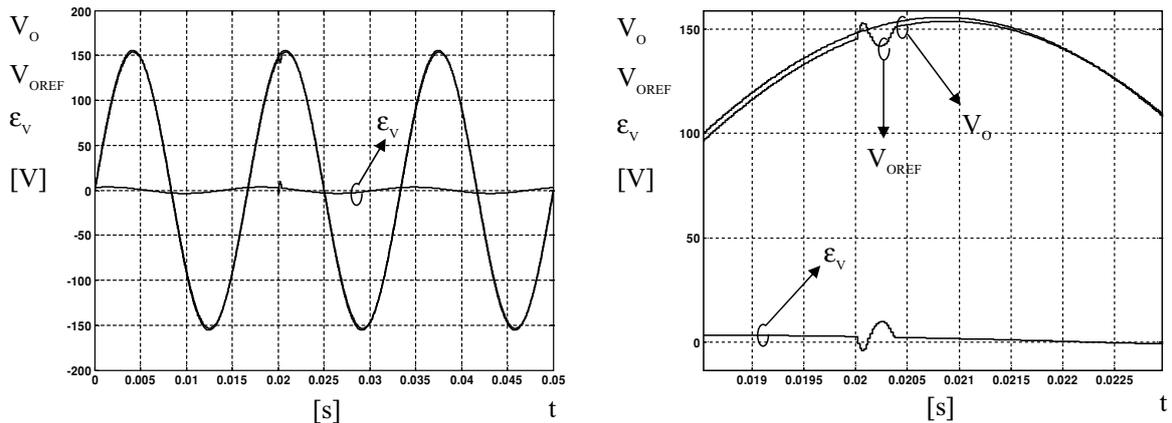


Figura 3.23: Tensione di uscita del sistema controllato con DB multivariabile in seguito a distacco di carico [3].

3.5.1 Limitazione dinamica dell'integratore

La limitazione statica dell'azione integrale, intesa come arresto dell'integrazione in saturazione o limitazione in un range adeguato della componente integrale, rappresenta la strategia di *anti-windup* più immediata, ma non completamente efficace.

La limitazione dinamica della componente integrale durante il transitorio, invece, consente di limitare al minimo il tempo di assestamento del segnale al termine della saturazione. Per semplicità si considera l'esempio di un regolatore PI; l'algoritmo è basato sulle seguenti regole:

1. la somma delle componenti proporzionale e integrale è mantenuta inferiore, o al più uguale, al limite di saturazione dell'attuatore;
2. ad ogni periodo di campionamento del controllore è calcolato un limite $L_I(k)$ per l'azione integrale, in funzione del valore assunto dalla componente proporzionale:

$$|L_I(k)| = m_{MAX} - |m_P(k)| \quad (3.29)$$

dove m_{MAX} e $m_P(k)$ sono, rispettivamente, il limite di saturazione dell'attuatore e la componente proporzionale calcolata al passo k -esimo come $m_P(k) = K_P \epsilon_I(k)$, con K_P guadagno proporzionale.

Lo schema a blocchi corrispondente a questa strategia di *anti-windup* è visibile in Fig. 3.25. In Fig. , invece, è evidenziata la risposta di un sistema con regolatore PI, del tipo presentato nella Sezione 3.4.3.1, durante la saturazione, confrontando il caso senza e con *anti-windup*.

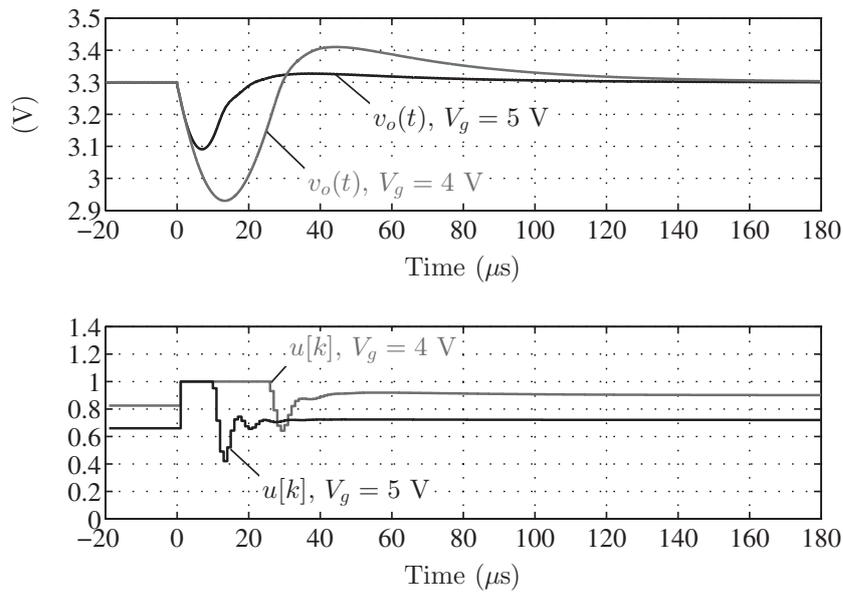


Figura 3.24: *Windup* dell'integratore su inverter *half-bridge* sottoposto a gradino positivo della corrente di carico [4].

3.6 CONTROLLO DI CORRENTE SOVRACAMPIONATO

Il sovracampionamento della corrente rappresenta una soluzione efficiente per mitigare gli svantaggi introdotti dal ritardo intrinseco del modulatore PWM digitale [3]. Rispetto agli algoritmi di controllo di corrente presentati nelle sezioni precedenti, tuttavia, il sovracampionamento non è realizzabile con hardware convenzionale, come microcontrollori o DSP. I due principali limiti, infatti, sono costituiti dal ritardo di conversione degli ADC convenzionali integrati nei DSP e nel ritardo di elaborazione relativamente elevato proprio di questi dispositivi. L'implementazione di un controllore sovracampionato, quindi, richiede:

- convertitori A/D estremamente veloci, con velocità di conversione dell'ordine dei MS/s;
- hardware che minimizza il ritardo di elaborazione, tipicamente FPGA.

In questa sezione sono brevemente introdotti i seguenti controllori di corrente sovracampionati:

- regolatore PI sovracampionato, con riferimento a [3];
- regolatore DB sovracampionato [10];
- regolatore a isteresi digitale a frequenza fissa [26].

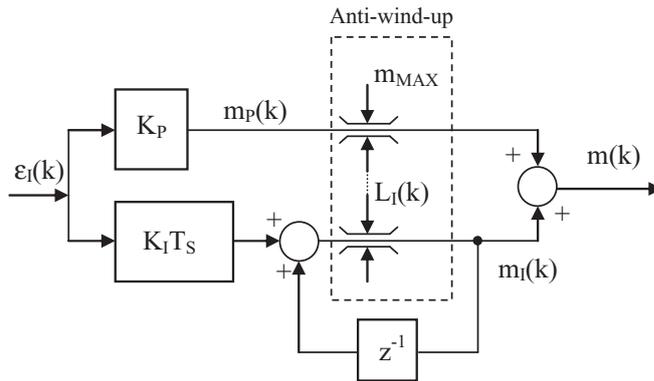


Figura 3.25: Schema a blocchi dell'anti-windup con limitazione dinamica dell'integrale [3].

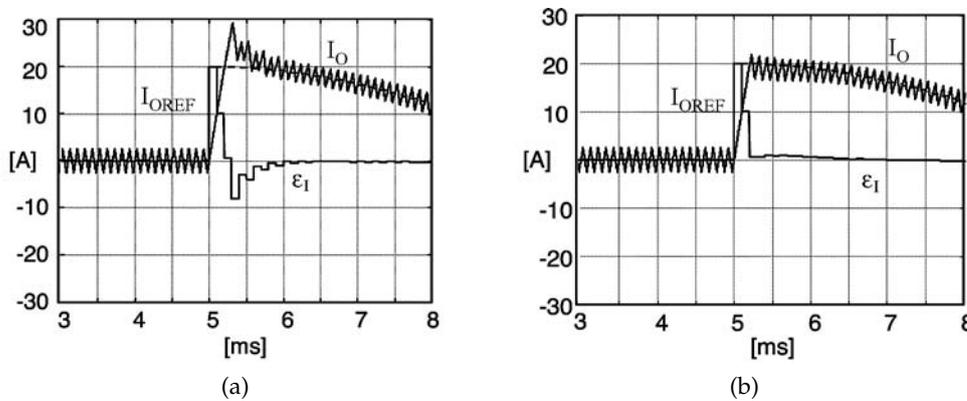


Figura 3.26: Corrente di induttanza ed errore di corrente, risposta ad una variazione a gradino del riferimento: senza anti-windup (a) e con anti-windup (b) [3].

3.6.1 Controllo PI sovracampionato

La configurazione hardware del controllore PI sovracampionato è descritta in Fig. 3.27. Come visibile il segnale di corrente è campionato, e successivamente processato, ad ogni impulso di clock dell'ADC, derivato direttamente dal clock del DPWM e scalato attraverso un moltiplicatore di frequenza. I vincoli sulla frequenza di clock del DPWM, frequenza di commutazione e frequenza di campionamento sono:

- frequenza di clock del DPWM multiplo intero pari della frequenza di commutazione; ogni periodo di modulazione T_s è diviso in $2M$ periodi di clock del DPWM, quindi $M = f_{DPWM}/2f_s$.
- Frequenza di campionamento pari a Q volte la frequenza di clock del DPWM, co Q sottomultiplo intero di M . Il fattore di sovracampionamento, quindi, è $N =$

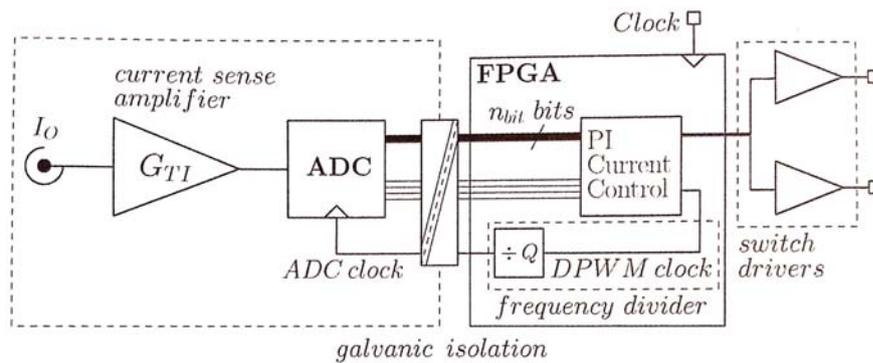


Figura 3.27: Organizzazione hardware del regolatore PI sovracampionato di corrente [3].

$2M/Q$, tipicamente limitato dalla massima velocità del convertitore A/D.

Il risultato dell'elaborazione della corrente in condizioni di regime è visibile in Fig. 3.28. Si faccia attenzione al fatto che l'ampiezza della DPWM è stata posta pari a M .

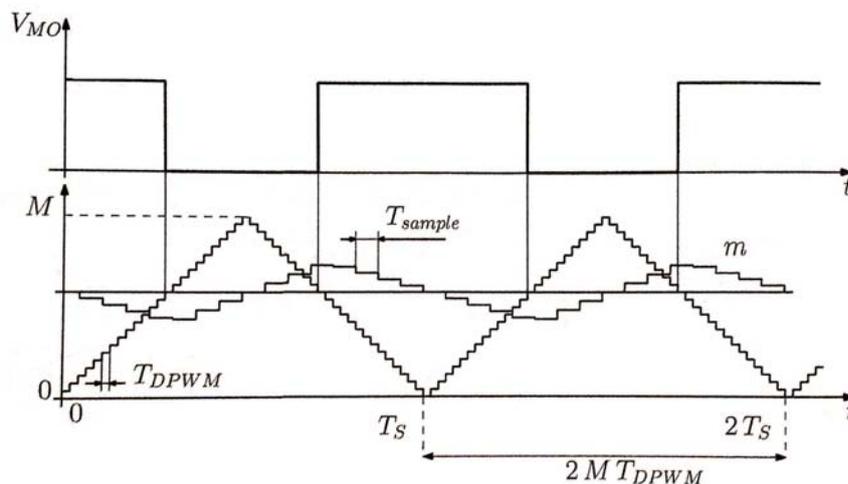


Figura 3.28: DPWM operante con regolatore PI di corrente sovracampionato [3].

Il progetto del regolatore PI avviene come nel caso convenzionale descritto nelle sezioni precedenti; gli unici accorgimenti riguardano il differente guadagno e il minor ritardo del modulatore. È dimostrato, infatti, che il ritardo intrinseco del DPWM è ridotto di un fattore N rispetto alla realizzazione convenzionale. Il ritardo di elaborazione, invece, è completamente trascurabile, per cui è possibile progettare il PI come nel caso ideale, cioè senza tale ritardo di calcolo. La banda passante ottenibile del sistema controllato, quindi, può essere elevata notevolmente, non essendo rilevante lo sfasamento introdotto dal ritardo di calcolo.

Per approfondimenti sul comportamento in frequenza e sulla risposta temporale del sistema controllato con PI di corrente sovracampionato si rimanda a [3].

3.6.2 Controllo dead-beat sovracampionato

La configurazione hardware del controllore DB sovracampionato è descritta in Fig. 3.29. Come visibile la struttura è molto simile a quella del PI sovracampionato. È presente,

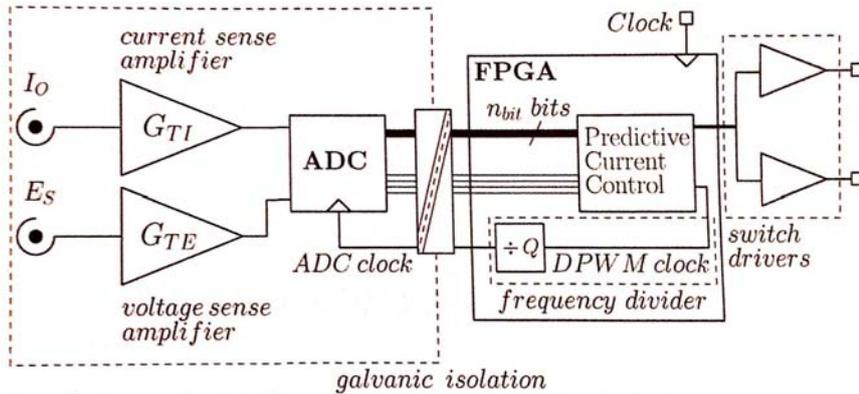


Figura 3.29: Organizzazione hardware del regolatore DB di corrente sovracampionato [3].

tuttavia, un secondo canale dell'ADC, operante alla stessa frequenza del canale di corrente per acquisire ed elaborare la tensione di uscita, necessaria per la realizzazione dell'algoritmo DB.

La modalità di funzionamento è leggermente diversa da quella del PI: l'errore di corrente, infatti, è sottocampionato, rendendo disponibile al controllo solamente due campioni di tale quantità per ciascun periodo di modulazione. I restanti campioni dell'errore di corrente sono elaborati da un circuito di *trigger*, che ha l'obiettivo di individuare variazioni di notevole entità del riferimento di corrente, permettendo al controllore di reagire a questi transitori in un solo periodo di campionamento. Poiché sono disponibili al controllore solamente due campioni dell'errore di corrente per periodo di modulazione, anche il duty-cycle è aggiornato seguendo tale temporizzazione, cioè a inizio e metà del periodo di modulazione stesso.

La principale differenza rispetto al DB convenzionale, a livello di algoritmo di controllo, risiede nella gestione del ritardo di calcolo. Nel DB tradizionale questo è completamente trascurato, considerando invece un ritardo di un passo di modulazione, per cui il calcolo del duty-cycle al passo k è effettuato basandosi su misure di corrente e tensione al passo $k - 1$. La legge di controllo del DB sovracampionato, invece, è:

$$\delta(k) = \frac{L f_s}{V_{dc}} \cdot \left(\frac{i_L^*(k) - i_L(k)}{G_{TI}} \right) + \frac{v_o(k)}{2V_{dc} G_{TE}} + \frac{1}{2} \tag{3.30}$$

dove G_{TI} e G_{TE} sono i fattori di scala dei trasduttori di corrente e tensione. Come visibile il calcolo del duty-cycle al passo k è basato sui campioni attuali di corrente e tensione; questo è permesso dal ritardo di calcolo trascurabile dell'FPGA. Una rappresentazione grafica del funzionamento del DB di corrente sovracampionato è presente in Fig. 3.30.

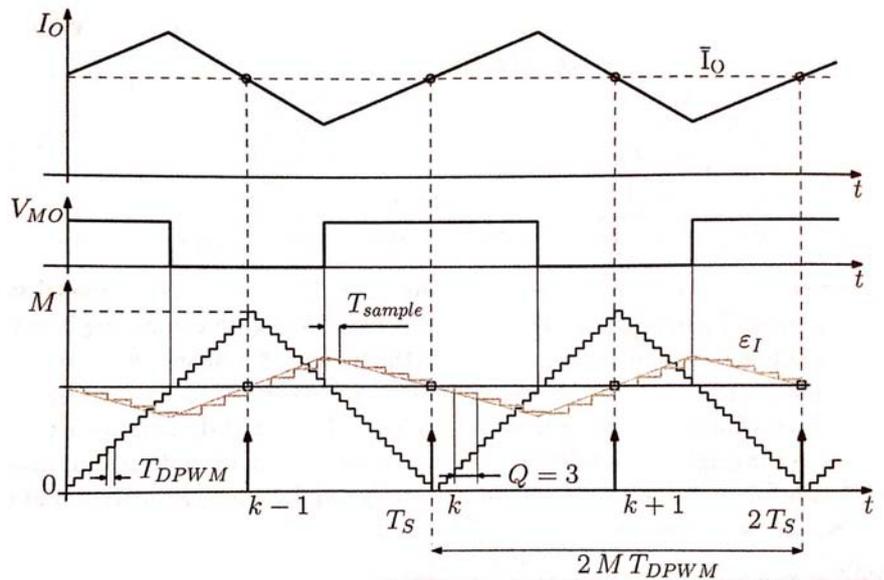


Figura 3.30: Funzionamento del regolatore DB di corrente sovracampionato [3].

Per approfondimenti sul comportamento in frequenza e sulla risposta temporale del sistema controllato con questo regolatore si rimanda a [3, 10].

3.6.3 Controllo a isteresi digitale a frequenza fissa

Il regolatore a isteresi, come accennato nelle sezioni precedenti, ha il principale svantaggio di operare a frequenza di commutazione variabile in presenza di corrente e tensione non costanti. La stabilizzazione della frequenza è possibile e numerosi lavori in letteratura presentano soluzioni in tal senso [26]. In quest'ultimo caso il regolatore a isteresi ha un comportamento molto simile ad un convertitore PWM, almeno dal punto di vista spettrale, soprattutto in presenza di hardware digitale. Tale soluzione costituisce un sistema *mixed-signal*, cioè caratterizzato dalla presenza di segnali di controllo e dispositivi di regolazione sia analogici, sia digitali.

Uno schema dell'organizzazione hardware di un regolatore a isteresi a frequenza fissa è presente in Fig. 3.31. Come visibile, in aggiunta al circuito di acquisizione, che riceve direttamente l'errore di corrente acquisito da un amplificatore differenziale, sono presenti dei comparatori analogici, che determinano gli istanti di commutazione, e

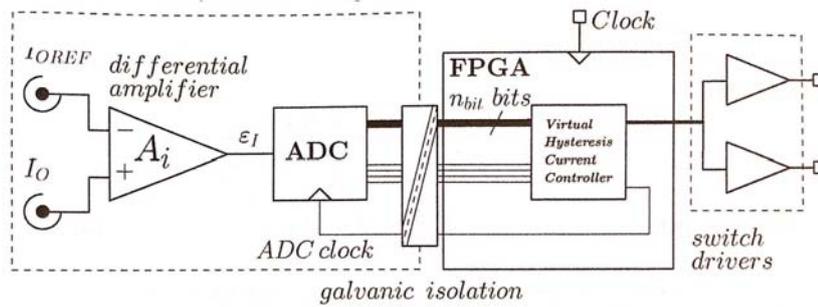


Figura 3.31: Organizzazione hardware di un regolatore a isteresi a frequenza fissa [3].

convertitori D/A per generare le bande di isteresi variabili, necessarie per la stabilizzazione della frequenza. La presenza delle componenti analogiche espone il sistema a problemi di incertezza tipici dei circuiti analogici, quali offset, drift e invecchiamento. Per superare questo limite in [26] è derivato un regolatore a isteresi a frequenza variabili completamente digitale.

La stabilizzazione della frequenza, come accennato, avviene modificando il valore delle bande di isteresi, che determinano gli istanti di commutazione. Una rappresentazione del funzionamento del regolatore è visibile in Fig. 3.32. Il funzionamento è basato

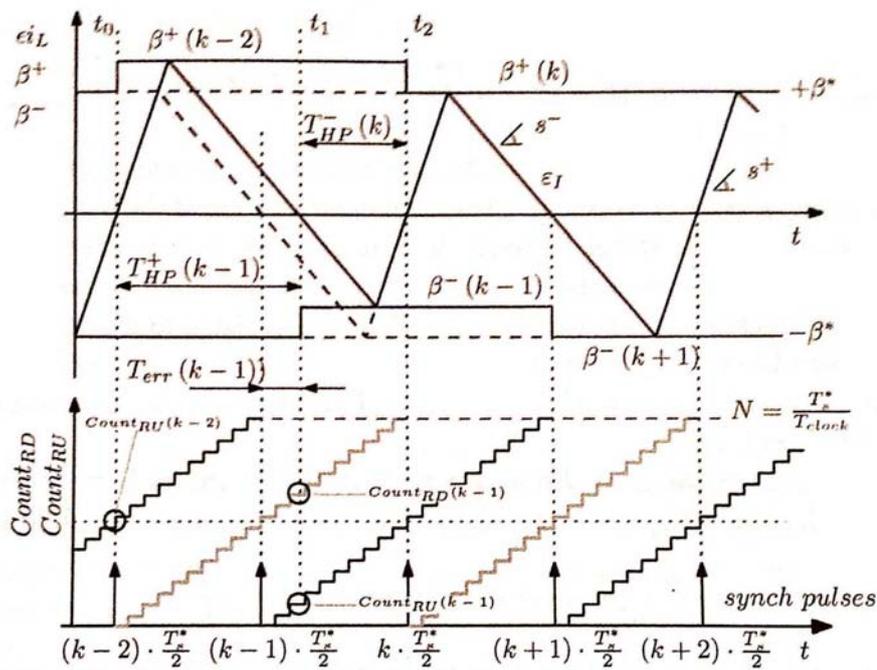


Figura 3.32: Rappresentazione del funzionamento del regolatore a isteresi digitale a frequenza fissa [3].

sul'elaborazione parallela di due circuiti, che riconoscono uno l'attraversamento dello zero, l'altro il raggiungimento della banda di isteresi da parte dell'errore di corrente. La sincronizzazione di questo sistema avviene generando degli appositi segnali di *trigger* a frequenza doppia rispetto alla frequenza di commutazione desiderata.

Per un approfondimento sul funzionamento, risposta dinamica e risposta temporale del sistema controllato con regolatore a isteresi digitale a frequenza fissa si rimanda a [3, 26].

In questo capitolo sono descritti la procedura e gli strumenti di analisi del sistema di controllo DB multianello presentato nel Capitolo precedente. Al fine di fornire una visione completa del sistema oggetto dell'analisi sono brevemente presentate le caratteristiche principali di un inverter a tre livelli NPC, in termini topologici e di modulazione.

4.1 INVERTER MULTILIVELLO

In tutta generalità, un inverter multilivello consente di generare una tensione alternata con un contenuto armonico migliore di quello ottenibile con un sistema a due livelli, a parità di frequenza di commutazione. Questo miglioramento è ottenuto suddividendo la tensione continua di alimentazione dell'inverter in più livelli, da cui la definizione multilivello, consentendo alla tensione e corrente un'approssimazione migliore della forma d'onda sinusoidale.

In aggiunta al miglior contenuto armonico, le strutture multilivello presentano dei vantaggi in termini di dimensionamento dei componenti elettronici. Suddividendo la tensione continua in più livelli, gli switch, nella fase di interdizione, risultano sottoposti ad una frazione della tensione continua stessa. Nel caso di inverter per alte potenze, e quindi tensioni, ciò consente di utilizzare interruttori con tensioni di blocco nominali inferiori a quelle che sarebbero necessarie in un sistema a due livelli operante alla stessa tensione. Tale possibilità evita l'utilizzo di dispositivi caratterizzati da elevate potenze nominali come, ad esempio, i *Gate Turn Off thyristor* (GTO), spesso limitati nella frequenza di commutazione [7].

I principali svantaggi delle soluzioni multilivello, invece, sono la complessità, sia a livello circuitale, sia a livello di tecniche di modulazione e controllo.

Gli inverter multilivello possono essere classificati come segue in base alla topologia e, quindi, modalità di funzionamento:

1. *Diode Clamped Multilevel Converter* (DCMLC), utilizzano dei diodi, detti di *clamp*, per assicurare che la tensione ai capi di ciascun componente non superi quella del condensatore del banco DC ad esso relativo. L'inverter NPC è un convertitore DCMLC a tre livelli. Con l'aumento dei livelli cresce anche la quantità di gradini della tensione di uscita, la cui forma d'onda approssima quindi sempre meglio una sinusoide, con conseguente riduzione della distorsione armonica. Avere più livelli significa anche suddividere la tensione fra un numero maggiore di componenti e quindi poter raggiungere tensioni più elevate. Il numero di livelli di

tensione ottenibili, tuttavia, è abbastanza limitato, sia a causa dell'insorgere di problemi di sbilanciamento della tensione DC, sia per motivi legati alla realizzazione circuitale. In generale, un DCMLC ad m livelli è caratterizzato da $m - 1$ condensatori in corrente continua e produce m livelli di tensione di fase. La tensione di blocco di ogni interruttore, nell'esempio di un inverter DCMLC a 5 livelli, è limitata a $V_{dc}/4$. I principali svantaggi di questa topologia sono la difficoltà nella stabilizzazione della tensione sui condensatori lato continua e la necessità di diodi di *clamp* in grado di reggere un'elevata tensione di contropolarizzazione.

2. FCMLC, in cui il livello di tensione tra due punti di un ramo del convertitore, nell'ipotesi che i condensatori siano dimensionati per la stessa tensione, è determinato dal numero di capacità connesse in serie. Come per il DCMLC, anche in questo caso la tensione di fase di un convertitore ad m livelli consta di m valori discreti, incluso quello di riferimento, mentre la tensione di linea è costituita da $2m - 1$ livelli. Uno schema di un FCMLC a 5 livelli monofase è visibile in Fig. 4.1.

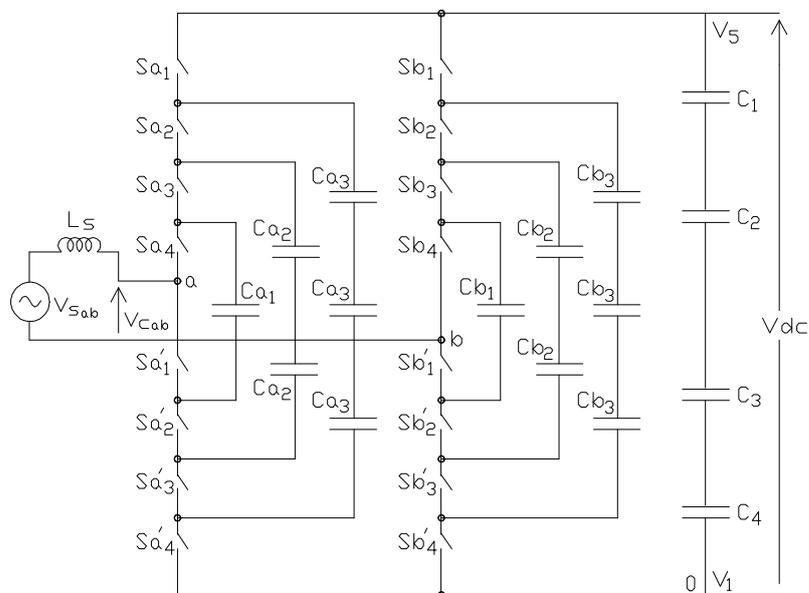


Figura 4.1: Schema di un FCMLC a 5 livelli monofase [7].

3. Convertitori multilivello costituiti da strutture *full-bridge* in cascata con sorgenti di tensione continua separate, detti anche CMLC monofase con sorgenti DC separate. La struttura di questo tipo di convertitori consente di evitare l'utilizzo di diodi *clamp* e di condensatori ausiliari, come visibile in Fig. 4.2, dove sono visibili lo schema di un CMLC monofase a 9 livelli con 4 sorgenti DC separate e le relative forme d'onda di tensione. La tensione di fase in uscita è ottenuta dalla somma

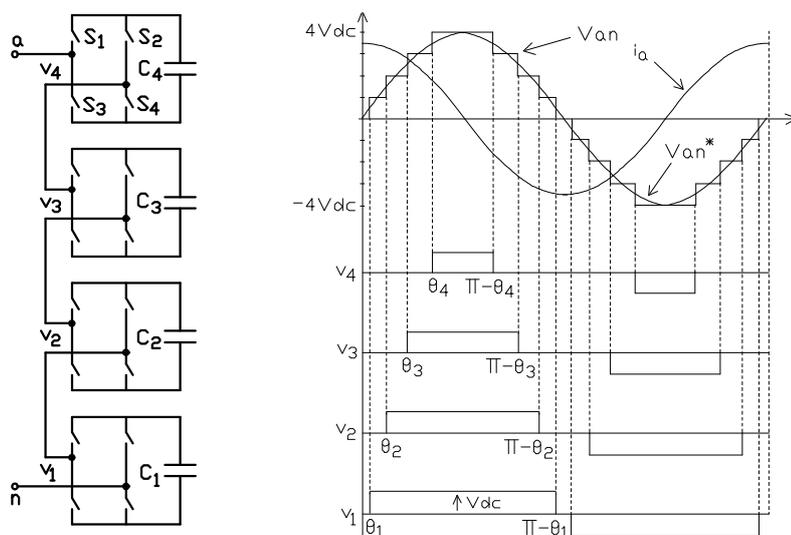


Figura 4.2: Schema di un CMLC monofase a 9 livelli con 4 sorgenti DC separate, e relative forme d'onda di tensione [7].

delle uscite dei quattro *full-bridge* che costituiscono il convertitore; ciascun ponte intero può generare tensioni di uscita a tre livelli ($+V_{dc}$, 0 , $-V_{dc}$). Per conformarsi alla definizione dei due tipi di convertitore precedentemente presentati, il numero di livelli m in questo tipo di convertitore è definito come $m = 2s + 1$, dove s è il numero delle sorgenti di tensione continua. Per un approfondimento sulla modalità di funzionamento si rimanda a [7].

4.1.1 Inverter a tre livelli NPC

In questo paragrafo è descritto a livello circuitale e di modulazione l'inverter a tre livelli NPC, convertitore di uscita dell'UPS considerato in questo lavoro. L'inverter NPC a tre livelli risulta, attualmente, la soluzione a diodi di *clamp* più diffusa, rappresentando un ottimo compromesso tra i pregi e difetti delle strutture multilivello accennati in precedenza [7].

Lo schema circuitale di questo convertitore, nella soluzione trifase, è visibile in Fig. 4.3. La tensione continua di alimentazione è divisa in due parti dal partitore capacitivo formato dai condensatori $C1$ e $C2$; il punto centrale del partitore O viene denominato punto di neutro (*neutral point*); in condizioni di perfetto bilanciamento, il suo potenziale è nullo. Ogni ramo dell'inverter è composto da quattro interruttori, generalmente IGBT, da quattro diodi di *free-wheeling* in antiparallelo e da due diodi di *clamp*. Ciascuna fase può essere portata a tre diversi potenziali, rispetto al punto M , di valore $V_p = E/2$, $V_0 = 0$ e $V_n = -E/2$, indicati nel seguito con P , O , N . Lo stato degli switch, in funzione

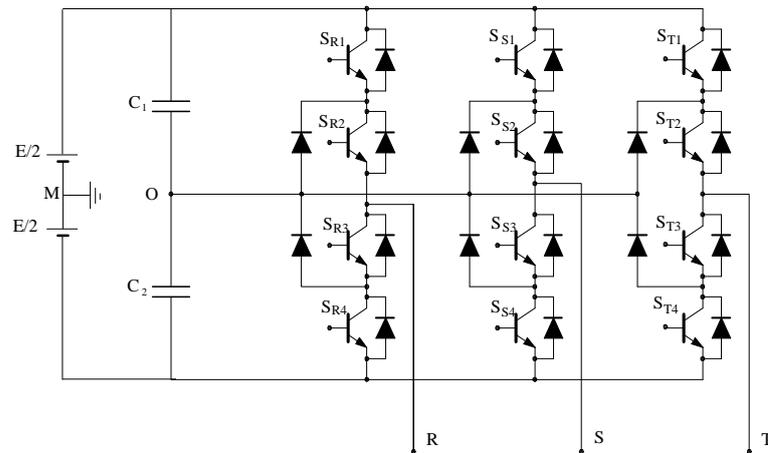


Figura 4.3: Schema di un inverter NPC a tre livelli trifase [7].

dello stato della generica fase X , con $X = R, S, T$, è riportato in Tab. 4.1, dove è indicato anche il potenziale assunto dalla fase stessa (lo stato *on* è indicato con un 1, lo stato di off con uno 0). Per un approfondimento sulle modalità di funzionamento dell'inverter

Stato X	fase	S_{X_1}	S_{X_2}	S_{X_3}	S_{X_4}	V_X
P		1	1	0	0	$+\frac{E}{2}$
O		0	1	1	0	$V_0 = 0$
N		0	0	1	1	$-\frac{E}{2}$

Tabella 4.1: Stato degli interruttori della generica fase X [7].

si rimanda a [7, 27].

Modulazione PWM per inverter NPC

Le strategie di modulazione per inverter NPC a tre livelli sono [8]:

- *carrier-based three-level PWM*, corrispondente ad un'estensione della modulazione PWM sinusoidale a due livelli presentata nei capitoli precedenti.
- *Space Vector Modulation (SVM)*, caratterizzata dalla presenza di 27 stati differenti per gli switch nel caso a 3 livelli. Per una presentazione della modulazione vettoriale per inverter si rimanda a [28].
- *Selective Harmonic Elimination (SHE)*, che consente un controllo diretto del contenuto armonico della tensione generata dall'inverter.

Nel seguito ci si concentra sulla modulazione PWM *carrier-based*; per un approfondimento sulle altre strategie di modulazione si rimanda a [8].

Per derivare la PWM a tre livelli, si utilizza una coppia di portanti triangolari v_{cr1} e v_{cr2} , che possono essere sfasate tra di loro in ampiezza, come visibile in Fig. 4.4, o nel tempo, a seconda dell'implementazione scelta per la modulazione. Questo tipo

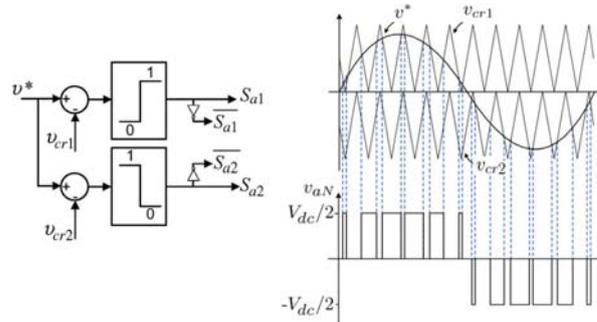


Figura 4.4: Modulazione PWM a tre livelli con portanti sfasate in ampiezza [8].

di modulazione trova applicazione grazie alla sua semplicità e ai buoni risultati che permette di ottenere in termini di contenuto armonico. Per quanto riguarda la sua applicazione agli inverter NPC, si possono evidenziare i seguenti limiti [7]:

1. difficoltà nel controllo del potenziale del punto intermedio tra i condensatori lato continua;
2. la commutazione di ogni fase è ottenuta in modo indipendente dalle altre, impedendo di sfruttare appieno le potenzialità dell'inverter NPC per quanto riguarda le commutazioni degli switch.

Saturazione inferiore del duty-cycle

La saturazione inferiore del duty-cycle è una problematica tipica degli inverter a tre livelli, e in generale degli inverter con modulazione a tre livelli. La generazione di duty-cycle nullo, infatti, non è permessa per i limiti fisici degli switch di potenza, soprattutto in termini di tempo di accensione e spegnimento, e per la presenza dei tempi morti. Nei casi in cui il duty-cycle richiesto corrisponda ad una frazione del periodo di commutazione che non sarebbe sufficiente per l'accensione e lo spegnimento dello switch, il duty-cycle è saturato ad un valore minimo fisso. L'ampiezza della banda di saturazione attorno allo zero, quindi, dipende dalle caratteristiche dinamiche degli interruttori utilizzati, in particolare dal tempo necessario a caricare e scaricare le capacità caratteristiche del componente.

Ovviamente il duty-cycle è saturato anche superiormente, non essendo possibile generare duty-cycle unitario, per gli stessi motivi sopracitati.

Il principale effetto della saturazione inferiore del duty-cycle è la distorsione della corrente di inverter in corrispondenza degli attraversamenti dello zero della corrente. Tale fenomeno sarà chiaramente visibile nei risultati sperimentali presentati nel capitolo 7.

4.2 PROCEDURA DI ANALISI DEL SISTEMA DI CONTROLLO

La procedura di analisi di un sistema di controllo prevede, in generale, le due seguenti fasi fondamentali:

- indagine del comportamento dinamico, condotta sia in termini spettrali, sia in termini temporali. La prima avviene con l'ausilio di diagrammi di Bode, diagrammi di Nyquist e rappresentazione del luogo delle radici, la seconda attraverso l'osservazione della risposta del sistema a transitori di diversa natura. Va specificato come analisi frequenziale e temporale siano indissolubilmente legate (si pensi semplicemente alla relazione tra banda passante e tempo di salita in risposta al gradino); ciascuna delle due, però, permette di evidenziare con maggior chiarezza determinati elementi. La caratterizzazione spettrale del sistema controllato permette, su tutto di valutare la stabilità del sistema: sono ampiamente utilizzati il criterio di Nyquist, valido per sistemi *Single-Input Single-Output* (SISO) e il criterio generalizzato di Nyquist, necessario per sistemi *Multiple-Input Multiple-Output* (MIMO)¹. La caratterizzazione dinamica nel tempo, invece, risulta efficace nel visualizzare le prestazioni del sistema controllato in risposta a transitori di varia natura, difficilmente interpretabile da una rappresentazione spettrale.
- indagine del comportamento a regime, condotta tipicamente nel tempo, consente di valutare parametri quali l'errore di inseguimento a regime, sia in termini di ampiezza, sia in termini di sfasamento temporale. Va precisato, ancora una volta, come tali parametri siano derivabili anche da un'osservazione dello spettro del sistema.

L'analisi del comportamento dinamico del sistema, seguendo l'approccio in [3], può essere anche suddivisa in analisi della risposta ai piccoli segnali, *small-signal frequency response* e analisi della risposta ai grandi segnali, *large-signal response test*. La prima è basata sulla derivazione delle funzioni di trasferimento di interesse per il sistema, la seconda basata sull'osservazione della risposta transitoria nel tempo.

Tali analisi sono tipicamente condotte sia in simulazione, sia a livello sperimentale. In questo lavoro le simulazioni sono effettuate con *MATLAB* e *Simulink*, come descritto nel prossimo Capitolo. La descrizione della procedura di indagine sperimentale seguita, invece, è presente nel Capitolo 7.

¹ Il criterio di Bode, basato sull'analisi del margine di fase e del margine di ampiezza, è una particolarizzazione del criterio di Nyquist.

Nel seguito è presente una breve introduzione dell'approccio di simulazione e sperimentazione seguito, nonché degli strumenti utilizzati.

4.3 STRUMENTI DI SIMULAZIONE

Come accennato le simulazione sono state condotte con *MATLAB* e *Simulink*. Sono stati sviluppati, in particolare, due modelli *Simulink* per la simulazione del sistema controllato: uno ai valori medi, in cui l'inverter e il modulatore DPWM sono sostituiti dalle rispettive funzioni di trasferimento, ed uno a commutazione.

Il modello ai valori medi è stato sviluppato come prima fase dell'analisi in simulazione, al fine di avere una rappresentazione del sistema più vicina alla definizione teorica e poter avere un'indicazione di massima sul comportamento del controllore. Il modello a commutazione, invece, include tutte le caratteristiche e le non idealità proprie di inverter e modulatore DPWM, fornendo uno strumento di indagine più vicino alla realizzazione fisica del sistema.

Per la realizzazione delle simulazione era a disposizione un modello *Simulink* a commutazione del sistema di controllo e inverter, sviluppato da Sicon S.r.l. Questo è stato modificato implementando i regolatori DB di corrente e tensione che saranno descritti nel prossimo capitolo.

4.4 STRUMENTI DI INDAGINE SPERIMENTALE

Per l'indagine sperimentale del sistema di controllo era a disposizione un UPS della famiglia *Modulus*, visibile in configurazione modulare in Fig. 4.5a, fornito da Sicon S.r.l.; alcuni dati di targa dell'UPS sono visibili in Fig. 4.5a. L'UPS in dotazione è una singola unità di potenza nominale 25 kVA trifase, con collegamento di neutro, per la potenza monofase è 8,3 kVA.

Per la programmazione dell'inverter, in linguaggio C, è utilizzato l'ambiente di sviluppo *Eclipse*, con integrato il compilatore di Sicon S.r.l. Per la comunicazione con l'UPS e l'aggiornamento del firmware, invece, è utilizzato un software proprietario; la connessione fisica può avvenire via seriale oppure via Ethernet.

Per il test dell'UPS era a disposizione un sistema di carico monofase, con la possibilità di scegliere tra le seguenti modalità:

1. carico resistivo, composto da tre resistenze da 25Ω ciascuna. Le resistenze complessive può essere impostata a 25Ω , connettendo un solo resistore, $12,5 \Omega$, connettendo due resistori in serie e $8,3 \Omega$ connettendo tutti e tre i resistori in serie. Il passaggio tra le tre configurazioni avviene con uno switch a 3 stati, mentre un secondo switch permette di connettere o disconnettere le resistenze, consentendo il test a vuoto. La potenza massima del carico resistivo, assorbita nella confi-



(a)

Technical data			
MODULYS GP UPS SYSTEM			
Power (Sn)	25 to 200 kVA	25 to 400 kVA	25 to 600 kVA
Power (Pn)	25 to 200 kW	25 to 400 kW	25 to 600 kW
Number of power modules	1 to 8	1 to 16	1 to 24
Input / output	3/3		
Redundant configuration	N-x		
INPUT			
Voltage	400 V 3ph+N (340 V to 480 V)		
Frequency	50/60 Hz ±10%		
Power factor / THDI	> 0.99 / < 1.5%		
OUTPUT			
Power factor	1 (according to IEC/EN 62040-3)		
Voltage	380/400/415 V ±1% 3ph+N		
Frequency	50/60 Hz ±0.1%		
Voltage distortion	< 1% (linear load), < 3% (non-linear load according to IEC 62040-3)		
Short-circuit current	up to 3 x In		
Overload	125% for 10 minutes, 150% for 1 minute		
Crest factor	3:1		
BYPASS			
Voltage	rated output voltage ±15% (configurable with from 10% to 20%)		
Frequency	50/60 Hz ±2% (configurable for GenSet compatibility)		
EFFICIENCY (TÜV SÜD VERIFIED)			
Online double conversion mode	up to 96.5%		

(b)

Figura 4.5: UPS modulare della famiglia *Modulys*: foto (a) e alcuni parametri di targa (b).

gurazione a $8,3 \Omega$, è $P_{R,max} = 230^2/8,3 = 6,3 \text{ kW}$, pari al 76 % della potenza nominale dell'UPS.

- Carico capacitivo, composto da un condensatore da $200 \mu\text{F}$ e un condensatore da $100 \mu\text{F}$. Anche in questo caso è possibile connettere in parallelo i due condensatori, ottenendo un carico da $300 \mu\text{F}$, corrispondente ad una potenza di 5 KVAR , pari al 60 % della potenza nominale.
- Carico distortente, rappresentato da un raddrizzatore a ponte di Graetz con filtro capacitivo di uscita da 6 mF totali.

Sia il carico capacitivo, sia il carico distortente possono essere connessi ai resistori da 25Ω , in tutte e tre le configurazioni di resistenza.

Uno schema di massima del sistema di carico, con la configurazione degli switch è visibile in Fig. 4.6. Una foto del sistema di carico, invece, è presente in Fig. 4.7.

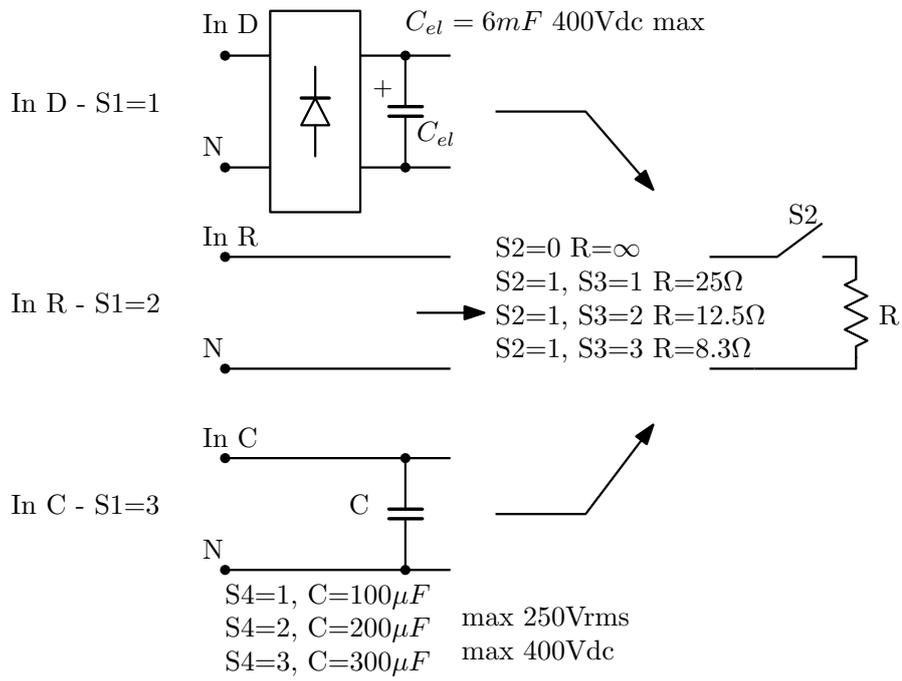


Figura 4.6: Schema del sistema di carico variabile utilizzato per il test dell'UPS, con la configurazione degli switch presenti per la selezione del carico.

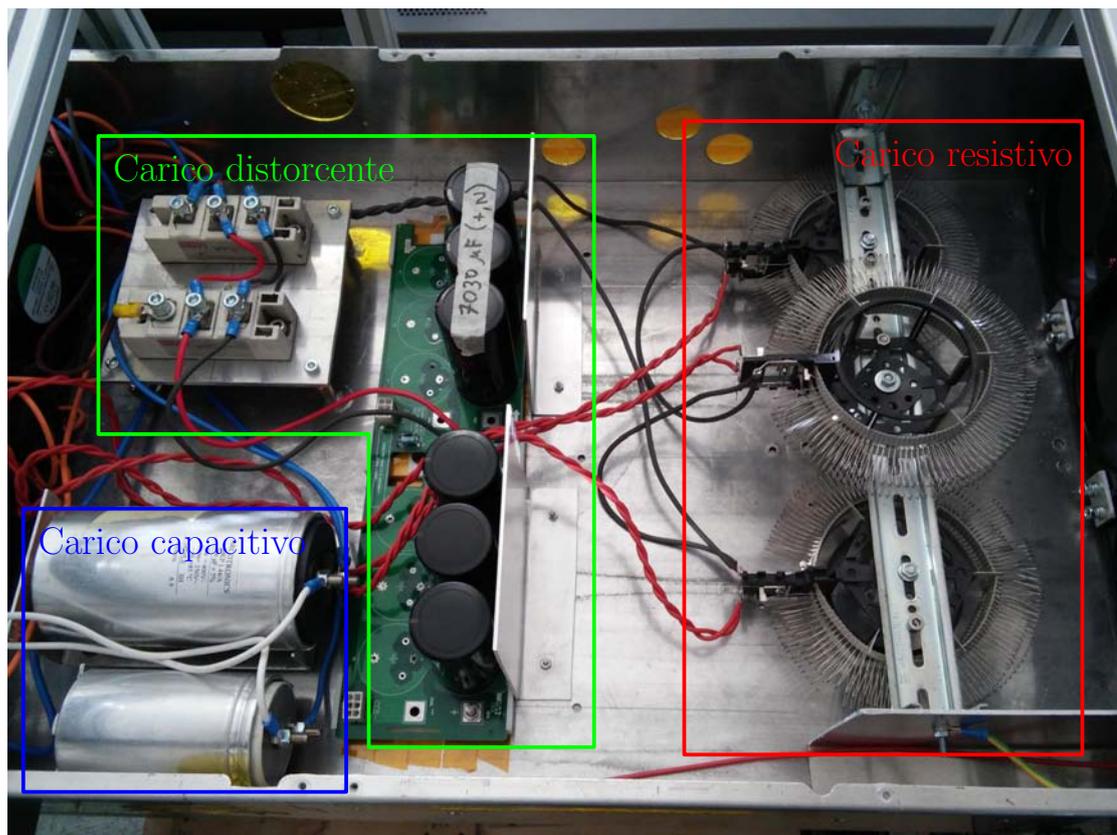


Figura 4.7: Sistema di carico variabile utilizzato per il test dell'UPS.

CONTROLLO DEAD-BEAT MULTIANELLO

In questo capitolo è descritta in dettaglio la procedura di design dei regolatori DB di corrente e di tensione, facenti parte di un sistema di controllo DB multianello, come quello descritto nella Sezione 3.4. Il controllore digitale è progettato per essere implementato su un sistema di controllo a microcontrollore o DSP per un inverter a tre livelli NPC. Va precisato ancora una volta, tuttavia, come il progetto dei regolatori sia trasparente rispetto alla particolare topologia di inverter considerata come caso studio, il cui modello ai valori medi e ai piccoli segnali è equivalente a quello di un inverter a due livelli come l'*half-bridge*.

5.1 CONTROLLO DEAD-BEAT DI CORRENTE

Il progetto che segue riprende l'introduzione fatta nella Sezione 3.4.3.

Sono possibili due approcci per lo sviluppo del regolatore di corrente:

1. progetto su sistema del secondo ordine, cioè considerando la dinamica completa del filtro LC, corrispondente alla soluzione multi-variabile citata in precedenza. Tale scelta è obbligata, come si vedrà, nel caso in cui la frequenza naturale del filtro LC sia tale che $\omega_0 T_s \ll 1$ non sia più valida, con ω_0 pulsazione naturale del filtro LC e T_s periodo di campionamento del controllore.
2. Progetto su sistema approssimato del primo ordine, trascurando la dinamica del condensatore. In questo caso il regolatore di corrente si inserisce nel contesto di un sistema di controllo multianello.

Nel primo caso le variabili di stato del sistema sono corrente di induttanza \bar{i}_L e tensione sul condensatore \bar{v}_o , mentre le variabili indipendenti sono tensione di inverter \bar{v}_{inv} e corrente di carico \bar{i}_o . Il miglior regolatore DB ottenibile, in questo caso, annulla l'errore di inseguimento in tre passi di campionamento, di cui due dovuti all'ordine del sistema e uno necessario per includere il ritardo di elaborazione dell'algoritmo di controllo.

Nel secondo caso, invece, la tensione di uscita \bar{v}_o non rappresenta una variabile di stato ma, ai fini del design del regolatore, è considerata variabile indipendente di disturbo. L'approssimazione che caratterizza questo approccio è giustificata dalla differenza tra impedenza dell'induttanza e del condensatore alla frequenza di campionamento del controllo f_s , quest'ultima trascurabile. Questa condizione è verificata se la frequenza di risonanza del filtro LC è molto minore della frequenza di campionamento del controllo, cioè $\omega_0 = \sqrt{LC} \ll f_s$. Fisicamente ciò corrisponde a considerare

la tensione di uscita indipendente dalla corrente iniettata dal convertitore [9]. Uno schema del regolatore DB di corrente in un sistema di controllo multianello è visibile in Fig. 5.1. Si faccia attenzione che la corrente di induttanza è indicata in figura con il

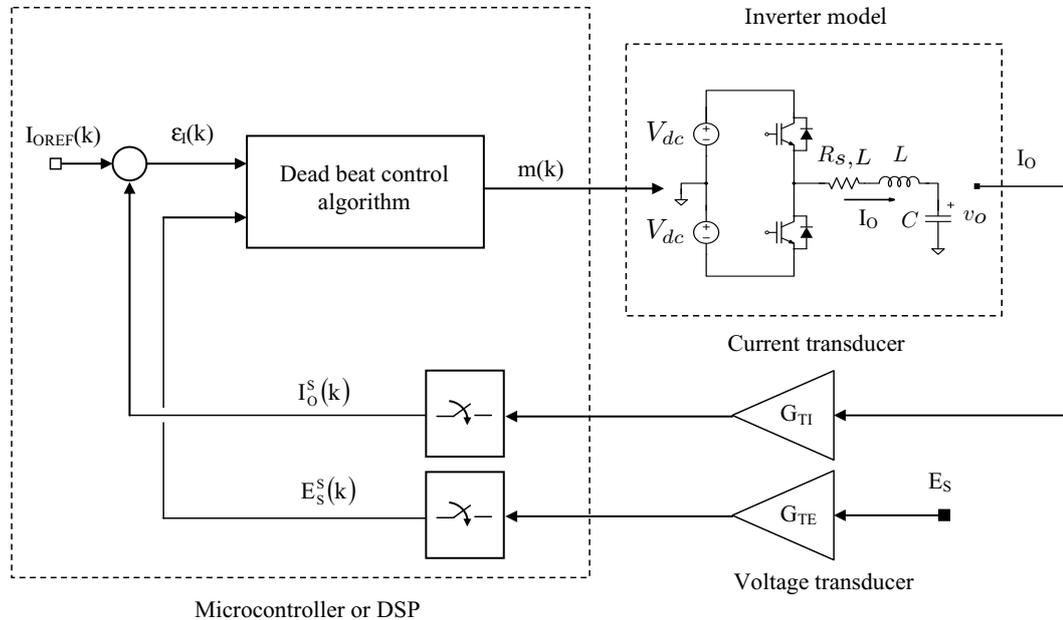


Figura 5.1: Organizzazione del regolatore DB di corrente per implementazione di un controllo multianello [3].

simbolo I_o .

A differenza del progetto sul sistema del secondo ordine, la presenza della sola corrente di induttanza come variabile di stato, consente di ottenere un DB che annulla l'errore di inseguimento in soli due passi di campionamento¹. Il comportamento ingresso uscita del sistema del secondo ordine, controllato con il regolatore succitato, pur non essendo precisamente DB, si dimostra molto vicino al caso ideale.

In questo lavoro si è scelto di utilizzare il secondo approccio, declinabile sotto forma di progetto in retroazione statica dallo stato, oppure a partire dalla relazione tensione-corrente sull'induttanza. Il primo approccio mantiene un maggior rigore e formalismo matematico, mentre il secondo semplifica la comprensione del comportamento del sistema controllato. L'inclusione del ritardo di calcolo nell'algoritmo di controllo, inoltre, risulta molto semplificata con il secondo metodo di progetto. Nel seguito sono presentate entrambe le soluzioni ed è dimostrata l'equivalenza del risultato ottenuto.

¹ Si ricorda che, in assenza di ritardo di calcolo, in minimo numero di passi con cui il DB annulla l'errore di inseguimento è pari alla dimensione dello stato del sistema.

5.1.1 Progetto in spazio di stato

Le variabili considerate nel seguito sono considerate mediate sul periodo di modulazione.

Il modello di stato a tempo continuo del sistema del primo ordine, considerando come variabile di stato la corrente i_L e come ingressi tensione di inverter v_{inv} e tensione di uscita v_o , è:

$$\begin{aligned} \frac{di_L(t)}{dt} &= -\frac{R_{s,L}}{L}i_L(t) + \begin{bmatrix} \frac{1}{L} & -\frac{1}{L} \end{bmatrix} \begin{bmatrix} v_{inv}(t) \\ v_o(t) \end{bmatrix} \\ y(t) &= i_L(t) \end{aligned} \quad (5.1)$$

con $A = -\frac{R_{s,L}}{L}$, $B_1 = \frac{1}{L}$, $B_2 = -\frac{1}{L}$ e $C = 1$. Si noti come sia trascurata, ai fini del progetto del regolatore, la corrente di carico i_o . Va precisato, inoltre, come la tensione di uscita sia considerata variabile indipendente, conseguentemente all'ipotesi di disaccoppiamento dinamico tra induttanza e capacità.

Il modello di stato a tempo discreto è ottenibile mediante discretizzazione con *zero-order hold* del sistema in (5.1). Ciò corrisponde a considerare corrente di induttanza e tensione di inverter costanti tra due istanti di campionamento del controllore, come già fatto in precedenza per la derivazione del modello discreto di dimensione due del sistema. Le matrici di stato del sistema a tempo discreto, quindi, sono:

$$\begin{aligned} F &= e^{A T_s} \simeq 1 \\ G_1 &= \int_0^{T_s} e^{A \sigma} B_1 d\sigma = (e^{A T_s} - 1)A^{-1}B_1 = -\frac{e^{-\frac{R_{s,L}}{L} T_s} - 1}{R_{s,L}} \simeq \frac{T_s}{L} \\ G_2 &= \dots = \frac{e^{-\frac{R_{s,L}}{L} T_s} - 1}{R_{s,L}} \simeq -\frac{T_s}{L} \\ H &= 1 \end{aligned} \quad (5.2)$$

da cui:

$$\begin{aligned} i_L(k+1) &= i_L(k) + \begin{bmatrix} \frac{T_s}{L} & -\frac{T_s}{L} \end{bmatrix} \begin{bmatrix} v_{inv}(k) \\ v_o(k) \end{bmatrix} \\ y(k) &= i_L(k) \end{aligned} \quad (5.3)$$

Per ottenere i risultati in (5.2) si è sfruttato il limite notevole $e^x - 1 \sim x$, essendo $-R_{s,L}/L$ tendente a zero.

L'equazione alle differenze che descrive l'aggiornamento dello stato, ottenuta esplicitando la prima equazione in (5.3), è:

$$i_L(k+1) = i_L(k) + \frac{T_s}{L}v_{inv}(k) - \frac{T_s}{L}v_o(k). \quad (5.4)$$

Finora non è stato considerato il ritardo di elaborazione dell'algoritmo di controllo, per cui il DB teoricamente ottenibile annulla l'errore di inseguimento in un passo, cioè $i_L(k+1) = i_L^*(k)$, dove l'apice * indica grandezza di riferimento. Il ritardo di elaborazione interviene posticipando di un passo di campionamento l'applicazione del comando $v_{inv}(k)$, da cui l'equazione alle differenze in (5.4) diventa:

$$i_L(k+1) = i_L(k) + \frac{T_s}{L}v_{inv}(k-1) - \frac{T_s}{L}v_o(k) \quad (5.5)$$

Per introdurre la dinamica del ritardo di elaborazione nel modello di stato è necessario considerare lo stato aumentato $z(k) = [i_L(k) \quad v_{inv}(k-1)]$, definendo il sistema seguente:

$$\begin{aligned} \begin{bmatrix} i_L(k+1) \\ v_{inv}(k) \end{bmatrix} &= \underbrace{\begin{bmatrix} 1 & G_1 \\ 0 & 0 \end{bmatrix}}_{F_a} \begin{bmatrix} i_L(k) \\ v_{inv}(k-1) \end{bmatrix} + \underbrace{\begin{bmatrix} 0 \\ 1 \end{bmatrix}}_{G_{a1}} v_{inv}(k) + \underbrace{\begin{bmatrix} G_2 \\ 0 \end{bmatrix}}_{G_{a2}} v_o(k) \\ y(k) &= \underbrace{\begin{bmatrix} 1 & 0 \end{bmatrix}}_{H_a} \begin{bmatrix} i_L(k) \\ v_{inv}(k-1) \end{bmatrix} \end{aligned} \quad (5.6)$$

La forma generale di una legge di controllo in retroazione statica dallo stato, di cui il DB ne è un'applicazione particolare, è $u(k) = K(x^*(k) - x(k))$, con u variabile di ingresso e x variabile di stato. In questo caso si ha:

$$v_{inv}(k) = K_{12}(z^*(k) - z(k)) + K_3v_o(k) = \begin{bmatrix} K_1 & K_2 \end{bmatrix} \begin{bmatrix} i_L^*(k) - i_L(k) \\ v_{inv}(k-1) \end{bmatrix} + K_3v_o(k) \quad (5.7)$$

dove $K_{12} = [K_1 \quad K_2]$, mentre la componente relativa a $v_o(k)$ è aggiunta per effettuare la compensazione del disturbo esogeno. In condizioni di regime e a vuoto la corrente di induttanza è costante, da cui la tensione di uscita deve essere necessariamente nulla; per tale motivo il riferimento v_{inv}^* è posto a zero. Sostituendo la legge di controllo in (5.7) nel sistema in (5.6) si ottiene:

$$z(k+1) = \underbrace{\begin{bmatrix} 1 & G_1 \\ -K_1 & -K_2 \end{bmatrix}}_{F_a - G_{a1}K} z(k) + \begin{bmatrix} 0 & 0 \\ K_1 & K_2 \end{bmatrix} z^*(k) + \begin{bmatrix} G_2 \\ K_3 \end{bmatrix} v_o(k) \quad (5.8)$$

Si noti come la componente relativa a $v_o(k)$ sia mantenuta isolata, pur essendo presente nella legge di retroazione, configurando un sistema in cui tale termine rappresenta un contributo di *feed-forward*².

² In questo caso il termine *feed-forward* non è formalmente corretto, in quanto la tensione di uscita rappresenta fisicamente una variabile di stato; l'abuso di notazione è utilizzato coerentemente con il progetto su sistema approssimato del primo ordine.

L'allocazione nell'origine dei due autovalori di $F_a - G_{a1}K_{12}$, matrice dinamica del sistema aumentato, consente di determinare i guadagni K_1 e K_2 che rendono la legge di controllo DB:

$$K_1 = \frac{L}{T_s}, \quad K_2 = 1 \quad (5.9)$$

La relazione ingresso-uscita del sistema controllato in corrente, con il regolatore DB appena ottenuto, è:

$$\frac{I_L(z)}{I_L^*(z)} = \begin{bmatrix} 1 & 0 \end{bmatrix} \left(zI_2 - (F_a - G_{a1}K) \right)^{-1} \begin{bmatrix} 0 & 0 \\ K_1 & K_2 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix} = \frac{1}{z^2} \quad (5.10)$$

pari ad un puro ritardo di due passi di campionamento, come atteso. La funzione di trasferimento a catena chiusa $I_L(z)/I_L^*(z)$ con controllo DB progettato su sistema del primo ordine e processo corrispondente al sistema completo del secondo ordine, invece, è sicuramente diversa dal puro ritardo di due passi.

La funzione di trasferimento tra v_o e i_L è:

$$\frac{I_L(z)}{V_o(z)} = \begin{bmatrix} 1 & 0 \end{bmatrix} \left(zI_2 - (F_a - G_{a1}K) \right)^{-1} \begin{bmatrix} G_2 \\ K_3 \end{bmatrix} = -\frac{T_s z + 1 - K_3}{L z^2} \quad (5.11)$$

caratterizzata dalla presenza di uno zero in $z = K_3 - 1$ e un ritardo di due passi di campionamento. Come visibile non è possibile annullare tale funzione di trasferimento agendo su K_3 , condizione necessaria per compensare perfettamente il disturbo $v_o(k)$, pertanto la scelta di K_3 avviene nell'ottica di minimizzazione la funzione di trasferimento in (5.11). Nel caso in cui lo zero in (5.11) sia posizionato in $z = 1$ è introdotta un'azione derivativa, per cui la funzione di trasferimento tende a zero al decrescere di z ; tale condizione minimizza il guadagno in bassa frequenza. I valori di K_3 per cui lo zero è posizionato in $z = 1$ sono $K_3 = 0$ e $K_3 = 2$. Il primo dei due valori, tuttavia, annullerebbe la funzione di trasferimento, cioè l'effetto di compensazione del disturbo, pertanto si sceglie $K_3 = 2$.

La legge di controllo DB, quindi, è:

$$v_{inv}(k+1) = \frac{L}{T_s} (i_L^*(k) - i_L(k)) - v_{inv}(k) + 2v_o(k) \quad (5.12)$$

Come già accennato, a differenza della struttura di controllo PID classica, l'implementazione del regolatore DB richiede la conoscenza della tensione di uscita v_o .

Risposta in frequenza dell'anello di corrente

Vale la pena approfondire le caratteristiche dell'anello di corrente dal punto di vista della risposta in frequenza. Si consideri il sistema approssimato del primo ordine,

rappresentato dalla sola induttanza (considerando $R_{s,L} = 0$), controllato con il DB di corrente progettato in questa sezione. Ai fini del calcolo del guadagno d'anello T_i è possibile trascurare il termine di *feed-forward* di tensione, per cui si ha:

$$T_i = \frac{L}{T_s V_{dc}} \cdot \frac{1}{z+1} \cdot V_{dc} \cdot \frac{T_s}{L} \frac{1}{z-1} = \frac{1}{z^2-1} \quad (5.13)$$

dove si è considerata la relazione tensione-corrente sull'induttanza discretizzata con Eulero "indietro". Si noti come la funzione di trasferimento a catena chiusa, considerando la (5.13), sia $W_i = T_i/(1+T_i) = 1/z^2$, in accordo con quanto derivato in precedenza.

La frequenza di attraversamento ω_c del sistema è ottenibile ponendo pari a uno il modulo del guadagno d'anello e $z = e^{j\omega T_s}$:

$$\left| \frac{1}{e^{j2\omega_c T_s} - 1} \right| = 1 \quad (5.14)$$

Sfruttando la formula di Eulero³ è possibile derivare:

$$\omega_c = \frac{\pi}{6T_s} \quad (5.15)$$

A titolo di esempio, la frequenza di attraversamento del sistema considerando il regolatore di corrente campionato a 40 kHz è $\omega_c = 3333,3$ Hz.

Da tale proprietà si può assumere, ovviamente, come anche il margine di fase sia costante e pari a:

$$m_\varphi = \pi - \arg\left(\frac{1}{e^{j\frac{\pi}{3}} - 1}\right) = 60^\circ \quad (5.16)$$

5.1.2 Progetto con approccio "fisico"

L'approccio presentato nel seguito permette di derivare l'algoritmo DB seguendo un approccio più vicino al senso fisico dell'azione di controllo [3]. L'idea alla base di questa strategia di progetto è quella di determinare la tensione di inverter v_{inv} che rende la corrente i_L uguale al riferimento entro la fine del periodo di modulazione successivo a quello in cui è effettuato il calcolo.

L'equazione alle differenze che esprime la relazione integrale tra corrente e tensione sull'induttanza è:

$$i_L(k+1) = i_L(k) + \frac{T_s}{L} (v_{inv}(k) - v_o(k)) \quad (5.17)$$

Si osservi come tale relazione sia del tutto equivalente alla (5.5). In analogia con la procedura in spazio di stato, è trascurata la dinamica del condensatore.

³ $e^{j\theta} = \cos(\theta) + j \sin(\theta)$.

Esplicitando la tensione di inverter dalla (5.17), si ottiene la legge di controllo che assicura un comportamento DB:

$$v_{inv}(k) = \frac{L}{T_s} (i_L^*(k) - i_L(k)) + v_o(k) \quad (5.18)$$

avendo imposto $i_L^*(k) = i_L(k+1)$. Il controllore così derivato, infatti, non tiene conto del ritardo di elaborazione dell'algoritmo di controllo, per cui il DB ottenibile annulla l'errore di inseguimento in un periodo di campionamento.

Il ritardo di elaborazione può essere incluso iterando di un passo di campionamento la (5.17), cioè:

$$i_L(k+2) = i_L(k+1) + \frac{T_s}{L} (v_{inv}(k+1) - v_o(k+1)) \quad (5.19)$$

L'obiettivo di controllo, in questo modo, consiste nel determinare la tensione $v_{inv}(k+1)$, elaborata nel periodo che va da kT_s a $(k+1)T_s$, che rende la corrente $i_L(k+2)$ uguale a $i_L^*(k)$. Sostituendo la (5.17) nella (5.19) si ha:

$$i_L(k+2) = i_L(k) + \frac{T_s}{L} (v_{inv}(k+1) + v_{inv}(k) - v_o(k+1) - v_o(k)) \quad (5.20)$$

Il segnale di comando si ottiene invertendo la (5.20), cioè:

$$v_{inv}(k+1) = \frac{L}{T_s} (i_L^*(k) - i_L(k)) - v_{inv}(k) + 2v_o(k) \quad (5.21)$$

dove si è posto $i_L^*(k) = i_L(k+2)$ e si è assunto $v_o(k+1) = v_o(k)$. La tensione di uscita v_o , infatti, in accordo con l'approssimazione del filtro LC con il sistema equivalente del primo ordine costituito dalla sola induttanza, è considerata costante tra due istanti di campionamento.

Si osservi come legge di controllo in (5.21) sia del tutto equivalente alla (5.12), derivata con approccio in spazio di stato.

É possibile esprimere la relazione (5.21) in termini di duty cycle, cioè:

$$\delta(k+1) = \frac{L}{T_s V_{dc}} (i_L^*(k) - i_L(k)) - \delta(k) + \frac{2}{V_{dc}} v_o(k) \quad (5.22)$$

É possibile evidenziare la presenza di due azioni principali di controllo:

1. azione in *feedback*, attraverso il guadagno proporzionale $L/T_s V_{dc}$;
2. *feed-forward* della tensione di uscita, attraverso il guadagno $2/V_{dc}$, come già accennato nella sezione precedente. Questo permette di disaccoppiare il controllore dal carico, rendendo teoricamente indipendente dal carico stesso l'algoritmo di regolazione.

Va specificato come il controllore in questione possa essere progettato considerando il *double-update* del duty-cycle. In questo caso il periodo di campionamento del regolatore T_{sI} è pari a metà del periodo di modulazione T_{sw} ; tale scelta comporta anche il dimezzamento del ritardo equivalente del DPWM, che passa da $T_{sw}/2$ a $T_{sw}/4$.

5.1.3 Compensazione del ritardo di calcolo

Lo schema di controllo con compensazione del duty-cycle proposto può essere considerato una versione particolare del *Predittore di Smith*, definito come compensatore generico del ritardo, basato sul principio del modello interno [29, 30]. Nel seguito è brevemente accennato il principio alla base di tale compensatore digitale, di cui esiste anche una versione analogica, e la sua declinazione nello schema di controllo DB.

L'obiettivo di regolazione comprenda già il ritardo, cioè:

$$\lim_{t \rightarrow \infty} y((k-N)T) = r(kT) \quad (5.23)$$

in cui $y(kT)$ rappresenta la variabile di uscita, $r(kT)$ il riferimento e N il numero di passi di ritardo. Si definisce il processo con ritardo come $P(z) = z^{-N}P'(z)$, dove $P'(z)$ è il modello del processo senza ritardo. Lo schema di controllo con *Predittore di Smith* è visibile in Fig. 5.2, dove $D(z)$ rappresenta la funzione di trasferimento del compensatore. È facile dimostrare che il processo con ritardo equivale a quello non

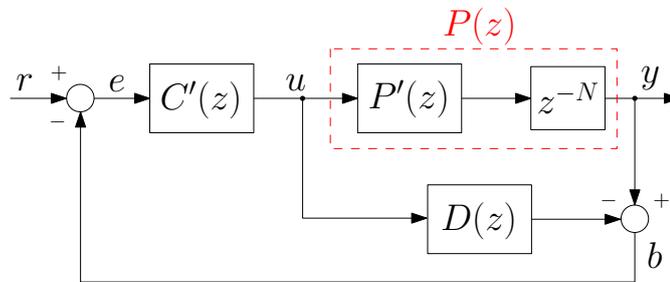


Figura 5.2: Schema a blocchi di un generico controllo in retroazione con *Predittore di Smith*.

ritardato, ovvero vi è la compensazione del ritardo, se e solo se vale:

$$\frac{B(z)}{U(z)} = P'(z) \quad (5.24)$$

ma:

$$\frac{B(z)}{U(z)} = P(z) - D(z) \quad (5.25)$$

quindi:

$$D(z) = P(z) - P'(z) = (z^{-N} - 1)P'(z) \quad (5.26)$$

è la funzione di trasferimento del compensatore cercata. Nel caso in cui la funzione di trasferimento del processo e il ritardo siano noti con precisione, il progetto del regolatore $C'(z)$ può essere effettuato considerando la funzione di trasferimento del processo senza ritardo $P'(z)$.

La funzione di trasferimento a catena chiusa del sistema in Fig. 5.2, con la $D(z)$ in (5.26), è:

$$W(z) = \frac{C'(z)P(z)}{1 + C'(z)(P(z) - D(z))} = \frac{C'(z)P(z)}{1 + C'(z)P'(z)} z^{-N} \quad (5.27)$$

che soddisfa l'obiettivo di inseguimento.

Nel caso del controllore DB di corrente presentato in questa sezione, è compensato il ritardo di elaborazione introdotto dall'unità di controllo, determinato in gran parte dal tempo necessario alla conversione A/D e dal tempo di esecuzione dell'algoritmo di controllo.

5.2 CONTROLLO DEAD-BEAT DI TENSIONE

Il regolatore DB di tensione per una configurazione multianello è progettato in modo del tutto analogo al DB di corrente, in particolare:

- il DB di corrente ha l'obiettivo di compensare la corrente nell'induttanza; il risultato del controllo è assimilabile ad un generatore controllato di corrente. Il DB di tensione, invece, ha l'obiettivo di compensare la tensione sul condensatore; il risultato è assimilabile ad un generatore controllato di tensione esterno, in cui l'anello interno è equivalente ad un generatore controllato di corrente.
- Nel DB di corrente è presente un termine di "feed-forward" della tensione di uscita, che permette di disaccoppiare il regolatore dal carico. Nel DB di tensione, invece, è presente un termine di "feed-forward" della corrente di carico, con la stessa finalità di disaccoppiamento. Questa grandezza è tipicamente stimata.

Particolare attenzione va posta sulla scelta della frequenza di campionamento del regolatore di tensione. In questo caso si svilupperà il progetto considerando il DB di corrente funzionante in *double-update* e il DB di tensione funzionante in *single-update*. Il sistema controllato in corrente, quindi, ha un comportamento ingresso-uscita equivalente ad un ritardo di due passi di campionamento, cioè $G_{ii}(z) = z^{-1}$, con z definita su $T_{sI} = 2 \cdot T_{sw}$. Dal punto di vista del DB di tensione, l'anello di corrente è equivalente ad un ritardo di un periodo di commutazione, esprimibile come un ritardo unitario z^{-1} considerando la trasformata Zeta definita su $T_{sV} = T_{sw}$.

A differenza dell'anello di corrente, però, l'anello di tensione non deve compensare per il ritardo intrinseco del modulatore DPWM.

Lo schema a blocchi dell'anello di tensione, con gli elementi sopracitati, è visibile in Fig. 5.3.

Per semplificare l'esposizione sarà descritta la derivazione dell'algoritmo di controllo seguendo l'approccio "fisico" [3]. L'obiettivo di regolazione è determinare la corrente di riferimento i_L^* che rende la tensione di uscita v_o pari al riferimento entro la fine del periodo di campionamento successivo a quello in cui è effettuato il calcolo.

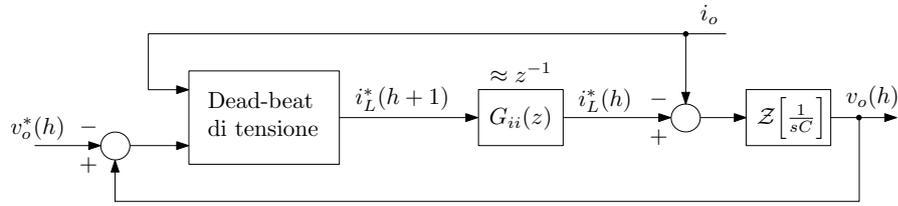


Figura 5.3: Schema a blocchi del sistema con regolatore DB di tensione e anello di corrente controllato con DB di corrente.

L'equazione alle differenze che esprime la relazione integrale tra tensione e corrente sul condensatore, derivabile dalla seconda riga del sistema in (3.18), è:

$$v_o(h+1) = v_o(h) + \frac{T_{sV}}{C} (i_L^*(h) - i_o(h)) \quad (5.28)$$

dove i_o è la corrente di carico. Si noti come è stata utilizzata la variabile intera h ad indicare gli istanti di campionamento; il regolatore di tensione, infatti, può avere una frequenza di campionamento diversa da quella del regolatore di corrente, in cui gli istanti di campionamento sono indicati dalla variabile k .

Per comprendere il ritardo equivalente dell'anello di corrente, come fatto per il ritardo di calcolo nel progetto del DB di corrente, si itera di un passo l'equazione (5.28), ottenendo:

$$v_o(h+2) = v_o(h) + \frac{T_{sV}}{C} (i_L^*(h+1) - i_o(h+1)) + \frac{T_{sV}}{C} (i_L^*(h) - i_o(h)) \quad (5.29)$$

L'obiettivo è determinare la $i_L^*(h+1)$, elaborata in $[hT_{sV}, (h+1)T_{sV}]$, che rende la tensione $v_o(h+2)$ uguale a $v_o^*(h)$. Considerando, quindi, $v_o^*(h) = v_o(h+2)$ ed esplicitando $i_L^*(h+1)$ si ha:

$$i_L^*(h+1) = \frac{C}{T_{sV}} (v_o^*(h) - v_o(h)) - i_L^*(h) + 2i_o(h) \quad (5.30)$$

avendo posto $i_o(h+1) = i_o(h)$, cioè supponendo la corrente di carico lentamente variabile [3]. Si noti come la struttura della (5.30) sia equivalente alla (5.21), dimostrando l'analogia tra DB di corrente e tensione.

La procedura appena descritta si basa sull'equivalenza del sistema controllato in corrente con un ritardo di un passo di campionamento T_{sV} . Il DB di corrente presentato nella Sezione precedente, tuttavia, non ha un comportamento ideale di puro ritardo, essendo progettato su un sistema approssimato del primo ordine. Tale assunzione scosta dall'idealità, ovviamente, anche il comportamento ingresso-uscita del DB di tensione, anche se vi è comunque molto vicino.

Nel seguito sono brevemente descritte tre possibili migliorie per il DB di tensione, seguendo lo schema di Fig. 5.4.

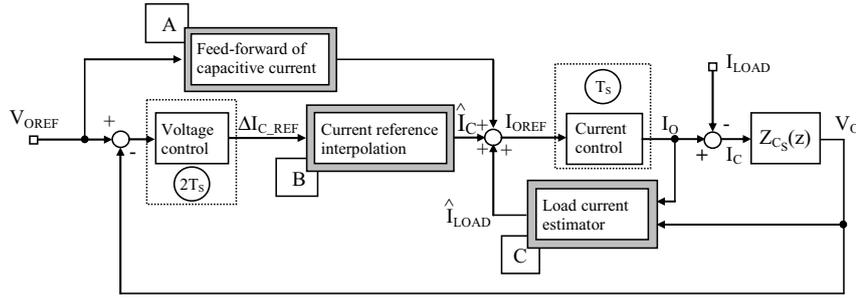


Figura 5.4: Schema a blocchi del regolatore DB di tensione migliorato.

5.2.1 Feed-forward della corrente sul condensatore

La corrente di riferimento i_L^* è somma della corrente sul condensatore i_C^* e della corrente di carico i_o^* . Noto il riferimento di tensione v_o^* , è possibile pre calcolare la componente i_C^* e sommarla in *feed-forward* al riferimento i_L^* , sgravando il controllore di tensione. Tale operazione è effettuata dal blocco A in Fig. 5.4. La corrente di riferimento sul condensatore, infatti, è direttamente derivabile come derivata discreta della tensione sul condensatore [3], cioè:

$$i_C^*(h-1) = \frac{C}{T_{sV}} (v_o^*(h) - v_o^*(h-1)) \quad (5.31)$$

5.2.2 Stima della corrente di carico

Nel DB di corrente il termine di *feed-forward* di tensione è elaborato a partire dalla misura della tensione stessa, essendo questa disponibile per la regolazione di tensione. La corrente di carico, invece, non è tipicamente misurata, motivo per cui si introduce uno stimatore di questa grandezza. Tale operazione è effettuata dal blocco C in Fig. 5.4.

Uno stimatore semplice della corrente di carico è ottenibile dall'espressione discreta della legge di Kirchhoff al nodo di uscita, cioè:

$$i_o(k-1) = -\frac{C}{T_{sI}} (v_o(k) - v_o(k-1)) + i_L(k-1) \quad (5.32)$$

Si noti come lo stimatore sia aggiornato alla frequenza di campionamento T_{sI} propria dell'anello di corrente. Lo stimatore in (5.32) implementa una derivata discreta che, come noto, risulta problematica in presenza di segnali rumorosi. Per elevare la robustezza di questo algoritmo, quindi, è sempre conveniente considerare la presenza di un filtro passa-basso digitale a valle dello stimatore, utile nella limitazione del rumore di misura.

5.2.3 Interpolazione del riferimento di corrente

Come descritto, il regolatore di tensione è aggiornato a metà della frequenza con cui è aggiornato il regolatore di corrente, operante in *double-update*. Questa modalità di funzionamento fa sì che il riferimento di corrente i_L^* , aggiornato dal DB di tensione ogni due periodi di campionamento di corrente, si presenti come un segnale a gradini, ciascuno di durata, appunto, $2T_{sI}$. Il controllore di corrente, quindi, reagisce inducendo delle oscillazioni ad alta frequenza nella corrente di carico [3, 9].

Per limitare questo effetto, il blocco B di Fig. 5.4 genera un campione aggiuntivo del riferimento di corrente negli istanti di campionamento kT_{sI} in cui tale segnale non è aggiornato. Questo rende il riferimento per il controllore di corrente praticamente equivalente ad un segnale continuo, eliminando le oscillazioni ad alta frequenza introdotte dalla variazione a gradino.

Uno schema della temporizzazione del sistema controllato con DB di corrente e DB di tensione, con gli accorgimenti sopracitati, è visibile in Fig. 5.5.

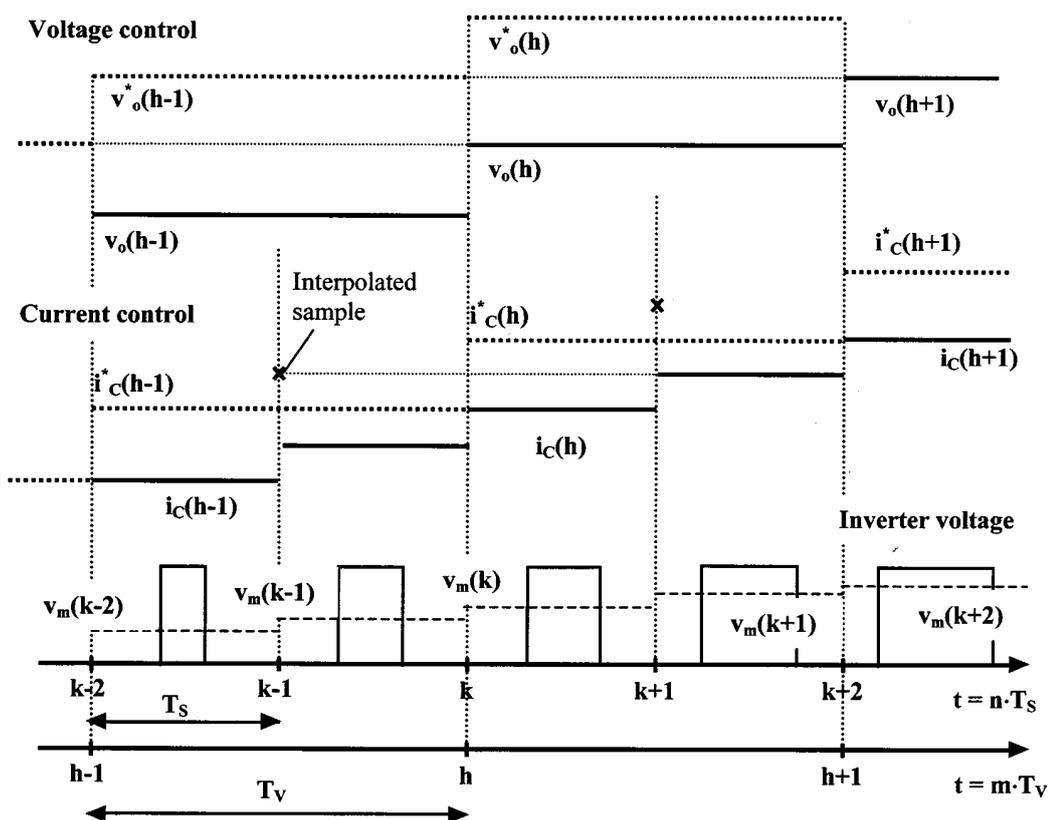


Figura 5.5: Temporizzazione del sistema di controllo multianello con DB di corrente in *double-update* e DB di tensione [3].

SIMULAZIONI

In questo capitolo sono presentati i risultati di simulazione ottenuti in *Simulink* con il modello a commutazione; risultati ottenuti con il modello ai valori medi sono presenti solamente per evidenziare caratteristiche peculiari dle sistema di controllo.

Sono presenti solamente risultati a grandi segnali, in risposta a transitori di diverso tipo, e a regime, mentre non sono presenti risultati in termini di risposta in frequenza, che richiederebbero la perturbazione sinusoidale del modello *Simulink*.

Le prestazioni del DB di corrente e del DB di tensione progettati sono confrontate con le risposte ottenute controllando il sistema con regolatori PID di corrente e di tensione. Questi ultimi sono stati progettati su specifiche in termini di banda passante e margine di fase a vuoto.

Le simulazioni condotte sono organizzate come segue:

1. controllo di corrente, risposta ad una variazione a gradino del riferimento, sia in cortocircuito, sia con carico resistivo.
2. Controllo di tensione, risposta ad una variazione a gradino del carico, considerando carico resistivo.
3. Controllo di tensione, funzionamento con carico capacitivo, problematico per la stabilità.
4. Controllo di tensione, funzionamento con carico distorcente, problematico per la distorsione armonica introdotta sulla tensione.

Nelle prove in controllo di corrente sono confrontate le prestazioni di DB e PID. Nelle prove in controllo di tensione, invece, è possibile effettuare le prove in diverse configurazioni:

1. PID di corrente e PID di tensione;
2. DB di corrente e PID di tensione, quest'ultimo progettato per ottenere una maggiore banda passante; l'anello di corrente controllato con regolatore DB, infatti, consente di aumentare le specifiche dinamiche del PID di tensione, avendo una maggior banda passante.
3. DB di corrente e DB di tensione.

6.1 CONTROLLO DI CORRENTE

In questa Sezione sono presenti i risultati ottenuti con il sistema controllato in corrente, sia in cortocircuito, sia con carico resistivo a potenza nominale. La resistenza che garantisce funzionamento a piena potenza $R_L = 230^2/8333 = 6,35 \Omega$. Il modello utilizzato, come accennato, è il modello a commutazione, con l'inverter rappresentato da interruttori ideali e il modulatore ideale. Le non idealità presenti nel modello sono il ritardo di calcolo degli algoritmi di controllo e il ritardo di comando introdotto dai driver degli interruttori.

La funzione di trasferimento principale del convertitore controllato in corrente è la $G_{id}(s)$, che esprime la relazione tra duty-cycle e corrente di induttanza. Ai fini della corretta comprensione dei risultati che seguono è utile riportare la risposta in frequenza di questa funzione di trasferimento in cortocircuito e con carico resistivo. I parametri di esempio considerati per la derivazione della risposta in frequenza sono:

- $L = 200 \mu\text{H}$;
- $R_{s,L} = 100 \text{ m}\Omega$;
- $C = 50 \mu\text{F}$;
- $V_{dc} = 385 \text{ V}$.

La $G_{id}(s)$ in cortocircuito è:

$$G_{id,cc}(s) = V_{dc} \cdot \frac{1}{R_{s,L} + sL} \quad (6.1)$$

con polo reale in $\omega = R_{s,L}/L$, corrispondente a $f = 80 \text{ Hz}$, e guadagno statico $V_{dc}/R_{s,L} = 68 \text{ dB}$.

La $G_{id}(s)$ con carico resistivo a potenza nominale ($R_L = 6,35 \Omega$), invece, è:

$$G_{id,R}(s) = V_{dc} \cdot \frac{1}{R_{s,L} + sL + \frac{1}{sC} // R_L} \quad (6.2)$$

caratterizzata dalla presenza di due poli complessi coniugati a 1600 Hz e uno zero reale a 500 Hz .

I diagrammi di Bode delle $G_{id,cc}(s)$ $G_{id,R}$ sono visibili, rispettivamente, in Fig. 6.1a e 6.1b.

6.1.1 Prove in cortocircuito

In Fig. 6.2a e Fig. 6.2b sono presenti le risposte ad una variazione a gradino di 10 A , da 10 A a 20 A , del riferimento di corrente in cortocircuito, rispettivamente con PID e DB di corrente. Come visibile, il tempo di salita offerto dal sistema controllato con

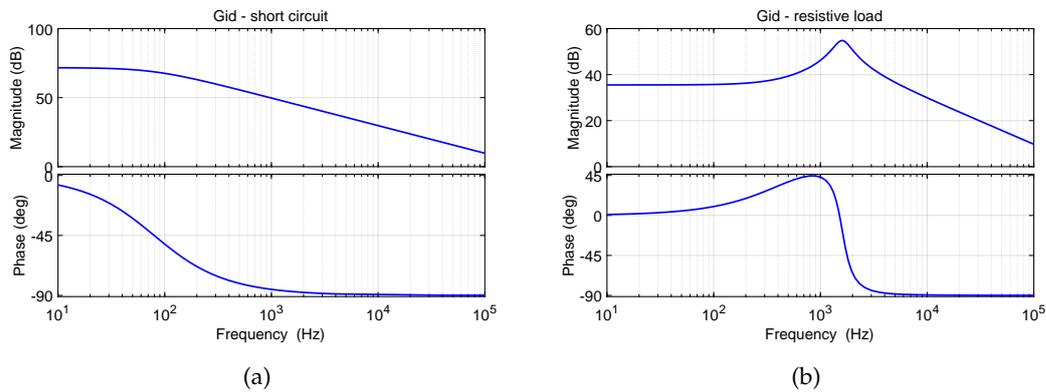


Figura 6.1: Diagrammi di Bode della $G_{id}(s)$: cortocircuito (a) e carico resistivo a potenza nominale (b).

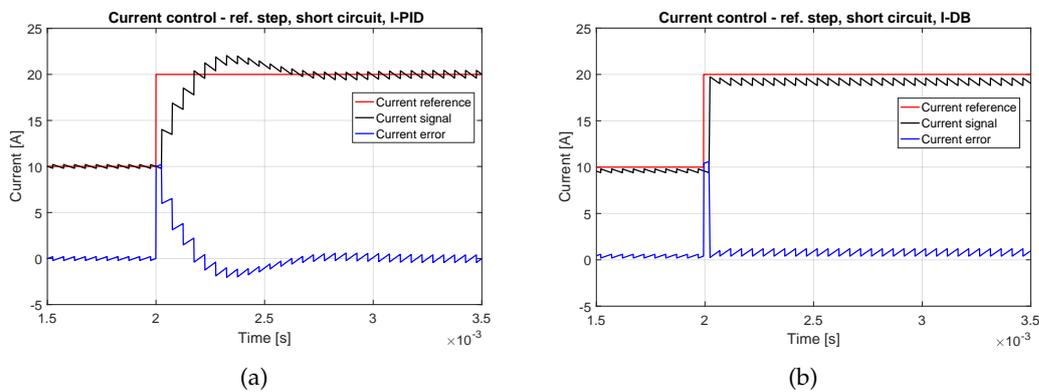


Figura 6.2: Risposta del sistema controllato in corrente con PID, variazione a gradino di 10 A del riferimento di corrente: PID e DB. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente, in blu l'errore.

DB è molto inferiore a quello del sistema controllato con PID. Con il DB, tuttavia, è presente un errore di inseguimento a regime, determinato dal basso guadagno a bassa frequenza del DB stesso; la componente integrale del PID, invece, compensa questo errore.

Il risultato ottenuto con il DB considerando la presenza di una componente integrale è visibile in Fig. 6.3. Come osservabile l'integrale annulla l'errore medio a regime, senza introdurre un deterioramento visibile delle prestazioni in termini di stabilità.

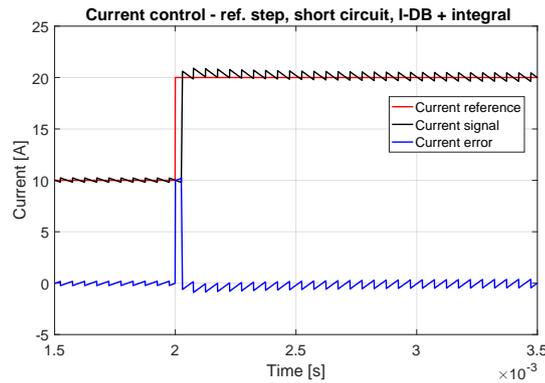


Figura 6.3: Risposta del sistema controllato con DB, inclusa la componente integrale, ad una variazione di 10 A del riferimento di corrente. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente, in blu l'errore.

6.1.2 Prove con carico resistivo a potenza nominale

Per le prove con controllo di corrente e carico resistivo è considerata la resistenza a potenza nominale. Il riferimento di corrente è fatto variare da 10 A a 20 A.

In Fig. 6.4a e Fig. 6.4b sono presenti le risposte ad una variazione a gradino di 10 A, da 10 A a 20 A, del riferimento di corrente, rispettivamente con PID e DB di corrente. In Fig. 6.5a e Fig. 6.5b, invece, sono presenti gli errori di corrente, rispettivamente con

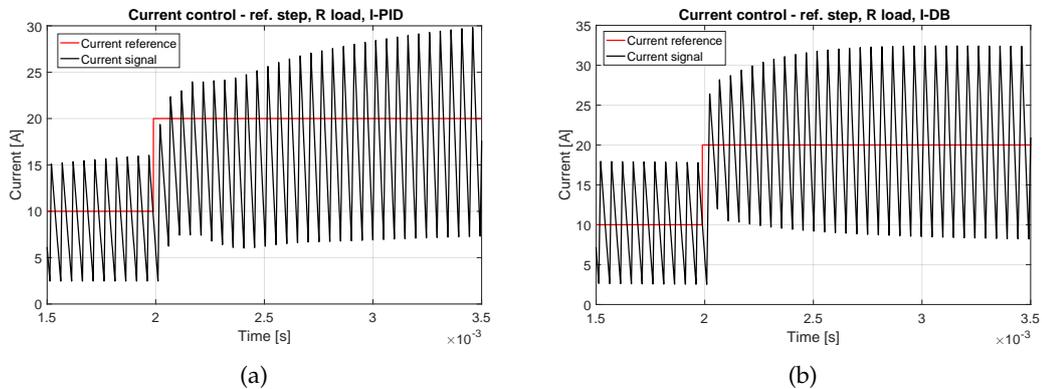


Figura 6.4: Risposta del sistema controllato in corrente con PID, variazione a gradino di 10 A del riferimento di corrente: PID e DB. Sono presenti in rosso il riferimento di corrente, in nero il segnale di corrente.

PID e DB. In questo caso è il sistema controllato con PID a presentare un errore a regime non nullo, mentre è nullo considerando il DB. Il tempo di salita, invece, è ancora molto inferiore considerando il DB.

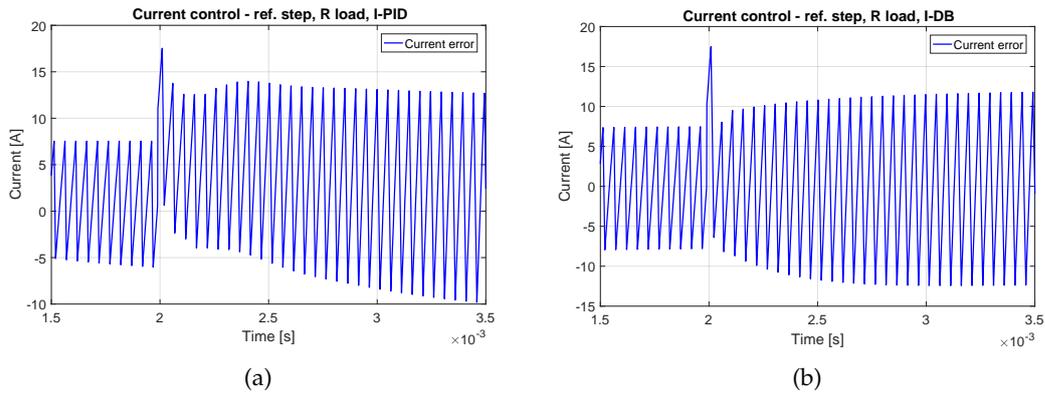


Figura 6.5: Errore di corrente: PID e DB.

A differenza delle prove in cortocircuito, poi, è visibile un ripple di ampiezza molto maggiore, sia con il PID, sia con il DB.

6.2 CONTROLLO DI TENSIONE

Si considera ora il sistema controllato in tensione, le configurazioni possibili per il sistema di controllo sono quelle presentate a inizio capitolo. Il regolatore di corrente, inoltre, indipendentemente che sia PID o DB, funziona in modalità *double-update*, mentre il regolatore di tensione opera in *single-update*.

6.2.1 Variazione di carico

Per valutare il comportamento transitorio del sistema in controllo di tensione si effettua una variazione di carico modificando il valore della resistenza di carico. Tale variazione simula un attacco o un distacco di carico che potrebbe avvenire sul sistema fisico; nel seguito sono presenti i risultati ottenuti considerando solamente il primo di questi due transitori. Per simulare un attacco di carico si riduce la resistenza da 5 volte il valore nominale al valore nominale stesso (aumento di potenza dal 20% al 100%); il convertitore reagisce aumentando la tensione di uscita per erogare la corrente necessaria ad alimentare il carico.

Tale transitorio porta tipicamente in saturazione il duty-cycle per alcuni periodi. Per limitare il numero di variabili nell'analisi del fenomeno transitorio, quindi, le prime simulazioni sono effettuate imponendo un riferimento di tensione pari a metà della tensione nominale (115 V) e un gradino di carico dal 50% al 100% della potenza nominale (attacco di carico), e viceversa.

I regolatori DB di corrente e tensione considerati nel seguito comprendono una componente integrale, con relativo sistema di *anti-windup*.

Attacco di carico, 50% - 100% della potenza nominale

Risposta del sistema controllato in tensione ad un variazione di carico dal 50% al 100% della potenza nominale (attacco di carico). La tensione di riferimento è posta a 115 V. Configurazione del sistema la cui risposta è visibile in Fig. 6.6:

1. regolatore PID di corrente;
2. regolatore PID di tensione, progettato per anello di corrente con regolatore PID;

Configurazione del sistema la cui risposta è visibile in Fig. 6.7:

1. regolatore DB di corrente;
2. regolatore PID di tensione, progettato su anello di corrente con regolatore DB;

Come ben visibile, e in accordo con quanto osservato nel paragrafo precedente, il sistema controllato con DB di corrente garantisce un inseguimento migliore del riferimento di corrente. Questo si manifesta come una capacità di inseguimento migliore anche

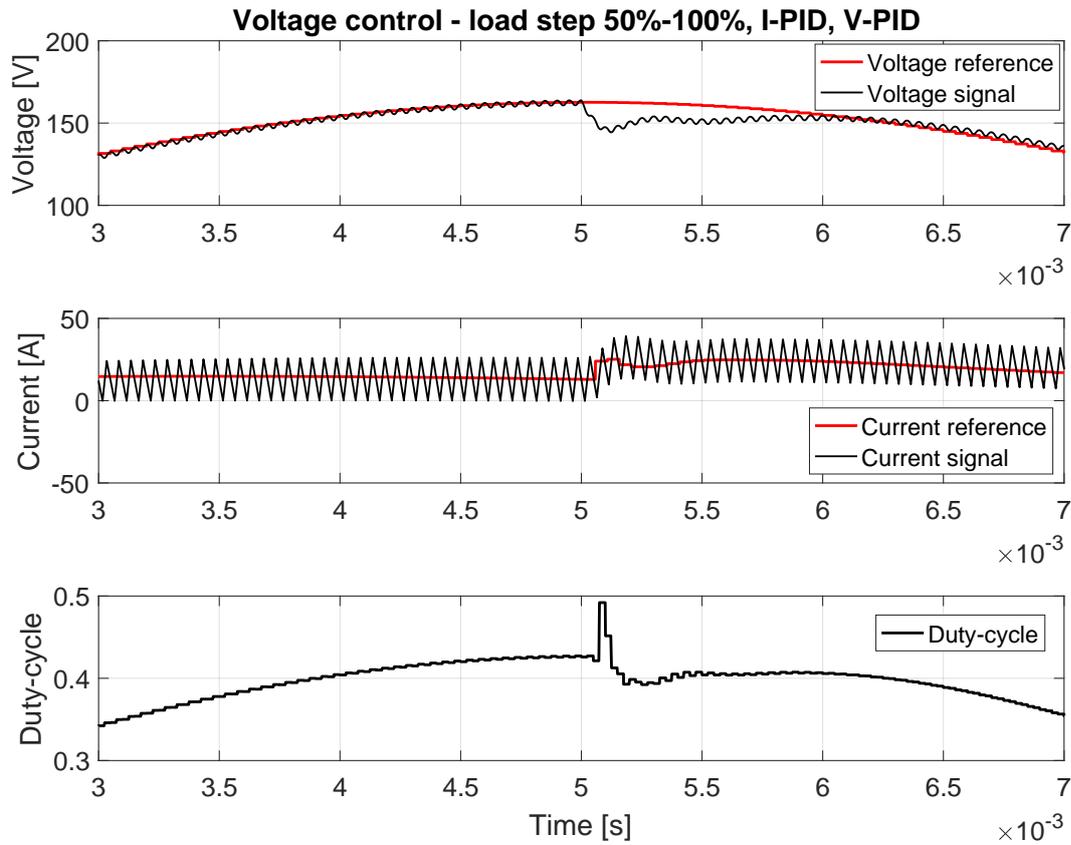


Figura 6.6: Risposta del sistema con PID di corrente e PID di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

per la tensione, che recupera il valore di regime in minor tempo, in seguito al transitorio. La maggior rapidità di risposta del sistema con DB di corrente è visibile anche confrontando il duty-cycle delle due configurazioni: con il DB questo ha un andamento più "aggressivo", sollecitando l'inverter alla generazione di una tensione superiore durante il transitorio.

Nella configurazione con DB di corrente, tuttavia, è evidente la presenza di un'oscillazione residua alla frequenza di Nyquist del controllore di corrente stesso (pari alla frequenza di campionamento del controllo di tensione, il controllo di corrente opera in *double-update*). Questo ripple non presenta ampiezza costante, ma è massimo negli istanti in cui la differenza tra duty-cycle attuale e al passo di campionamento precedente è massima. L'origine di questo fenomeno è da attribuire alla dissimmetria degli impulsi di tensione generati dall'inverter, essendo il duty-cycle aggiornato in

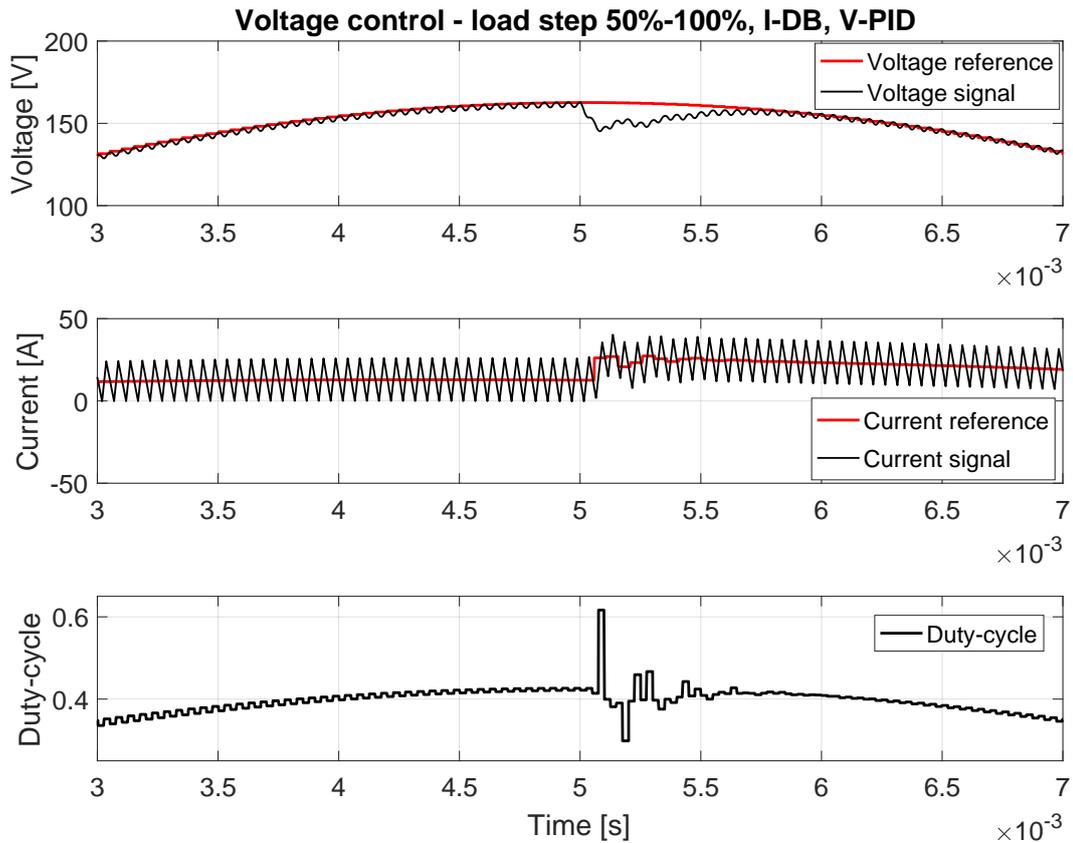


Figura 6.7: Risposta del sistema con DB di corrente e PID di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

double-update. Tale dissimmetria fa sì che la corrente non sia campionata esattamente in corrispondenza del valore medio, cioè a metà del tempo di *on* e del tempo di *off* nel periodo di modulazione. L'oscillazione così generata è amplificata dal regolatore DB, in particolare del termine di compensazione del duty-cycle.

Una riduzione del ripple sul duty-cycle è ottenibile abbassando il guadagno con cui è compensato il duty-cycle:

$$G_{\delta, \text{comp}} = \frac{1}{z+1} \rightarrow G'_{\delta, \text{comp}} = \frac{1}{z+\alpha} \quad (6.3)$$

Tale operazione corrisponde a pesare con il coefficiente α , minore di uno, il duty-cycle al passo di campionamento precedente riportato nel controllore. In Fig. 6.8a e Fig. 6.8b sono confrontati i duty-cycle ottenuti considerando, rispettivamente, $\alpha = 1$ e $\alpha = 0.5$; per evidenziare l'oscillazione è disattivata la variazione di carico. Come osservabile l'ampiezza del ripple è notevolmente diminuita, anche se ancora chiaramente presente.

Configurazione del sistema la cui risposta è visibile in Fig. 6.9:

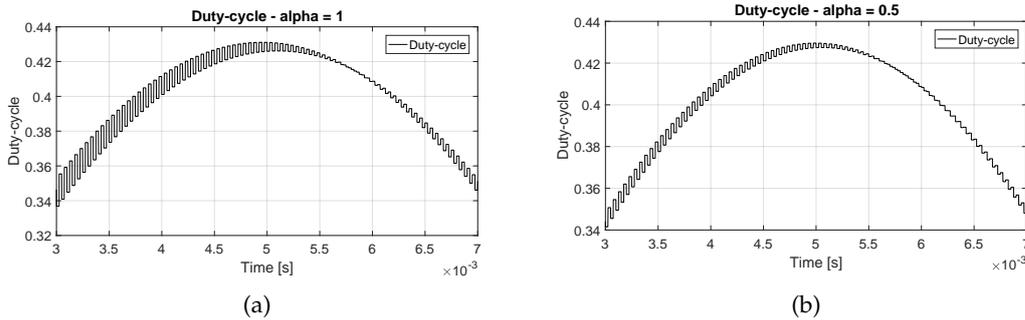


Figura 6.8: Oscillazione sul duty-cycle con regolatore DB di corrente al variare di α : $\alpha = 1$ (a) e $\alpha = 0,5$ (b).

1. regolatore DB di corrente;
2. regolatore DB di tensione;

Il DB di tensione reagisce al transitorio con un comportamento oscillatorio, come ben visibile anche nel duty-cycle. Questo è dovuto al minor margine di fase per l'anello di tensione rispetto alle configurazioni precedenti. È visibile, inoltre, una leggerissima oscillazione sul riferimento di corrente, fenomeno analogo all'oscillazione del duty-cycle amplificata dal DB di corrente. È possibile dimostrare che l'utilizzo di guadagni minori di uno per la compensazione di duty-cycle e riferimento di corrente riduce entrambe le oscillazioni.

Attacco di carico, 20% - 100% della potenza nominale

Risposta del sistema controllato in tensione ad un variazione di carico dal 20% al 100% della potenza nominale (attacco di carico). La tensione di riferimento è posta al valore nominale di 230 V. In questo caso è possibile valutare il comportamento del sistema di controllo in saturazione e l'attivazione dell'*anti-windup*¹.

Configurazione del sistema la cui risposta è visibile in Fig. 6.10:

1. regolatore PID di corrente;
2. regolatore PID di tensione;

Configurazione del sistema la cui risposta è visibile in Fig. 6.11:

1. regolatore DB di corrente;
2. regolatore PID di tensione, progettato con una maggiore banda passante;

Configurazione del sistema la cui risposta è visibile in Fig. 6.12:

¹ La strategia di *anti-windup* implementata prevede la saturazione statica della componente integrale. Si è visto che la saturazione dinamica introduceva problematiche legate al ripple sul duty-cycle con il DB di corrente.

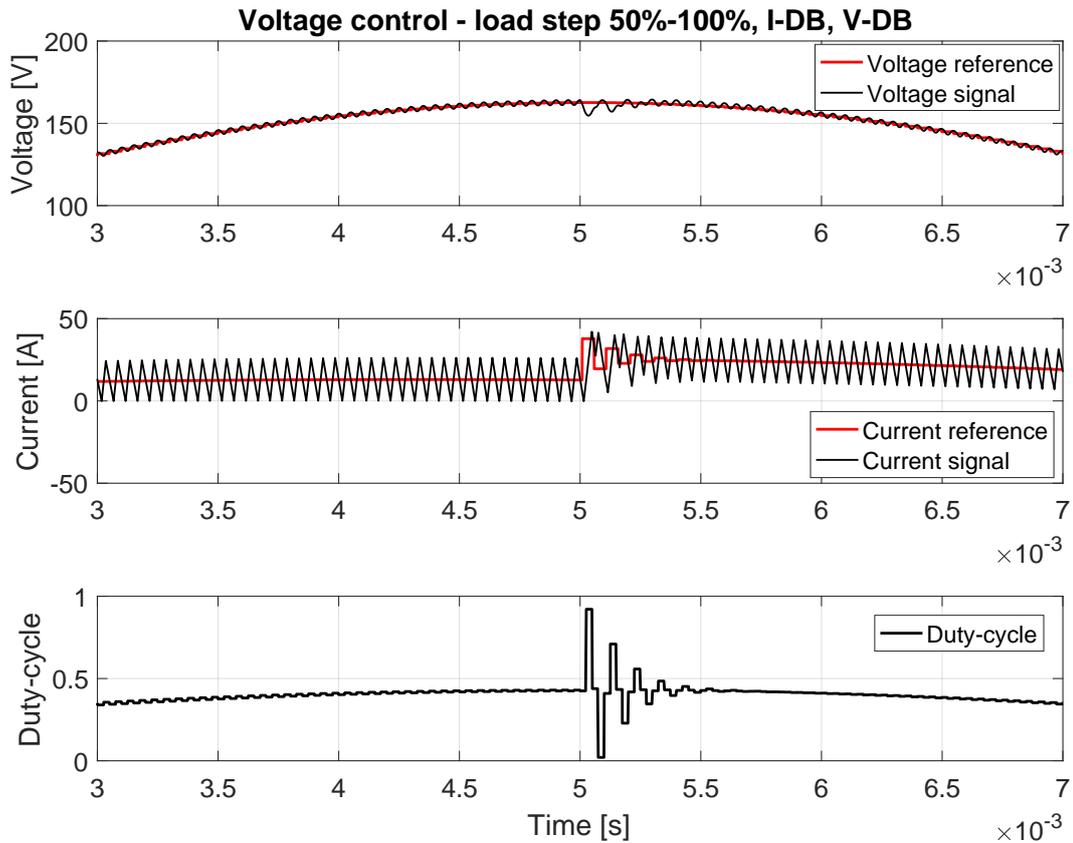


Figura 6.9: Risposta del sistema con DB di corrente e DB di tensione: attacco di carico dal 50% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

1. regolatore DB di corrente;
2. regolatore DB di tensione;

I risultati ottenuti mostrano che l'utilizzo del DB di corrente riduce il tempo di risposta del sistema alla variazione di carico, anche se introduce una notevole oscillazione, dovuta alla saturazione persistente del duty-cycle. Le prestazioni possono essere migliorate, ad esempio, sconnettendo il termine di compensazione del duty-cycle durante la saturazione, ma tale soluzione necessita di ulteriori approfondimenti per quantificarne vantaggi e svantaggi.

Considerando anche il DB di tensione le prestazioni in saturazione sono ulteriormente deteriorate; il duty-cycle e la tensione, infatti presentano un'oscillazione persistente per diversi periodi di modulazione, dovuta ancora alle problematiche del DB in saturazione.

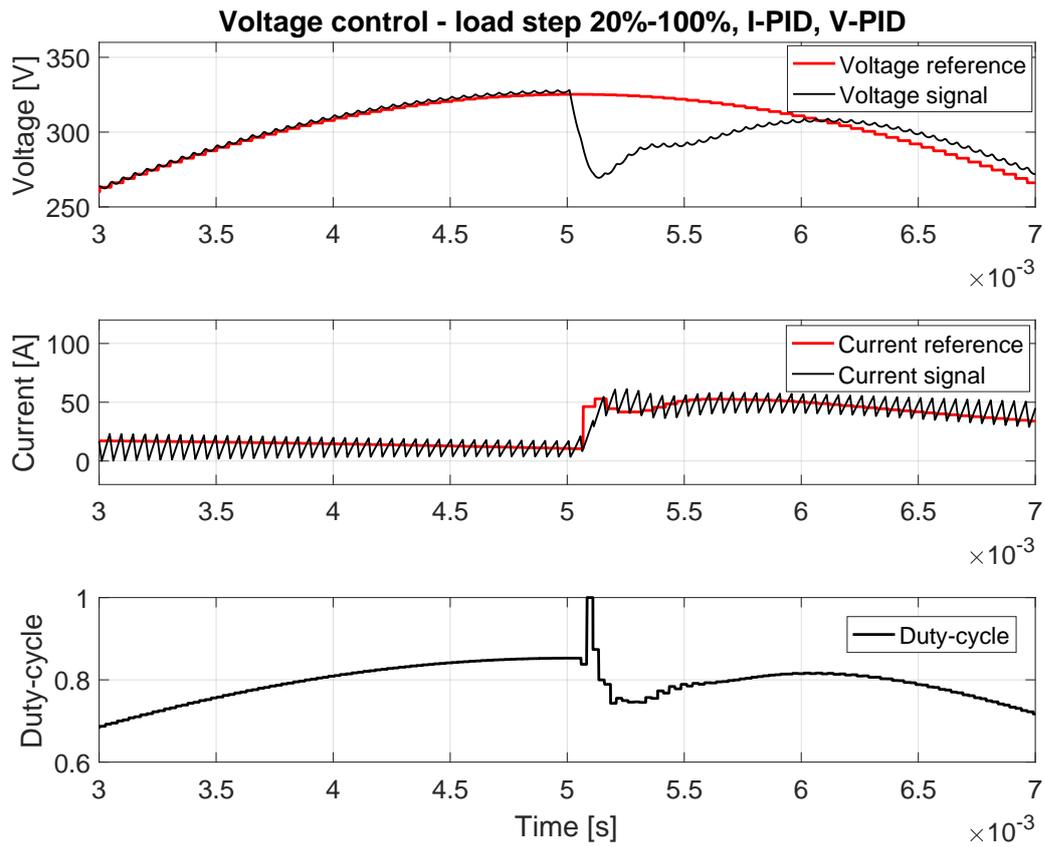


Figura 6.10: Risposta del sistema con PID di corrente e PID di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

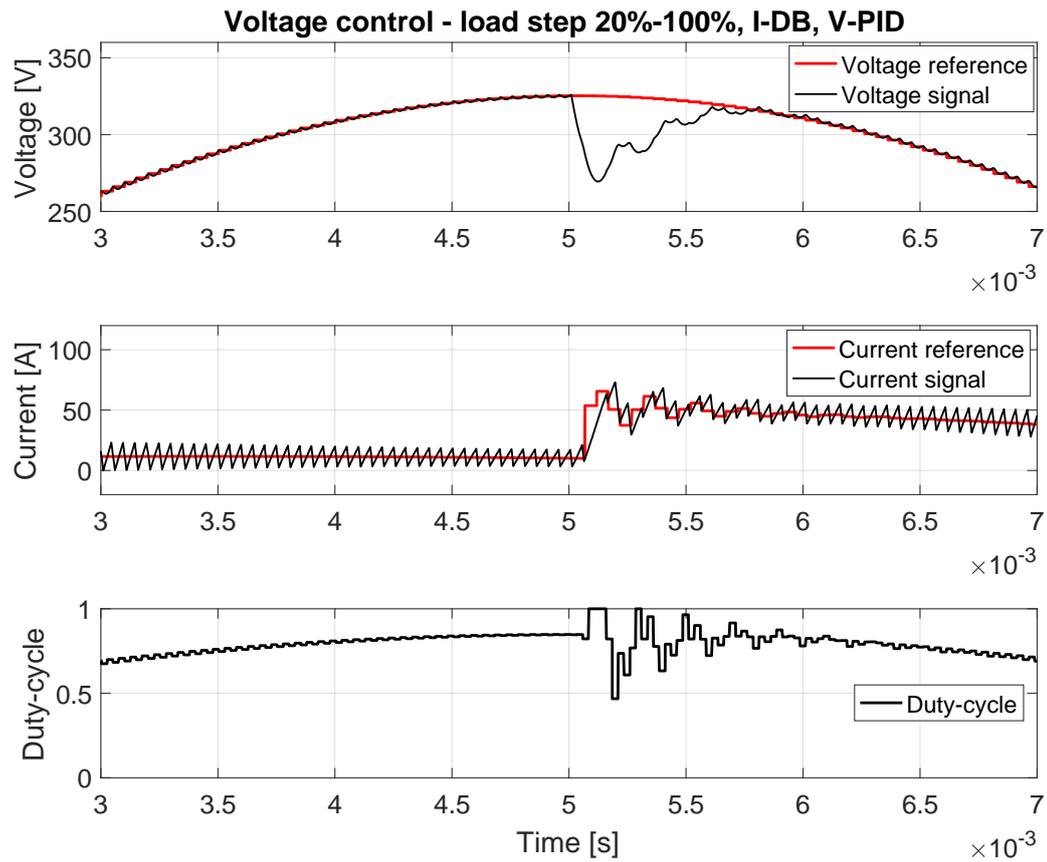


Figura 6.11: Risposta del sistema con DB di corrente e PID di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

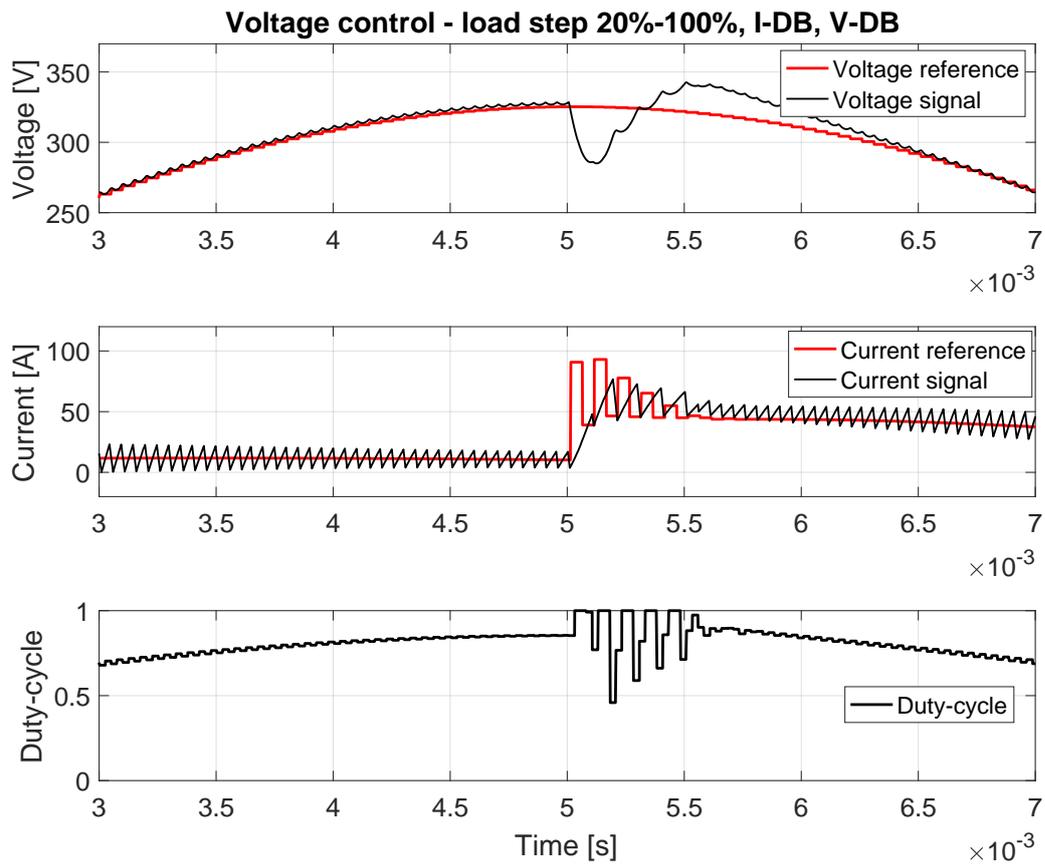


Figura 6.12: Risposta del sistema con DB di corrente e DB di tensione: attacco di carico dal 20% al 100% della potenza nominale. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

6.2.2 Carico capacitivo

Il carico capacitivo considerato in questa Sezione è equivalente ad una serie RLC, in cui i termini resistivo e induttivo rappresentano elementi parassiti del carico stesso, mentre la capacità è considerata a piena potenza:

$$Z_L(s) = R_{s,C_L} + sL_{s,C_L} + \frac{1}{sC_L} \quad (6.4)$$

con:

- $R_{s,C_L} = 5 \text{ m}\Omega$;
- $L_{s,C_L} = 50 \text{ }\mu\text{F}$;
- $C_L = \frac{Q_L}{2\pi f_{\text{out}} V_{AC,n}^2} = 500 \text{ }\mu\text{F}$, dove Q_L è la potenza reattiva nominale, pari a $8,33 \text{ kVAR}$, $f_{\text{out}} = 50 \text{ Hz}$ è la frequenza della tensione di uscita e $V_{AC,n}$ è la tensione efficace nominale di uscita.

Tale configurazione, come si vedrà, risulta essere la più problematica dal punto di vista della stabilità.

Configurazione del sistema la cui risposta è visibile in Fig. 6.13:

1. regolatore PID di corrente;
2. regolatore PID di tensione;

Configurazione del sistema la cui risposta è visibile in Fig. 6.14:

1. regolatore DB di corrente;
2. regolatore PID di tensione progettato con una maggiore banda passante;

Configurazione del sistema la cui risposta è visibile in Fig. 6.15:

1. regolatore DB di corrente;
2. regolatore DB di tensione;

Come visibile dai risultati ottenuti, l'introduzione del DB di corrente penalizza il sistema in termini di stabilità, rispetto al caso con PID di corrente. Considerando anche il DB di tensione, il sistema è ancora più prossimo all'instabilità, come visibile sia dall'andamento della corrente, sia osservando il duty-cycle.

Va precisato che la modellazione esatta di un carico capacitivo è molto difficile, soprattutto nella valutazione degli elementi parassiti. La resistenza parassita, in particolare, risulta fondamentale per smorzare le oscillazioni generate dall'interazione tra capacità e induttanza parassita.

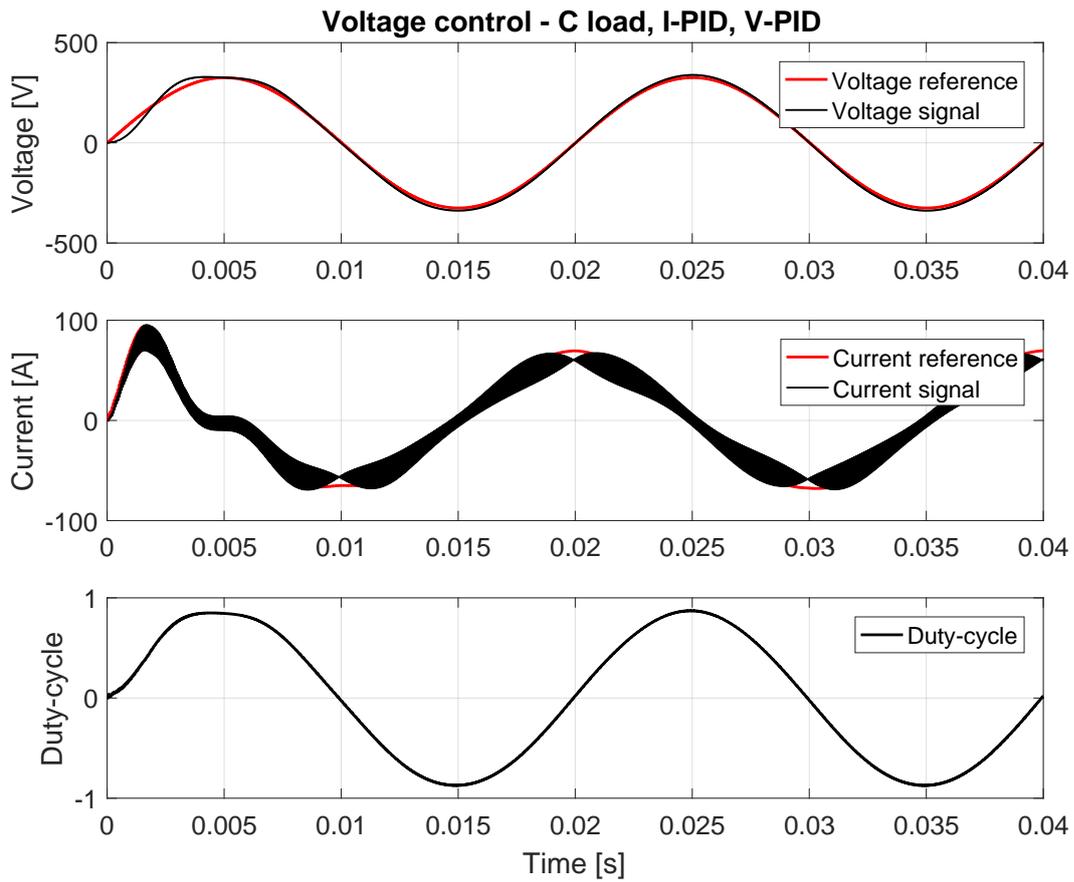


Figura 6.13: Risposta del sistema con PID di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

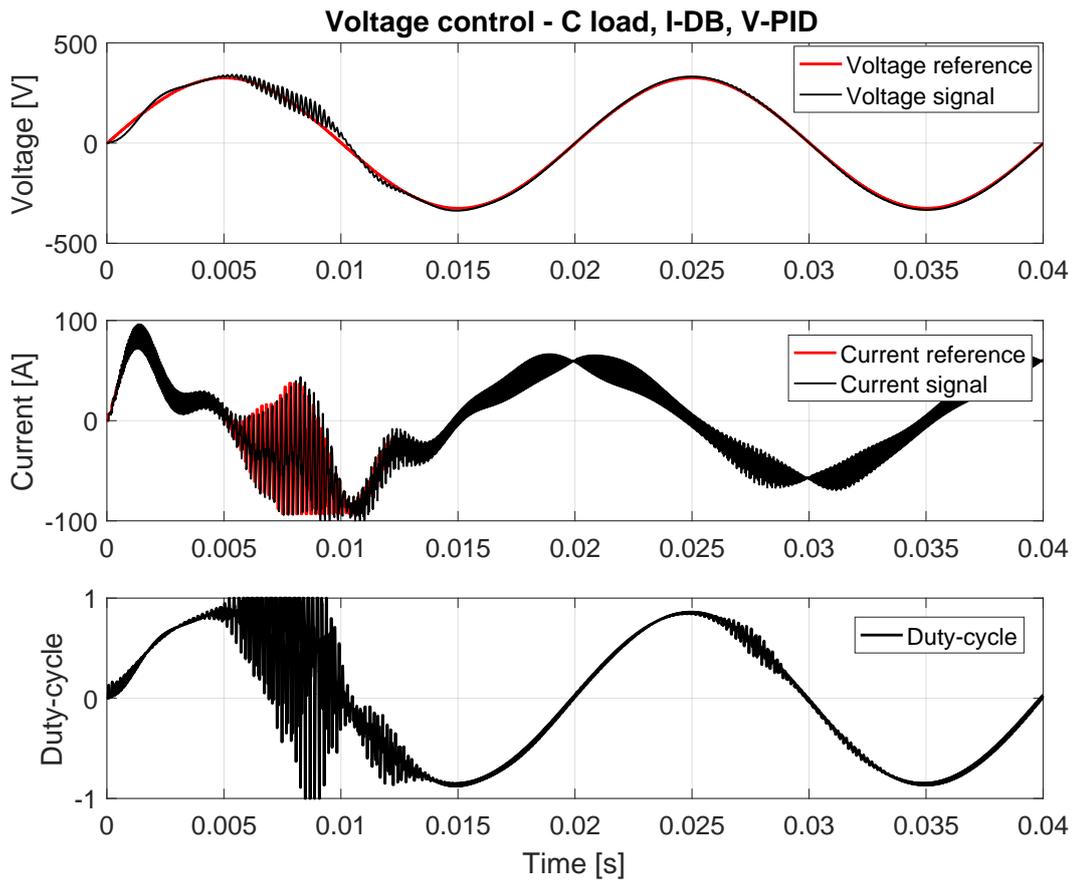


Figura 6.14: Risposta del sistema con DB di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

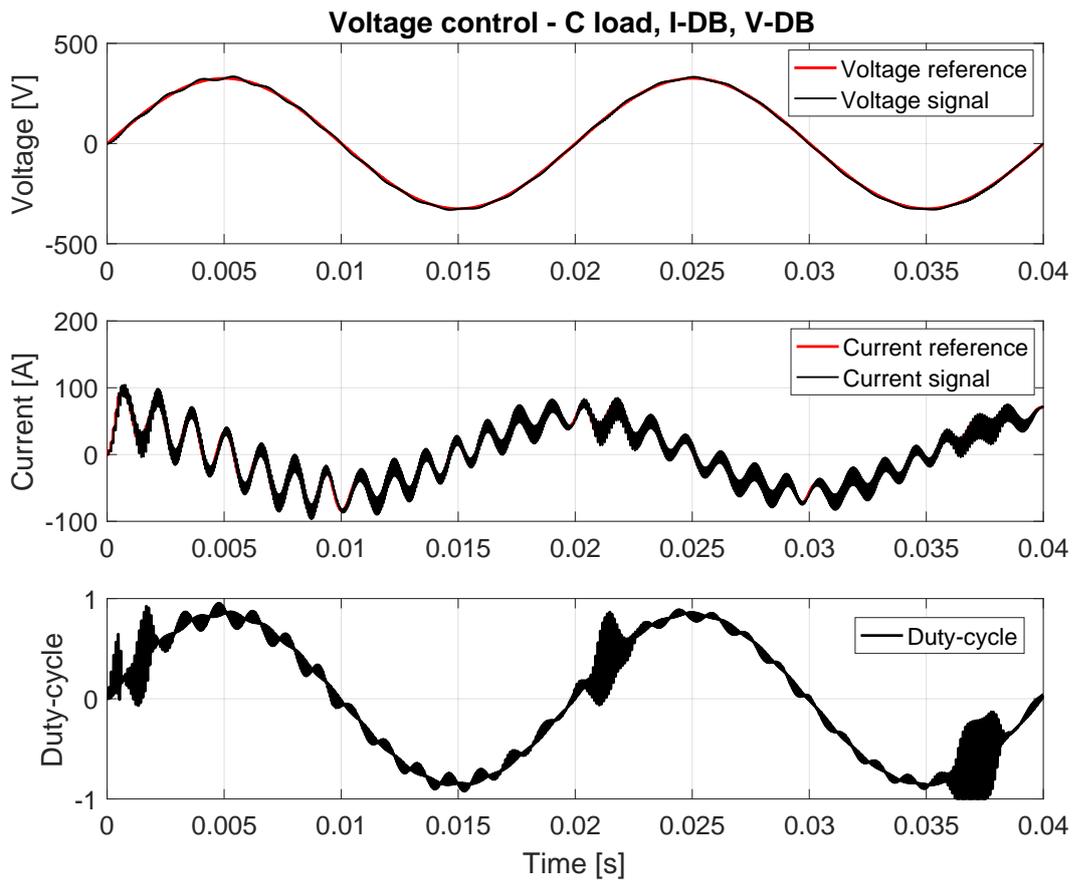


Figura 6.15: Risposta del sistema con DB di corrente e DB di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

6.2.3 Carico distortente

Il carico distortente, detto anche carico non-lineare, è rappresentato tipicamente da un sistema raddrizzatore a diodi con carico capacitivo che presenta, quindi, un assorbimento di corrente discontinuo, introducendo una notevole distorsione armonica sulla tensione. Il carico distortente, quindi, consente di quantificare le prestazioni del sistema controllato in tensione in termini di *Total Harmonic Distortion* (THD), parametro chiave per la caratterizzazione di un sistema UPS.

Per la realizzazione delle simulazioni con carico distortente si è considerato il carico non lineare standard definito nella normativa CEI - EN 50091-1-1, implementato in *Simulink* utilizzando il blocchetto "Non-linear Load EN50091" sviluppato da Thierry Rohmer (14/12/1995).

Configurazione del sistema la cui risposta è visibile in Fig. 6.16:

1. regolatore PID di corrente;
2. regolatore PID di tensione, progettato con una maggiore banda passante;

Il THD ottenuto in questo caso è:

$$\text{THD}_1 = 7,4\% \quad (6.5)$$

Configurazione del sistema la cui risposta è visibile in Fig. 6.17:

1. regolatore DB di corrente;
2. regolatore PID di tensione;

Il THD ottenuto in questo caso è:

$$\text{THD}_1 = 5,6\% \quad (6.6)$$

Configurazione del sistema la cui risposta è visibile in Fig. 6.18:

1. regolatore DB di corrente;
2. regolatore DB di tensione;

Il THD ottenuto in questo caso è:

$$\text{THD}_1 = 6,3\% \quad (6.7)$$

I risultati ottenuti mostrano che l'introduzione del DB di corrente migliora il comportamento del sistema in termini di THD, che passa dal 7,7%, con PID di corrente, al 5,6% con DB di corrente. L'introduzione del DB di tensione, invece, peggiora notevolmente la forma d'onda di tensione, come visibile chiaramente anche in termini di duty-cycle e corrente. In questo caso, pur essendo il THD non molto superiore a quello ottenuto con la configurazione DB di corrente-PID di tensione, il sistema con DB di tensione risulta in un comportamento non accettabile.

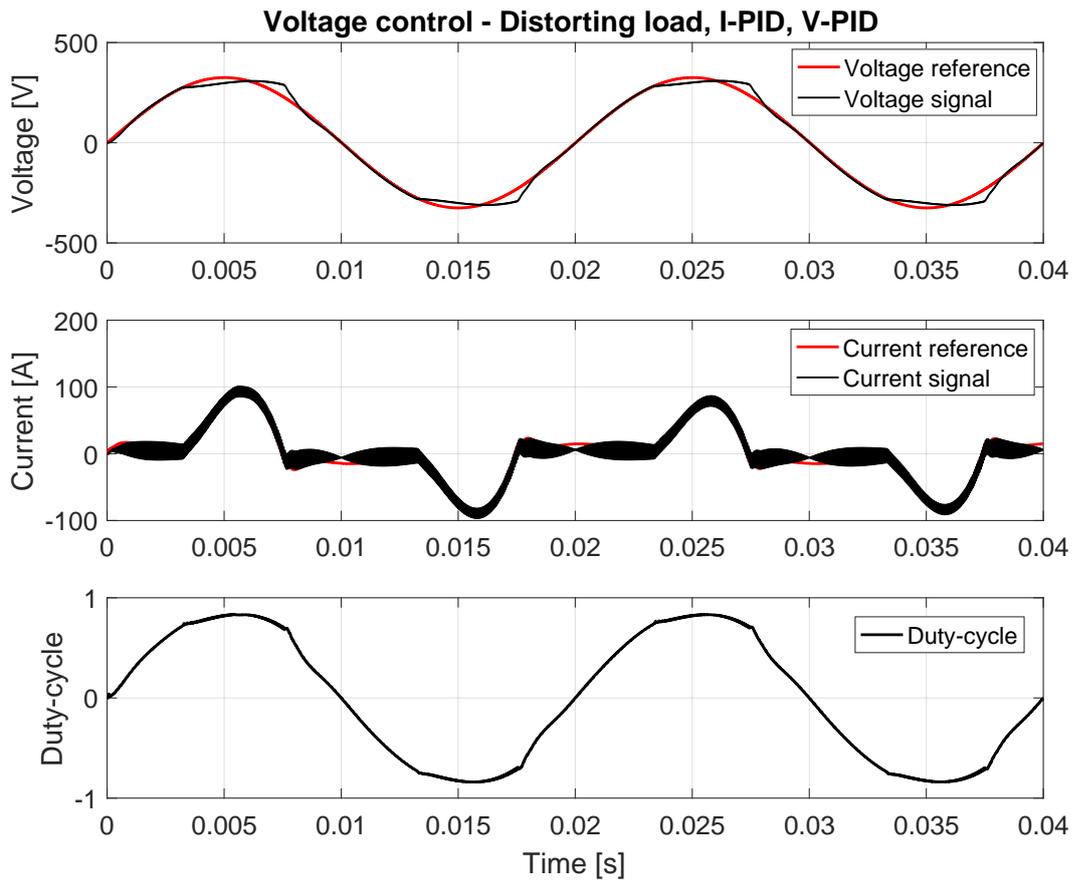


Figura 6.16: Risposta del sistema con PID di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

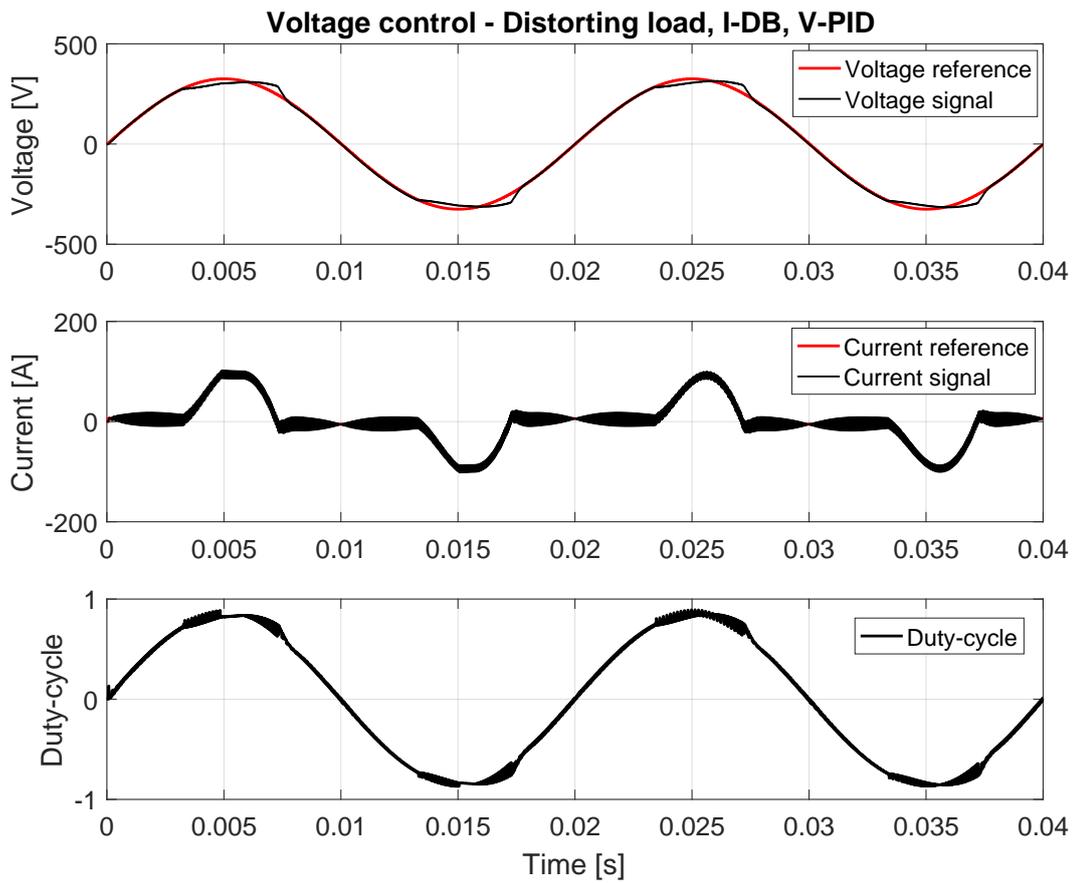


Figura 6.17: Risposta del sistema con DB di corrente e PID di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

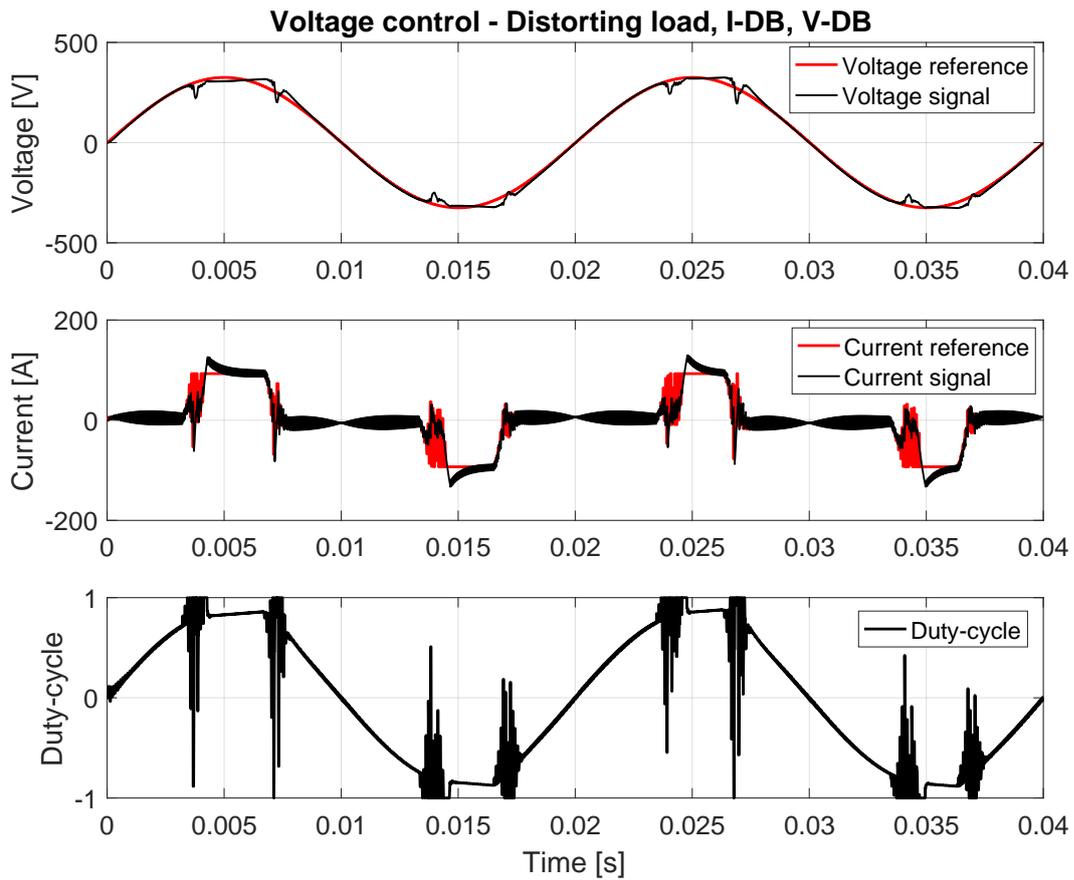


Figura 6.18: Risposta del sistema con DB di corrente e DB di tensione con carico capacitivo. Dall'alto al basso sono visibili riferimento di tensione e segnale di tensione, riferimento di corrente e segnale di corrente, duty-cycle.

RISULTATI SPERIMENTALI

In questo capitolo sono presentati i risultati sperimentali ottenuti con l'UPS a disposizione in laboratorio. Le forme d'onda che seguono, come già accennato, sono prese dall'oscilloscopio digitale di bordo della macchina.

Il firmware utilizzato per i test prevede la possibilità di scegliere tra inverter controllato in corrente e inverter controllato in tensione, agendo su degli appositi parametri di *debug* nel software di comunicazione. La modalità di funzionamento in controllo di corrente richiede particolare attenzione, dovendo essere presente una compensazione della corrente sul condensatore di uscita dell'inverter. Tale procedura è descritta nella Sezione riguardo i test in controllo di corrente.

I carichi a disposizione sono già stati menzionati nella Sezione 4.4. Per confrontare le prestazioni del sistema con PID e DB di corrente, sia in controllo di corrente, sia in controllo di tensione, il firmware implementato regola la fase R ed S, rispettivamente, con PID e DB di corrente. In questo modo, per cambiare il sistema di controllo considerato, è sufficiente connettere al carico la fase R o la fase S, e lasciare sconnesse le due restanti.

7.1 CONTROLLO DI CORRENTE

Il problema principale del funzionamento in controllo di corrente è rappresentato dalla corrente media sul condensatore di uscita. Come noto, infatti, la tensione sul condensatore è data dall'integrale della corrente sul condensatore stesso. Per tale motivo la presenza di un offset sulla corrente di induttanza, e quindi sulla corrente sul condensatore, porta rapidamente in saturazione la tensione di uscita, non essendo presente il controllo di tensione.

Per eseguire i test in controllo di corrente, quindi, è stata implementata una compensazione della corrente media sul condensatore, attraverso la misura della tensione di uscita. Tale procedura si compone delle seguenti fasi:

1. misura della tensione di uscita, corrispondente alla tensione sul condensatore;
2. calcolo del valore medio della tensione di uscita con filtro passa basso digitale;
3. la tensione media di uscita calcolata rappresenta il *feed-back* di un controllore in retroazione con regolatore PI in cui il riferimento è posto a zero.

Tale algoritmo è affiancato al controllore di corrente, che può essere PID o DB, e che riceve come riferimento un segnale sinusoidale di ampiezza desiderata, cui è sovrapposto il termine relativo alla compensazione della tensione di uscita.

Le prove effettuate in controllo di corrente sono le seguenti:

1. prova a vuoto, sia con PID di corrente, sia con DB di corrente. È analizzato il comportamento a regime del sistema e la risposta ad una variazione a gradino del riferimento di corrente.
2. Prova con carico resistivo da 25Ω , sia con PID di corrente, sia con DB di corrente. Analisi del comportamento a regime e della risposta in seguito ad una variazione a gradino del riferimento di corrente.

7.1.1 Prove a vuoto

Per confrontare le prestazioni del sistema controllato con regolatore PID di corrente e DB di corrente, i riferimenti di corrente per la fase R e per la fase S sono generati in modo da garantire la presenza della stessa corrente di induttanza a regime sulle due fasi. Tale accorgimento è utilizzato in quanto, come appare chiaro nel seguito, il regolatore PID di corrente presenta un guadagno a 50 Hz minore di quello offerto da DB di corrente, per cui l'inseguimento del riferimento sinusoidale, nel primo caso, è afflitto da un notevole errore.

Prova a regime

Per le prove a regime sono imposti dei riferimenti sinusoidali di ampiezza costante sulla fase R ed S, in modo da garantire una corrente di induttanza di 3 A efficaci in entrambi i casi. Tale valore è il limite per il quale, a vuoto, la tensione sulla fase S in controllo di corrente raggiunge i 230 V, per cui si è preferito non andare oltre con la corrente di induttanza. Va precisato che la tensione di uscita generata sulla fase R, in presenza di 3 A efficaci sull'induttanza, è inferiore ai 230 V, per il minore guadagno offerto dal PID di corrente.

In Fig. 7.1 sono presenti i risultati del test a regime, a vuoto, con regolatore PID di corrente. L'unità di misura $m - /Div$ indica valore normalizzato all'unità, con fattore di scala 10^{-3} , che, nel caso di riferimento ed errore di corrente, corrisponde a 93,3 A efficaci. Moltiplicando $33,33 m - /Div$ per il fondo scala di 93 A efficaci e per la radice di due si ottiene, infatti, 4,4 A/Div.

Le forme d'onda mostrano che l'inseguimento del riferimento di corrente non è preciso, come accennato in precedenza. È chiaramente osservabile, inoltre, la presenza della distorsione sulla corrente, in corrispondenza degli attraversamenti dello zero della tensione, dovuta alla saturazione inferiore del duty-cycle.

In Fig. 7.2 sono presenti i risultati del test a regime, a vuoto, con regolatore DB di corrente. In questo caso l'inseguimento di corrente è molto più preciso rispetto al

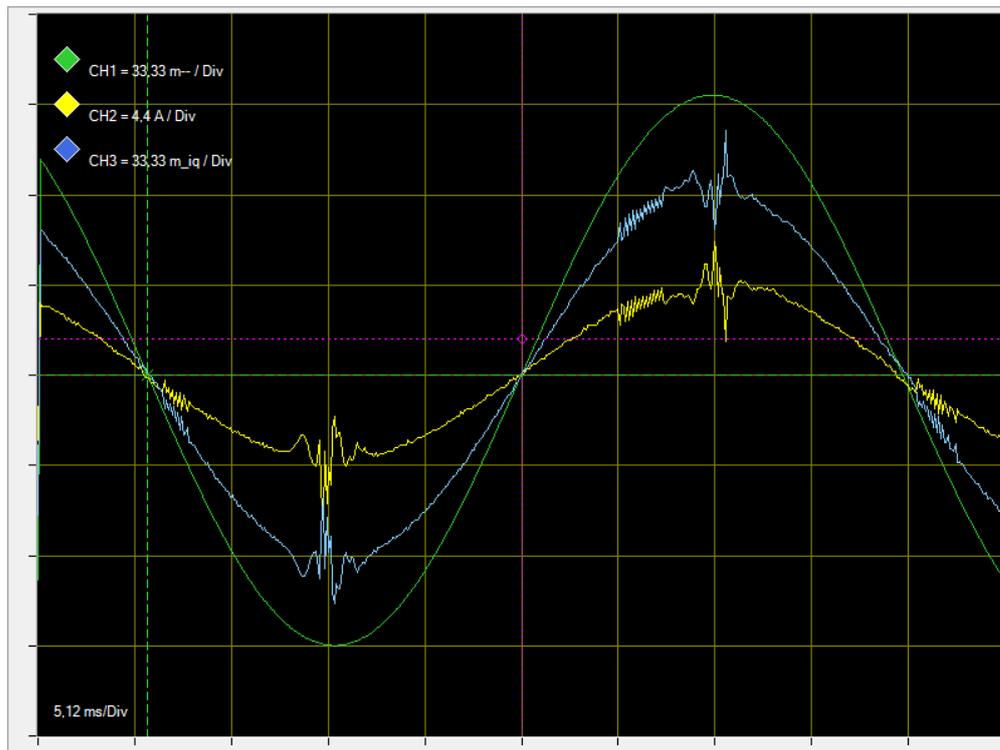


Figura 7.1: Forme d'onda del sistema controllato in corrente con regolatore PID a vuoto. Verde (CH1 33,33 mV / Div): riferimento di corrente; giallo (CH2 4,4 A / Div): segnale di corrente; blu (CH3 33,33 mV / Div): errore di corrente. Asse dei tempi 5,12 ms / Div.

caso con PID di corrente, mentre le distorsioni sugli attraversamenti dello zero della tensione sono invariate.

Transitorio di riferimento

Per la realizzazione del transitorio di riferimento si è seguita la seguente procedura:

1. generazione di un riferimento di corrente tale da imporre 0.5 A efficaci sull'induttanza;
2. configurazione del *trigger* dell'oscilloscopio sul canale corrispondente al riferimento di corrente, ad un valore sull'asse delle ordinate tale da intercettare la variazione a gradino.
3. configurazione dell'oscilloscopio in modalità single-shot, per catturare il transitorio;

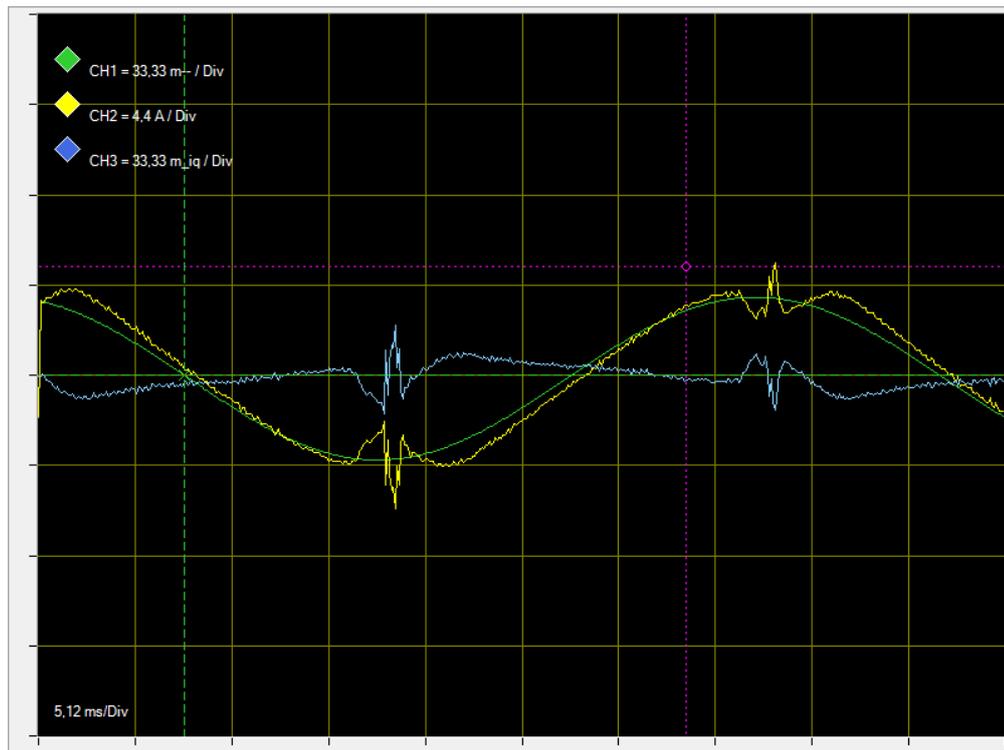


Figura 7.2: Forme d'onda del sistema controllato in corrente con regolatore DB a vuoto. Verde (CH1 33,33 m – /Div): riferimento di corrente; giallo (CH2 4,4 A/Div): segnale di corrente; blu (CH3 33,33 m – /Div): errore di corrente. Asse dei tempi 5,12 ms/Div.

4. variazione dell'ampiezza del riferimento di corrente, dal software di interfaccia dell'inverter, in modo da imporre una corrente di 3 A efficaci sull'induttanza; l'oscilloscopio inizia ad acquisire le forme d'onda.

Si è scelto di sincronizzare il transitorio in corrispondenza del picco di corrente, condizione peggiore per il sistema, in quanto è massima la corrente, e quindi l'energia, sull'induttanza. A peggiorare la situazione è la presenza della distorsione dovuta alla saturazione del duty-cycle, che si trova anch'essa in corrispondenza dei picchi di corrente.

In Fig. 7.3 sono presenti i risultati del transitorio di riferimento, a vuoto, con regolatore PID di corrente. Il transitorio risulta moderatamente oscillatorio, a denotare un margine di fase del sistema controllato non molto elevato.

In Fig. 7.4 sono presenti i risultati del transitorio di riferimento, a vuoto, con regolatore DB di corrente. È osservabile un leggero miglioramento, in termini di minor sovraelongazione e oscillazione residua rispetto al caso con regolatore PID, mentre è confermata la presenza di un errore di inseguimento a regime molto minore.

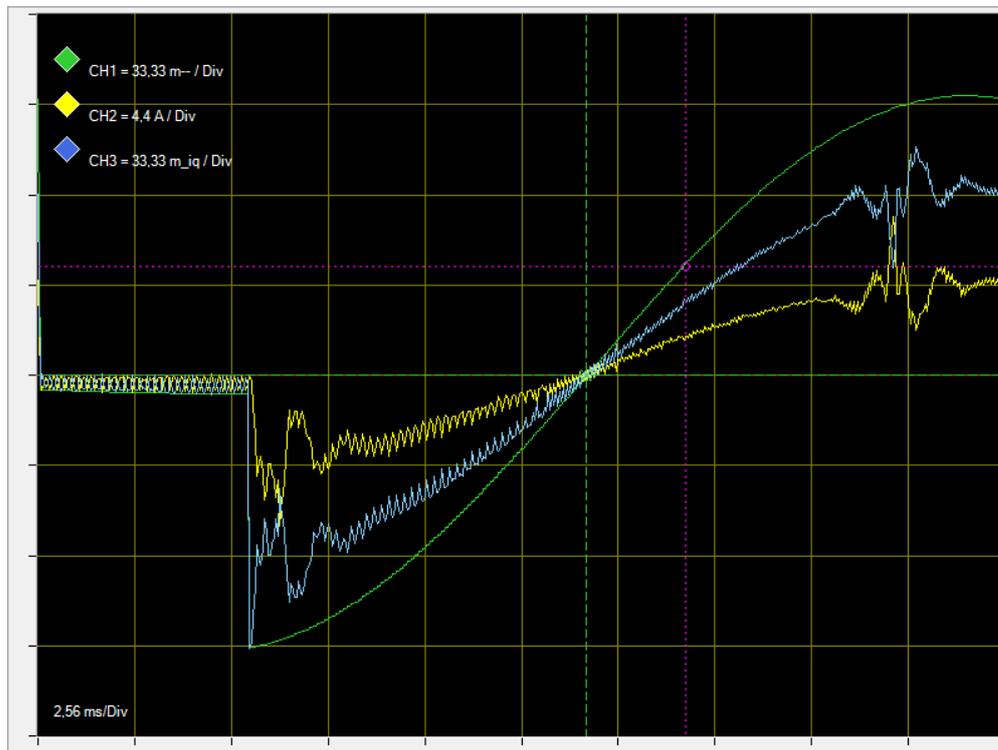


Figura 7.3: Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore PID a vuoto. Verde (CH1 33,33 m – /Div): riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente; asse dei tempi 2,56 ms/Div.

7.1.2 Prove con carico resistivo

Non sono presentati i risultati delle prove a regime con carico resistivo, in quanto i fenomeni notevoli sono stati descritti adeguatamente nei risultati dei test a vuoto.

Transitorio di riferimento

La procedura per la variazione del riferimento di corrente è la stessa utilizzata per le prove a vuoto, solamente che ora la fase sotto test è collegata al carico resistivo in configurazione a $25\ \Omega$. A differenza delle prove a vuoto la corrente di induttanza imposta passa da 1 A efficace a 5 A efficaci.

In Fig. 7.5 sono presenti i risultati del transitorio di riferimento, a vuoto, con regolatore PID di corrente.

In Fig. 7.6, invece, sono presenti i risultati del transitorio di riferimento, a vuoto, con regolatore DB di corrente. Come visibile la risposta con il regolatore DB di corrente non

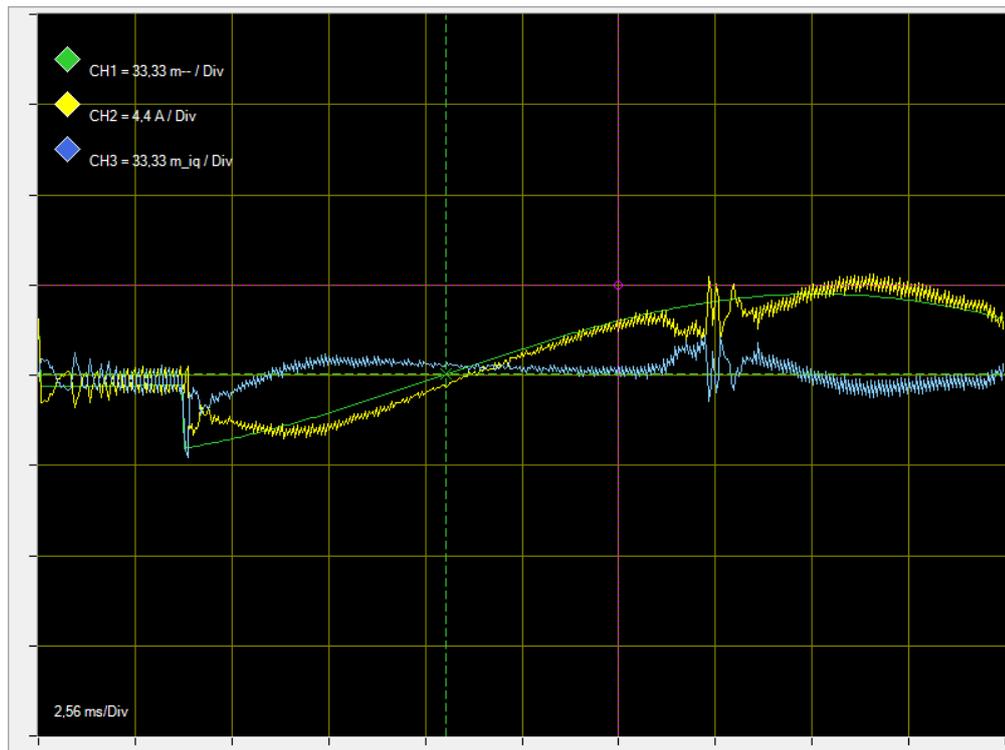


Figura 7.4: Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore DB a vuoto. Verde (CH1 33,33 m – /Div), riferimento di corrente; giallo (CH2 4,4 m – /Div), segnale di corrente; blu (CH3 33,33 m – /Div), errore di corrente; asse dei tempi 2,56 ms/Div.

presenta sovraelongazione, a differenza del sistema controllato con PID di corrente, molto più oscillante.

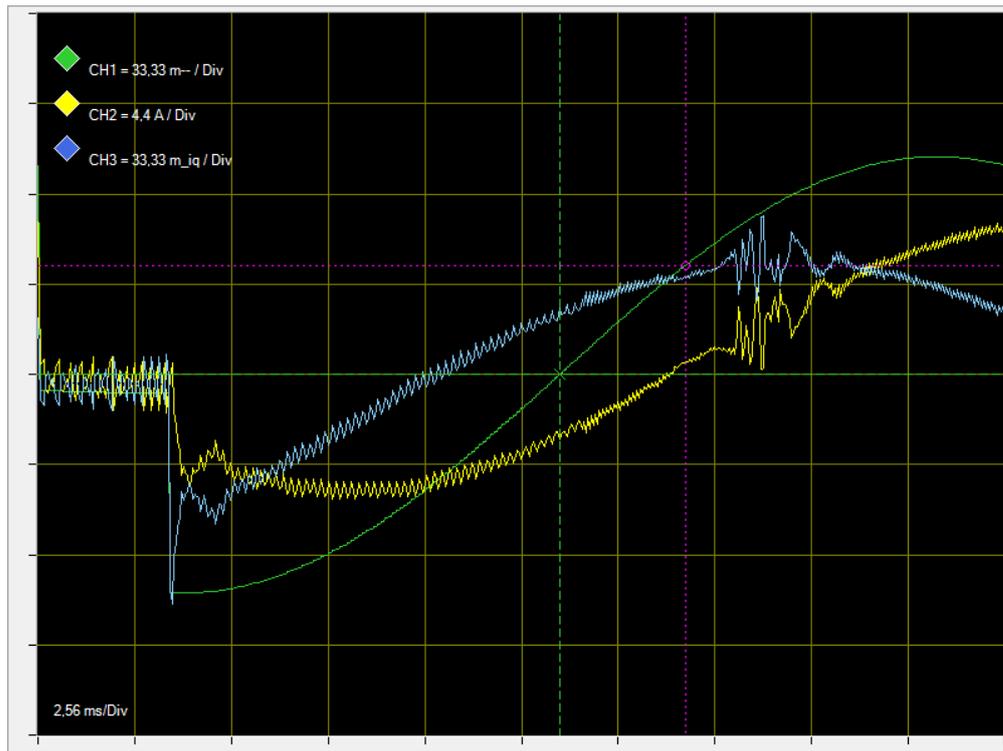


Figura 7.5: Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore PID, carico resistivo da $25\ \Omega$. Verde (CH1 33,33 mV / Div), riferimento di corrente; giallo (CH2 4,4 mV / Div), segnale di corrente; blu (CH3 33,33 mV / Div), errore di corrente; asse dei tempi 2,56 ms/Div.

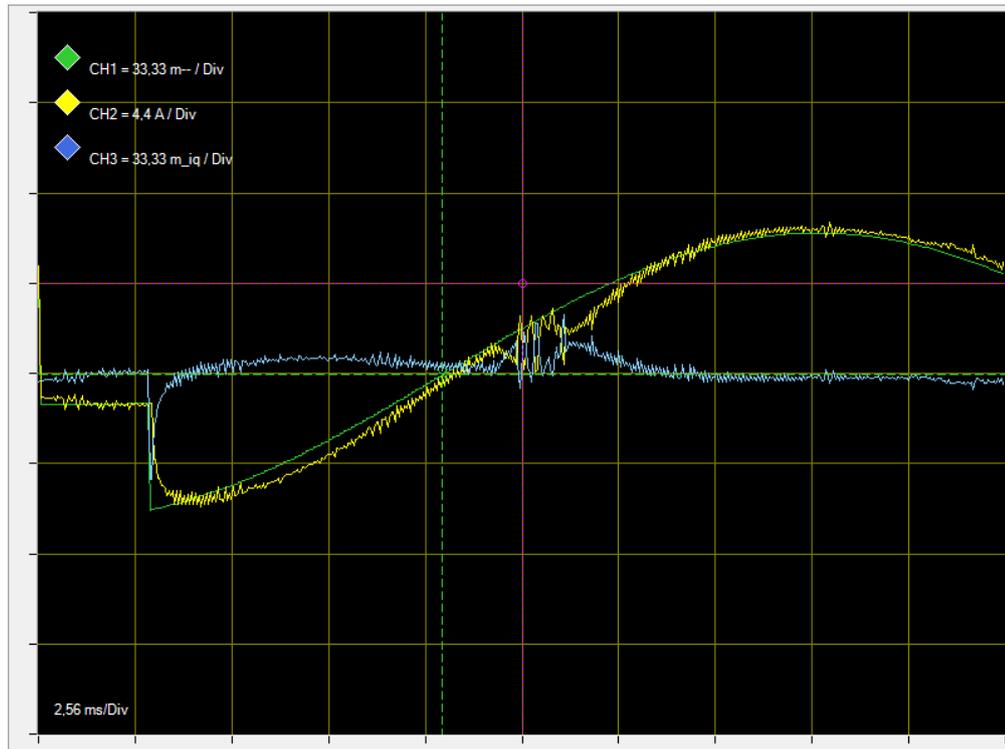


Figura 7.6: Risposta ad una variazione a gradino del riferimento di corrente: sistema controllato in corrente con regolatore DB, carico resistivo da 25Ω . Verde (CH1 33,33 mV / Div), riferimento di corrente; giallo (CH2 4,4 A / Div), segnale di corrente; blu (CH3 33,33 mV / Div), errore di corrente. Asse dei tempi 2,56 ms/Div.

7.2 CONTROLLO DI TENSIONE

Le prove effettuate in controllo di tensione sono le seguenti:

1. transitorio di carico resistivo, sia con PID di corrente sia con DB di corrente.
2. Prova con carico puramente capacitivo, sia con PID di corrente sia con DB di corrente.

7.2.1 Transitorio di carico

Per realizzare il transitorio di carico, il sistema è connesso inizialmente al carico resistivo in configurazione da $25\ \Omega$. Agendo sullo switch apposito la resistenza è fatta variare da $25\ \Omega$ a $12,5\ \Omega$, corrispondente ad una variazione di potenza dal 25% al 50% del valore nominale. Tale test simula un attacco di carico in cresta, cioè nella condizione in cui è massima la tensione, e quindi l'energia, sul condensatore.

In Fig. 7.7 sono presenti i risultati del transitorio di carico sul sistema controllato in tensione, con regolatore PID di corrente. L'unità di scala $0,25\text{ -- /Div}$ indica una grandezza normalizzata all'unità, in questo caso corrispondente a 385 V di picco, massima tensione di picco applicabile idealmente dall'inverter. La rappresentazione $0,1\text{ A/Div}$, riferita alla corrente di carico, invece, comprende un fattore di scala pari a $38 \cdot 10^{-4}$. La rappresentazione $0,1\text{ iq/Div}$, infine, indica ancora una grandezza normalizzata all'unità, corrispondente alla massima tensione applicabile dall'inverter.

In Fig. 7.8, invece, sono presenti i risultati del transitorio di carico sul sistema controllato in tensione, con regolatore DB di corrente. Come visibile il sistema controllato con regolatore interno di corrente DB garantisce un tempo di recupero del riferimento di tensione, in seguito alla variazione di carico, molto inferiore rispetto al sistema con PID di corrente. La risposta al transitorio, inoltre, è molto più oscillante nel caso del PID di corrente, come visibile sulle forme d'onda di tensione e corrente in Fig. 7.7.

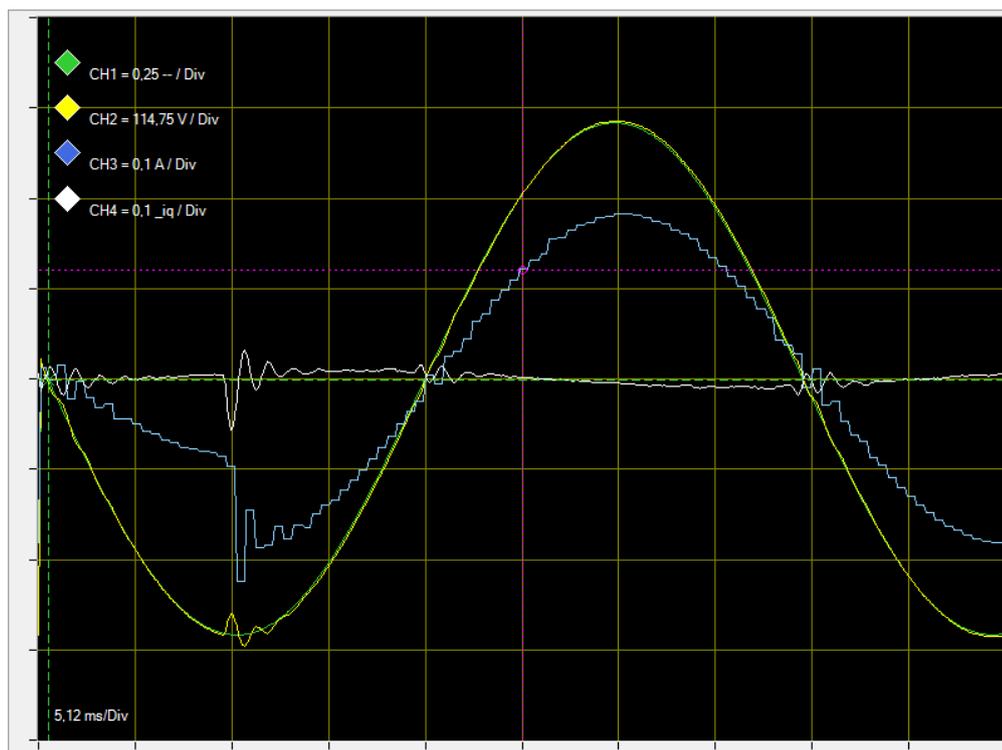


Figura 7.7: Risposta ad una variazione di carico a gradino, dal 25% al 50% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH1 0,25 -- /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 A/Div), corrente di carico; bianco (CH4 0,1 i_q /Div), errore di tensione. Asse dei tempi 5,12 ms/Div.

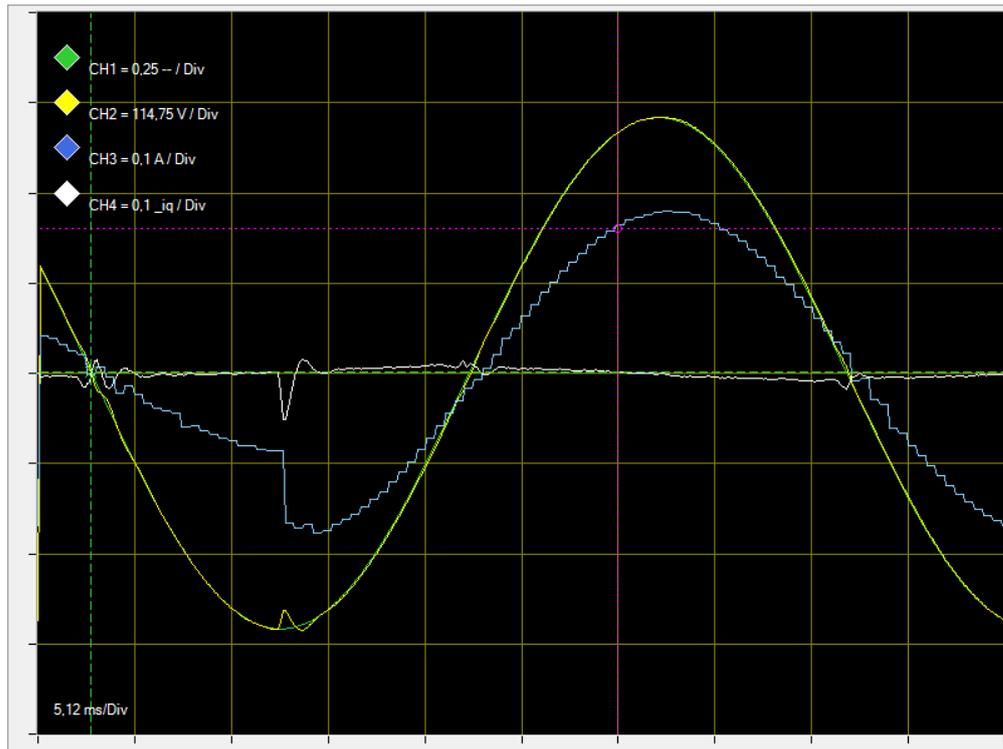


Figura 7.8: Risposta ad una variazione di carico a gradino, dal 25% al 50% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. di corrente. Verde (CH1 0,25 -- /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 0,1 A/Div), corrente di carico; bianco (CH4 0,1 i_q /Div), errore di tensione; asse dei tempi 5,12 ms/Div.

7.2.2 Carico capacitivo

Le prove con carico resistivo sono effettuate con due diverse configurazioni, corrispondenti a due potenze reattive assorbite¹:

- prova con carico capacitivo da 100 μF , corrispondente ad una potenza di 1,66 kVAR, pari al 20 % della potenza nominale. L'impedenza a 50 Hz del carico capacitivo in questione è pari a 31,8 Ω (la resistenza nominale a piena potenza è 6,35 Ω).
- Prova con carico capacitivo da 200 μF , corrispondente ad una potenza di 3,32 kVAR, pari al 40 % della potenza nominale. L'impedenza a 50 Hz del carico capacitivo in questione è pari a 16 Ω .

Per il passaggio dalla configurazione da 100 μF a quella da 200 μF , i condensatori sono scaricati connettendo temporaneamente l'uscita del carico capacitivo al banco di resistenze da 25 Ω . L'avvenuta scarica è controllata con un oscilloscopio esterno.

Carico da 100 μF

In Fig. 7.9 sono presenti i risultati ottenuti con sistema controllato in tensione, carico capacitivo da 100 μF e regolatore PID di corrente. L'unità di scala 0,1 iq/Div relativa al riferimento di corrente rappresenta un valore normalizzato all'unità, corrispondente al limite di corrente dell'inverter, pari a 132 A di picco.

In Fig. 7.10, invece, sono presenti i risultati ottenuti con sistema controllato in tensione, carico capacitivo da 100 μF e regolatore DB di corrente. La rappresentazione 50 m_iq/Div relativa al riferimento di corrente rappresenta ancora un valore normalizzato all'unità, corrispondente ai 132 A di picco, limite di corrente, con l'aggiunta di un fattore di scala pari a 10^{-3} . Come visibile il sistema con DB di corrente insegue il riferimento di corrente molto più precisamente rispetto al sistema con PID di corrente. Questo si manifesta in un inseguimento più preciso anche del riferimento di tensione, come visibile confrontando il segnale di tensione nei due casi, soprattutto nei picchi della sinusoide.

Carico da 200 μF

In Fig. 7.11 sono presenti i risultati ottenuti con sistema controllato in tensione, carico capacitivo da 200 μF e regolatore PID di corrente.

In Fig. 7.12 sono presenti i risultati ottenuti con sistema controllato in tensione, carico capacitivo da 200 μF e regolatore DB di corrente. Tali risultati confermano e rafforzano quanto evidenziato dalla risposta con carico da 100 μF . L'inseguimento di tensione del controllore con DB di corrente è migliore rispetto al sistema con PID di corrente.

¹ La potenza reattiva con carico capacitivo può essere così espressa $Q_C = \frac{V_{A,C,out}^2}{1/(2\pi f_{out} C)}$.

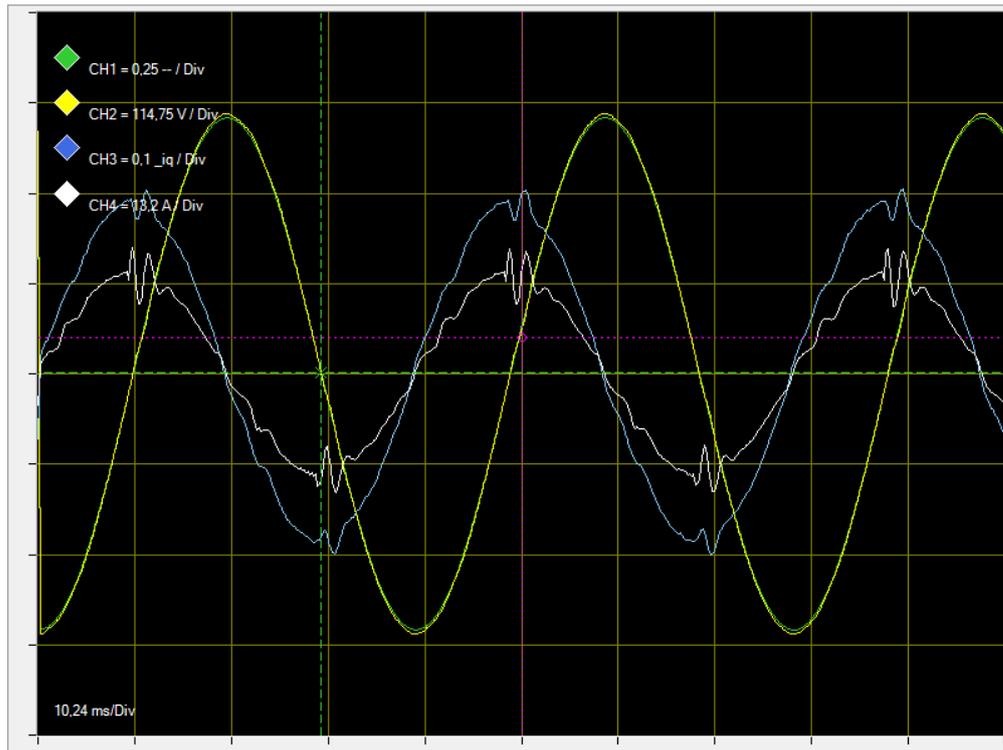


Figura 7.9: Forme d'onda del sistema controllato in tensione con carico capacitivo al 20% della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH₁ 0,25 – /Div), riferimento di tensione; giallo (CH₂ 114,75 V/Div), segnale di tensione; blu (CH₃ 0,1 i_q/Div), riferimento di corrente (di induttanza); bianco (CH₄ 13,2 A/Div), segnale di corrente (di induttanza). Asse dei tempi 10,24 ms/Div.

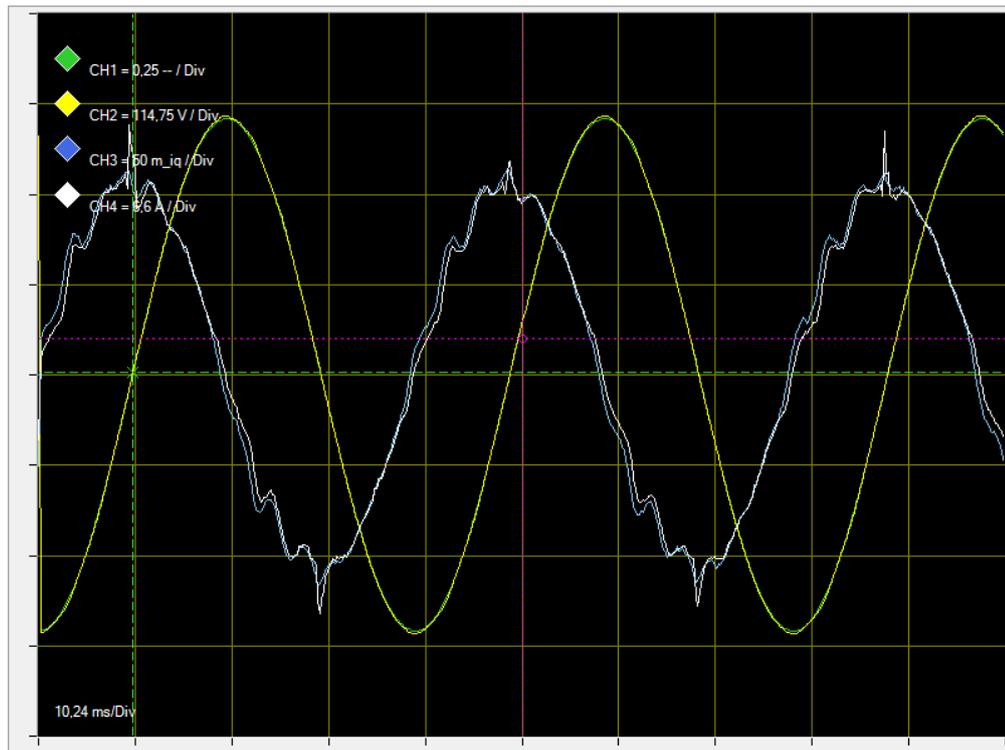


Figura 7.10: Forme d'onda del sistema controllato in tensione con carico capacitivo al 20 % della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. Verde (CH1 0,25 – /Div), riferimento di tensione; giallo (CH2 114,75 V/Div), segnale di tensione; blu (CH3 50 m_{iq}/Div), riferimento di corrente (di induttanza); bianco (CH4 13,2 A/Div), segnale di corrente (di induttanza).
Asse dei tempi 10,24 ms/Div.

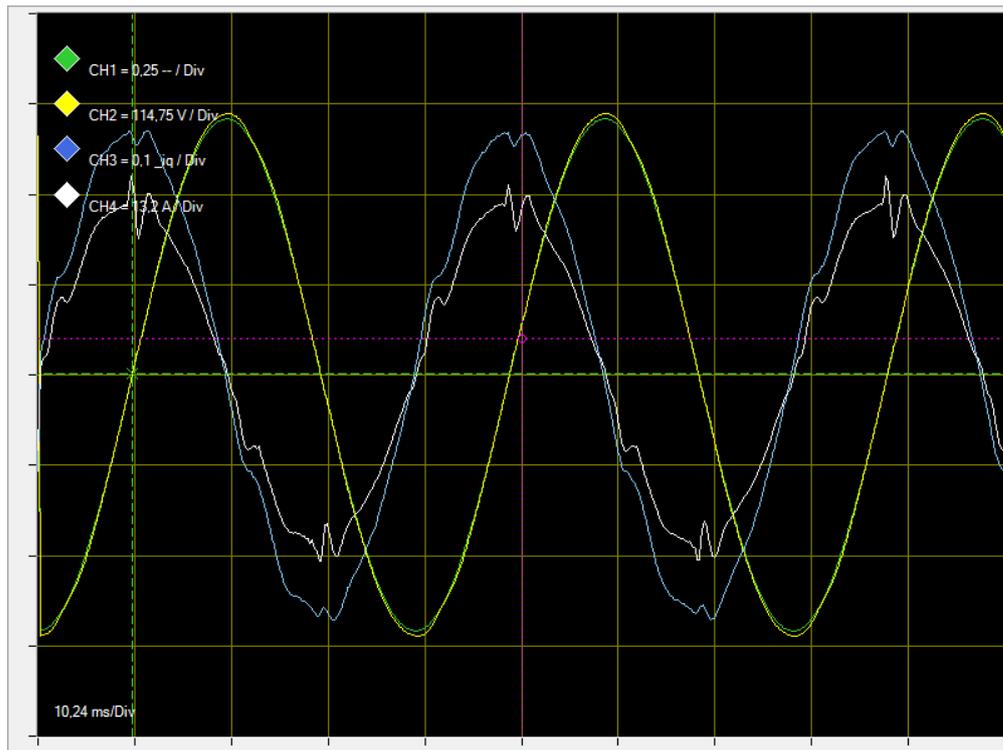


Figura 7.11: Forme d'onda del sistema controllato in tensione con carico capacitivo al 40 % della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore PID di corrente. Verde (CH₁ 0,25 – /Div), riferimento di tensione; giallo (CH₂ 114,75 V/Div), segnale di tensione; blu (CH₃ 0,1 i_q/Div), riferimento di corrente (di induttanza); bianco (CH₄ 13,2 A/Div), segnale di corrente (di induttanza).
Asse dei tempi 10,24 ms/Div.

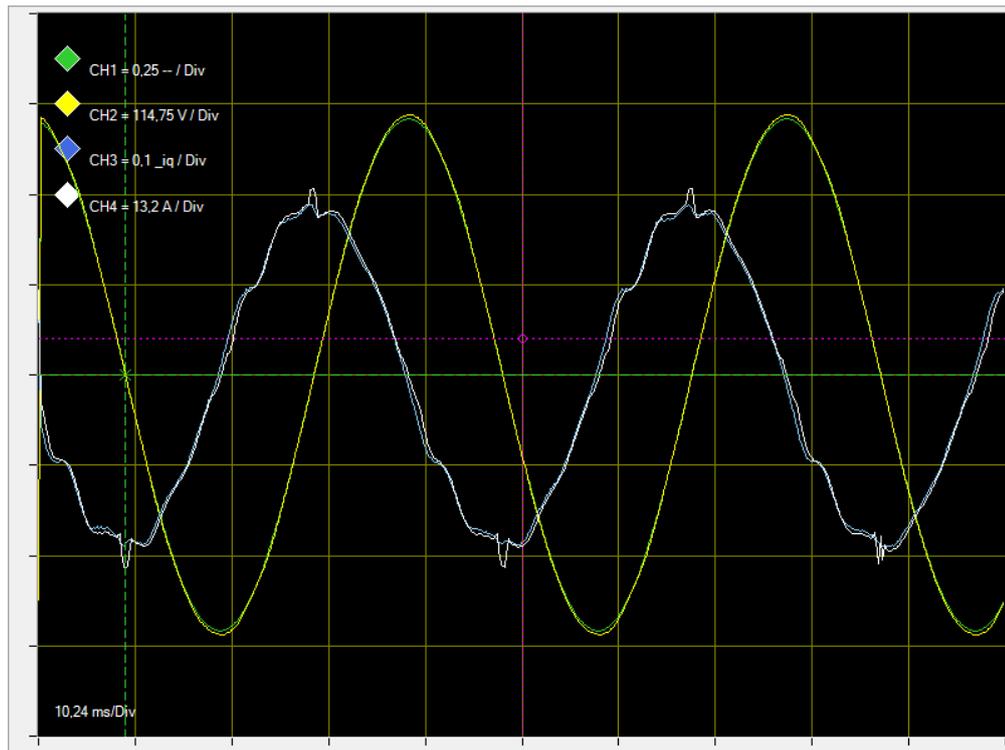


Figura 7.12: Forme d'onda del sistema controllato in tensione con carico capacitivo al 40 % della potenza nominale. Sistema controllato in tensione, regolatore PID di tensione e regolatore DB di corrente. Verde (CH₁ 0,25 V / Div), riferimento di tensione; giallo (CH₂ 114,75 V / Div), segnale di tensione; blu (CH₃ 0,1 i_q / Div), riferimento di corrente (di induttanza); bianco (CH₄ 13,2 A / Div), segnale di corrente (di induttanza).
Asse dei tempi 10,24 ms / Div.

CONCLUSIONI

Nel contesto dei sistemi elettronici di conversione dell'energia, sia per applicazione di *energy storage*, sia per gli UPS, è riservata grande attenzione alla strategia di controllo implementata. La tendenza è quella di una migrazione sempre più marcata verso sistemi digitali che realizzino funzioni di regolazione sempre più complesse, al fine di massimizzare le prestazioni ottenibili dallo specifico sistema di conversione.

Il controllore digitale multianello con regolatori DB di tensione e corrente progettato in questo lavoro rappresenta una delle possibili evoluzioni dei sistemi di controllo digitali tradizionali, basati, ad esempio, su regolatori PID.

Il regolatore DB introduce, innanzitutto, una semplificazione in termini di design rispetto alle soluzioni tipiche, in cui la determinazione del regolatore avviene imponendo delle specifiche sulla caratteristica spettrale e sulla risposta temporale del sistema controllato. Noto il modello del processo oggetto della compensazione, i parametri del regolatore DB sono direttamente derivati. Ciò si traduce in una caratteristica spettrale costante per il sistema controllato con DB, una volta noti i parametri di processo e sistema di conversione A/D e D/A.

I risultati di simulazione ottenuti evidenziano, poi, come il regolatore DB di corrente introduca notevoli vantaggi in termini dinamici sul sistema controllato, sia in corrente, sia in tensione, rispetto al caso con PID di corrente. È dimostrata, tuttavia, una maggiore sensibilità del DB alle non-idealità del sistema, anche in presenza di sistemi di compensazione, quali integrale o stimatore del disturbo. I risultati di simulazione ottenuti considerando il sistema con DB di tensione e DB di corrente, invece, mostrano come siano necessarie ulteriori affinamenti del sistema di regolazione, soprattutto nella gestione della saturazione di riferimento di corrente e duty-cycle. Per tale motivo si è deciso di non effettuare, in questa fase, test sperimentali con tale soluzione.

I risultati sperimentali, condotti con PID e DB di corrente, hanno confermato i vantaggi attesi dall'introduzione del DB di corrente, sia in controllo di corrente, sia in controllo di tensione. Sono visibili buoni miglioramenti, utilizzando il DB di corrente, sia in risposta a transitori di riferimento e carico, sia a regime con carico capacitivo.

Per completare la caratterizzazione sperimentale del sistema di controllo con DB di corrente, in ottica di uno sviluppo futuro di questo lavoro, una parte rilevante è costituita dai test con carico distorto. Oltre ciò, risulta di notevole interesse il perfezionamento del controllore DB di tensione, in modo da quantificare un ulteriore miglioramento delle prestazioni, se effettivamente presente, rispetto alla soluzione con regolatore PID. Il raggiungimento di questo obiettivo non può prescindere da un

approfondimento teorico del DB di tensione, in particolare dei sistemi ausiliari per aumentarne la robustezza.

BIBLIOGRAFIA

- [1] Arthouros Zervos. *Global Status Report*. REN21, third edition, 2016.
- [2] *Gruppi Statici di Continuità, Guida Europea*. CEMEP, Comitato europeo costruttori macchine elettriche ed elettronica di potenza, third edition.
- [3] Simone Buso and Paolo Mattavelli. *Digital Control in Power Electronics*. Morgan & Claypool, 2006. ISBN 9781598291131. doi: 10.2200/S00047ED1V01Y200609PEL002. URL <http://ieeexplore.ieee.org/xpl/articleDetails.jsp?arnumber=6813194>.
- [4] Luca Corradini, Dragan Maksimovic, Paolo Mattavelli, and Regan Zane. *Digital Control of High-Frequency Switched-Mode Power Converters*. John Wiley & Sons, 2015.
- [5] Simone Buso. *Introduzione alle applicazioni industriali di microcontrollori e DSP*. Società editrice Esculapio, 2016. ISBN 9788874888399. doi: 10.15651/978-88-748-8839-9.
- [6] P. Mattavelli. An improved deadbeat control for ups using disturbance observers. *IEEE Transactions on Industrial Electronics*, 52(1):206–212, Feb 2005. ISSN 0278-0046. doi: 10.1109/TIE.2004.837912.
- [7] Paolo Mattavelli. *Appunti del corso di Conversione Statica dell'Energia*. –.
- [8] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama. A survey on neutral-point-clamped inverters. *IEEE Transactions on Industrial Electronics*, 57(7):2219–2230, July 2010. ISSN 0278-0046. doi: 10.1109/TIE.2009.2032430.
- [9] S. Buso, S. Fasolo, and P. Mattavelli. Uninterruptible power supply multiloop control employing digital predictive voltage and current regulators. *IEEE Transactions on Industry Applications*, 37(6):1846–1854, Nov 2001. ISSN 0093-9994. doi: 10.1109/28.968200.
- [10] S. Buso, T. Caldognetto, and D. I. Brandao. Oversampled dead-beat current controller for voltage source converters. In *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, pages 1493–1500, March 2015. doi: 10.1109/APEC.2015.7104545.
- [11] Ned Mohan, Tore M. Undeland, and William P. Robbins. *Power Electronics. Converters, Applications and Design*. John Wiley and Sons, Inc, third edition, 2003.

- [12] Paolo Mattavelli. *Appunti del corso di Power and Energy Electronics*. 2017.
- [13] Robert W. Erickson and Dragan Maksimovic. *Fundamentals of Power Electronics*. Springer, 2ed edition, 2001.
- [14] Bimal K. Bose. *Modern Power Electronics and AC Drives*. Prentice Hall PTR, 2002.
- [15] Roberto Oboe. *Appunti del corso di Progettazione di Sistemi di Controllo*. 2017.
- [16] G. C. Verghese, M. E. Elbuluk, and J. G. Kassakian. A general approach to sampled-data modeling for power electronic circuits. *IEEE Transactions on Power Electronics*, PE-1(2):76–89, April 1986. ISSN 0885-8993. doi: 10.1109/TPEL.1986.4766286.
- [17] R.D. Middlebrook. Predicting modulator phase lag in pwm converter feedback loops. *Advances in switched-mode power conversion*, I:245–250, 1981.
- [18] Karl Johan Åström and Björn Wittenmark. *Computer-controlled systems : theory and design (3 ed.)*. Prentice-Hall, 1997. ISBN 0-13-314899-8.
- [19] A. V. Peterchev and S. R. Sanders. Quantization resolution and limit cycling in digitally controlled pwm converters. *IEEE Transactions on Power Electronics*, 18(1): 301–308, Jan 2003. ISSN 0885-8993. doi: 10.1109/TPEL.2002.807092.
- [20] G. H. Bode, P. C. Loh, M. J. Newman, and D. G. Holmes. An improved robust predictive current regulation algorithm. In *The Fifth International Conference on Power Electronics and Drive Systems, 2003. PEDS 2003.*, volume 2, pages 1058–1063 Vol.2, Nov 2003. doi: 10.1109/PEDS.2003.1283118.
- [21] L. Malesani, P. Mattavelli, and S. Buso. Robust dead-beat current control for pwm rectifiers and active filters. *IEEE Transactions on Industry Applications*, 35(3): 613–620, May 1999. ISSN 0093-9994. doi: 10.1109/28.767012.
- [22] P. Mattavelli, G. Spiazzi, and P. Tenti. Predictive digital control of power factor preregulators with input voltage estimation using disturbance observers. *IEEE Transactions on Power Electronics*, 20(1):140–147, Jan 2005. ISSN 0885-8993. doi: 10.1109/TPEL.2004.839821.
- [23] A. R. Munoz and T. A. Lipo. On-line dead-time compensation technique for open-loop pwm-vsi drives. *IEEE Transactions on Power Electronics*, 14(4):683–689, Jul 1999. ISSN 0885-8993. doi: 10.1109/63.774205.
- [24] O. Kukrer. Deadbeat control of a three-phase inverter with an output lc filter. *IEEE Transactions on Power Electronics*, 11(1):16–23, Jan 1996. ISSN 0885-8993. doi: 10.1109/63.484412.

- [25] O. Kukrer and H. Komurcugil. Deadbeat control method for single-phase ups inverters with compensation of computation delay. *IEE Proceedings - Electric Power Applications*, 146(1):123–128, Jan 1999. ISSN 1350-2352. doi: 10.1049/ip-epa:19990215.
- [26] S. Buso and T. Caldognetto. A nonlinear wide-bandwidth digital current controller for dc-dc and dc-ac converters. *IEEE Transactions on Industrial Electronics*, 62(12):7687–7695, Dec 2015. ISSN 0278-0046. doi: 10.1109/TIE.2015.2465351.
- [27] A. Nabae, I. Takahashi, and H. Akagi. A new neutral-point-clamped pwm inverter. *IEEE Transactions on Industry Applications*, IA-17(5):518–523, Sept 1981. ISSN 0093-9994. doi: 10.1109/TIA.1981.4503992.
- [28] H. C. Skudelny H. W. van der Broeck and G. V. Stanke. Analysis and realization of a pulse width modulator based on voltage space vectors. *IEEE Transactions on Industrial Application*, 24(1):142–150, 1988.
- [29] A. Maddi, A. Guessoum, and D. Berkani. Design of nonlinear pid-smith predictor controllers with large time delays. In *2015 Third World Conference on Complex Systems (WCCS)*, pages 1–4, Nov 2015. doi: 10.1109/ICoCS.2015.7483219.
- [30] D. L. Laughlin and M. Morari. Smith predictor design for robust performance. In *1987 American Control Conference*, pages 637–642, June 1987. doi: 10.1080/00207178708933912.