

UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA TRIENNALE IN
INGEGNERIA ELETTRONICA

Analisi e Simulazione dell'amplificatore operazionale 741

Relatore:

PROF. MATTEO MENEGHINI

Laureando:

JOHNNY TONON

1217858

Anno Accademico 2021/2022

Indice

1	Un po' di storia	1
2	Pin-out e schematico dispositivo	2
3	Analisi comportamentale del circuito	3
3.1	Bias Circuit	3
3.1.1	Current Reference Circuit	4
3.1.2	Voltage Reference Circuit	5
3.2	First Stage	6
3.2.1	Stadio Differenziale	6
3.2.2	Carico Attivo	8
3.2.3	Comportamento di modo differenziale e comune dello stadio	9
3.3	Second Stage	11
3.4	Third Stage	12
3.5	ShortCircuit Protection	13
4	Analisi DC del circuito	15
4.1	Analisi DC Current Reference Circuit	16
4.2	Analisi DC First Stage	17
4.3	Analisi DC Second Stage	19
4.4	Analisi DC Voltage Reference Circuit	19
4.5	Analisi DC Third Stage	20
5	Analisi AC del circuito	22
5.1	Analisi AC First Stage	22
5.2	Analisi AC Second Stage	27
5.3	Analisi AC Third Stage	29
5.4	Guadagno AC e CMRR	32
5.4.1	Guadagno AC	32
5.4.2	CMRR	32

6	Risposta in frequenza	36
6.0.1	Stima della frequenza di taglio e banda del dispositivo	36
6.0.2	Simulazione LTSpice della risposta in frequenza	37
7	Conclusioni e Ringraziamenti	40

Elenco delle figure

1	Chip dell'amplificatore operazionale 741 TO-99 metal package	1
2	Pinout 741 package generico	2
3	Schematico 741	3
4	Current Reference Circuit	4
5	Modello transistor a doppio collettore	5
6	Voltage Reference Circuit	6
7	Due stadi differenziali a confronto	7
8	Carico attivo dello stadio differenziale	8
9	Second Stage	11
10	Output Stage	12
11	Protezione da cortocircuito per Q_{14}	13
12	Protezione da cortocircuito per Q_{20}	14
13	Convenzioni correnti per i BJT npn e pnp	15
14	Circuito AC Input Stage	23
15	Schematico AC Input Stage(a sinistra) e modello ai piccoli segnali di Q_1 e Q_3 (a destra) utilizzati per i calcolo della transconduttanza e resistenza d'ingresso	24
16	Schematico AC dell'Input Stage con generatore di prova v_x collegato al nodo di uscita per il calcolo della resistenza R_{o1}	25
17	Modello doppio bipolo a parametri y equivalente al First Stage	27
19	Circuito AC del secondo stadio utilizzato per il calcolo di R_{o2}	29
20	Modello doppio bipolo a parametri y equivalente al Second Stage	29
22	Modello doppio bipolo a parametri g equivalente al Third Stage Stage	32
23	Modello doppio bipolo equivalente all'intero circuito	33

24	Circuito AC equivalente al First Stage con tensioni d'ingresso di modo comune	34
25	Grafico di Bode del modulo $A_o(s)$	37
26	Circuito di simulazione utilizzato per ricavare il guadagno differenziale in "Open-loop" del dispositivo	38
27	Grafico di modulo e fase del guadagno "open-loop" del dispositivo simulato	38

Abstract

Lo scopo quello di questo elaborato è di analizzare lo schema circuitale dell'amplificatore operazionale 741 e simularne la risposta in frequenza utilizzando le conoscenze teoriche acquisite in ambito accademico nel corso di questi tre anni. Una volta identificati i vari blocchi circuitali dello schematico, verrà effettuata in primo luogo un'analisi comportamentale del circuito ad alto livello, successivamente si procederà con l'analisi in DC per calcolarne il punto di lavoro e con l'analisi in AC, nella quale verranno calcolati i modelli equivalenti a doppio bipolo dei tre stadi principali con scopo di calcolare il guadagno di tensione complessivo e il CMRR dell'amplificatore. Infine verranno fatte alcune stime riguardanti la risposta in frequenza del dispositivo seguite da una simulazione realizzata attraverso il programma LTSpice per ricavare i grafici "reali" di modulo e fase della funzione di trasferimento.

1 Un po' di storia

L'amplificatore Operazionale 741 è uno storico circuito integrato idealizzato dall'ingegnere David Fullagar e inizialmente commercializzato dalla Fairchild Semiconductor nel 1967 con il nome di " μ a741". Passato alla storia come uno dei circuiti integrati più venduti nell'industria elettronica, il 741 è stato anche il primo amplificatore operazionale robusto e affidabile ad essere utilizzato per applicazioni ingegneristiche implementando diversi tipi di circuiti come: comparatori, multivibratori, amplificatori DC, filtri attivi, sommatore ecc.

Il 741 è un "OpAmp General Purpose" implementato a BJT ed è caratterizzato da eccellenti prestazioni generali: alto guadagno, alto CMRR, alta resistenza in ingresso, bassa resistenza in uscita e buona risposta in frequenza. Esso è anche dotato di protezioni anti-cortocircuito e di protezioni contro le sovratensioni in ingresso.

Un'innovazione chiave, di cui il 741 fu il pioniere, fu la dotazione di un condensatore interno al chip per la compensazione in frequenza, infatti Fairchild sviluppò un nuovo processo per la costruzione di condensatori su circuiti integrati utilizzando nitruro di silicio. Gli amplificatori operazionali precedenti al 741 richiedevano un condensatore esterno per la compensazione in frequenza, il che risultava molto scomodo, così Dave Fullagar ebbe l'idea di inserire il condensatore di compensazione nel chip dell'amplificatore operazionale sfruttando il nuovo processo di produzione, a discapito di una grande occupazione d'area del circuito integrato (parte evidenziata in verde nella figura(1)).

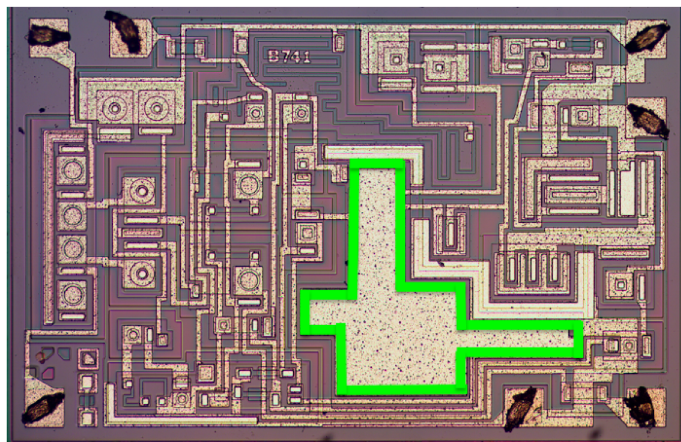


Figura 1: Chip dell'amplificatore operazionale 741 TO-99 metal package

Un'altra caratteristica che ai tempi rese popolare il 741 fu la sua protezione da cortocircuito: molti circuiti integrati si surriscaldano e si autodistruggono se si cortocircuita accidentalmente un'uscita; invece, il 741 include dei circuiti intelligenti per spegnere l'uscita prima che si verifichino dei danni al dispositivo.

Dunque, grazie al suo stile di progetto semplice ed efficace, divenne presto uno standard industriale dando origine a diverse varianti che vennero realizzate anche da altre aziende specializzate nella realizzazione e fornitura di dispositivi analogici come:

- Texas Instrument che realizzò l'equivalente SN52741;
- National Semiconductor che realizzò l'equivalente LM741;

- Motorola che realizzò l'equivalente MC1741); e tante altre.

In questo documento verrà svolta un'analisi del circuito che implementa il $\mu a741$ di Fairchild.

2 Pin-out e schematico dispositivo

Pin-Out Il dispositivo è disponibile attraverso diversi package ma generalmente è dotato di 8 pin numerati, di cui solo 7 sono quelli effettivi. I pin 2,3 e 6 sono quelli più significativi e svolgono i seguenti ruoli:

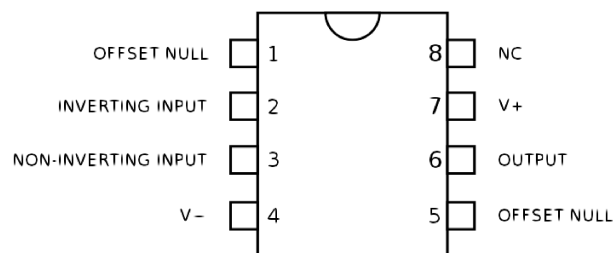


Figura 2: Pinout 741 package generico

- Pin 2: Pin per l'ingresso invertente
- Pin 3: Pin per l'ingresso non invertente
- Pin6: Pin di uscita

Seguono poi le coppie di pin 4,7 e 1,5 dediti rispettivamente all'alimentazione e al bilanciamento di eventuali tensioni di offset:

- Pin 4: Pin per l'alimentazione positiva
- Pin 7: Pin per l'alimentazione negativa
- Pin 1,6: Pin di "Balance" o "Offset Null"

Schematico Lo schematico del dispositivo è rappresentato in figura 3 e si possono definire 3 stadi principali:

1. First Stage o Input Stage: da Q_1 a Q_7 più Q_8-Q_9
2. Second Stage o Gain Stage: Q_{16} , Q_{17} più Q_{13B}
3. Third Stage o Output Stage: Q_{14} , Q_{20}

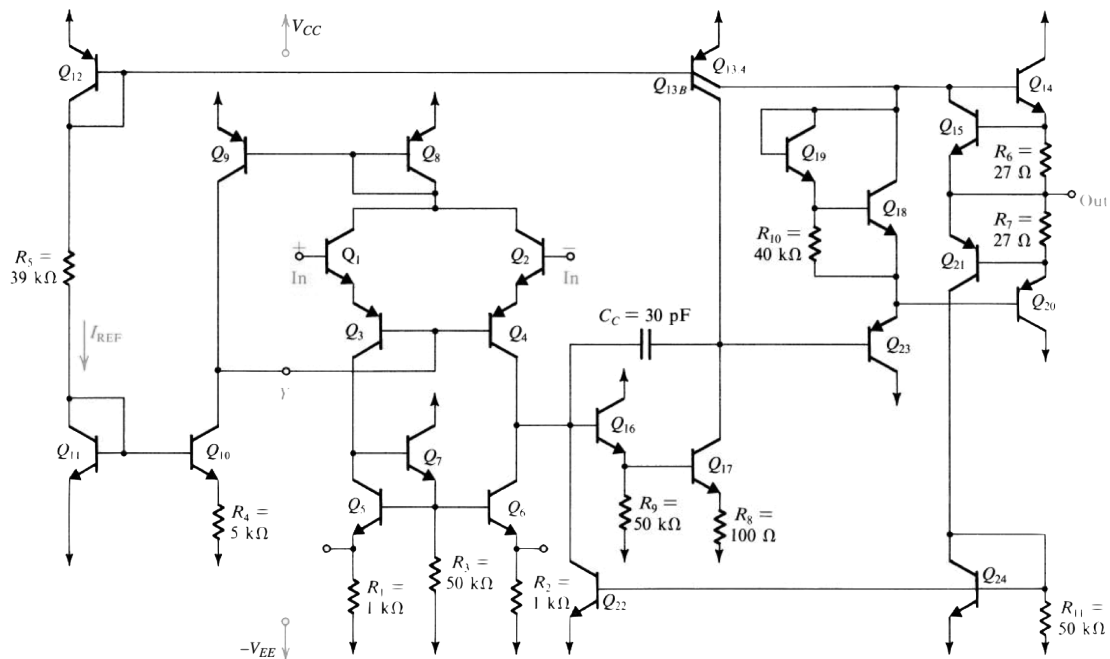


Figura 3: Schematico 741

Oltre a questi tre stadi principali sono presenti altri due blocchi circuitali:

1. Bias Circuit da Q_{10} , Q_{11} , Q_{12} , Q_{13} , Q_{18} , Q_{19}
2. Shortcircuit Protection Circuitry: Q_{15} , Q_{21} , Q_{24} , Q_{22} .

3 Analisi comportamentale del circuito

3.1 Bias Circuit

Il Bias Circuit, o circuito di polarizzazione, è composto da due diversi tipi di circuito:

1. Il circuito di “Current Reference” che si occupa di fornire le correnti di polarizzazione ai 3 stadi del 741, composto dai transistor Q_{10} , Q_{11} , Q_{12} , Q_{13} (Q_{13A} e Q_{13B}) più il resistore R_4 .
2. Il circuito di “Voltage Reference” composto dai transistor Q_{19} , Q_{20} e il resistore R_{10} , che si occupa di fornire la tensione necessaria alle giunzioni base-emettitore dei transistor che realizzano lo stadio di uscita allo scopo di garantirne un funzionamento ottimale.

Entrambi i circuiti hanno lo scopo di fornire le corrette grandezze DC ai 3 stadi del circuito fissandone il punto di lavoro.

3.1.1 Current Reference Circuit

Il circuito di "Current Reference" utilizza due specchi di corrente per polarizzare i componenti che realizzano il dispositivo:

1. Specchio di corrente implementato dai transistor pnp Q_{12} e Q_{13A} - Q_{13B} .
2. Specchio di corrente Widlar implementato dai transistor npn Q_{10} , Q_{11} e R_4 .

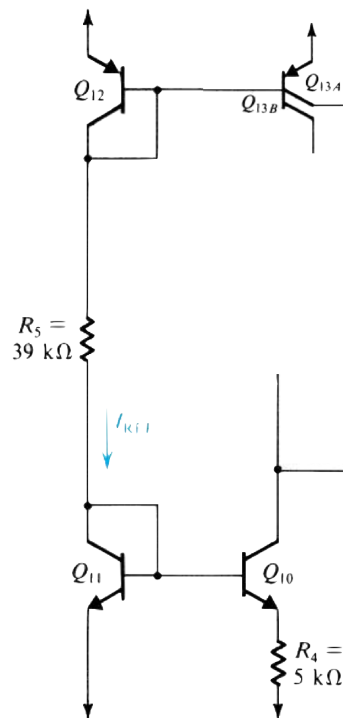


Figura 4: Current Reference Circuit

Questi due specchi di corrente sono collegati dal resistore R_5 che si interpone tra il nodo di collettore di Q_{11} e il nodo di collettore di Q_{12} , i quali, in connessione a diodo, permettono di fissare in maniera stabile la corrente di riferimento per l'intero circuito. Essa dipende dal valore resistivo di R_5 e dall'alimentazione fornita al dispositivo e dunque, a seconda delle tensioni presenti ai pin 4 e 7 del package, il valore di riferimento di tale corrente tenderà a cambiare.

Una volta fissate le tensioni di alimentazione il transistor Q_{13} specchierà I_{REF} verso due parti del circuito: questo è possibile poiché il BJT Q_{13} è un transistor differente rispetto a quelli che implementano il resto del dispositivo, trattandosi di un transistor a doppio collettore la cui struttura realizzativa è presentata in figura (5).

Senza perdite di generalità, esso può essere modellato con due transistor distinti le cui giunzioni base-emettitore sono connesse in parallelo (Q_{13A} e Q_{13B}). La caratteristica fondamentale di Q_{13} è che i due transistor da cui è formato hanno due correnti di saturazione inversa differenti e inferiori alla corrente di saturazione degli altri transistor, in particolare

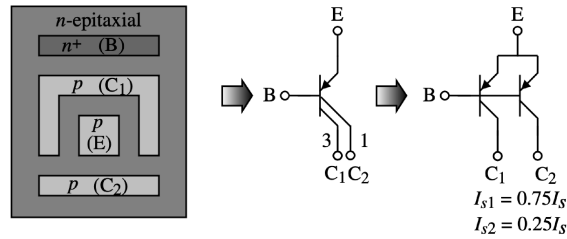


Figura 5: Modello transistor a doppio collettore

Q_{13B} ha una I_S pari a 3/4 della corrente di saturazione di progetto, mentre Q_{13A} ha una corrente di saturazione pari al restante 1/4.

Questo doppio collettore viene utilizzato per polarizzare due parti di circuito differenti:

1. Q_{13A} fornisce corrente ai nodi di collettore di Q_{19} e Q_{18} (Voltage Reference) e una piccola corrente di base Q_{14} (Output Stage).
2. Q_{13B} fornisce corrente di base per Q_{23} (Output Stage) e corrente di collettore per Q_{17} (Second Stage) svolgendo anche il ruolo di carico attivo per quest'ultimo.

Questo specchio di corrente, essendo implementato a BJT, non ha un rapporto di specchio perfettamente unitario e dipende dal β_F del transistor; infatti, la corrente totale specchiata da Q_{13} è uguale a:

$$I_{C13} = I_{REF} \frac{\beta_{f_{pnp}}}{\beta_{f_{pnp}} + 2} \quad (1)$$

La corrente I_{REF} viene specchiata anche dallo specchio di Widlar. Si tratta di uno specchio di corrente simile a quello “classico” con la differenza che il transistor di uscita (Q_{10}) è in configurazione a emettitore comune “degenere”, ovvero il nodo di emettitore è collegato all'alimentazione negativa attraverso un resistore (R_4). La presenza di R_4 permette di ottenere un rapporto di specchio inferiore all'unità e regolato proprio dal valore R_4 stesso:

$$R_4 = \frac{V_T}{I_{C10}} \ln \left(\frac{I_{C10}}{I_S} \right) \quad (2)$$

Da questa relazione può essere ricavato in modo iterativo il valore di R_4 a seconda della corrente di riferimento I_{C10} che si vuole avere in uscita. La corrente in uscita dallo specchio di Widlar viene utilizzata dall'Input Stage come riferimento per il circuito di controllo della tensione comune, come verrà spiegato successivamente.

3.1.2 Voltage Reference Circuit

Il circuito di Voltage Reference è implementato dai transistor Q_{19} , Q_{18} e dal resistore R_{10} ed ha il compito di fornire ai nodi di uscita una tensione DC tale da tenere sufficientemente accesi i transistor dell'amplificatore in classe AB (Q_{14} e Q_{20}) dell'Output Stage.

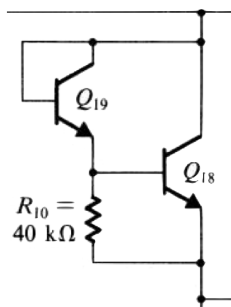


Figura 6: Voltage Reference Circuit

La tensione che il circuito deve garantire tra i nodi di collettore ed emettitore di Q_{18} è circa 1.1-1.2 V infatti, grazie alla resistenza R_1 connessa in parallelo alla giunzione base-emettitore di Q_{18} , ($V_{BE18} \approx 0.6V$) viene imposto il valore della corrente di collettore di Q_{19} poiché quest'ultima è data dalla somma della corrente di base di Q_{18} (molto piccola) e della corrente che scorre su R_1 . Alla luce di ciò, nota la relazione tra corrente di collettore e tensione base-emettitore, imponendo una corrente di collettore a Q_{19} , vengono fissate le tensioni di base-emettitore e collettore-emettitore del transistor, essendo in connessione a diodo. Infine, la giunzione base-collettore di Q_{18} è connessa in parallelo al transistor Q_{19} , e quindi si ricava che:

$$\begin{aligned}
 V_{CE18} &= V_{CB18} + V_{BE18} \\
 &= V_{CE19} + V_{BE18} \\
 &= V_{BE19} + V_{BE18} \\
 &= V_{BE19} + V_{BE18} = V_T \ln\left(\frac{I_{C19}}{I_S}\right) + V_T \ln\left(\frac{I_{C18}}{I_S}\right)
 \end{aligned} \tag{3}$$

Concludendo, in fase di progetto, il valore di R_1 è stato scelto in modo che $V_{CE18} \approx 1.1$ V così da poter iniettare nelle basi Q_{14} e Q_{20} delle correnti sufficienti a tenere i due transistor in "debole" conduzione.

3.2 First Stage

Lo stadio d'ingresso è costituito dai transistor numerati da 1 a 7 e dai 3 resistori R_1 , R_2 e R_3 . I BJT Q_1 , Q_2 , Q_3 , Q_4 realizzano l'ingresso differenziale dell'input stage mentre i BJT Q_5 , Q_6 , Q_7 e i 3 resistori compongono il carico attivo proprio dello stadio differenziale. Possiamo includere nello stadio d'ingresso anche Q_8 e Q_9 poiché essi implementano lo specchio di corrente che prende parte al "negative-feedback" per il controllo della tensione di modo comune.

3.2.1 Stadio Differenziale

Q_1 e Q_2 sono i transistor presenti ai terminali d'ingresso e sono configurati come inseguitori di emettitore (collettore comune) mentre i transistor pnp Q_3 e Q_4 sono in configurazione

“common-base”, con le rispettive basi cortocircuitate. Come si vede dallo schematico, Q_1 e Q_2 sono pilotati in base dai segnali d’ingresso, mentre Q_3 e Q_4 sono pilotati dagli emettitori di Q_1 e Q_2 attraverso il nodo di emettitore.

Si noti che questa configurazione d’ingresso risulta molta diversa dalla classica configurazione “long tailed-pair” che si è soliti a vedere, in quanto:

- Non è presente una sola coppia di transistor ad emettitore comune bensì vi sono due coppie di transistor complementari in serie CC-CB;
- Nel 741 sono i nodi di base dei due pnp Q_3 e Q_4 ad essere cortocircuitati e, grazie ad un circuito di controllo, è proprio tale nodo ad essere sensibile alla tensione di modo comune. Invece, nella configurazione “long-tailed pair”, sono gli emettitori dei due npn ad essere cortocircuitati lasciando al carico resistivo il ruolo di sopprimere la componente di modo comune all’uscita;
- Nel “long-tailed pair” la tensione di uscita è di tipo differenziale. Nel 741 lo stadio d’ingresso è dotato di un carico attivo capace di invertire e specchiare la corrente uscente da Q_3 e quindi convertire il segnale d’uscita da differenziale a “single ended”.

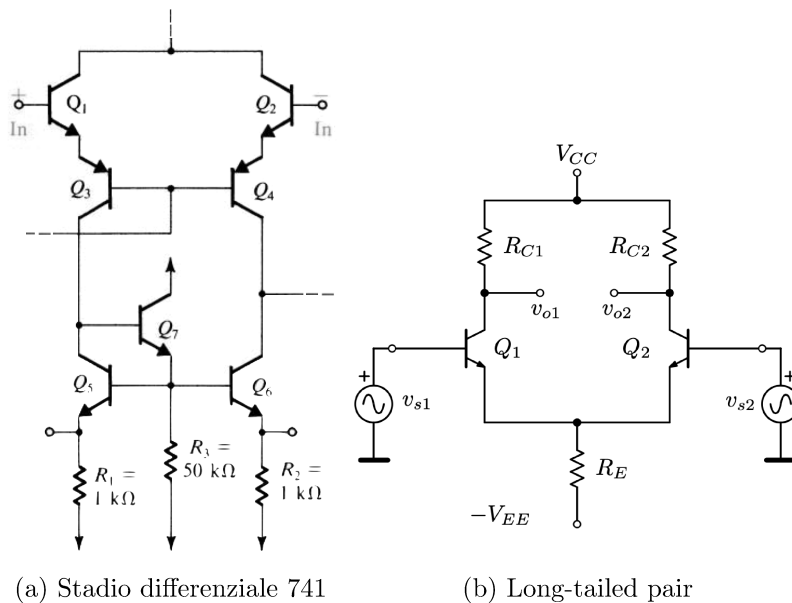


Figura 7: Due stadi differenziali a confronto

Queste differenze rispetto ad una configurazione base permettono allo stadio d’ingresso di ottimizzare le proprie prestazioni in quanto:

- La presenza di Q_3 e Q_4 pilotati dall’emettitore con basi cortocircuitate permette di:
 1. Evitare l’effetto Miller tipico dei transistor pnp;
 2. Proteggere le giunzioni B-E di Q_1 e Q_2 da eventuali sovratensioni in ingresso poichè, se erroneamente fosse applicata una tensione inversa alla giunzione base-emettitore di Q_1 e Q_2 superiore a quella supportata da un BJT npn (circa 7V) i due pnp collegati in serie, che possono sostenere tensioni inverse fino a 30V, ne eviterebbero la rottura;

3. Avere un “level-shifter” in grado di traslare il segnale DC: nei “general-purpose amplifier” come il 741 si ricorre a dei transistor pnp per poter spostare il livello della tensione DC del segnale amplificato verso valori più negativi in modo da poter massimizzare il range di “swing” del segnale in uscita;
- L’impedenza d’ingresso di tipo differenziale è elevata grazie alla disposizione in serie di Q_1 - Q_3 e Q_2 - Q_4 ;
 - La presenza del carico attivo permette di mantenere un alto guadagno differenziale grazie alla sua elevata resistenza d’uscita.

3.2.2 Carico Attivo

Il secondo livello dell’Input Stage è formato dai transistor Q_5 , Q_6 , Q_7 e dai resistori R_1, R_2, R_3 : essi compongono il “Current Mirror with Base Compensation” che funge da carico attivo per l’amplificatore differenziale.

Il circuito preleva la corrente in uscita dal collettore di Q_3 attraverso il collettore di Q_5 (in connessione a diodo) con lo scopo di specchiarla al nodo di uscita dello stadio d’ingresso tramite il collettore di Q_6 . Il rapporto di corrente riflessa di questo specchio è molto più preciso rispetto a quello di uno standard “Current Mirror” ed inoltre meno dipendente dal parametro grazie all’inseguitore di emettitore Q_7 , il quale permette di ridurre la quantità di corrente che sarebbe richiesta a Q_3 per pilotare le basi di Q_5 e Q_6 a scapito di una piccola corrente di base sottratta al collettore di Q_3 stesso.

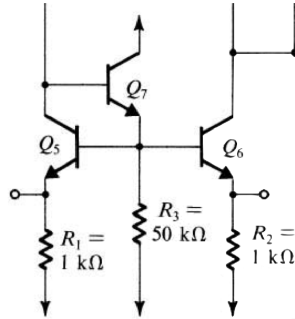


Figura 8: Carico attivo dello stadio differenziale

In questo modo la stessa quantità di corrente uscente da Q_3 viene portata al nodo di uscita dello stadio d’ingresso, al quale fluisce anche la corrente in uscita dal collettore di Q_4 . Come già anticipato, un tale carico “dinamico” a supporto dell’amplificatore differenziale “single-ended” permette di non avere perdite di corrente al nodo d’uscita e conseguentemente il guadagno differenziale dello stadio viene mantenuto alto; inoltre riesce a garantire una resistenza d’uscita elevata per via della resistenza di Early tra collettore ed emettitore del transistor Q_6 in serie con R_2 . Il resistore R_1 , dello stesso valore di R_2 , serve a dare simmetria allo specchio di corrente mentre il resistore R_3 viene utilizzato per aumentare la corrente su Q_7 al fine di polarizzarlo ad una corrente elevata e quindi aumentarne il guadagno β_{07} .

Ai nodi di emettitore di Q_5 e Q_6 sono collegati i pin 1 e 6 del dispositivo, i quali vengono utilizzati per compensare dall’esterno la tensione di offset intrinseca al circuito che

si presenta ai morsetti d'ingresso a causa dell'imperfetto abbinamento (“mathcing”) dei componenti. Questa tensione, di cui non è noto a priori nè il segno nè il morsetto sulla quale essa si presenterà, causa una distorsione del segnale di uscita che risulterà diverso da zero anche quando gli ingressi v_+ e v_- saranno cortocircuitati. In aggiunta, attraverso i terminali 1 e 6, è possibile collegare un potenziometro così da realizzare un partitore resistivo tra R_1 e R_2 in grado di compensare la tensione di Offset.

3.2.3 Comportamento di modo differenziale e comune dello stadio

Parlando di un amplificatore operazionale e in particolare modo di uno stadio ad amplificatore differenziale, diventa necessario scomporre i segnali ai morsetti v_+ e v_- in due componenti:

1. Componente di modo comune, che considera il segnale medio tra i due ingressi:

$$v_{DM} = v_+ - v_-$$

2. Componente detta di modo differenziale, che considera la differenza tra i due segnali:

$$v_{CM} = \frac{v_+ + v_-}{2}$$

Si noti che in questo modo, sommando e sottraendo membro a membro le due equazioni riportate qui sopra si ottiene la seguente definizione dei segnali v_+ e v_- :

$$\begin{aligned} v_+ &= v_{CM} + \frac{v_{DM}}{2} \\ v_- &= v_{CM} - \frac{v_{DM}}{2} \end{aligned} \tag{4}$$

Ne consegue che, come per i segnali d'ingresso, anche il comportamento del circuito può essere diviso in due omonimi “comportamenti”:

1. Comportamento di modo comune: lavoro svolto dal circuito quando ad esso viene fornito in ingresso un segnale di modo comune.
2. Comportamento di modo differenziale: lavoro svolto dal circuito quando ad esso viene fornito in ingresso un segnale puramente differenziale.

Comportamento di modo comune Se i due segnali in ingresso al dispositivo crescono (o decrescono) leggermente nella stessa direzione rispetto ad un valore precedente, la tensione di modo differenziale dei due segnali non cambia, bensì cambia la tensione di modo comune. Poiché un buon amplificatore operazionale deve essere sensibile soltanto alle variazioni di tensione di modo differenziale, eventuali commutazioni della componente comune dei segnali in ingresso non dovrebbero essere amplificate dallo stadio differenziale e nemmeno dall'operazionale stesso. A tale scopo il 741 è dotato di un'apposita circuiteria di controllo, denominata “Common Control Loop”.

Il feedback negativo del Common Control Loop è realizzato dai transistor Q_8 , Q_9 e Q_{10} . Q_8 e Q_9 compongono uno specchio di corrente a pnp che svolge un ruolo fondamentale per

il controllo: essi, infatti, permettono di “misurare” la somma delle correnti entranti nei collettori di Q_1 e Q_2 e specchiarla sul ramo collegato al nodo di base di Q_3 e Q_4 , al quale è connesso anche lo specchio di Widlar del Bias Circuit mediante il collettore di Q_{10} . Lo specchio di Widlar genera un riferimento costante di corrente, di conseguenza per la LKC, applicata al nodo di collettore di Q_{10} , le basi di Q_3 e Q_4 devono assorbire una corrente pari alla differenza tra la corrente specchiata da Q_9 e la corrente entrante nel collettore di Q_{10} . Da ciò si otterrà un vero e proprio anello di controllo che misura la corrente assorbita da Q_1 e Q_2 e conseguentemente regola la corrente entrante al nodo di base di Q_3 e Q_4 , il quale sarà costretto a commutare seguendo le variazioni della tensione di modo comune.

A livello operativo il Common Control Loop si comporta nel seguente modo: se la somma delle correnti entranti nei collettori di Q_1 e Q_2 dovesse aumentare a causa di un incremento della tensione di modo comune all’ingresso, supponendo che la corrente di riferimento specchiata da Q_{10} rimanga costante, Q_8 e Q_9 specchierebbero la nuova somma di correnti verso il nodo di base di Q_3 e Q_4 e secondo la LKC applicata a tale nodo, la somma della corrente entrante nelle basi di Q_3 e Q_4 sarà costretta a diminuire. Infine, caleranno anche le correnti di emettitore di Q_1 e Q_2 , entranti allo stesso nodo di I_{E3} e I_{E4} , e con esse anche I_{C1} e I_{C2} . Si noti che quest’ultima variazione si oppone alla variazione iniziale di I_{C1} e I_{C2} che ha scaturito l’intervento del Common Control Loop, che annulla l’aumento iniziale di queste correnti, riportando lo stadio differenziale allo stato di equilibrio precedente alla variazione della tensione di modo comune.

Ugualmente, se la tensione di modo comune in ingresso dovesse diminuire, anche le correnti di collettore dello stadio differenziale diminuirebbero; dunque, Q_9 specchierebbe verso il collettore di Q_{10} una corrente minore e le basi di Q_3 e Q_4 sarebbero costrette ad assorbire più corrente per compensare tale perdita. Mentre nel caso precedente il nodo di base di Q_3 e Q_4 subiva un aumento del proprio potenziale, in quest’ultimo, tale potenziale sarà costretto ad abbassarsi con un conseguente incremento di I_{C1} e I_{C2} e un ripristino dell’equilibrio iniziale del circuito.

Dunque, l’obiettivo del Common Control Loop è quello di imporre al nodo di base di Q_3 e Q_4 di seguire le variazioni della tensione CM del segnale in ingresso allo scopo di evitarne l’amplificazione rendendo l’input stage, e quindi il 741, poco sensibile alle variazioni della componente di modo comune.

Comportamento di modo differenziale Nel caso in cui i segnali v_+ e v_- , inizialmente uguali, cambino leggermente in direzioni opposte e permangano in tale stato per un certo intervallo di tempo, allora la tensione differenziale dei segnali, in partenza nulla, assumerà un valore diverso da zero. Un amplificatore operativo deve essere sensibile alle variazioni della componente differenziale ed essere in grado di amplificarne il valore riportandolo al nodo di uscita.

Ipotizzando che a crescere sia v_+ e v_- a diminuire sia , il circuito dello stadio d’ingresso reagisce nel seguente modo: la tensione che si riversa ai capi delle giunzioni base-emettitore di Q_1 - Q_3 diventa maggiore rispetto a quella sulle giunzioni di Q_2 - Q_4 dato che il potenziale e la somma delle correnti di base di Q_3 - Q_4 rimangono costanti. Questa situazione porta ad uno sbilanciamento delle correnti che scorrono lungo i due rami dell’amplificatore differenziale, in particolare si ha che $I_{C1} > I_{C2}$ e quindi anche $I_{C3} > I_{C4}$. A causa dell’aumento di corrente sul ramo di sinistra, il potenziale al nodo di base di Q_7 è costretto a diminuire per

iniettare più corrente in base a Q_5 e Q_6 . Quest'ultimo si trova a specchiare una corrente più grande il suo nodo di collettore cresce verso tensioni positive.

Si noti che il nodo di collettore di Q_6 coincide con il nodo di uscita dello stadio differenziale, di conseguenza quello si otterrà un guadagno di tensione positivo per la tensione di uscita. Tale guadagno è proporzionale alla tensione differenziale dei due ingressi; infatti, è intuitivo pensare che più v_+ sale, e v_- scende della stessa quantità, più il nodo di uscita è costretto a crescere verso un potenziale positivo portando il circuito ad un guadagno sempre più elevato, come si vedrà nella sezione di analisi in AC.

Al contrario, a causa della simmetria che presenta il circuito, quest'ultimo assume un comportamento duale quando ad aumentare è v_- e a diminuire è v_+ ; in questa situazione sarà il ramo di destra a portare una corrente più grande, provocando così una crescita del nodo di base di Q_7 verso tensioni positive e una diminuzione proporzionale alla tensione differenziale dei segnali d'ingresso del potenziale a nodo di collettore di Q_6 e dunque si otterrà un guadagno di tensione negativo.

3.3 Second Stage

Il Second Stage del 741 è composto dai transistor Q_{16} , Q_{17} in configurazione Darlington CC-CE e Q_{13B} nella funzione di carico attivo, inoltre sono presenti resistori di emettitore R_8 ed R_9 , rispettivamente di Q_{16} e Q_{15} , e il condensatore C_C .

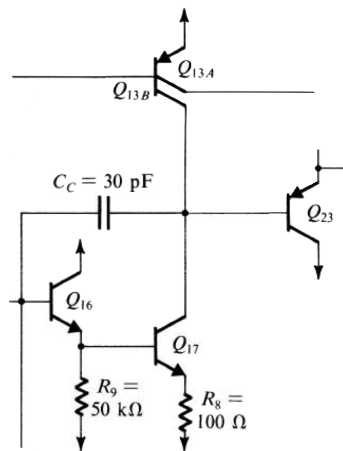


Figura 9: Second Stage

Q_{16} si comporta da inseguitore di emettitore, funge quindi da buffer di tensione per Q_{17} garantendo un'elevata impedenza d'ingresso allo stadio, minimizzando così le perdite di guadagno dello stadio precedente. Grazie al contributo della resistenza R_8 collegata all'emettitore viene poi data simmetria al circuito dello stadio d'ingresso aumentandone il CMRR.

Q_{17} è configurato come amplificatore ad emettitore comune e contribuisce in modo significativo al guadagno dello stadio. Il carico estrinseco ad esso applicato è formato dalla resistenza d'uscita del transistor Q_{13B} in parallelo alla resistenza d'ingresso di Q_{23} dell'output stage. Dunque, la presenza di Q_{13B} al nodo di collettore di Q_{17} contribuisce ad

aumentare ulteriormente il guadagno dello stadio senza ricorrere all'uso di grandi resistori, i quali occuperebbero aree di chip piuttosto elevate e dunque costi maggiori.

Il condensatore C_C , di piccole dimensioni (30pF circa), viene utilizzato per la compensazione in frequenza sfruttando la tecnica di Miller; esso è collegato nel percorso di feedback del secondo stadio e permette all'operazionale di avere un polo dominante a 4Hz (circa) inoltre, la suddivisione dei poli fa sì che altri poli vengano spostati su frequenze molto più alte conferendo all'amplificatore operazionale un "roll-off" di guadagno uniforme di -20 dB/decade e una larghezza di banda (fino al guadagno unitario) di circa 1 MHz. Si noti che, sebbene il condensatore abbia un valore ridotto, l'area del chip occupata da esso è di circa 13 volte quella di un transistor npn standard del circuito.

3.4 Third Stage

Lo stadio d'uscita del 741 è composto dai transistor Q_{14} , Q_{20} e Q_{23} che, insieme al circuito di Voltage Reference, implementano un amplificatore di Classe AB. In figura sono presenti anche i resistori R_6 e R_7 che ora non verranno trattati poiché fanno parte della protezione da cortocircuito e il loro utilizzo verrà esposto nel capitolo successivo.

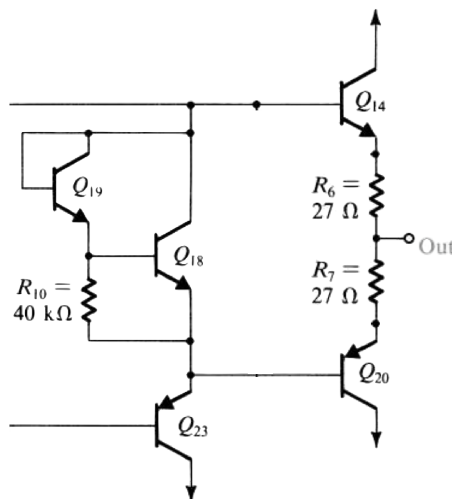


Figura 10: Output Stage

Q_{23} è configurato come un inseguitore di emettitore, si comporta da buffer di tensione e alleggerisce l'effetto di carico sull'uscita dello stadio precedente, a differenza della coppia di transistor complementari Q_{14} e Q_{20} che serve a fornire al dispositivo una bassa resistenza di uscita e correnti di carico relativamente elevate.

La disposizione in serie di Q_{14} - Q_{20} definisce il comportamento "push-pull" dello stadio d'uscita poiché i due transistor non saranno mai accesi contemporaneamente ma si alterneranno a seconda della polarità del segnale d'ingresso allo stadio.

Per segnali positivi il transistor npn spingerà corrente dal dispositivo verso il carico ("push") mentre per segnali negativi il transistor pnp tirerà corrente dal carico verso il dispositivo ("pull"); infatti, supponendo di cortocircuitare il circuito di Voltage Reference, quando la tensione al nodo di emettitore di Q_{23} è nulla, entrambi i transistor sono

spenti e la tensione di uscita sarà pari a zero; quando la tensione d'ingresso diventa positiva e supera gli 0.5 V (circa) il transistor Q_{14} comincerà a condurre funzionando come un inseguitore di emettitore erogando corrente al carico e la tensione di uscita seguirà la tensione d'ingresso a meno di una costante.

Dunque, risulta evidente che, in assenza dei transistor Q_{18} e Q_{19} , la transcaratteristica della tensione in uscita in funzione della tensione d'ingresso allo stadio è caratterizzata da una “zona morta” durante la quale assume un valore nullo fintanto che la tensione in ingresso all'output stage è compresa tra i -0.5 V e i 0.5 V circa (distorsione di “cross-over”).

Pertanto, il circuito di Voltage Reference serve a eliminare questa zona morta garantendo tra i morsetti d'ingresso dell'Output Stage una differenza di potenziale poco inferiore a $2v_{BE_{ON}}$; in questo modo, il circuito mantiene sempre Q_{14} e Q_{20} sufficientemente accesi e dunque anche in assenza di segnale d'ingresso entrambi i transistor staranno conducendo. Il problema della distorsione viene quindi eliminato, o comunque minimizzato, a scapito però di un consumo statico di potenza proprio da parte di Q_{14} e Q_{20} .

3.5 ShortCircuit Protection

All'interno dell'Output Stage è presente anche la protezione da cortocircuito realizzata dai transistor Q_{15} , Q_{21} , Q_{22} , Q_{24} e dai resistori R_6 , R_7 , R_{11} . Questa parte di circuito è “normally off” e viene attivata solamente nei casi in cui:

- L'uscita venga cortocircuitata direttamente a massa o alle due tensioni di alimentazione del dispositivo.
- Al terminale d'uscita venga collegato un carico tale da far erogare una corrente allo stadio d'uscita in grado di danneggiare, anche in modo permanente, l'intero dispositivo.

Il transistor Q_{15} e il resistore R_6 si occupano di proteggere il transistor Q_{14} dall'erogazione di correnti troppo alte, mentre i transistor Q_{21} , Q_{22} , Q_{24} e i resistori R_7 e R_{11} si occupano di proteggere Q_{20} dall'assorbimento di correnti elevate.

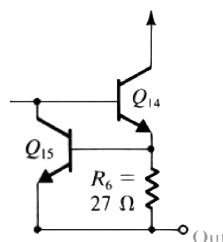


Figura 11: Protezione da cortocircuito per Q_{14}

La protezione messa in atto da Q_{15} e R_6 funziona nel seguente modo: generalmente Q_{15} è interdetto, tuttavia, se la corrente nel resistore R_7 diviene troppo grande, la tensione ai suoi capi cresce e nel momento in cui raggiunge un valore di circa 550mV, Q_{15} entra in conduzione drenando parte della corrente di base di Q_{14} ; dunque, in questo modo, viene limitata la corrente d'uscita erogata da Q_{14} . Dal momento che la massima corrente che

può fluire nel collettore di Q_{15} è limitata da I_{C13A} (circa 180 μA), la massima corrente di uscita che può scorrere in Q_{14} è approssimativamente $\frac{0.55V}{27\Omega} \approx 20 \text{ mA}$.

La protezione messa in atto da Q_{21} e R_7 funziona analogamente al caso trattato appena sopra, con la differenza che questa volta Q_{21} non è collegato direttamente al terminale di base di Q_{20} . Si noti infatti che la corrente di base di Q_{20} non è alimentata da una corrente costante (come nel caso di Q_{14}) bensì è collegata al terminale di emettitore di Q_{23} , il quale eroga una corrente dipendente dal potenziale del proprio nodo di base, dunque anch'essa deve essere limitata. Quando Q_{21} conduce, la sua corrente di collettore viene invertita e specchiata dallo specchio realizzato da Q_{22} , Q_{15} e R_{11} venendo sottratta al nodo di base di Q_{16} .

In conclusione, il potenziale di base di Q_{16} è costretto a salire e con esso anche il nodo di uscita del secondo stadio, che coincide con la base di Q_{23} ; la tensione ai capi della giunzione base-emettitore di Q_{23} si riduce, quindi la corrente di emettitore del transistor cala, e con sé anche la corrente in base di Q_{20} , riducendo la corrente assorbita dallo stadio di uscita.

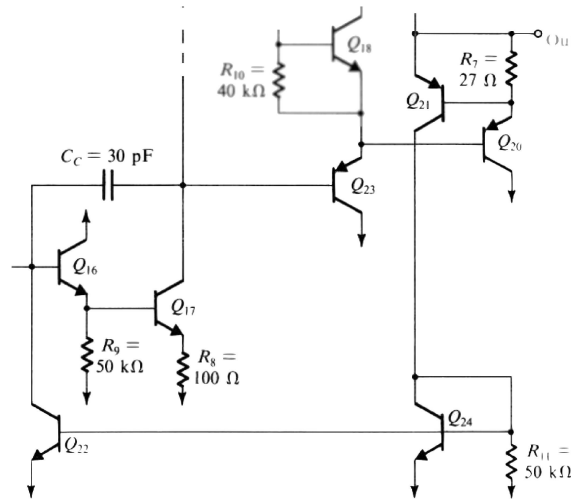


Figura 12: Protezione da cortocircuito per Q_{20}

4 Analisi DC del circuito

Il primo passo da fare per valutare le prestazioni del circuito è determinare il punto di lavoro di ogni transistor calcolandone le correnti di collettore. L'analisi in DC presenta un problema particolare quando si tratta di analizzare il circuito di un amplificatore operazionale a causa degli alti guadagni coinvolti, infatti, ipotizzando un guadagno dell'Opamp di e una tensione di alimentazione di ± 10 V, anche solo 0.1 mV di voltage offset in ingresso farebbero saturare l'uscita.

Dunque, per iniziare l'analisi in DC si ipotizza che l'uscita del circuito sia retroazionata al morsetto invertente, mentre il morsetto non invertente sia collegato a 0V. Ora il circuito risulta essere un feedback loop in grado di forzare il valore di tensione del terminale invertente, e dunque anche quello d'uscita del dispositivo, allo stesso potenziale di v_+ : 0 V.

In secondo luogo si assume che tutti i transistor siano in zona attiva diretta e che la resistenza d'uscita dei transistor non contribuisca in modo significativo al calcolo delle correnti DC, introducendo però un errore del 10 – 15% circa nei valori calcolati, ma comunque accettabile per un'analisi di primo livello come quella che si vuole fornire in questo documento.

Inoltre è necessario definire i valori dei parametri tecnologici che verranno utilizzati per l'analisi del circuito e esplicitare la convezione delle correnti di base,emettire e collettore:

- npn: $I_S = 10^{-14}$ A, $\beta = 250$, $V_{A_{nnp}} = 125$ V
- pnp: $I_S = 10^{-14}$ A, $\beta = 50$, $V_{A_{pnp}} = 50$ V

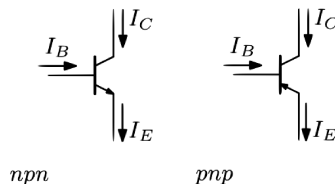


Figura 13: Convenzioni correnti per i BJT npn e pnp

Nel 741 i transistor “non-standard” sono Q_{13} , Q_{14} e Q_{20} :

- Q_{13} è un transistor a doppio collettore e come detto nel capitolo precedente: $I_{S13A} = 0.25I_S$ e $I_{S13B} = 0.75I_S$
- Q_{14} e Q_{20} sono transistor con un'area tripla rispetto ai transistor standard poichè devono essere in grado di sopportare grandi carichi di corrente dissipando potenze relativamente elevate sottoforma di temperatura. Dunque, si deve avere che: $I_{S14} = I_{S20} = 3I_S$.

Si assume poi di collegare il dispositivo a ± 15 V di alimentazione e invece, per quanto concerne i resistori, i valori sono tutti riportati nello schematico presente ad inizio documento.

4.1 Analidi DC Current Reference Circuit

Innanzitutto, si parte calcolando le grandezze fornite dai generatori di corrente del “Current Reference”.

Il primo parametro da determinare è la corrente I_{REF} del circuito dato che da questo valore dipendono tutte le altre correnti. Per farlo si analizzano le cadute di potenziale da V_{CC} a $-V_{EE}$ passando per Q_{12} , Q_{11} e R_5 .

Si noti che Q_{12} e Q_{11} , essendo in connessione a diodo, hanno una tensione collettore-emettitore pari a $V_{CE12} = V_{BEON}$ e $V_{CE11} = -V_{BEON}$, dunque assumendo $V_{BEON} = 0.7V$, si deve avere:

$$\begin{aligned} V_{CC} + V_{EE} &= V_{CE12} + I_{REF}R_5 + V_{CE11} \\ V_{CC} + V_{EE} &= V_{BE12} + I_{REF}R_5 + V_{BE11} \end{aligned} \quad (5)$$

da cui si ricava facilmente che:

$$I_{REF} = \frac{V_{CC} + V_{EE} - 2V_{BEON}}{R_5} \approx 730\mu A \quad (6)$$

Ora, nota I_{REF} , si può calcolare anche la corrente in uscita da Q_{10} , invertita e specchiata dallo specchio di Widlar. Poiché la giunzione B-E di Q_{11} è in parallelo con la giunzione B-E di Q_{10} , la quale si trova a sua volta in serie a R_4 , si ottiene:

$$\begin{aligned} V_{BE11} &= V_{BE10} + I_{E10}R_4 \\ V_{BE11} &= V_{BE10} + I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}} R_4 \\ V_T \ln \left(\frac{I_{C11}}{I_S} \right) &= V_T \ln \left[\frac{I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}}}{I_S} \right] + I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}} R_4 \end{aligned} \quad (7)$$

Trascurando i contributi delle correnti di base di Q_{11} e Q_{12} possiamo assumere che $I_{C11} \approx I_{REF}$, perciò:

$$V_T \ln \left[\frac{I_{REF}}{I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}}} \right] = I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}} R_4 \quad (8)$$

Quindi:

$$R_4 = \frac{V_T \ln \left[\frac{I_{REF}}{I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}}} \right]}{I_{C10} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}}} \quad (9)$$

E da quest'ultima equazione si può ricavare in modo iterativo il valore di che risulta essere:

$$I_{C10} \approx 19\mu A$$

Si può fare la stessa ipotesi anche per le correnti di base di Q_{12} e Q_{13} , di conseguenza si può assumere che $I_{C12} \approx I_{REF}$ e, sapendo che tale corrente viene invertita e specchiata all'uscita dallo specchio di corrente pnp, la totale corrente di collettore $I_{C13} \approx I_{REF}$, da cui si ricavano le correnti di Q_{13A} e Q_{13B} :

$$I_{C13A} \approx 180\mu A, I_{C13B} \approx 550\mu A$$

4.2 Analisi DC First Stage

Alla base dell'analisi di questo stadio, così come del secondo e terzo stadio, risulta doveroso premettere che gli effetti delle correnti di base dei transistor npn saranno trascurati in quanto caratterizzati da β_f relativamente elevati, invece per i transistor pnp, caratterizzati da β_f molto più piccoli (50 in questo caso), tale approssimazione non potrà essere applicata; in aggiunta, per entrambi i BJT (npn e pnp) il contributo della tensione di Early alle correnti di collettore potrà essere ommesso.

Sapendo che i transistor Q_8 e Q_9 sono identici si può affermare che $I_{C8} = I_{C9}$; pertanto, applicando la KCL al collettore di Q_8 , si ricava che:

$$I_{C1} + I_{C2} = -I_{C9} \frac{2 + \beta_{fpnp}}{\beta_{fpnp}} \quad (10)$$

Inoltre, essendoci un guadagno tra la corrente di collettore e la corrente di emettitore approssimabile all'unità, si può assumere $I_{C1} \approx I_{E1}$ e $I_{C2} \approx I_{E2}$; per la LKC ai nodi di emettitore di Q_3 e Q_4 si deve avere che $I_{E1} = -I_{E3}$ e $I_{E2} = -I_{E4}$, quindi vale la seguente uguaglianza:

$$I_{E3} + I_{E4} = I_{C9} \frac{2 + \beta_{fpnp}}{\beta_{fpnp}} \quad (11)$$

Dunque, applicando la LKC ai nodi di collettore di Q_9 e sostituendo l'ultima relazione ottenuta, si ricava che:

$$I_{B3} + I_{B4} + I_{C9} = -I_{C10} \quad (12)$$

$$I_{C9} \left[1 + \frac{\beta_{fpnp} + 2}{\beta_{fpnp}(\beta_{fpnp} + 1)} \right] = -I_{C10} \quad (13)$$

Ricordando che $I_{C10} = 19\mu A$, la corrente di collettore di Q_9 diventa $I_{C10} = -18.62\mu A$, mentre la somma delle correnti di collettore di Q_1 e Q_2 e di emettitore di Q_3 e Q_4 risulta:

$$I_{C1} + I_{C2} \approx -(I_{E3} + I_{E4}) \approx -19.365\mu A. \quad (14)$$

Sostituendo $I_{E3} = I_{C3} \frac{\beta_{fpnp} + 1}{\beta_{fpnp}}$, si ottiene:

$$I_{C3} + I_{C4} \approx -\frac{I_{C10}}{1 + \frac{2}{\beta_{f_{pnp}}(\beta_{f_{pnp}}+1)}} \quad (15)$$

La seguente equazione evidenzia che l'input stage del 741 è polarizzato in modo da rendere la somma delle correnti di collettore di Q_3 e Q_4 e quindi anche di Q_1 e Q_2 , insensibile al parametro tecnologico.

Come già anticipato, l'uscita dell'OpAmp viene ipotizzata nulla e retro-azionata allo stadio d'ingresso; dunque, con l'ingresso v_+ collegato a 0 V il segnale differenziale in ingresso risulta nullo, ne consegue che le cadute di tensione sulle giunzioni base-emettitore di Q_1 e Q_2 sono identiche così come avviene per le correnti di collettore di Q_1 - Q_2 e Q_3 - Q_4 :

$$I_{C1} = I_{C2} \approx \frac{-19.365\mu A}{2} = 9.683\mu A \quad (16)$$

$$I_{C3} = I_{C4} \approx -\frac{1}{2} \left[\frac{I_{C10}}{1 + \frac{2}{\beta_{f_{pnp}}(\beta_{f_{pnp}}+1)}} \right] = \frac{-18.98}{2}\mu A \approx -9.5\mu A \quad (17)$$

Passando al carico attivo e analizzando le correnti al nodo di collettore di Q_5 si deve avere che:

$$\begin{aligned} I_{C5} + I_{B7} &= -I_{C3} \\ I_{C5} &\approx -I_{C3} \end{aligned} \quad (18)$$

Si noti che anche in questo caso il contributo della corrente di base di Q_7 può essere ignorato (come nei casi precedenti) a causa del parametro $\beta_{f_{npn}}$ elevato.

Un'analogia situazione si verifica anche al nodo di collettore di Q_6 dove si può ipotizzare trascurabile la corrente entrante nella base di Q_6 , quindi:

$$\begin{aligned} I_{C6} + I_{B6} &= -I_{C4} \\ I_{C6} &\approx -I_{C4} \end{aligned} \quad (19)$$

Le correnti di base di Q_5 e Q_6 possono considerarsi nulle, mentre la corrente su R_3 è si ricava dalla LKC alla maglia contenente R_1 , giunzione B-E di Q_5 e R_3 :

$$\begin{aligned} I_{R3}R_3 &= V_{BE5} + I_{E5}R_1 \\ I_{R3}R_3 &\approx V_T \ln\left(\frac{I_{C5}}{I_S}\right) + I_{C5}R_1 \end{aligned} \quad (20)$$

$$I_{R3} \approx \frac{V_T \ln\left(\frac{I_{C5}}{I_S}\right) + I_{C5}R_1}{R_3} \approx 10.5\mu A \quad (21)$$

Adesso, applicando la LKC al nodo di collettore di Q_7 , si trova che:

$$I_{C7} = I_{B5} + I_{B6} + I_{R3} \approx 2 \frac{I_{C5}}{\beta_{f_{npn}}} + I_{R3} \approx I_{R3} \quad (22)$$

Dunque $I_{B7} = \frac{I_{C7}}{\beta_{f_{npn}}} \approx \frac{I_{R3}}{\beta_{f_{npn}}} \approx 0.0525 \mu A$. Alla luce di questi risultato, si può notare che l'aver trascurato I_{B7} non ha provocato un errore grossolano nel calcolo di I_{C5} dal momento che non è confrontabile con l'ordine di grandezza di I_{C3} . La stessa considerazione può essere fatta per I_{B16} nel calcolo di I_{C6} .

4.3 Analisi DC Second Stage

Arrivati a questo punto, si consideri la corrente che scorre su Q_{17} : se la tensione d'uscita è zero, allora si può assumere che tutta la corrente fornita dal Current Reference Circuit, attraverso Q_{13B} , fluisce nel collettore di Q_{17} poiché la corrente di base di Q_{23} può essere trascurata:

$$I_{C17} = 550 \mu A$$

Osservando poi la maglia formata da R_9 , R_8 e la giunzione base-emettitore di Q_{17} , applicando la LKT si può calcolare la corrente che scorre su R_9 :

$$I_{R9} R_9 = V_{BE17} + I_{E17} R_8$$

$$I_{R9} R_9 \approx V_T \ln \left(\frac{I_{C17}}{I_S} \right) + I_{C17} \frac{\beta_{f_{npn}} + 1}{\beta_{f_{npn}}} R_8 \quad (23)$$

$$I_{R9} \approx \frac{V_T \ln \left(\frac{I_{C17}}{I_S} \right) + I_{C17} \frac{\beta_{f_{npn}} + 1}{\beta_{f_{npn}}} R_8}{R_9} = 13.47 \mu A \quad (24)$$

Questa volta, applicando la LKC al collettore di Q_{16} , la corrente di base del transistor Q_{17} non può essere trascurata poiché risulta avere lo stesso ordine di grandezza di I_{R9} e I_{C16} , dunque il contributo che fornisce alla corrente non è omissibile, si ottiene:

$$I_{C16} = I_{R9} + I_{B17} = I_{R9} + \frac{I_{C17}}{\beta_{f_{npn}}} = 16.22 \mu A \quad (25)$$

4.4 Analisi DC Voltage Reference Circuit

Prima di passare all'analisi dell'output stage, si vuole verificare la funzionalità in DC del circuito di Voltage Reference: si consideri ancora una volta trascurabile la corrente assorbita in base dal transistor Q_{20} , dunque tutta la corrente specchiata da Q_{13A} entrerà al nodo di collettore di Q_{18} .

A questo punto, per calcolare la corrente I_{C18} e I_{C19} si può procedere col seguente metodo iterativo: per prima cosa, tralasciando la corrente di base di Q_{18} e Q_{19} , la corrente di emettitore di Q_{19} sarà approssimativamente $I_{E19} \approx I_{R10} \approx \frac{0.6V}{R_{10}} \approx 15 \mu A$.

Sotto questa ipotesi, la corrente di collettore di Q_{18} sarà circa $I_{C18} \approx (180 - 15) \mu A = 165 \mu A$.

Per cui, ricalcolando la corrente di collettore di Q_{19} oltre al risultato appena ottenuto si consideri anche il contributo della corrente di base di Q_{18} :

$$I_{C19} = \frac{I_{C18}}{\beta_{fnpn}} + \frac{V_T \ln \left[\frac{I_{E18} \frac{\beta_{fnpn} + 1}{\beta_{fnpn}}}{I_S} \right]}{R_{10}} \approx 16 \mu A \quad (26)$$

E quindi: $I_{C18} \approx (180 - 16) \mu A = 164 \mu A$

Maggior accuratezza potrebbe derivare iterando più volte il procedimento ma, dal momento che quest'ultimo dato risulta comunque più accurato rispetto al precedente, può essere considerato accettabile.

Infine, possiamo calcolare la tensione collettore-emettitore di Q_{18} :

$$V_{CE18} = V_{CB18} + V_{BE18} = V_{CE19} + V_{BE18} \quad (27)$$

e poichè Q_{19} è in connessione a diodo $V_{CE19} = V_{CBE19}$, quindi si ottiene:

$$V_{CE18} = V_{BE19} + V_{BE18} = V_T \ln \left(\frac{I_{C19}}{I_S} \right) + V_T \ln \left(\frac{I_{C18}}{I_S} \right) = 1.12V \quad (28)$$

E come volevasi dimostrare, la tensione ai capi del transistor è tale da tenere sufficientemente accesi Q_{14} e Q_{20}

4.5 Analisi DC Third Stage

In conclusione, possiamo calcolare le correnti di polarizzazione dei transistor Q_{14} e Q_{20} , tenendo a mente che il circuito di protezione da cortocircuito è normalmente spento e che nella situazione operativa definita il dispositivo non eroga (o assorbe) corrente.

Si ha così che $I_{C20} = -I_{C14}$ e dunque le ampiezze di tali correnti possono essere calcolate iterativamente ignorando questa volta, solo inizialmente, la caduta di tensione ai capi dei resistori R_6 e R_7 :

$$\begin{aligned} V_{B14} - V_{B20} &= V_{CE18} = V_{BE19} + V_{BE18} \\ V_{BE14} - V_{BE20} &= V_{BE19} + V_{BE18} \\ V_T \ln \left(\frac{I_{C14}}{I_{S14}} \right) + V_T \ln \left(\frac{I_{C20}}{I_{S20}} \right) &= V_T \ln \left(\frac{I_{C19}}{I_S} \right) + V_T \ln \left(\frac{I_{C18}}{I_S} \right) \\ V_T \ln \left(\frac{I_{C14} I_{C20}}{I_{S14} I_{S20}} \right) &= V_T \ln \left(\frac{I_{C19} I_{C18}}{I_S I_S} \right) \end{aligned} \quad (29)$$

Si ricava:

$$I_{C14} = -I_{C20} = \sqrt{I_{C18} I_{C19}} \sqrt{\frac{I_{C14} I_{C20}}{I_S I_S}} \quad (30)$$

Quindi, sapendo che i transistor di questo stadio hanno una corrente di saturazione inversa tripla rispetto agli altri transistor standard si deriva

$$\begin{aligned}
I_{C14} &= 153.7\mu A \\
I_{C20} &= -153.7\mu A
\end{aligned} \tag{31}$$

Si considerino ora anche le cadute di tensione ai capi di R_6 e R_7 :

$$\begin{aligned}
V_{B14} - V_{B20} &= V_{CE18} = V_{BE19} + I_{C14}R_6 - I_{C20}R_7 + V_{BE18} \\
V_{BE14} - V_{BE20} &= V_{BE19} + V_{BE18} \\
V_T \ln \left(\frac{I_{C14}}{I_{S14}} \right) + V_T \ln \left(\frac{I_{C20}}{I_{S20}} \right) &= V_T \ln \left(\frac{I_{C19}}{I_S} \right) + I_{C14}R_6 - I_{C20}R_7 + V_T \ln \left(\frac{I_{C18}}{I_S} \right) \\
V_T \ln \left(\frac{I_{C14}I_{C20}}{I_{S14}I_{S20}} \right) &= V_T \ln \left(\frac{I_{C19}I_{C18}}{I_S^2} \right) + I_{C14}(R_6 + R_7) \\
\ln \left(\frac{I_{C14}I_{C20}I_S^2}{I_{C18}I_{C19}I_{S14}^2} \right) &= \frac{I_{C14}(R_6 + R_7)}{V_T}
\end{aligned} \tag{32}$$

Di conseguenza, con un procedimento "trial-and-error" si può ricavare dall'ultima relazione un valore più accurato per le correnti che polarizzano lo stadio d'uscita. Il risultato trovato precedentemente è comunque accettabile e dunque verrà mantenuto con la consapevolezza di aver introdotto un piccolo errore.

Manca una sola corrente da calcolare, ovvero la corrente di polarizzazione di Q_{23} , la quale può essere approssimata con la corrente in uscita dal circuito di Voltage Reference e, se si trascurano le correnti di base di Q_{14} e Q_{20} , risulta essere uguale alla corrente di collettore di Q_{13A} : $I_{C23} \approx I_{C13A}$

5 Analisi AC del circuito

In questo capitolo si analizzerà il comportamento AC del dispositivo: dopo aver calcolato le correnti di polarizzazione nel capitolo precedente si procederà analizzando il circuito, questa volta sottoposto a piccole oscillazioni di segnale attorno al punto di lavoro.

L'analisi sarà divisa in tre parti, una per stadio:

- Per i primi due verranno calcolati i modelli doppio bipolo equivalenti a a parametri y ipotizzando il parametro y_{12} trascurabile
- Per l'ultimo stadio verrà calcolato il modello doppio bipolo equivalente a parametri g ipotizzando il parametro g_{12} trascurabile

In questo modo l'analisi dell'intero schematico viene semplificata e di conseguenza è possibile calcolare facilmente il guadagno dell'amplificatore operazionale, dal momento che le proprietà dei singoli stadi vengono rese più evidenti.

5.1 Analisi AC First Stage

Per l'analisi del First Stage si ipotizza di applicare al dispositivo un segnale puramente differenziale ai terminali d'ingresso, essendo lo stadio progettato con lo scopo di amplificare segnali di questo tipo e di sopprimere eventuali componenti di modo comune: $v_+ = \frac{v_{id}}{2}$ e $v_- = -\frac{v_{id}}{2}$

Si consideri inizialmente lo stadio differenziale e si noti che, essendo i collettori di Q_1 e Q_2 e le basi di Q_3 e Q_4 connessi ad una tensione costante, nell'analisi dinamica i loro potenziali vengono considerati a massa.

Per prima cosa, si calcoli la transconduttanza dello stadio d'ingresso cortocircuitando il nodo di uscita a massa e si valuti la corrente in uscita dalla stadio in presenza del segnale differenziale in ingresso.

Con l'output a massa, il carico attivo Q_5 - Q_4 produce una corrente i_{c6} approssimativamente uguale in modulo a i_{c3} ma di segno opposto, quindi applicando la LKC al nodo di uscita, si ottiene che:

$$i_{out} = -(i_{c4} + i_{c6}) \approx -(i_{c4} - i_{c3}) \quad (33)$$

Una volta trovata questa relazione, si passi al circuito ai piccoli segnali riportato in figura (15) dal quale si ricava che:

$$\frac{v_{id}}{2} = v_1 - v_3 \quad (34)$$

Applicando la LKC ai nodi di emettitore di Q_1 e Q_3 si deduce:

$$\begin{aligned} v_1 g_{m1} \left(1 + \frac{1}{\beta_{01}}\right) &= -v_3 g_{m3} \left(1 + \frac{1}{\beta_{03}}\right) \\ v_1 &= -v_3 \frac{g_{m3} \left(1 + \frac{1}{\beta_{03}}\right)}{g_{m1} \left(1 + \frac{1}{\beta_{01}}\right)} \end{aligned} \quad (35)$$

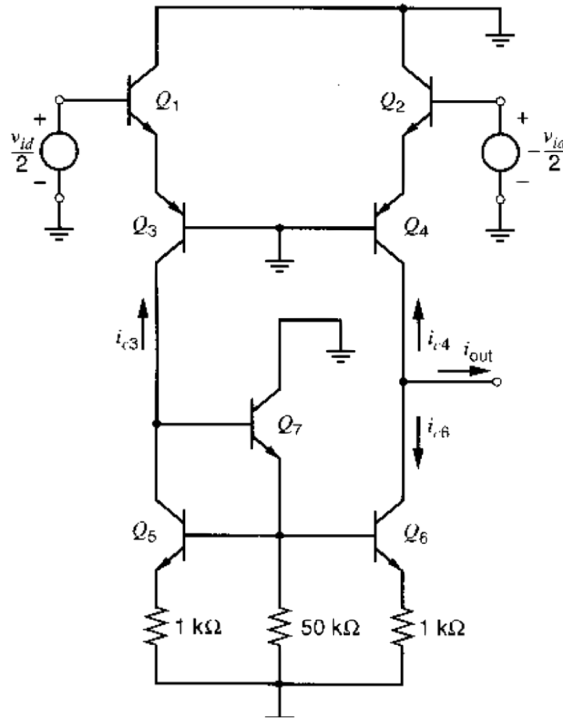


Figura 14: Circuito AC Input Stage

Dove β_{01} e β_{03} sono i β rispettivamente di Q_1 e Q_3 .

Sostituendo l'ultima equazione trovata alla definizione di v_{id} (34), si deriva:

$$\frac{v_{id}}{2} = -v_3 \left[\frac{g_{m3} \left(1 + \frac{1}{\beta_{03}} \right)}{g_{m1} \left(1 + \frac{1}{\beta_{01}} \right)} + 1 \right] \quad (36)$$

Assumendo $|I_{C1}| = |I_{C3}|$, allora $g_{m1} = \frac{|I_{C1}|}{V_T} = g_{m3} = \frac{|I_{C3}|}{V_T}$ inoltre, assumendo $\beta_{01}, \beta_{03} \gg 1$ si ricava che:

$$\begin{aligned} v_3 &= -\frac{v_{id}}{4} \\ i_{c3} &= -\frac{g_{m3} v_{id}}{4} \end{aligned} \quad (37)$$

E dalla simmetria del circuito:

$$i_{c4} = \frac{g_{m3} v_{id}}{4} \quad (38)$$

Sostituendo poi (37) e (38) nell'equazione (33) risulta:

$$i_{out} = -i_{c4} + i_{c3} = -\frac{g_{m3} v_{id}}{2} \quad (39)$$

Sicchè la transconduttanza dell'Input Stage per definizione è $G_{m1} = \frac{i_{out}}{v_{id}}$, sostituendo a i_{out} la relazione ottenuta nella (39) si otterrà:

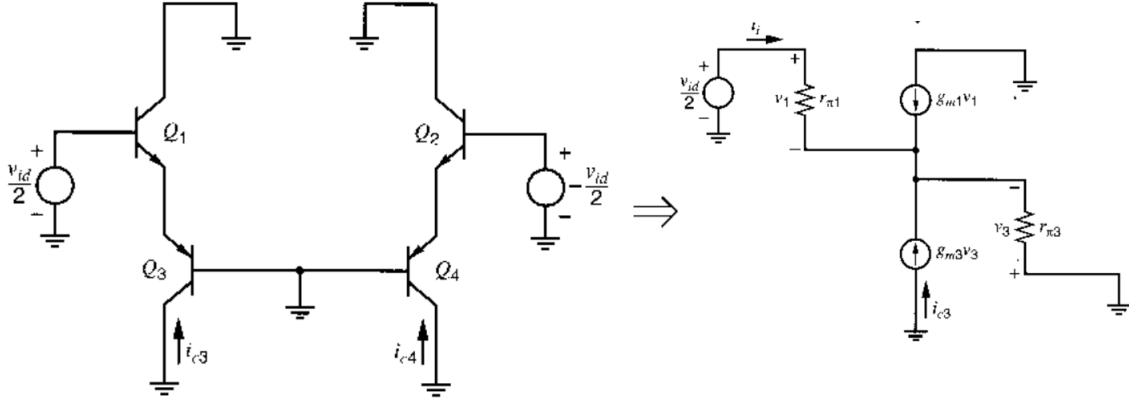


Figura 15: Schematico AC Input Stage(a sinistra) e modello ai piccoli segnali di Q_1 e Q_3 (a destra) utilizzati per il calcolo della transconduttanza e resistenza d'ingresso

$$G_{m1} = \frac{g_{m3}}{2} = \frac{g_{m1}}{2} = 0.19mS \quad (40)$$

A questo punto si calcoli la resistenza d'ingresso dell'input stage partendo dalla seguente equazione:

$$\frac{v_{id}}{2} = r_{\pi 1} + R_{eq}(1 + \beta_{01}) \quad (41)$$

dove R_{eq} è la resistenza vista dal nodo di emettitore di Q_3 :

$$R_{eq} = \frac{1}{g_{m3} \left(1 + \frac{1}{\beta_{03}}\right)} \quad (42)$$

Sostituendo (42) in (41) si avrà:

$$\frac{v_{id}}{2} = r_{\pi 1} + \frac{1 + \beta_{01}}{g_{m3} \left(1 + \frac{1}{\beta_{01}}\right)} \quad (43)$$

Assumendo nuovamente che $\beta_{01} \gg 1, \beta_{03} \gg 1$ e $g_{m1} = g_{m1}$

$$\frac{v_{id}}{2} \approx r_{\pi 1} + \frac{\beta_{01}}{g_{m3}} = r_{\pi 1} + r_{\pi 3} = 2r_{\pi 1} \quad (44)$$

Quindi, considerando $\beta_{01} = 250$ per tutti i BJT standard del circuito, la resistenza d'ingresso è pari a:

$$R_{id} = \frac{v_{id}}{i_{id}} = 4r_{\pi 1} \approx 2.7M\Omega \quad (45)$$

Con tale risultato si vuole far notare che in questi calcoli è stata trascurata la possibilità che la tensione v_{id} possa variare: infatti, se così fosse, vi sarebbero delle conseguenti

oscillazioni della tensione d'uscita dello stadio che si propagherebbero ulteriormente all'ingresso di quest'ultimo, e in particolar modo sulla resistenza d'uscita di Q_4 . Questo fenomeno produrrebbe così una differenza di valore tra le resistenze d'ingresso viste da ciascun terminale di input, ovvero le resistenze delle giunzioni B-E di Q_1 Q_2 Q_3 Q_4 non sarebbero identiche come invece è stato ipotizzato.

Ora, per calcolare la resistenza d'uscita R_{o1} del First Stage è necessario mettere a massa gli ingressi e applicare una tensione di prova alla porta di uscita dello stadio.

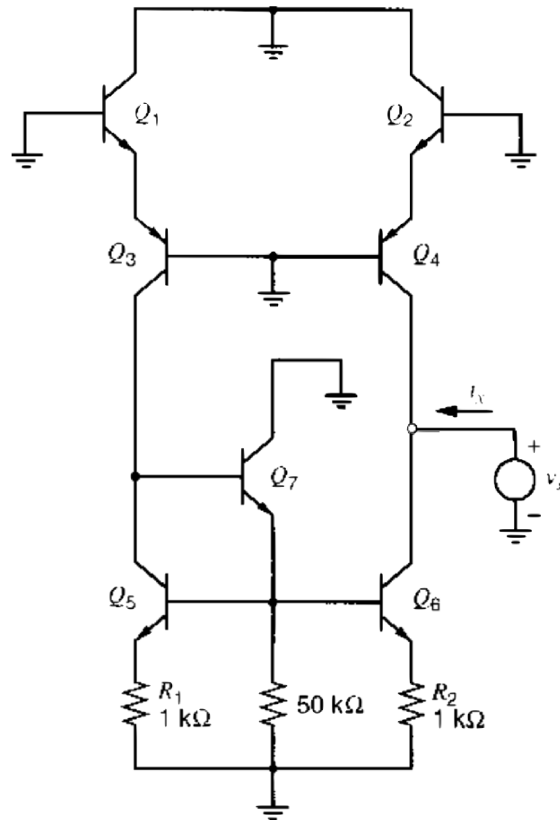


Figura 16: Schematico AC dell'Input Stage con generatore di prova v_x collegato al nodo di uscita per il calcolo della resistenza R_{o1}

Poichè i collettori di Q_1 - Q_2 e le basi di Q_3 - Q_4 sono collegati a massa, la corrente di collettore di Q_3 e Q_4 risulta essere costante. Il carico attivo inverte e specchia la corrente i_{c3} , e dunque, applicando la LKC al nodo d'uscita, ne consegue che il modulo della corrente i_x erogata dal generatore di prova è la somma di i_{c4} e i_{c6} . E' evidente che in tali condizioni, saranno i transistor Q_4 e Q_6 ad erogare corrente alla porta di uscita e di conseguenza saranno essi stessi a contribuire a R_{o1} , infatti:

$$R_{o1} = R_{out|Q4} \parallel R_{out|Q6} \quad (46)$$

La resistenza $R_{out|Q6}$ può essere calcolata ponendo ad "AC ground" il potenziale di base del transistor, e, nonostante tale potenziale non sia del tutto costante, si può assumere che le variazioni di segnale su tale nodo siano talmente piccole da rendere valida tale approssimazione. A questo punto si passi al calcolo del valore di $R_{out|Q6}$: applicando un generatore di tensione di prova v_x al terminale di collettore di Q_6 si trova che:

$$\begin{aligned}
R_{out|Q6} &= \frac{v_x}{i_x} = r_{o6}[1 + g_{m6}(r_{\pi6} \parallel R_2)] + (r_{\pi6} \parallel R_2) \\
&\approx r_{o6}[1 + g_{m6}(r_{\pi6} \parallel R_2)]
\end{aligned} \tag{47}$$

Poichè $r_{\pi6} = \frac{\beta_{06}}{g_{m6}} = \frac{\beta_{06}V_T}{|I_{C6}|} \approx 658k\Omega \gg R_2$ si deriva che:

$$\begin{aligned}
R_{out|Q6} &\approx r_{o6}[1 + g_{m6}r_{\pi6}] \\
&\approx \frac{V_{A_{npn}}}{|I_{C6}|} [1 + g_{m6}R_2] \\
&\approx 18.2M\Omega
\end{aligned} \tag{48}$$

La resistenza $R_{out|Q4}$ può essere calcolata allo stesso modo di $R_{out|Q6}$; in questo caso però la resistenza di emettitore del transistor non è un resistore, bensì la resistenza d'uscita di Q_2 vista dal nodo di emettitore di Q_4 . Si ricava allora che:

$$\begin{aligned}
R_{out|Q4} &\approx r_{o6}[1 + g_{m6}R_{out|Q2}] \\
&\approx \frac{V_{A_{pnp}}}{|I_{C4}|} [1 + g_{m4}R_{out|Q2}]
\end{aligned} \tag{49}$$

La resistenza $R_{out|Q2}$ può essere calcolata applicando un generatore di prova v_x all'emettitore di Q_2 :

$$\begin{aligned}
R_{out|Q2} &= \frac{v_x}{i_x} \\
&= \frac{1}{g_{m2} \left(\frac{1}{g_{m2}(r_{\pi2} \parallel r_{o2})} + 1 \right)} \\
&\approx \frac{1}{g_{m2} \left(\frac{1}{g_{m2}r_{\pi2}} + 1 \right)} \\
&\approx \frac{1}{g_{m2} \left(\frac{1}{\beta_{02}} + 1 \right)}
\end{aligned} \tag{50}$$

E poichè $\beta_{02} \gg 1$, si può semplificare l'espressione ottenendo:

$$R_{out|Q2} = \frac{1}{g_{m2}} = \frac{V_T}{|I_{C2}|} \approx 2.6k\Omega \tag{51}$$

Di conseguenza, sostituendo (51) nell'equazione (49) si deriva il valore di $R_{out|Q4}$:

$$R_{out|Q4} \approx \frac{V_{A_{pnp}}}{|I_{C6}|} [1 + g_{m6}R_{out|Q2}] = 10.46M\Omega \tag{52}$$

e quello di R_{o1} :

$$R_{o1} = R_{out|Q4} \parallel R_{out|Q6} \approx 6.64M\Omega \quad (53)$$

Infine, si ricava il modello circuitale a doppio bipolo a parametri y dello stadio d'ingresso (il parametro y_{12} viene ipotizzato trascurabile).

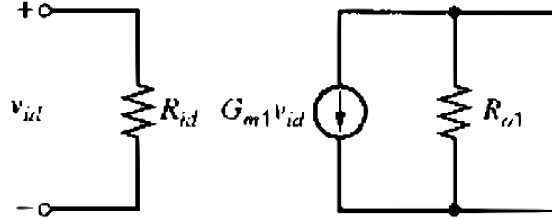


Figura 17: Modello doppio bipolo a parametri y equivalente al First Stage

5.2 Analisi AC Second Stage

Terminata l'analisi del primo stadio si proceda con l'analisi AC del Second Stage. Come per lo stadio precedente sarà necessario calcolare la resistenza d'ingresso e d'uscita dello stadio e la rispettiva transconduttanza.

Si inizi ancora una volta dalla resistenza d'ingresso: in primo luogo si calcoli la resistenza equivalente di Thevenin vista dal terminale di base di Q_{17} (R_{eq1}) e trattandosi di un amplificatore a emettitore comune con resistenza di emettitore, si otterrà facilmente che:

$$R_{eq1} = r_{\pi_{17}} + [(\beta_{017} + 1)R_8] \quad (54)$$

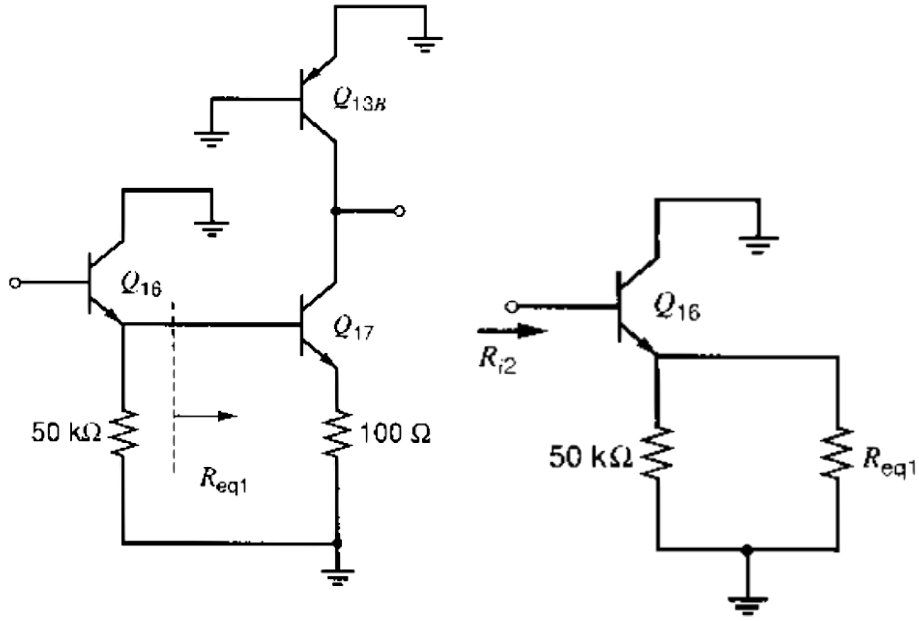
Si noti che in questo caso è stato trascurato l'effetto della resistenza di Early del transistor, la quale ridurrebbe leggermente il valore della resistenza calcolata poc'anzi.

Nota R_{eq1} , si può calcolare il valore della resistenza d'ingresso del Second Stage, ovvero la resistenza vista guardando alla destra del nodo di base di Q_{16} . Anche questa volta si tratta di un amplificatore C-E perciò la R_{in2} può essere calcolata come la (54):

$$R_{i2} = r_{\pi_{16}} + [(\beta_{017} + 1)(R_{eq1} \parallel R_9)] \quad (55)$$

Essendo il transistor Q_{16} polarizzato con una corrente di $16.22 \mu A$ e Q_{17} con una corrente di $550 \mu A$ e sapendo che $\beta_{016} = \beta_{017} = \beta_0 = 250$, $r_{\pi_{16}}$ e $r_{\pi_{17}}$ valgono rispettivamente:

$$\begin{aligned} r_{\pi_{16}} &= \frac{\beta_{016} V_T}{|I_{C16}|} \approx 390.6k\Omega \\ r_{\pi_{17}} &= \frac{\beta_{017} V_T}{|I_{C17}|} \approx 11.4k\Omega \end{aligned} \quad (56)$$



(a) Circuito AC del secondo stadio utilizzato per il calcolo di R_{eq1}

(b) Circuito AC del secondo stadio utilizzato per il calcolo di R_{i2}

Conseguentemente $R_{eq1} = 415.7k\Omega$ e

$$R_{in2} = 5.68M\Omega \quad (57)$$

Successivamente si passi alla transconduttanza: assumendo che il guadagno di tensione dell'inseguitore di emittore Q_{16} sia circa unitario, allora la transconduttanza dello stadio coincide con quella del transistor Q_{17} :

$$G_{m2} = \frac{g_{m17}}{g_{m17} + 1} \approx 6.8mS \quad (58)$$

Invece, per quanto riguarda la resistenza d'uscita R_{o2} , essa risulta essere il parallelo tra la resistenza di uscita del transistor Q_{13B} e la resistenza vista dal morsetto di collettore di Q_{17} :

$$r_{o13B} \approx \frac{V_{A_{npn}}}{|I_{C13B}|} \approx 91k\Omega \quad (59)$$

$$R_{out}|_{Q17} = r_{o17}[1 + g_{m17}(r_{\pi17} \parallel R_8)]. \quad (60)$$

Siccome $r_{\pi17} = \frac{\beta_{017}V_T}{|I_{C17}|} \approx 11.4k\Omega \gg R_8$, l'equazione (60) può essere riscritta come:

$$\begin{aligned} R_{out}|_{Q17} &= r_{o17}[1 + g_{m17}R_8] \\ &= \frac{V_{A_{npn}}}{|I_{C17}|}[1 + g_{m17}R_8] \\ &\approx 727k\Omega \end{aligned} \quad (61)$$

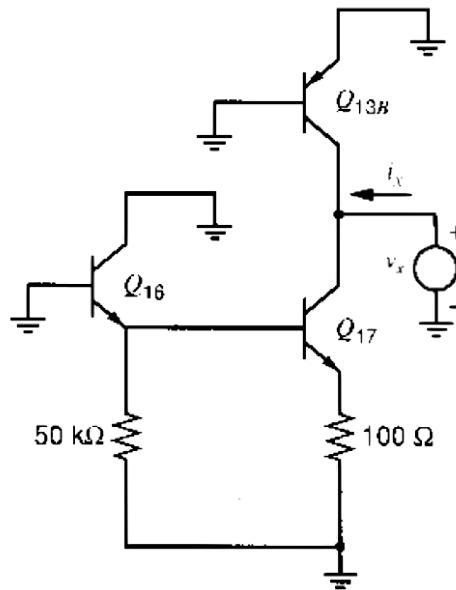


Figura 19: Circuito AC del secondo stadio utilizzato per il calcolo di R_{o2}

Conoscendo entrambi i valori delle due resistenze contribuenti alla resistenza d'uscita dello stadio, R_{o2} vale:

$$R_{o2} = R_{out|Q17} \parallel r_{o13B} \approx 81k\Omega \quad (62)$$

Ed ecco in figura (20) il modello equivalente a doppio bipolo a parametri y del Second Stage:

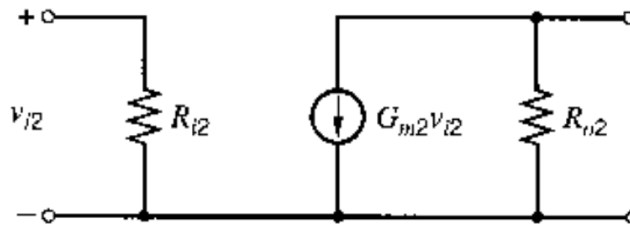
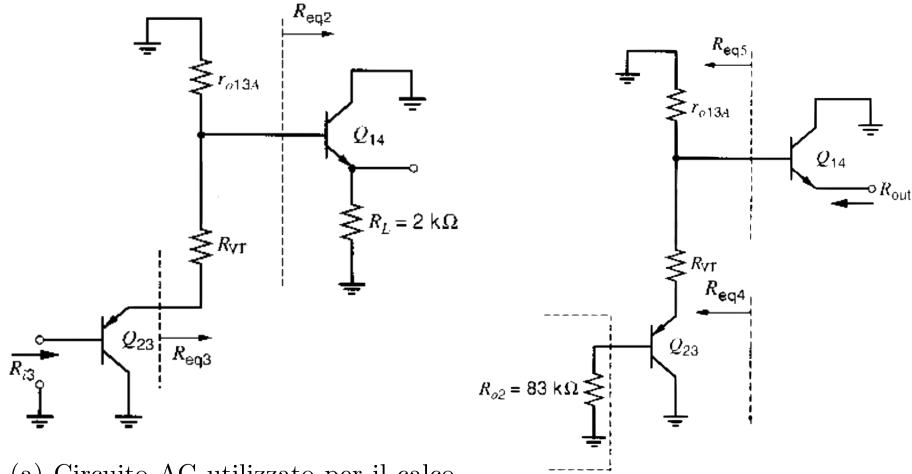


Figura 20: Modello doppio bipolo a parametri y equivalente al Second Stage

5.3 Analisi AC Third Stage

In ultima, si conclude l'analisi AC con l'Output Stage, ma prima di iniziare si facciano alcune considerazioni: si ricordi che, a seconda della tensione d'uscita e del carico collegato al dispositivo, il Third Stage può assorbire o erogare corrente, di conseguenza anche le resistenze d'ingresso e d'uscita dello stadio sono fortemente dipendenti da queste due grandezze. Risulta quindi necessario fissare una condizione operativa per l'analisi, che in questo caso sarà la seguente:

- Resistenza di Carico: $R_L = 2k\Omega$;
- Corrente erogata: $I_L = 2 \text{ mA}$;



(a) Circuito AC utilizzato per il calcolo della resistenza d'ingresso del Third Stage

(b) Circuito AC utilizzato per il calcolo della resistenza d'uscita del Third Stage

In questa condizione il transistor Q_{14} opera in zona attiva diretta, mentre il transistor Q_{20} conduce un piccolo quantitativo di corrente trascurabile. Anche se si fosse assunta una corrente assorbita di 2 mA, l'analisi non sarebbe cambiata, se non per il fatto che sarebbe stato Q_{20} ad essere in zona attiva diretta e Q_{14} sarebbe stato semiacceso.

Si noti poi che quando il dispositivo è in funzione lo stadio d'uscita è una cascata di due inseguitori di emettitore e dunque il guadagno di tensione è pressochè unitario.

Ora, per calcolare la resistenza d'ingresso R_{i3} , si determini innanzitutto il valore della resistenza R_{eq2} vista dal morsetto di base del transistor Q_{14} ; poichè si tratta di un amplificatore a collettore comune con resistenza di emettitore si deriva facilmente che:

$$R_{eq2} = r_{\pi14} + [(\beta_{014} + 1)R_L] \approx 540k\Omega \quad (63)$$

Successivamente si trovi la resistenza equivalente di Thevenin vista dal terminale di emettitore di Q_{23} , denominata R_{eq3} , a cui contribuiscono la resistenza equivalente del circuito di Voltage Reference in serie al parallelo tra la resistenza d'uscita del transistor Q_{13A} ed R_{eq2} .

Per quanto riguarda la resistenza equivalente del circuito di Voltage Reference si proceda nel solito modo: si applichi un generatore di tensione AC di prova ai nodi d'uscita del circuito e si calcoli $R_{eqVR} = \frac{v_x}{i_x}$.

Con qualche semplice passaggio si deriva :

$$R_{eqvr} = \frac{R_{10} \parallel r_{\pi18}}{1 + g_{m18}(R_{10} \parallel r_{\pi18})} \approx 151\Omega \quad (64)$$

A questo punto si proceda computando il valore di R_{eq3} :

$$R_{eq3} = R_{eqvr} + (r_{o13a} \parallel R_{eq2}) \approx 183.5k\Omega \quad (65)$$

Dopo aver stabilito anche tale valore, si passi al calcolo della totale resistenza d'ingresso R_{i3} dello stadio, che risulta essere la resistenza d'ingresso del collettore comune Q_{23} avente R_{eq3} come resistenza di emettitore:

$$\begin{aligned} R_{i3} &= r_{\pi 23} + [(\beta_{023} + 1)R_{eq3}] \\ &= \frac{\beta_{023}V_T}{|I_{C23}|} + [(\beta_{023} + 1)R_{eq3}] \\ &\approx 9.36M\Omega \end{aligned} \quad (66)$$

Si ossevi che questa resistenza è molto più grande di quella d'uscita dello stadio precedente (Second Stage), allo scopo di non causare perdite onerose al guadagno di tensione dell'intero amplificatore.

Infine si proceda col determinare la resistenza d'uscita di questo stadio: in primo luogo si calcoli R_{eq4} , ovvero la resistenza che si vede dal nodo di emettitore di Q_{23} :

$$R_{eq4} = \frac{r_{\pi 23} + R_{o2}}{\beta_{023} + 1} \parallel r_{o23} \quad (67)$$

Ma poichè

$$\begin{aligned} \frac{r_{\pi 23} + R_{o2}}{\beta_{023} + 1} &\approx 1725\Omega \\ r_{o23} &= \frac{V_{A_{pnp}}}{|I_{C23}|} \approx 278k\Omega \end{aligned} \quad (68)$$

risulta quindi che $r_{o23} \gg \frac{r_{\pi 23} + R_{o2}}{\beta_{023} + 1}$ e l'equazione (67) può essere riscritta come:

$$R_{eq4} = \frac{r_{\pi 23} + R_{o2}}{\beta_{023} + 1} \approx 1725\Omega \quad (69)$$

Successivamente si calcoli R_{eq5} , ovvero la resistenza vista guardando a sinistra della base di Q_{14} :

$$\begin{aligned} R_{eq5} &= r_{o13A} + \parallel [R_{eqVR} + R_{eq4}] \\ &= \frac{V_{A_{pnp}}}{|I_{C13A}|} \parallel [R_{eqVR} + R_{eq4}] \\ &\approx 1.9k\Omega \end{aligned} \quad (70)$$

In conclusione, R_{out} risulterà essere la serie tra R_6 e la resistenza vista guardando nel terminale di emettitore del transistor Q_{14} , il quale ha come resistenza di base R_{eq5} .

Pertanto, ricordando l'ipotesi sostenuta ad inizio capitolo, ovvero che $i_l = 2 \text{ mA}$, si ottiene che $I_{C14} = i_l = 2$ e dunque la resistenza R_{o3} :

$$R_{out} = \frac{R_{eq5} + r_{\pi14}}{\beta_{014} + 1} + R_6 = 21\Omega + 27\Omega = 188\Omega \quad (71)$$

Si tenga comunque a mente che la resistenza d'uscita cambia a seconda del punto operativo del dispositivo ed è fortemente dipendente dalla corrente in uscita.

Il modello equivalente dello stadio è presentato in figura (22):

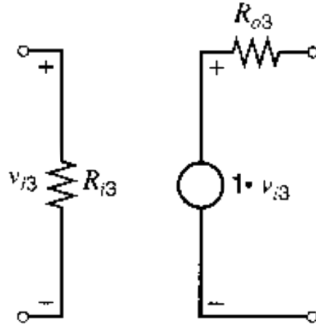


Figura 22: Modello doppio bipolo a parametri g equivalente al Third Stage Stage

5.4 Guadagno AC e CMRR

5.4.1 Guadagno AC

A questo punto, per calcolare il guadagno in AC dell'intero circuito è sufficiente unire i modelli equivalenti dei tre stadi e calcolare il rapporto tra tensione di uscita e tensione in ingresso.

Dato il circuito equivalente in figura (23) il guadagno totale che si ottiene sarà pari a:

$$\begin{aligned} A_o &= \frac{v_o}{v_{id}} = G_{m1}(R_{o1} \parallel R_{i2})G_{m2}(R_{o2} \parallel R_{i3}) \approx 317622 \\ A_{o_{dB}} &= 20 \log_{10} A_o \approx 110 \text{ dB} \end{aligned} \quad (72)$$

5.4.2 CMRR

Un altro parametro fondamentale che definisce la qualità di un amplificatore operazionale è il CMRR (Common Mode Rejection Ratio): esso infatti ci dà un'informazione sulla capacità dello stadio differenziale nel reprimere la componente di modo comune di un segnale che si presenti ai terminali d'ingresso.

Il calcolo del CMRR per il 741 differisce da quello di un amplificatore differenziale "standard" a causa del circuito di Common Control Loop, il quale essendo sensibile a segnali di modo comune, lavora per ridurre il guadagno di "common-mode".

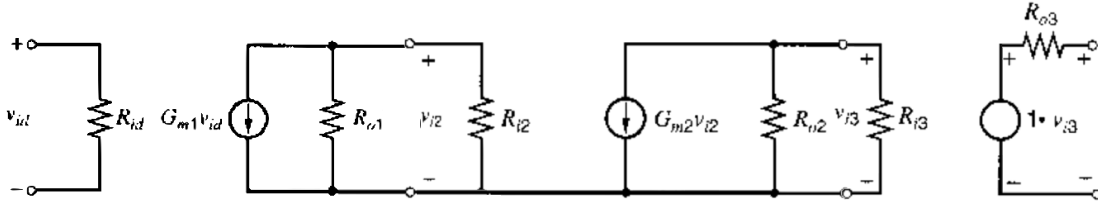


Figura 23: Modello doppio bipolo equivalente all'intero circuito

Il circuito idealmente sarebbe immune a segnali di questo tipo, ma dato che i suoi componenti presentano dei "mismatch" inevitabili causati dal processo di produzione, la sola simmetria topologica dello schematico e il Common Control Loop non sono sufficienti ad eliminare del tutto le componenti di modo comune.

Per esempio, i resistori R_1 e R_2 non saranno mai identici, bensì i loro valori di resistenza differiranno di un certo quantitativo ΔR e dunque possiamo ipotizzare che:

$$R_2 = R_1 + \Delta R \quad (73)$$

Poichè questi due resistori compongono il carico attivo, allora anche quest'ultimo avrà un rapporto di specchio non unitario che dipenderà dal "mismatch" di R_1 e R_2 , sicchè il "current-transfer ratio" sarà affetto da un errore ϵ_m e la corrente di collettore di Q_6 diventerà:

$$i_{c6} = i_{c3} + \epsilon_m \quad (74)$$

Nell'ipotesi di avere $\frac{\Delta R}{R_1} = 0.2$, ϵ_m vale circa $5.5 \cdot 10^{-3}$.

Detto questo, la figura (24) mostra l'input stage sottoposto ad un segnale di modo comune v_{icm} applicato ad entrambi gli ingressi, il quale genera una corrente i sui transistor Q_1 , Q_2 , Q_3 e Q_4 ; pertanto i rami dell'amplificatore portano lo stesso quantitativo di corrente e lo stadio risulta bilanciato. Ora l'obbiettivo è determinare la relazione che lega i a v_{icm} .

Per prima cosa, si osservi che a causa dei segnali "common-mode" ai terminali di input entrambi i rami dell'amplificatore differenziale, $Q_1 - Q_2$ e $Q_3 - Q_4$, inseguono le tensioni fornite in ingresso a meno di una costante e dunque il potenziale del nodo di base in comune a Q_3 e Q_4 è circa pari v_{icm} ; inoltre tale nodo (Y in figura) è connesso al collettore di due sorgenti di corrente: Q_9 e Q_{10} . Dunque può essere estratta anche la resistenza R_o equivalente del nodo Y :

$$R_o = R_{o9} \parallel R_{o10} \quad (75)$$

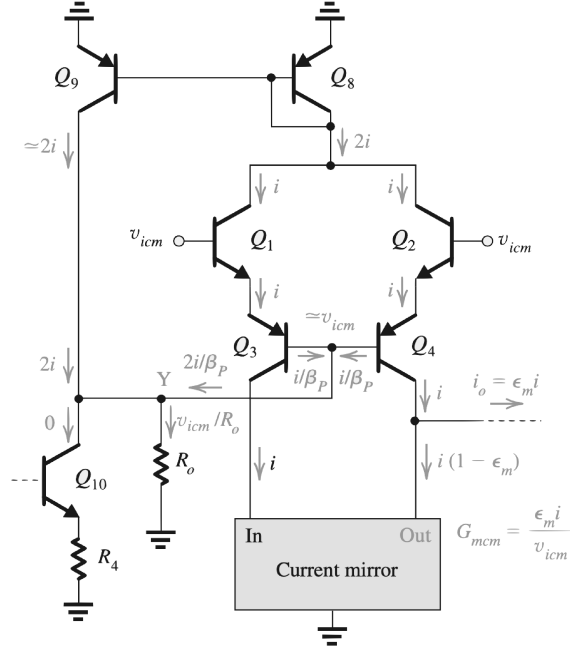


Figura 24: Circuito AC equivalente al First Stage con tensioni d'ingresso di modo comune

in cui R_{o9} e R_{o10} sono le resistenze di uscita rispettivamente dei transistor di Q_9 e Q_{10} e valgono:

$$R_{o9} \approx r_{o9} \approx \frac{V_{A_{pnp}}}{I_{C9}} \approx 2.63M\Omega$$

$$\begin{aligned} R_{o10} &= r_{o10}[g_{m1o}(r_{\pi10} \parallel R_5)] + g_{m1o}(r_{\pi10} \parallel R_5) \\ &\approx r_{o10}[g_{m1o}(r_{\pi10} \parallel R_5)] \\ &\approx r_{o10}[g_{m1o}R_5] \\ &\approx 25M\Omega \end{aligned} \quad (76)$$

Dal momento che la corrente in Q_{10} è costante nel modello AC si può ipotizzare $i_{c10}=0$, invece il transistor Q_9 fornisce al nodo Y una corrente approssimativamente uguale a quella immessa in Q_8 , ovvero la corrente di feedback pari a $2i$ e quindi $i_{c9} \approx 2i$.

Procedendo con l'analisi, ora si può scrivere l'equazione che descrive le correnti al nodo Y:

$$2i + \frac{2i}{R_o} = \frac{v_{icm}}{R_o} \quad (77)$$

Assumendo B_{pnp} (B_p in figura), l'equazione può essere semplificata nel seguente modo:

$$i \approx \frac{v_{icm}}{2R_o} \quad (78)$$

Avendo ricavato la relazione tra i e v_{icm} si proceda adesso trovando il valore della corrente i_o . Dal circuito in figura (24) si ricava:

$$i_o = i - i(1 - \epsilon_m) = i\epsilon_m \approx \frac{v_{icm}}{2R_o} \epsilon_m \quad (79)$$

Nota anche la relazione tra i_o e v_{icm} si calcoli il valore della transconduttanza di modo comune dello stadio:

$$G_{mcm} = \frac{i_o}{v_{icm}} = \epsilon_m \frac{i}{v_{icm}} \quad (80)$$

Sostituendo (78) nella relazione appena ricavata si ottiene:

$$G_{mcm} = \frac{\epsilon_m}{2R_o} \quad (81)$$

Infine il CMRR può essere determinato come il rapporto tra la transconduttanza differenziale G_{mdm} e G_{mcm} . Il valore di G_{mdm} in realtà è già noto poichè equivalente a G_{m1} , calcolato nella (40), dunque:

$$CMRR = \frac{G_{mdm}}{G_{mcm}} = \frac{g_{m1}(R_{o9} \parallel R_{o10})}{\epsilon_m} \approx 1.68 \cdot 10^5 \quad (82)$$

$$CMRR_{dB} = 20 \log_{10} CMRR = 104.5 dB$$

6 Risposta in frequenza

Il 741 è un amplificatore operazionale internamente compensato e utilizza la tecnica di compensazione di Miller per introdurre un polo dominante alle basse frequenze grazie al percorso di retroazione negativa realizzato dal condensatore C_c da 30 pF.

Nel seguente capitolo verrà fatta una stima “manuale” della frequenza del polo e successivamente si simulerà con LTSpice un circuito reale per avere una controprova più accurata di tale valore.

6.0.1 Stima della frequenza di taglio e banda del dispositivo

Dal teorema di Miller si può ricavare il valore della capacità C_{in} che si presenta tra la base di Q_{16} e il potenziale di massa sfruttando il guadagno A_2 dello stadio:

$$C_{in} = C_c(1 + |A_2|) \quad (83)$$

Dove A_2 si ricava dal circuito equivalente in AC del Second Stage:

$$A_2 = \frac{v_{o2}}{v_{i2}} = -G_{m2}(R_{o2} \parallel R_{o3}) = -546 \quad (84)$$

Si deriva:

$$C_{in} \approx 16.38nF \quad (85)$$

Dal momento che la capacità appena calcolata è relativamente elevata, si possono tranquillamente ignorare tutte le restanti capacità tra i due nodi citati.

Per calcolare la frequenza del polo dominante è necessario conoscere anche il valore della resistenza tra la base di Q_{16} e massa, denominata R_t . Essa si ottiene considerando il parallelo tra la resistenza d'uscita del First Stage R_{o1} e quella d'ingresso dello stadio preso in considerazione, ovvero R_{i2} .

Si deriva facilmente che:

$$\begin{aligned} R_t &= R_{o1} \parallel R_{i2} \\ &= 6.64M\Omega \parallel 5.68M\Omega \\ &= 3.06M\Omega \end{aligned} \quad (86)$$

Ora si determini la frequenza f_p del polo dominante:

$$f_p = \frac{1}{2\pi C_{in} R_t} \approx 3.2Hz \quad (87)$$

Come accennato precedentemente, attraverso la compensazione di Miller si ottiene l'effetto del “pole splitting” grazie al quale tutti i poli non dominanti della funzione di trasferimento

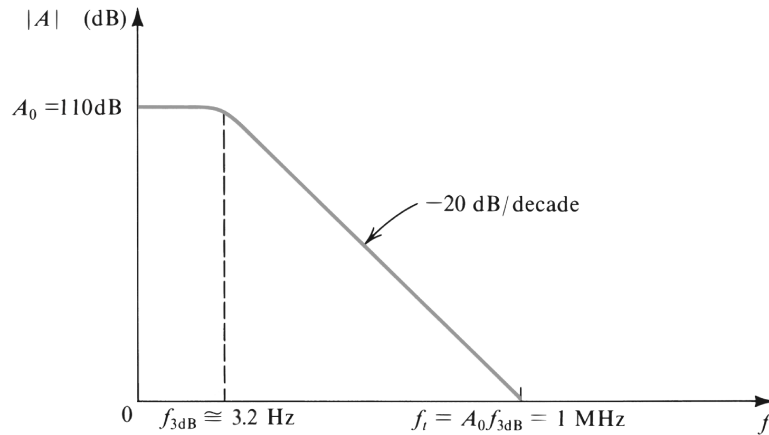


Figura 25: Grafico di Bode del modulo $A_o(s)$

del dispositivo vengono spostati verso frequenze più alte; dunque, la frequenza di taglio f_{3dB} coincide con f_p , il grafico di Bode riguardante il modulo di tale funzione diventa quello rappresentato in figura (25) e in seguito alla pendenza di -20 dB per decade della F.D.T, il 741 ottiene una banda di “unit-gain” di 1 MHz circa, infatti si ricava che:

$$f_t = A_o f_{3dB} = 1.02 \text{ MHz} \quad (88)$$

Inoltre, lo stesso grafico del modulo implica uno sfasamento di -90° della fase nei pressi della frequenza f_t , rendendo il dispositivo stabile grazie ad un margine di fase teorico di 90° gradi.

Nella realtà, il margine di fase che si ottiene è di circa 80° a causa dei poli non dominanti della funzione di trasferimento, ma sono comunque sufficienti a garantire stabilità al dispositivo.

Si vuole tuttavia sottolineare che questa comodità d’uso del 741, compensato internamente, è possibile a scapito di una grande riduzione del guadagno ad anello aperto.

6.0.2 Simulazione LTSpice della risposta in frequenza

Infine si passi alla simulazione del circuito sfruttando il programma LTSpice con lo scopo di verificare i dati ricavati precedentemente.

Il circuito sottoposto alla simulazione della risposta in frequenza è composto dai modelli standard di BJT npn e pnp forniti da LTSpice ai quali sono state modificate le correnti di saturazione inversa, il parametro β_F e le tensioni di early. Questa modifica è stata fatta per avere dei modelli di BJT che avessero le stesse principali caratteristiche dei transistor utilizzati nell’analisi in DC.

Si osservi che i transistor dedicati Q_{15} , Q_{21} , Q_{24} e Q_{22} , dedicati alla protezione da cortocircuito, sono stati rimossi dal circuito poiché non contribuiscono alla risposta in frequenza del dispositivo.

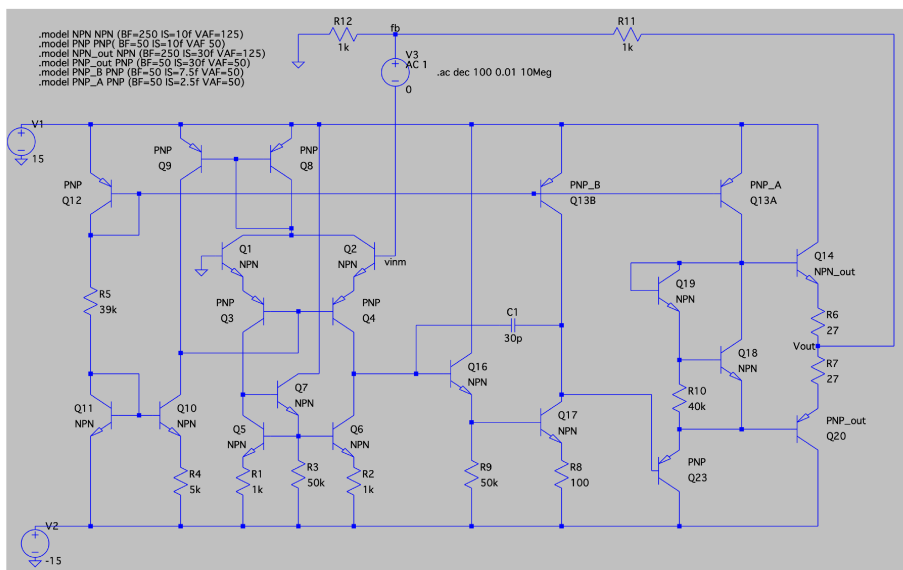


Figura 26: Circuito di simulazione utilizzato per ricavare il guadagno differenziale in "Open-loop" del dispositivo

Simulando il circuito in figura (26) in modalità .AC e plottando il rapporto di tensioni $\frac{V(fb)}{V(inm)}$ si ottengono i risultati di figura(27).

Il grafico mostra l'andamento dell'amplificazione di modo differenziale A_o . Questa assume, a bassa frequenza, un valore pari a $103dB \approx 1.4 \cdot 10^5$, più piccolo rispetto a quello trovato analiticamente, ma pur sempre elevato.

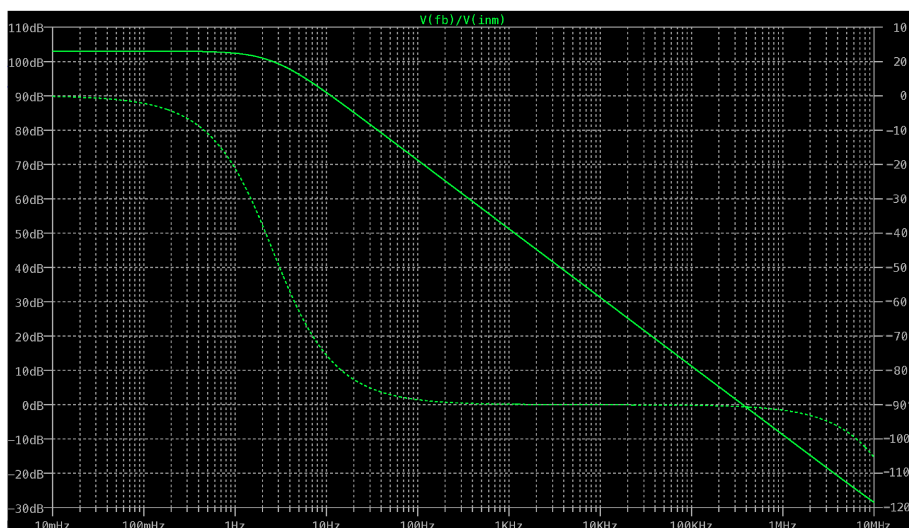


Figura 27: Grafico di modulo e fase del guadagno "open-loop" del dispositivo simulato

Intorno alla frequenza di 2-3 Hz il guadagno comincia a diminuire con una pendenza di -20 dB per decade, arrivando ad assumere un valore unitario alla frequenza di circa 300kHz.

Questo valore rappresenta il "prodotto banda guadagno" GBP dell'amplificatore operazionale. Alla frequenza GBP, l'amplificazione ha una fase di circa -90°, che corrisponde ad un margine di fase di 90° e dunque il dispositivo risulta stabile.

Secondo la stima analitica si dovrebbe ottenere un guadagno unitario intorno alla frequenza di 1MHz, tuttavia anche in questo caso la simulazione ha fornito un risultato che si discosta da quello calcolato manualmente a causa dei modelli standard dei BJT utilizzati per realizzare il circuito. I transistor del dispositivo reale differiscono significativamente dai modelli utilizzati e sono caratterizzati da molti altri fattori che in questa analisi sono stati ignorati.

In conclusione, tale simulazione ha fornito dei risultati che differiscono leggermente dai dati ottenuti manualmente, ma che comunque rispecchiano il comportamento che ci si aspettava dal circuito, infatti per ottenere maggior accuratezza si dovrebbero modellare in maniera più dettagliata le caratteristiche di tutti i BJT.

7 Conclusioni e Ringraziamenti

Si conclude qui questo lavoro di tesi e sono molto soddisfatto poichè mi ha permesso di approfondire le mie conoscenze sugli amplificatori operazionali e in particolare quelle sull'OpAmp 741 ed anche quelle riguardanti le principali configurazioni dei vari stadi di un circuito multistadio. Inoltre spero di essere stato chiaro ed esaustivo nell'organizzare e spiegare l'argomento.

Vorrei ringraziare il professor M. Meneghini per la disponibilità e per avermi dato la possibilità di averlo come relatore. Vorrei poi ringraziare anche il dottorando N. Roccato per avermi fornito le informazioni necessarie per simulare correttamente il circuito con LTSpice.

Con quest'ultimo lavoro concludo questi tre anni di università che hanno sicuramente lasciato il segno e mi hanno arricchito sia didatticamente sia personalmente. Non mi pento del percorso intrapreso e certamente continuerò su questa strada.

Riferimenti bibliografici

- [1] Kenneth C. Smith Adel S. Sedra. *Circuiti per la microelettronica (5° edizione italiana)*. Edises, 2019.
- [2] Hurst Paul J. Lewis Stephen H. Grey, Paul R. and Robert G. Meyer. *Analysis and Design of Analog Integrated Circuits (4th Edition)*. Wiley, 2001.
- [3] Johan H. Huijsing. *Operational Amplifiers, Theory and Design*. Kluwer, 2001.
- [4] Travis N. Blalock Richard C. Jaeger. *Microelettronica (5° edizione italiana)*. McGraw-Hill Education, 2018.