



Università degli Studi di Padova
Facoltà di Ingegneria
Corso di Laurea in Ingegneria Dell'Informazione

Tesi di Laurea Triennale

Studio e Simulazione di un Amplificatore Operazionale CMOS di Miller a Basso Consumo

Relatore: Andrea Neviani

Laureando: Alessandro Maria Bazzega

23/02/2012

Questo documento è stato scritto in L^AT_EX su Debian GNU/Linux.
Tutti i marchi registrati appartengono ai rispettivi proprietari.

Indice

1	Amplificatore Operazionale Elementare	3
1.1	Primo stadio: Amplificatore Differenziale	3
1.2	Stadio di Amplificazione	6
1.3	Stadio di Uscita	7
1.3.1	Compensazione	7
1.3.2	Overshoot	9
2	Calcoli Manuali	11
2.1	Specifiche	11
2.1.1	Schema circuitale	12
2.2	Calcoli Manuali	12
2.2.1	Correnti	13
2.2.2	Dimensionamento del primo stadio	13
2.2.3	Dimensionamento del secondo stadio	14
2.2.4	Dimensionamento del terzo stadio	14
2.2.5	Compensazione	15
3	Simulazione	17
3.1	Analisi DC	17
3.2	Analisi AC	22
3.2.1	Resistenza di Uscita	22
3.2.2	Risposta al gradino unitario	23
	Conclusioni	27
	Bibliografia	29

Breve Introduzione

Scopo di questo lavoro è la progettazione di un amplificatore operazionale elementare e l'analisi del suo comportamento. Si comincia con un breve studio teorico dell'argomento, per poi passare al dimensionamento del circuito e alla successiva simulazione attraverso il software Cadence. Personalmente, la progettazione di circuiti analogici mi ha sempre interessato. Per tale motivo ho voluto cominciare ad accumulare esperienza in questo campo, scegliendolo come argomento per lo svolgimento della tesina per il corso di laurea triennale.

Capitolo 1

Amplificatore Operazionale Elementare

Le specifiche fondamentali di un Amplificatore Operazionale sono resistenza d'ingresso e guadagno elevati e bassa resistenza di uscita.

Utilizzando una configurazione a singolo transistor come quelle a source, drain o gate comune non si riescono a soddisfare contemporaneamente tali specifiche; inoltre non si ottiene un buon comportamento alle basse frequenze (oltre a non poter amplificare segnali in DC) a causa dei condensatori di bypass presenti nell'accoppiamento in AC.

Per sviluppare un amplificatore operazionale elementare si usa allora un circuito multistadio accoppiato in dc, che verrà approfondito in seguito.

1.1 Primo stadio: Amplificatore Differenziale

L'amplificatore differenziale è il circuito base degli amplificatori operazionali e di molti altri circuiti analogici. È accoppiato direttamente senza l'uso di condensatori di bypass, e ciò permette di avere un guadagno anche in DC, oltre a un risparmio in termini di componenti per la polarizzazione (in confronto agli stadi accoppiati in ac).

Questo circuito, mostrato in Fig. 1.1 nella pagina seguente, contiene due transistor posti in maniera simmetrica ma è comunque considerato come un singolo stadio. Presenta due terminali di ingresso e due di uscita, dai quali con un'operazione di differenza è possibile ottenere la tensione di uscita di modo differenziale. Se si è interessati a un'uscita unipolare, è possibile prelevare la tensione tra uno dei due drain e la massa¹. Per ottenere le prestazioni migliori i due transistor devono presentare uguali parametri

¹Facendo attenzione che l'uscita di M_2 è in fase con l'ingresso, quella di M_1 in opposizione.

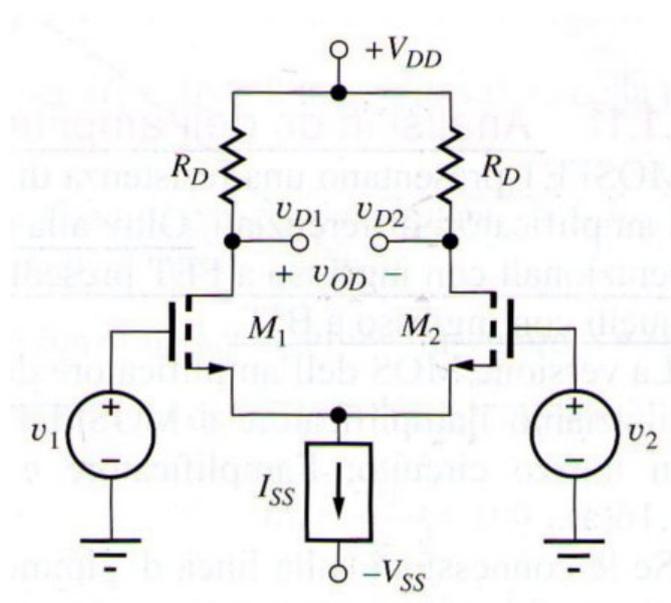


Figura 1.1

(K_n' , V_{TN} e λ) e uguali punti di lavoro. L'amplificatore è polarizzato grazie a un generatore di corrente a resistenza di uscita finita, che viene sostituito da una corrente continua nell'analisi in dc, e dalla sua resistenza di uscita nell'analisi in ac. In questo modo si riesce a stabilizzare il punto di lavoro del circuito, mantenendo comunque una resistenza R_{ss} in uscita al generatore di corrente abbastanza alta da avere un CMRR adeguato²:

$$CMRR = \left| \frac{A_{dm}}{A_{cm}} \right| = g_m R_{ss}$$

Il generatore più usato è lo specchio di corrente.

Specchio di corrente

Per la polarizzazione di circuiti analogici e digitali viene spesso fatto uso di questa configurazione, realizzabile sia in tecnologia MOS che in quella bipolare³ Con riferimento alla Fig. 1.2a nella pagina successiva, analogamente all'amplificatore differenziale i transistor utilizzati devono presentare gli stessi parametri (K_n' , V_{TN} e λ), mentre la (W/L) del secondo mosfet può variare a seconda del rapporto di riflessione desiderato,

²Per il calcolo del CMRR si è considerata la singola uscita al drain, non quella differenziale, perchè in tal caso essendo $A_{cd} = 0$ il CMRR è infinito.

³Noi mostreremo qui solo lo specchio in tecnologia mos.

in modo da controllare il valore della corrente di uscita:

$$MR = \frac{I_0}{I_{REF}} = \frac{\left(\frac{W}{L}\right)_2 (1 + \lambda V_{DS2})}{\left(\frac{W}{L}\right)_1 (1 + \lambda V_{DS1})}$$

Mantenendo uguali le (W/L) dei due mosfet, il rapporto di riflessione diventa quasi unitario e si ha una corrente di uscita circa uguale a quella di riferimento (a meno di un contributo dato dalla modulazione della lunghezza di canale):

$$I_0 = I_{REF} \frac{(1 + \lambda V_{DS2})}{1 + \lambda V_{DS1}} \simeq I_{REF}$$

Molti circuiti necessitano di più generatori di corrente per polarizzare gli stadi che li compongono. Dato che la corrente assorbita dal gate è nulla, con un solo mosfet di riferimento è possibile pilotare numerosi transistor di uscita (di dimensioni opportune al valore di corrente desiderato)⁴ ottenendo un generatore di corrente multiplo come in Fig. 1.2b.

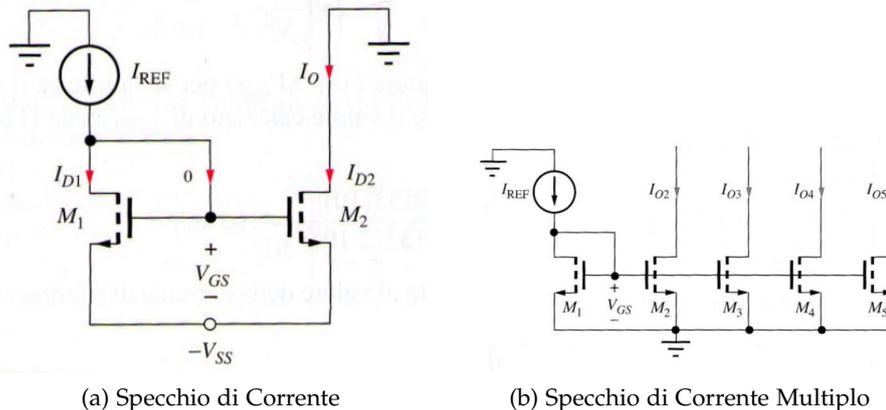


Figura 1.2

Specchio come Carico Attivo

Per migliorare il guadagno di tensione dell'amplificatore differenziale mantenendo una buona reiezione del modo comune e ottenendo un'uscita singola riferita a massa si utilizza uno specchio di corrente al posto dei resistori di carico, i cui mosfet sono di tipo complementare a quelli di ingresso. In questo modo il guadagno dell'amplificatore differenziale, in assenza di carichi in uscita, diventa uguale a

$$A_v = g_{m2}(r_{o2} \parallel r_{o4})$$

⁴se usassimo uno specchio di corrente in tecnologia bipolare, aumentando il numero di uscite la corrente di base introdurrebbe errori nel rapporto di riflessione.

guadagno del primo stadio è dato da

$$A_{v1} = g_{m2}(r_{02} \parallel r_{04}) \simeq \frac{g_{m2}r_{02}}{2} = \frac{\mu_2}{2}$$

Grazie a questa configurazione il guadagno complessivo aumenta di molto e si avvicina di più al valore ideale atteso per gli Operazionali.

$$A_v = A_{v1}A_{v2} \simeq \frac{\mu_2\mu_5}{4}$$

1.3 Stadio di Uscita

Il secondo stadio fornisce una resistenza di uscita troppo elevata, e si necessita quindi di un terzo stadio: nel nostro caso viene richiesto uno stadio di uscita di classe A. Esso consiste in un Mosfet in configurazione source follower, la cui corrente relativamente elevata abbassa la resistenza di uscita, approssimabile al reciproco della transconduttanza del transistor. Con riferimento alla Fig. 1.4 nella pagina successiva

$$R_{OUT} \frac{1}{g_m + \frac{1}{r_0 \parallel R_{ISS}}} \simeq \frac{1}{g_m}$$

In questo modo è possibile dimensionare adeguatamente i mosfet di uscita per avere il valore di R_{OUT} desiderato.

Lo stadio di uscita in classe A conduce per l'intero periodo della forma d'onda di ingresso, ottenendo quindi un angolo di conduzione di 360° . La tensione di uscita segue fedelmente la tensione di ingresso, a meno di un offset del valore di V_{GS} .

Il massimo valore della tensione di uscita è $v_o = V_{DD} - V_{GS}$ con una tensione di ingresso pari a V_{DD} , mentre il minimo è fissato dal funzionamento del generatore di corrente di polarizzazione. Il guadagno è quasi unitario, in quanto dato da

$$A_{v3} = \frac{g_m(r_0 \parallel R_{ISS})}{1 + g_m(r_0 \parallel R_{ISS})}$$

Per questo motivo nello studio del guadagno complessivo dell'amplificatore operativo il terzo stadio può essere trascurato.

1.3.1 Compensazione

La risposta in frequenza dell'amplificatore può essere espressa come

$$A(j\omega) = A_0 \frac{\left(1 + \frac{\omega}{\omega_z}\right)}{\left(1 + \frac{\omega}{\omega_{p1}}\right) \left(1 + \frac{\omega}{\omega_{p2}}\right)}$$

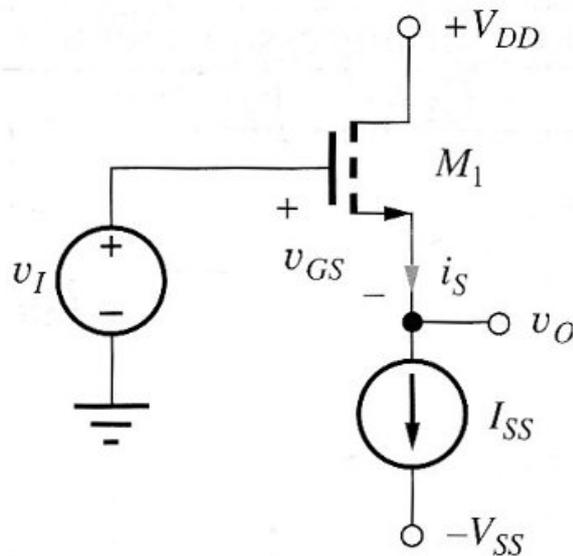


Figura 1.4: Stadio di Uscita in classe A

dove ω_Z rappresenta lo zero causato dalla transconduttanza del mosfet del secondo stadio, ω_{p1} il polo dominante e ω_{p2} il polo equivalente che modella i poli ad alte frequenze. Perchè l'amplificatore abbia una risposta in frequenza del primo ordine fino alla frequenza di guadagno unitario si fa uso di un condensatore di compensazione C_C , collegato in retroazione tra il primo e il secondo stadio, ottenendo un Amplificatore Operazionale di Miller. Per contrastare l'effetto dello zero si usa una resistenza R_Z pari al reciproco della transconduttanza di M_5 posta in serie a C_C , in modo che

$$\omega_Z = \frac{\left(\frac{1}{g_{m5}}\right) - R_Z}{C_C} = 0$$

In questo modo la risposta in frequenza può essere approssimata a

$$A(s) = \frac{A_0 \omega_p}{s + \omega_p} = \frac{\omega_T}{s + \omega_p}$$

con ω_T pulsazione di guadagno unitario, variabile aggiustando C_C al valore opportuno, secondo l'equazione:

$$GBW = f_T = \frac{\omega_T}{2\pi} = \frac{g_{m1}}{2\pi C_C}$$

Come misura di stabilità si introduce il margine di fase M_p , definito come la distanza della fase del sistema alla frequenza di guadagno unitario

da -180° .

$$M_p = \pi + \angle A(j\omega_T)$$

Il sistema risulterà stabile se il margine di fase maggiore di zero.

1.3.2 Overshoot

Per una funzione di trasferimento di un sistema del secondo ordine del tipo

$$A(s) = \frac{K}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0^2}$$

lo studio della risposta al gradino unitario può mostrare un sovravelongazione in uscita di ampiezza percentuale $100e^{\frac{-\pi}{\sqrt{4Q^2+1}}}$.

La seguente equazione mette in relazione il margine di fase a Q , e quindi alla sovravelongazione:

$$Q = \ln \frac{M_p}{\sqrt{\pi^2 + \ln^2 M_p}}$$

Nella tabella di Fig. 2.1 a pagina 11 sono elencati alcuni esempi, si può vedere che per una sovravelongazione minore del 5% si può puntare a ottenere un margine di fase di 65° .

PM (Phase margin)	ω_t / ω_{eq}	Q factor	Percentage overshoot for a step input
55°	0.700	0.925	13.3%
60°	0.580	0.817	8.7%
65°	0.470	0.717	4.7%
70°	0.360	0.622	1.4%
75°	0.270	0.527	0.008%

Figura 1.5: La tabella mostra la relazione tra M_p e Q [1]

Capitolo 2

Calcoli Manuali

2.1 Specifiche

- tensioni di alimentazione: $V_{DD} = 1.5V$; $V_{SS} = 0V$;
- ingresso differenziale, uscita unipolare;
- guadagno di tensione tipico a vuoto: $A_d \geq 70dB$;
- resistenza di uscita $R_{out} \leq 50\Omega$;
- consumo di potenza a riposo riferito ai primi due stadi: $P_{DC} \leq 300\mu W$
- l'amplificatore deve essere compensato in modo da avere una risposta in frequenza del primo ordine fino alla frequenza di guadagno unitario e una risposta al gradino nel tempo con una sovraelongazione massima del 5%;

Si avrà l'obiettivo di massimizzare il prodotto guadagno-lunghezza di banda e lo slew-rate dell'amplificatore, con un carico esterno puramente capacitivo di 0.5pF, rispettando le precedenti specifiche.

	nMOSFET	pMOSFET	
Par	Valore	Valore	Note
$V_{Tn(p)}$	0.5 V	-0.6 V	tensione di soglia
$k'_{n(p)}$	175 $\mu A/V^2$	60 $\mu A/V^2$	fattore di corrente ($k'_{n(p)} = \mu_{n(p)} C_{ox}$)
$\gamma_{n(p)}$	0.58 $V^{1/2}$	0.45 $V^{1/2}$	fattore dell'effetto body
$\eta_{n(p)}$	$1.8 \times 10^7 V/m$	$1.25 \times 10^7 V/m$	coefficiente della resistenza di uscita: $r_o = \eta_{n(p)} L/I_D$
C_{ox}	4.6 fF/ μm^2	4.6 fF/ μm^2	capacità specifica dell'ossido di gate
C_{GS0}	0.21 fF/ μm	0.21 fF/ μm	capacità specifica di sovrapposizione: $C_{gs,ov} = WC_{GS0}$
C_{GD0}	0.21 fF/ μm	0.21 fF/ μm	capacità specifica di sovrapposizione: $C_{gd,ov} = WC_{GD0}$
C_{J0}	0.93 fF/ μm^2	1.42 fF/ μm^2	capacità specifica di area dei diodi S/D
C_{JSW0}	0.28 fF/ μm	0.38 fF/ μm	capacità specifica di perimetro dei diodi S/D

Figura 2.1: Parametri dei MOSFET del processo C35 CMOS 0.35 μm

2.1.1 Schema circuitale

La struttura del circuito è mostrata in Fig. 2.2:

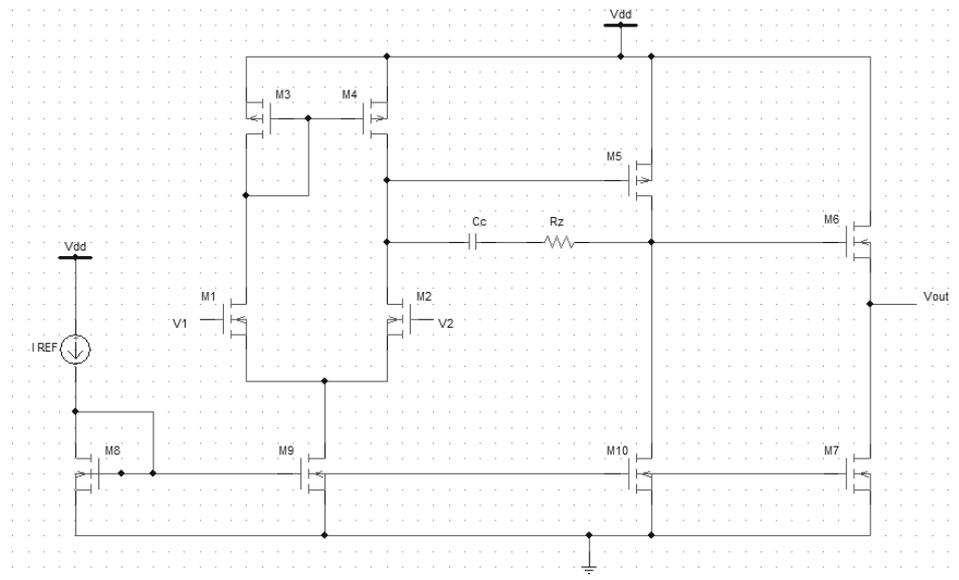


Figura 2.2: Schema circuitale

Il primo stadio è composto dagli nMOS di ingresso differenziale M_1 e M_2 e dal carico attivo formato dai pMOS M_3 e M_4 . E' polarizzato attraverso M_9 , che impone la corrente totale dello stadio grazie alla connessione allo specchio di corrente multiplo controllato da M_8 . Il secondo stadio consiste nel pMOS M_5 in configurazione a source comune, polarizzato dal nMOS M_{10} , e dal ramo di compensazione comprendente C_C e R_Z . Al terzo stadio viene usato M_6 come source follower (classe A), polarizzato da M_7 (entrambi nMOS). L'uscita unipolare verrà prelevata al source di M_6 .

2.2 Calcoli Manuali

Nello sviluppo di un progetto è bene iniziare per via analitica, in modo da rendersi conto di come sarà il circuito finale prima di passare alla più accurata simulazione software. I calcoli sfruttano le specifiche richieste e i parametri della tecnologia utilizzata al fine di dimensionare in maniera appropriata i MOSFET in gioco. Per ottenere i dati che ci interessano sarà poi necessario fissare alcuni parametri a valori consueti, come le tensioni di overdrive V_{eff} e le lunghezze di canale.

2.2.1 Correnti

Le specifiche richiedono un consumo di potenza a riposo ai primi due stadi minore o uguale a $300\mu W$. La corrente erogata dall'alimentazione dovrà allora rispettare il vincolo $I_{max} \leq \frac{300\mu}{1.5} = 200\mu A$ che poniamo suddivisi equamente tra lo stadio a source comune e quello differenziale. In questo modo M_9 e M_{10} dovranno erogare la stessa corrente e manterranno perciò lo stesso fattore di forma (W/L). La resistenza di uscita può essere approssimata al reciproco della transconduttanza di M_6 , e il vincolo posto su di essa fa sì che

$$g_{m6} = \frac{1}{R_{OUT}} \geq 20mS$$

quindi

$$I_3 = \frac{g_{m6} V_{eff}}{2} = 1.75mA$$

Volendo utilizzare uno specchio di corrente multiplo per la polarizzazione del circuito si sceglie una I_{ref} di $400\mu A$, più alta delle correnti dei primi due stadi, per non dover aumentare troppo il rapporto (W/L) di M_7 . Data allora la formula per il calcolo della corrente di un MOSFET

$$I = \frac{K_n W}{2L} (V_{GS} - V_T)^2$$

ponendo una $V_{eff} = 200mV$ si ottiene

$$(W/L)_8 = \frac{2I_{REF}}{K_n V_{eff}^2} = 114.29$$

e quindi per $L_8 = 0.7\mu m$ si ha che $W_8 = (W/L)_8 L_8 = 20\mu m$

2.2.2 Dimensionamento del primo stadio

M_9 è il MOSFET che impone la corrente di $100\mu A$ al primo stadio. Il rapporto di riflessione dello specchio è quindi di 0.25, e il fattore di forma è un quarto di quello di M_8

$$(W/L)_9 = \frac{(W/L)_8}{4} = 28.57$$

Ponendo $L_9 = 0.7\mu m$ si ottiene $M_9 = 20\mu m$.

I_{D9} si distribuisce equamente sui due rami, perciò M_1, M_2, M_3 e M_4 sono percorsi tutti dalla stessa corrente. Per questi MOSFET si considera una $V_{eff} = 175mV$, e si ottiene

$$(W/L)_{1,2} = 18.66(W/L)_{3,4} = 54.42$$

Ponendo $L_1 = 0.35\mu m$ si ricava una larghezza di canale $W_1 = 6.53\mu m$ e quindi una r_0

$$r_{01} = r_{02} = \frac{\eta_n L_1}{I_{D1}} = 126000\Omega$$

Per cercare di aumentare il guadagno aumentiamo le lunghezze di canale del carico attivo L_3 e L_4 in modo che $r_{04} = r_{01}$ e quindi $A_{v1} = \frac{g_{m2} r_{02}}{2}$.

$$r_{04} = \frac{\eta_p L_4}{I_{D1}} = 2.5 \cdot 10^{11} L_4$$

Si ottiene che $L_3 = L_4 = 0.5\mu m$ e $W_3 = W_4 = 27.43\mu m$

2.2.3 Dimensionamento del secondo stadio

I MOSFET del secondo stadio vanno dimensionati accuratamente per poter rispettare le specifiche date sul guadagno, molto elevato, di $A_d = 70dB = 3162$. Tenendo conto di A_{v1} e che il guadagno del terzo stadio è approssimabile all'unità, questo stadio deve avere un'amplificazione di

$$A_{v2} = \frac{A_d}{A_{v1}} = 88.1$$

I fattori di forma dei due mosfet, con V_{eff} di M_5 pari a 175mV, risultano essere

$$(W/L)_{10} = (W/L)_9 = 28.57 \quad (W/L)_5 = \frac{2I_{D5}}{K_p V_{eff}^2}$$

Si ricavano le lunghezze di canale appropriate dei mosfet analogamente a quanto fatto al primo stadio:

$$r_{05} = 1.25 \cdot 10^{11} L_5 \quad r_{010} = 1.8 \cdot 10^{11} L_{10}$$

Ponendoli uguali, e ricavata la transconduttanza di M_5 $g_{m5} = \frac{2I_{D5}}{V_{eff}} = 1.14mS$, grazie all'equazione del guadagno si ottengono

$$\begin{aligned} L_5 &= 1.236\mu m & W_5 &= 134.52\mu m \\ L_{10} &= 0.858\mu m & W_{10} &= 24.53\mu m \end{aligned}$$

2.2.4 Dimensionamento del terzo stadio

Abbiamo già ricavato che la corrente che scorre nel terzo stadio dovrà essere di 1.75 mA. Calcolando il rapporto di riflessione dello specchio si ottiene il (W/L) di M_7

$$\begin{aligned} MR &= \frac{I_{D7}}{I_{REF}} = 4.375 \\ (W/L)_7 &= 4.375(W/L)_8 = 500 \end{aligned}$$

Si è scelta una lunghezza di canale di $L_7 = 0.7\mu m$, che porta la larghezza di canale a $M_7 = 350\mu m$. Per quanto riguarda M_6 , ponendo la sua V_{eff} a 175mV e la lunghezza di canale L_6 a $0.35\mu m$ si ricava

$$W_6 = \frac{2I_{D7}L_6}{K_n V_{eff}^2} = 228.6\mu m$$

2.2.5 Compensazione

Nel ramo di compensazione, per portare lo zero dovuto alla transconduttanza di M_5 nella parte reale negativa del piano si deve mantenere una resistenza $R_Z \geq \frac{1}{g_{m5}}$, perciò viene inizialmente posta a 1 K Ω . La capacità di compensazione viene fissata a 1pF, valore che dovrebbe garantire il comportamento del primo ordine fino alla frequenza di guadagno unitario, calcolata a

$$GBW = f_T = \frac{g_{m1}}{2\pi C_C} \simeq 70MHz$$

Durante la simulazione vedremo di correggere questi valori nel modo opportuno per mantenere una buona stabilità oltre che un alto prodotto banda-guadagno e slew-rate.

Capitolo 3

Simulazione

Una volta ottenuto un dimensionamento approssimato dello schema elettrico, si passa alla sua simulazione. Il software utilizzato è il toolset Cadence Design Framework II, del quale si userà principalmente l'editor grafico Composer e il simulatore circuitale Affirma Analog Artist. All'ingresso del circuito poniamo in modo comune il generatore di tensione vdc, il cui valore è stato fissato a 1V perchè fornisca una tensione abbastanza elevata da consentire la saturazione, ma non tanto da limitare di molto il guadagno. In modo differenziale due generatori di onde quadre vpulse, ognuno di ampiezza 500mV ma in opposizione di fase. In Fig. 3.1 nella pagina seguente si può vedere lo schematico dei circuiti di polarizzazione, mentre in Fig. 3.6 a pagina 21 e 3.3 a pagina 19 è mostrato il circuito dimensionato secondo i calcoli precedenti. Il terminale di gate dello specchio di corrente è collegato ai gate dei MOSFET di polarizzazione di ogni stadio attraverso la label "specchio" applicata alla connessione uscente. La tensione V_{DD} è impostata a 1.5 V dal generatore di tensione vdc. A causa della forma molto allungata dei MOSFET usati è stato aumentato il numero delle porte di gate di ogni dispositivo in modo da averne una ogni 2-3 μm .

3.1 Analisi DC

Per prima cosa è necessario verificare se tutti i transistor operano in zona di saturazione. Attraverso il simulatore Analog Artist viene impostata l'analisi DC, in modo da osservare il punto di lavoro dei componenti dei vari stadi. E' conveniente cominciare analizzando i mosfet del primo stadio, e solo in seguito procedere con i successivi.

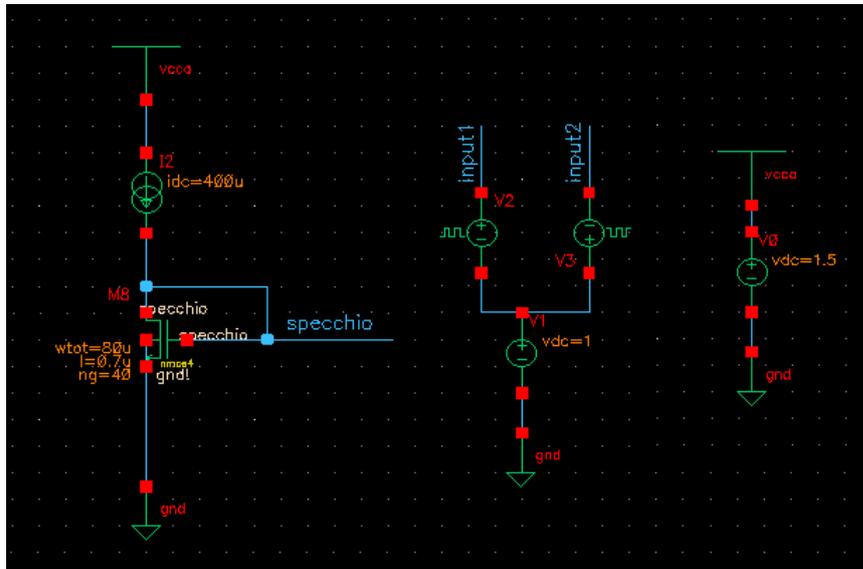


Figura 3.1: Lo specchio di corrente, l'ingresso e la tensione di alimentazione

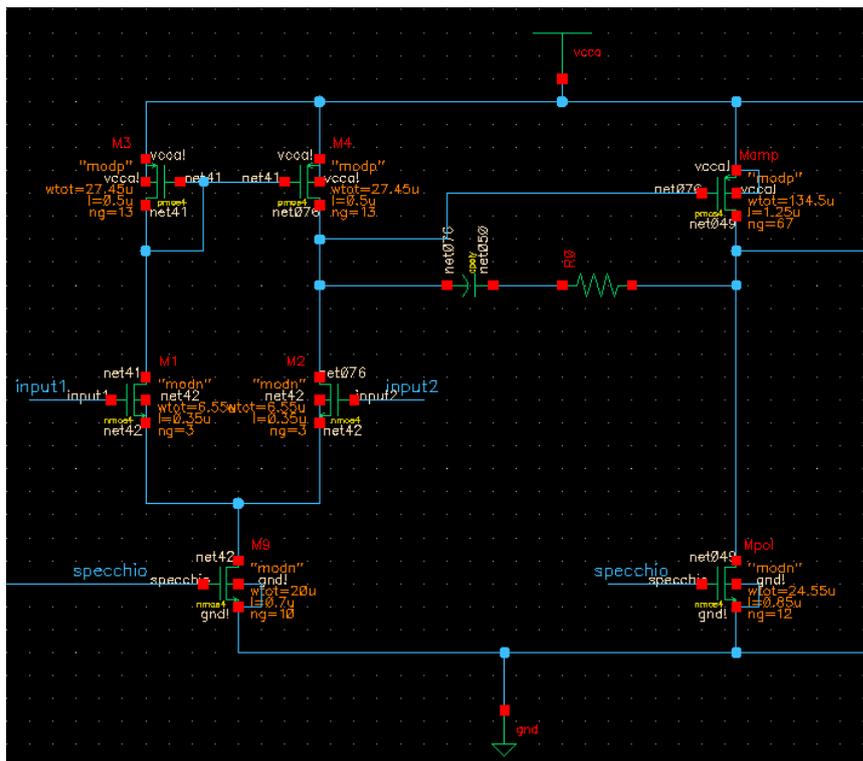


Figura 3.2: Lo schematico dei primi due stadi

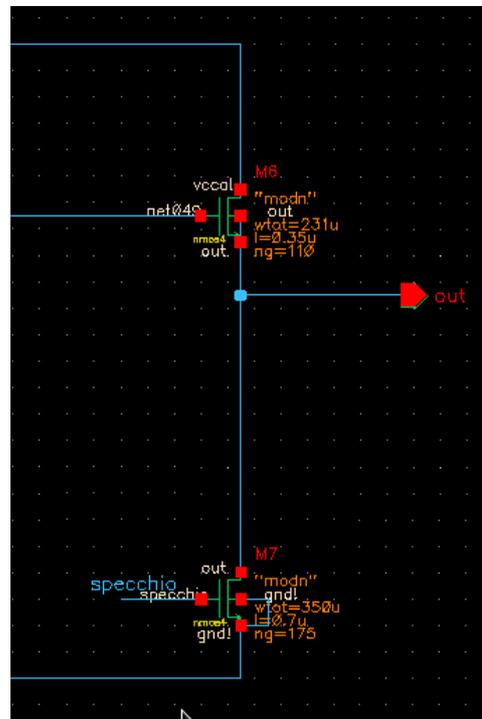
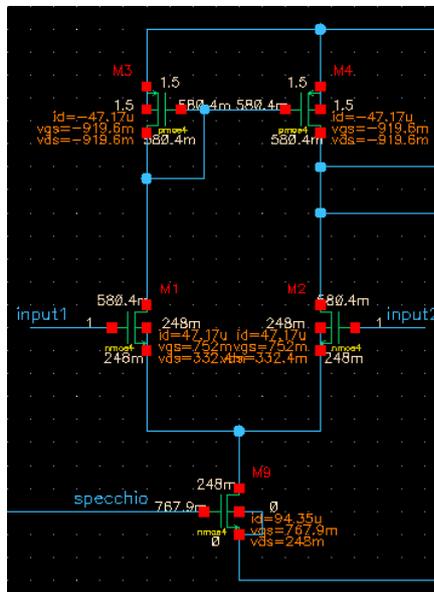


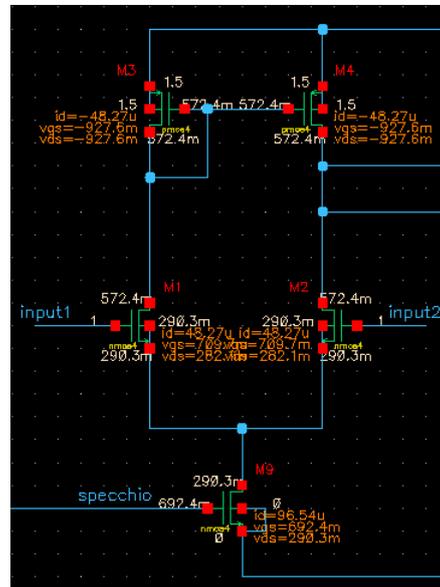
Figura 3.3: Lo schematico del terzo stadio

Mosfet in saturazione

Si nota che il transistor M_9 non è in saturazione. La caduta di tensione ai capi del carico attivo, infatti, è di quasi 1V, e a causa della bassa tensione di alimentazione la V_{DS} di M_9 non riesce a superare la tensione di overdrive, resa elevata dalla V_{GS} dei mosfet dello specchio di corrente (M_8 , M_9 , M_{10} , M_7). Raddoppiando il fattore di forma di questi ultimi si abbassa la loro V_{GS} di un valore adeguato a fare entrare in saturazione tutto il primo stadio. Alziamo inoltre L_3 e L_4 fino a 0.7, mantenendo il fattore di forma di M_3 e M_4 . Al secondo stadio la caduta su M_5 è comunque troppo alta e M_{10} non satura. Si aumenta la larghezza di canale del pMOS da 135 μm a 165 μm , col duplice scopo di alzare abbastanza la tensione di drain di M_7 e fare entrare anche lui in saturazione.

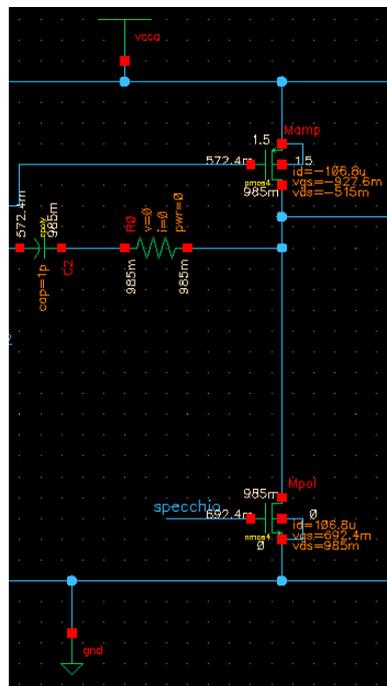
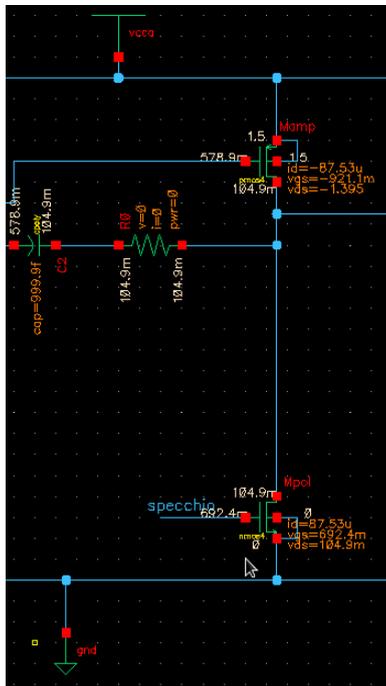


(a) Il punto di lavoro iniziale del primo stadio



(b) Il punto di lavoro del primo stadio dopo le modifiche

Figura 3.4



(a) Il punto di lavoro iniziale del secondo stadio

(b) Il punto di lavoro del secondo stadio dopo le modifiche

Figura 3.5

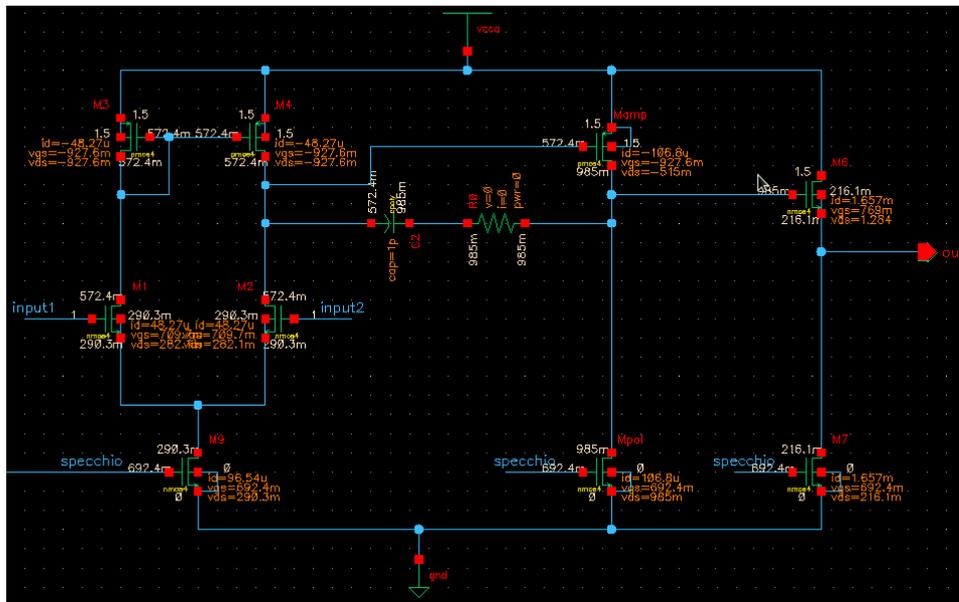


Figura 3.6: I punti di lavoro del circuito con tutti i MOSFET in saturazione

3.2 Analisi AC

Da una prima analisi AC si ottiene il diagramma di Bode di modulo e fase del circuito. Il guadagno a vuoto non è sufficiente, essendo solo di 67 dB. E' necessario allora modificare ancora un po' le dimensioni dei mosfet, concentrandosi sui primi due stadi in quanto il terzo non influisce in modo rilevante sul guadagno totale. Per aumentare la transconduttanza di M2 si aumentano W1 e W2 da 6.53um a 10um diminuendo così la tensione di overdrive. Si alzano inoltre W3 e W4 fino a 58 um, e W5 fino a 240um, portando quindi il guadagno a 70.44 dB e ottenendo il diagramma di Bode di Fig. 3.7.

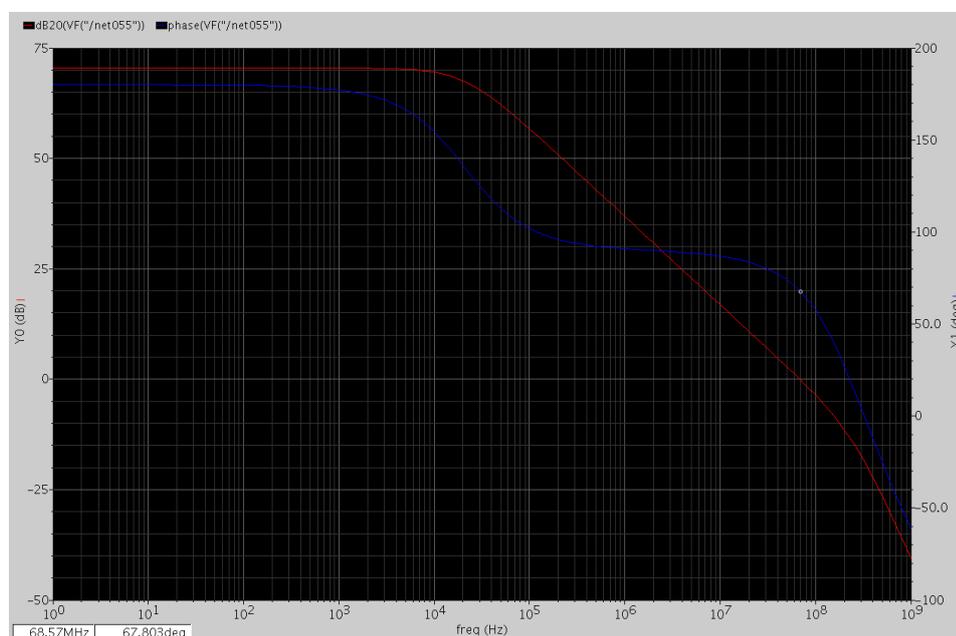


Figura 3.7: La risposta in frequenza del circuito dopo le modifiche

Come si può vedere il comportamento del sistema è del primo ordine fino alla frequenza di guadagno unitario, come richiesto. Il margine di fase inoltre è superiore ai 65°, e questo garantisce assenza di sovraelongazione e una forte stabilità del sistema. La frequenza di guadagno unitario risulta essere circa 69 Mhz, un valore più che buono, perciò per ora la capacità di compensazione può essere lasciata a 1pF.

3.2.1 Resistenza di Uscita

Per valutare la resistenza di uscita si azzerava la componente ai piccoli segnali dei generatori vpulse, e si pone in uscita un generatore di corrente

alternata di ampiezza 1A. Questo valore è stato scelto perchè con un'analisi AC del nodo di uscita si può ricavare facilmente la resistenza dall'andamento della tensione. Lanciando la simulazione si nota che la resistenza è di poco sopra i 50 Ohm. Dimensionando adeguatamente M6 e portando la sua larghezza di canale a 350 um si ottengono in uscita i 50 Ohm richiesti.



Figura 3.8: L'andamento della tensione di uscita in funzione della frequenza. Il valore è pari a quello della resistenza di uscita, essendo stata posta in ingresso una corrente di 1A

3.2.2 Risposta al gradino unitario

L'analisi del transitorio si effettua applicando in ingresso a M1 un'onda quadra e studiando il comportamento della relativa uscita collegata al carico capacitivo. Virtuoso Analog Artist è provvisto di una funzione apposita per questo tipo di analisi. Considerando il guadagno elevato del circuito, per avere una variazione in uscita di un centinaio di mV è necessario che l'ampiezza di ingresso sia dell'ordine di qualche decina di μV . Viene allora impostata in ingresso a M1 un'onda quadra di periodo 100us e ampiezza 30uV. La variazione della tensione d uscita corrispondente è visualizzata in Fig. 3.9 nella pagina seguente.

Per calcolare lo slew-rate basta controllare la velocità massima della variazione della tensione di uscita, e quindi la pendenza della retta di salita.

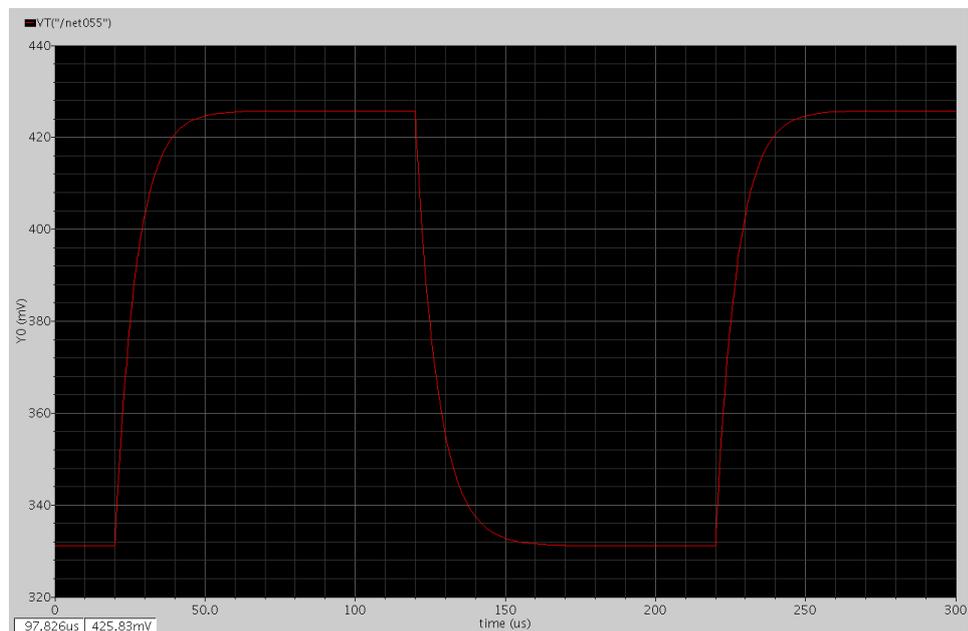


Figura 3.9: Il comportamento della tensione di uscita in risposta all'onda quadra in ingresso.

Si ottiene

$$SR = \frac{dv_{out}}{dt} \simeq 10 \frac{mV}{\mu s}$$

che è un valore soddisfacente. Si mantiene allora il valore della capacità di compensazione a 1pF.

Conclusioni

A conclusione del lavoro svolto, pare opportuno sottolineare un dato che può sembrare evidente: la progettazione di un circuito è profondamente diversa dalla risoluzione di un esercizio teorico. Questo perchè non c'è una soluzione univoca ed "esatta" per raggiungere gli scopi prefissati, ma va preferita quella più adeguata e rispettosa delle specifiche di partenza. Questo è quanto si è cercato di fare nello svolgimento di questo progetto, sfruttando le conoscenze di base che il corso di studi appena concluso mi ha fornito. Con la consapevolezza, però, che l'ulteriore approfondimento teorico (nel prosieguo degli studi) da un parte e l'esperienza concreta dall'altra avranno un ruolo determinante nello sviluppo delle mie competenze.

Bibliografia

- [1] A. David Johns e Ken Martin. *Analog Integrated Circuit Design*. J. Wiley, 1997.
- [2] C. Richard Jaeger e N. Travis Blalock. *Microelettronica*. McGraw-Hill, 2009.
- [3] R. Paul Gray et al. *Analysis and Design of Analog Integrated Circuits*. J. Wiley, 2001.
- [4] Andrea Neviani. *Introduzione all'uso di Cadence DFII per la Progettazione Analogica*. Online: accessed 22 December 2012. 2007. URL: http://www.dei.unipd.it/ricerca/microel/did/labcad/opus/cadence_tut.html.