

UNIVERSITÀ DEGLI STUDI DI PADOVA
Dipartimento di Fisica e Astronomia “Galileo Galilei”

Corso di Laurea in Fisica

Caratterizzazione pre e post irraggiamento di transistor in tecnologia CMOS 65 nm

Relatore:

Prof. Dario Bisello

Laureando:

Filippo Baruffaldi

Anno Accademico 2014/2015

Indice

1	Introduzione	1
2	Danno da radiazione su dispositivi al silicio	2
2.1	Danno da Total Ionizing Dose	2
2.2	Effetti sui parametri elettrici	4
2.2.1	Spostamento della tensione di soglia	4
2.2.2	Ossidi di isolamento e correnti parassite	5
2.2.3	Separazione dei contributi per lo spostamento della tensione di soglia e <i>Subthreshold Swing</i>	7
2.2.4	Alterazioni della caratteristica di trasferimento nella regione di sottosoglia	8
3	Misure e analisi dati	9
3.1	Sorgente di raggi X	9
3.2	Misure effettuate e analisi dei dati	9
4	Risultati sperimentali	13
4.1	NMOS	13
4.1.1	Caratteristica di trasferimento	14
4.1.2	Transconduttanza e tensione di soglia	15
4.1.3	Subthreshold Swing	17
4.2	PMOS	19
4.2.1	Caratteristica di trasferimento	19
4.2.2	Transconduttanza e tensione di soglia	22
4.2.3	Subthreshold Swing	24
5	Conclusioni	25
6	Appendice	27
7	Bibliografia	29

1 Introduzione

Il *Large Hadron Collider (LHC)*, situato al *CERN* di Ginevra, è il più grande e potente acceleratore di particelle in funzione. Lo studio dei prodotti delle interazioni tra i suoi fasci di protoni prima a 7 e poi ad 8 TeV ha portato alla recente verifica dell'esistenza del *Bosone di Higgs*. Il nuovo periodo, appena iniziato, di presa dati a 13 TeV, l'energia di progetto di LHC, successivamente aumentabili a 14 TeV, permetterà di migliorare la conoscenza del bosone di Higgs e possibilmente dare indicazioni di nuova fisica al di là del Modello Standard.

Per perseguire ulteriori ricerche è stato pianificato un upgrade di LHC, denominato *High Luminosity LHC (HL-LHC)*, che attorno all'anno 2022 porterà all'aumento di circa un fattore 10 del rate di collisioni, fino ad arrivare ad una luminosità di $10^{35} \text{cm}^{-2} \text{s}^{-1}$. È quindi indispensabile riprogettare gli attuali apparati di rivelazione in modo che siano in grado di lavorare in maniera soddisfacente nelle nuove condizioni imposte dall'aumentata luminosità di LHC [1]. In particolare nei rivelatori di vertice degli esperimenti *ATLAS* e *CMS*, l'esigenza di una maggiore densità di pixel, per una maggiore granularità, accoppiata alla richiesta di una minore dissipazione di potenza, ha portato a considerare l'utilizzo per l'elettronica di *front-end* di tecnologie MOSFET (*Metal-oxide-Semiconductor Field-Effect Transistor*) [2] con processi a dimensioni inferiori rispetto a quelli attualmente in uso, 130nm e 250nm . Questi dispositivi dovranno inoltre essere in grado di lavorare in maniera affidabile, in un ambiente in cui saranno sottoposti a valori massimi di *Total Ionizing Dose (TID)* di 1Grad (in SiO_2) nel corso di un periodo di utilizzo previsto di 10 anni, quantità mai registrata prima in nessun altro esperimento. La comunità dei ricercatori implicati in questi sviluppi partecipa ad un'attività comune di ricerca (*RD53*) volta a verificare l'affidabilità in tali condizioni di una tecnologia CMOS 65nm candidata per il *read-out* dei rivelatori a pixel. L'*INFN* collabora al progetto attraverso l'esperimento *CHIPIX65*, alla cui attività fa riferimento questo lavoro. Precedenti studi riguardanti gli effetti di danni da TID su transistor MOSFET, come [3], sono stati eseguiti solamente fino a dosi totali di centinaia di Mrad con dispositivi di in tecnologia 130nm , questa è la prima volta che nell'ambito della Fisica delle Alte Energie ci si inoltra a considerare dosi così elevate e tecnologie così spinte.

Il piano di RD53 è di produrre un dispositivo completo di read-out capace di funzionare fino ad una dose ionizzante totale di 1Grad entro il 2016. Il primo passo, in cui si inserisce questo lavoro di tesi, è quello di validare la tecnologia 65nm prescelta fino a tale valore di dose totale utilizzando una struttura di test disegnata al CERN, contenente singoli transistor MOS di diverse tipologie.

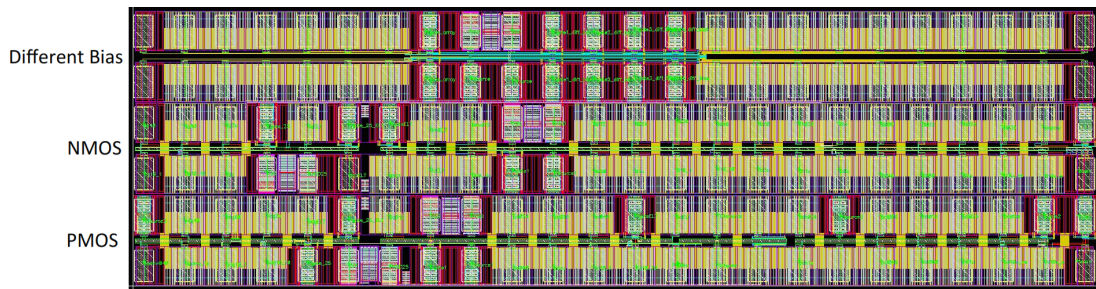


Fig. 1: Diagramma del chip di test a 65nm

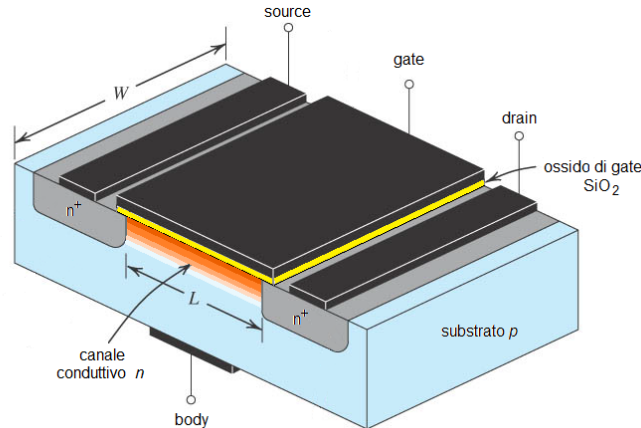


Fig. 2: Schema della struttura di un MOSFET a canale n (NMOS) in layout lineare

2 Danno da radiazione su dispositivi al silicio

La fenomenologia del danno causato da un qualsiasi tipo di radiazione su un dispositivo al silicio MOSFET (ci si riferirà esclusivamente al silicio, ma i medesimi fenomeni interessano anche gli altri semiconduttori) può essere classificata in tre categorie:

- **danno da Total Ionizing Dose:** è il danno dovuto all'accumulo di carica intrappolata nell'ossido di silicio, SiO_2 , presente nella struttura del MOSFET. Si presenta quando l'energia depositata dal passaggio di radiazione ionizzante crea coppie elettrone-lacuna all'interno dell'ossido, le quali danno luogo ad una progressiva concentrazione di carica parassita positiva. Questo tipo di effetto ha luogo principalmente per l'esposizione a raggi X, raggi γ e alla maggior parte delle particelle cariche, tuttavia gli effetti dipendono solo dalla quantità di energia depositata e non dal particolare tipo di sorgente; è la componente principale del danno nei dispositivi MOSFET e per tale motivo è l'unica che viene studiata in questo esperimento.
- **danno da Displacement:** detto anche *bulk damage*, ha luogo quando le particelle incidenti, lungo la loro traiettoria all'interno del corpo del transistor, urtano e scalzano gli atomi di silicio dal reticolo cristallino del substrato, alterandone le proprietà elettriche. Il danno da *Displacement* è causato specialmente da protoni o ioni pesanti, costituisce una parte meno rilevante del danno nei MOSFET e pertanto non viene preso in considerazione in questa trattazione.
- **danno da Single Event:** è causato dal deposito di una grande quantità di carica, indotto dal passaggio di una singola particella altamente ionizzante (generalmente uno ione pesante), attraverso un circuito integrato, provocando l'immediato malfunzionamento di uno o più transistor.

2.1 Danno da Total Ionizing Dose

Quando una particella ionizzante passa attraverso la struttura di un MOSFET, essa deposita una certa quantità di energia sia nel silicio che nell'ossido, ionizzando entrambi e lasciando lungo la sua traiettoria una colonna di coppie elettrone-lacuna, in numero proporzionale all'energia rilasciata. Una frazione variabile delle coppie riesce a ricombinarsi immediatamente dopo essere stata generata, mentre le rimanenti, a causa dell'effetto del campo elettrico di bias, applicato al transistor, vengono separate prima di poter ricombinare e cominciano moti di deriva.

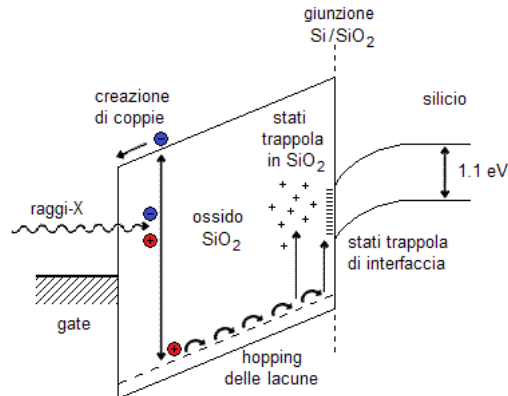


Fig. 3: Diagramma delle bande energetiche dell'ossido di gate, hopping delle lacune e stati trappola

Per la trattazione si suddividono i MOSFET in due categorie, in base al tipo di canale conduttivo che presentano: gli NMOS hanno canale di tipo n , in cui, cioè, i portatori di carica primari sono gli elettroni (fig. 2); i PMOS hanno canale p , in cui sono presenti lacune. Si considera il caso di un NMOS; la tensione applicata al terminale di gate è positiva e gli elettroni vengono attratti verso di esso, le lacune, invece, si muovono nella direzione opposta (fig 3). Il silicio del substrato e il metallo del gate hanno una bassa resistenza, in essi entrambi i portatori possiedono una velocità di drift molto elevata e la carica viene velocemente dispersa, non causando quindi alcun danno. Quando le cariche attraversano lo strato di ossido di silicio che si trova tra il gate e il substrato, gli elettroni mantengono una mobilità elevata, tipicamente attorno a $20\text{cm}^2\text{V}^{-1}\text{s}^{-1}$, mentre le lacune si spostano molto meno velocemente, con una mobilità da 5 a 12 ordini di grandezza minore rispetto a quella degli elettroni. Questo si verifica a causa del complesso sistema di trasporto che coinvolge le lacune nell'ossido, chiamato *polaron hopping*: una lacuna si sposta da uno stato legato ad un altro transitando attraverso uno stato intermedio attivato termicamente [4]. Una volta che lacune, attraverso *hopping*, si portano a pochi nanometri dalla giunzione Si/SiO₂ hanno un'alta probabilità di occupare i molti stati trappola presenti nella regione, creati da imperfezioni nella struttura reticolare generate durante l'ossidazione del silicio. Si forma così una crescente concentrazione di carica netta positiva in prossimità del canale conduttivo del MOSFET, la quale va ad interferire con il comportamento del dispositivo. Nel caso di un PMOS, la tensione negativa applicata al terminale di gate attira le lacune e respinge gli elettroni, tuttavia il meccanismo di intrappolamento delle cariche nell'ossido è del tutto analogo.

Una volta occupati, gli stati trappola nell'ossido hanno una certa probabilità di decadere, con vite medie che variano da millisecondi a diversi anni, rilasciando le cariche catturate. Questo processo, che prende il nome di *annealing* [5], fa sì che gli effetti da Total Dose possano venire mitigati nel tempo. I fenomeni che danno luogo ad annealing sono principalmente l'agitazione termica degli elettroni che si trovano nella banda di valenza dell'ossido, i quali hanno la possibilità di acquistare energia sufficiente a raggiungere gli stati trappola e a ricombinare con le lacune intrappolate, oppure l'effetto tunnel degli elettroni di conduzione, dal canale all'ossido, con conseguente ricombinazione con le lacune o passivazione. L'annealing avviene spontaneamente in condizioni normali, ma può essere accelerato esponendo i chip ad alte temperature, per favorire l'agitazione degli elettroni o applicando alte tensioni positive al gate, in modo da abbassare la barriera di potenziale che gli elettroni devono attraversare per effetto tunnel.

La radiazione che attraversa il MOSFET e il processo di trasporto delle lacune possono inoltre spezzare dei legami nella struttura dell'ossido, liberando ioni H⁺ (protoni). Questi ioni migrano

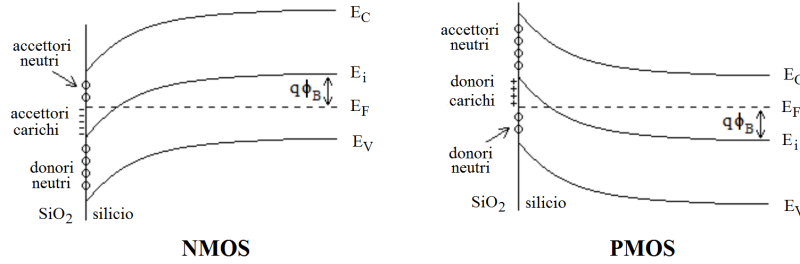


Fig. 4: Diagramma a bande che mostra il riempimento degli stati d'interfaccia

verso il substrato di silicio e concorrono a formare un altro tipo di stato in cui la carica può essere intrappolata, situato in prossimità della superficie (*interfaccia*) di contatto tra il silicio del substrato e l'ossido di gate, in una regione di spessore di pochi nanometri [6]. Questi stati sono classificati come donori se si trovano ad un livello energetico inferiore all'energia di Fermi intrinseca del silicio E_i , che si trova a metà tra le energie delle bande di conduzione e di valenza, e sono neutri se occupati da un elettrone; sono chiamati accettori se si trovano ad un livello superiore all'energia di Fermi intrinseca e sono neutri se non occupati (figura 4). In condizioni ideali, se al MOSFET non è applicata alcuna tensione l'energia di Fermi intrinseca corrisponde all'energia di Fermi E_F , tutti gli stati all'interfaccia sono neutri e la carica immagazzinata totale è nulla. Quando invece al terminale di gate viene applicata una tensione, positiva per gli NMOS e negativa per i PMOS, questa provoca un piegamento delle bande energetiche e una differenza tra E_i e E_F all'interfaccia. Gli accettori che si trovano al di sotto dell'energia di Fermi acquistano un elettrone e diventano negativi, mentre i donori che si trovano sopra l'energia di Fermi cedono un elettrone e diventano positivi. La carica netta immagazzinata all'interfaccia varia, quindi, in base al tipo di canale del transistor: per NMOS predomina la carica negativa, per PMOS è maggiore la carica positiva. L'irraggiamento provoca un'aumento del numero degli stati d'interfaccia e di conseguenza una maggiore possibilità di accumulo di carica, quando viene applicata una tensione al gate dei MOSFET.

2.2 Effetti sui parametri elettrici

L'esposizione alla radiazione modifica le condizioni di lavoro dei dispositivi, con delle ripercussioni su alcuni dei parametri di utilizzo [7]. Osservando il grado di alterazione di questi parametri è possibile avere un'indicazione della severità del danno.

2.2.1 Spostamento della tensione di soglia

La *tensione di soglia* (o *threshold voltage*), indicata con V_T , è definita come la minima differenza di tensione tra gate e source, in modulo, che è necessario applicare affinché nel canale sia presente una densità di portatori di carica uguale a quella dei portatori di segno opposto che si trovano nel substrato [2]. Per tensioni superiori alla soglia il canale assume un comportamento conduttivo e consente il passaggio della corrente tra source e drain in maniera analoga ad un conduttore, secondo la legge di Ohm, almeno a bassi campi elettrici. Al contrario, al di sotto della tensione di soglia i portatori di carica hanno una concentrazione nettamente minore e la corrente che si registra, la quale viene anche denominata *corrente di sottosoglia*, è di diversi ordini di grandezza inferiore a quella che è possibile misurare a canale attivato.

Se un MOSFET è esposto a radiazione ionizzante la sua tensione di soglia subisce un'alterazione, per effetto dalle cariche parassite che si vanno ad accumulare all'interno dell'ossido di gate e all'interfaccia. La carica positiva che si accumula nell'ossido, nel caso degli NMOS, attira gli elettroni che vanno a formare il canale, il suo effetto si somma quindi a quello della tensione

positiva applicata al gate, facendo in modo che si possa raggiungere la condizione minima di apertura del canale ad una tensione di gate minore di quella che sarebbe stata necessaria in condizioni normali. Nel caso dei PMOS la tensione di gate deve essere negativa, in modo da attirare la lacune che vanno a formare il canale conduttivo e la presenza della carica positiva nell'ossido respinge queste lacune; è quindi necessario che la tensione applicata al gate sia minore di quella iniziale, in modo da bilanciare l'effetto repulsivo. In entrambi in casi, quindi, le cariche nell'ossido fanno diminuire la tensione di soglia.

Il contributo delle cariche all'interfaccia, quando $|V_{GS}| \geq |V_T|$, che non hanno segno definito, ha effetti diversi in NMOS e PMOS: negli NMOS l'interfaccia è caricata negativamente e respinge gli elettroni, facendo aumentare la tensione di soglia; nei PMOS l'interfaccia è positiva, respinge le lacune, e la tensione di soglia diminuisce.

In generale la variazione della tensione di soglia è esprimibile come la somma dei due contributi relativi, rispettivamente, alle cariche intrappolate nell'ossido e all'interfaccia:

$$\Delta V_T = \Delta V_{ot} + \Delta V_{it} = -\frac{1}{C_{ox}}(\Delta Q_{ot} + \Delta Q_{it}) \quad (1)$$

In cui $C_{ox} = \varepsilon_{ox}/t_{ox}$ e t_{ox} sono rispettivamente la capacità per unità di area e lo spessore dell'ossido SiO_2 di gate, Q_{ot} e Q_{it} sono le densità superficiali di carica nell'ossido e all'interfaccia. Nell'espressione precedente il termine ΔV_{ot} è sempre negativo, mentre il termine ΔV_{it} è positivo per NMOS e negativo per PMOS.

Il riempimento degli stati trappola in SiO_2 avviene in maniera più rapida rispetto alla formazione degli stati d'interfaccia, i quali hanno bisogno di una dose maggiore per rendere rilevabile il loro contributo; per questo motivo si assiste, solo negli NMOS, al fenomeno di *rebound* [3]: la tensione di soglia inizialmente diminuisce, come risultato delle cariche nell'ossido, e in seguito aumenta per l'entrata in gioco delle cariche all'interfaccia. I PMOS non possiedono la stessa caratteristica in quanto i due effetti sono concordi.

2.2.2 Ossidi di isolamento e correnti parassite

La struttura base del MOSFET è generalmente circondata da una zona di ossido di silicio, la quale ha la funzione di isolarlo elettricamente da altri componenti presenti nello stesso chip, come mostrato in figura 5 [7]. Gli ossidi di isolamento esterni subiscono, al passaggio di radiazione, lo stesso fenomeno di intrappolamento e progressivo accumulo di carica che avviene per l'ossido di gate. Gli ossidi di isolamento hanno un impatto importante negli effetti del danno da total dose, addirittura maggiore rispetto a quello imputabile all'ossido di gate, nelle tecnologie più scalate. Infatti, per la richiesta di dispositivi più veloci e con il progredire della tecnologia costruttiva, le dimensioni dei MOSFET hanno continuato a diminuire progressivamente e lo spessore degli ossidi di gate è andato riducendosi di conseguenza, fino a raggiungere valori attorno a 2.5nm per la tecnologia a 65nm ; il minore volume dell'ossido ha portato ad

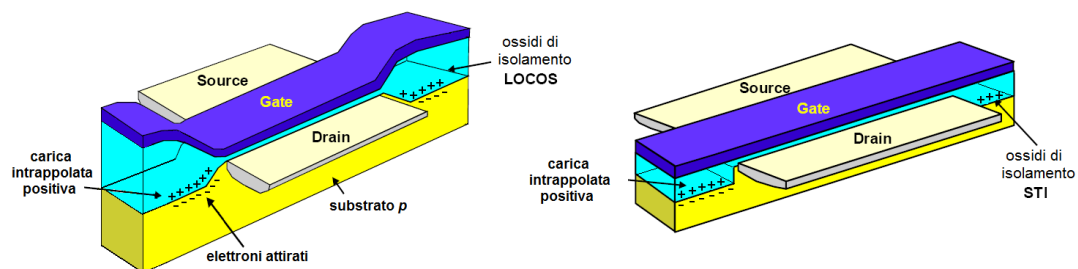
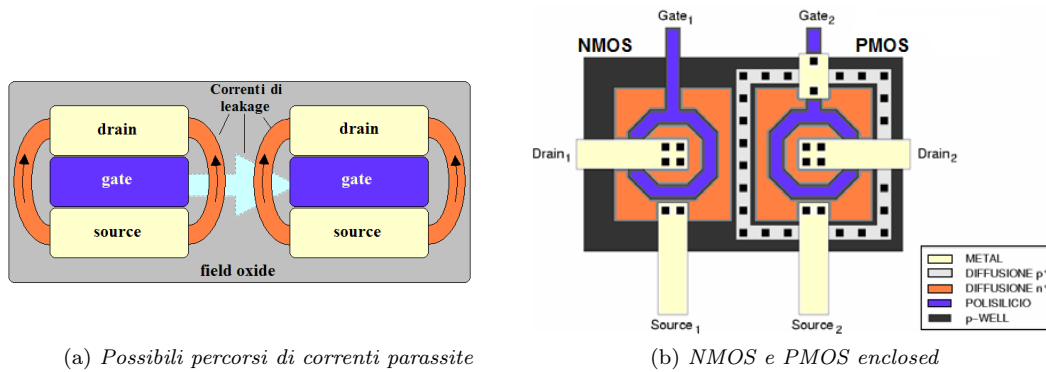


Fig. 5: Diversi design, LOCOS e STI, di ossidi di isolamento



(a) Possibili percorsi di correnti parassite

(b) NMOS e PMOS enclosed

Fig. 6: Effetti di total dose su ossidi di isolamento e MOSFET a layout enclosed

una minore possibilità di accumulo di carica e una crescente resistenza intrinseca alla radiazione. Al contrario, gli ossidi esterni sono rimasti, in confronto, di spessori notevoli, da 100nm a $1\mu\text{m}$, e pertanto hanno la possibilità di diventare regioni di grande accumulo di carica positiva. Se questo avviene in un NMOS la quantità di carica positiva negli ossidi di isolamento può diventare sufficientemente grande da riuscire ad attirare un numero elevato di elettroni nel substrato e creare un canale conduttivo che metta in collegamento source e drain, aggirando il transistor primario, come evidenziato in figura 6(a). Il nuovo sistema formato da source, canale esterno e drain prende il nome di *transistor parassita*, in quanto porta all'aumento del volume della zona conduttiva di passaggio di cariche, e quindi ad un generale aumento della corrente. Questi effetti parassiti sono visibili principalmente attraverso un aumento della corrente a tensione $V_{GS} \sim 0$ (chiamata corrente di *leakage*), poichè nella condizione di sottosoglia il transistor principale non trasmette significativa corrente, mentre i canali esterni, che sono mantenuti accesi dalla carica depositata, consentono la conduzione. È inoltre possibile che la degradazione degli ossidi di isolamento sia tale che il canale conduttivo parassita congiunga due MOSFET adiacenti, aprendo un nuovo passaggio di conduzione e aumentando ulteriormente la corrente di leakage. Per ovviare a questi effetti si sono adottati degli accorgimenti, tra i quali l'assottigliamento del profilo degli ossidi, dal tradizionale *Local oxidation of Silicon (LOCOS)* al più moderno *Shallow Trench Isolation (STI)*, fig. 5, l'impianto di silicio fortemente drogato *p* per separare i transistor in uno stesso chip, o l'adozione di un layout *enclosed* [8]. Un *ELT*, *Enclosed Layout Transistor*, figura 6(b), consiste in un MOSFET progettato in modo che il gate formi un anello intorno al drain, impedendo quindi il contatto degli ossidi di isolamento con drain e source, ed evitando la formazione di percorsi conduttivi alternativi. Sebbene nel chip di test siano presenti MOSFET *enclosed*, l'obiettivo dell'esperimento si limita a verificare la resistenza alla radiazione di dispositivi con configurazione tipica lineare.

In un dispositivo PMOS, al contrario, i portatori di carica che formano il canale sono le lacune, le quali sono respinte dall'eventuale concentrazione di carica negli ossidi d'isolamento, che può essere solo positiva; questo impedisce la formazione dei transistor parassiti e la corrente di leakage per PMOS di norma non cresce.

In un MOSFET, le placche in polisilicio del source e del drain sono separate dalla regione di gate solo da pochi nanometri, tuttavia i terminali devono essere isolati elettricamente tra loro. A questo scopo ai lati dell'ossido e del polisilicio di gate vengono depositati alcuni strati di SiO_2 o di altri materiali isolanti, chiamati *sidewall spacer*, in modo da evitare il contatto diretto del gate con drain e source, come mostrato in figura 7. Anche gli spacer quindi subiscono, se sottoposti a irraggiamento ionizzante, un accumulo di carica positiva, ed essendo generalmente più spessi dell'ossido di gate questi possono avere un impatto importante sugli effetti del danno nei dispositivi. Non sono stati tuttavia effettuati studi specifici sull'impatto degli spacer nel

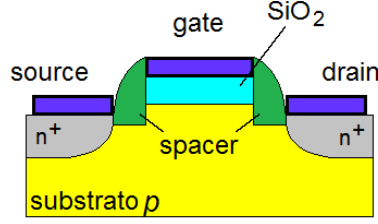


Fig. 7: Sezione di un NMOS con sidewall spacer

danno da radiazione, per cui non sono stati accertati nè il modo nè il grado con cui questi intervengano nella modificazione dei parametri dei MOSFET.

2.2.3 Separazione dei contributi per lo spostamento della tensione di soglia e *Subthreshold Swing*

Misure dirette di corrente sui MOSFET permettono di osservare soltanto la variazione totale della tensione di soglia, si può tuttavia stimare separatamente l'incidenza dei due termini nell'espressione (1) servendosi dell'andamento della corrente di leakage in funzione della tensione di gate [9]. Nella regione di sottosoglia la corrente di drain cresce esponenzialmente con la tensione; ponendo le ordinate in scala logaritmica, la curva assume un andamento lineare e la sua pendenza prende il nome di *subthreshold slope*. L'inverso della subthreshold slope è chiamata *subthreshold swing* (S) ed è esprimibile come:

$$S = \frac{kT}{q} \log(10) \left(1 + \frac{C_D + C_{it}}{C_{ox}} \right) \quad (2)$$

in cui C_D è la capacità per unità di area della regione di svuotamento sotto al gate, $C_{it} = q\Delta D_{it}$ è la capacità per unità di area degli stati di interfaccia, ΔD_{it} indica la loro densità ed è l'unico parametro all'interno dell'espressione che cambia quando il MOSFET viene esposto a radiazione. La variazione della swing, prima e dopo l'irraggiamento, assume quindi la forma:

$$\Delta S = \frac{kT}{q} \log(10) \frac{q\Delta D_{it}}{C_{ox}} \quad (3)$$

In questo modo, calcolando la differenza di subthreshold swing tra due diversi valori di total dose, è possibile stimare di quanto vari il valore della densità degli stati d'interfaccia. Dalla differenza della densità si ricava la differenza di carica intrappolata all'interfaccia $\Delta Q_{it} = q\Delta D_{it}\phi_B$, in cui $q\phi_B$ è la differenza di energia tra il livello di Fermi intrinseco E_i e il livello di Fermi nel silicio E_F . Infine si può trovare il contributo allo spostamento della tensione di soglia derivante dai soli stati all'interfaccia, come:

$$\Delta V_{it} = \frac{q\phi_B}{kT \log(10)} \Delta S = \log\left(\frac{N}{n_i}\right) \frac{1}{\log(10)} \Delta S = \text{const} \cdot \Delta S \quad (4)$$

in cui si è riscritto il potenziale $\phi_B = \frac{kT}{q} \log\left(\frac{N}{n_i}\right)$, $N = 3 \cdot 10^{18} \text{ cm}^{-3}$ indica la concentrazione di portatori di carica all'interfaccia per i componenti usati, e $n_i = 1.5 \cdot 10^{10} \text{ cm}^{-3}$ la concentrazione intrinseca di portatori nel substrato. La costante dipende quindi solo da parametri del silicio e vale circa 8.301.

Per poter scrivere l'equazione (2) si è dovuto supporre $\varepsilon_s/L_D \gg (C_D + C_{it})$, ε_s è la costante dielettrica del silicio, L_D è la lunghezza di Debye e il loro rapporto indica la capacità per unità di area del silicio entro la distanza in cui le cariche libere riescono a schermare il campo elettrico. Questa approssimazione risulta in generale accurata, tuttavia non ne sono stati testati

i limiti di validità per valori elevati di total dose: infatti, al crescere della quantità di carica depositata all'interfaccia aumenta anche il termine C_{it} , il quale potrebbe diventare ad un certo punto comparabile con ε_s/L_D e rendere l'espressione (2) imprecisa.

2.2.4 Alterazioni della caratteristica di trasferimento nella regione di sottosoglia

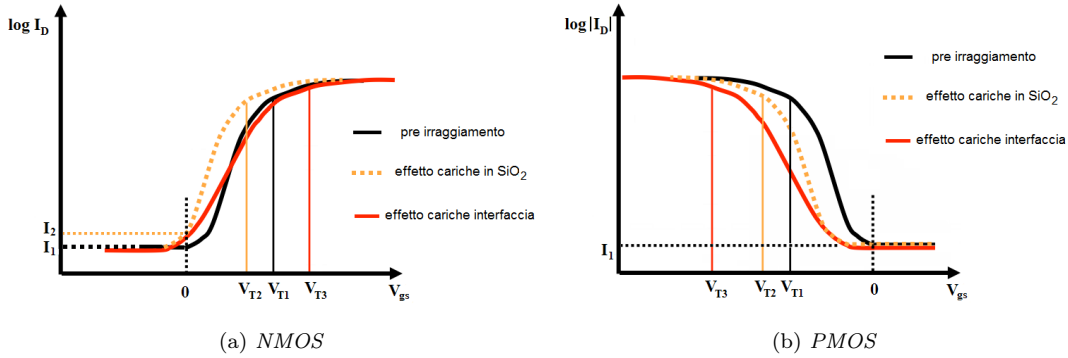


Fig. 8: Modificazione della caratteristica di trasferimento nella regione di subthreshold per effetti di total dose, per NMOS e PMOS

Viene mostrata nella figura 8 [7] la curva della corrente misurata al terminale di drain (I_D) in funzione della tensione di gate-source (V_{GS}), curva che prende il nome di *caratteristica di trasferimento*, rispettivamente per transistor di tipologia NMOS e PMOS, e le variazioni che questa subisce per effetto dei fenomeni di danno da total dose illustrati in precedenza. Le ordinate sono espresse in scala logaritmica in modo da evidenziare meglio la regione di sottosoglia. Per un transistor a canale n , considerando il solo contributo delle cariche intrappolate nell'ossido di gate, l'intera curva della corrente subisce una traslazione nel verso negativo della tensione, dato che tali cariche facilitano l'apertura del canale ed è sufficiente applicare tensioni minori rispetto a quelle originali per avere lo stesso flusso di corrente. Per il medesimo motivo, anche la tensione di soglia passa dal valore V_{T1} di pre-irraggiamento al valore $V_{T2} < V_{T1}$. Allo stesso tempo la corrente di leakage a tensione nulla aumenta, come conseguenza delle correnti parassite generate dalle cariche depositate negli ossidi di isolamento. All'aumentare della dose, invece, si rendono progressivamente più visibili gli effetti dovuti alle cariche all'interfaccia: la pendenza della parte lineare della curva diminuisce e la tensione di soglia aumenta a causa della carica Q_{it} negativa, presente all'interfaccia quando $V_{GS} \sim V_T$.

Per transistor a canale p le cariche nell'ossido fanno traslare la curva verso tensioni minori, mentre le cariche all'interfaccia ne modificano la pendenza, entrambi producendo un abbassamento della tensione di soglia. I PMOS infine non subiscono alcun aumento della corrente di leakage a tensione nulla.

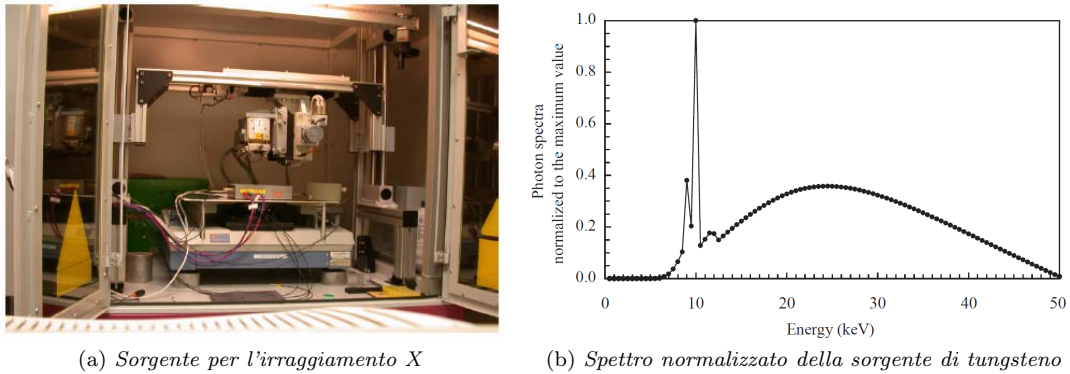


Fig. 9: Apparato per l'irraggiamento e spettro della sorgente

3 Misure e analisi dati

3.1 Sorgente di raggi X

La macchina utilizzata per l'irraggiamento dei chip di test, in funzione ai Laboratori Nazionali di Legnaro dell'INFN, è del tipo Seifert modello RP149 [10], figura 9(a), in grado di fornire una tensione massima di $50kV$ e una corrente massima di $50mA$. È dotata di controllo elettronico della posizione X-Y del tubo radiogeno, della potenza ed intensità del fascio. La distanza dalla sorgente al bersaglio è regolabile manualmente. Lo spettro di radiazione, figura 9(b), dell'anodo in Tungsteno consiste nei caratteristici picchi del livello L, attorno ai $10KeV$, a cui si aggiunge la componente di Bremsstrahlung; le componenti più basse dello spettro sono filtrate da una lamina di alluminio di $150\mu m$. Per modificare il dose rate, misurato mediante un diodo al silicio, si può agire sulla corrente di alimentazione della sorgente, o sulla distanza del campione dalla bocca del tubo. Con una distanza impostata di $1cm$ si ha un dose rate rilevato di $965rad(SiO_2) s^{-1}$, con cui è possibile raggiungere i livelli di irraggiamento richiesti in circa 12 giorni continui di esposizione. Il chip posto all'interno della macchina può essere mantenuto acceso, cioè è possibile applicare per l'intera durata della fase d'irraggiamento, per ogni singolo MOSFET, le tensioni di bias volute.

3.2 Misure effettuate e analisi dei dati

La misura principale effettuata è quella della caratteristica di trasferimento nella condizione in cui la differenza di tensione tra drain e source è molto bassa ($V_{DS} = 0.1V$). Oltre a questa sono state compiute ulteriori misurazioni di controllo, tra cui la caratteristica di trasferimento per valori maggiori di V_{DS} e la *caratteristica d'uscita* (I_D in funzione di V_{DS}) per varie tensioni V_{GS} . Le misurazioni elencate sono state effettuate per ogni MOSFET nelle condizioni originali di pre-irraggiamento.

In seguito il chip contenente i transistor da testare è stato posto all'interno della struttura della macchina a raggi X ed esposto alla radiazione, applicando le tensioni di bias ai MOSFET, per il tempo necessario affinché accumulasse la quantità di dose prefissata. Tra la condizione di pre-irraggiamento iniziale e di dose massima si sono stabiliti diversi step intermedi, in modo da poter studiare l'evoluzione del danno. Una volta raggiunto ognuno di questi step, il chip è stato spostato dal sito d'irraggiamento all'apparato di misurazione e sono state compiute le medesime prese dati del caso iniziale.

La precisione dei risultati forniti dallo strumento di misura della corrente è stata testata attraverso una presa dati a vuoto, sono state cioè registrate le correnti rilevate dall'apparato senza che vi fosse il chip di test. I dati ottenuti sono stati posti in un istogramma in base alla frequenza con cui si sono presentati e visualizzati in figura 10. Si nota che essi si dispongono

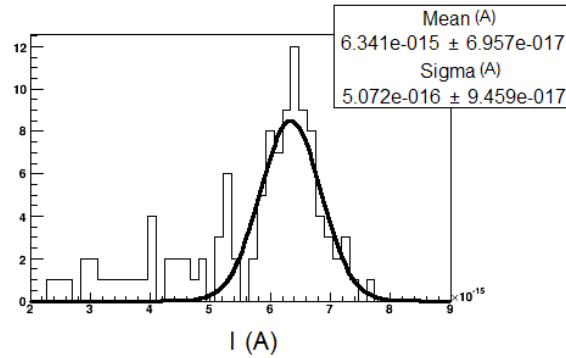


Fig. 10: Istogramma dei dati a vuoto della corrente e interpolazione gaussiana

con andamento gaussiano attorno ad un valore diverso da 0, le misure quindi risultano affette da un errore di off-set, il quale tuttavia è molto contenuto e non influisce sull'accuratezza dei dati. La sensibilità è estratta dalla varianza della gaussiana e risulta essere estremamente alta, minore di $10^{-15} A$. Tuttavia questo tipo di incertezza, che tiene conto solo della sensibilità dello strumento, non è molto significativa per stimare l'errore effettivo sui dati raccolti, in quanto questi sono influenzati anche da fenomeni di rumore, disturbi e fluttuazioni tipiche dei dispositivi elettronici. Inoltre durante le misure non si poteva mantenere il controllo su alcuni dei parametri, come la temperatura del chip, che risultano avere una significativa influenza sulle caratteristiche elettriche, soprattutto nelle condizioni di alto danno in cui lavoravano i dispositivi. Per avere una stima degli errori sperimentali sulle grandezze da misurare sarebbe stato necessario compiere misure ripetute sullo stesso dispositivo, oppure prese dati su dispositivi diversi con gli stessi parametri costruttivi, ma le condizioni dell'esperimento non lo permettevano. L'errore reale sulle misure risulterebbe maggiore della sensibilità strumentale di svariati ordini di grandezza; stime su tutti i fenomeni che concorrono ad aumentare l'errore richiederebbero tuttavia uno studio dedicato, che non fa parte degli obiettivi di questo esperimento.

Dalla curva della caratteristica di trasferimento a $V_{DS} = 0.1V$ (fig. 11) si può estrarre il valore della tensione di soglia, come l'intersezione della retta che interpola la parte lineare della curva e l'asse delle ascisse, individuando quindi la tensione minima per la quale la corrente di drain risulta essere significativamente diversa da 0. Come ben visibile nel grafico, tuttavia, l'individuazione della regione lineare non è univoca, in quanto la curva non assume mai un andamento

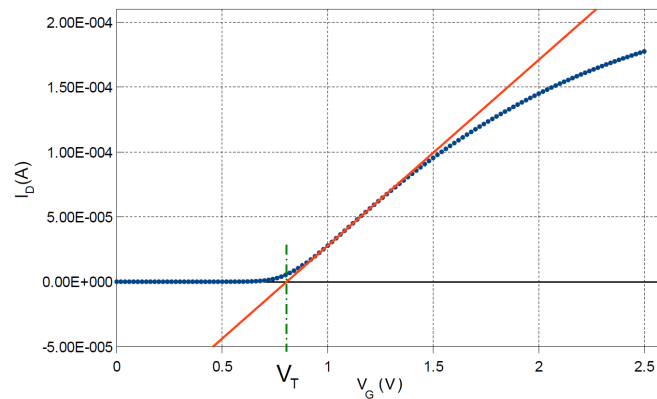


Fig. 11: Estrazione della tensione di soglia dalla caratteristica di trasferimento (per NMOS $2\mu/280$)

distintamente rettilineo. Per tale motivo è più preciso risalire alla tensione di soglia attraverso un metodo che si serve della transconduttanza.

La *transconduttanza* g_m è definita come la derivata della corrente di drain rispetto alla tensione di gate ed è un'indice di quanto il canale del MOSFET permetta il passaggio della corrente. Avendo a disposizione valori discreti di corrente e tensione, viene calcolata come rapporto incrementale dei dati sperimentali del campione $\{V_{GS}^i; I_D^i\}$:

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \longrightarrow g_m^i = \frac{\Delta I_D^i}{\Delta V_{GS}^i} = \frac{I_D^{i+1} - I_D^{i-1}}{V_{GS}^{i+1} - V_{GS}^{i-1}} \quad (5)$$

Una volta calcolata la transconduttanza in funzione della tensione di gate si ricava la tensione di soglia come:

$$V_T = V_{GS}^{max} - \frac{I_D^{max}}{g_m^{max}} \quad (6)$$

in cui g_m^{max} è il valore massimo assunto dalla transconduttanza, mentre V_{GS}^{max} e I_D^{max} sono la tensione e la corrente corrispondenti a g_m^{max} .

Per osservare la variazione della corrente di leakage, si estrae dalla caratteristica di trasferimento la corrente di *off-state* I_{off} , definita come la corrente di drain a MOSFET spento, cioè il valore di I_D che si misura quando la differenza di tensione tra gate e source è minima.

La corrente di *on-state* I_{on} , al contrario, mostra come varia la corrente di drain nelle condizioni in cui il MOSFET è attivato, ed è misurata quando è massima sia la tensione tra gate e source sia la tensione tra drain e source V_{DS} .

Per ottenere infine l'andamento della subthreshold swing, che corrisponde all'inverso della pendenza della caratteristica di trasferimento in scala logaritmica, si può calcolarla come la derivata della tensione di gate-source rispetto al logaritmo della corrente di drain, procedendo similmente a quanto fatto per la transconduttanza, nell'espressione (5):

$$S = \frac{\partial V_{GS}}{\partial (\log_{10} I_D)} \longrightarrow S^i = \frac{\Delta V_{GS}^i}{\Delta (\log_{10} I_D)^i} = \frac{V_{GS}^{i+1} - V_{GS}^{i-1}}{\log_{10} I_D^{i+1} - \log_{10} I_D^{i-1}} \quad (7)$$

In molti casi le curve di transconduttanza, come si può notare in figura 12, e di subthreshold swing presentano un andamento irregolare con fluttuazioni e disturbi più o meno visibili, specialmente a dosi d'irraggiamento elevate e nei MOSFET di dimensioni minori. Risulta quindi utile, per rendere i grafici più chiari, applicare il processo di smoothing *Savitzky-Golay* [11],

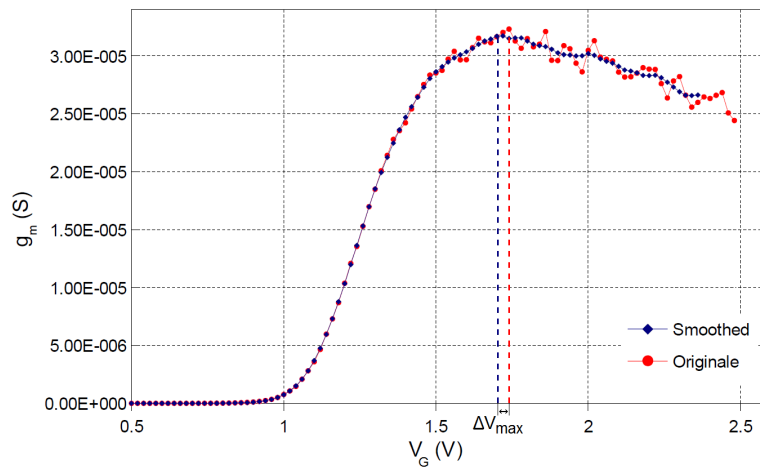


Fig. 12: Transconduttanza originale e dopo smoothing per NMOS 800/280 a 1Grad

con $m = 13$:

$$Y_j = \sum_{i=-(m-1)/2}^{i=(m-1)/2} C_i y_{j+i} \quad ; \quad C_i = \frac{3}{4} \frac{(3m^2 - 7 - 20i^2)}{m(m^2 - 4)} \quad (8)$$

Nel grafico è mostrato un esempio di transconduttanza direttamente calcolata, a confronto con la stessa dopo aver applicato su di essa il processo di smoothing; nei due casi l'individuazione del punto massimo, per il calcolo della tensione di soglia, porta a due valori diversi.

4 Risultati sperimentali

La presentazione dei dati raccolti e dei risultati è divisa tra NMOS e PMOS. Ci si riferisce ai dispositivi indicandoli con le loro dimensioni W/L espresse generalmente in nm , oppure in μm nel caso in cui la cifra sia seguita da μ .

Tutte le dosi sono calcolate in SiO_2 .

I MOSFET sono suddivisi ulteriormente tra dispositivi di tipo core e di tipo I/O, progettati per svolgere funzioni diverse all'interno dei pixel di lettura degli apparati di rivelazione: i MOSFET core svolgono le funzioni primarie dei pixel e sono usati nella parte interna degli stessi, presentano tipicamente, per la tecnologia a $65nm$, spessori di ossidi di gate di circa $2.5nm$; i transistor I/O sono usati per la connessione e lo scambio di dati tra il pixel e l'esterno, si trovano alla periferia di ogni chip ed è richiesto che possano sopportare tensioni più alte, per questo motivo sono costruiti con ossidi di gate in media due volte più spessi di quelli dei core.

Alcuni dei MOSFET utilizzati nei test sono risultati, ad un certo punto dei processi di misura, non funzionanti. I guasti dei MOSFET possono essere imputati alla rottura del dielettrico costituito dall'ossido di gate, la quale può aver luogo se ai dispositivi vengono applicate tensioni troppo elevate, a causa anche di scariche elettrostatiche accidentali. Quando avviene la rottura del dielettrico esso si comporta come un conduttore e le correnti misurate risultano molto maggiori di quelle usuali. Non è stata dimostrata correlazione tra danno da radiazione e frequenza dei guasti.

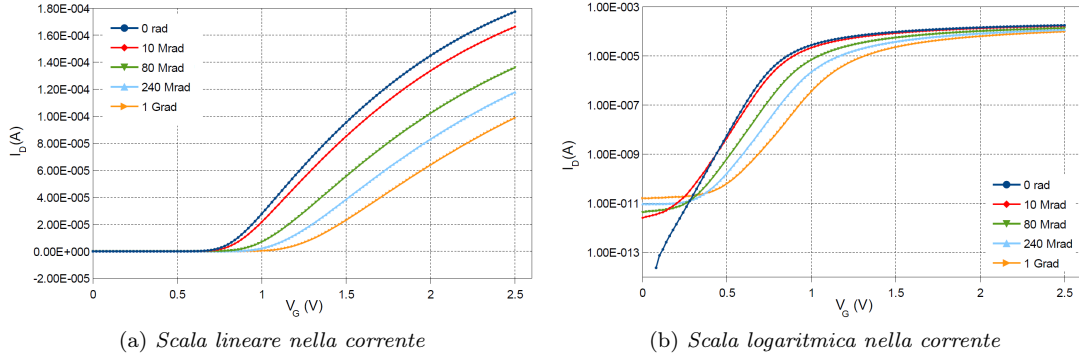
4.1 NMOS

Le caratteristiche dei transistor NMOS utilizzati per i test sono presentati nella tabella 1, ne sono indicate le dimensioni e la tipologia, sono stati inoltre evidenziati con \bullet i dispositivi che alla fine del procedimento sono risultati ancora funzionanti. Tutti i transistor sono stati irraggiati nelle condizioni $V_S = V_B = V_D = 0$, $V_G = V_{dd}$, con V_{dd} che indica la massima tensione applicata ad un terminale e che corrisponde a $1.2V$ per i core e $2.5V$ per gli I/O. Questa configurazione è riconducibile alle condizioni generalmente indicate come *worst case*, in cui cioè si rendono maggiori gli effetti del danno; infatti, aumentando la tensione di bias applicata al gate, le coppie, generate dal passaggio di radiazione, risentono di un campo elettrico di maggiore intensità e la probabilità che esse ricombinino diminuisce.

Sono elencati infine gli step con cui si è proceduto all'irraggiamento, la dose per step, la dose totale ed il tempo cumulativo di esposizione.

Tabella 1: Caratteristiche e piano di irraggiamento per NMOS

W	L	Tipo	Stato	Step	Dose (Mrad)	Dose totale (Mrad)	Tempo (h)
600nm	60nm	core					
480nm	60nm	core		1	3	3	0.86
360nm	6nm	core		2	7	10	2.88
240nm	60nm	core		3	70	80	23.0
120nm	60nm	core	\bullet	4	70	150	43.2
10 μm	10 μm	I/O	\bullet	5	90	240	69.1
10 μm	1 μm	I/O		6	330	570	164.0
2 μm	280nm	I/O	\bullet	7	110	680	195.7
800nm	280nm	I/O	\bullet	8	140	820	235.9
400nm	280nm	I/O		9	180	1000	287.7

Fig. 13: Caratteristica di trasferimento a varie dosi per NMOS $2\mu/280$ I/O

4.1.1 Caratteristica di trasferimento

Per mostrare le alterazioni che subisce la caratteristica di trasferimento negli NMOS viene preso come esempio il transistor $2\mu/280$, un I/O. In figura 13 sono mostrati i dati acquisiti riguardanti le curve $I_D - V_G$ a $V_{DS} = 0.1V$, per alcuni valori di dose totale, con le ordinate in scala sia lineare che logaritmica. Dal grafico 13(a), la scala lineare permette di osservare il comportamento della regione di soprasoglia: a dosi crescenti tutta la curva della corrente si abbassa notevolmente, fino a valori di corrente di drain che sono quasi metà di quelli iniziali, e trasla nel verso positivo delle tensioni; è possibile riscontrare un visibile aumento della tensione di soglia anche a basse dosi, dove invece ci si aspetta avvenga il rebound. Nel grafico logaritmico invece è possibile apprezzare la differenza nella corrente di leakage prima e dopo l'irraggiamento: a $0Rad$ la prima parte della curva è lineare e la corrente di off-state è molto bassa (minore di $10^{-13}A$); non appena però la dose sale fino a $10Mrad$, la corrente aumenta di quasi 2 ordini di grandezza; la corrente di leakage quindi cresce ancora con la dose, come previsto dalle considerazioni teoriche, ma in maniera molto meno accentuata rispetto al primo intervallo. La pendenza della curva sembra, anche se di poco, abbassarsi, (vedi paragrafo 4.1.3). Si può osservare che la caratteristica di trasferimento, in entrambe le scale, evolve più rapidamente a basse dosi, mentre in seguito si assesta attorno alle curve relative alle dosi massime (si noti che gli step mostrati nei grafici sono, oltre ad $1Grad$, tra quelli più bassi). Non si evidenziano differenze sostanziali nelle caratteristiche di trasferimento tra core e I/O, e tutti gli NMOS seguono gli andamenti mostrati nei precedenti grafici.

Per osservare come varia la corrente massima all'aumentare della dose assorbita, in figura 14(a) è visualizzato il rapporto fra la corrente di on-state, alle varie dosi, rispetto a quella in condizioni

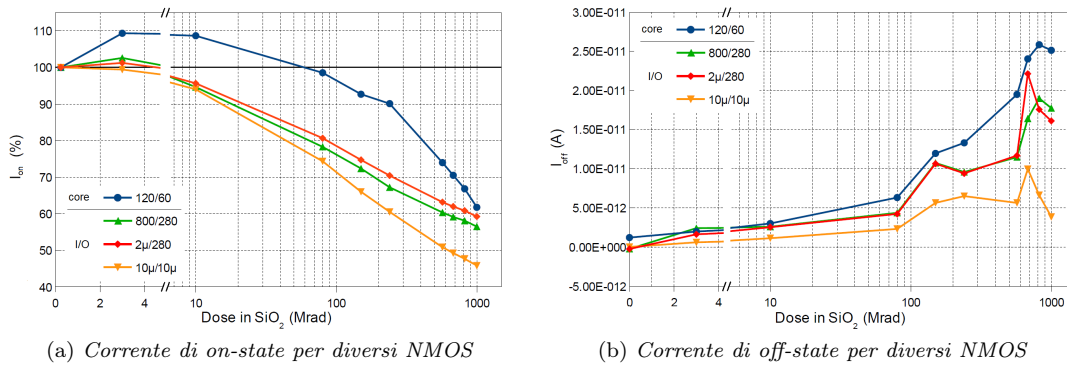


Fig. 14: Correnti di on-state e off-state in funzione della dose per NMOS

iniziali, espressa in percentuale. Si trova l'andamento decrescente già osservato dalla caratteristica tensione-corrente, ad eccezione dei primi step in cui invece la corrente in generale cresce rispetto alla condizione di pre-irraggiamento. In questo grafico è quindi visibile il fenomeno di rebound, per il quale a dosi basse prevale il contributo delle cariche positive nell'ossido, le quali facilitano il passaggio della corrente, ma che viene nettamente sovrastato a dosi maggiori dal contributo delle cariche negative all'interfaccia, le quali, al contrario, fanno diminuire la corrente di drain. Al crescere delle dimensioni W e L degli NMOS la perdita percentuale di corrente alla massima dose si accentua, e allo stesso tempo l'incremento iniziale diventa meno evidente, fino ad essere quasi trascurabile per il $10\mu/10\mu$. Si notano differenze per quello che riguarda la tipologia dei dispositivi: i tre MOSFET I/O seguono un andamento praticamente lineare molto simile tra loro, mentre il $120/60$, core, si discosta da essi per il fatto che risente maggiormente del contributo delle cariche nell'ossido, dato che mantiene correnti maggiori di quella iniziale per un intervallo più ampio; questo fatto risulta controintuitivo, dal momento che gli I/O presentano ossidi di gate di spessore doppio rispetto ai core, ma che potrebbe essere giustificato dalla presenza di un contributo dato dagli spacer.

In figura 14(b) sono mostrati i valori assunti dalla corrente di off-state in funzione della dose totale. La corrente di leakage presenta un andamento quasi sempre crescente, come già evidenziato nel grafico della caratteristica di trasferimento in scala logaritmica. Si nota una chiara dipendenza della corrente di off-state dalle dimensioni degli NMOS, infatti, i dispositivi con dimensioni maggiori, in particolare in base alla larghezza del canale W , presentano generalmente correnti parassite di modulo minore, specialmente ad alte dosi. MOSFET core e I/O non presentano sostanziali differenze nell'andamento della corrente di off-state, in quanto la caratteristica principale che li distingue è lo spessore degli ossidi di gate, che hanno un'influenza minore rispetto agli ossidi di isolamento nella formazione delle correnti parassite.

4.1.2 Transconduttanza e tensione di soglia

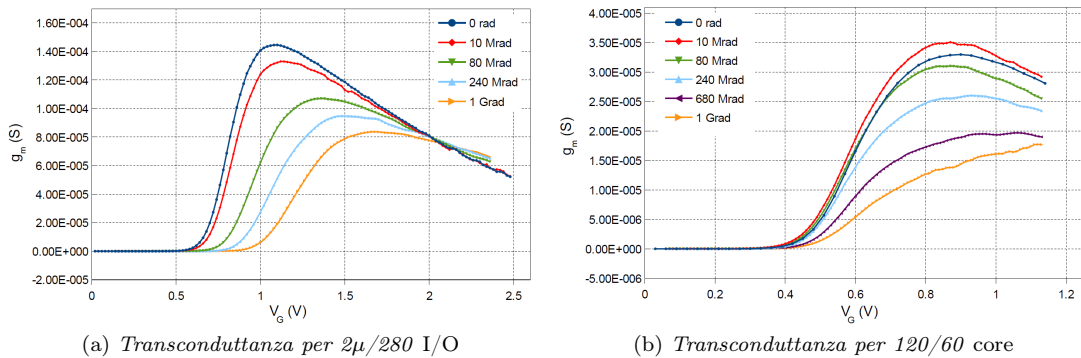


Fig. 15: Transconduttanza in funzione della tensione a varie dosi per NMOS I/O e core

Per estrarre la tensione di soglia è stata calcolata la transconduttanza g_m in funzione della tensione di gate, per ogni NMOS. La transconduttanza ci permette inoltre di osservare come varino le caratteristiche conduttive del canale al variare della tensione e della dose; sono visualizzate nei grafici 15(a) e 15(b), le curve transconduttanza-tensione a varie dosi, rispettivamente per un NMOS I/O ed un core.

È visibile una apprezzabile differenziazione tra tra tipi di NMOS per quanto riguarda sia la forma della curva della transconduttanza, sia per come questa vari con la dose: il $2\mu/280$, e in generale tutti gli altri I/O osservati, hanno una g_m con un picco ben definito, il cui valore diminuisce sistematicamente al crescere della dose; la curva, oltre a contrarsi in altezza, tende a traslare verso tensioni positive, come conseguenza della traslazione dell'intera caratteristica di trasferimento, osservata in fig. 13(a). Per il $120/60$ core si osserva invece che la curva della

transconduttanza a 10Mrad è maggiore della stessa in condizioni di pre-irraggiamento, e scende poi, senza traslare, solo per dosi maggiori. Come già visto per la corrente di on-state quindi, il rebound si manifesta più chiaramente in NMOS di tipo core che negli I/O. In generale, per tutti gli NMOS, il danno da radiazione si manifesta nel degrado della conduttanza del canale, fatto che può spiegare il calo della corrente di drain evidenziato nel grafico della caratteristica tensione-corrente 14(a).

Viene presentata, nel grafico 16(a), la variazione della tensione di soglia causata dal danno da radiazione, calcolata dalla transconduttanza massima attraverso l'espressione (6). Sono evidenti ancora una volta le differenze più o meno sostanziali tra il 120/60 core e gli altri tre dispositivi I/O: per tutti il punto relativo al primo step d'irraggiamento ha valore negativo, anche se di poco, cioè la tensione necessaria ad attivare il canale conduttivo è minore di quella iniziale, data la presenza di cariche positive nell'ossido. Tuttavia negli I/O già dal secondo step il contributo opposto dell'interfaccia prende il sopravvento, la variazione della tensione di soglia diventa positiva ed in seguito cresce costantemente fino a variazioni, a dose massima, di circa 0.4V , le quali, a fronte di tensioni di lavoro di $V_{dd} = 2.5\text{V}$, risultano considerevoli. Al contrario, per il core la variazione negativa della tensione di soglia si mantiene fino a dosi più elevate, il contributo delle cariche all'interfaccia arriva a compensare quello delle cariche nell'ossido solo attorno a 150Mrad , dove si vede $\Delta V_t \approx 0$; il fatto che la tensione di soglia torni ai valori iniziali solo a dosi intermedie, fa sì che il transistor core risulti subire a 1Grad una variazione della tensione circa 4 volte minore rispetto agli I/O. Non è evidente alcuna dipendenza dello spostamento

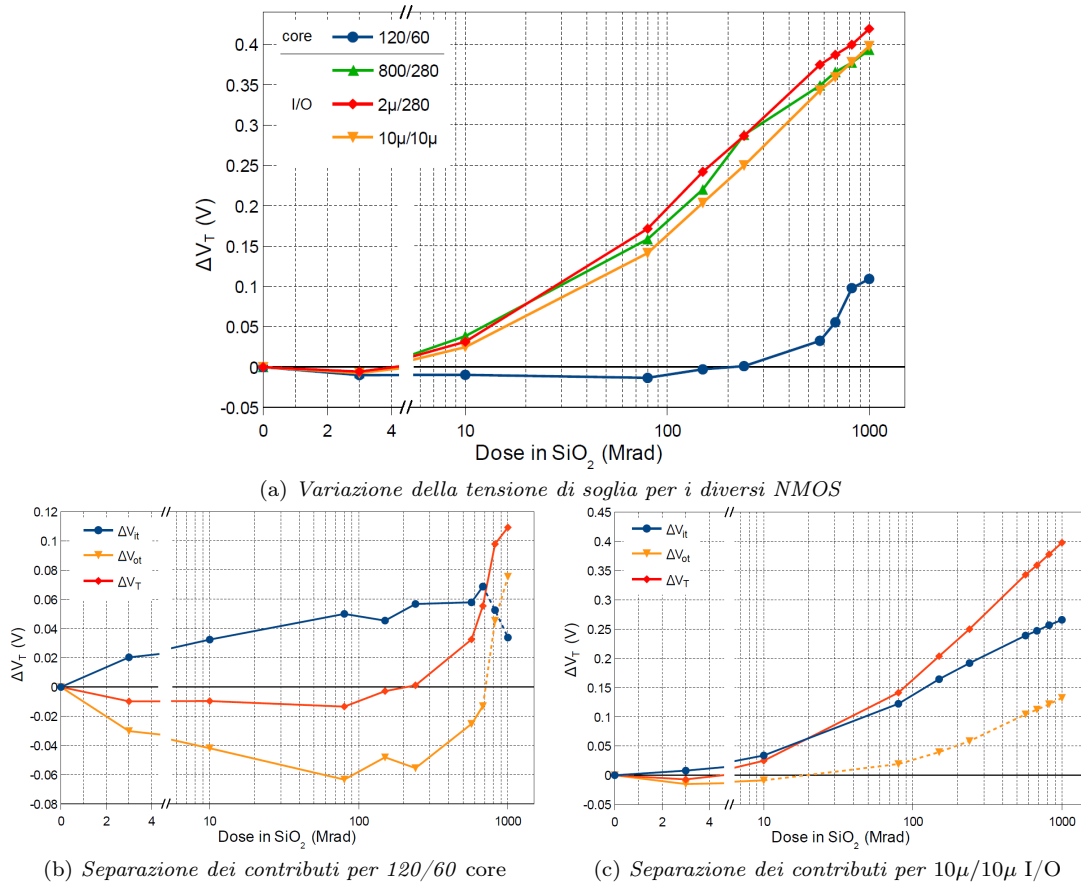


Fig. 16: Variazione della tensione di soglia in funzione della dose totale e separazione dei contributi per NMOS

della tensione di soglia rispetto alle dimensioni degli NMOS.

Nei grafici 16(b) e (c) sono mostrati, rispettivamente per il 120/60 core e il 10 μ /10 μ I/O, il contributo allo spostamento della tensione di soglia delle cariche all'interfaccia ΔV_{it} , estratto attraverso la relazione (4), e il contributo delle cariche nell'ossido ΔV_{ot} calcolato per differenza con la variazione totale ΔV_T . Per entrambi gli NMOS il termine ΔV_{it} è sempre positivo, in quanto le cariche intrappolate all'interfaccia sono elettroni e causano un aumento della tensione di soglia. Per il 120/60 fino a dosi intermedie, tuttavia, il contributo negativo delle cariche nell'ossido è quello dominante, e ciò fa sì che la tensione di soglia in totale decresca. Il 10 μ /10 μ I/O, al contrario, risente meno del termine relativo all'ossido, e la maggior parte dello spostamento della tensione di soglia è imputabile al contributo ΔV_{it} dell'interfaccia. Come era già stato osservato, quindi, gli NMOS core risultano più sensibili al danno causato dalla carica accumulata negli ossidi, mentre gli I/O sono influenzati principalmente dagli effetti causati dalle cariche all'interfaccia.

Nei grafici 16(b) e (c), si notano che i termini ΔV_{ot} degli ossidi diventano positivi per le dosi maggiori, quando invece il contributo dell'ossido dovrebbe essere in ogni caso negativo. Questo fatto potrebbe essere un'evidenza del limite di validità, discusso nel paragrafo 2.2.1, del metodo della subthreshold swing per la separazione dei contributi nella tensione di soglia, o della presenza di effetti su V_T causati dai cariche parassite depositate negli spacer, che non sono stati presi in considerazione nella trattazione.

4.1.3 Subthreshold Swing

Come evidenziato dall'espressione (2) la formazione ed il riempimento degli stati trappola presenti all'interfaccia Si/SiO₂, sono legati al valore della subthreshold swing; per tale motivo, osservando come questa vari, all'aumentare della dose e nei diversi dispositivi, si può avere un indice di come evolva la degradazione dell'interfaccia. In figura 17 è mostrata la curva di subthreshold swing S in funzione della tensione di gate V_G per un I/O (a) e per il core (b), a varie dosi.

Nel primo grafico si osserva che il minimo della curva della subthreshold swing per il 2 μ /280 I/O sale con regolarità al crescere della dose totale, come conseguenza della formazione progressiva delle cariche all'interfaccia, e trasla nel verso positivo delle tensioni, a causa della traslazione dell'intera caratteristica corrente-tensione già evidenziata nel grafico 13(a). In modo simile, anche il minimo della subthreshold swing relativa al 120/60 core in generale aumenta per tutte le dosi, fatta eccezione per la dose di 1 Grad, in cui la curva, al contrario, si abbassa. Le curve della swing dell'NMOS core presentano inoltre fluttuazioni e irregolarità ben visibili nel grafico, nonostante sia stato applicato il filtro di smoothing Savitzky-Golay, imputabili all'alto grado di danno del dispositivo.

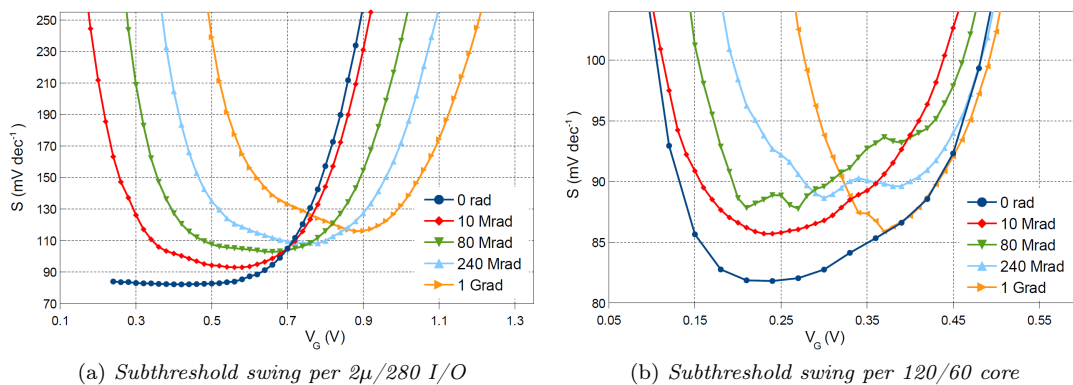


Fig. 17: Subthreshold swing a varie dosi per NMOS I/O e Core

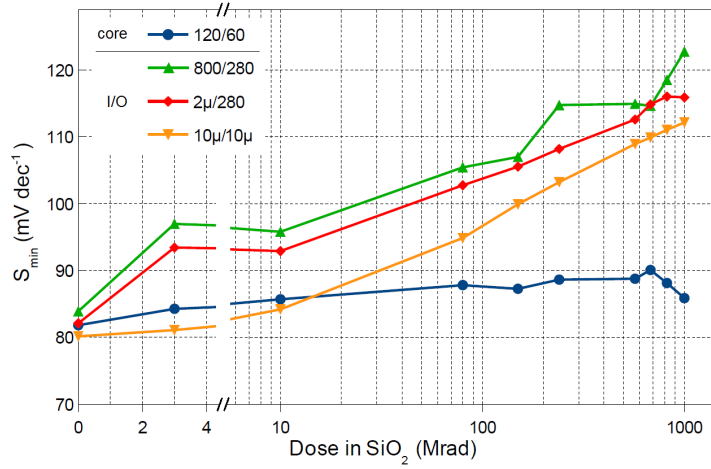


Fig. 18: S_{min} in funzione della dose per i diversi NMOS

Infine, nel grafico 18, è presentato come varia il minimo della curva swing-tensione al crescere della dose e per i diversi NMOS. Viene usato S_{min} come parametro da confrontare tra i vari dispositivi in quanto per il calcolo della separazione dei contributi dello spostamento della tensione di soglia, dell'espressione (4), viene usato come valore della swing, ad una certa dose, il valore minimo assunto da S al variare di V_G . Il valore iniziale della subthreshold swing minima è molto simile per tutti i dispositivi, ed in linea con le aspettative, in ognuno di essi ritroviamo la tendenza crescente della swing all'aumentare della dose assorbita, con i tre I/O che presentano andamenti simili tra loro; si discosta invece il core, per il quale l'incremento risulta più contenuto, se paragonato agli altri tre NMOS, indice che gli stati d'interfaccia hanno un impatto minore negli effetti del danno nella tipologia core, rispetto agli I/O.

Tabella 2: Dimensioni, tipologia e condizioni di bias dei PMOS

Bias	W	L	Tipo	stato
$V_S = V_B = V_D = V_G$	$10\mu m$	$1\mu m$	I/O	●
	$120nm$	$60nm$	core	●
	$360nm$	$60nm$	core	●
	$400nm$	$280nm$	I/O	●
	$600nm$	$60nm$	core	●
$V_S = V_B = V_D = 0 ; V_G = -V_{dd}$	$1\mu m$	$60nm$	core	●
	$2\mu m$	$280nm$	I/O	●
	$240nm$	$60nm$	core	●
	$480nm$	$60nm$	core	●
	$800nm$	$280nm$	I/O	●

Tabella 3: Step d'irraggiamento per PMOS e tempo di esposizione

Step	Dose (Mrad)	Dose totale (Mrad)	Tempo (h)
1	3	3.0	0.86
2	7	10.0	2.88
3	35	45.0	12.9
4	48	92.1	26.8
5	117	208.1	60.4
6	150	345.6	103.6
7	100	434.4	132.4
8	135	556.1	171.2
9	98	643.3	199.4
10	157	782.4	244.6
11	150	910.0	287.7
12	160	1044.6	333.8

4.2 PMOS

Nella tabella 2 sono indicate le dimensioni, la tipologia core o I/O dei transistor PMOS utilizzati per i test; è indicato inoltre quali tra essi alla fine dell'irraggiamento sono risultati ancora funzionanti. Durante l'irraggiamento si sono mantenute due diverse condizioni di bias, in modo da osservare quanto queste influenzino l'incidenza del danno: $V_S = V_B = V_D = V_G$ oppure $V_S = V_B = V_D = 0$ e $V_G = -V_{dd}$; la prima corrisponde al *best case* classico, in cui cioè ogni terminale è posto alla stessa tensione e le cariche create dal passaggio della radiazione ionizzante non sono separate dal campo elettrico di bias, avendo maggiore probabilità di ricombinare. La seconda è al contrario il *worst case*, con il gate posto alla massima differenza di tensione rispetto agli altri terminali, in modo da contrastare la ricombinazione. Nella tabella 3 sono elencati gli step d'irraggiamento, le dosi e il tempo cumulativo di esposizione.

4.2.1 Caratteristica di trasferimento

Per mostrare l'andamento della caratteristica di trasferimento di un PMOS, si è preso come esempio il transistor 360/60 core. In figura 19 è rappresentato come varia, per dosi diverse, il modulo della corrente di drain I_{DS} , che per PMOS è negativa, in funzione della tensione di gate V_G a $V_{DS} = 0.1V$, in scala lineare e logaritmica nella corrente.

Al crescere della dose totale, tutta la curva in scala lineare sistematicamente scende; la corrente che attraversa il transistor diminuisce di molto: infatti, partendo da correnti massime di pre-irraggiamento dell'ordine di $3 \cdot 10^{-5}A$ si passa, a $1045Mrad$ a valori attorno a $1.5 \cdot 10^{-6}A$,

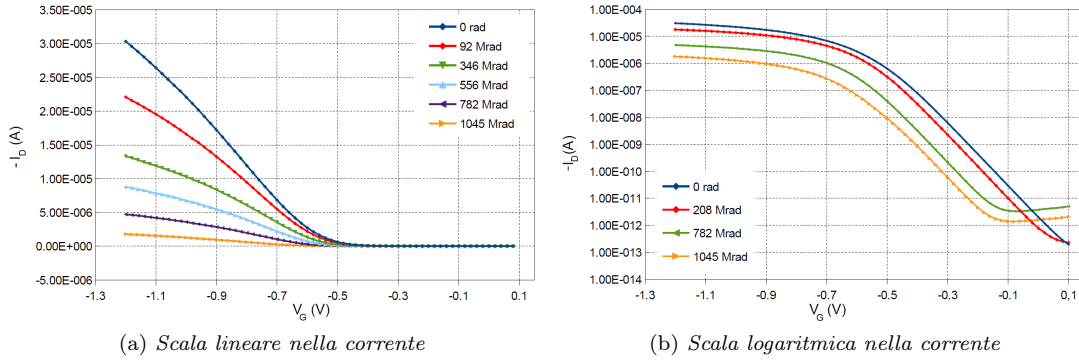


Fig. 19: Caratteristica di trasferimento a varie dosi per PMOS 360/60 core

circa 20 volte inferiori. Allo stesso tempo si nota che, per tutte dosi, la tensione di soglia, riconoscibile come il punto in cui la curva si appiattisce sull'asse $I_D = 0$, si sposta poco più di un decimo di Volt verso sinistra.

Nel grafico in scala logaritmica si trova che la corrente di off-state, quasi assente prima dell'irraggiamento ($\sim 2 \cdot 10^{-13} A$), cresce di quasi 2 ordini di grandezza al massimo della dose. Differentemente dal caso degli NMOS, fig. 13(b), I_{off} non sale a partire dalle dosi più basse, ma resta praticamente invariata fino a dosi intermedie, come i 208Mrad mostrati nel grafico. Questo aumento della corrente di leakage non può essere spiegato dalla sola presenza delle cariche nell'ossido di gate, le quali nei PMOS non creano correnti parassite, ma deve essere ricercato in un'altro tipo di fenomeno.

In fig 20 vengono mostrati i grafici della corrente di *on-state* percentuale rispetto alla stessa in condizioni iniziali, in funzione della dose, separatamente per PMOS I/O e core. Come già era osservabile dalla caratteristica di trasferimento, le correnti sono discendenti a qualsiasi dose, ma con andamenti diversi per le due tipologie: le curve degli I/O, infatti, seguono una tendenza lineare, mentre le curve dei core presentano una decrescita più accentuata alle alte dosi. Si nota inoltre che i PMOS I/O, al massimo della dose, mantengono una corrente di drain che si attesta attorno al 30% del valore iniziale; la tipologia core, invece, subisce una perdita percentuale che arriva alla quasi totalità: si va dal $10\mu/60$, che rimane a 1045Mrad con circa il 25% della corrente iniziale, fino al 240/60, che ne perde oltre il 99.5%. Questo fatto mostra che, in seguito all'irraggiamento, la conduttanza del canale dei PMOS di tipo I/O risulta molto meno degradata rispetto ai core, i quali alla fine del processo perdono in gran parte, se non del tutto, la loro funzionalità. Infine si può osservare una dipendenza degli effetti del danno dalla dimen-

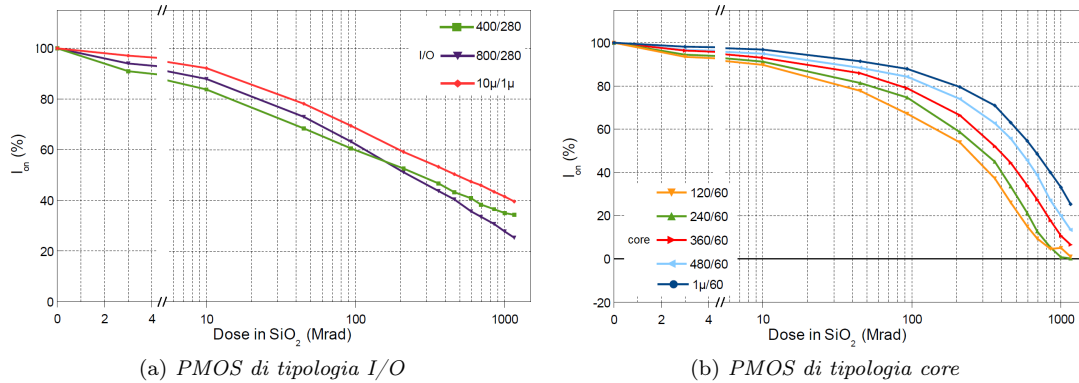


Fig. 20: Corrente di on-state in funzione della dose totale per PMOS

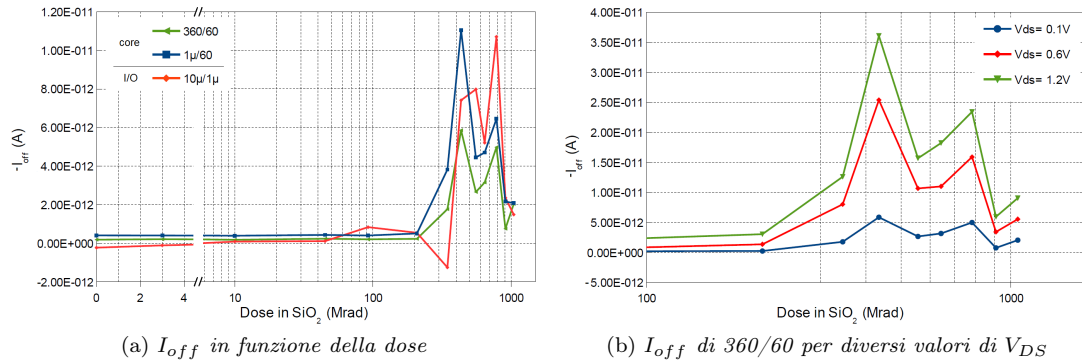


Fig. 21: Corrente di off-state in funzione della dose per PMOS

sione dei transistor: infatti i dispositivi con W/L maggiore risultano avere, generalmente, una minore perdita percentuale di corrente. L'unica eccezione è costituita, tra gli I/O, dal 400/280, il quale, ad alte dosi, risente in maniera minore del danno rispetto al 800/280, che tuttavia presenta dimensioni maggiori; un motivo di ciò può essere ricondotto alla diversa condizione di bias a cui sono stati sottoposti i due dispositivi durante l'irraggiamento, infatti il primo era posto nel *best case*, mentre il secondo nel *worst case*. Per gli altri dispositivi non si osservano tuttavia visibili dipendenze dell'incidenza del danno dalle condizioni di bias.

In figura 21(a), è mostrata la corrente di off-state al variare della dose, per tre PMOS. Come già osservato dalla caratteristica di trasferimento in scala logaritmica, la corrente rimane molto bassa, in modulo entro $10^{-13} A$ fino a $208 Mrad$, per poi aumentare di quasi 100 volte da $346 Mrad$ in su; al di sopra di questa dose, tuttavia, la corrente non sembra seguire alcun comportamento regolare, presentando però una certa somiglianza in forma tra gli andamenti relativi a transistor diversi. Non sembra esistere dipendenza della corrente di leakage dalle dimensioni W/L dei MOSFET, nè dalle condizioni di bias a cui sono stati sottoposti durante l'irraggiamento e non sono evidenti differenze tra tipologie core e I/O. Nel grafico 21(b) si osserva che la corrente di off-state per uno stesso dispositivo cresce all'aumentare della tensione tra drain e source V_{DS} . L'intensificazione della corrente di off-state che si osserva a partire da $346 Mrad$ non è spiegabile, come lo era nel caso degli NMOS, dalla formazione dei transistor parassiti ad opera delle cariche positive negli ossidi di isolamento, perchè queste, nei PMOS, respingono

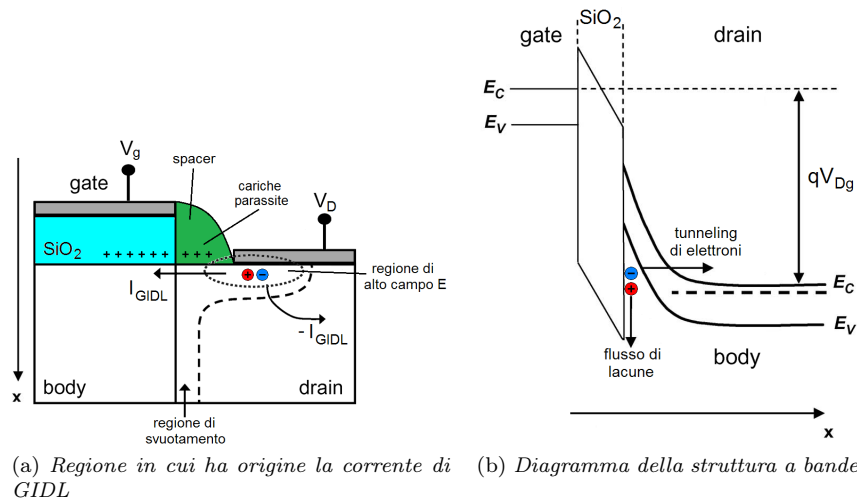


Fig. 22: Gate induced drain leakage (GIDL)

i portatori di carica, contrastando la creazione dei canali conduttivi. Inoltre se la corrente di leakage crescesse solo per effetto della dose, si osserverebbe un incremento più graduale, dato dal progressivo accumulo di carica, e non, come invece avviene, un aumento improvviso.

La fenomenologia appena descritta è compatibile con le conseguenze di *Gate Induced Drain Leakage* (GIDL) [12]. Questo effetto viene a crearsi quando una grande differenza tra le tensioni di drain e gate produce nella regione di sovrapposizione tra i due terminali un campo elettrico di forte intensità, fig. 22(a). Come si osserva nel diagramma della struttura a bande, la differenza di tensione V_{DG} deforma le bande di valenza e di conduzione del silicio; se questa deformazione è sufficientemente alta può aver luogo l'effetto tunnel, che fa in modo che gli elettroni riescano ad attraversare il gap proibito e dare così luogo ad un flusso di corrente al drain. Le lacune spaiate subiscono quindi deriva verso l'interno del corpo del MOSFET. La dose può avere un impatto su questo fenomeno, visto che la zona interessata, tra drain e gate, si trova adiacente allo strato di ossido di gate e agli spacer. Nella condizione di pre-irraggiamento e per basse dosi la sola tensione applicata non è sufficiente a dare luogo a GIDL, e per questo la corrente di off-state misurata resta quasi nulla. Tuttavia le cariche che progressivamente vengono depositate dalla radiazione deformano ancora di più le bande energetiche del silicio, fino a quando si raggiunge, ad una certa dose, una concentrazione di cariche parassite tale da rendere possibile la creazione della corrente indotta e si assiste al repentino aumento della corrente di leakage.

Un'ulteriore manifestazione della presenza dell'effetto di corrente indotta è l'andamento che assume la caratteristica di trasferimento nella regione tra $-0.2V$ e $0.1V$, fig. 19(b), in cui si vede la corrente di leakage prima diminuire e poi crescere con la tensione di gate. Si riscontra questa corrente di GIDL solamente dei PMOS, infatti nella medesima regione della caratteristica di trasferimento per NMOS, fig. 13(b), l'andamento è monotono rispetto alla tensione. Questo è spiegato dal fatto che le misure per gli NMOS sono effettuate con i terminali di source, drain e gate posti a tensione simile; al contrario per PMOS $V_D \approx V_S = -V_{dd}$, e la differenza con $V_g \approx 0V$ è sufficiente per dare luogo all'effetto tunnel tra le bande di valenza e conduzione.

4.2.2 Transconduttanza e tensione di soglia

Gli andamenti della transconduttanza, mostrati in figura 23, presentano marcate differenze tra i due tipi di PMOS. Per $10\mu/1\mu$ I/O, la transconduttanza diminuisce visibilmente, con il massimo della curva a $1045Mrad$ che presenta un valore circa il 25% minore del corrispettivo prima dell'irraggiamento, allo stesso tempo si verifica una traslazione dell'intera curva di oltre $0.5V$ verso tensioni minori, la quale evidenzia un cambiamento notevole nelle condizioni di attivazione del MOSFET; questo cambiamento si manifesterà in particolare nell'abbassamento della tensione di soglia.

Per il $360/60$ core, la curva si abbassa in maniera molto più accentuata, tanto che il picco della transconduttanza a dose massima è circa $\frac{1}{20}$ di quanto non lo fosse inizialmente: tale degrada-

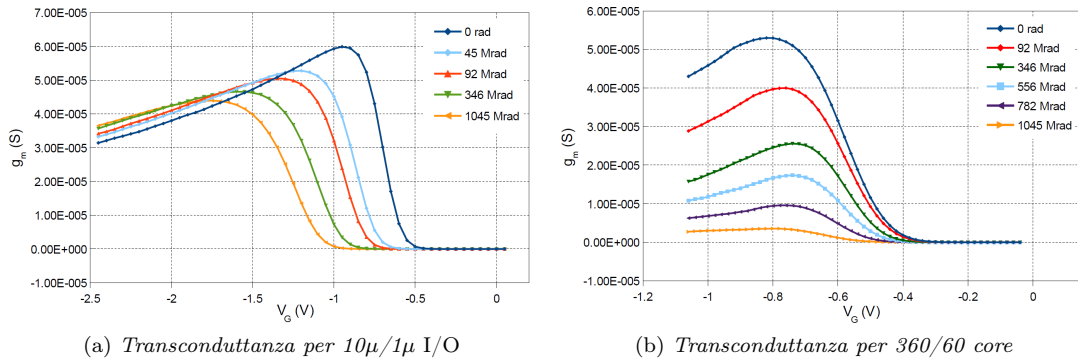


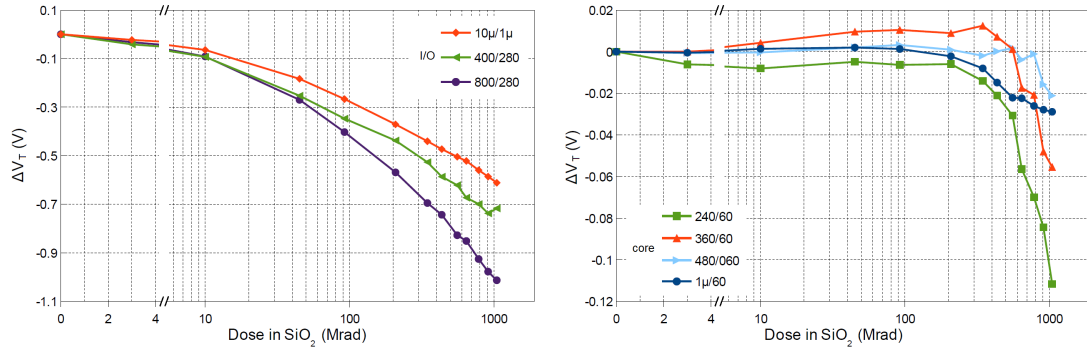
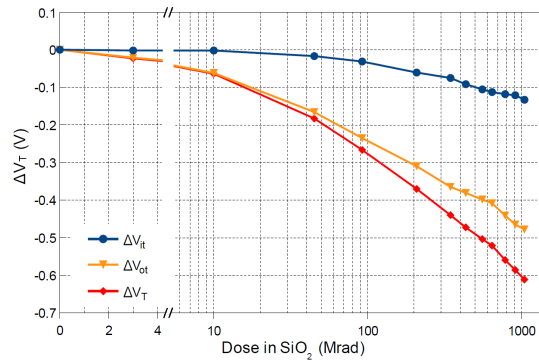
Fig. 23: Transconduttanza in funzione della tensione a varie dosi per PMOS I/O e core

zione delle proprietà conduttive del transistor spiegano il crollo della corrente di *on-state* nei core, visibile in fig. 20(b). La regione in cui g_m è significativamente diversa da 0, cioè le tensioni per cui il canale del transistor è attivo, resta quasi la stessa per tutte le dosi; ci si aspetta quindi che la tensione di soglia per i core subisca variazioni molto meno significative di quelle che si rilevano per i dispositivi I/O.

Per osservare come la radiazione influisca sull'attivazione del canale, sono poste in un grafico le differenze della tensione di soglia rispetto alle condizioni originali, figura 23(a) e (b) rispettivamente per I/O e core. Come già osservato, le variazioni che presentano gli I/O sono piuttosto rilevanti, fino ad oltre 1V di differenza alla massima dose, a fronte di spostamenti per i core che si assestano attorno a 0.06V.

Anche l'andamento con cui cala la tensione di soglia presenta notevoli differenze tra le due tipologie di PMOS: la curva relativa ai core resta praticamente costante fino a dosi di circa 200Mrad, calando visibilmente solo a dosi superiori; al contrario gli I/O seguono un andamento più lineare e la diminuzione della tensione di soglia ha inizio già ai primi step d'irraggiamento. Si nota che per gli I/O è presente la stessa dipendenza del danno dalle dimensioni dei PMOS che era stata evidenziata nel grafico della corrente di on-state in funzione della dose (fig. 20(a)), con il transistor di dimensioni maggiori che subisce minore danno e la dipendenza inversa per i 400/280 e 800/280, a causa delle diverse condizioni di bias durante l'irraggiamento. Nei core non è visibile la stessa dipendenza dalle dimensioni.

La sostanziale differenza evidenziata dai grafici relativi alla tensione di soglia per I/O e core, suggerisce che nei PMOS il contributo principale al danno da radiazione sia imputabile agli ossidi di silicio, in quanto il parametro che distingue le due tipologie è lo spessore dell'ossido di gate. Se, al contrario, il contributo delle cariche all'interfaccia fosse quello dominante, ci si aspetterebbe che le differenze fossero meno marcate.

(a) *Variazione della tensione di soglia per I/O*(b) *Variazione della tensione di soglia per core*(c) *Separazione dei contributi per 10μ/1μ*Fig. 24: *Variazione della tensione di soglia in funzione della dose totale per PMOS*

Nel grafico 23(c) sono mostrati separatamente le quantità relative alle cariche intrappolate all'interfaccia, calcolata a partire dalla subthreshold swing, e nell'ossido che intervengono nella variazione della tensione di soglia, per il $10\mu/1\mu$ I/O. Per i PMOS in entrambi i casi i portatori intrappolati sono lacune, per cui i due contributi sono concordi e negativi. A dosi basse la ΔV_{it} è quasi nulla e la variazione totale, fino a circa 100Mrad , è data in larga parte da ΔV_{ot} ; a dosi più elevate invece gli stati all'interfaccia cominciano a formarsi ed il contributo di questi ultimi si fa più evidente, mantenendo tuttavia un'incidenza decisamente minore rispetto alla variazione data dall'ossido. Anche in questo caso, come per gli NMOS, gli spacer possono avere un ruolo importante nel controllare la risposta alla radiazione dei PMOS.

4.2.3 Subthreshold Swing

Si può verificare che gli stati d'interfaccia per PMOS subiscono un danno contenuto osservando come la subthreshold swing presenti variazioni moderate. Per i PMOS la subthreshold swing assume tre distinti comportamenti, mostrati nei grafici in figura 25. Nel primo grafico è mostrato il modulo della swing in funzione di V_G relativa al transistor $360/60$ core. Si può vedere che ad ogni dose considerata il valore del minimo si mantiene attorno allo stesso valore e l'intera curva subisce variazioni contenute. Lo stesso comportamento è riscontrato nei PMOS core di dimensioni maggiori: $1\mu/60$, $480/60$ e $600/60$.

Nel grafico 25(b) è presentato il modulo della swing del $10\mu/1\mu$ I/O; per questo transistor le curve, al crescere della dose, traslano rigidamente verso tensioni minori, in seguito alla traslazione dell'intera caratteristica di trasferimento, e si alzano leggermente, di circa $20\frac{\text{mV}}{\text{dec}}$. Seguono la stessa tendenza tutti i PMOS di tipologia I/O. Infine, analizzando i due core più piccoli $120/60$ e $240/60$, si nota un andamento che si discosta dai precedenti solo ad alte dosi: le curve di

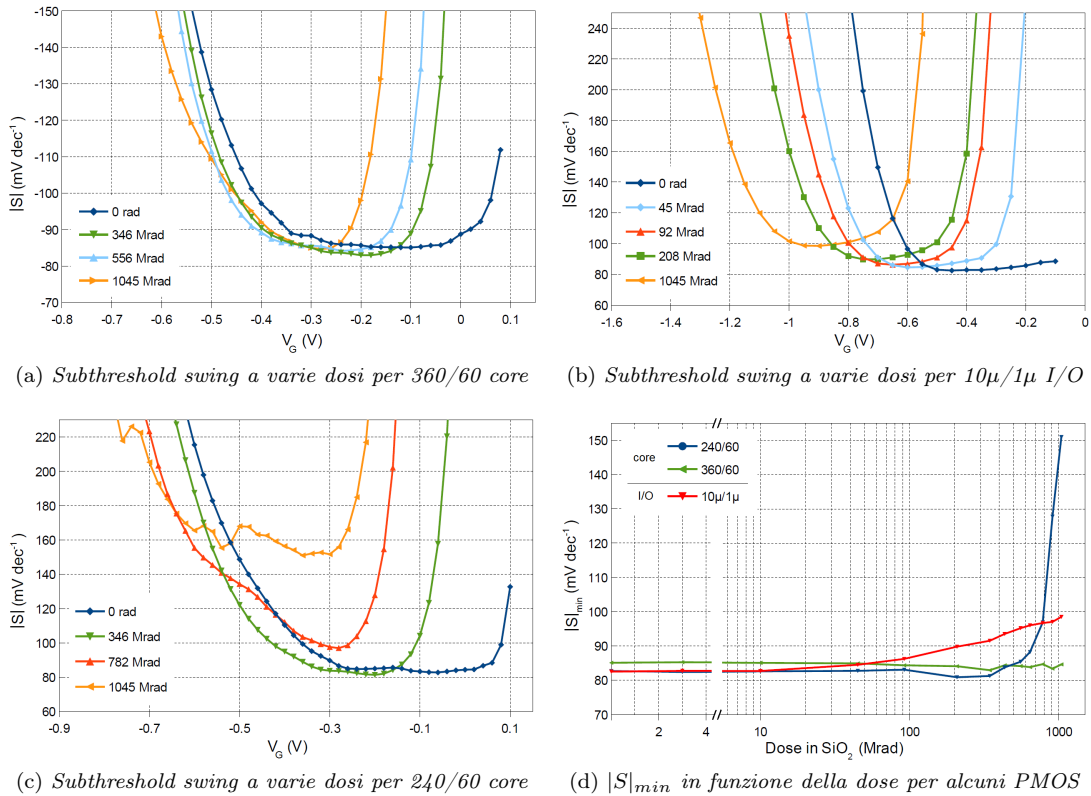


Fig. 25: Subthreshold swing per PMOS

swing inizialmente traslano verso tensioni minori, alzandosi di poco, tuttavia, a 1045Mrad il minimo della swing aumenta notevolmente e la curva subisce allo stesso tempo una ben visibile deformazione.

Ritroviamo tali diverse tendenze anche nel grafico che mostra il valore del minimo della swing $|S|$ al variare della dose totale: il $360/60$ mantiene un andamento praticamente costante attorno a $85\frac{\text{mV}}{\text{dec}}$; il $10\mu/1\mu$ decresce monotonamente per tutti gli step; infine, $|S|_{\text{min}}$ per il $240/60$ rimane pressochè costante fino a circa 700Mrad , per poi crescere notevolmente negli ultimi step di irraggiamento. La distinzione tra i PMOS che seguono uno dei tre comportamenti descritti in precedenza sembra dipendere solo dalla tipologia e dalle dimensioni dei transistor, senza relazione con le condizioni di bias.

In sostanza si riscontra che nei PMOS la concentrazione di carica all'interfaccia subisce variazioni in generale molto contenute anche a dosi elevate, fatta eccezione per i core di dimensioni più piccole, che sono interessati da una pesante degradazione solo a dosi estremamente alte.

5 Conclusioni

In questo esperimento si sono studiati gli effetti del danno da total dose su dispositivi MOSFET progettati con tecnologia a 65nm in layout lineare, possibili candidati per gli apparati di lettura dei pixel che saranno utilizzati negli upgrade di ATLAS e CMS per la futura fase *High Luminosity* di LHC. In questa nuova fase, è richiesto che i componenti elettronici siano in grado di avere un funzionamento affidabile in condizioni di esposizione alla radiazione, che raggiungano dosi, mai registrate prima, di oltre $1\text{Grad}(\text{SiO}_2)$, per un periodo di utilizzo di 10 anni. In particolare è stato studiato in che modo vengono alterati i parametri di funzionamento, all'aumentare dell'esposizione a raggi X, di dispositivi NMOS e PMOS, sia I/O che core, di diverse dimensioni.

In tutti i dispositivi il danno da total dose porta ad un degrado non trascurabile della trasconduttanza del canale; questo si manifesta in un considerevole decadimento della corrente di drain a transistor attivo I_{on} , la quale si abbassa in media del 50 – 70% rispetto alle condizioni di pre-irraggiamento. I transistor che subiscono la perdita maggiore di corrente, risultano essere i PMOS di tipologia core, con diminuzioni di oltre il 95% alle dosi massime.

Negli NMOS è evidente l'aumento della corrente di leakage, causata dalla formazione di transistor parassiti indotti dall'accumulo di carica positiva all'interno degli ossidi di isolamento; la presenza di correnti parassite si evidenzia specialmente in dispositivi con lunghezza del canale W minore, in cui si registrano correnti I_{off} di intensità fino a $2.5 \cdot 10^{-11}\text{A}$. Nei PMOS si assiste ugualmente all'aumento della corrente di leakage, generato tuttavia dal fenomeno di *Gate Induced Drain Leakage* (GIDL), favorito dalle cariche nell'ossido.

Si misurano variazioni significative della tensione di soglia: per i transistor di tipologia I/O $|\Delta V_T|$ si attesta tra 0.4 e 1V, valori notevoli considerando il fatto che le tensioni di lavoro normali di questi MOSFET sono dell'ordine di 2.5V. Gli NMOS e PMOS core, al contrario, presentano variazioni della tensione di soglia molto più contenute, quasi sempre minori di 0.1V, anche a dosi estremamente alte.

Dallo studio di come evolve la subthreshold swing è risultato che il contributo al danno causato dalle cariche negli ossidi, di gate e di isolamento, produce effetti più rilevanti di quello imputabile alle cariche all'interfaccia, specialmente per gli NMOS core e i PMOS. È stata riscontrata una dipendenza della severità del danno dalle condizioni di bias durante l'irraggiamento solo nei casi specifici dei PMOS I/O $400/280$ e $800/280$, mentre per tutti gli altri dispositivi non sembra esserci evidente correlazione.

In conclusione, da questo studio, è emerso che i MOSFET nella tecnologia costruttiva attuale a 65nm non risultano in grado di operare in modo soddisfacente nelle condizioni di total dose estremamente alte di 1Grad imposte in questo esperimento, specialmente a causa della pesante degradazione della capacità di trasmissione di corrente. Ulteriori studi dovranno essere condotti per approfondire la conoscenza delle caratteristiche della presente tecnologia, ad esempio per

esaminare l'impatto degli spacers nel danno, o per sondare il possibile utilizzo di tecnologie differenti. È necessario tuttavia precisare che i MOSFET sono stati sottoposti a condizioni molto più severe di quelle che andrebbero ad affrontare durante il loro effettivo utilizzo, specialmente perchè si è dovuto concentrare un periodo di irraggiamento previsto di 10 anni nell'intervallo di 12 giorni, con un *dose rate* estremamente più elevato di quello reale. Con una esposizione prolungata, infatti, è possibile che effetti di *annealing* riescano ad attenuare le conseguenze del danno da radiazione. Per questo motivo, effetti che si rendono visibili solo a dosi molto elevate e per cui sarebbero necessari degli anni per accumulare la dose necessaria, come la crescita della corrente di leakage nei PMOS o lo spostamento della tensione di soglia nei core in generale, potrebbero nella realtà presentarsi in modo più limitato. Allo stesso tempo si verificherebbero fin dai primi tempi di utilizzo tutti quei fenomeni che in questo esperimento sono visibili a partire già da basse dosi, come la formazione delle correnti parassite negli NMOS e la diminuzione delle correnti di drain. È pertanto necessario sviluppare nuovi studi per approfondire la conoscenza dei fenomeni di annealing ed il loro impatto sulle prestazioni dei MOSFET.

Il fatto che i core, realizzati con ossidi di gate di spessore minore rispetto agli I/O, risultino più resistenti allo spostamento della tensione di soglia suggerisce che dispositivi progettati in scale più ridotte e con tecnologie che permettano la produzione di ossidi di gate meno spessi, possano dimostrarsi più resistenti al danno da radiazione. Per ridurre, inoltre, gli effetti causati dagli ossidi di isolamento, specialmente sulla corrente di leakage, può risultare conveniente l'utilizzo di MOSFET in layout *enclosed*.

6 Appendice

Tabella 4: Valori della corrente di *on-state* $I_{on}(10^{-5}A)$ a diverse dosi per NMOS

Dose (Mrad)	120/60	2μ/280	10μ/10μ	800/280
0	6.251	100.475	27.043	37.528
3	6.834	101.703	26.881	38.499
10	6.792	96.094	25.423	35.509
80	6.160	81.040	20.105	29.378
150	5.793	75.073	17.849	27.150
240	5.632	70.764	16.362	25.225
570	4.624	63.477	13.755	22.643
680	4.407	62.267	13.321	22.192
820	4.177	61.141	12.896	21.799
1000	3.860	59.514	12.392	21.200

Tabella 5: Valori della corrente di *off-state* $I_{off}(10^{-12}A)$ a diverse dosi per NMOS

Dose (Mrad)	120/60	2μ/280	10μ/10μ	800/280
0	1.203	-0.245	0.014	-0.235
3	1.964	1.615	0.591	2.401
10	3.018	2.554	1.149	2.612
80	6.332	4.240	2.337	4.386
150	11.964	10.647	5.655	10.749
240	13.316	9.416	6.512	9.585
570	19.491	11.694	5.656	11.488
680	24.025	22.127	9.971	16.412
820	25.834	17.571	6.644	18.990
1000	25.117	16.108	3.871	17.744

Tabella 6: Valori della tensione di soglia $V_T(V)$ a diverse dosi per NMOS

Dose (Mrad)	120/60	2μ/280	10μ/10μ	800/280
0	0.606	0.808	0.661	0.889
3	0.596	0.803	0.653	0.881
10	0.596	0.840	0.685	0.927
80	0.593	0.980	0.802	1.047
150	0.603	1.050	0.864	1.109
240	0.607	1.095	0.910	1.176
570	0.639	1.183	1.003	1.237
680	0.662	1.195	1.020	1.254
820	0.704	1.208	1.038	1.266
1000	0.715	1.227	1.058	1.282

Tabella 7: Valori della corrente di *on-state* $I_{on}(10^{-5}A)$ a diverse dosi per PMOS

Dose (Mrad)	120/60	240/60	360/60	400/280	480/60	800/280	1 μ /60	10 μ /1 μ
0	-4.415	-7.999	-12.231	-15.374	-15.489	-29.155	-29.752	-72.337
3	-4.127	-7.559	-11.787	-13.980	-14.978	-27.411	-29.212	-70.218
10	-3.964	-7.302	-11.381	-12.883	-14.709	-25.642	-28.821	-66.720
45	-3.432	-6.510	-10.507	-10.523	-13.697	-21.281	-27.205	-56.560
92	-2.966	-5.974	-9.659	-9.311	-13.055	-18.442	-26.172	-50.262
208	-2.381	-4.692	-8.130	-8.083	-11.463	-14.906	-23.673	-42.801
346	-1.644	-3.598	-6.379	-7.181	-9.720	-12.742	-21.127	-38.540
434	-1.151	-2.682	-5.433	-6.654	-8.630	-11.781	-18.766	-36.442
556	-0.661	-1.692	-4.147	-6.281	-7.064	-10.405	-16.243	-34.319
643	-0.416	-1.019	-3.352	-5.899	-6.009	-9.788	-14.455	-33.273
782	-0.207	-0.424	-2.174	-5.623	-4.193	-8.963	-11.887	-31.391
910	-0.224	-0.064	-1.301	-5.385	-3.087	-8.102	-9.839	-30.036
1045	-0.046	-0.018	-0.803	-5.275	-2.079	-7.373	-7.529	-28.635

Tabella 8: Valori della corrente di *off-state* $I_{off}(10^{-12}A)$ a diverse dosi per PMOS

Dose (Mrad)	120/60	240/60	360/60	400/280	480/60	800/280	1 μ /60	10 μ /1 μ
0	-0.111	-0.154	-0.192	0.158	-0.156	-0.004	-0.413	0.224
3	-0.106	-0.145	-0.219	0.220	-0.204	0.225	-0.410	0.103
10	-0.012	-0.146	-0.179	0.094	-0.138	-0.027	-0.386	-0.086
45	-0.294	-0.130	-0.235	0.574	-0.106	0.342	-0.431	-0.106
92	-0.163	-0.130	-0.199	0.329	-0.092	0.239	-0.401	-0.830
208	-0.076	-0.227	-0.228	1.037	-0.119	0.508	-0.506	-0.542
346	-1.322	-1.968	-1.764	4.080	-1.828	0.767	-3.817	1.256
434	-9.840	-6.454	-5.857	-4.628	-6.313	-7.083	-11.044	-7.412
556	-3.125	-3.327	-2.654	-4.309	-3.445	-4.750	-4.444	-7.982
643	-5.207	-3.621	-3.147	-2.970	-2.946	-4.948	-4.700	-5.207
782	-7.800	-5.864	-4.980	-6.008	-4.541	-8.798	-6.445	-10.702
910	-1.919	-1.445	-0.755	-1.374	-1.150	-1.208	-2.161	-2.351
1045	-2.597	-1.635	-2.039	-0.997	-0.999	-0.908	-2.077	-1.484

Tabella 9: Valori della tensione di soglia $V_T(V)$ a diverse dosi per PMOS

Dose (Mrad)	120/60	240/60	360/60	400/280	480/60	800/280	1 μ /60	10 μ /1 μ
0	0.636	0.618	0.625	1.932	0.616	1.929	0.601	1.801
3	0.631	0.611	0.625	1.890	0.616	1.896	0.600	1.778
10	0.633	0.609	0.630	1.839	0.616	1.838	0.602	1.737
45	0.626	0.613	0.635	1.679	0.618	1.660	0.603	1.618
92	0.626	0.611	0.636	1.585	0.620	1.527	0.602	1.535
208	0.643	0.612	0.634	1.495	0.617	1.361	0.599	1.431
346	0.655	0.603	0.638	1.406	0.614	1.235	0.593	1.361
434	0.649	0.596	0.633	1.346	0.617	1.187	0.586	1.329
556	0.632	0.587	0.627	1.311	0.618	1.102	0.579	1.297
643	0.614	0.561	0.608	1.259	0.613	1.079	0.579	1.280
782		0.548	0.605	1.233	0.615	1.004	0.575	1.242
910	0.608	0.533	0.577	1.195	0.601	0.952	0.573	1.215
1045		0.506	0.570	1.216	0.595	0.917	0.572	1.190

7 Bibliografia

- [1] F. Faccio, "Radiation issues in the new generation of high energy physics experiments," *International Journal of High Speed Electronics and Systems*, vol. 14, no. 02, pp. 379-399, 2004.
- [2] S. M. Sze, "Physics of Semiconductor Devices", 3rd edition, John Wiley & Sons, New York, 2007.
- [3] F. Faccio, and G. Cervelli, "Radiation-induced edge effects in deep submicron CMOS transistors," *IEEE Transactions Nuclear Science*, vol. 52, no. 6, pp. 2413-2420, 2005.
- [4] F. B. McLean, H. E. Boesch Jr., and T. R. Oldham, "Electron-Hole Generation, Transport, and Trapping in SiO₂," in *Ionizing Radiation Effects in MOS Devices and Circuits*, edited by T. P. Ma and P. V. Dressendorfer, John Wiley & Sons, New York, 1989.
- [5] T. P. Ma, and P. V. Dressendorfer, "Ionizing radiation effects in MOS devices and circuits," John Wiley & Sons, New York, 1989.
- [6] N. S. Saks, M. G. Ancona, and J. A. Modolo, "Generation of interface states by ionizing radiation in very thin MOS oxides," *IEEE Transactions Nuclear Science*, vol. 33, no. 6, pp. 1185-1190, 1986.
- [7] L. Ratti "Ionizing radiation Effects in Electronic Devices and Circuits," V National Course *Detectors and Electronics for High Energy Physics, Astrophysics, Space Applications and Medical Physics*, INFN Laboratori Nazionali di Legnaro, April 2013.
- [8] W. Snoeys, F. Faccio, et al. "Layout techniques to enhance the radiation tolerance of standard CMOS technologies demonstrated on a pixel detector readout chip," *Nuclear Instruments and Methods in Physics Research, Section A*, vol. 439, no. 2, pp. 349-360, 2000.
- [9] E. W. Enlow, R. L. Pease, and David R. Alexander. "Subthreshold technique for fixed and interface trapped charge separation in irradiated MOSFETs," No. MRC/ABQ-R-1069, MISSION RESEARCH CORP ALBUQUERQUE NM, 1990.
- [10] D. Bisello, A. Candelori, A. Kaminski, A. Litovchenko, E. Noah, and L. Stefanutti, "X-ray radiation source for total dose radiation studies," *Radiation Physics and Chemistry*, vol. 71, no. 3, pp. 713-715, 2004.
- [11] A. Savitzky, and M. JE Golay, "Smoothing and differentiation of data by simplified least squares procedures," *Analytical chemistry*, vol. 36. no. 8, pp. 1627-1639, 1964.
- [12] P. C. Adell, H. J. Barnaby, R. D. Schrimpf, and B. Vermeire, "Band-to-band tunneling (BBT) induced leakage current enhancement in irradiated fully depleted SOI devices" *IEEE Transactions Nuclear Science*, vol. 54, no. 6, pp. 2174-2180, 2007.