

UNIVERSITÀ DEGLI STUDI DI PADOVA  
DIPARTIMENTO DI INGEGNERIA  
DELL'INFORMAZIONE

Tesi di Laurea in  
ELETTRONICA DIGITALE

**Ossidi ad alta costante dielettrica  
come isolante di gate per transistor  
MOS**

Relatore  
Prof. Alessandro Paccagnella

Candidato  
Giuseppe Belgioioso

Corelatore  
Prof. Simone Gerardin

Anno Accademico 2011/2012

# Indice

<b>1</b>	<b>Introduzione</b>	<b>2</b>
1.1	Sfondo . . . . .	2
1.2	EOT e capacità di gate . . . . .	8
1.3	Problemi da risolvere . . . . .	10
<b>2</b>	<b>Scelta dell'ossido high-k</b>	<b>12</b>
2.1	Requisiti . . . . .	12
2.2	Valore di k . . . . .	13
2.3	Stabilità termodinamica . . . . .	15
2.4	Stabilità cinetica . . . . .	16
2.5	Band Offset . . . . .	17
2.6	Qualità d'interfaccia . . . . .	18
2.7	Difetti elettronici . . . . .	18
<b>3</b>	<b>Caratteristiche elettriche</b>	<b>20</b>
3.1	Parametri del MOS . . . . .	20
3.2	Riduzione della mobilità . . . . .	23
3.3	Stabilità della tensione di soglia . . . . .	25
3.4	Cariche intrappolate . . . . .	25
<b>4</b>	<b>La strada per il contatto diretto</b>	<b>27</b>
4.1	Perchè il contatto diretto . . . . .	27
4.2	Problemi da risolvere . . . . .	29
4.3	Scelta del metallo di gate . . . . .	30
4.4	Processo di fabbricazione . . . . .	31
4.5	Caratteristiche elettriche del MOS $W/La_2O_3/Si$ . . . . .	33
<b>5</b>	<b>Conclusione</b>	<b>35</b>
	<b>Bibliografia</b>	<b>36</b>

# Capitolo 1

## Introduzione

### 1.1 Sfondo

I prodotti dell'elettronica allo stato solido hanno migliorato la qualità della vita dell'uomo, hanno inoltre fortemente contribuito allo sviluppo della civilizzazione e risultano indispensabili nella società moderna. L'evoluzione di queste tecnologie, cominciata negli anni 50 con le invenzioni del transistor e successivamente del circuito integrato, che valse il premio Nobel al ricercatore statunitense Jack Kilby, avvenne a ritmi vertiginosi.

La tecnologia CMOS è uno dei principali motivi di successo dei circuiti integrati basati sul silicio. I MOSFET (Metal Oxide Semiconductor Field Effect Transistor) complementari stanno alla base di questa tecnologia e sono attualmente i più importanti dispositivi elettronici.

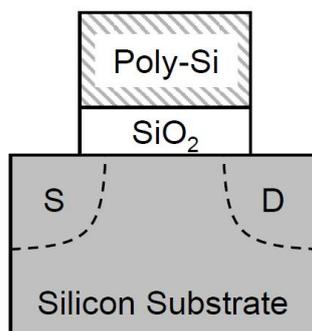


Figura 1.1: transistor MOS

Il MOSFET ha una capacità di gate e due giunzioni PN ed è in gran parte costruito con materiali di silicio. Il Diossido di silicio  $SiO_2$  è utilizzato

come isolante di gate. Il Poly-Si (Polisilicio) è usato come elettrodo di gate.

I MOSFET operano come switches fondamentali per realizzare operazioni logiche nei circuiti integrati, sono i dispositivi dominanti tra quelli dell'elettronica allo stato solido.

L'avanzamento dei circuiti integrati su larga scala termina con il progressivo rimpicciolimento, processo che prende il nome di scaling. La regola dello scaling dei MOSFET fu pubblicata da R. Dennard.

In accordo con questa legge, la dimensione del dispositivo e la tensione di alimentazione possono essere ridotte per lo stesso fattore alfa, con il risultato che il campo elettrico nei MOSFET rimane costante per qualsiasi nodo tecnologico. Inoltre il circuito si velocizza per il medesimo fattore alfa. La dissipazione di potenza si riduce di un fattore  $\alpha^2$  [7].

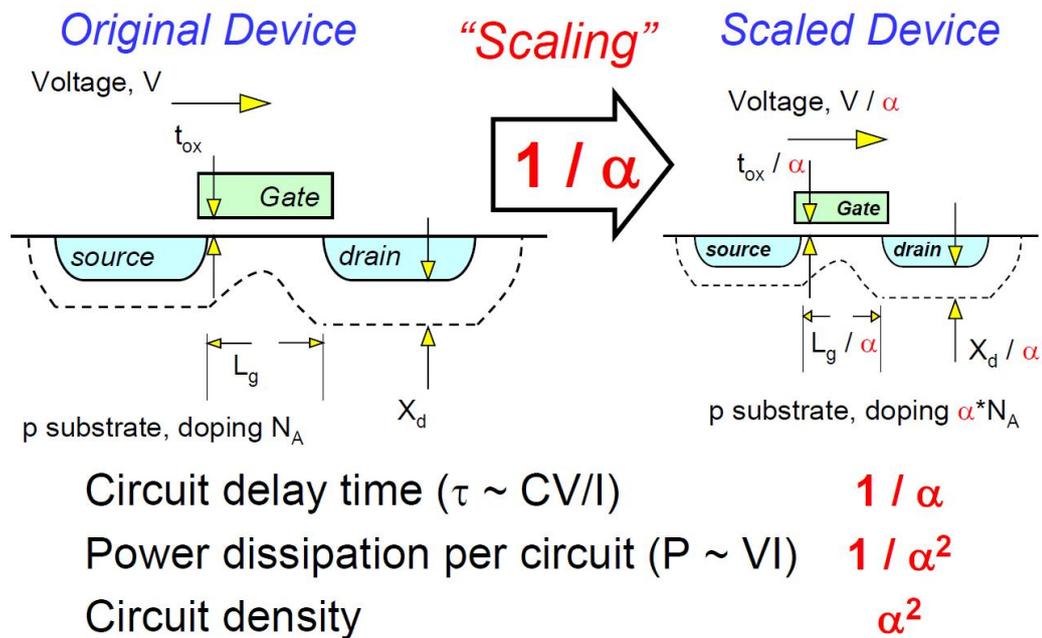


Figura 1.2: Regole dello Scaling

Si nota che la dimensione del dispositivo si riduce ogni anno e il numero di transistor per circuito cresce esponenzialmente, raddoppiando ogni 2-3 anni. Questa legge empirica prende il nome di Prima Legge di Moore [5].

In accordo con questa legge si è passati da qualche migliaio di transistor per chip nel 1970 a decine di migliaia nel 1975, un centinaio di migliaia negli anni 80; la soglia del milione è stata raggiunta a metà degli anni ottanta.

Attualmente il record di integrazione appartiene ad un chip programmabile della Intel, il 10-core Xeon Westmere-EX Xilinx, che contiene al suo interno 6.8 miliardi di transistor [9]!

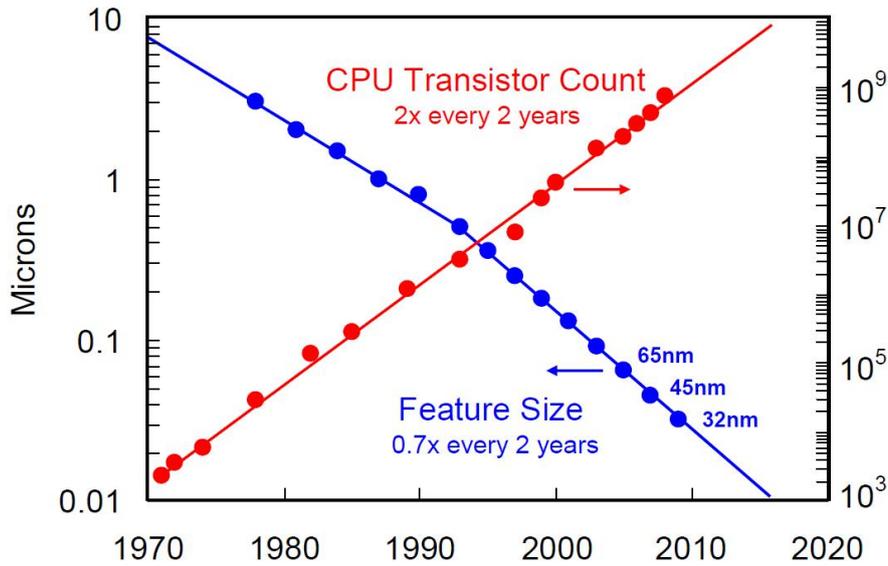


Figura 1.3: Scaling trend

L' International Technology Roadmap for Semiconductor ITRS definisce come i parametri del dispositivo saranno scalati per la prossima generazione tecnologica

Year	2001	2003	2005	2007	2009	2012	2016	2018
Node	130	100	80	65	45	32	22	18
ASIC $1/2$ pitch	150	107	80	65	45	32	25	18
Physical gate length	65	45	32	25	20	13	9	7
$T_{ox}$ hi power	1.5	1.3	1.1	0.9	0.8	0.6	0.5	0.5
$T_{ox}$ lo power		2.2	2.1	1.6	1.4	1.1	1.0	0.9
Gate oxide	oxynitride			HfO <sub>2</sub> ; Si <sub>3</sub> N <sub>4</sub>			LaAlO <sub>3</sub>	
Gate metal	poly Si			metal gate, e.g. TaSiN <sub>x</sub>				

Figura 1.4: Tabella dei nodi tecnologici prevista dall'ITRS nel 2003. Definisce Nodo, Lunghezza di gate per dispositivi ad alto e basso consumo, materiale del dielettrico gate, materiale dell'elettrodo di gate.

In ogni caso i MOSFET non sono i più veloci dispositivi dell'elettronica allo stato solido ma in compenso sono i più facili da integrare a causa della loro natura planare.

Le prestazioni dei MOSFET sono misurate in termini di corrente di Drain o di ON che, in regione di saturazione, può essere scritta come :

$$I_{dsat} = \frac{W}{2L} \mu_{eff} \frac{A \epsilon_{ox} \epsilon_o}{T_{ox}} (V_g - V_{th})$$

dove W è la larghezza di gate, L è la lunghezza di gate,  $\mu_{eff}$  è la mobilità,  $\epsilon_{ox}$  è la permittività dell'ossido,  $\epsilon_o$  è la permittività del vuoto,  $V_g$  è la tensione di gate e  $V_{th}$  è la tensione di soglia [1].

Dall'equazione appare evidente che la riduzione dello spessore dell'ossido e della lunghezza di gate ha come risultato l'incremento della corrente di Drain.

La riduzione delle dimensioni dei transistor è importante sia per la velocità delle operazioni che per la densità di integrazione dei circuiti.

Grandi performance e costi ridotti possono essere raggiunti simultaneamente con lo scaling.

Purtroppo lo scaling non può andare avanti all'infinito: i limiti della legge di Moore sono stati identificati nella litografia e nell'accessibilità a lunghezze d'onda della luce sufficientemente corte per creare, tramite il processo di fotolitografia, MOSFET sempre più piccoli.

Ad ogni modo prima che ciò si sia verificato ci si è accorti che le prestazioni dei MOSFET non possono essere incrementate esclusivamente con la riduzione della loro dimensione; questo a causa dei problemi di bilanciamento sorti con l'avvento della tecnologia a 90nm.

Attualmente è difficoltoso aumentare le prestazioni dei MOSFET con lo scaling; per fare ciò sono state introdotte nuove strutture e nuovi materiali. Questo metodo prende il nome di "Equivalent Scaling".

Tra i vari problemi che cominciano a delinearsi, scendendo sotto il nodo tecnologico a 90 nm, quello dell'ossido di gate è di sicuro il più critico. L'ossido di gate, che separa l'elettrodo di gate dal substrato, è la parte più importante del MOSFET.

Il  $SiO_2$  è stato usato come dielettrico ideale di gate per 40 anni per le sue ottime proprietà d'interfaccia e di stabilità. Il  $SiO_2$  è di solito formato mediante ossidazione termica del substrato di silicio.

Con l'avanzare dello scaling lo spessore del  $SiO_2$  è stato talmente ridotto da scendere sotto la soglia dei 1.5nm, vale a dire pochi strati atomici.

A causa di ciò la corrente di dispersione, dovuta al tunnel diretto degli elettroni attraverso lo strato di  $SiO_2$  (direct tunneling), è diventata troppo

## CMOS Scaling Trend

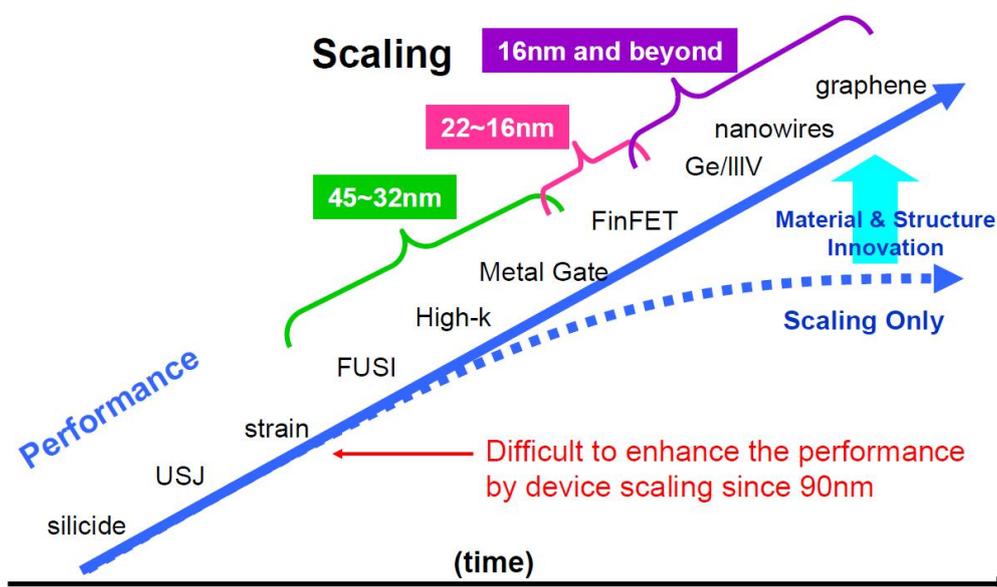


Figura 1.5: CMOS Scaling trend

grande, superando  $1A/cm^2$  a 1 V di tensione. Come risultato il consumo di potenza passivo del circuito è cresciuto a livelli inaccettabili, arrivando ad eguagliare quello di potenza attiva [1].

In più diventa sempre più difficile produrre commercialmente, su wafer di silicio da 30cm, films di  $SiO_2$  di tale spessore.

Per finire, l'affidabilità di tali strati a breakdown elettrici decresce assieme allo spessore.

Per queste tre ragioni, ma in primo luogo a causa delle correnti di perdita, risulta necessario rimpiazzare il  $SiO_2$  come ossido di gate.

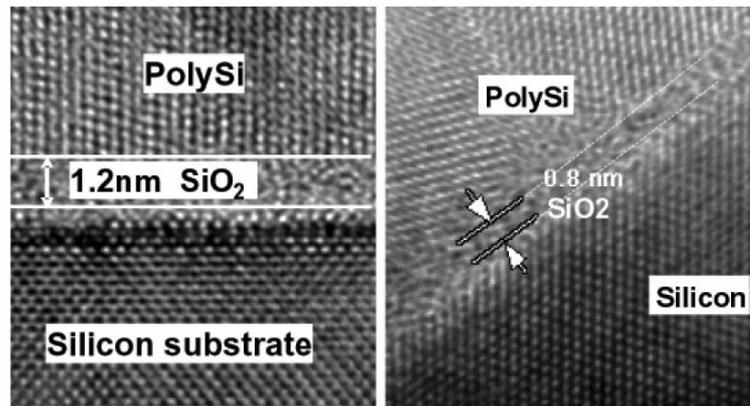
Le correnti di tunneling decrescono esponenzialmente con l'aumentare dello spessore.

Come abbiamo già visto la corrente di Drain in un transistor MOS dipende direttamente dalla capacità di gate, che si può scrivere:  $C = \frac{\epsilon_o \kappa A}{t_{ox}}$ , dove  $\epsilon_o$  è la permittività del vuoto,  $\kappa$  è la permittività relativa,  $A$  l'area e  $t_{ox}$  lo spessore dell'ossido.

Da queste due osservazioni, si deduce che la soluzione ai problemi di tunneling è rimpiazzare il  $SiO_2$  con uno strato più spesso di un materiale ad alta costante dielettrica  $\kappa$ .

Con questa soluzione si può ottenere una grande capacità e una piccola corrente di dispersione nello stesso dispositivo.

## SiO<sub>2</sub> Scaling



- **1.2nm physical SiO<sub>2</sub> in production (90nm logic node)**
- **0.8nm physical SiO<sub>2</sub> in research transistors**

Figura 1.6: Immagini al microscopio elettronico di uno strato di  $SiO_2$  di isolante di gate

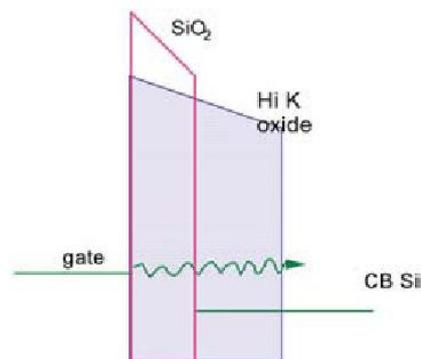


Figura 1.7: Figura schematica dell'effetto Tunneling attraverso un gate di  $SiO_2$

Questi materiali con grande costante dielettrica (ossidi high-k) sono stati la miglior soluzione alla crisi di potenza dei circuiti integrati.

## 1.2 EOT e capacità di gate

L'uso di materiali ad alta costante dielettrica non comporta nessun cambiamento dal punto di vista del design del dispositivo, perciò è utile definire uno spessore elettrico del nuovo ossido di gate in termini dello spessore equivalente di  $SiO_2$ , in inglese "Equivalent Oxide Thickness" (EOT).

Le relazioni tra lo spessore di  $SiO_2$  e di un ossido high-k con i quali si ottiene la stessa capacità  $C$  sono:  $C = \frac{\epsilon_o \epsilon_{SiO_2}}{T_{SiO_2}} = \frac{\epsilon_o \epsilon_{High-k}}{T_{High-k}}$ , da cui

$$t_{ox} = EOT = \frac{3.9}{k} t_{Hi-k}$$

L'EOT è lo spessore di  $SiO_2$  necessario per ottenere un capacità di gate pari a quella ottenuta usando l'ossido high-k [2].

Risulta ora più chiaro come, usando questi materiali come dielettrici di gate, si possa ovviare al problema della corrente di dispersione per tunnel diretto mantenendo tuttavia un piccolo  $T_{cot}$  e perciò una grande capacità di gate.

Nei transistor MOS la capacità di gate è combinazione di tre termini fondamentali: la capacità dell'ossido, che dipende esclusivamente dalla sua costante dielettrica e dalla geometria del gate, la capacità della regione di svuotamento dell'elettrodo di gate e la capacità della regione di inversione, ossia del canale nel substrato di silicio.

Essendo queste tre capacità in serie, vale la seguente relazione:

$$\frac{1}{C} = \frac{1}{C_{gate}} + \frac{1}{C_{ox}} + \frac{1}{C_{Si}}$$

Si sa bene che capacità in serie riducono la capacità totale. Sarebbe quindi utile, per migliorare le prestazioni del dispositivo, poter eliminare o ridurre considerevolmente qualcuno di questi tre termini.

La capacità di canale è costituita da portatori confinati in una sacca di potenziale, formata dalla barriera dell'ossido e dalla banda di conduzione del silicio, a pochi Angstroms all'interno del canale nel substrato di silicio. Purtroppo questa capacità è intrinseca al dispositivo e non può essere eliminata in nessun modo. Stesso discorso è valido per la capacità dell'ossido [6].

Altre considerazioni devono essere fatte per la capacità della regione di svuotamento dell'elettrodo di gate che, come abbiamo precedentemente accennato, è costruito utilizzando Polisilicio. Questo materiale è una rivoluzione tecnologica in termini di processi di fabbricazione in quanto, oltre ad avere un ottima stabilità sia chimica che termica, permette di regolare il suo "Livello di Fermi" ( e perciò la tensione di soglia del transistor) attraverso il processo di impiantazione ionica.

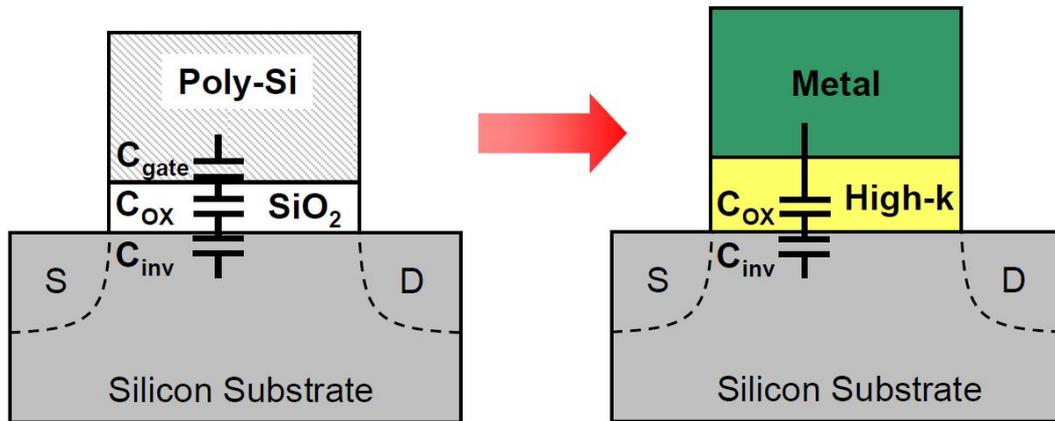


Figura 1.8: Confronto tra capacità nei due diversi gate stack

In ogni caso il Polisilicio non è un metallo ma un semiconduttore. Con il progressivo scaling dei dispositivi, gli effetti negativi dello svuotamento (depletion) del Polisilicio sulle prestazioni dei MOSFET non possono essere trascurati.

Sostituendo un metallo, come materiale per l'elettrodo di gate, al Polisilicio è possibile eliminare la regione di svuotamento e la capacità ad essa associata, aumentando così la capacità totale.

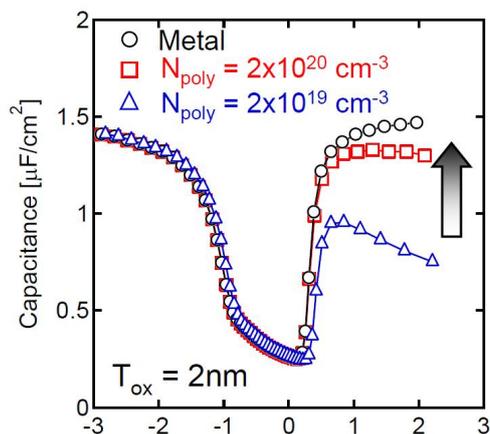


Figura 1.9: Effetti di svuotamento del Polisilicio sulla caratteristica C-V del transistor

L'utilizzo del metallo come elettrodo di gate comporta alcuni svantaggi. In primo luogo la "Funzione Lavoro" (work function) del metallo è principal-

mente caratteristica intrinseca del materiale. Perciò un appropriato materiale metallico deve essere scelto per n e p MOS. Inoltre l'integrazione dei metalli è uno dei problemi più gravi riguardanti i processi di fabbricazione [1].

Considerando non solo la Funzione Lavoro ma anche il processo di integrazione, la finestra di scelta sui metalli diventa molto stretta.

### 1.3 Problemi da risolvere

Già dai primi anni novanta ci si accorse che il problema della corrente di perdita cominciava a diventare sempre più stringente. Ciononostante i criteri per la scelta di un ossido ad alta costante dielettrica non erano ancora chiari.

Successivamente, all'incirca nel 2001, la scelta dell'ossido ricadde sull' $HfO_2$  ma il problema di rendere il Diossido di Afnio un buon materiale dal punto di vista elettrico per un transistor sembrava estremamente complicato. Perciò si riteneva che quella degli ossidi high-k non fosse una soluzione applicabile ma piuttosto, per ovviare al problema, gli ingegneri avrebbero cambiato sostanzialmente i design dei nuovi transistor [3].

Successivamente la crescente importanza del settore "low-power" dell'elettronica (telefoni cellulari, computer portatili, tablet, ecc..), dove la dissipazione di potenza è un problema chiave, ha fatto sì che la questione degli ossidi high-k venisse affrontata.

La difficoltà iniziale di creare strati di materiale high-k di EOT sufficientemente bassa venne presto risolta. Già nel 2007, con l'avvento del nodo tecnologico a 45 nm, sia Intel che IBM cominciarono la produzione su scala industriale di processori in tecnologia CMOS che utilizzavano ossidi a base di Afnio come dielettrico di gate per i loro transistor [9].



Figura 1.10: A sinistra il processore Xeon serie-5400 di Intel con tecnologia CMOS a 45nm. A destra il processore Cell di IBM, realizzato in tecnologia CMOS a 45 nm, in collaborazione con Sony, e utilizzato in svariati dispositivi tra cui le famose console da gioco XBox 360 e PlayStation 3.

Quattro sono i problemi chiave da risolvere che le industrie di semiconduttori ritengono fondamentali per sfruttare al massimo questi materiali:

- L'abilità continuare lo scaling a minori EOT
- La perdita di mobilità dei portatori nel canale di silicio
- Lo shift della tensione di soglia
- L'instabilità causata dall'alta concentrazione di difetti elettronici

Nel proseguo di questa tesi saranno discusse le caratteristiche principali che deve possedere un ossido per poter essere utilizzato come dielettrico di gate senza causare malfunzionamenti.

In seguito verrà mostrato come misurare i parametri del dispositivo e come essi vengano influenzati dall'utilizzo di questi materiali.

Infine verranno presi in esame due implementazioni differenti di transistor con ossido high-k, la prima utilizza l' $HfO_2$  come dielettrico e presenta un strato interfacciale (interfacial layer) di  $SiO_x$  tra ossido e silicio, l'altra invece realizza il contatto diretto high-k/Si utilizzando un ossido di "terre rare", il  $La_2O_3$ , ed è molto più recente [4].

# Capitolo 2

## Scelta dell'ossido high-k

### 2.1 Requisiti

Il motivo principale del successo dei MOSFET non risiede nella natura cristallina del silicio ma bensì nel  $SiO_2$ . Il diossido di silicio è la ragione chiave per la quale la tecnologia microelettronica utilizza il silicio invece che altri materiali [1]. Infatti, mentre il silicio è un semiconduttore di medie prestazioni, il  $SiO_2$  è un ottimo isolante.

Il  $SiO_2$  ha il grande vantaggio di poter crescere tramite ossidazione termica dal substrato di silicio (processo relativamente semplice), mentre l'ossido nativo degli altri semiconduttori presenta caratteristiche molto deludenti. Inoltre il  $SiO_2$  è amorfo, ha pochissimi difetti elettronici, forma un'eccellente interfaccia con il silicio, può essere facilmente modellato in scala nanometrica e ne è presente una grande abbondanza in natura[3].

L'unico problema, di cui abbiamo precedentemente discusso, sorge quando il suo spessore diventa così piccolo da causare correnti di perdita per tunnel diretto troppo elevate.

Se si vuole procedere nel progresso tecnologico, con lo scaling dei transistor MOS, non si può ignorare questo problema. Perciò risulta necessario abbandonare tutti i vantaggi che offre il  $SiO_2$  e cominciare a cercare un nuovo isolante di gate con alta costante dielettrica, che presenti caratteristiche compatibili per il suo effettivo utilizzo in un transistor MOS.

Si può teoricamente scegliere da una larga parte della tavola periodica degli elementi. Le linee guida per trovare il materiale più adatto sono le seguenti:

1. Deve possedere una costante k sufficientemente elevata da poter essere utilizzato anche in seguito a numerosi anni di scaling

2. Deve essere termodinamicamente stabile con il substrato di silicio con cui è in contatto
3. Deve possedere una buona stabilità cinetica ed essere compatibile con il processo di fabbricazione a 1000°C per 5 secondi
4. Deve agire come isolante, cioè deve avere un “band gap” con il silicio maggiore di 1 eV, per minimizzare l’iniezione diretta di portatori nelle sue bande
5. Deve formare una buona interfaccia elettrica con il silicio
6. Deve avere meno difetti elettronici possibili

## 2.2 Valore di k

La permittività è funzione della frequenza per un dielettrico. E’ costituita da una parte reale e da una immaginaria, che dà vita a picchi di risonanza.

La figura sottostante mostra questa dipendenza per un vasto range di frequenze.

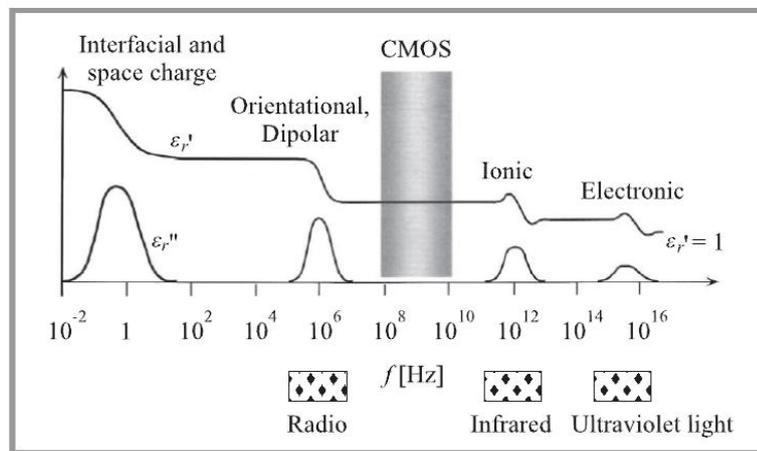


Figura 2.1: Dipendenza della funzione dielettrica dalla frequenza ( $\epsilon_r = \epsilon_r' + \epsilon_r''$ , dove  $\epsilon_r'$  è la parte reale ed  $\epsilon_r''$  è la parte immaginaria della permittività dielettrica complessa)

Il valore della costante dielettrica a “frequenza zero” può essere suddivisa in due componenti: una di alta frequenza, dove domina il contributo del-

la polarizzazione elettronica e un'altra legata principalmente al contributo ionico.

Nella finestra delle frequenze utili nella tecnologia CMOS, che va da  $10^8$  a  $10^{10}$  Hertz, sia il processo elettronico che quello ionico contribuiscono al valore di  $k$  e la permittività è data dalla relazione:

$$\epsilon_{ox} = \epsilon_{\infty} + \epsilon_{latt}$$

La componente elettronica che nasce dalla semplice polarizzazione degli atomi, è la componente dominante per il  $SiO_2$ , si può scrivere perciò  $\epsilon_{ox} \approx \epsilon_{\infty}$ . Per raggiungere  $k$  più elevati bisogna trovare materiali che presentino una grande componente di reticolo  $\epsilon_{latt}$  [3].

Il valore ideale per la costante  $k$  deve superare almeno 10, preferibilmente dovrebbe trovarsi tra 25 e 30. Valori superiori per  $k$  sono sconsigliati a causa della relazione che lega la costante  $k$  al “band offset” con il silicio.

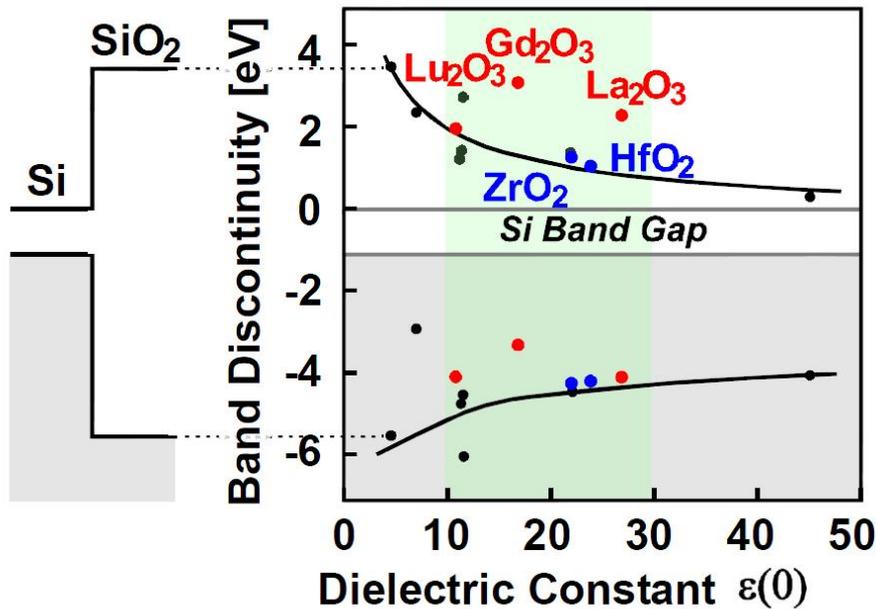


Figura 2.2: Relazione tra costante  $k$  e band offset per alcuni candidati ossidi high- $k$  per dielettrico di gate

La figura precedente mostra come il valore  $k$ , per alcuni candidati ossidi high- $k$ , varia inversamente al band offset con il silicio: più grande è  $k$  più piccolo è il band offset. Per questo motivo dobbiamo accontentarci di  $k$  relativamente piccole, nonostante siano disponibili materiali che offrono valori enormi di questa costante [2].

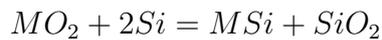
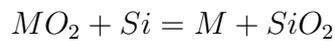
Nella seguente tabella vengono mostrati band gap, band offset e costante dielettrica per alcuni ossidi ad alta costante dielettrica.

	$K$	Gap (eV)	CB offset (eV)
Si		1.1	
SiO <sub>2</sub>	3.9	9	3.2
Si <sub>3</sub> N <sub>4</sub>	7	5.3	2.4
Al <sub>2</sub> O <sub>3</sub>	9	8.8	2.8 (not ALD)
Ta <sub>2</sub> O <sub>5</sub>	22	4.4	0.35
TiO <sub>2</sub>	80	3.5	0
SrTiO <sub>3</sub>	2000	3.2	0
ZrO <sub>2</sub>	25	5.8	1.5
HfO <sub>2</sub>	25	5.8	1.4
HfSiO <sub>4</sub>	11	6.5	1.8
La <sub>2</sub> O <sub>3</sub>	30	6	2.3
Y <sub>2</sub> O <sub>3</sub>	15	6	2.3
a-LaAlO <sub>3</sub>	30	5.6	1.8

Figura 2.3: costante dielettrica ( $K$ ), band gap e band offset sperimentali per alcuni candidati ossidi high-k

## 2.3 Stabilità termodinamica

Un'altro requisito fondamentale per un ossido in diretto contatto con il silicio è di non reagire con esso creando  $SiO_2$  o altri silicati, in accordo con le seguenti reazioni sbilanciate:



(dove M è un generico elemento della tavola periodica)

Un eventuale strato di  $SiO_2$  potrebbe avere l'effetto di aumentare l'EOT, vanificando i benefici ottenuti usando il nuovo ossido high-k. Mentre un silicato, che generalmente è metallico, potrebbe cortocircuitare l'effetto di campo.

Per ottenere questo tipo di stabilità è necessario un ossido con un calore di formazione più alto di quello del  $SiO_2$ .

Tenendo conto di tutte le caratteristiche da soddisfare, il campo dei possibili candidati si restringe a i seguenti ossidi delle colonne II, III e IV della tavola periodica degli elementi:  $SrO$ ,  $CaO$ ,  $BaO$ ,  $Al_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $YO_3$ ,  $La_2O_3$  e i lantanidi.

Gli ossidi del gruppo II, come l' $SrO$ , sono sfavoriti poiché reagiscono con l'acqua, sono perciò da escludere anche se accettabili per un eventuale strato di transizione. Tra gli ossidi del gruppo IV è stato verificato che il  $ZrO_2$  non è totalmente stabile, ma può reagire con il silicio per formare un silicato, il  $ZrSi_2$ .

Restano quindi: il  $HfO_2$  che è stato ampiamente studiato, l' $La_2O_3$  che possiede un valore di  $k$  più elevato del Diossido di Afnio, ma presenta caratteristiche igroscopiche, l' $Y_2O_3$  e altri lantanidi come  $Pr_2O_3$ ,  $Gd_2O_3$  e  $Lu_2O_3$  le cui caratteristiche sono comparabili a quelle del  $La_2O_3$  [2].

## 2.4 Stabilità cinetica

Un requisito importante è che questi materiali siano compatibili con le condizioni dei processi di fabbricazione esistenti.

Assumendo di usare un ossido amorfo, risulta necessario che esso rimanga tale anche dopo aver subito un processo di "annealing" sopra i  $1000^\circ C$  per 5 secondi. Questa condizione risulta molto restrittiva. Infatti sebbene il  $SiO_2$  sia un ottimo "glass-former", ossia un materiale di tipo vetroso (il vetro è il solido amorfo per eccellenza), la maggior parte degli ossidi high- $k$  non possiede queste caratteristiche. Anche l' $Al_2O_3$  è un buon glass-former, secondo solo al  $SiO_2$ , mentre tutti gli altri ossidi cristallizzano al di sotto di  $1000^\circ C$  [2].

Per risolvere il problema è possibile mischiare l'ossido desiderato con un materiale glass-former, come il  $SiO_2$  o l' $Al_2O_3$ , dando vita rispettivamente a un silicato o un alluminato. Così facendo si aumenta la stabilità dell'ossido contro la cristallizzazione fino circa a  $1000^\circ C$ , con l'unico inconveniente di diminuire il valore della costante  $k$ . Sono da preferirsi gli alluminati ai silicati, poiché presentano valori di  $k$  più elevati [2].

E' stato osservato inoltre che il valore di  $k$  è proporzionale in maniera circa lineare alla mistura dei componenti.

## 2.5 Band Offset

L'ossido high-k deve agire in primo luogo come isolante. Questo implica che la barriera di potenziale da ciascuna banda deve superare almeno 1 eV, in modo tale da inibire la conduzione data dall'emissione di elettroni o lacune nelle bande dell'ossido.

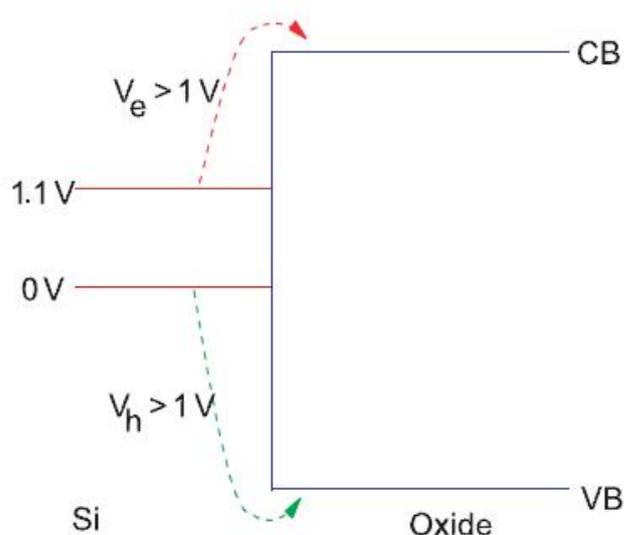


Figura 2.4: Schema del band offset, determinante per l'iniezione di portatori attraverso le bande dell'ossido

Il  $SiO_2$  ha un ampio gap di 9eV e perciò fornisce un'alta barriera sia per gli elettroni che per le lacune. Se invece un materiale possiede un band gap molto stretto, come ad esempio accade per il  $SrTiO_3$ , per il quale è solo 3.3eV, le sue bande devono essere allineate pressoché simmetricamente a quelle del silicio per rendere entrambe le barriere di potenziale maggiori di 1eV.

In pratica l'offset della banda di conduzione è solitamente minore di quello della banda di valenza. Questo limita la scelta dell'ossido a quelli che presentano band gap superiore a 5eV.

Gli ossidi che soddisfano questo criterio sono  $Al_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $Y_2O_3$ ,  $La_2O_3$  e vari lantanidi, inoltre anche tutti i loro silicati o alluminati. E' interessante notare che questi sono gli stessi ossidi che soddisfano il criterio

della stabilità termica. Questo perché grande calore di formazione e ampio band gap sono correlati nei composti ionici [2].

## 2.6 Qualità d'interfaccia

L'ossido è in diretto contatto con il canale di silicio. I portatori indotti dal gate si trovano alcuni Anstrongs all'interno dell'interfaccia silicio-ossido. Questa interfaccia perciò deve possedere le migliori qualità elettriche possibili, in termini di rugosità e difetti elettronici. Difetti elettronici eccessivi sono legati a bordi dell'ossido troppo granulosi.

Esistono due modi per assicurare una buona qualità d'interfaccia: la prima è usare un ossido cristallino con crescita epitassiale dal substrato di silicio, la seconda è ricorrere a un ossido amorfo [2].

Usare un ossido amorfo presenta numerosi vantaggi rispetto a un policristallino. In primo luogo, similmente al connubio  $Si - SiO_2$ , è la soluzione con minor costo e maggiormente compatibile con i processi di produzione esistenti. In secondo luogo, con un ossido amorfo sarebbe possibile configurare i legami dell'interfaccia per minimizzare il numero di difetti elettronici. In terzo luogo è possibile variare gradualmente la composizione di un ossido amorfo senza creare una nuova fase, cioè senza che si creino nuovi composti. In quarto luogo un ossido amorfo e la sua costante dielettrica sono isotropici, perciò fluttuazioni di polarizzazione causate da differenti orientamenti dei grani dell'ossido non sparpagliano le cariche. Infine ossidi amorfi non hanno bordi rugosi.

I vantaggi degli ossidi epitassiali saranno sfruttati in futuro, dove la loro inclinazione a ottenere interfacce con transizioni brusche aiuterà a raggiungere EOT molto inferiori [3].

## 2.7 Difetti elettronici

I difetti elettrici attivi sono configurazioni atomiche che danno vita a stati elettronici all'interno del band gap dell'ossido. In genere si tratta di siti di eccesso o deficit di ossigeno o impurità.

I difetti elettronici sono indesiderabili per quattro ragioni principali. Primo, le cariche intrappolate nei difetti elettronici causano uno shift nella tensione di soglia del transistor, la tensione alla quale si attiva. Secondo, le cariche intrappolate cambiano col tempo e perciò anche la tensione di soglia dei transistor cambia col tempo, portando all'instabilità delle caratteristiche operative del transistor. Terzo, le cariche intrappolate sparpagliano i por-

tatori nel canale e ne riducono la mobilità. Quarto, causano inaffidabilità del dispositivo: sono il punto di partenza per guasti elettronici e breakdown dell'ossido.

Il  $SiO_2$  è un ossido quasi ideale: ha una bassissima concentrazione di difetti elettronici che danno vita a stati nel gap. Questo fondamentalmente perché il  $SiO_2$  ha un basso “coordination number”, ossia un basso numero di atomi nei legami più vicini, perciò i suoi legami possono rilassarsi e riparare eventuali bordi rotti, siti di difetti elettronici [2].

Gli ossidi high-k non sono materiali con una bassa concentrazione intrinseca di difetti elettronici perché i loro legami non possono rilassarsi molto facilmente.

Molti studi ingegneristici odierni si focalizzano sulla ricerca di strategie per ridurre la concentrazione di difetti elettronici negli ossidi high-k, attraverso l' “annealing” e il miglioramento dei processi di produzione.

# Capitolo 3

## Caratteristiche elettriche

Dopo aver visto le proprietà principali che un ossido ad alta costante dielettrica deve possedere per poter essere utilizzato come isolante di gate, in questo capitolo discuteremo i parametri più importanti di un transistor MOS, che ne descrivono funzionamento e prestazioni, e inoltre vedremo come questi si possano ricavare dai dati a noi accessibili.

In seguito mostreremo come l'utilizzo di ossidi high-k, sebbene riesca a ridurre a livelli accettabili la corrente di perdita per tunnel diretto degli elettroni, abbia un impatto negativo sul funzionamento del transistor, degradandone sensibilmente le caratteristiche elettriche.

### 3.1 Parametri del MOS

Il MOSFET è il dispositivo di switch fondamentale nei circuiti integrati odierni e la tensione di soglia  $V_{th}$  è uno dei parametri più importanti di questo dispositivo. La tensione di soglia può essere determinata dal grafico della corrente di drain  $I_{ds}$  in funzione della tensione di gate  $V_g$ , per una bassa tensione di drain (tipicamente 50 – 100 mV). L'intersezione della parte lineare della curva del grafico con l'asse della tensione di gate, fornisce il valore della tensione di soglia  $V_{th}$  [1].

Come si vede bene nella figura 3.1 a pagina seguente, la corrente di drain tende rapidamente a zero al di sotto della tensione di soglia, in una scala lineare.

Se invece si guarda in scala logaritmica (figura 3.2), la corrente di drain rimane a livelli non trascurabili anche al di sotto della tensione  $V_{th}$ . Questo perché la carica nella regione di inversione non tende così rapidamente a zero [6].

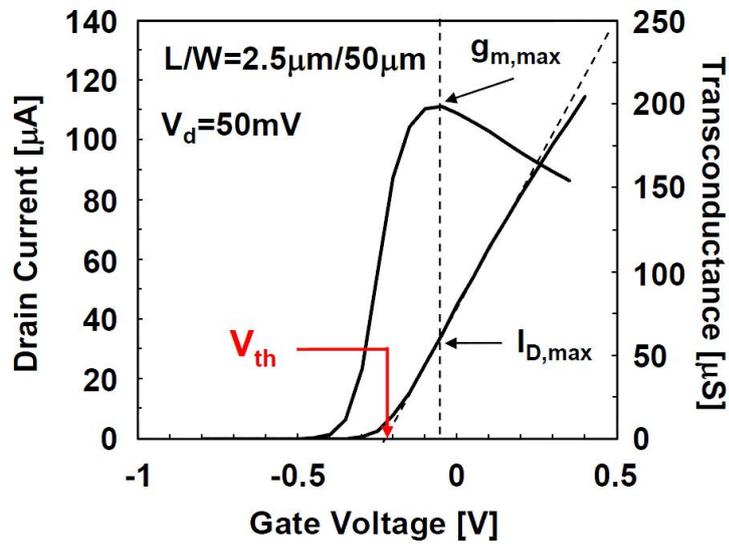


Figura 3.1: Determinazione della tensione di soglia del transistor con il metodo di Estrapolazione Lineare

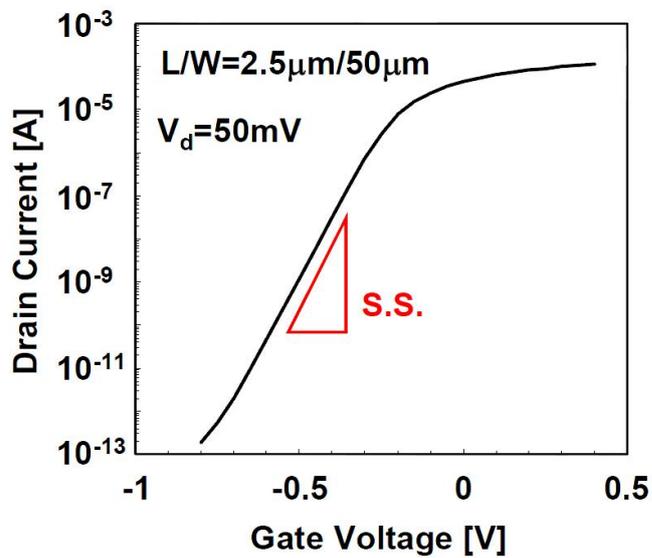


Figura 3.2: Caratteristica  $I_d - V_g$  del MOSFET in scala logaritmica con evidenziata la pendenza di sottosoglia

La pendenza, che indica la rapidità con la quale la corrente tende ad annullarsi, viene di solito espressa come “subthreshold slope” o tensione di sottosoglia. Essa definisce il valore necessario alla tensione di gate per cambiare la corrente di drain di una decade e si ricava da:

$$S = \left( \frac{d(\log I_{ds})}{dV_g} \right)^{-1} = 2.3 \frac{kT}{q} \left( 1 + \frac{C_{dm}}{C_{ox}} \right)$$

La mobilità  $\mu$  della regione di inversione è un parametro molto importante per l’analisi delle caratteristiche e delle prestazioni dei MOSFET. Poiché la mobilità risulta sensibile alle proprietà dell’interfaccia ossido-silicio del dispositivo, può essere usata per verificare le qualità di un dielettrico di gate high-k [6].

La mobilità  $\mu$  è definita tramite misure della corrente di drain  $I_{ds}$  del MOSFET in regione lineare, per basse tensioni di drain:

$$\mu_{eff} = \frac{L}{W} \cdot \frac{I_d}{V_d} \cdot \frac{1}{Q_{inv}} = \frac{L}{W} \cdot g_d \cdot \frac{1}{Q_{inv}}$$

La conduttanza di canale è calcolata da misurazioni differenziali  $I_d - V_g$  a 20mV e 40mV, per compensare la degradazione della conduttanza di canale dovuta alla corrente di dispersione [1].

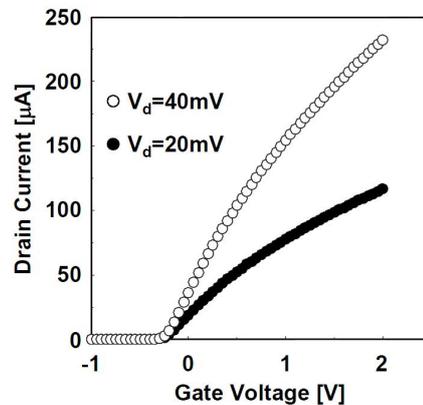


Figura 3.3: Misure  $I_d - V_g$  a 20mV e 40mV per determinare la conduttanza di canale

Quindi la mobilità è data da:

$$\mu_{eff} = \frac{L}{W} \cdot \frac{I_{d40mV} - I_{d20mV}}{20mV} \cdot \frac{1}{Q_{inv}}$$

Per un'accurata estrazione del valore della mobilità è necessario usare un altrettanto accurato valore di  $Q_{inv}$  nell'equazione precedente. La carica della regione di inversione si ottiene dal seguente integrale [1]:

$$Q_{inv} = \int_{-\infty}^{V_g} C_{gc}(V_g) dV_g$$

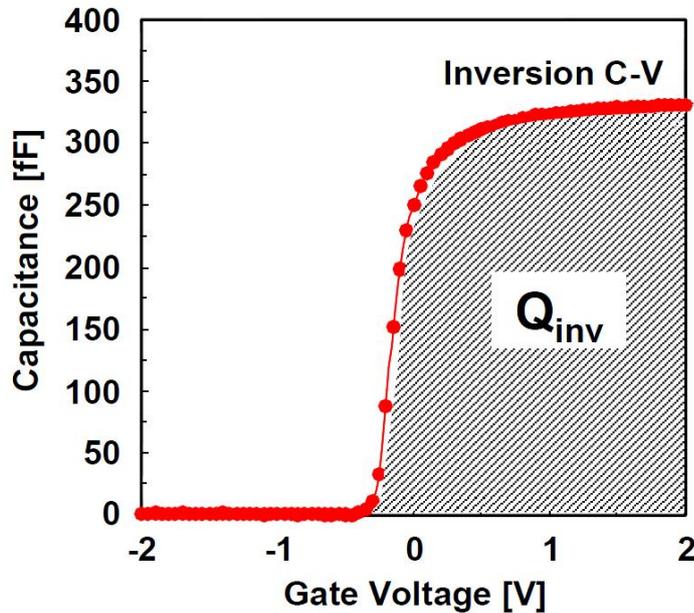


Figura 3.4: Misura della carica della regione di inversione  $Q_{inv}$  dalla caratteristica  $C - V$  di un nMOSFET

## 3.2 Riduzione della mobilità

L'obiettivo dello scaling è quello di ottenere dispositivi sempre più piccoli e sempre più veloci. La velocità dipende dalla corrente di "ON" source-drain, che a sua volta dipende dalla mobilità dei portatori. I portatori nei MOSFET si comportano come un gas bidimensionale di elettroni.

La densità dei portatori, ricavabile dall'equazione di Poisson, è determinata dal campo elettrico di gate, che li induce, e lo stesso vale anche per la mobilità, in accordo con il "modello universale della mobilità".

La mobilità è limitata da diversi meccanismi per diverse intensità del campo: per campi deboli è limitata dal "Coulomb Scattering", ossia dalle

cariche intrappolate nell'ossido, nel canale o nell'interfaccia dell'elettrodo di gate; per campi di media intensità è limitata dal "Phonon Scattering"; infine per campi molto intensi è limitata dallo sparpagliamento dei portatori dovuto alla rugosità dell'interfaccia [2].

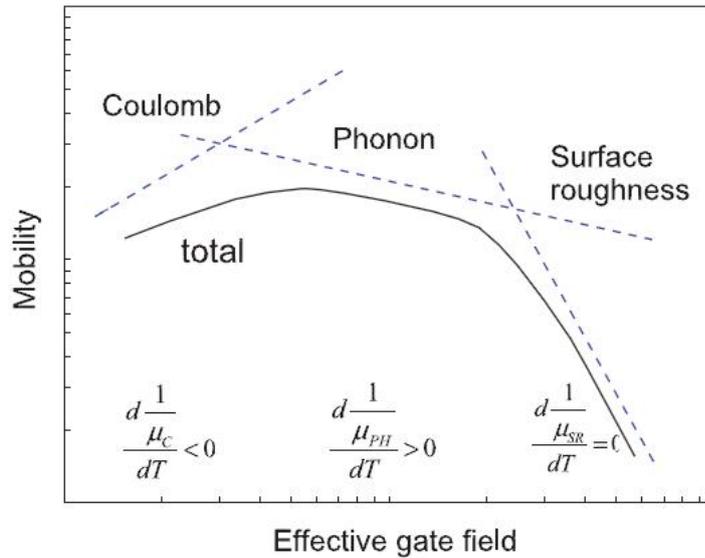


Figura 3.5: Schema della mobilità dei portatori in dipendenza del campo elettrico nel MOSFET secondo il modello della mobilità universale, sono evidenziati i meccanismi che ne limitano il valore per diverse intensità del campo

I transistor MOS con un gate di  $SiO_2$  possiedono una mobilità prossima al limite universale. Nel range di interesse della tecnologia CMOS la mobilità è ostacolata principalmente dalla rugosità d'interfaccia.

Nei dispositivi che utilizzando ossidi high-k la mobilità sta ben al di sotto del limite universale. Per questo motivo l'obiettivo delle ricerche degli ultimi anni è stato quello di trovare le cause della riduzione della mobilità e provare a correggerle. Queste cause non sono state ancora comprese appieno. La più verosimile è che lo sparpagliamento dei portatori, che deteriora la mobilità, sia causato da un ammontare eccessivo di cariche intrappolate. Questa spiegazione è compatibile con le misurazioni che mostrano un'alta concentrazione di cariche intrappolate negli ossidi high-k.

### 3.3 Stabilità della tensione di soglia

Come abbiamo precedentemente detto, la tensione di soglia  $V_{th}$  è uno dei parametri più importanti per un transistor MOS, poiché definisce la tensione esatta alla quale il dispositivo si attiva e fa passare corrente. Si capisce subito che eventuali fluttuazioni di questo parametro avrebbero effetti catastrofici non solo sul funzionamento del dispositivo, ma su tutto il sistema.

Uno dei più grandi problemi degli ossidi high-k, osservabile nella caratteristica C-V del condensatore MOS, è lo spostamento della tensione di alimentazione rispetto alla curva ideale, ottenuta tenendo in considerazione solo le Funzioni Lavoro del Silicio e dell'elettrodo di gate di Polisilicio. Questo si traduce in uno spostamento della tensione di soglia  $V_{th}$  [2].

Una delle cause del fenomeno risiede nella natura del Polisilicio, che non è un vero metallo. Il problema può essere risolto sostituendo il Polisilicio con un metallo elementare.

### 3.4 Cariche intrappolate

Abbiamo già visto che gli ossidi high-k hanno una concentrazione di difetti elettronici e cariche intrappolate molto maggiore rispetto al  $SiO_2$ . Le cariche intrappolate portano all'instabilità della tensione di soglia  $V_{th}$ .

La figura 3.6, a pagina seguente, mostra una delle conseguenze dell'alta concentrazione di cariche intrappolate. Facendo variare ciclicamente la tensione all'elettrodo gate si osserva una sorta di isteresi nella caratteristica  $I_d - V_g$  del transistor. Quando la tensione cresce l'ossido intrappola elettroni e la corrente  $I_d$  segue la curva superiore. Quando invece diminuisce, l'ossido rilascia elettroni e la corrente segue la curva inferiore, ritornando a valori quasi nulli. Nei cicli successivi la corrente  $I_d$  segue lo stesso cammino del primo ciclo: ciò indica che non vengono formate nuove trappole [10].

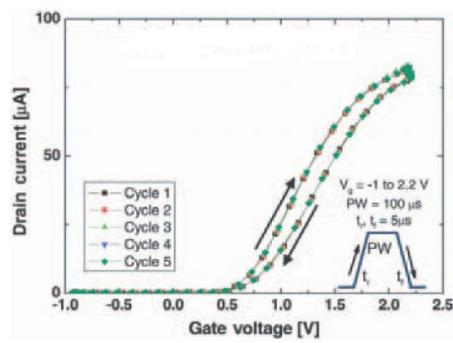


Figura 3.6: Il grafico mostra l'isteresi, causata dalle cariche intrappolate, ottenuta facendo variare la tensione al gate del transistor

# Capitolo 4

## La strada per il contatto diretto

Se nei precedenti capitoli abbiamo discusso, in via generale, delle caratteristiche fisiche dei più accreditati ossidi high-k e in seguito delle loro qualità come materiali elettrici all'interno dei transistor MOS, in questo saremo più pragmatici, concentrandoci su una particolare implementazione che utilizza il  $La_2O_3$  come ossido di gate e un metallo, il Tungsteno ( $W$ ), anziché Polisilicio come elettrodo di gate.

Molte ricerche degli ultimi anni e anche odierne, mirano a migliorare le prestazioni di questa struttura con contatto diretto tra ossido high-k e substrato di silicio, che causa non pochi problemi al funzionamento del transistor.

### 4.1 Perché il contatto diretto

L'introduzione di ossidi ad alta costante dielettrica, per rimpiazzare il  $SiO_2$  come isolante di gate nei transistor MOS, è una diretta conseguenza della crisi di potenza dei circuiti integrati.

Gli ossidi basati sull'Afnio ( $Hf$ ) sono stati ampiamente studiati per applicazioni come isolante di gate, a causa della loro grande costante dielettrica e della loro larga banda di offset. L'utilizzo dell' $HfO_2$ , come dielettrico di gate, richiede che un sottile strato di  $SiO_2$  venga interposto tra l'ossido e il substrato di silicio (il cosiddetto "strato interfacciale"), in modo da mantenere le buone caratteristiche elettriche dell'interfaccia  $SiO_2/Si$ . Purtroppo servendosi dello strato interfacciale non è possibile ottenere EOT al di sotto degli 0.8 nm [1].

Perciò è necessario realizzare una struttura a contatto diretto high-k/Si per proseguire lo scaling e il progresso tecnologico.

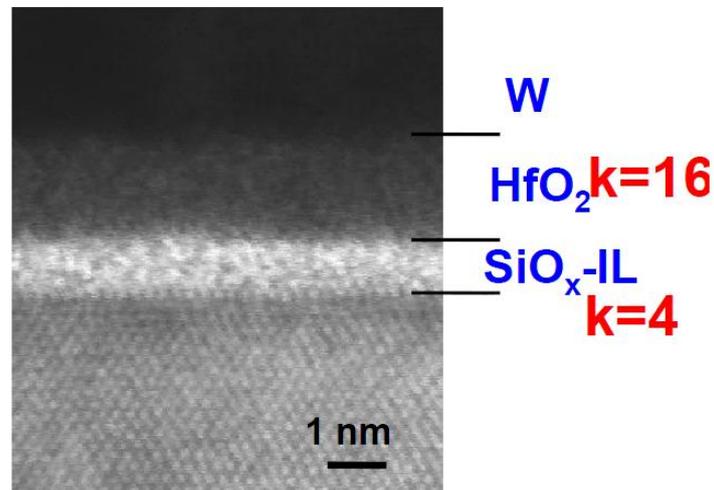


Figura 4.1: Immagine al microscopio elettronico di un gate stack che utilizza  $HfO_2$  come dielettrico e presenta un strato interfacciale di  $SiO_x$

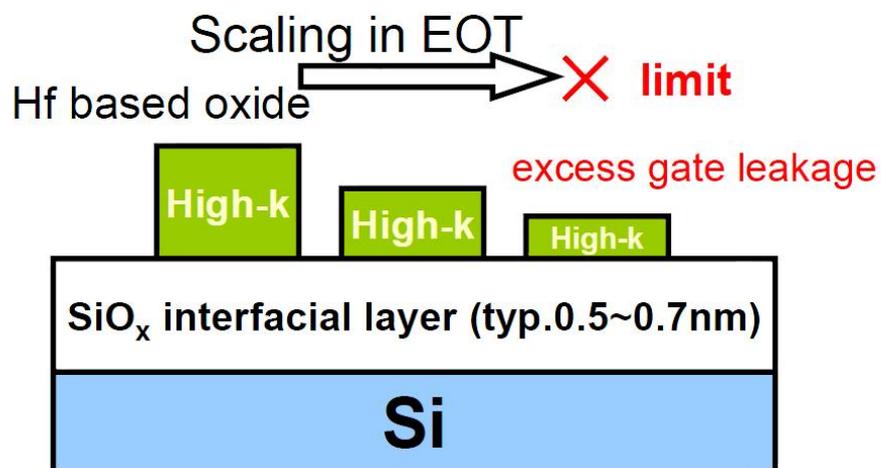


Figura 4.2: Schema che evidenzia l'impossibilità di proseguire lo scaling al di sotto di 0.5 nm se si utilizza un strato interfacciale

Alcuni studi hanno rivelato che tale struttura è realizzabile utilizzando il

$La_2O_3$  come dielettrico di gate, sfruttando la natura del materiale per formare un Silicato di Lantanio all'interfaccia, con buone caratteristiche elettriche e una costante  $k$  2-3 volte superiore a quella del  $SiO_2$  [1].

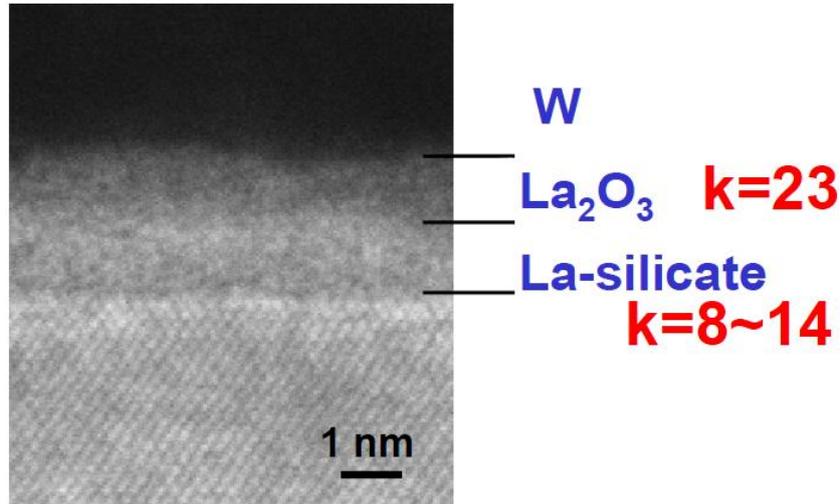


Figura 4.3: Immagine al microscopio elettronico di un gate stack che utilizza  $La_2O_3$  come dielettrico di gate e presenta un Silicato di Lantanio all'interfaccia con il silicio

## 4.2 Problemi da risolvere

La struttura a contatto diretto è necessaria per ridurre non solo le correnti di dispersione per tunnel diretto degli elettroni, ma anche gli effetti di canale corto e le variazioni casuali della tensione di soglia all'interno dei transistor. La riduzione della mobilità resta uno dei problemi più gravi a cui far fronte nei MOSFET con contatto diretto.

Nonostante siano stati proposti numerosi modelli per spiegare la riduzione della mobilità, la causa esatta di questo fenomeno resta ancora poco chiara. Per ottimizzare la mobilità bisogna affrontare numerosi altri problemi.

Migliorare le proprietà d'interfaccia high- $k$ /Si è un punto critico. Come controllare quest'ultime, durante i processi costruttivi, è un altro fattore rilevante. Importante è anche lo studio delle cariche fisse nei dielettrici high- $k$ , poiché comportano non solo la riduzione della mobilità ma anche l'instabilità della tensione di soglia.

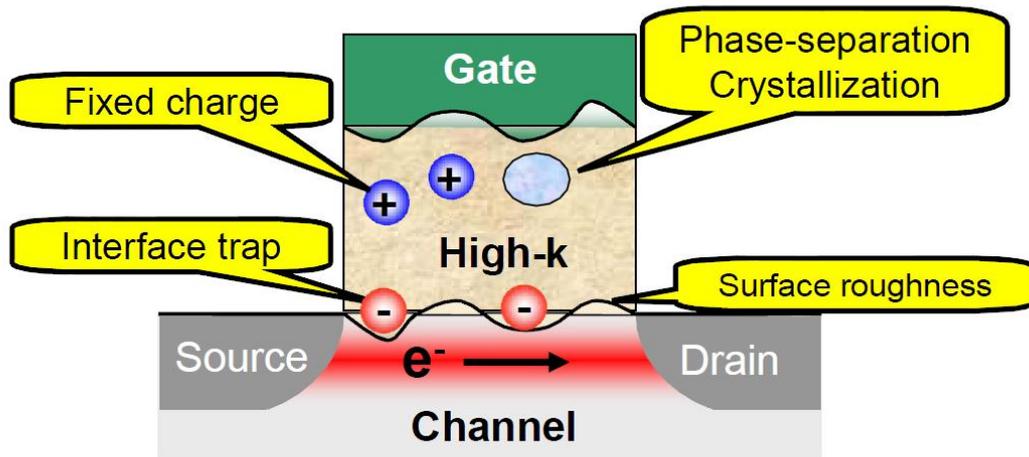


Figura 4.4: Possibili cause della riduzione di mobilità all'interno dei gate stack con contatto diretto high-k/Si

### 4.3 Scelta del metallo di gate

Il Polisilicio è utilizzato come elettrodo di gate nei MOS convenzionali. Il gate in Polisilicio è una delle più importanti ed eccellenti tecnologie elettroniche non solo in termini di fisica del dispositivo, ma anche in termini di processo di integrazione.

Il Livello di Fermi del Polisilicio può essere modificato attraverso il processo di “impiantazione ionica”. Così la tensione  $V_{th}$  del MOS può essere aggiustata con ampio margine per ottenere il valore desiderato. Inoltre il Polisilicio ha un'eccellente stabilità termica e chimica durante i passi di fabbricazione. Uno dei problemi principali, sempre più critico con l'avanzare dello scaling, resta lo svuotamento nella regione del Polisilicio [3].

Un elettrodo di gate in metallo è necessario per l'eliminazione degli effetti di svuotamento del Polisilicio e per l'incremento della corrente nel MOS. La priorità per la scelta del metallo di gate è la sua Funzione Lavoro, ossia la minima energia che occorre fornire per estrarre un elettrone da esso. Nello studio dei MOS viene introdotta l' “Funzione Lavoro Efficace” poiché la Funzione Lavoro del metallo su un ossido è differente rispetto a quella nel vuoto.

Le proprietà dei metalli sono legate alla loro elettronegatività (cioè alla

## Metal Properties

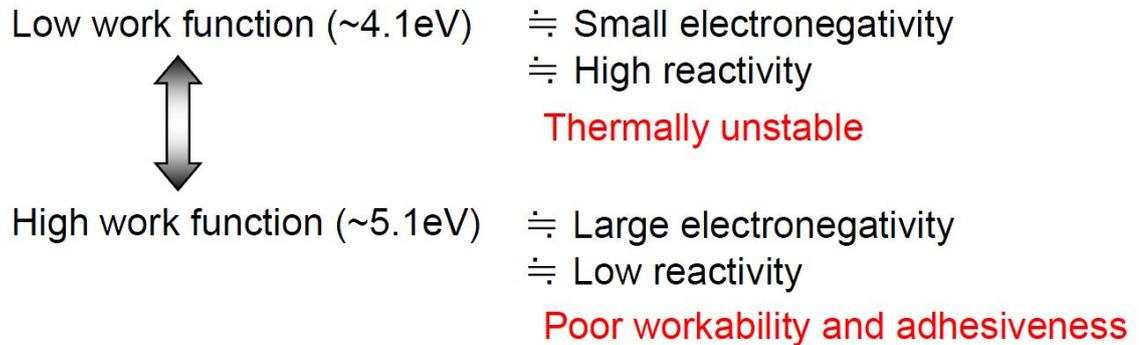


Figura 4.5: Linee generali delle relazioni tra tipi di metalli e loro Funzione Lavoro

capacità dei suoi atomi di attrarre elettroni nei legami).

I metalli con una piccola elettronegatività mostrano un bassa Funzione Lavoro e una grande reattività, ossia instabilità termica. Dall'altra parte, metalli con un grande elettronegatività presentano una grande Funzione Lavoro e una bassa reattività, ossia una scarsa lavorabilità [4].

Tenendo conto di queste osservazioni, il Tungsteno ( $W$ ) risulta il materiale più adatto per essere usato nella struttura a contatto diretto, anche perché ha un alto punto di fusione ed è facilmente modellabile.

## 4.4 Processo di fabbricazione

Ora vedremo i passi principali per la realizzazione del MOSFET a contatto diretto  $W/La_2O_3/Si$ .

La base di fabbricazione è un substrato di silicio di tipo n con una concentrazione di impurità di  $3 \cdot 10^{15} \text{ cm}^{-3}$ . Per determinare l'area dei condensatori uno strato di ossido di 400nm viene formato e modellato attraverso la fotolitografia.

Dopo che il substrato viene pulito con una mistura di  $H_2SO_4/H_2O_2$  a  $100^\circ\text{C}$  per 5 min per rimuovere la contaminazione organica del fotoresist, viene operato un trattamento all'HF diluito.

Il sottile strato di high-k viene depositato usando l' "Electron-Beam-Evaporation" a 300°C in una camera a vuoto spinto a pressione  $10^{-7}$  Pa.

Gli elettrodi di gate in Tungsteno vengono realizzati per mezzo di "polverizzazione catodica" (RF Sputtering), senza eliminare il vuoto spinto per scongiurare l'assorbimento di umidità dall'aria. In seguito vengono modellati con la litografia e un attacco al plasma (RIE).

Source e Drain già formati sul substrato di silicio contribuiscono alla formazione del transistor. Successivamente viene eseguita un "Post Metallization Annealing" (PMA).

Un film di alluminio viene depositato nelle regioni di Source e Drain e nel lato opposto del substrato, come contatto per le misure elettriche [3].

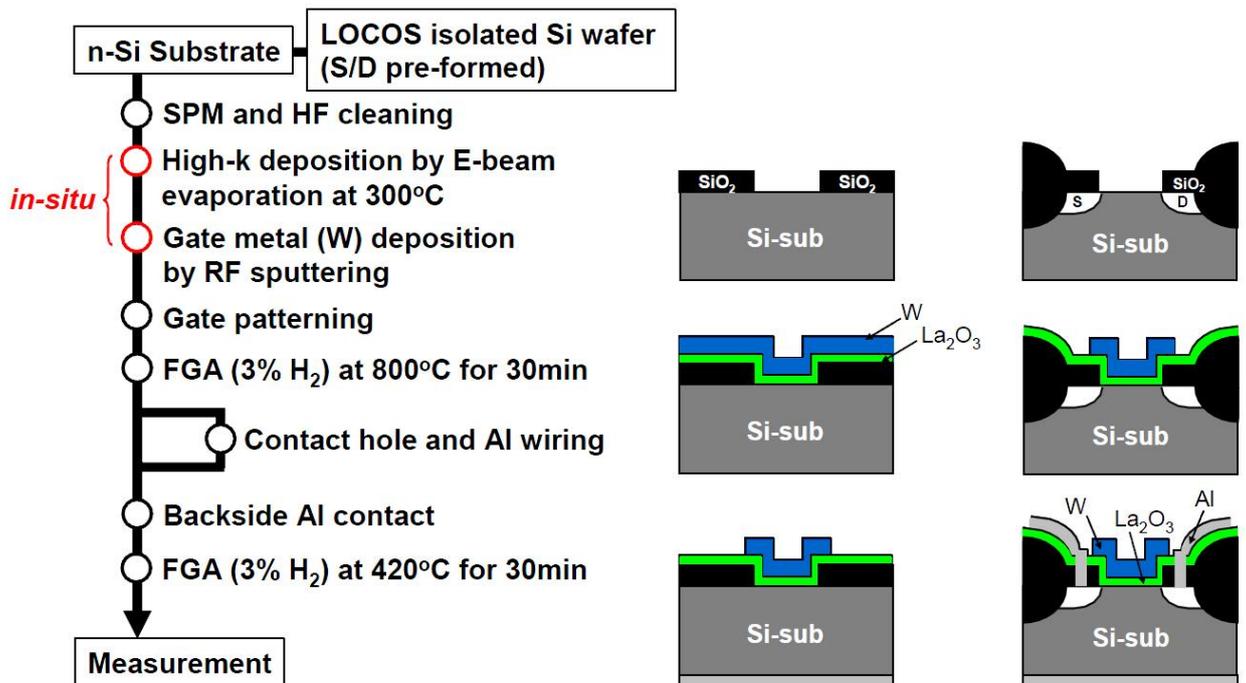


Figura 4.6: Passi principali del processo di fabbricazioni di MOSFET che utilizzano ossidi high-k come dielettrici di gate

## 4.5 Caratteristiche elettriche del MOS $W/La_2O_3/Si$

In questa sezione saranno discusse le proprietà dei condensatori MOS con contatto diretto.

La figura sottostante mostra la caratteristica C-V del condensatore  $W/La_2O_3/Si$ . Nella figura è anche riportata la curva C-V ideale. Quest'ultima è calcolata considerando solamente la differenza tra la Funzione Lavoro del Tungsteno e il Livello di Fermi del substrato di n-Si. Salta subito agli occhi un grande spostamento negativo della tensione di alimentazione  $V_{FB}$ , rispetto alla curva ideale [1].

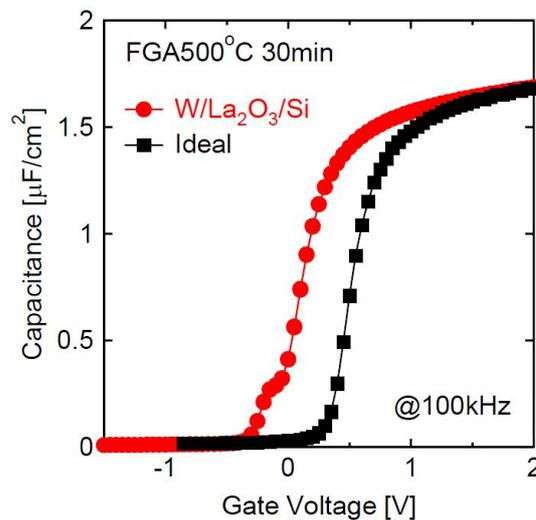


Figura 4.7: Caratteristica C-V del condensatore  $W/La_2O_3/Si$ . La curva ideale in nero è calcolata tenendo conto solo della Funzione Lavoro del Tungsteno W e del Livello di Fermi dell' n-Silicio

Questo fenomeno è causato dall'ossido high-k in contatto con il substrato di silicio e dalla loro interfaccia.

Nel caso dell' $La_2O_3$  lo spostamento di  $V_{FB}$  è in direzione negativa. Ciò significa un abbassamento della Funzione Lavoro del metallo sul  $La_2O_3$  di circa 500 meV, che corrispondono a metà del valore del band gap del silicio. Questo risultato indica che nMOSFET con una bassa tensione di soglia possono essere realizzati usando la struttura  $W/La_2O_3$ . Dall'altra parte la tensione di soglia dei pMOSFET diventa più grande in direzione negativa.

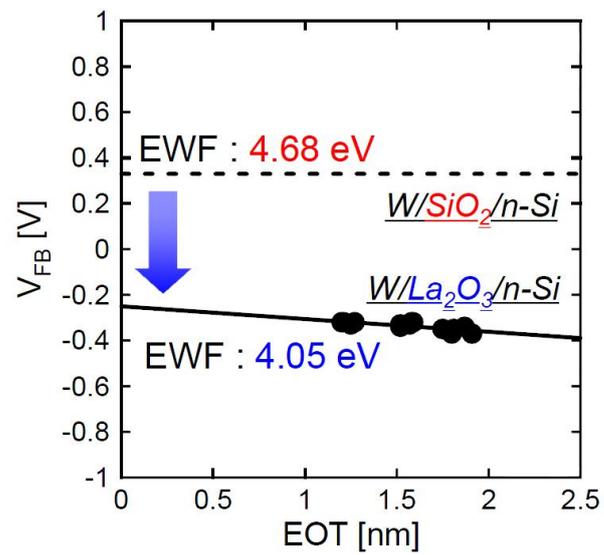


Figura 4.8: Il grafico mostra l'abbassamento della Funzione Lavoro Efficace (EWF) del metallo nella struttura  $W/La_2O_3/Si$

# Capitolo 5

## Conclusione

Come risultato dello scaling aggressivo dei MOSFET, lo spessore di  $SiO_2$  (dielettrico di gate nei MOS convenzionali) ha raggiunto i limiti fisici. Risulta sempre più complicato creare strati di isolante di spessore inferiore, ma soprattutto la corrente di dispersione per tunnel diretto degli elettroni attraverso il  $SiO_2$ , che è inversamente proporzionale allo spessore, ha raggiunto livelli inaccettabili.

L'utilizzo di ossidi ad alta costante dielettrica è stata la soluzione più efficiente per arginare le correnti di perdita mantenendo un basso EOT, che si traduce in buone prestazioni del dispositivo. Purtroppo gli ossidi high-k si rivelano dei pessimi materiali se confrontati con il  $SiO_2$ , sia a livello di processi costruttivi sia dal punto di vista elettrico.

I criteri per la scelta del miglior ossido high-k da usare all'interno di un MOS sono: valore della costante k sufficientemente grande, stabilità termodinamica in contatto con il silicio, compatibilità con le alte temperature dei processi di fabbricazione, band offset per elettroni e lacune maggiore di 1eV e perciò band gap maggiore di 5eV, buone qualità d'interfaccia con il silicio e infine bassa concentrazione di difetti elettronici. Nonostante i materiali che soddisfano tutti questi stringenti requisiti siano davvero pochi, il loro effettivo utilizzo all'interno dei transistor non garantisce comunque buone prestazioni del dispositivo e a volte nemmeno un corretto funzionamento.

L'alta concentrazione di difetti elettronici e la rugosità di interfaccia causano una sostanziale riduzione della mobilità dei portatori all'interno del canale mentre il grande ammontare di cariche intrappolate rende instabile la tensione di soglia del transistor.

Gli ossidi di Afnio come il  $HfO_2$  sono stati i primi ad essere stati presi in considerazione per applicazioni pratiche. Nel 2007 sia Intel che IBM cominciarono la produzione su scala industriale di processori con tecnologia a 45nm, che utilizzavano ossidi a base di Afnio come dielettrico di gate per

i loro transistor. Uno studio di Intel ha rivelato che questa soluzione con ossidi high-k ha permesso di ridurre del 30% la potenza richiesta per una commutazione on/off di un transistor, e inoltre di aumentarne del 20% le prestazioni [9].

Un sottile strato interfacciale di  $SiO_x$  è necessario per mantenere una buona qualità del dispositivo. Il sottile strato interfacciale di  $SiO_x$  si rivela un limite per lo scaling dell' Equivalent Oxide Thickness (EOT).

Un possibile modo per scendere al di sotto di un EOT di 0.5nm è il contatto diretto high-k/Si. Gli ossidi di Lantanio ( $La_2O_3$ ) si scoprono i migliori candidati per realizzare tale struttura a contatto diretto.

Una volta affinati i passi del processo di fabbricazione per includere l'high-k all'interno della struttura del MOSFET, il più grande problema da risolvere resta la riduzione della mobilità. Ad ogni modo il "contatto diretto" resta una delle strade più promettenti per proseguire lo scaling dei MOSFET verso EOT inferiori a 0.5 nm.

# Bibliografia

- [1] Takamasa Kawanago - A Study on High-k / Metal Gate Stack MOSFETs with Rare Earth Oxides. Doctorial thesis Tokyo Institute of Technology - 2011.
- [2] J. Robertson, Engineering department of Cambridge University - High dielectric constant oxides - The European Physical Journal - Cambridge, 2004.
- [3] Stephen Hall, Octavian Buiu, Ivona Z. Mitrovic, Yi Lu, and William M. Davey - Review and perspective of high-k dielectrics on silicon - Journal of telecommunication and information technology - Febbraio 2007.
- [4] Durga Misra - High k Dielectrics on High-Mobility Substrates: The Interface! - The Electrochemical Society - New Jersey Institute of Technology, 2011.
- [5] La storia del Silicio: elettronica e comunicazione - Frederick Seitz e Norman G. Einspruch. - Torino : Bollati Boringhieri, 1998.
- [6] Digital Integrated Circuit, second edition - Jan M. Rabaey, Anantha Chandrakasan -Prentice Hall 2003.
- [7] IEEE Solid State Circuits Society News, vol. 12 no. 1 - The Impact of Denard's Scaling Theory - Inverno 2007.
- [8] International Technology Roadmap for Semiconductor (ITRS), 2009.
- [9] <http://www.intel.it/content/www/it/it/silicon-innovations/silicon-innovations-technology.html>.
- [10] Francesco Driussi - Indagine sperimentale sulla Fenomenologia e sui Meccanismi fisici di degrado in tecnologie CMOS 0.5 - 0.25  $\mu\text{m}$  - Master thesis, Università degli studi di Udine - 2000.