



Università degli Studi di Padova
Facoltà di Ingegneria
Corso di Laurea in Ingegneria Elettronica



Tesi di Laurea

Impiego dell'Arseniuro di Gallio nelle moderne tecnologie ULSI

Relatore: Prof. Andrea Cester

25 Novembre 2010

Laureando: Lombardo Federico
Matricola: 581076

Anno Accademico 2009/2010



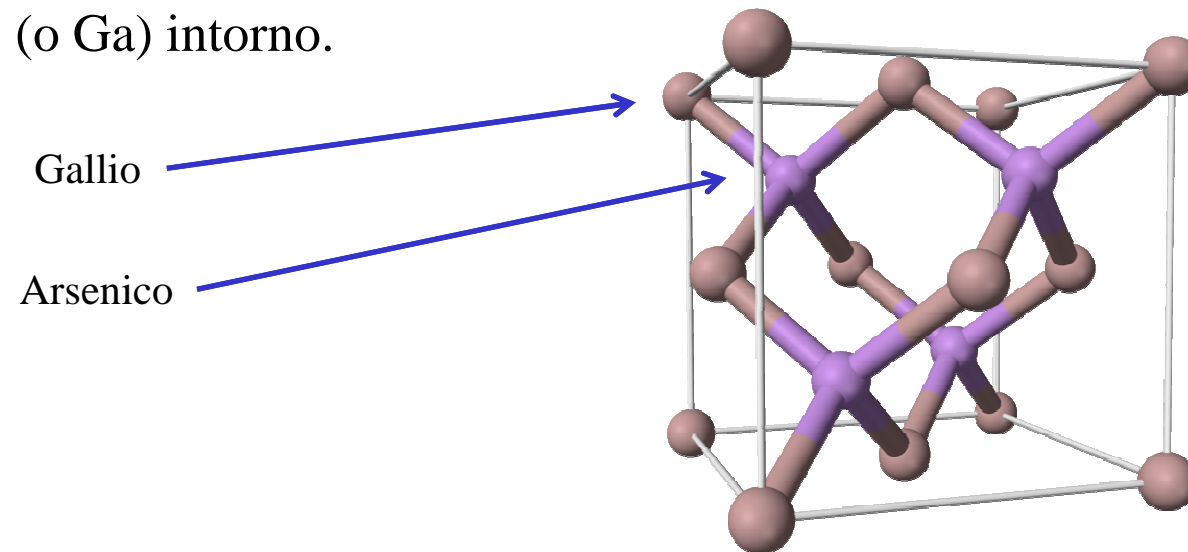
Università degli studi di Padova
Tesi di Laurea
Impiego dell'Arseniuro di Gallio nelle moderne tecnologie ULSI

- Quando si parla di elettronica, il discorso viene subito affiancato alle tecnologie del Silicio.
- L'innovazione tecnologica porta con sé non solo nuove scoperte per quanto riguarda il Silicio, ma anche nuovi materiali, tra i quali l'**Arseniuro di Gallio**.
- L'Arseniuro di Gallio (simbolo chimico GaAs) ha molti vantaggi (ma anche svantaggi) rispetto al Silicio, e in questa tesi cercherò di descriverne il funzionamento in circuiti ULSI ad alta velocità, parlando essenzialmente del MESFET.



Arseniuro di Gallio


- Semiconduttore tipo III/V, composto dai materiali Arsenico e Gallio.
- Isolato per la prima volta da Goldschmidt nel 1929.
- Struttura chimica definita come *zincblende*, ovvero ciascun atomo di Ga (o As) ha quattro atomi di As (o Ga) intorno.





Proprietà Arseniuro di Gallio

Identificatori	
Numero CAS	1303-00-0
PubChem	14770
Numero RTECS	LW8800000
Proprietà	
Formula Molecolare	GaAs
Massa Molare	144.645g/mol
Apparenza	Cristallo Grigio Cubico
Densità	5.316g/cm ³
Punto di Fusione	1238°C (1511 K)
Solubilità in acqua	< 0.1g/100mL (20°C)
Banda Proibita (Band Gap)	1.424eV (300 K)
Mobilità degli elettroni	8500cm ³ /(V · s) (300 K)
Conduttività Termica	0.55W/(cm · K) (300 K)
Indice di Rifrazione	3.0 - 5.0

Struttura	
Struttura cristallina	Zinc Blende
Gruppo Spaziale	$T_d^2 - F - 43m$
Coordinate Geometriche	Tetraedriche
Forma Molecolare	Lineare
Pericoli	
Classificazione Europea	Tossico (T) Pericoloso per l'ambiente (N)
Frase-R	R23/25, R50/53
Frase-S	S1/2, S20/21, S28, S45, S60, S61
NFPA 704	



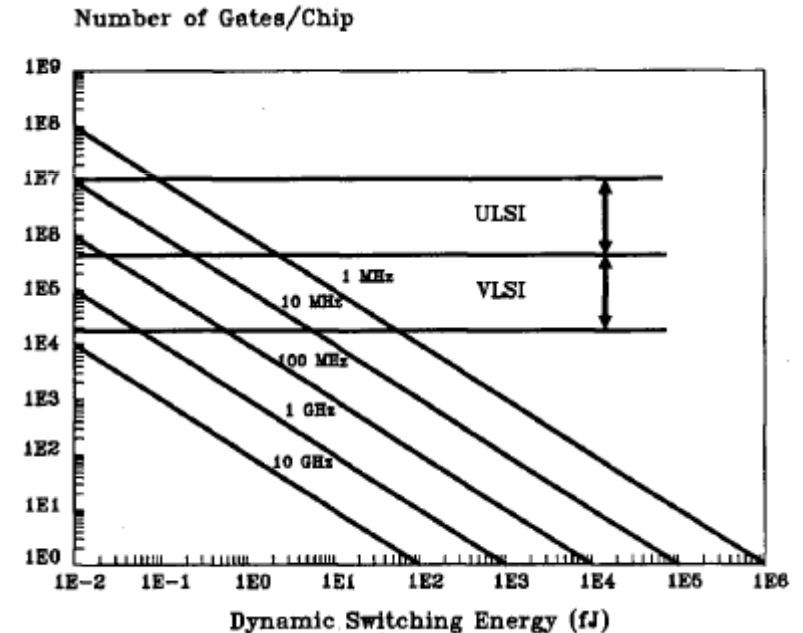
Storia e sviluppi futuri

- Sviluppo tecnologico impressionante: nel 1990 possiede una maturità tecnologica paragonabile a quella del silicio nel 1970, ma con un tasso di sviluppo 3 volte maggiore.
- Punto di svolta nel 1968 con una nuova tecnica di sviluppo per i circuiti integrati in GaAs.
- Attualmente, il principale utilizzo dell'Arseniuro di Gallio è nelle celle solari.
- Sviluppo quasi certo anche nel mondo dell'elettronica digitale, che grazie alle sue proprietà chimiche andrà a supportare, e talvolta sostituire, il silicio.



Limiti del silicio

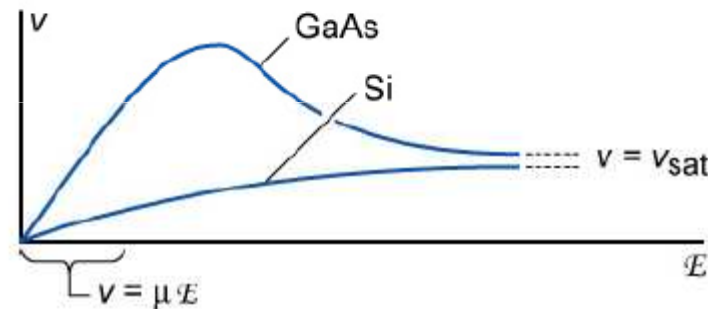
- I principali requisiti per un circuito ULSI ad alta velocità sono:
 - Piccole dimensioni;
 - Alto rendimento;
 - **Basso consumo di energia dinamica.**
- L'energia dinamica è data dalla relazione
$$P_{(CHIP)} = 2P_d \times \tau_d \times N_g \times F_c$$
ed è messa in evidenza dal grafico per un ingresso di 2W.
- Fenomeni indesiderati, latch-up, NM ridotto.





Vantaggi del GaAs

- Elevata mobilità e velocità di deriva degli elettroni (uso nelle microonde).
- Velocità di saturazione raggiunta rapidamente e in maniera lineare, ed è circa 6 volte più grande di quella del silicio (altro motivo per il suo utilizzo nelle microonde).

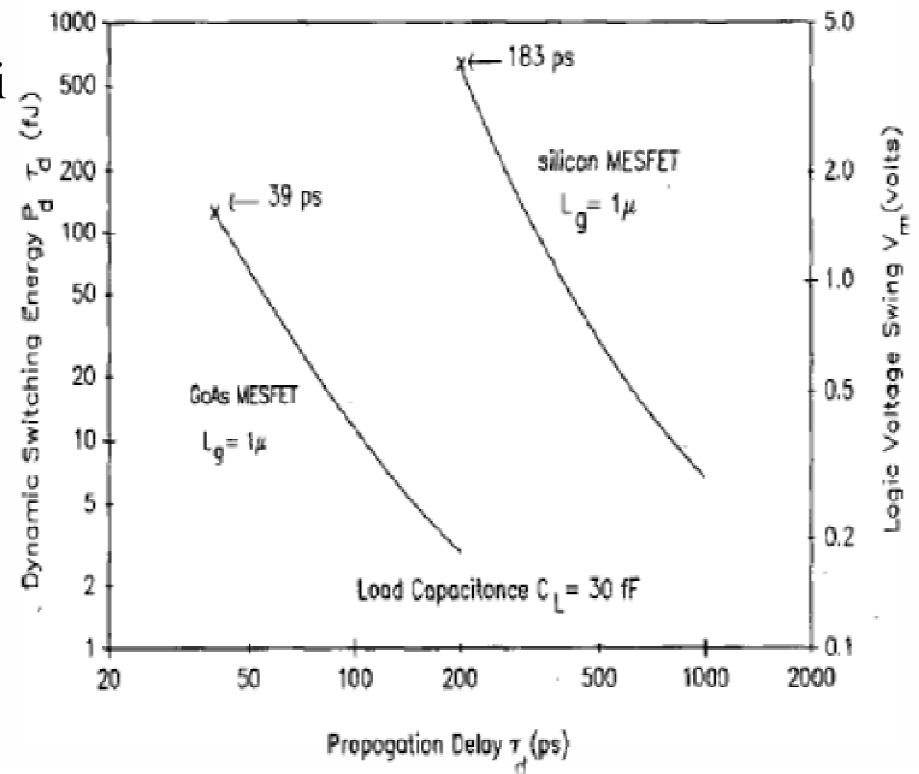


- Possibilità di creare strati semi-isolanti, resistività che va da $10^{-6} \sim 10^{22} \text{ Wcm}$.
- Le barriere Schottky possono essere create combinando il GaAs con un enorme varietà di materiali.
- Resistenza alle radiazioni (applicazioni spaziali).



Vantaggi del GaAs

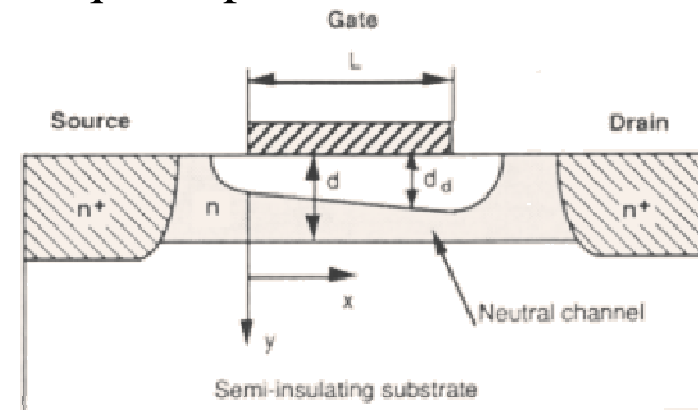
- Può operare su un range di temperature più ampie ($-200\sim+200^{\circ}\text{C}$).
- Performance di commutazione migliori nel GaAs.
- Band gap diretta del GaAs (LED).





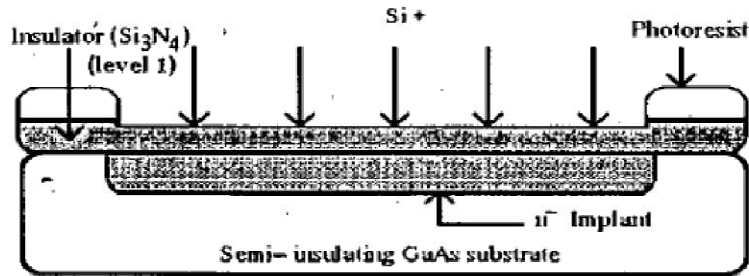
MESFET

- Nonostante l'enormità di varietà di dispositivi, quello più usato è il MESFET:
 - Alto fattore di integrabilità;
 - Maturità del processo;
 - Alta frequenza operativa.
- La saturazione di velocità causa la saturazione di corrente del drain.
- La tensione di soglia può essere regolata variando lo spessore di canale.
- Auto allineamento del gate e processo planare.

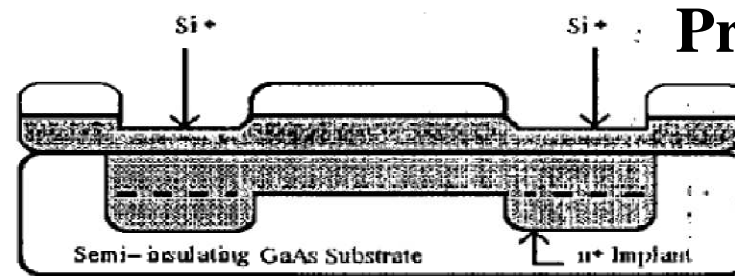




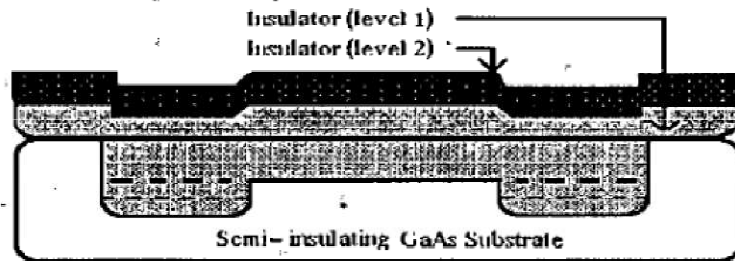
Processo Planare



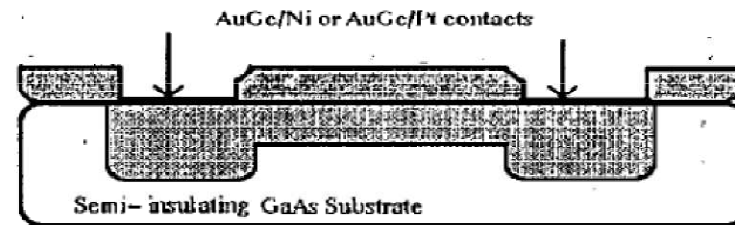
(a) Deposition of the first level insulator. Implantation of silicon ions.



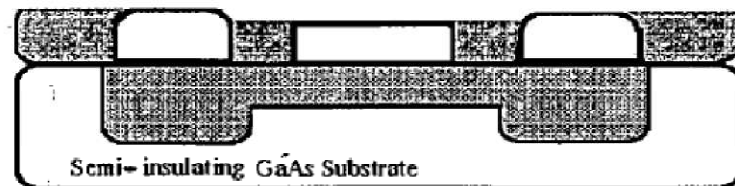
(b) Formation of the Source and Drain regions.



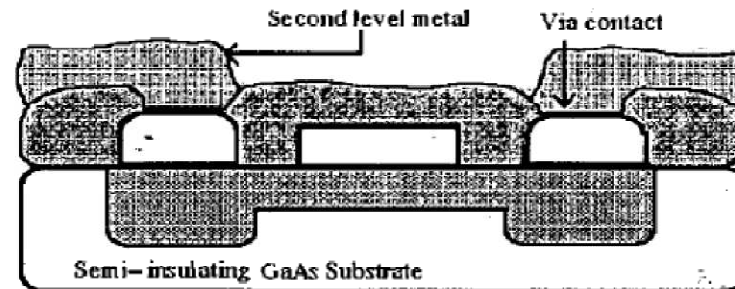
(c) Deposition of insulator. Annealing of the implant.



(d) Deposition of ohmic contacts.



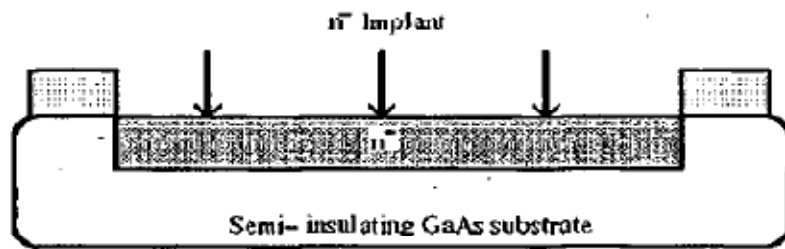
(e) Deposition of Ti/Pt/Au gate and 1st level metal.



(f) Deposition of second level metal.



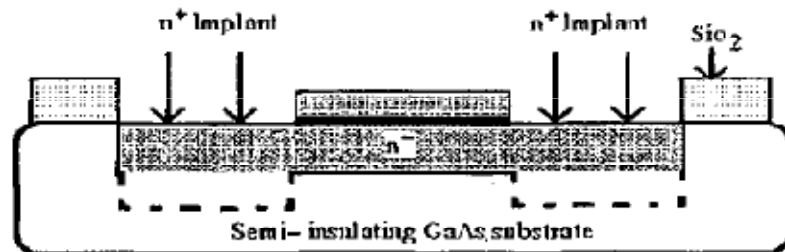
Auto allineamento del gate



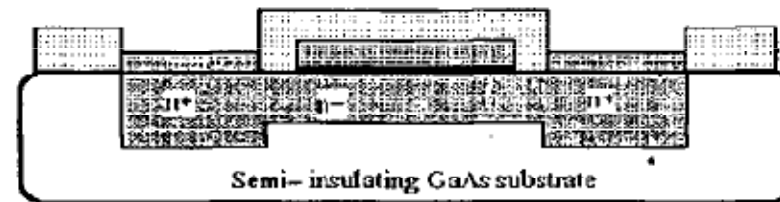
(a) Implantation of n^- ions.



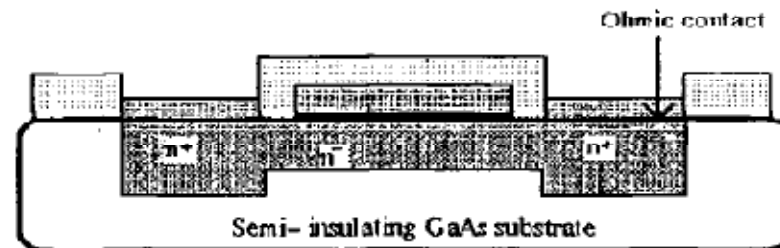
(b) Formation of the Schottky gate.



(c) Implantation of n^+ ions.



(d) Anneal cycle to activate the dopants.



(e) Formation of ohmic contacts.



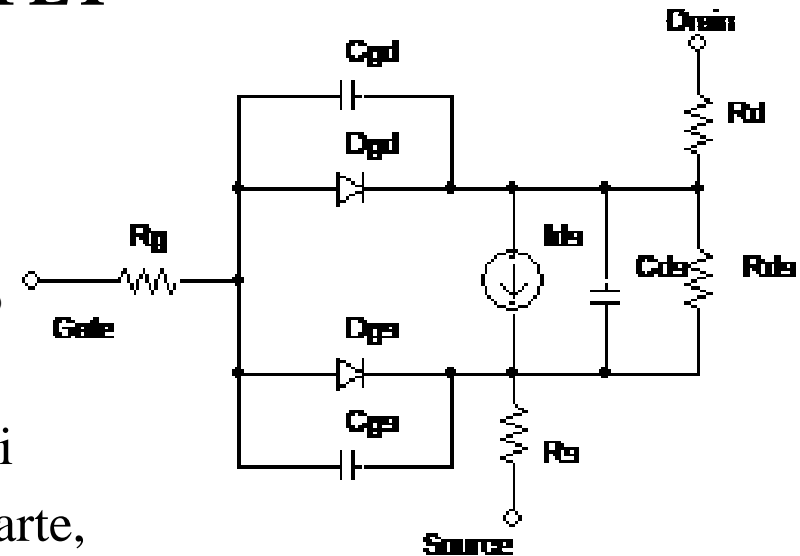
Regole di Layout

- Necessarie per definire:
 - La geometria delle caratteristiche che vengono utilizzate nelle maschere del processo litografico;
 - L'iterazione tra due differenti strati.
- Regole *lambda*, facili da usare ma con due svantaggi principali:
 - Il riscaldamento lineare è possibile solo per piccole variazioni di dimensioni
 - Le regole di riscaldamento sono conservative
- Regole fisse, le micro norme (*micron rules*) esprimono le relazioni tra le maschere in maniera assoluta.
- La scalabilità e la portabilità di un progetto deve essere fatta manualmente (più complessa).



Modello MESFET

- Necessario per studiare il risultato delle simulazioni, che dipendono da:
 - La precisione del modello
 - La precisione dei parametri estratti per il modello
- Bisogna considerare anche la CPU: non si possono usare modelli complessi per circuiti con milioni e milioni di MESFET; d'altra parte, il comportamento del dispositivo non può essere descritto con semplici equazioni.





Modello MESFET

- Obiettivo: calcolo I_{ds} .
- Il modello classico utilizzato (Shichman e Hodges) è inadeguato.
- Modello di Curtice:

$$I_{ds} = \beta \cdot (V_{gs} - V_t)^2 \cdot (1 + \lambda V_{ds}) \cdot \tanh(\alpha V_{ds})$$

- Con la tensione di soglia che vale:

$$V_t = \phi_0 - V_{p0}$$

- Modellizzata anche l'accumulo di carica, con le capacità C_{gs} e C_{gd} :

$$C_{gs} = \frac{C_{g0}}{\sqrt{1 - \frac{V_{gs}}{\phi_0}}} \quad C_{gd} = \frac{C_{g0}}{\sqrt{1 - \frac{V_{gd}}{\phi_0}}}$$



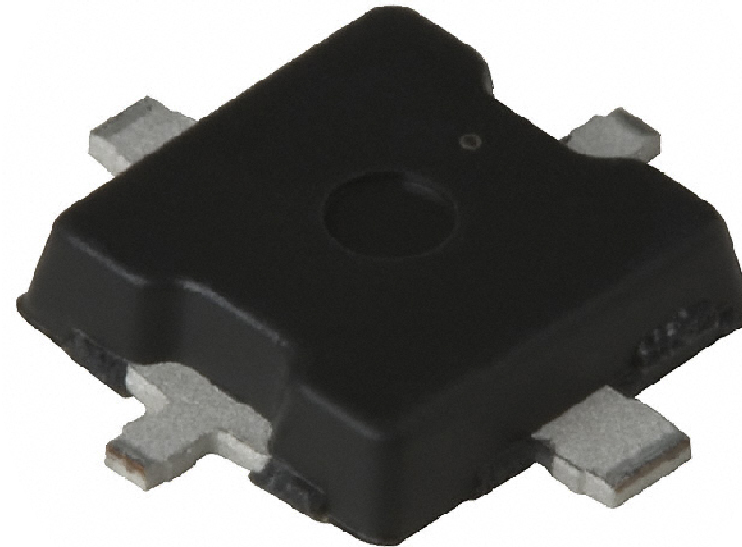
Effetti indesiderati e interconnessioni

- Due problemi essenziali che devono essere inclusi sul modello:
 - Effetti a tempo di transito
 - Effetti di dispersione
- Semplicemente risolvibili con il dimensionamento opportuno del valore di λ .
- La velocità di commutazione dipende molto dalle interconnessioni, che dipendono:
 - Resistenza di linea
 - Capacità e induttanza
 - Impedenza del source di guida
 - Cross-talk tra le linee



Porte logiche

- Due approcci per progettare porte logiche con MESFET:
 - Normalmente ON
 - Normalmente OFF

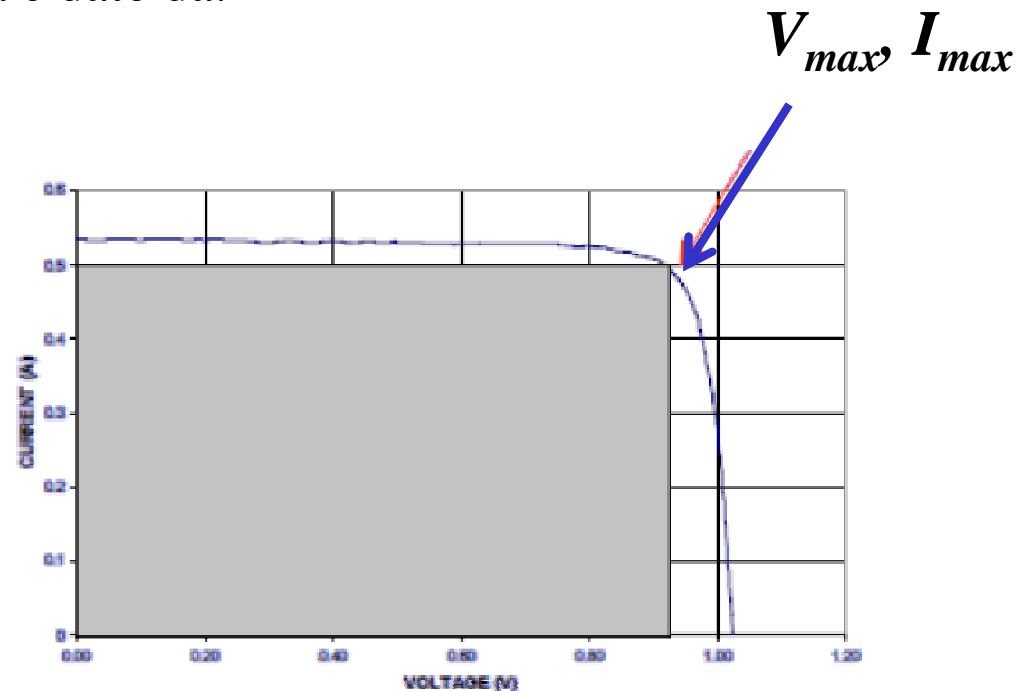




Celle Solari

- Applicazione di più successo del GaAs.
- Rendimento di una cella è dato da:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_m \cdot I_m}{P_{sole} \cdot Area}$$





Celle Solari

- In tutti i semiconduttori è possibile attivare l'effetto fotoelettrico

Applicazione terrestre	Tipologia	Efficienza AM1.5
Silicio cristallino e policristallino	Pannelli Piani	12 ~ 14%
Film sottile: CIS, CdTe, Si amorfo	Pannelli Piani	8 ~ 14%
GaAs (non ancora industriale)	Concentratori	35%
Applicazione spaziale	Tipologia	Efficienza AM1.5
Silicio monocristallino	Pannelli Piani	14 ~ 16%
GaAs	Pannelli Piani	19 ~ 27%



Celle Solari spaziali: vantaggio del GaAs

- Le condizioni nello spazio sono molto rigide.
- Il GaAs è uno dei semiconduttori che meglio converte la radiazione dello spettro in energia elettrica.
- Rispetto al Silicio, le celle in Arseniuro di Gallio sono:
 - Più efficienti (27% contro 15%)
 - Più resistenti alle radiazioni
 - Degradano meno alle temperature a cui operano
- Le celle in GaAs costano da 3 a 5 volte quelle in Si, e pesano circa il doppio, ma questi svantaggi sono ampiamente recuperati.