



UNIVERSITÁ DEGLI STUDI DI PADOVA
Laurea Magistrale in Ingegneria Elettronica

Strategie di controllo per convertitori Buck multifase

Relatore: Prof. Simone Buso

Studente: Giambattista Fausto Notarnicola
Matricola: 1079136

10 Aprile 2017
A.A. 2016/2017

Ci troviamo così bene nella
libera natura,
perché essa non ha alcuna
opinione su di noi.

Friedrich Nietzsche

Introduzione	vii
1 Convertitore DC-DC	1
1.1 Buck asincrono	1
1.1.1 Modulatore PWM	4
1.1.2 Perdite di potenza: Hard Switching e Reverse Recovery	4
1.2 Buck sincrono	7
1.2.1 Modulatore PWM e Dead Time	8
1.2.2 Perdite di potenza: Soft switching (ZVS) e Reverse Recovery	9
2 Quasi Square Wave	13
2.1 Vantaggi e Svantaggi del QSW	13
2.2 Induttanza Limite	14
2.3 Buck Sincrono QSW: Soft Switching (ZVS)	14
3 Interleaving e Phase Shedding	17
3.1 Interleaving	17
3.2 Phase Shedding	20
4 Prototipo Utilizzato	25
4.1 Schematici del circuito	25
4.1.1 Generazione PWM	25
4.1.2 Driver	26
4.1.3 Buck a 2 fasi	28
4.2 Scelta Induttore per QSW	29

5	Studio completo delle perdite nel Buck	31
5.1	Perdite nell'Induttore	32
5.2	Perdite nel MOSFET	36
5.3	Perdite in topologia interleaved	38
5.4	Simulazione	40
5.4.1	Single Phase QSW: Commutazioni ZVS	41
5.4.2	Single Phase QSW: Commutazioni Hard Switching	41
5.4.3	Double Phases QSW: Commutazioni ZVS	42
5.4.4	Doubles Phase QSW: Commutazioni Hard Switching	43
6	Misure e risultati	45
6.1	Setup di lavoro	45
6.2	Forme d'onda principali	47
6.3	Funzionamento CCM 1 fase	51
6.4	Funzionamento QSW 1 fase	52
6.5	Funzionamento QSW 2 fasi	54
7	Confronto	57
7.1	Confronto: Simulazioni vs Misure	57
7.2	Confronto: 1 fase QSW vs 2 fasi QSW	57
7.3	Phase Shedding	59
	Conclusioni	61
	Bibliografia	64

Introduzione

Negli ultimi 20-30 anni i sistemi di potenza nel campo delle automobili hanno subito un drastico cambiamento. Per soddisfare le richieste di riduzione delle emissioni di anidride carbonica, le compagnie automobilistiche si sono sempre più concentrate sullo sviluppo di sistemi di potenza elettrici, così da realizzare sistemi di generazione di potenza ibridi e totalmente elettrici. La potenza elettrica necessaria per trazione e servizi ausiliari supera di gran lunga le richieste dei sistemi di generazione di potenza (ibridi e a combustione) precedenti. Per soddisfare questo enorme flusso di potenza, si cerca di integrare soluzioni circuitali ad alta densità e alta efficienza.

Nella prima metà del secolo scorso il sistema elettrico di un'automobile utilizzava tensioni di 6 Volt per l'accensione e l'illuminazione. L'incremento dei carichi elettrici presenti nella auto si presume sia del 4% annuo e con esso anche i sistemi di generazione di energia elettrica subiscono un incremento proporzionale. In una seconda fase si è passati ad un livello di tensione di 12 Volt, utile a soddisfare la richiesta di energia di tutti quegli apparati di controllo e di svago a bordo delle auto. Con l'arrivo delle prime automobili ibride (HEV), agli inizi degli anni '90, c'è stata la necessità di effettuare un notevole salto di tensione, portando il sistema elettrico primario ad un livello di 42 Volt, scelto per garantire che la tensione massima dei sistemi di potenza a bordo non superi mai i 60 Volt, che avrebbe richiesto la presenza di costosi sistemi di protezione [4]. Questo sistema di alimentazione denominato PowerNet 42-14 non ha però avuto successo, ma l'idea di tensioni superiori è stata una forza trainante per cambiare l'intero sistema di produzione di energia. Con una maggiore tensione si ottiene una riduzione delle correnti, che si traduce in una maggiore densità di potenza e in una sezione dei cavi inferiore. Le case costruttrici sono tutt'oggi restie ad abbandonare totalmente la tensione a 12 Volt, pertanto una prima transizione avvenuta nel 2011 è stata quella di passare ad un sistema 48-12 [10]. La motivazione principale per l'introduzione di un'ulteriore alta tensione sono identificate nelle regolamentazioni comunitarie [2] che specificano dei limiti stringenti di $95 \text{ g CO}_2/\text{km}$ per passeggero, da raggiungere entro il 2021. Infatti con siste-

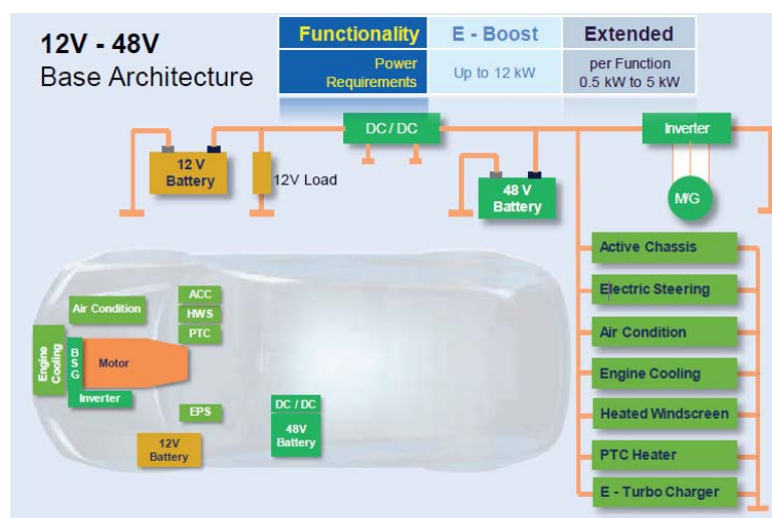


Figura 1: Architettura base dei carichi in un automobile elettrica

mi a 48 Volt si riesce a realizzare dei sistemi start and stop che permettono un recupero di energia e riducono i consumi di due punti percentuali. Questa doppia alimentazione prevede due batterie e per permettere lo scambio di energia tra loro, viene implementato un convertitore DC-DC ad alta efficienza [9].

Lo studio di questa tesi si concentra proprio sulla topologia del convertitore DC-DC e l'evoluzione delle tecniche usate per migliorarne l'efficienza. Nel capitolo 1 verrà fatta una overview sulla topologia di convertitore utilizzata e sulle motivazioni che lo hanno reso il migliore candidato. Nel capitolo 2 si affronterà il tema principale di questo lavoro di tesi, cioè lo studio della modalità di funzionamento *Quasi Square Wave (QSW)*, con relativi vantaggi e svantaggi, per poi passare nel capitolo 3 ad una analisi della topologia *Interleaved*, con particolare attenzione ai vantaggi che questa apporta al design del convertitore in merito a grandezza e stress dei componenti. Sempre nel capitolo 3 è presentata la tecnica del *Phase Shedding*.

Nel capitolo 4 viene analizzato il circuito del prototipo che si utilizzerà per la fase sperimentale. Una stima approfondita delle perdite del circuito è stata ottenuta secondo le linee guida del capitolo 5 implementate in uno script Matlab. Nel capitolo 6 viene spiegato l'allestimento del setup di misura e sono riportate le misure sperimentali ottenute da un prototipo di Buck Sincrono a 2 fasi opportunamente modificato per lavorare in QSW. Nel capitolo 7 si procederà ad un confronto con una stima dell'efficienza e quella effettivamente misurata sul prototipo utilizzato. Per concludere, è stato testato se la tecnica del Phase Shedding porta a dei vantaggi anche con questa topologia Interleaved Quasi Square Wave.

Convertitore DC-DC

In letteratura sono riportati molti studi sui convertitori DC-DC implementati per la PowerNet 42-14. Questi studi saranno il riferimento base per lo studio e l'analisi del prototipo del convertitore utilizzato per il lavoro di tesi testato secondo lo standard richiesto, 48-12. La progettazione di un convertitore di potenza deve affrontare diversi fenomeni fisici, ad esempio elettrici e termici, ma anche problemi di regolazione e di controllo. La scelta ricade sul convertitore Buck Sincrono che realizza nel modo più semplice la conversione tra due livelli di tensione step down. Si preferisce introdurre quindi alcuni concetti base sul convertitore Buck classico asincrono, per poi evidenziare i vantaggi della scelta del convertitore Buck sincrono [5] [15] [8] [14].

1.1 Buck asincrono

Il Convertitore Buck è un convertitore DC-DC a commutazione non isolato. Preleva energia elettrica da un generatore di tensione e la trasferisce al carico, applicando ad esso una tensione minore, o al più uguale, a quella d'ingresso. Data la sua topologia particolarmente semplice, è possibile spiegarne il funzionamento base immaginando il convertitore composto da due

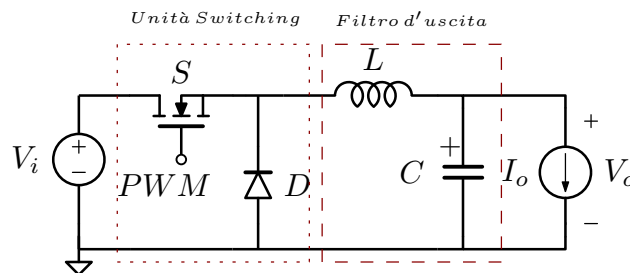


Figura 1.1: Buck Asincrono.

unità che lavorano separatamente: un'unità switching e un filtro d'uscita [8]. L'unità switching si occupa di trasformare la tensione continua d'ingresso in una tensione impulsiva, intervallando il collegamento del terminale d'uscita dell'unità alla tensione d'ingresso oppure a potenziale di 0 Volt. Il filtro d'uscita si occupa di applicare al carico solamente il valore medio di tale tensione impulsiva, quindi di filtrare le componenti ad alta frequenza. Più precisamente, esso deve attenuare fortemente lo spettro delle frequenze vicino a quella di commutazione e suoi multipli.

Per analizzare il funzionamento del convertitore nel dettaglio occorre fare prima delle ipotesi:

- Tutti i componenti sono ideali, quindi non presentano resistenze o induttanze equivalenti serie, capacità in parallelo, i tempi di commutazione sono nulli, la caduta di tensione sul diodo è nulla.
- La tensione di ingresso è costante e pari a V_i .
- La tensione d'uscita è costante e pari a V_o , ipotesi meno ovvia della precedente, dato che implica che la capacità d'uscita sia di valore sufficientemente elevato da permettere di trascurare il ripple di tensione ai suoi capi.
- La corrente di carico è costante e pari a I_o .
- Il convertitore sta lavorando a regime, ovvero tutte le forme d'onda sono periodiche, con periodo T_{sw} pari al reciproco della frequenza di commutazione f_{sw} .

Esaminando il circuito di figura 1.1 si evince che durante il periodo di accensione dell'interruttore, $[0; t_{on}]$, la tensione ai capi dell'induttanza è pari alla differenza tra la tensione di alimentazione e la tensione d'uscita, $V_i - V_o$, mentre durante il periodo di spegnimento dell'interruttore, $[t_{on}; T_{sw}]$, la tensione ai capi dell'induttanza è pari all'inverso della tensione d'uscita, $-V_o$ (figura 1.2).

Partendo dalle equazioni governanti l'induttore si ricavano le correnti nel circuito:

$$v_L = L \cdot \frac{di_L}{dt} \Rightarrow i_L(t) = i_L(t_0) + \int_{t_0}^t v_L(\tau) d\tau \quad (1.1)$$

Si ottiene quindi:

$$i_L(t) = \begin{cases} I_{Lmin} + \frac{V_i - V_o}{L} t & \text{se } 0 \leq t < t_{on} \\ I_{Lmax} - \frac{V_o}{L} t & \text{se } t_{on} \leq t < T_{sw} \end{cases} \quad (1.2)$$

Dalle ipotesi fatte in precedenza si evince che la componente continua della corrente nell'induttanza di filtro debba scorrere nel carico e quindi $I_o = I_L$. La componente ondulatoria invece scorre nel condensatore e quindi $i_C =$

$i_L - I_L$. Come conseguenza, in funzionamento a regime, la componente media della corrente nell'induttore calcolata in un periodo di commutazione non deve variare. Questo implica che la variazione di corrente nel primo intervallo eguagli la variazione del secondo intervallo. Si ottengono le relazioni:

$$\begin{aligned}\Delta I_{Lon} &= \frac{V_i - V_o}{L} \cdot t_{on}, \\ \Delta I_{Loff} &= \frac{V_o}{L} \cdot (T_{sw} - t_{on}), \\ \Delta I_{Lon} = \Delta I_{Loff} &\rightarrow M = \frac{V_o}{V_i} = \frac{t_{on}}{T_{sw}} = D,\end{aligned}\quad (1.3)$$

dove M è il rapporto di conversione del convertitore ed è pari al duty cycle del segnale della PWM (Pulse Width Modulation).

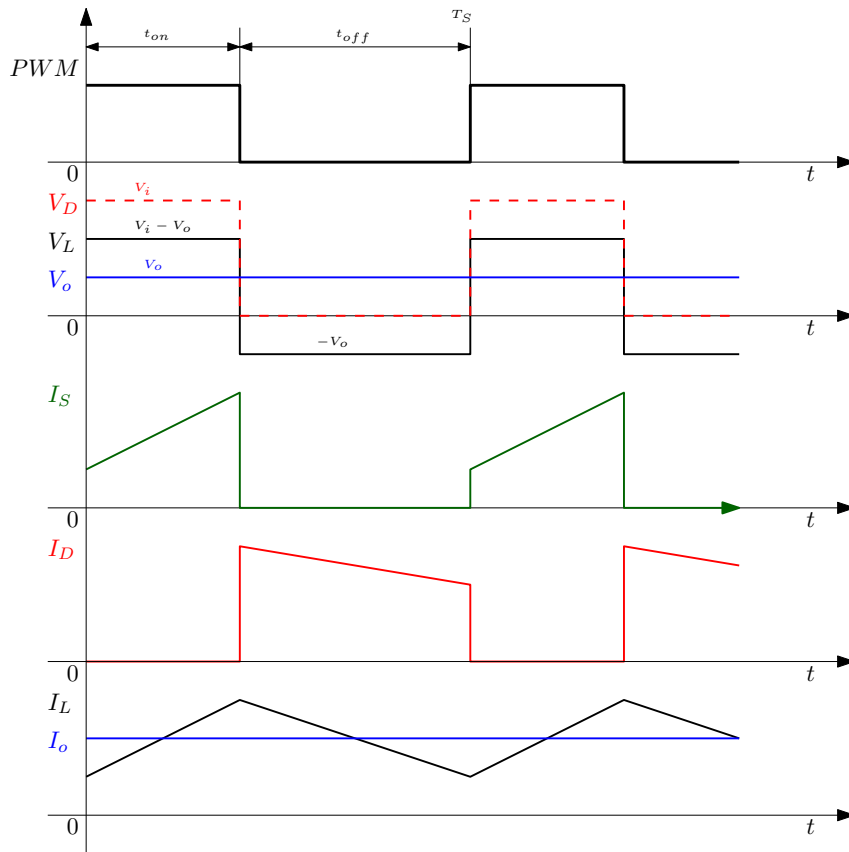


Figura 1.2: Forme d'onda principali per il Buck Asincrono

Nei progetti tradizionali dei convertitori buck, il primo componente ad essere dimensionato è l'induttanza di filtro. Generalmente si seleziona un valore di induttanza tale che il ripple di corrente picco-picco sia pari a circa il 10% – 20% del valore medio di corrente che circola nell'induttore. Dall'equazione

(1.3), imponendo $\Delta I_{Lpp} = 0.2I_L$ si ottiene che:

$$L = \frac{(V_i - V_o)D}{\Delta I_{Lpp}F_{sw}} \quad (1.4)$$

1.1.1 Modulatore PWM

Come già visto, il rapporto di conversione non è altro che il duty cycle che ne definisce il punto di lavoro. In fase di progettazione del controllo occorre un dispositivo che vari il duty cycle, in modo tale da far sì che la V_o sia sempre costante. Il Modulatore PWM (Pulse Width Modulation) si occupa di fornire il segnale di controllo per l'interruttore (MOSFET). In versione analogica è costituito da un comparatore al cui ingresso invertente è inviato un segnale portante, cioè un'onda triangolare, e all'ingresso non invertente è inviato un segnale modulante. Il segnale modulante varia in modo proporzionale alla variazione della tensione di uscita V_o e il modulatore è in grado di generare un segnale PWM con il duty cycle necessario a riportare la tensione di uscita al valore ottimale.

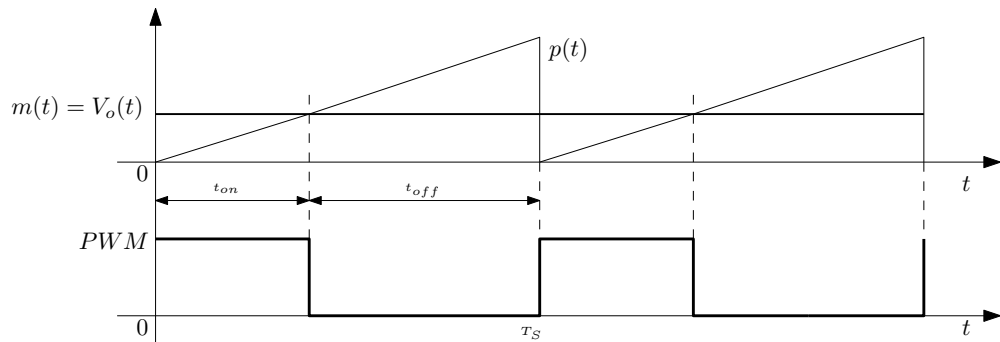


Figura 1.3: I tre segnali coinvolti in un modulatore PWM

1.1.2 Perdite di potenza: Hard Switching e Reverse Recovery

La maggior parte dei convertitori buck non isolati è caratterizzata da elevate perdite di commutazione, dovute all'alto stress di corrente e di tensione imposto sullo switch integrato MOSFET del convertitore durante le transizioni di accensione e spegnimento. Queste perdite aumentano con la frequenza di commutazione e la tensione d'ingresso e limitano il funzionamento alla massima frequenza, l'efficienza e la densità di potenza. Un'altra parte importante di perdite nei convertitori è dovuta alle cariche di reverse recovery che si accumulano nel diodo durante la conduzione e devono essere smaltite durante la commutazione per consentire il cambiamento di stato del disposi-

tivo, da acceso a spento. Di seguito è riportato uno studio qualitativo delle perdite di switching. Per uno studio approfondito si rimanda a [15].

Perdite nel MOSFET: Hard switching

Le transizioni di turn-on e di turn-off nei MOSFET richiedono da una decina ad un centinaio di nano secondi. Durante queste transizioni di commutazione si verifica una perdita di potenza istantanea nel dispositivo; anche con tempi di commutazione molto piccoli le perdite possono essere significative. Tenendo presente che per commutare tra on e off un dispositivo a semiconduttore deve rimuovere o inserire della carica, la quantità di carica da spostare influenza i tempi di commutazione e le perdite di switching. Generalmente le cariche vengono immagazzinate nelle capacità parassite, per poi andare perse durante le commutazioni.

Si parla di hard switching quando, durante la commutazione del MOSFET, si verifica la sovrapposizione temporale tra la variazione della tensione e la variazione della corrente. Per studiare le perdite di switching nel MOSFET di un convertitore Buck si preferisce considerare il diodo ideale e trascurare la capacità di uscita del MOSFET, così da concentrarsi solamente sulle commutazioni della tensione v_{ds} e della corrente i_{ds} . Il carico del circuito durante le commutazioni è il solo induttore. La corrente dell'induttore si trasferisce dallo switch al diodo e viceversa. Dato questo carico fisso, la tensione e la corrente del MOSFET non possono variare istantaneamente.

Nell'immagine 1.4 sono rappresentate le fasi di spegnimento e di accensione del MOSFET. Considerando la commutazione di turn-off, nel primo intervallo di tempo la corrente i_L è costante e il diodo è polarizzato inversamente, quindi non è attraversato da corrente. Nel secondo intervallo invece il diodo entra in conduzione, la corrente i_L attraversa il diodo e la tensione v_{ds} del MOSFET resta costante dato che l'interruttore si è aperto. L'intervallo $t_0 - t_1$ non è altro che il tempo necessario al driver di gate per caricare la capacità di gate-drain in ingresso. L'intervallo $t_1 - t_2$ invece è il tempo necessario al driver di gate per scaricare la capacità gate-source fino alla tensione di soglia, che causerà lo spegnimento del MOSFET. La potenza istantanea persa è definita $p_{loss}(t) = v_{ds}(t) \cdot i_{ds}(t)$. Essendo a regime, quindi con $v_{ds} = V_i$ e la $i_{ds} = I_L$, si definisce la potenza media dissipata in fase di switching come:

$$\begin{cases} P_{sw_{on}} = \frac{V_i I_L}{2} (t_{ri} + t_{fv}) f_{sw} \\ P_{sw_{off}} = \frac{V_i I_L}{2} (t_{rv} + t_{fi}) f_{sw} \end{cases} \quad (1.5)$$

rispettivamente per la fase di turn-on e turn-off. Le perdite sono direttamente proporzionali alla frequenza di commutazione e questo determina un limite per la frequenza utilizzabile, in quanto l'efficienza dei convertitori risente di questo effetto negativo.

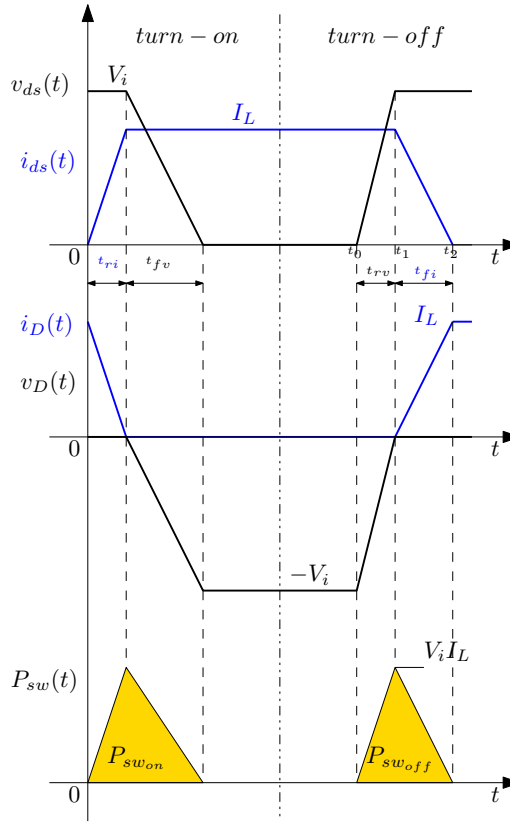


Figura 1.4: Commutazioni turn-on e turn-off del MOSFET e del Diodo

Perdite nel DIODO: Reverse Recovery

Il fenomeno del reverse recovery avviene nelle giunzioni pn e pin alla transizione di turn-off del diodo e incide sulle perdite di commutazioni del convertitore. Questo fenomeno è dovuto alle cariche minoritarie immagazzinate nella regione quasi neutra in condizione di polarizzazione diretta. Queste cariche devono quindi essere rimosse nella transizione da polarizzazione diretta ad inversa. La rimozione di queste cariche è un fenomeno dinamico che modifica i transitori di commutazione dell'intero convertitore. Infatti si crea una scarica di corrente incontrollata che attraversa il diodo e di conseguenza anche il MOSFET. Nell'immagine 1.5 sono riportate le forme d'onda con effetto del reverse recovery che si ripercuote sulle transizioni del MOSFET. Le perdite associate al reverse recovery sono quindi:

$$P_{rr} = V_i \left(I_L + \frac{I_{rr}}{2} \right) t_{rr} f_{sw} \quad (1.6)$$

e si andranno a sommare alle $P_{sw_{on}}$.

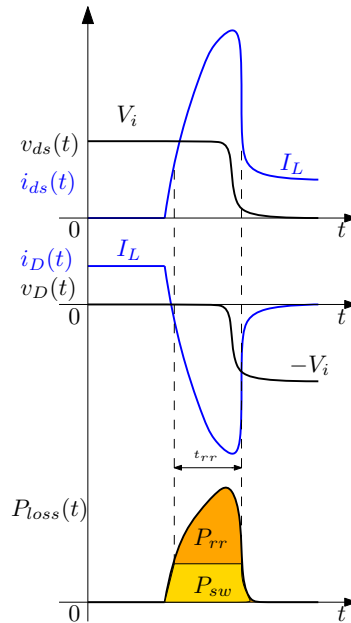


Figura 1.5: Commutazione turn-on con effetto del reverse recovery

1.2 Buck sincrono

Nel convertitore buck sincrono il diodo è sostituito da un secondo interruttore controllato con un segnale PWM complementare a quello del primo interruttore. I MOSFET sono degli ottimi interruttori, in quanto in zona ohmica si comportano come degli interruttori controllati.

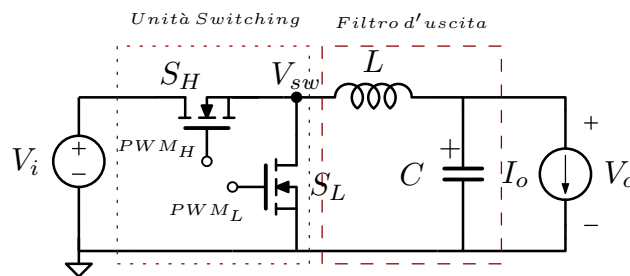


Figura 1.6: Buck Sincrono

La necessità di realizzare dei convertitori con dimensioni minime richiede interruttori che lavorino ad alte frequenze, così da poter ridurre la dimensione dei componenti del filtro di uscita. Infatti, i valori e le dimensioni dei componenti del filtro LC d'uscita del convertitore diminuiscono all'aumentare della frequenza di commutazione. A questa prima richiesta si aggiunge quella di avere degli interruttori bidirezionali in corrente: i MOSFET hanno un diodo tra source e drain che è legato alla loro particolare struttura; inoltre, quan-

do sono nello stato ON, conducono in entrambe le direzioni. Infatti dalle forme d'onda del buck sincrono in topologia Quasi Square Wave (capitolo 2 figura 2.2) si nota come la corrente nell'induttore diventi anche negativa, al contrario del buck convenzionale dove può essere solamente positiva.

1.2.1 Modulatore PWM e Dead Time

Nella configurazione del buck sincrono si presenta un notevole problema dovuto alla non idealità degli interruttori (MOSFET). Nel caso ideale, i segnali di comando dei due gate dovrebbero essere esattamente complementari. I MOSFET sono degli interruttori non ideali e quindi con tempo di commutazione non nullo, più precisamente il tempo di turn-off è maggiore del turn-on. Si rischia il verificarsi di un fenomeno detto "corto di gamba", dovuto al fatto che in fase di commutazione entrambi gli interruttori sono ancora accesi, determinando un corto circuito sulla sorgente di tensione di ingresso. La corrente elevata che ne risulta porterebbe alla distruzione degli interruttori. Per ovviare a questo problema, viene introdotto un ritardo tra lo spegnimento di un interruttore e l'accensione dell'altro. Si parla quindi di *dead time*, cioè tempo morto, per la conversione.

Valori tipici del tempo morto vanno dal 2% al 4% del periodo di commutazione T_{sw} . Se il tempo morto fosse più grande le perdite di conduzione associate al diodo body degraderebbero l'efficienza del convertitore (sezione 5.2). Tipicamente si utilizza la tecnica del *Fixed Dead Time*, ma sono stati studiati e riscontrati dei miglioramenti con l'implementazione del *Adaptive Dead Time* [17]. Questa tecnica si basa sul rilevamento in tempo reale dello stato di conduzione dell'interruttore che si sta spegnendo, per accendere con il minor ritardo possibile l'interruttore complementare. In questo modo è possibile ottenere un tempo morto ottimale (cioè non troppo piccolo né troppo grande) in ogni condizione di funzionamento del convertitore, ovvero al variare di: temperatura, correnti di gate, dispositivi differenti. Inoltre, l'utilizzo dell'adaptive dead time consente di ridurre l'intervallo di conduzione dei diodi tra source e drain (che avviene quando entrambi i MOSFET sono spenti), aumentando l'efficienza globale del convertitore.

La generazione dei segnali PWM per l'interruttore high-side e low-side risulta essere molto semplice se si utilizza un approccio digitale. Anche l'implementazione del dead time scalato rispetto alla frequenza di commutazione è facile da realizzare nella versione digitale. Nel capitolo 4 viene illustrata la generazione dei due segnali PWM utilizzando la programmazione VHDL e una scheda FPGA. Nel caso analogico, invece, il tempo morto viene realizzato combinando una rete RC con della logica sequenziale. La legge di carica del condensatore determinerà il ritardo di accensione della PWM per il MOSFET low-side.

1.2.2 Perdite di potenza: Soft switching (ZVS) e Reverse Recovery

L'implementazione della topologia Buck Sincrono cerca ridurre le perdite totali del convertitore e di aumentare la frequenza di commutazione. La struttura di questo convertitore permette di passare da commutazioni hard switching a commutazioni soft switching realizzate con la tecnica dello Zero Voltage Switching.

Soft Switching e Zero Voltage Switching

L'approccio più popolare per ridurre le perdite di commutazione nei convertitori PWM è il soft switching. Il soft switching modifica la dinamica della commutazione. Esistono diverse tecniche che lavorano in modo da ottenere correnti nulle (ZCS) oppure tensioni nulle (ZVS) sull'interruttore prima che esso commuti.

Le commutazioni sono in ZVS quando allo spegnimento e all'accensione del MOSFET di potenza, la tensione tra drain e source scende a 0V. Le commutazioni sono in ZCS quando allo spegnimento e all'accensione la corrente che attraversa il MOSFET è nulla. In questo modo non si verifica sovrapposizione tra tensione e corrente; le perdite di switching e le perdite nel diodo per reverse recovery sono così annullate.

È preferibile operare in ZCS sul turn-off al diodo e in ZVS sul turn-on al MOSFET. In modalità di funzionamento come il Quasi Square Wave (capitolo 2), le commutazioni ZVS avvengono a spesa di maggiori perdite di conduzione e quindi in fase di progetto bisogna considerare l'efficienza complessiva.

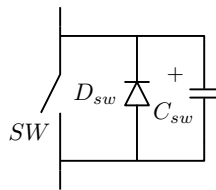


Figura 1.7: Modello switch con diodo antiparallelo e condensatore di uscita.

Per poter studiare passo passo il funzionamento della tecnica ZVS, si considera il modello dell'interruttore costituito da interruttore ideale, diodo e capacità riportato in figura 1.7. La presenza del diodo body è di fondamentale importanza: in fase di commutazione del MOSFET il diodo sarà polarizzato direttamente imponendo una tensione idealmente zero tra drain e source. Questo permette di ottenere commutazioni ZVS. È possibile ottenere commutazioni ZVS solo se tra le 2 PWM degli interruttori è implementato il tempo morto (sezione 1.2.1).

Considerando il funzionamento del buck sincrono in modalità continua, cioè

con I_L sempre positiva, si possono studiare tutte le commutazioni turn-on e turn-off, valutando se queste sono in hard switching o soft switching.

- Nell'intervallo di tempo $t_0 - t_1$ lo switch high side è ON e quindi la corrente nell'induttore è crescente. All'istante t_1 l'interruttore si apre e la tensione ai suoi capi torna ad essere pari a V_i , con la corrente che deve azzerarsi. Siamo di fronte quindi ad hard switching. Si verificano le perdite di switching, ma non ci sono perdite di reverse recovery che sono associate solo alle transizioni turn-on.
- Nell'intervallo di tempo $t_1 - t_2$, pari al tempo morto tra le due PWM, la corrente dell'induttore polarizza direttamente il diodo antiparallelo D_L . Prima che avvenga l'accensione del MOSFET low side la tensione ai suoi capi è pari a zero e quindi la commutazione turn-on avviene all'istante t_2 in Zero Voltage Switching e non ci sono perdite di switching, né perdite di reverse recovery.
- Nell'intervallo di tempo $t_2 - t_3$ lo switch low side è ON e la corrente nell'induttore è decrescente. All'istante t_3 avviene la commutazione turn-off per il MOSFET low side. Anche questa commutazione è ZVS, perché appena l'interruttore è OFF, la corrente I_L scorre dentro il diodo D_L che, essendo polarizzato direttamente, tiene la tensione v_{ds} a zero.
- Nell'ultimo intervallo di tempo $t_3 - t_4$, pari al tempo morto tra le due PWM, la corrente dell'induttore polarizza direttamente il diodo antiparallelo D_L . All'istante t_4 avviene la commutazione turn-on del MOSFET high side. Questa commutazione è in hard switching, perché la tensione ai capi del MOSFET è pari a V_i e la variazione di corrente è brusca. Ci sono quindi perdite di switching e reverse recovery per le cariche accumulate nella giunzione pn che vengono rilasciate.

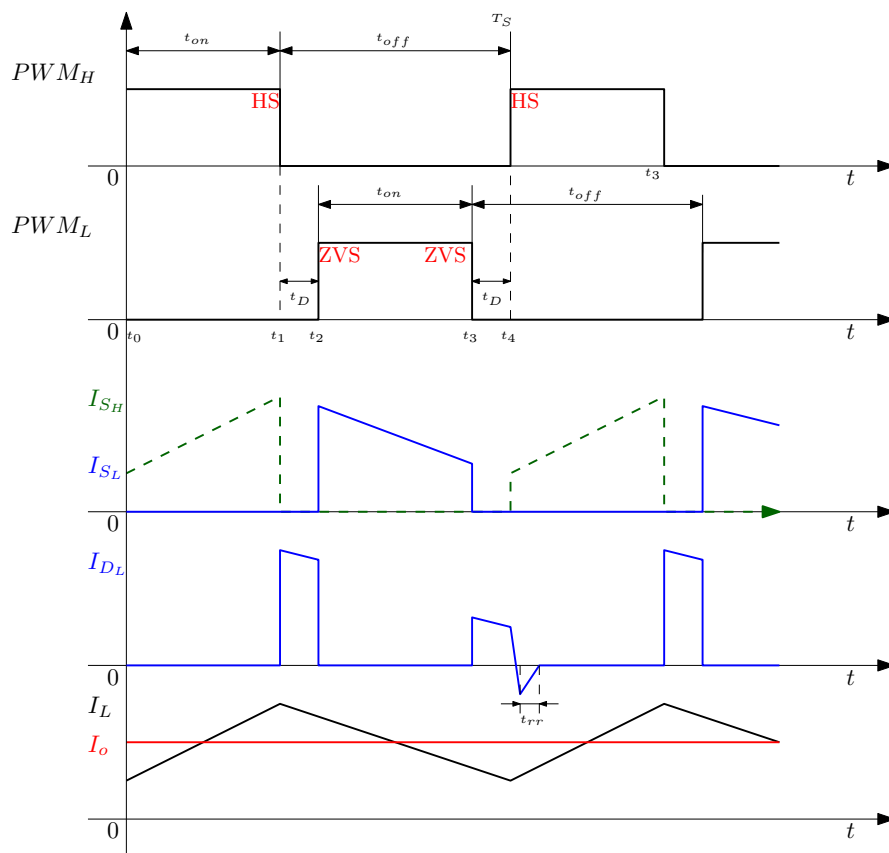


Figura 1.8: Analisi delle transizioni di commutazione del Buck Sincrono.

Quasi Square Wave

Quasi Square Wave è una modalità di funzionamento del Buck sincrono, usata per ottenere il soft switching semplicemente riducendo l'induttanza del convertitore oltre il valore limite del funzionamento in CCM. Questa topologia necessita però di switch bidirezionali, in quanto la corrente nell'induttore e nei MOSFET, in alcuni tratti, è anche negativa. La topologia Buck Sincrono si addice perfettamente a soddisfare questa richiesta. La corrente negativa porta il beneficio di caricare la capacità in uscita del MOSFET e di ridurre ulteriormente le perdite sulla commutazione turn-on. Il design Quasi Square Wave (QSW) dell'induttanza di filtro è stato introdotto dal Center for Power Electronics Systems (CPES) [16], per aumentare la rapidità di risposta dei convertitori interleaved buck alle variazioni della corrente di carico. La più semplice realizzazione resta però quella di ridurre il valore dell'induttanza, in modo tale che una parte della corrente nell'induttore assuma dei valori negativi.

2.1 Vantaggi e Svantaggi del QSW

Vantaggi:

- Entrambi gli switch sono soggetti ad uno stress di tensione inferiore rispetto alla controparte dei convertitori non QSW, in quanto le commutazioni ZVS non presentano sovratensioni rispetto alle commutazioni hard switching del buck asincrono. Si possono utilizzare dei dispositivi con una tensione di breakdown inferiore.
- Lo stress minore incide in modo positivo anche sulla resistenza R_{on} , in quanto si possono utilizzare dispositivi meno performanti, con una R_{on} inferiore a vantaggio delle perdite di conduzione (nel capitolo 5 verranno studiate tutte le tipologie di perdite nel MOSFET).

- Come per il buck sincrono, anche in questa topologia il flusso di potenza è bidirezionale e questo permette di utilizzare i convertitori da caricatori o per scaricare le batterie.
- In configurazione ZVS QSW il diodo body del MOSFET non soffre del problema del reverse recovery. Questo diminuisce le perdite e migliora l'efficienza.
- Utilizzando induttori di potenza con induttanza inferiore si diminuisce anche la resistenza serie e questo diminuisce in parte le perdite DC.

Svantaggi:

- La corrente nei MOSFET ha dei picchi molti alti rispetto ai convertitori PWM classici. Il valore RMS della corrente sugli interruttori è quindi più alto in QSW; questo può far aumentare le perdite di conduzione.
- Il ripple di corrente in ingresso e in uscita è molto alto.
- Il ripple di corrente sulla I_L molto alto penalizza le perdite AC e di core nell'induttore.

2.2 Induttanza Limite

Nei convertitori QSW il valore di induttanza di filtro è scelto in modo tale che, a pieno carico, il ripple picco picco della corrente negli induttori sia pari almeno al doppio del suo valore medio. Imponendo la condizione $\Delta I_{Lpp} = 2I_o$ nell'equazione (1.4) si ottiene il valore di induttanza

$$L_{QSW} = \frac{(V_i - V_o)D}{2I_L F_{sw}} = \frac{(V_i - V_o)D}{2I_{o_{max}} F_{sw}} \quad (2.1)$$

2.3 Buck Sincrono QSW: Soft Switching (ZVS)

Nel caso in cui la frequenza di switching fosse molto alta il solo condensatore in parallelo allo switch sarebbe sufficiente per far sì che le commutazioni siano ZVS. Generalmente, nel caso di QSW, viene aggiunto uno snubber capacitivo (figura 2.1) in parallelo allo switch low side per far sì che si realizzi il ZVS.

Con riferimento alle forme d'onda riportate in figura 2.2, si possono studiare tutte le commutazioni turn-on turn-off per verificare se sono in hard switching o soft switching.

- Nell'intervallo di tempo $t_0 - t_1$ lo switch high side è ON e quindi la corrente nell'induttore è crescente. All'istante t_1 l'interruttore si apre e la tensione ai suoi capi torna ad essere pari V_i con la corrente che deve

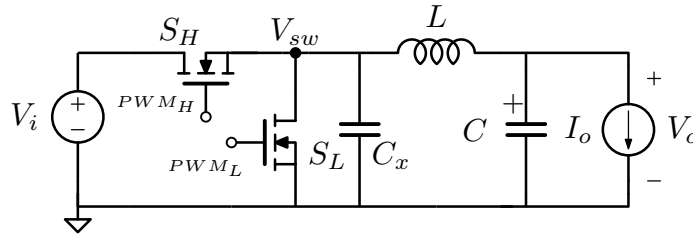


Figura 2.1: Buck sincrono con snubber capacitivo.

azzerarsi. Siamo di fronte ad una commutazione hard switching. Il condensatore in parallelo all'interruttore in questa commutazione deve passare da essere scarico a doversi caricare. Se le commutazioni sono abbastanza veloci, il tempo di carica del condensatore risulterà molto più lungo e quindi nel tempo di commutazione turn-off la tensione v_{ds} effettiva sarà a 0 Volt. Questo permette quindi di ottenere una transizione ZVS anche se la transizione è hard switching.

- Nell'intervallo di tempo $t_1 - t_2$, pari al tempo morto tra le due PWM, la corrente dell'induttore polarizza direttamente il diodo antiparallelo D_L . Prima che avvenga l'accensione del MOSFET low side, la tensione ai suoi capi è pari a zero e quindi la commutazione turn-on avviene all'istante t_2 in Zero Voltage Switching e non ci sono perdite di switching né perdite di reverse recovery.
- Nell'intervallo di tempo $t_2 - t_3$ lo switch low side è ON e la corrente nell'induttore è decrescente. All'istante t_3 avviene la commutazione turn-off per il MOSFET low side. In corrispondenza della commutazione la corrente nell'induttore è negativa. Quando l'interruttore va in off, la corrente polarizza direttamente il diodo D_H . La tensione ai capi del MOSFET low side è pari a V_i e si ha una commutazione hard switching. Grazie alla presenza del condensatore in turn-off con commutazioni abbastanza veloci, la tensione v_{ds} sarà pari a 0 Volt e questo determina una transizione ZVS, annullando le perdite di switching.
- Nell'ultimo intervallo di tempo $t_3 - t_4$ pari al tempo morto tra le due PWM la corrente dell'induttore polarizza direttamente il diodo antiparallelo D_H . All'istante t_4 avviene la commutazione turn-on del MOSFET high side. La tensione v_{ds} è quindi pari a 0 Volt e la commutazione è ZVS.

Nel caso del QSW tutte le commutazioni avvengono in ZVS. Le perdite di switching sono annullate e l'efficienza totale del convertitore dovrebbe risultare più alta rispetto al convertitore standard PWM, a patto che le perdite di commutazione non siano più influenti sul totale.

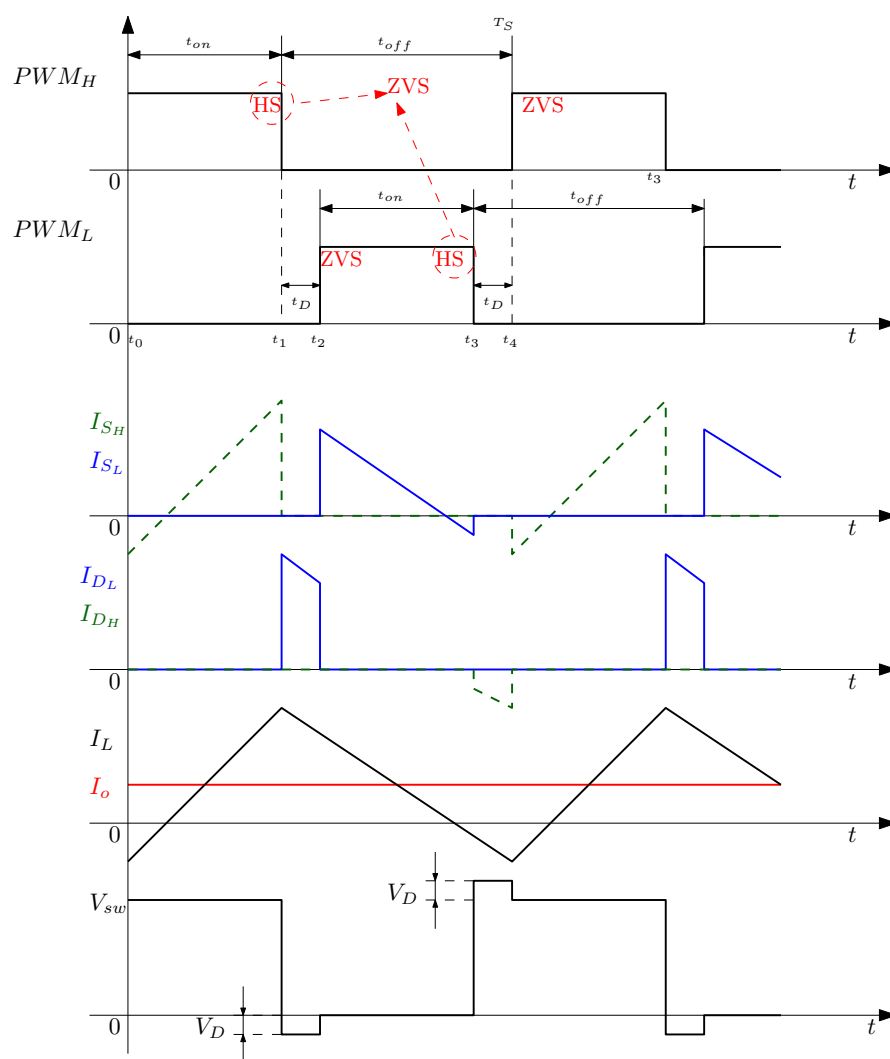


Figura 2.2: Analisi delle transizioni di commutazione del Buck Sincrono QSW.

Interleaving e Phase Shedding

Come già accennato nel capitolo 2, il Buck Sincrono in modalità Quasi Square Wave presenta due svantaggi molto significativi:

- Per sopprimere il ripple in condizione di steady state il convertitore necessita di una capacità di filtro certamente maggiore rispetto al convertitore che funziona in Continuous Conduction Mode.
- A causa dell'ampio ripple di corrente ci sono perdite di conduzione significative negli switch e questo comporta, di norma, una riduzione dell'efficienza.

Per poter mitigare questi effetti negativi del funzionamento QSW si utilizza una configurazione a più fasi, che riduce il ripple di uscita, e la tecnica del Phase Shedding per il miglioramento dell'efficienza in condizioni di light load [18].

3.1 Interleaving

La strategia Interleaved si riferisce all'interconnessione di più celle di commutazione per le quali la frequenza di conversione è identica, ma con gli istanti di commutazione sfasati temporalmente tra le varie celle. In questo modo si ottiene una notevole riduzione del ripple e si ha un aumento dell'effettiva frequenza di commutazione percepita dal filtro di uscita, senza aumentare le perdite di switching e lo stress dei dispositivi. Inoltre, i condensatori di ingresso e di uscita sono condivisi dalle diverse fasi e questo permette di ottenere un risparmio per la realizzazione del filtro di ingresso e di uscita. Ne consegue quindi un aumento della densità di potenza di conversione, senza sacrificare l'efficienza.

A parità di potenza da convertire, utilizzando l'interleaving il convertitore totale è suddiviso in fasi di conversione dimensionate per una potenza uguale

a quella totale divisa per il numero di fasi. In questo modo ogni componente è dimensionalmente ridotto rispetto al convertitore a fase unica. Con un alto numero di fasi lo stress di corrente è ridotto e questo favorisce l'utilizzo di una tecnologia differente per la realizzazione dei convertitori. Si può, ad esempio, passare ad un packaging degli interruttori e dei componenti passivi di tipo SMT, inclusi gli stessi componenti magnetici. I filtri di ingresso e di uscita hanno dimensioni ridotte, in quanto devono filtrare un ripple inferiore. Anche dal punto di vista dei costi di produzione si ottiene un notevole risparmio in quanto i componenti possono essere assemblati in modo automatico [6].

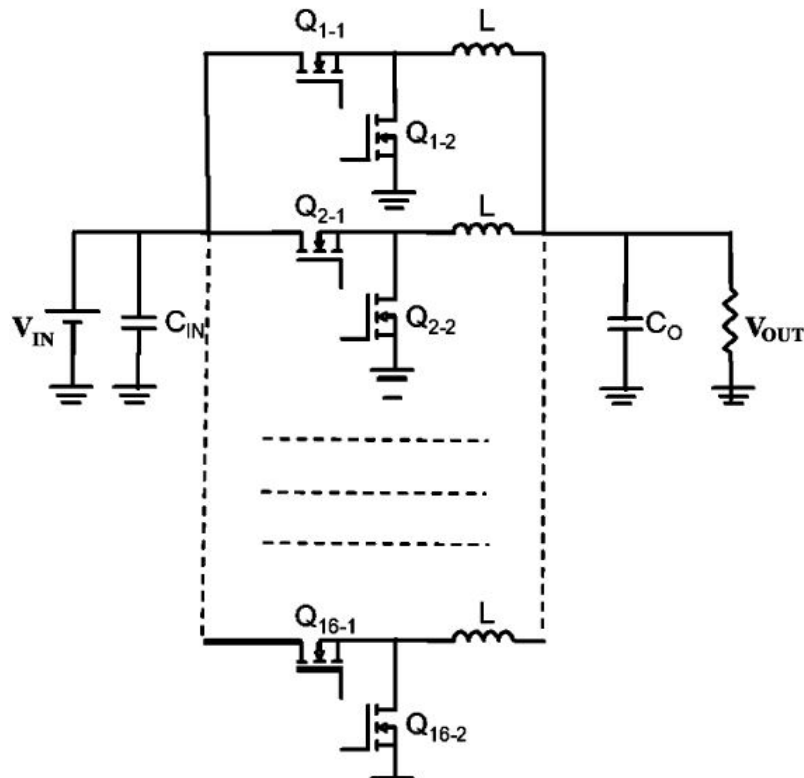


Figura 3.1: Convertitore buck sincrono multifase [6].

Per un buck sincrono la performance della configurazione interleaving è equivalente al singolo Buck con eguale energia immagazzinata e uguale area per i semiconduttori. Se le fasi sono interconnesse tra loro, ma con istanti di commutazioni sfasati di metà periodo, le forme d'onda sono quelle riportate in figura 3.2. Si può osservare che il ripple è diminuito, ma la frequenza di oscillazione è aumentata riducendo i requisiti per il filtro di uscita.

Un metodo di analisi alternativo prevede lo studio in frequenza delle ar-

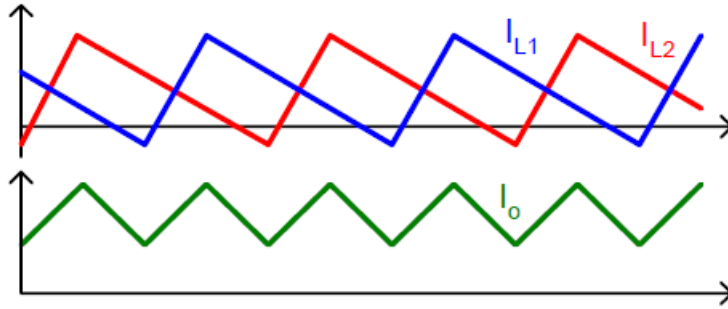


Figura 3.2: Correnti I_L in buck a 2 fasi e cancellazione parziale del ripple della corrente di uscita [1].

moniche prodotte sulla corrente I_L e la loro cancellazione dipendente dallo sfasamento tra le fasi. Un interessante risultato teorico sulla cancellazione del ripple analizzato in questo modo è che non necessariamente lo sfasamento tra le fasi deve essere $\frac{2\pi}{N}$.

Per quantificare l'effettivo ripple prodotto da un convertitore a più fasi ci si riferisce a dei fattori chiave [11] :

- $\mathcal{F}_{\mathcal{L}}$ normalized interleaving function. La grandezza di questa funzione varia in base al tipo di forma d'onda, al duty cycle, al numero di fasi e allo sfasamento tra le fasi. Questa funzione viene calcolata numericamente nel dominio delle frequenze.
- $\mathcal{F}_{\mathcal{AM}}$ amplitude modulation function. Tiene conto della normalizzazione della funzione interleaving rispetto all'ampiezza del ripple della singola fase, perchè quest'ultima cambia in base al punto operativo definito dal duty cycle.
- $\mathcal{F}_{\mathcal{CE}}$ circuit element factor. Questo fattore tiene conto degli effetti del valore degli elementi del circuito, della frequenza di conversione e delle variazioni del carico.

Si ottiene quindi che $\Delta I_k(D) = \mathcal{F}_{\mathcal{L}} \cdot \mathcal{F}_{\mathcal{AM}} \cdot \mathcal{F}_{\mathcal{CE}}$

Gli autori dello studio [18] hanno analizzato le differenze tra un buck sincrono in singola fase e un buck sincrono a più fasi. Le potenze in gioco e le correnti in gioco sono nettamente inferiori a quelle che si utilizzeranno in questo lavoro di tesi, in quanto l'applicazione analizzata non è per automotive, ma per microprocessori. Il risultato ottenuto è riportato in figura 3.3. Si nota come l'aumento del numero di fasi porta ad un aumento dell'efficienza.

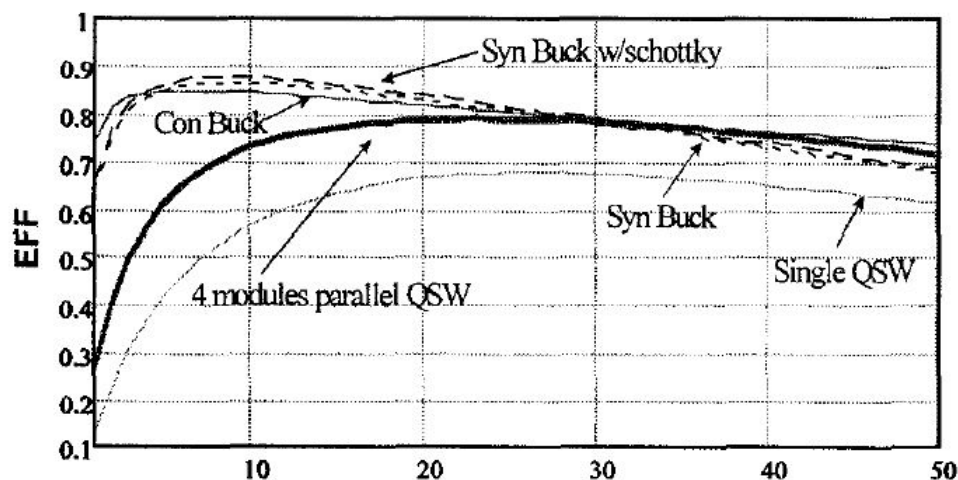


Figura 3.3: Confronto tra efficienze in QSW a singola e più fasi [18].

3.2 Phase Shedding

I convertitori Buck multifase sono ampiamente utilizzati perchè garantiscono una riduzione del ripple di corrente e una migliore risposta ai transitori. Una delle richieste più importanti per i convertitori è quella che l'efficienza non cali in condizione di light load e che si abbia un'alta efficienza, come avviene in condizione di heavy load. Nei convertitori interleaved, la corrente di carico è condivisa tra le diverse fasi; così, a basso carico, si può pensare che non sia necessario accendere tutte le fasi.

La selezione del numero di fasi da attivare in base al carico richiesto è nota come la tecnica di *Phase Shedding*. Uno dei vantaggi di questa tecnica è che per light load le perdite di potenza negli switch sono ridotte; lo svantaggio è che non può essere utilizzata per alte potenze, in quanto per heavy load tutte le fasi partecipano alla conversione e le perdite contribuiscono a diminuirne l'efficienza. Al contrario però, per heavy load si ottiene la riduzione del ripple grazie alle cancellazioni della corrente negli induttori, ma l'efficienza resta uguale a quella del convertitore multifase. La tecnica del Phase Shedding descrive come e quando accendere le singole fasi a seconda del requisito di carico. Si riscontrano benefici in merito al comportamento termico del convertitore e all'affidabilità per un range più esteso di variazione di carico. Non utilizzando contemporaneamente tutte le fasi per light load si compromette il vantaggio stesso della configurazione multifase, che lavora sulla riduzione del ripple di corrente e quindi sulla riduzione del condensatore di filtro in uscita. Anche il dimensionamento dell'induttore per un convertitore multifase deve considerare che, utilizzando la tecnica del Phase Shedding, il ripple di cor-

rente dell'induttore nelle fasi può aumentare quando ne vengono disconnesse in parte.

La configurazione interleaving presenta notevoli vantaggi rispetto alle altre configurazioni, come studiato in precedenza. Si ottiene infatti la riduzione del ripple di ingresso e uscita, la riduzione della grandezza del filtro di uscita e l'ottimizzazione dell'induttore. Si presenta quindi la necessità di individuare un compromesso tra il miglioramento dell'efficienza, che si ottiene disconnettendo delle fasi, e il valore della capacità del filtro di uscita che deve essere in grado di filtrare il ripple della corrente anche nel caso peggiore, cioè quando sta funzionando il numero minimo di fasi.

In un convertitore multifase, dove tutte le fasi lavorano allo stesso tempo, la curva di efficienza sarà la stessa della curva di efficienza di una sola fase per la stessa corrente normalizzata [12], come si può anche verificare dalla figura 3.4.

$$\eta \left(\frac{I_o}{M} \right) \Big|_{phases} = \eta(I_o) \Big|_{M_{phases}} \quad (3.1)$$

Una semplice regola per capire se la tecnica del Phase Shedding è applicabile è: se la curva di efficienza ha pendenza positiva in un range di potenza di uscita è interessante cambiare il numero di fasi in funzione del carico; se invece ha pendenza negativa non è interessante cambiarlo. Matematicamente, disconnettere A fasi delle M, migliora l'efficienza come espresso da:

$$\eta(I_o) \Big|_{M_{phases}} < \eta \left(\frac{M}{M-A} I \right) \Big|_{M_{phases}} \quad (3.2)$$

Il numero delle fasi può essere progettato considerando diversi parametri quali grandezza del convertitore, costo ed efficienza. Generalmente però, l'ottimizzazione avviene con riferimento all'efficienza e quindi alla riduzione delle perdite. Connettere e disconnettere le fasi ha però un effetto negativo sul ripple della tensione di uscita. Bisogna quindi dimensionare nel modo opportuno anche il condensatore di uscita.

$$\Delta I_{L_{phase}} = \frac{(V_i - V_o)}{L f_{sw}} D = \frac{V_i}{L f_{sw}} D(1 - D) \quad (3.3)$$

Il massimo della funzione si ha per $D = 0.5$

$$\Delta I_{L_{phase_{max}}} = \frac{V_i}{L f_{sw}} 0.25 \quad (3.4)$$

Sostituendo l'equazione (3.4) in (3.3) si ottiene il ripple di corrente in funzione del massimo ripple di corrente possibile per una fase

$$\Delta I_{L_{phase}} = \frac{D(1-D)}{0.25} \Delta I_{L_{phase_{max}}} \quad (3.5)$$

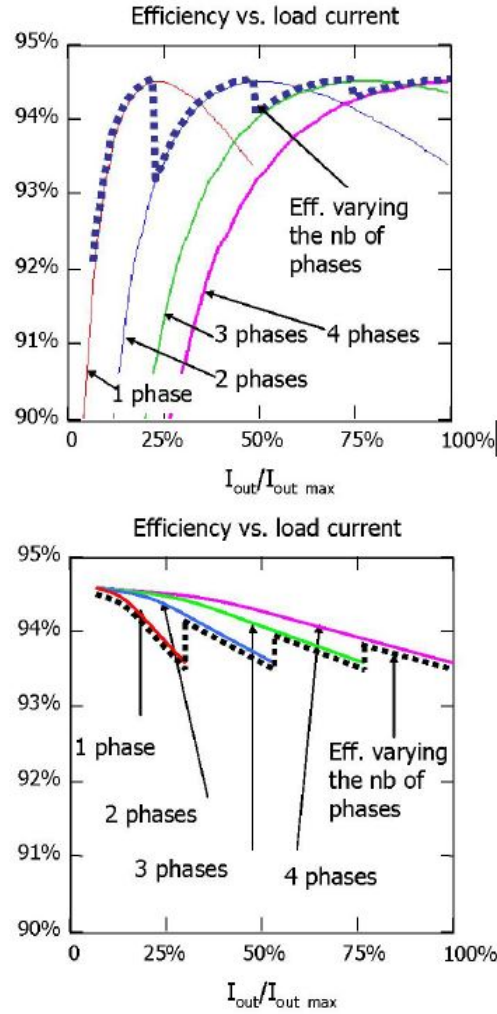


Figura 3.4: Efficienza di un convertitore buck multifase con variazione del numero di fasi (CCM) [12].

Supponendo di essere al worst case, cioè con duty cycle minimo (andamento della corrente I_L a dente di sega), si verifica

$$I_{L_{phase\ max}} = M \cdot \Delta I_{otot} \quad (3.6)$$

Sostituendo la (3.6) nella (3.5)

$$\begin{aligned} \Delta I_{L_{phase}} &= \frac{D(1-D)}{0.25} M \cdot \Delta I_{otot} \Rightarrow \Delta I_{otot} = \frac{0.25}{D(1-D)M} \Delta I_{L_{phase}} \Rightarrow \\ &\Rightarrow \Delta I_{otot} = F_C \cdot \Delta I_{L_{phase}} \end{aligned} \quad (3.7)$$

dove M è il numero di fasi e F_c viene definito come fattore di cancellazione. Quindi la (3.7) esprime la relazione tra il ripple totale in un convertitore multifase e il ripple di ogni fase. Considerando la resistenza serie del condensatore trascurabile, si calcola adesso il ripple di tensione

$$\Delta V_o = \frac{\Delta I_{Otot}}{8F_{sw}C_{out}} \Rightarrow \Delta V_o = \frac{\Delta I_{Lphase}}{8F_{sw}C_{out}} \frac{0.25}{D(1-D)M^2} \quad (3.8)$$

Si osserva che quando una fase viene disconnessa il ripple di tensione per la V_o aumenta. Se le fasi che restano attive continuano a lavorare con lo stesso phase shifting ($\frac{2\pi}{M}$) è ovvio che il ripple diventerà più grande del precedente. Un'ottima strategia è quella di riaggiustare il phase shifting ogni volta che una fase viene disconnessa. Come dimostrato in [12], quando A fasi vengono disconnesse il ripple della tensione di uscita aumenta se la capacità di uscita resta la stessa.

$$\Delta V_{M-A_{phases}} = \Delta V_{M_{phases}} \frac{M^2}{(M-A)^2} \quad (3.9)$$

Per ovviare a questo problema vengono utilizzate due diverse strategie:

- Utilizzare una capacità di uscita superiore a quella necessaria per il funzionamento con M fasi contemporanee. Questo penalizza il costo del convertitore, ma rappresenta un buon trade-off per aumentare l'efficienza per light load. Viene dimostrato [12] che

$$C_{out} = \frac{M^2}{N_{min}^2} \cdot C_{out_{min}}, \quad (3.10)$$

dove N_{min} è il numero minimo di fasi che si prevede di utilizzare in contemporanea e $C_{out_{min}}$ è il valore della capacità di uscita nel caso in cui tutte le M fasi lavorino contemporaneamente.

- Aumentare la frequenza di switching quando il numero di fasi diminuisce. Viene dimostrato che scollegando A fasi la frequenza di switching viene incrementata secondo

$$F_{sw_{M-A}} = F_{sw_M} \cdot \frac{M}{M-A} \quad (3.11)$$

ma, come si può intuire, l'aumento della frequenza di switching porta con sé anche l'aumento delle perdite di potenza e questo può cancellare il beneficio stesso della tecnica di Phase Shedding.

Prototipo Utilizzato

Il prototipo utilizzato in laboratorio per le misure è costituito da un Buck Sincrono a due fasi. Il segnale PWM viene generato tramite una scheda FPGA e tramite un circuito di preprocesso viene inviato allo stadio driver.

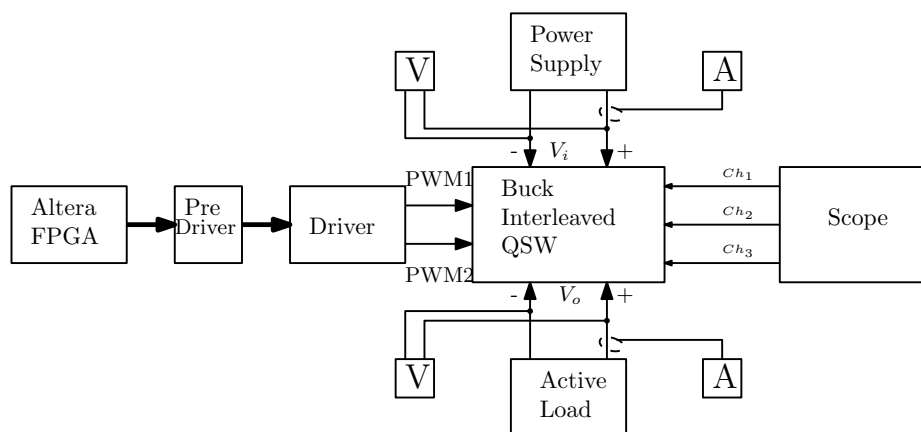


Figura 4.1: Schema a blocchi del circuito e del setup di lavoro

4.1 Schematici del circuito

4.1.1 Generazione PWM

Per la generazione del segnale PWM è stata utilizzata una scheda Altera Cyclone II FPGA Starter Board. Nell'immagine 4.2 è schematizzato il codice VHDL che si occupa di generare i due segnali PWM per le due fasi del buck. Viene utilizzato il clock esterno alla FPGA, ma presente sempre sulla scheda ALTERA che opera a 50MHz. Il blocco MyPLL è implementato per permettere di generare il clock portante per tutti i blocchi successivi. Il bloc-

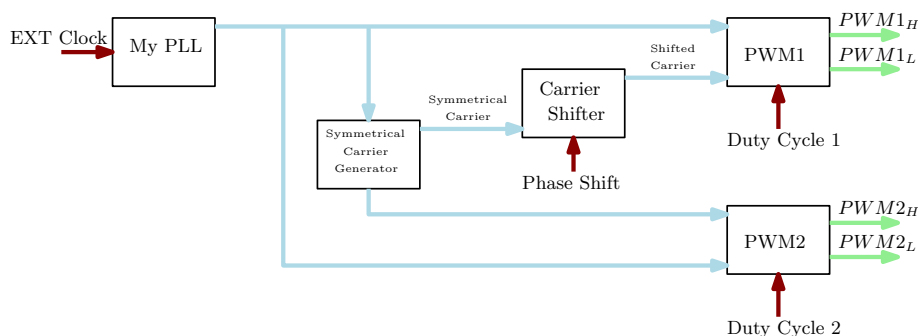


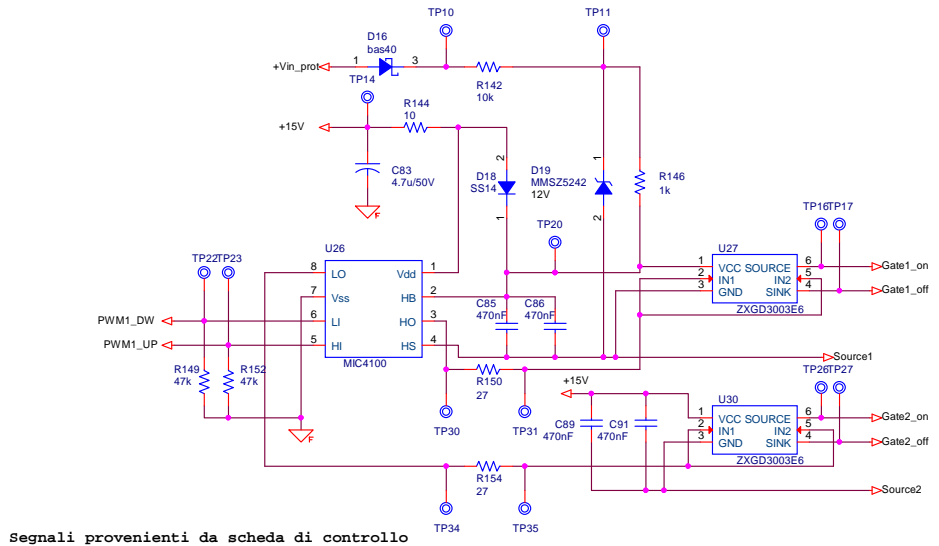
Figura 4.2: Schema Register Transfer Level (RTL) del codice VHDL implementato nella FPGA.

co Symmetrical Carrier si occupa di generare la portante per la PWM alla frequenza desiderata. La portante generata viene inviata al blocco PWM2, così da generare il segnale PWM high side e low side per la fase 2. Per la fase 1 invece la portante viene processata da un blocco CarrierShifter che applica lo sfasamento richiesto.

4.1.2 Driver

Una parte fondamentale per il funzionamento del convertitore è quella di pilotaggio. I driver generano i segnali di commutazione per i gate dei MOSFET e devono erogare la corrente necessaria a caricare la capacità di ingresso al gate. Per convertitori con frequenza di commutazione molto alta, questi devono essere scelti opportunamente per ridurre i tempi di salita e discesa al minimo, cioè il limite fisico del tempo di commutazione deve essere imposto dal MOSFET e non dal circuito di pilotaggio. Nel prototipo utilizzato, il blocco driver prevede due stadi: al primo stadio viene utilizzato il driver MIC4100, al secondo stadio, invece, viene utilizzato un driver ZXGD3003E6. È stata utilizzata questa configurazione in quanto il primo driver non è in grado di erogare una quantità sufficiente di corrente, quindi per garantire la corrente necessaria a caricare le capacità di ingresso dei MOSFET più velocemente possibile è stato aggiunto il secondo stadio, con un dispositivo che arriva ad erogare 5 A di picco.

A monte di questi due stadi di pilotaggio è stato aggiunto un ulteriore stadio di driver, questa volta con finalità di amplificazione. I segnali PWM in uscita dalla scheda Altera variano tra 0 Volt e 3.3 Volt e il livello alto di tensione non sarebbe stato sufficiente ad abilitare le commutazioni per il driver MIC4100. Il driver aggiunto è un driver di potenza utilizzato da amplificatore per portare la PWM a 15 Volt come livello logico alto. È stato utilizzato il driver TC4427A.



Segnali provenienti da scheda di controllo

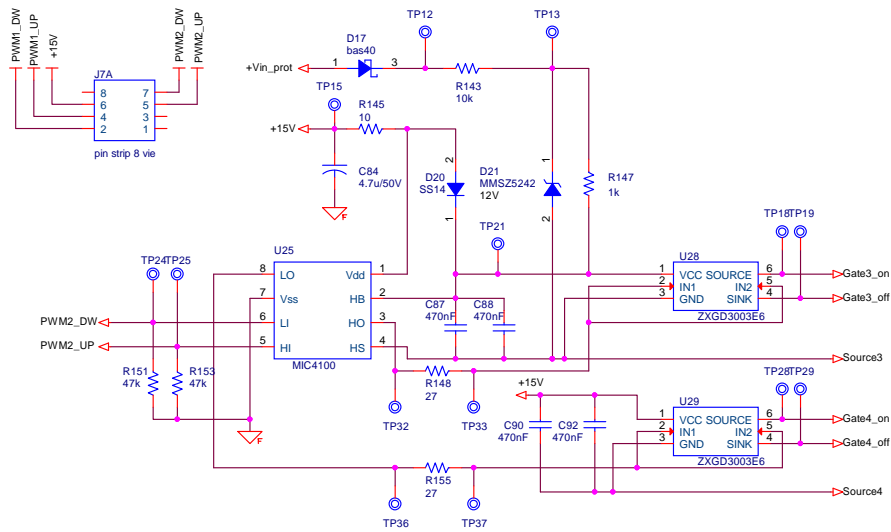


Figura 4.3: Schema elettrico del circuito di driver.

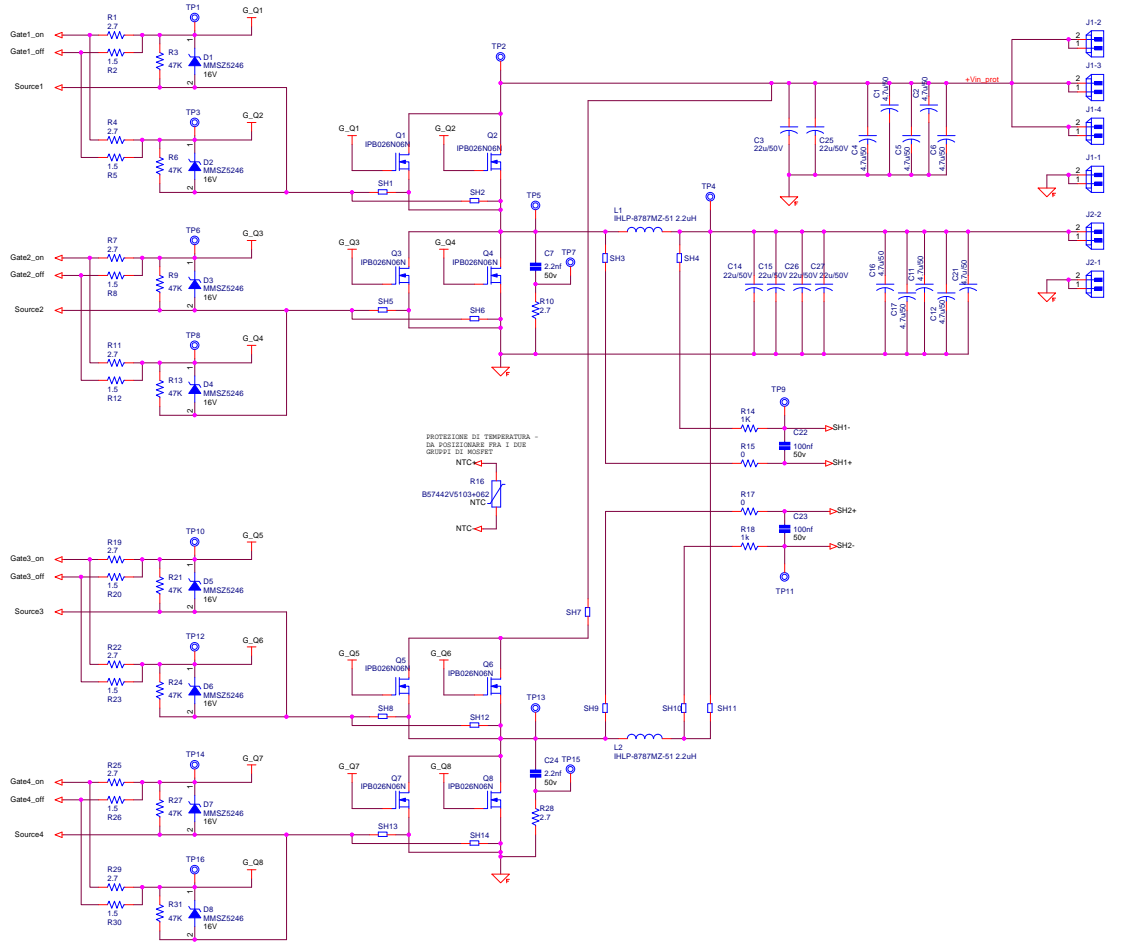


Figura 4.4: Schema elettrico del Buck sincrono a 2 fasi.

4.1.3 Buck a 2 fasi

Il circuito del convertitore è costituito da 2 convertitori Buck Sincroni Interleaved. I MOSFET utilizzati sono IPB026N06N. Per ogni interruttore ne sono stati utilizzati due in parallelo, così da ridurre la resistenza R_{on} ed aumentare la corrente supportata. I parametri principali dei MOSFET utilizzati nel circuito sono:

- $V_{DS} = 60V$
- $I_D = 100A$
- $R_{DSon} = 2.6m\Omega$
- $V_{GS} = \pm 20V$

- Rise time $t_r = 15ns$
- Fall time $t_f = 8ns$
- Reverse recovery time $t_{rr} = 88ns$
- Reverse recovery charge $Q_{rr} = 73nC$
- Diode forward Voltage $V_{SD} = 1V$

Gli induttori presenti nel prototipo sono IHLP8787MZ51 da $2.2\mu H$. Con questi induttori il circuito lavora sempre in modalità continua (CCM) a basso ripple.

4.2 Scelta Induttore per QSW

Con riferimento alla sezione 2.2, si illustra la procedura di dimensionamento dell'induttanza per il convertitore 48–12, che deve essere in grado di erogare $330W$ per fase.

$$P_{out} = V_{out}I_{out} \rightarrow I_{out} = \frac{330}{12} = 27.5A \rightarrow \Delta I_{Lpp} = 55A \quad (4.1)$$

Si ottiene quindi il valore dell'induttanza richiesta

$$L_{QSW} = \frac{(V_i - V_o)D}{2I_L F_{sw}} \rightarrow L_{QSW} = \frac{(48 - 12)0.25}{55 \cdot 390000} = 419nH \quad (4.2)$$

Riferendosi alla piedinatura dei componenti già presenti sul prototipo, è stato individuato l'induttore *Low Profile High Current IHLP® Inductors IHLP – 6767DZ – 01* della Vishay Dale con le seguenti caratteristiche:

- Inductance $L = 330nH$
- DC Resistance $1.28m\Omega$
- Saturation Current DC $82A$
- Heat Rating Current DC $56A$
- Frequency range $2MHz$
- Operation Temperature range $-55^\circ C$ to $125^\circ C$

Studio completo delle perdite nel Buck

Lo studio della potenza persa nel convertitore permette di ottenere una stima dell'efficienza, che in seguito sarà confrontata con la misura fatta direttamente sul prototipo. In questo capitolo vengono individuati tutti i componenti principali del convertitore che generano potenza persa, con l'obiettivo di capire dove sono concentrate le perdite di potenza più influenti e, eventualmente, come poter intervenire per ridurle in fase di riprogettazione futura. Riferendosi alla descrizione delle commutazioni in Hard switching e Zero Voltage Switching dei capitoli 1 e 2, è stato realizzato uno script Matlab in grado di calcolare le perdite nelle varie configurazioni possibili:

- Buck 1 Fase QSW con commutazioni Zero Voltage Switching
- Buck 1 Fase QSW con commutazioni Hard Switching per il turn-off
- Buck 2 Fase QSW con commutazioni Zero Voltage Switching
- Buck 2 Fase QSW con commutazioni Hard Switching per il turn-off

L'obiettivo è quello di ottenere una stima superiore e una stima inferiore per le configurazioni a singola fase e doppia fase e verificare, con le misure sul prototipo, se l'efficienza reale sia racchiusa tra queste.

Inoltre di seguito è riportato l'output dello script Matlab con la descrizione delle correnti in gioco nelle due configurazioni utili per le varie stime delle componenti di perdita di potenza:

Dati Circuito BUCK SINCRONO

$V_{in}=48.00V$ $V_{out}=12.00V$

$F_{sw}=390.62kHz$ $T_{dead}=130.00ns$

Dati MOSFET

$R_{ds_on}=2.30m\Omega$ $t_{rise}=15.00ns$ $t_{fall}=8.00ns$

$Q_{rr}=73.00nC$ $Q_g=56.00nC$ $Q_{oss}=65.00nC$

$V_{diode_SD}=1.00V$

—————Caso SINGLE PHASE QSW ———

Dati INDUTTORE

$L=0.330$ uH $R_{dcr}=1.280$ mOhm

ANCHE SE IN QSW, AD HEAVY LOAD e IN CCM

Correnti nel circuito in modalita QSW

$I_{out_max_QSW}=34.91A$ $\Delta IL_pp=69.82A$
 $IL_max=69.82A$ $IL_min=0.00A$ $I_{in_max_QSW}=8.73A$

Il passaggio da QSW a CCM avviene per

$I_{out}=34.910$ A $P_{max_QSW}=418.914$

Correnti nel circuito (LIMITE STRUMENTAZIONE)

$I_{out_max_CCM}=50.00A$ $\Delta IL_pp=69.82$ A
 $IL_max=84.91A$ $IL_min=15.09A$ $I_{in_max_CCM}=12.50A$

Potenza massima MISURABILE (modalita CCM)

$P_{max_CCM}=600.000$

—————Caso 2 PHASEs QSW ———

Dati INDUTTORE

$L=0.330$ uH $R_{dcr}=1.160$ mOhm

Correnti nel circuito in modalita QSW

$I_{out_max_QSW}=69.82A$ $I_{fase_max_QSW}=34.91A$
 $\Delta IL_pp=69.82A$
 $IL_max=69.82A$ $IL_min=0.00A$ $I_{in_max_QSW}=17.45A$

Il passaggio da QSW a CCM avviene per

$I_{out}=69.82A$ $P_{max_QSW}=837.83$

Correnti nel circuito (LIMITE STRUMENTAZIONE)

$I_{out_max_QSW}=50.00A$ $I_{fase_max_QSW}=25.00A$
 $\Delta IL_pp=69.82A$
 $IL_max=59.91A$ $IL_min=-9.91A$ $I_{in_max_CCM}=12.50A$

Potenza massima MISURABILE (modalita QSW)

$P_{max_QSW}=600.00$

5.1 Perdite nell'Induttore

La potenza dissipata nell'induttore deriva da due fonti distinte: le perdite associate al nucleo magnetico e quelle associate all'avvolgimento. Anche se

la determinazione precisa di tali perdite può richiedere misure complesse, esiste una più facile alternativa: possono essere stimate utilizzando dati forniti dai costruttori sul core, sugli avvolgimenti e dipendenti dai parametri di alimentazione. Gli induttori di potenza operano nei convertitori di tensione come dispositivi di accumulo di energia. Immagazzinano energia nel campo magnetico durante la fase di on del ciclo di switching e la rilasciano durante la fase di off. Per capire le perdite di potenza negli induttori bisogna comprendere i parametri di base associati ad esse: campo magnetico $H(t)$, forza magnetomotrice $F(t)$, flusso magnetico $\phi(t)$, densità di campo magnetico $B(t)$, permeabilità μ e riluttanza \mathfrak{R} . L'induttore di potenza in un convertitore opera come segue:

- Nella fase di turn-on, ai suoi capi, è applicata la tensione $V_i - V_o$ e questo crea un aumento della corrente; la variazione di corrente (secondo la legge di Ampere) causa una variazione di flusso nel core, che genera una variazione della densità di campo magnetico.
- Nella fase di turn-off è applicata la tensione $-V_o$ ai capi dell'induttore e questo causa una diminuzione del campo magnetico che (secondo la legge di Faraday) genera una tensione negativa ai capi dell'induttore.

In grafico di $B(t)$ in funzione di $H(t)$ (figura 5.1) ottenuto con un input sinusoidale è un loop non lineare che viene chiamato Isteresi. L'isteresi è una proprietà del materiale, che causa perdite di potenza nel core dell'induttore [13].

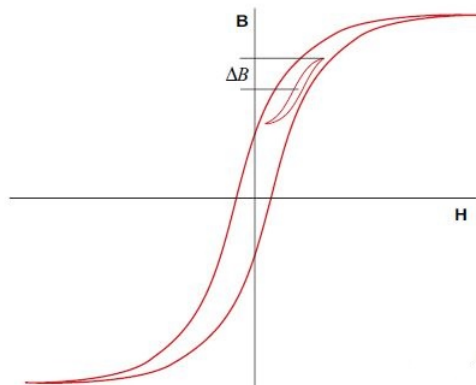


Figura 5.1: Ciclo di isteresi

Le perdite nell'induttore possono essere quindi riassunte in:

- *Perdite nel Core:* Per il cambio di magnetizzazione nel materiale del core è richiesta energia, ma non tutta questa energia è recuperabile in forma elettrica; una frazione di essa è persa per effetto termico.

Considerando un induttore eccitato da un segnale periodico $v(t)$ e $i(t)$ alla frequenza f , l'energia che fluisce dentro l'induttore ad ogni ciclo è pari a:

$$W = \int_{1\text{ciclo}} v(t)i(t)dt \quad (5.1)$$

Utilizzando la legge di Ampere $i(t) = H(t)\frac{l}{n}$ e la legge di Faraday $v(t) = nA\frac{dB(t)}{dt}$ si ricava che

$$W = A \cdot l \int_{1\text{ciclo}} HdB \quad (5.2)$$

L'energia totale immagazzinata nel core in fase di turn-on è la regione evidenziata in figura 5.2 sul ciclo di isteresi, moltiplicata per il volume del nucleo stesso. In fase di turn-off il campo magnetico decresce con un percorso differente. La maggior parte dell'energia ritorna al carico, ma la differenza diventa energia persa. La potenza persa è quindi l'area tracciata dalla curva di isteresi moltiplicata per il volume del core e per la frequenza di commutazione. Le perdite per isteresi variano in funzione di ΔB^β , dove β è un parametro che dipende dal materiale del core.

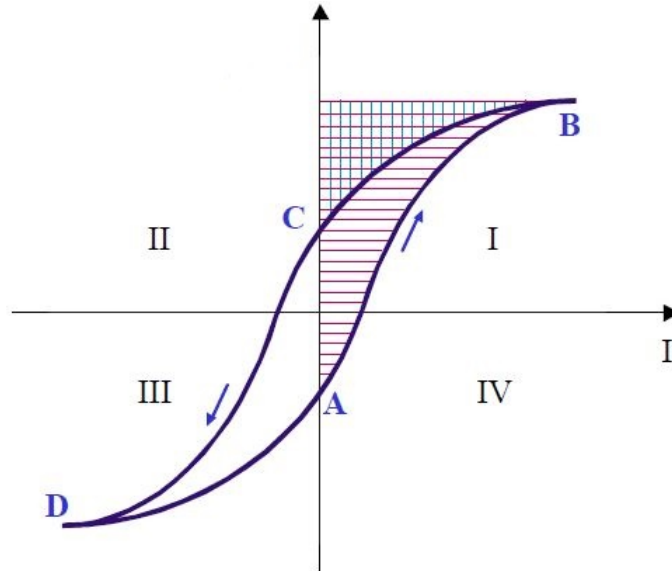


Figura 5.2: Ciclo di isteresi con perdite.

Il secondo tipo di perdite nel core si verifica a causa delle correnti parassite indotte nel core dalla variazione di flusso magnetico. Queste perdite sono dipendenti dalla corrente indotta e anche dalla resistenza elettrica del materiale del core, oltre che dalla frequenza.

Le perdite nel core sono genericamente studiate con una sollecitazione

sinusoidale. In applicazioni come i convertitori switched, la tensione ha un andamento ad onda quadra e la corrente ha un andamento ad onda triangolare. Rimanendo nell'intorno del duty cycle al 50%, l'approssimazione sinusoidale resta ancora valida. Una stima del totale delle perdite nel core si ottiene tramite le equazioni di Steinmetz, che utilizzano parametri estrapolati dalle misure di power loss fatte sul componente.

$$P_{L_{core}} = K(\Delta B)^\beta \cdot f^\alpha \quad (5.3)$$

dove K , α e β dipendono dal materiale magnetico del nucleo, f è la frequenza di commutazione e ΔB la variazione di flusso.

- *Perdite DC*: Le perdite negli avvolgimenti in DC sono dovute alla resistenza DC offerta dal filo dell'avvolgimento attraversato dalla corrente I_{RMS} . La resistenza dell'avvolgimento è definita come la resistenza di un cavo $\frac{\rho \text{Lunghezza}}{\text{Area}}$ e quindi sezioni di cavo inferiore ne aumentano le perdite DC. La resistenza R_{DC} è solitamente fornita dal costruttore. Per il calcolo delle perdite di conduzione nell'induttore si calcola la corrente $I_{L_{RMS}}$ che lo attraversa, utilizzando la formula

$$I_{L_{RMS}} = \sqrt{I_o^2 + \frac{\Delta I_{L_{pp}}^2}{12}} \quad (5.4)$$

Conoscendo la $R_{DC} = 1.28m\Omega$ dal datasheet del componente in esame, le perdite DC sono state calcolate come

$$P_{L_{DC}} = I_{L_{RMS}}^2 \cdot R_{DC} \quad (5.5)$$

- *Perdite AC*: Con l'aumento della frequenza la resistenza di avvolgimento aumenta a causa di un fenomeno chiamato "effetto pelle". La variazione di corrente nel conduttore induce una variazione di flusso perpendicolare ad esso. Secondo la legge di Lenz, il cambiamento di flusso induce delle correnti parassite che inducono esse stesse una variazione di flusso opposta al precedente. Il flusso indotto è più forte al centro del conduttore e questo spinge la corrente verso la superficie esterna dello stesso. La resistenza effettiva aumenta, in quanto diminuisce la sezione. La resistenza R_{AC} è solitamente fornita dal costruttore ed è dipendente dalla frequenza.

$$P_{L_{AC}} = I_{L_{RMS}}^2 \cdot R_{AC} \quad (5.6)$$

Dal datasheet dell'induttore non è possibile ricavare tutti i parametri necessari per la stima delle perdite AC e di core. Sul sito web del produttore dell'induttanza in uso (Vishai) è stato implementato un applicativo che permette di avere una stima delle perdite, impostando il corretto regime di

funzionamento. Non essendo prevista la topologia Buck sincrono, ci si è riferiti alla stima per la topologia asincrono. Dall'immagine riportata, nella sezione "warning", è segnalato che il modello non è valido, in quanto il convertitore è in modalità discontinua. Le perdite di core e le perdite AC, che considerano la variazione di flusso e sono dipendenti dall'escursione del ripple di corrente, restano le stesse sia in modo continuo che discontinuo, in quanto sono indipendenti dalla corrente media. Si considera la stima attendibile anche nel caso in esame di Buck Sincrono.

IHLP® INDUCTOR LOSS CALCULATOR TOOL

Instructions User Guide Help

Choose Calculator Type Buck	IHLP-6767DZ-01 - 0.33 Buck µH Ind. Loss Calculator				Ratings		
Choose Available Series IHLP-6767DZ-01	Enter data into yellow fields				Outputs		
Inductance = 0.33 µH	Frequency = 390000 Hz	ET _{pk} = 23.70 V-usec	Inductance = 0.33 µH		25°C DC Res = 0.00116 Ohms		
Ambient Temp = 25 °C	I _{ind} = 30 Amps	F _(eff) = 322276.7 Hertz	25°C DC Res = 0.00116 Ohms		Isat = 82.0 Amps		
Volts In = 48 Volts	Volts Out = 12 Volts	Res = 0.001339 Ohms	Isat = 82.0 Amps		I(Heat) = 56.0 Amps		
Volts SW = 0.5 Volts	V _D = 0.5 Volts	I _{max} = 65.92 Amps	I _{min} = -5.92 Amps				
		I _{ripple} = 71.83 Amps	Duty = 0.26				
		P _{core} = 19.651 Watts	P _{dc} = 1.205 Watts				
	ET ₁₀₀ = 1.61 V-usec	P _{ac} = 6.644 Watts	P _{tot} = 27.500 Watts				
	B _{pk} = 1472.3 G	Temp. Coeff. = 9.5 °C/W	Temp Rise = 262.0 °C				
	A = 0.675 Inch 17.15 mm	Comp Temp = 287.0 °C					
	B = 0.675 Inch 17.15 mm						
	C = 0.157 Inch 4.0 mm						
Reference Cost = 5.5	Compared to IHLP-2525CZ-01		Warning Messages:		Notes May Be Added Here:		
Diagram showing dimensions A, B, and C		Warning - Discontinuous Mode - Model Invalid Warning - Component temperature exceeds 125 °C		Feedback			

Nello script realizzato in Matlab sono state aggiunte queste due perdite costanti pari a:

- $P_{L_{core}} = 20W$
- $P_{L_{ac}} = 7W$

5.2 Perdite nel MOSFET

Oltre alle perdite di switching e di reverse recovery studiate nel capitolo 1, nel MOSFET ci sono altre fonti di perdita di potenza. Nella stima fatta per il calcolo dell'efficienza si sono considerate anche le perdite di conduzione, le perdite al gate, le perdite sulla capacità di uscita del MOSFET e le perdite di conduzione nel diodo body.

- *Perdite di conduzione:* Le perdite di conduzione interessano entrambi i MOSFET low side e high side e sono indipendenti dalla frequenza. Queste perdite sono determinate dalla resistenza R_{on} che è attraversata dalla corrente RMS $I_{Q_{RMS}}$. La corrente RMS che attraversa i MOSFET è una parte della corrente RMS che attraversa l'induttanza calcolata nell'equazione 5.6. A seconda che si prenda in considerazione il MOSFET alto o basso, questa corrente deve essere moltiplicata per il duty cycle, cioè per l'effettivo tempo di accensione del MOSFET relativo.

$$I_{Q_{LS_{RMS}}} = \sqrt{(1-D)\left(I_o^2 + \frac{\Delta I_{L_{pp}}^2}{12}\right)} \quad (5.7)$$

$$I_{Q_{HS_{RMS}}} = \sqrt{D\left(I_o^2 + \frac{\Delta I_{L_{pp}}^2}{12}\right)} \quad (5.8)$$

La $R_{on} = 2.6m\Omega$ è nota dal datasheet del MOSFET. Nel circuito sono stati utilizzati 2 MOSFET in parallelo per ogni interruttore, quindi la resistenza effettiva è il parallelo delle due.

$$P_{Q_{cond}} = (I_{Q_{LS_{RMS}}} + I_{Q_{HS_{RMS}}}) \frac{R_{on}}{2} \quad (5.9)$$

- *Perdite di switching:* Le perdite di switching sono state ampiamente approfondite nel capitolo 1. Nel caso di commutazioni ZVS sono state considerate nulle. Nel caso di commutazioni hard switching invece, sono state calcolate utilizzando i dati forniti nel datasheet del MOSFET. Per ogni commutazione hard switching le perdite sono moltiplicate per un fattore 2, essendoci 2 MOSFET in parallelo.

$$P_{Q_{sw}} = V_i I_o F_{sw} \frac{t_r + t_f}{2} \quad (5.10)$$

- *Perdite Diodo Body reverse recovery:* Con riferimento allo studio fatto nel capitolo 1, non avendo a disposizione dati sulla corrente I_{rr} e sul tempo t_{rr} , viene utilizzata la carica di reverse recovery netta, fornita dal datasheet.

$$P_{rr} = 2 \cdot Q_{rr} V_i \frac{F_{sw}}{2} \quad (5.11)$$

Il fattore moltiplicativo 2 tiene conto della presenza di 2 MOSFET in parallelo.

- *Perdite al Gate:* Le perdite al gate sono delle perdite lineari dovute alla carica e scarica della capacità di gate e dipendono dalla tensione presente al gate.

$$P_{Q_{gate}} = 2 \cdot Q_g V_g F_{sw} \quad (5.12)$$

Questa tensione per il MOSFET low side è la tensione del segnale PWM amplificato dagli stadi di driver; per il MOSFET high side invece subisce l'effetto della tensione di ingresso, in quanto in uscita al driver è inserita una capacità di Bootstrap, che ha il compito di innalzare il livello di tensione di riferimento, per far sì che in fase di commutazione la tensione tra gate e source sia sempre tale da garantirne l'apertura.

- *Perdite nella capacità di uscita:* Durante ogni ciclo di commutazione la capacità di uscita dei MOSFET viene caricata e scaricata e questo genera perdita di potenza.

$$P_{Q_{C_{oss}}} = \frac{1}{2} Q_{oss} V_i F_{sw} \cdot 4 \quad (5.13)$$

Il fattore di moltiplicazione 4 include nel calcolo la C_{oss} del MOSFET high side e low side (quindi 2) ed essendoci 2 MOSFET in parallelo la capacità viene raddoppiata.

- *Perdite di conduzione nel Diodo Body:* Come analizzato nella sezione 1.2, nel caso di Buck Sincrono viene implementato il tempo morto per evitare che si verifichi un "corto di gamba". In questo intervallo di tempo, la corrente I_L scorre attraverso il diodo body del MOSFET high side o low side. Il diodo è polarizzato direttamente e si verificano delle perdite di potenza, che più nello specifico sono definite perdite di conduzione. Nel caso in analisi, i tempi morti sono uguali per entrambi gli intervalli. La corrente che attraversa il diodo alto o basso è approssimabile con la $I_{L_{max}}$ in un caso e con la $I_{L_{min}}$ nell'altro. Per il calcolo delle perdite si procede:

$$P_{Q_{dead}} = (|I_{L_{min}}| + I_{L_{max}}) T_{dead} \cdot V_{diode_{SD}} \cdot f_{sw} \quad (5.14)$$

Sono riportati in letteratura molti studi in merito alla riduzione dei tempi morti per ottenere un miglioramento dell'efficienza. Riferendosi a [3] si nota come questa ottimizzazione incrementa notevolmente l'efficienza ed inoltre è stato verificato sperimentalmente che anche avere due tempi morti differenti porta un miglioramento dell'efficienza complessiva del convertitore.

5.3 Perdite in topologia interleaved

Come osservato nel capitolo 3, la topologia interleaved ha come obiettivo quello di ridurre alcuni fattori delle perdite di potenza del convertitore ad una fase a discapito di altri. Le perdite legate alla corrente che attraversa i dispositivi subiscono una riduzione di un fattore N, pari al numero di fasi implementate, in quanto la corrente viene divisa tra esse. Nell'articolo [7]

vengono analizzati nel dettaglio tutti i fattori di perdita di potenza di un buck interleaved ad N fasi. Il risultato che gli autori ottengono non è scontato. Infatti si verifica che in base alle varie condizioni di funzionamento non sempre il più alto numero di fasi corrisponde alla configurazione ottimale. Un esempio è riportato in figura 5.3.

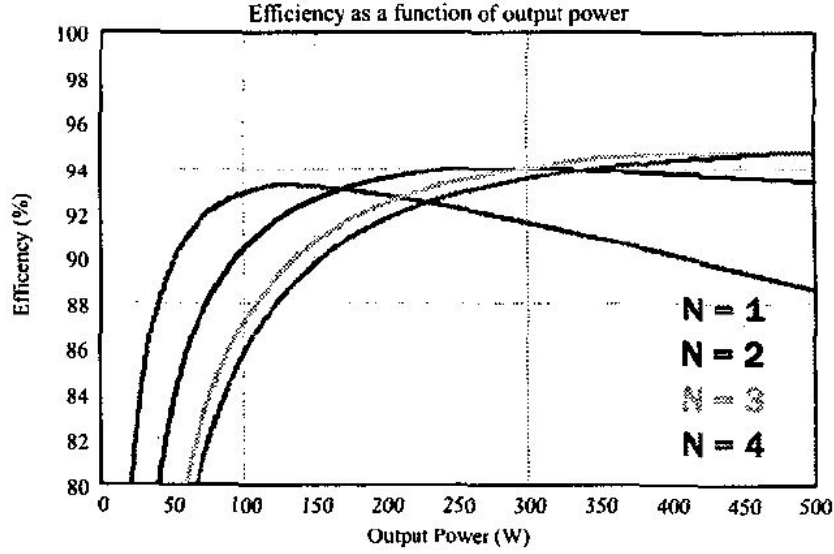


Figura 5.3: Confronto tra l'efficienza di un convertitore buck sincrono a più fasi (tratto da [7]).

Nel caso del circuito studiato, considerando che il ripple di corrente resta lo stesso, in quanto si aggiunge un'altra fase in parallelo con identica configurazione circuitale, si ottiene che:

- La corrente RMS nell'induttore

$$I_{L_{RMS}}|_{N_{phases}} = \sqrt{\frac{I_o^2}{N} + \frac{\Delta I_{L_{pp}}^2}{12}} \Rightarrow I_{L_{RMS}}|_{N_{phases}} = \frac{I_{L_{RMS}}|_{1_{phases}}}{N} \quad (5.15)$$

- Le perdite DC nell'induttore

$$\begin{aligned} P_{L_{DC}}|_{N_{phases}} &= N \cdot I_{L_{RMS}}|_{N_{phases}}^2 \cdot R_{DC} \Rightarrow P_{L_{DC}}|_{N_{phases}} = \\ &= \frac{N}{N^2} I_{L_{RMS}}|_{1_{phases}} \cdot R_{DC} \end{aligned} \quad (5.16)$$

- Le perdite AC e nel core dell'induttore per singola fase restano invariate (perché il ripple di corrente non cambia), ma nel totale devono essere moltiplicate per N.

- Le perdite di switching nella singola fase restano invariate; considerando il convertitore a più fasi vengono moltiplicate per N .
- Le perdite di reverse recovery nella singola fase restano invariate; considerando il convertitore a più fasi vengono moltiplicate per N .
- Le perdite di gate nella singola fase restano invariate; considerando il convertitore a più fasi vengono moltiplicate per N .
- Le perdite di conduzione dei MOSFET sono ridotte di un fattore $\frac{1}{N}$ come nel caso delle perdite DC dell'induttore, in quanto sono dipendenti dalla corrente $I_{L_{RMS}}|_{N_{phases}}$.
- Le perdite sulla capacità di uscita diminuiscono in relazione alla diminuzione della corrente RMS di uscita.

Si può concludere che il convertitore buck a 2 fasi analizzato presenterà un'efficienza inferiore rispetto a quello a singola fase. Il vantaggio di questa topologia si evince quando si confronta il range di potenza di conversione. Con 2 o N fasi la potenza che si è in grado di trasferire è aumentata del numero di fasi. Utilizzando poi la tecnica del phase shedding si cercherà di aumentare l'efficienza anche in condizione di light load. (capitolo 7).

5.4 Simulazione

Nei paragrafi seguenti viene riportata la distribuzione delle perdite in valore assoluto e percentuale, nei vari casi analizzati. Si osserva che in ogni modalità di funzionamento le perdite sono dominate dalle perdite di core dell'induttore. Questo rappresenta una penalità per l'analisi dell'efficienza che verrà fatta nei capitoli seguenti. Il prototipo utilizzato presentava un layout non modificabile in tempi brevi. L'unico induttore individuato è stato proprio quello utilizzato, compatibile con piedinatura e layout. La scelta però è andata a discapito di un'efficienza migliore, infatti le perdite di core stimate sono, in percentuale, dominanti nelle perdite totali. Si ipotizza che con la possibilità di ridisegnare il circuito ed utilizzare un induttore con meno perdite di core, l'efficienza del circuito sarebbe più alta. Alta influenza hanno anche le perdite di switching, nel caso delle simulazioni con transizioni in hard switching.

5.4.1 Single Phase QSW: Commutazioni ZVS

$I_{outBUCK}$ [A]	15	30	45
P_{Lac} [W]	7.000	7.000	7.000
P_{Ldc} [W]	0.808	1.672	3.112
P_{Lcore} [W]	20.000	20.000	20.000
P_{Ddead} [W]	3.545	3.545	3.545
P_{Qcond} [W]	0.726	1.502	2.796
P_{Qsw} [W]	0	0	0
P_{Drr} [W]	0	0	0
P_{Qgate} [W]	1.706	1.706	1.706
P_{QCoss} [W]	2.437	2.437	2.437

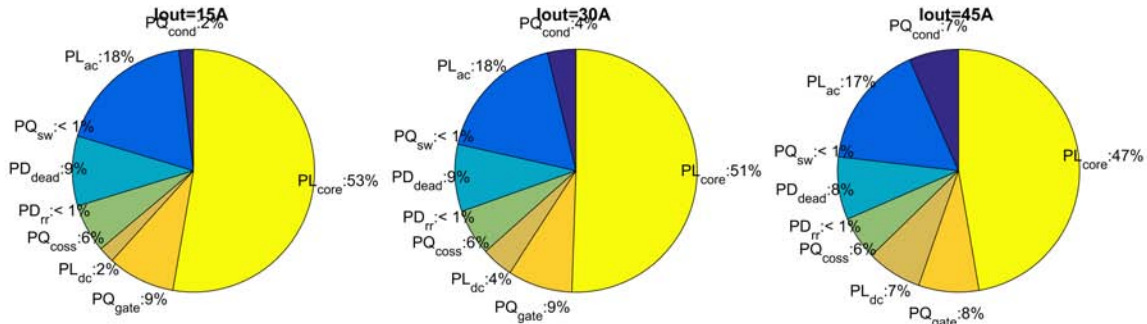


Figura 5.4: Percentuale di incidenza dei vari fattori di perdita nel convertitore ad 1 fase con commutazioni ZVS.

5.4.2 Single Phase QSW: Commutazioni Hard Switching

$I_{outBUCK}$ [A]	15	30	45
P_{Lac} [W]	7.000	7.000	7.000
P_{Ldc} [W]	0.808	1.672	3.112
P_{Lcore} [W]	20.000	20.000	20.000
P_{Ddead} [W]	3.545	3.545	3.545
P_{Qcond} [W]	0.726	1.502	2.796
P_{Qsw} [W]	6.469	12.937	19.406
P_{Drr} [W]	1.369	1.369	1.369
P_{Qgate} [W]	1.706	1.706	1.706
P_{QCoss} [W]	2.437	2.437	2.437

42 CAPITOLO 5. STUDIO COMPLETO DELLE PERDITE NEL BUCK

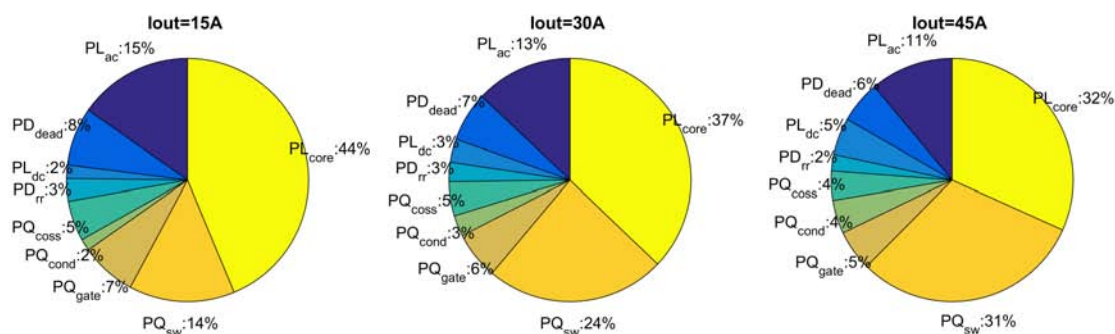


Figura 5.5: Percentuale di incidenza dei vari fattori di perdita nel convertitore ad 1 fase con commutazioni hard switching.

5.4.3 Double Phases QSW: Commutazioni ZVS

$I_{outBUCK}$ [A]	15	30	45
$P_{L_{ac}}$ [W]	14.000	14.000	14.000
$P_{L_{dc}}$ [W]	1.073	1.464	2.117
$P_{L_{core}}$ [W]	40.000	40.000	40.000
$P_{D_{dead}}$ [W]	7.091	7.091	7.091
$P_{Q_{cond}}$ [W]	1.064	1.452	2.099
$P_{Q_{sw}}$ [W]	0	0	0
$P_{D_{rr}}$ [W]	0	0	0
$P_{Q_{gate}}$ [W]	3.412	3.412	3.412
$P_{Q_{Coss}}$ [W]	4.875	4.875	4.875

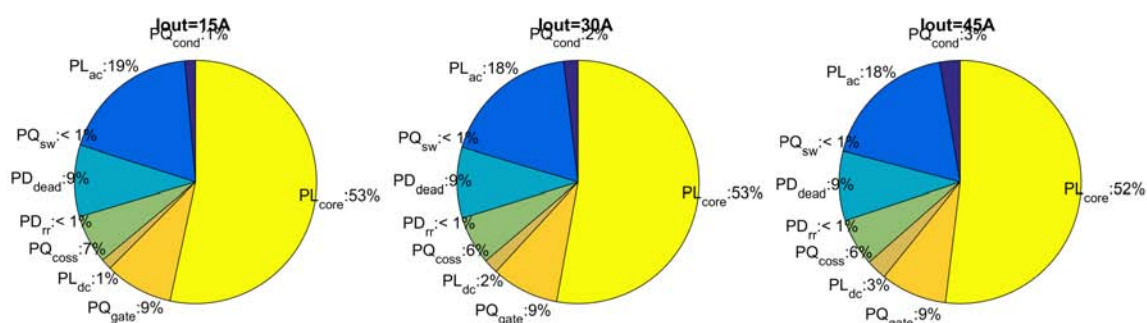


Figura 5.6: Percentuale di incidenza dei vari fattori di perdita nel convertitore a 2 fasi con commutazioni ZVS.

5.4.4 Doubles Phase QSW: Commutazioni Hard Switching

$I_{outBUCK}$ [A]	15	30	45
$P_{L_{ac}}$ [W]	14.000	14.000	14.000
$P_{L_{dc}}$ [W]	1.073	1.464	2.117
$P_{L_{core}}$ [W]	40.000	40.000	40.000
$P_{D_{dead}}$ [W]	7.091	7.091	7.091
$P_{Q_{cond}}$ [W]	1.064	1.452	2.099
$P_{Q_{sw}}$ [W]	6.469	12.937	19.406
$P_{D_{rr}}$ [W]	2.737	2.737	2.737
$P_{Q_{gate}}$ [W]	3.412	3.412	3.412
$P_{Q_{Coss}}$ [W]	4.875	4.875	4.875

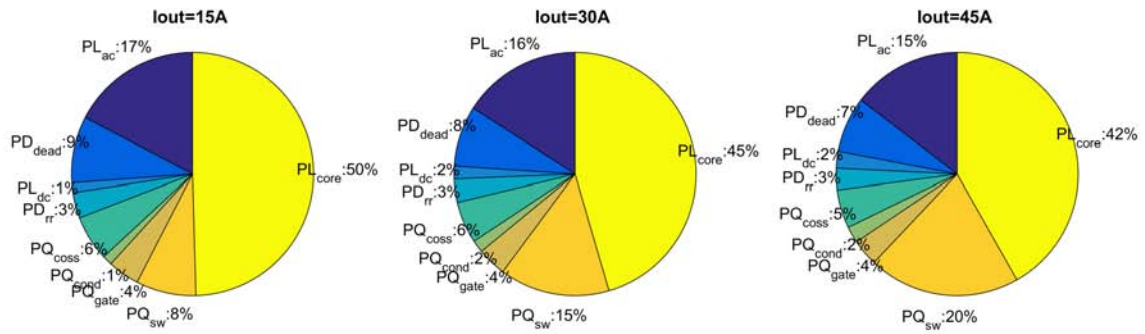


Figura 5.7: Percentuale di incidenza dei vari fattori di perdita nel convertitore a 2 fasi con commutazioni hard switching.

Dallo studio fatto in precedenza si è evinto che un convertitore con un alto numero di fasi sarebbe la soluzione ottimale per ottenere alta efficienza e sfruttare nel modo migliore la tecnica del *Phase Shedding*. Il prototipo presentato nel capitolo 4 impone però un limite circuitale, in quanto, è stato progettato con sole due fasi. Le misure e il test di funzionamento verranno quindi effettuati su questo prototipo e i risultati, teoricamente, saranno poi estesi ad un funzionamento a più fasi, che generalmente apporta più benefici.

6.1 Setup di lavoro

Per le misure di efficienza non è stato necessario implementare un controllo a catena chiusa. È stato allestito il setup ad anello aperto, ma il controllo della tensione di uscita V_o è stato effettuato in modo manuale, variando il duty cycle delle fasi quando richiesto. Le misure volt-amperometriche hanno permesso di raccogliere i dati relativi alla tensione e corrente di ingresso (V_i , I_i) e alla tensione e corrente di uscita (V_o , I_o).

A tensione di ingresso costante è stato variato il carico di uscita, utilizzando il carico attivo impostato in corrente continua. È stato necessario utilizzare dei dissipatori di calore e una ventola, per cercare di ridurre al minimo l'aumento di temperatura dovuto alla potenza dissipata soprattutto negli induttori.

Inizialmente è stata effettuata una misura in modalità di funzionamento continuo (CCM), a basso ripple, con l'induttore originale del prototipo. È stato il primo test del circuito che ha permesso di studiarne il funzionamento, la correttezza delle forme d'onda e prevedere i comportamenti futuri, in seguito alle modifiche da apportare. Una volta calcolato e sostituito l'induttore, sono state effettuate tutte le misure di efficienza necessarie per lo studio del Phase Shedding. Le misure di efficienza misurate verranno confrontate

ed analizzate con le stime ottenute in precedenza nel capitolo 5. Si riporta l'elenco della strumentazione di laboratorio utilizzata:

- CHROMA Programmable DC Power Supply 62050P 100V 100A
- CHROMA DC Electronics Load 63202 125V/500V 5A/50A
- GW DC Power Supply GPC303030 30V 3A
- ROHDE& SCHWARZ Current Probe RTZC20
- AGILENT Rms Multimeter U1241A
- AGILENT Digital Multimeter 34410A
- ROHDE& SCHWARZ Digital Oscilloscope RTB2004 2.5 GSa/s

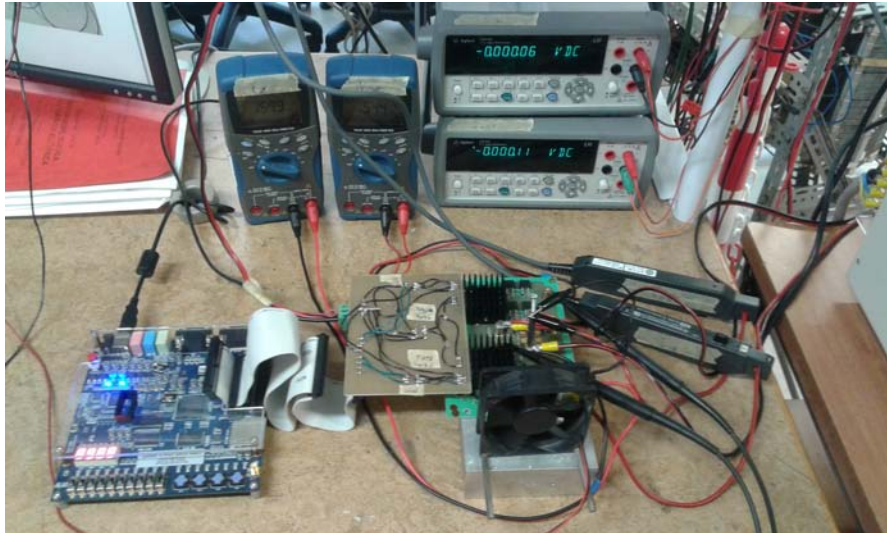


Figura 6.1: Setup di misura: Misura Volt-Amperometrica sul prototipo del Buck Sincrono con scheda Altera FPGA.



Figura 6.2: Setup di misura completo: Power Supply e Electronic Load.

6.2 Forme d'onda principali

Le forme d'onda principali che caratterizzano il funzionamento di un convertitore Buck Sincrono sono riportate nelle immagini seguenti.

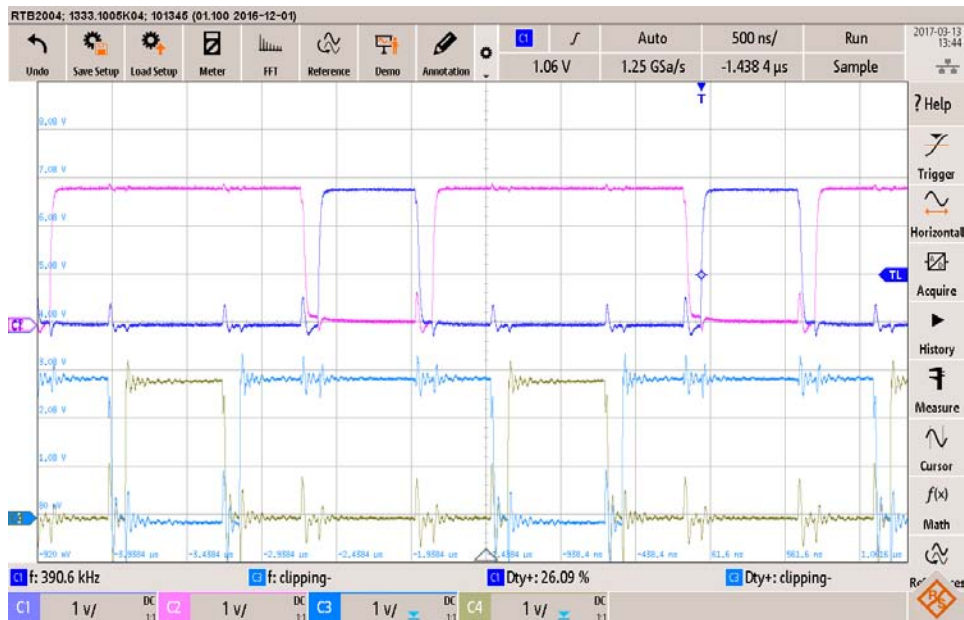


Figura 6.3: Generazione PWM con scheda Altera per le 2 fasi con sfasamento di 180° e ampiezza 3.3V. In alto PWM1, in basso PWM2.

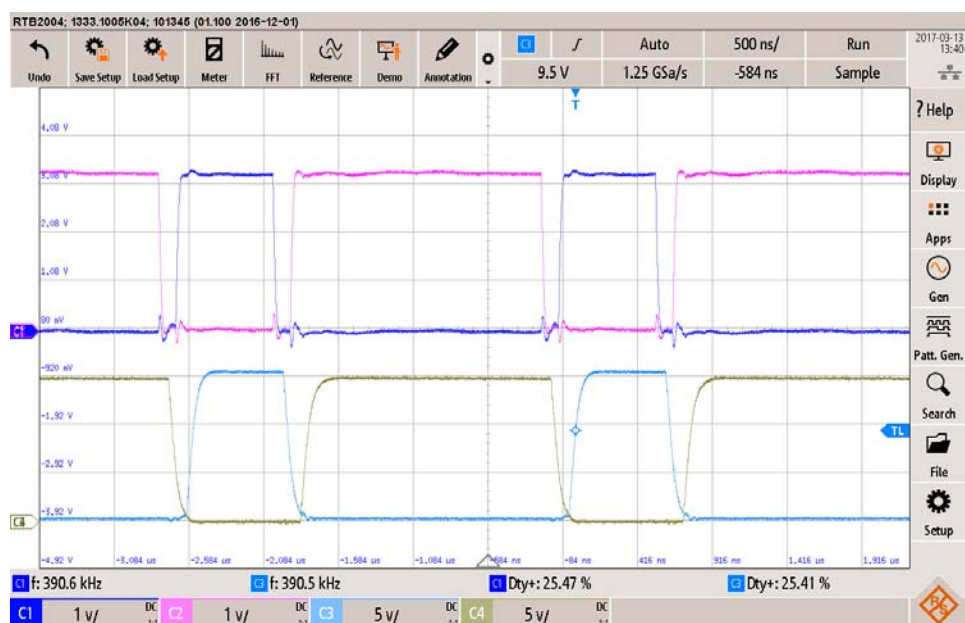


Figura 6.4: In alto PWM in uscita dalla scheda Altera, in basso PWM al gate della fase 1 con ampiezza 15V dopo gli stadi di driving.

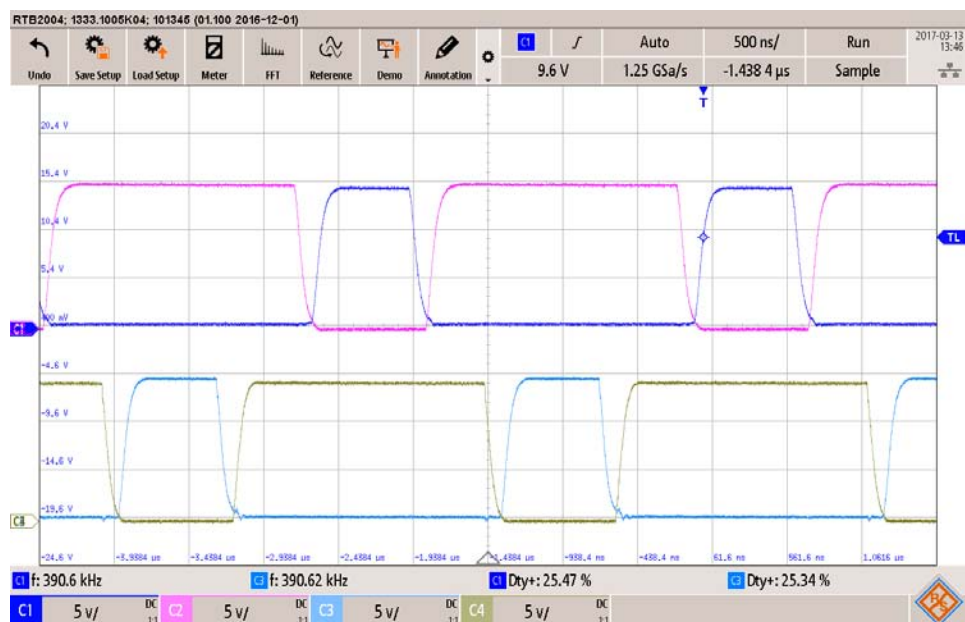


Figura 6.5: PWM ai gati delle 2 fasi con sfasamento di 180° e ampiezza 15V. In alto PWM1, in basso PWM2.

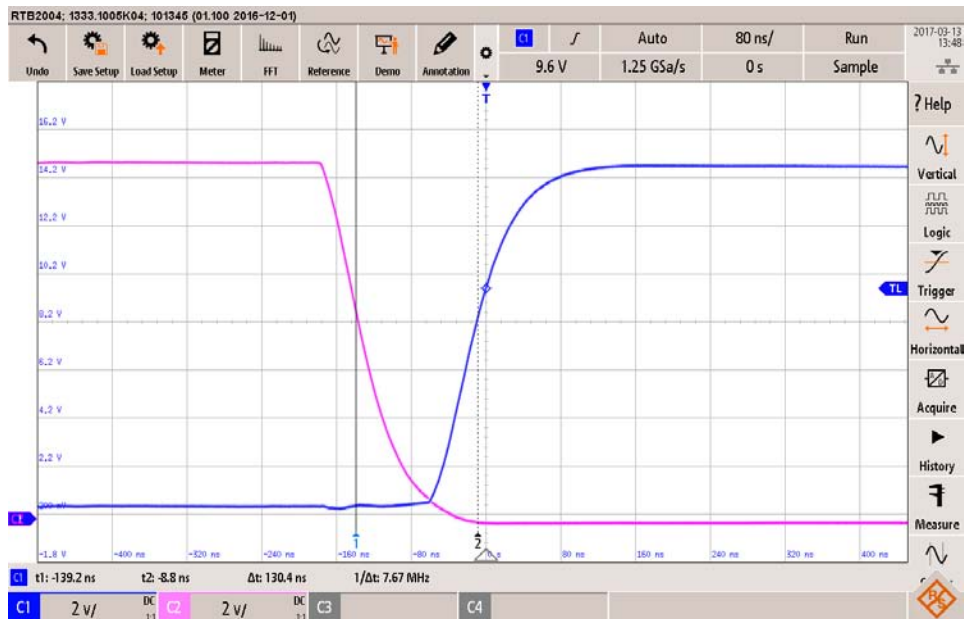


Figura 6.6: Misura Dead Time su PWM1, transizione turn-off per High-side MOSFET e transizione turn-on per Low-side MOSFET. $T_{dead} = 139.2\text{ ns}$.

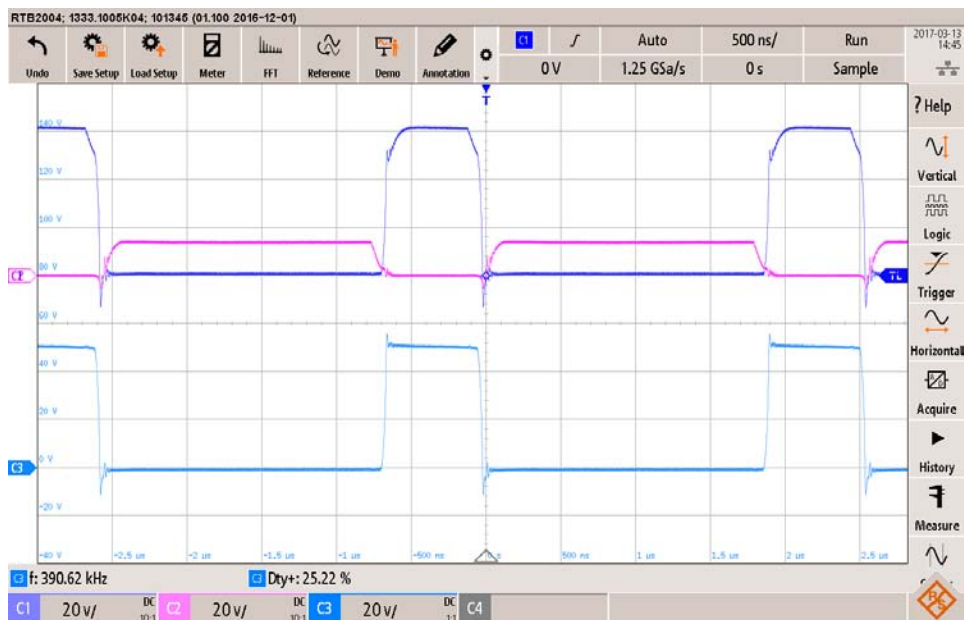


Figura 6.7: In alto PWM1 al gate della fase 1 con $V_i = 48\text{ V}$, in basso tensione di switching V_{sw} .

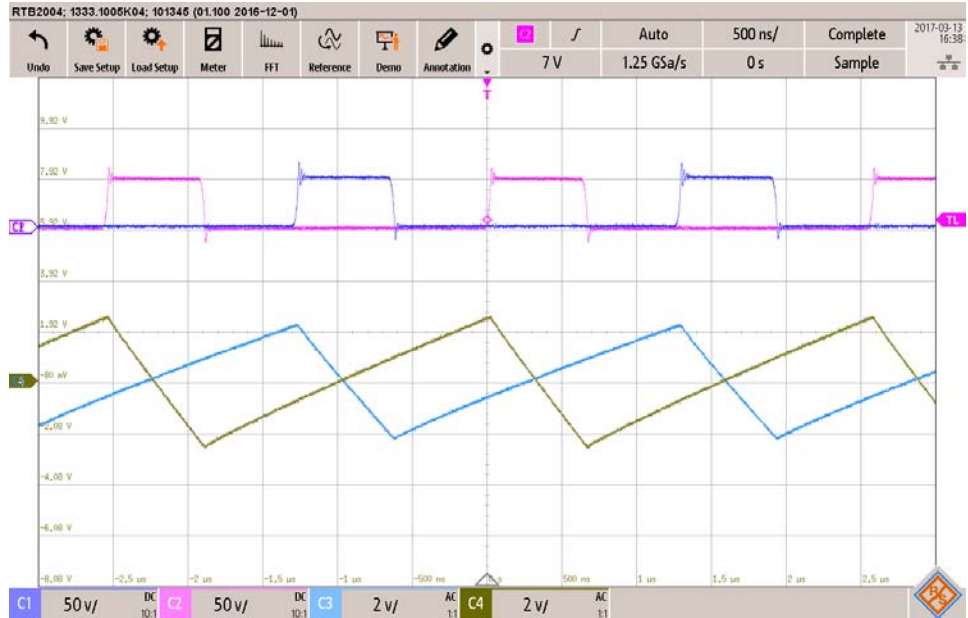


Figura 6.8: Correnti I_L delle 2 fasi sfasate di 180° .

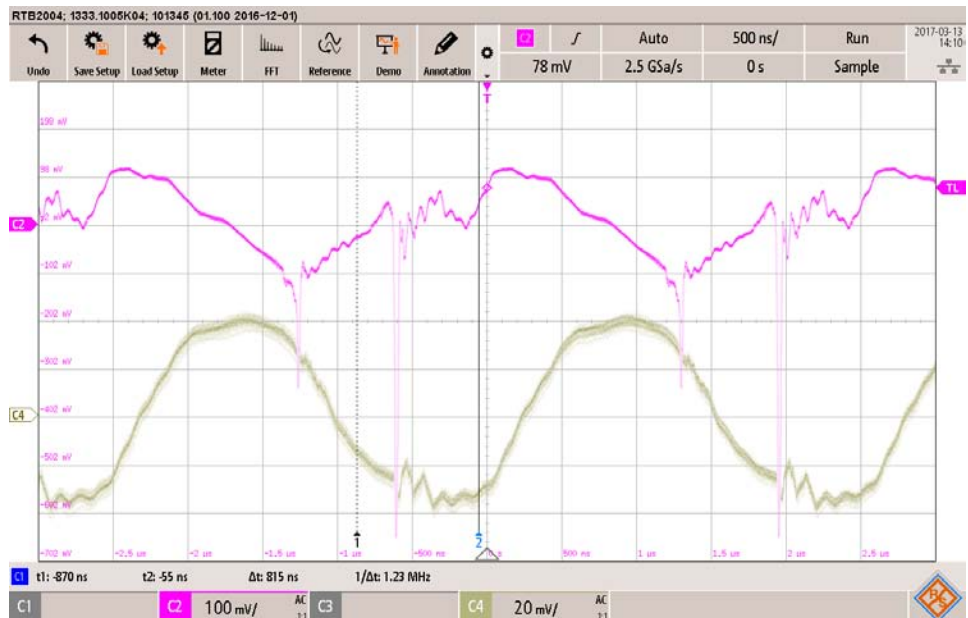


Figura 6.9: In alto ripple della tensione di uscita V_o , in basso ripple della corrente di uscita I_o .

6.3 Funzionamento CCM 1 fase

V_i [V]	I_i [A]	V_o [V]	I_o [A]	P_{in} [W]	P_{out} [W]	Efficienza
47,990	0,211	11,960	0,100	10,107	1,289	0,128
47,990	0,306	11,940	0,500	14,675	6,007	0,409
47,990	0,430	11,910	1,000	20,626	11,878	0,576
47,990	0,568	12,070	1,500	27,273	18,008	0,660
47,980	0,704	12,050	2,000	33,764	23,939	0,709
47,980	0,839	12,030	2,500	40,265	29,695	0,737
47,980	0,973	12,020	3,000	46,699	35,643	0,763
47,980	1,240	11,990	4,000	59,476	47,512	0,799
47,970	1,500	11,970	5,000	71,931	59,356	0,825
48,000	1,758	11,960	6,000	84,360	71,179	0,844
48,000	2,014	11,950	7,000	96,648	82,969	0,858
47,990	2,526	11,920	9,000	121,242	106,474	0,878
47,990	2,784	11,910	10,000	133,580	118,238	0,885
48,000	3,080	12,090	11,000	147,850	132,120	0,894
47,990	3,341	12,070	12,000	160,335	143,958	0,898
47,980	3,602	12,060	13,000	172,814	155,900	0,902
47,980	4,120	12,040	15,000	197,678	179,553	0,908
47,970	4,643	12,020	17,000	222,715	203,330	0,913
47,960	5,166	12,000	19,000	247,761	227,028	0,916
47,950	5,430	11,980	20,000	260,354	238,666	0,917
48,000	5,702	11,990	21,000	273,677	250,891	0,917
48,000	5,968	11,980	22,000	286,440	262,709	0,917
47,990	6,232	11,970	23,000	299,064	274,484	0,918
47,990	6,496	11,960	24,000	311,753	286,227	0,918
47,980	6,761	11,950	25,000	324,407	297,973	0,919
47,980	7,027	11,940	26,000	337,146	309,700	0,919
47,970	7,290	11,930	27,000	349,697	321,215	0,919
47,970	7,559	11,920	28,000	362,610	332,949	0,918

6.4 Funzionamento QSW 1 fase

V_i [V]	I_i [A]	V_o [V]	I_o [A]	P_{in} [W]	P_{out} [W]	Efficienza
48,030	0,791	12,080	0,106	37,973	1,283	0,034
48,030	0,890	12,070	0,503	42,752	6,075	0,142
48,030	1,014	12,070	1,000	48,722	12,066	0,248
48,030	1,139	12,060	1,497	54,692	18,054	0,330
48,030	1,263	12,050	1,994	60,662	24,028	0,396
48,030	1,384	12,050	2,478	66,464	29,862	0,449
48,020	1,509	12,040	2,977	72,453	35,844	0,495
48,020	1,759	12,020	3,977	84,467	47,799	0,566
48,010	2,009	12,010	4,973	96,452	59,725	0,619
48,000	2,261	11,990	5,968	108,504	71,555	0,659
48,000	2,513	11,980	6,964	120,610	83,425	0,692
47,990	3,021	11,960	8,961	144,959	107,172	0,739
47,990	3,276	11,940	9,960	157,201	118,924	0,757
48,000	3,565	11,940	11,122	171,106	132,797	0,776
47,970	3,791	11,930	11,965	181,845	142,740	0,785
48,010	4,117	12,120	12,984	197,667	157,366	0,796
47,990	4,636	12,100	14,958	222,501	180,992	0,813
47,980	5,163	12,080	16,964	247,702	204,925	0,827
47,970	5,689	12,060	18,972	272,906	228,802	0,838
47,970	5,953	12,050	19,976	285,570	240,711	0,843
47,950	6,479	12,020	21,984	310,682	264,248	0,851
47,940	7,003	11,990	23,990	335,724	287,640	0,857
48,010	7,526	11,970	25,997	361,338	311,184	0,861
48,000	7,780	11,950	26,984	373,416	322,459	0,864
48,000	8,418	12,080	28,989	404,083	350,187	0,867
47,980	8,870	11,940	30,990	425,559	370,021	0,869
48,000	9,684	11,900	33,993	464,808	404,517	0,870
47,980	10,668	12,010	36,987	511,831	444,214	0,868
47,960	11,488	11,930	39,953	550,974	476,639	0,865

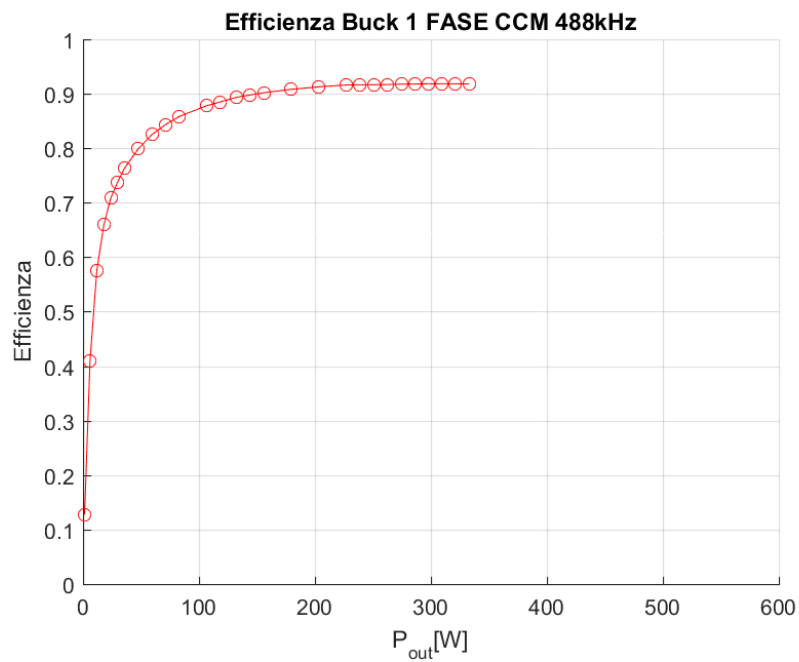


Figura 6.10: Misura per test del prototipo. Grafico efficienza a singola fase in modalità CCM con $F_{sw} = 488kHz$.

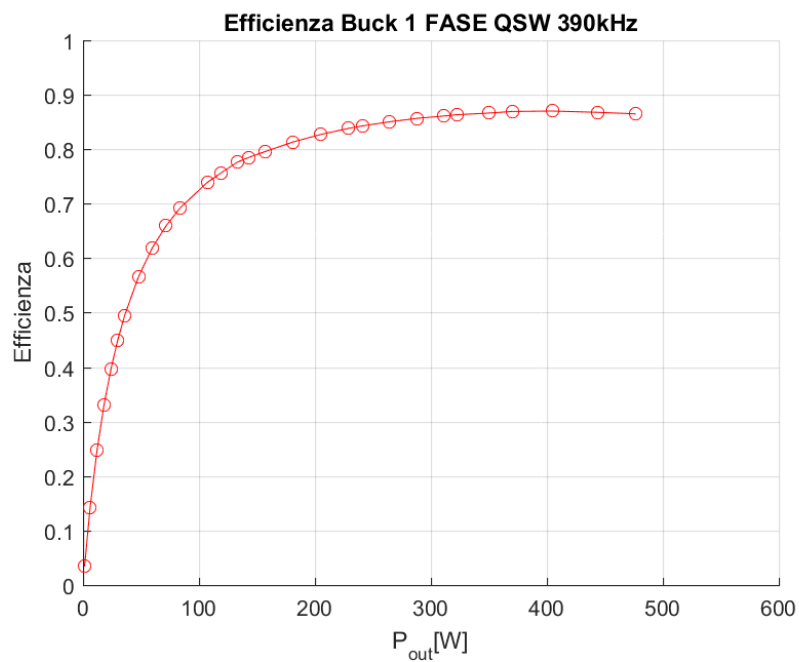


Figura 6.11: Efficienza a singola fase in QSW con $F_{sw} = 390kHz$.

6.5 Funzionamento QSW 2 fasi

V_i [V]	I_i [A]	V_o [V]	I_o [A]	P_{in} [W]	P_{out} [W]	Efficienza
48,020	1,590	11,950	0,100	76,328	1,248	0,016
48,020	1,689	11,940	0,500	81,120	5,991	0,074
48,020	1,814	11,940	1,000	87,123	11,927	0,137
48,020	1,902	11,940	1,500	91,310	17,977	0,197
48,020	2,024	11,940	2,000	97,197	23,901	0,246
48,010	2,144	11,930	2,500	102,943	29,647	0,288
48,010	2,269	11,930	3,000	108,911	35,587	0,327
48,000	2,566	12,110	4,000	123,144	48,204	0,391
48,000	2,819	12,100	5,000	135,298	60,185	0,445
47,990	3,074	12,090	6,000	147,516	72,141	0,489
47,990	3,330	12,080	7,000	159,797	84,093	0,526
47,970	3,842	12,070	9,000	184,282	108,093	0,587
47,970	4,096	12,060	10,000	196,495	120,040	0,611
47,970	4,351	12,060	11,000	208,732	132,117	0,633
47,960	4,606	12,050	12,000	220,918	144,073	0,652
47,950	4,863	12,040	13,000	233,176	156,038	0,669
47,940	5,369	12,030	15,000	257,371	179,836	0,699
47,930	5,879	12,010	17,000	281,785	203,642	0,723
47,920	6,392	12,000	19,000	306,281	227,688	0,743
47,920	6,647	11,990	20,000	318,519	239,416	0,752
48,010	7,165	12,000	22,000	343,987	263,832	0,767
47,990	7,677	11,990	24,000	368,405	287,556	0,781
47,980	8,190	11,970	26,000	392,975	311,100	0,792
48,020	8,446	11,970	27,000	405,572	322,951	0,796
48,010	8,960	11,960	29,000	430,170	346,649	0,806
47,990	9,475	11,940	31,000	454,720	369,973	0,814
47,980	10,250	11,920	34,000	491,776	405,125	0,824
48,010	11,028	11,910	37,000	529,469	440,468	0,832
47,990	11,993	12,070	40,000	575,530	482,269	0,838
47,970	12,783	12,040	43,000	613,201	516,901	0,843
47,960	13,310	12,030	45,000	638,348	540,195	0,846
47,950	13,841	12,010	47,000	663,676	563,269	0,849
47,930	14,631	11,970	50,000	701,264	597,279	0,852

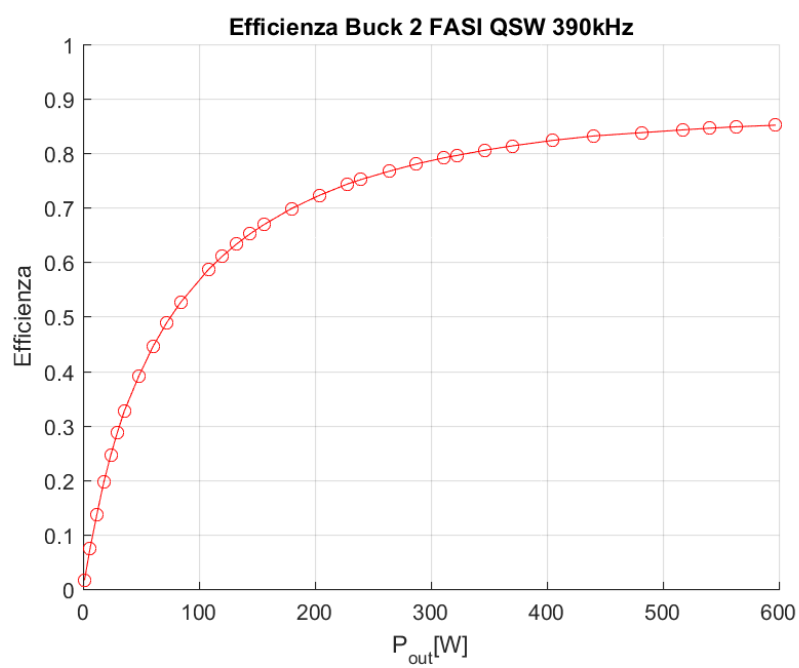


Figura 6.12: Efficienza a doppia fase in QSW con $F_{sw} = 390kHz$.



Confronto

7.1 Confronto: Simulazioni vs Misure

Come si osserva nelle immagini seguenti le stime calcolate, secondo quanto esposto nel capitolo 5, riescono a prevedere in modo abbastanza fedele l'andamento dell'efficienza. Le curve misurate sono quasi sempre racchiuse tra la stima fatta considerando tutte le commutazioni in soft switching (ZVS) e tra la stima fatta considerando 2 transizioni in hard switching. Nel caso della singola fase, l'efficienza ad alta potenza inizia a diminuire. Questo fenomeno è direttamente collegabile alla corrente nell'induttore, in quanto per corrente elevata in uscita I_o il picco di corrente $I_{L_{max}}$ raggiunge la corrente di saturazione e questo altera il comportamento del componente, oltre a surriscaldarlo molto e variarne anche l'induttanza.

7.2 Confronto: 1 fase QSW vs 2 fasi QSW

Nella figura 7.3 è riportato il confronto tra l'efficienza misurata nel caso di singola fase e nel caso con due fasi. Le potenze in gioco sono differenti in quanto a parità di potenza di uscita le correnti negli induttori sono diverse; più precisamente la corrente negli induttori nel caso con due fasi è la metà rispetto alla corrente nell'induttore del caso ad una fase. Con la topologia Interleaved si può quindi raggiungere la potenza doppia rispetto alla fase singola. In fase di test e di misura questo non è stato possibile, in quanto la strumentazione utilizzata non lo permetteva. Le misure ricavate hanno però permesso di studiare lo stesso il fenomeno in modo chiaro.

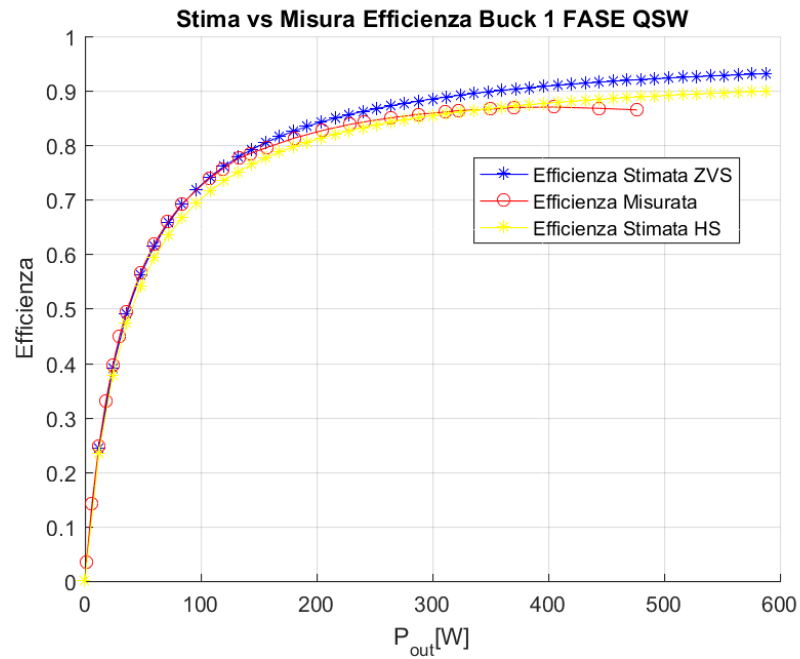


Figura 7.1: Confronto tra le stime di efficienza e l'efficienza misurata nel caso di Buck Sincrono ad 1 fase.

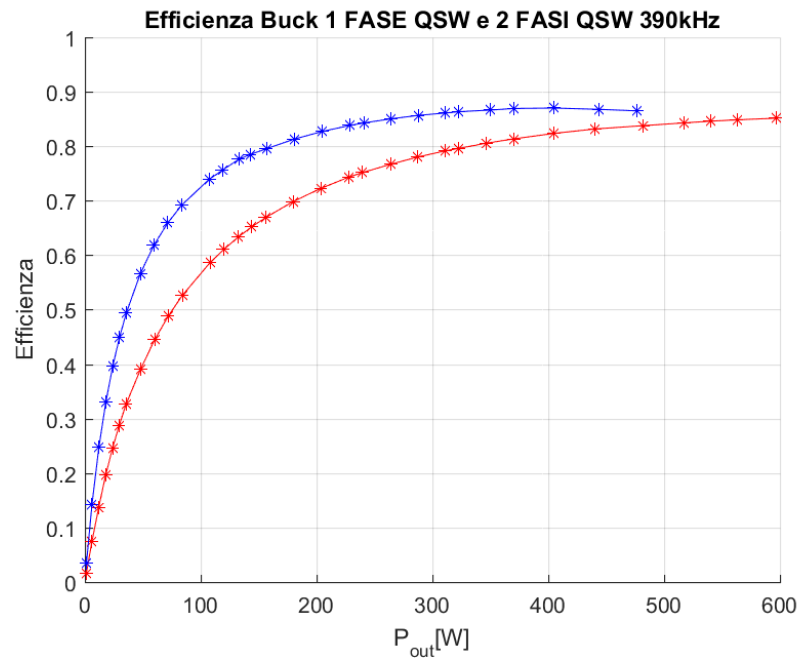


Figura 7.3: Confronto tra efficienza misurata ad 1 fase e efficienza misurata a 2 fasi.

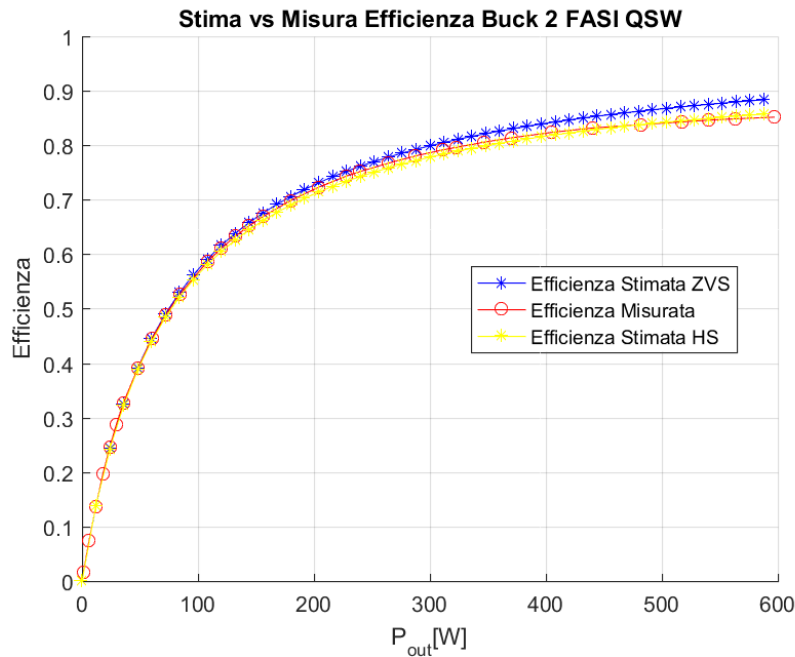


Figura 7.2: Confronto tra le stime di efficienza e l'efficienza misurata nel caso di Buck Sincrono a 2 fasi.

7.3 Phase Shedding

L'implementazione della tecnica di Phase Shedding nel caso di un convertitore QSW è differente da quella studiata nel capitolo 3 nel caso CCM. La funzione dell'efficienza, per il caso a singola fase e doppia fase, è sempre monotona crescente. Questo non permette di individuare un netto attraversamento tra le due curve, che avrebbe individuato direttamente il punto ottimale per passare dal funzionamento doppio al singolo. Si osserva che, con il funzionamento a singola fase, le potenze in gioco sono differenti in quanto la corrente di uscita e quindi la corrente nell'induttore è maggiore, a parità di potenza totale di uscita. Questo porta l'induttore in saturazione (come si nota negli ultimi punti della curva di efficienza) e un aumento della potenza comprometterebbe l'integrità dei componenti stessi. È quindi questo il punto ottimale scelto per passare al buck a due fasi, dove la corrente totale di uscita viene divisa tra le due fasi e quindi gli induttori non sono più sollecitati da una corrente molto vicina alla loro saturazione.

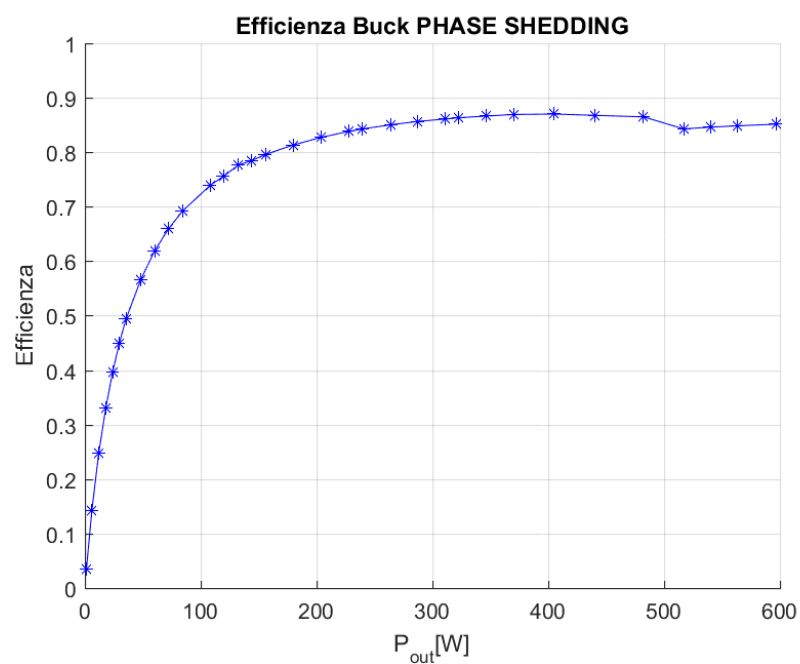


Figura 7.4: Realizzazione del Phase Shedding con commutazione da 2 fasi ad una fase per $P_{out} = 480W$.

Conclusioni

La tecnica del Phase Shedding si è confermata una buona modalità di funzionamento anche per i convertitori DC-DC 48-12 in topologia QSW. Le potenze in gioco aumentano di molto, tenendo conto soprattutto che è stato utilizzato un prototipo con solo 2 fasi, quando invece come riportato in letteratura il numero di fasi può essere maggiore. I vantaggi approfonditi nel capitolo 3 sono soddisfatti. Nel settore dell'Automotive infatti, è fondamentale avere dei convertitori con efficienza più alta possibile e con dimensioni ridotte. La presenza di più fasi aumenta in numero di switch e di induttori, ma allo stesso tempo condivide gli stessi condensatori di ingresso e di uscita. Questo risulta essere un ottimo trade-off per l'applicazione analizzata. La differenza sostanziale è nel punto di intersezione tra le curve di efficienza con numero di fasi differenti. Per la topologia QSW non si riesce ad individuare un punto di incrocio e quindi si decide di passare ad un numero di fasi maggiore quando per una data potenza le fasi in uso sono in saturazione. In questo lavoro è stato verificato il funzionamento del phase shedding solo con 2 fasi. Teoricamente, sembra possibile estendere questi risultati anche per un convertitore a più fasi, riuscendo così ad aumentare di molto il flusso di potenza, o a potenza fissa riuscendo a ridurre le dimensioni del convertitore e i costi.

Bibliografia

- [1] P. Andreassen and T. M. Undeland. Digital control techniques for current mode control of interleaved quasi square wave converter. In *2005 IEEE 36th Power Electronics Specialists Conference*, pages 910–914, June 2005.
- [2] Jürgen Bilo Dr. Heinz-Georg Burghoff and Humberto dos Santos. *48-Volt Electrical Systems – A Key Technology Paving the Road to Electric Mobility*, volume 21. German Electrical and Electronic Manufacturers' Association, Apr 2016.
- [3] O. Djekic, M. Brkovic, and A. Roy. High frequency synchronous buck converter for low voltage applications. In *PESC 98 Record. 29th Annual IEEE Power Electronics Specialists Conference (Cat. No.98CH36196)*, volume 2, pages 1248–1254 vol.2, May 1998.
- [4] A. Emadi, S. S. Williamson, and A. Khaligh. Power electronics intensive solutions for advanced electric, hybrid electric, and fuel cell vehicular power systems. *IEEE Transactions on Power Electronics*, 21(3):567–577, May 2006.
- [5] R.W. Erickson and D. Maksimovic. *Fundamentals of Power Electronics*. Power electronics. Springer US, 2001.
- [6] O. Garcia, P. Zumel, A. de Castro, and A. Cobos. Automotive dc-dc bidirectional converter made with many interleaved buck stages. *IEEE Transactions on Power Electronics*, 21(3):578–586, May 2006.
- [7] M. Gerber, J. A. Ferreira, I. W. Hofsajer, and N. Seliger. Interleaving optimization in synchronous rectified dc/dc converters. In *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, volume 6, pages 4655–4661 Vol.6, June 2004.

- [8] Luca Malesani Giorgio Spiazzi and Paolo Mattavelli. *Dispense del corso di Elettronica Industriale*. Libreria Progetto.
- [9] L. Jourdan, J. L. Schanen, J. Roudet, M. Bensaïed, and K. Segueni. Design methodology for non insulated dc-dc converter: application to 42v-14v "powernet". In *2002 IEEE 33rd Annual IEEE Power Electronics Specialists Conference. Proceedings (Cat. No.02CH37289)*, volume 4, pages 1679–1684, 2002.
- [10] T. Kim and S. Kwak. A flexible voltage bus converter for the 48-/12-v dual supply system in electrified vehicles. *IEEE Transactions on Vehicular Technology*, 66(3):2010–2018, March 2017.
- [11] B. A. Miwa, D. M. Otten, and M. E. Schlecht. High efficiency power factor correction using interleaving techniques. In *Applied Power Electronics Conference and Exposition, 1992. APEC '92. Conference Proceedings 1992., Seventh Annual*, pages 557–568, Feb 1992.
- [12] A. de Castro 2 0. Garcia P. Zumel I, C. Fernandez 1. Efficiency improvement in multiphase converter by changing dynamically the number of phases. In *2006 37th IEEE Power Electronics Specialists Conference*, pages 1–6, June 2006.
- [13] Dr. Ray Ridley and Art Nace. Modeling ferrite core losses. *Switching Power Magazine*, 2006.
- [14] Giorgio Spiazzi and Luca Corradini. *Appunti dalle lezioni di elettronica per l'energia*. Libreria Progetto, 2012.
- [15] Giorgio Spiazzi and Luca Corradini. *Lecture Note in power Electronics*. Libreria Progetto, Apr 2016.
- [16] V. Vorperian. Quasi-square-wave converters: topologies and analysis. *IEEE Transactions on Power Electronics*, 3(2):183–191, Apr 1988.
- [17] Vahid Yousefzadeh and Dragan Maksimovic. Sensorless optimization of dead times in dc-dc converters with synchronous rectifiers. *IEEE Transactions on Power Electronics*, 21(4):994–1002, July 2006.
- [18] Xunwei Zhou, Xingzhu Zhang, Jiangang Liu, Pit-Leong Wong, Jiabin Chen, Ho-Pu Wu, L. Amoroso, F. C. Lee, and D. Y. Chen. Investigation of candidate vrm topologies for future microprocessors [voltage regulator modules]. In *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, volume 1, pages 145–150 vol.1, Feb 1998.