



Università degli Studi di Padova

Facoltà di Ingegneria

Corso di Laurea Specialistica

in Ingegneria Elettronica

Tesi di Laurea

Progettazione in tecnologia Smart Power 0.18um di elementi e  
circuiti di protezione per le scariche elettrostatiche secondo  
standard Charge Device Model.

Laureando: Giuseppe Ballarin

Relatore: Ch.mo Prof. Gaudenzio Meneghesso

Correlatori: Dott. Antonio Andreini

Ing. Lorenzo Cerati

Anno Accademico: 2009/2010





*A chi c'è stato,  
a chi ci sarà,  
ma soprattutto  
a chi ci sarà sempre.*

## **RINGRAZIAMENTI:**

Voglio ringraziare innanzitutto la mia famiglia per avermi permesso di arrivare sin qui sopportando una persona non del tutto sana di mente. Tutto il gruppo che mi ha supportato all' ST in questi nove mesi di stage: Antonio Andreini, Roberto Currà, Eleonora Gevinti, Luca Cecchetto, Lucia Zullino e soprattutto Lorenzo Cerati che mi ha svezzato al mondo delle protezioni ESD. Infine, anche se in questo caso gli ultimi non saranno mai i primi, le Quattro Comari per le mattine, pomeriggi, sere e nottate sui libri, più o meno intervallate da poco sporadiche pause aperitivo.



## **INDICE:**

**SOMMARIO: ..... V**

**INTRODUZIONE: ..... VII**

**CAPITOLO 1 : LA TECNOLOGIA BCD8..... 1**

1.1 Storia ed evoluzione .....2

1.2 Le applicazioni delle tecnologie BCD' .....4

1.3 La tecnologia BCD8.....6

**CAPITOLO 2 : SCARICHE ELETTROSTATICHE (ESD).... 9**

2.1 Meccanismi di origine della scarica ..... 10

2.1.1 Effetto triboelettrico ..... 10

2.1.2 Induzione elettrostatica ..... 13

2.1.3 Conduzione ..... 14

2.2 Scarica in aria, arco ed effetto corona ..... 15

2.3 Modelli per i fenomeni ESD ..... 19

2.3.1 Human Body Model (HBM) ..... 19

2.3.2 Machine Model (MM).....	22
2.3.3 Charge Device Model (CDM).....	25
2.3.3.1 Evento CDM .....	28
2.3.3.2 Normative vigenti.....	32
2.3.3.2.1 Standard ESDA .....	32
2.3.3.2.2 Differenze tra standard JEDEC & ESDA .....	35
2.3.4 Trasmission Line Pulse (TLP).....	36
2.3.5 Very Fast TLP (vf-TLP).....	39
2.4 Danneggiamenti da ESD .....	41
2.4.1 Filamentazione della giunzione.....	42
2.4.2 Spike di contatto.....	43
2.4.3 Rottura di un ossido.....	45
2.4.4 Thin film burn-out.....	46
2.4.5 Iniezione di carica nell'ossido.....	47
2.5 Effetti di una scarica ESD sulle caratteristiche elettriche di un circuito integrato	48
2.5.1 Soft failure.....	50
2.5.2 Hard Failure.....	51
2.5.3 Open Circuit.....	52
<b>CAPITOLO 3 : PROTEZIONI DA ESD .....</b>	<b>53</b>
3.1 Caratteristiche generali dei circuiti di protezione .....	54
3.2 Norme generiche delle reti di protezione .....	56
3.3 Comportamento di dispositivi elementari in regime ESD .....	58
3.3.1 Resistore.....	58
3.3.2 Diodo.....	60
3.3.3 Transistor bipolare.....	61
3.3.4 Transistor MOS .....	68
3.3.4.1 Funzionamento in regime ESD .....	70
3.3.5 SCR .....	73
3.4 Tipologie di famiglie di protezione in tecnologia BCD8.....	76



3.4.1 Dispositivi a Snapback: GCMOS e GG MOS .....	76
3.4.2 Clap Dinamici: MOSSWI .....	81

## **CAPITOLO 4 : DESCRIZIONE DELLE STRUTTURE**

### **CARATTERIZZATE..... 85**

4.1 Modulo CK332 .....	86
4.1.1 Ossidi di gate.....	87
4.1.2 Protezioni Isolate.....	89
4.1.3 Protezioni con MONITOR (2 terminali).....	91
4.1.4 Protezioni con MONITOR (3 terminali).....	94

### **CAPITOLO 5 : SET-UP DI MISURA..... 97**

5.1 Tester TLP e vf-TLP' .....	98
5.2 Tester CDM.....	100
5.3 Caratterizzazione.....	101

### **CAPITOLO 6 : RISULTATI SPERIMENTALI ..... 107**

6.1 Tecniche di caratterizzazione.....	108
6.2 Caratterizzazione degli ossidi di gate.....	109
6.2.1 Misure DC degli ossidi di gate.....	110
6.2.2 Misure vf-TLP degli ossidi di gate.....	113
6.3 Caratterizzazione delle protezioni isolate .....	118
6.3.1 Misure DC e 100ns-TLP delle protezioni isolate.....	118
6.3.2 Misure vf-TLP delle protezioni isolate .....	128
6.3.3 Robustezza ad eventi CDM delle strutture isolate .....	136
6.4 Protezioni con MONITOR (2 terminali).....	144
6.4.1 Robustezza ad eventi CDM.....	144
6.5 Protezioni con MONITOR (3 terminali).....	152
6.5.1. Robustezza a eventi CDM.....	152

<b>CONCLUSIONI.....</b>	<b>161</b>
<b>APPENDICE .....</b>	<b>163</b>
<b>BIBLIOGRAFIA .....</b>	<b>167</b>

## **SOMMARIO:**

Questa tesi, che si è svolta tra giugno 2009 e marzo 2010, presso lo stabilimento di Agrate Brianza (MI) di STMicroelectronics, presenta un triplice scopo. Il primo è quello di testare la robustezza di protezioni in tecnologia BCD8\_1V8 a stress CDM. Il secondo è quello di caratterizzare tramite *Very Fast Transmission Line Pulse* (vf-TLP) le stesse strutture e gli ossidi di gate della stessa tecnologia. La tecnologia BCD è una tecnologia smart power in grado di integrare sullo stesso die di silicio: logica CMOS, dispositivi bipolari e di potenza. Il lavoro è incentrato su stress di tipo *Charge Device Model* (CDM), una tipologia di scarica estremamente la più probabile, soprattutto nelle prime fasi di vita di un circuito integrato, in quanto il contatto umano sta diventando sempre meno frequente nei processi di fabbricazione di IC.

Inizialmente il lavoro è stato quello di studiare il comportamento dei singoli dispositivi integrati all'interno del IC, tramite misure di tipo TLP a 100ns e vf-TLP a 5ns, 2.5ns e 1.25ns. In questo modo ci si è potuta fare un'idea del comportamento dei dispositivi dopo lo stress CDM, in quanto la durata dell'impulso della corrente CDM è dell'ordine di grandezza del ns e come verrà mostrato nella tesi, si può dedurre il comportamento sotto stress CDM dall'analisi in vf-TLP. Si è poi misurata la caratteristica dei singoli dispositivi nei chip, confrontandoli prima e dopo lo stress CDM.

Si sono stressati con eventi CDM i dispositivi con treni d'impulsi di diversa intensità e ripetizione, in modo di determinare al meglio la soglia di fallimento di ogni dispositivo e poter comparare quali soluzioni circuitali siano le migliori.

## **INTRODUZIONE:**

La conoscenza dei fenomeni elettrostatici risale agli albori dell'umanità. Già nel VII secolo a.C. Talete di Mileto era a conoscenza del fatto che sfregando dell'ambra con un panno, si potevano attirare piccoli oggetti. Tuttavia, il primo studio scientifico su questi fenomeni risale al XVII secolo, quando Gilber pubblica il suo *De Magnete*, nel quale studia i fenomeni elettromagnetici e conia il termine “*elettrico*”, che deriva dalla parola greca *ἤλεκτρον* (*ambra*). Negli anni successivi si sono cimentati in questi studi alcune tra le menti più brillanti del tempo, tra le quali Gauss, Coulomb, Faraday ed Herz<sup>1</sup>.

Le scariche elettrostatiche iniziarono a diventare un problema durante la II Guerra mondiale, quando ci si accorse che l'accumulo di cariche in alcuni materiali polimerici usati come isolanti, portava allo spegnimento di dispositivi elettronici. Tuttavia i danneggiamenti da fenomeni ESD cominciarono a diventare un problema fondamentale solo con l'avvento dell'era della microelettronica, in quanto con l'invenzione dei MOSFET si iniziarono ad apprezzare rotture di componenti elettronici per scariche inferiori ai 1000V. Si iniziarono a sviluppare in ambiente militare, negli anni '70, delle protezioni e dei protocolli per proteggere e studiare questi fenomeni.

Per le aziende del settore, le scariche elettrostatiche non sono un problema solo a livello del consumatore, infatti, molte strutture vengono danneggiate nella stessa linea di produzione, quando un corpo carico entrando in contatto con un componente genera dei

rapidi transitori che diventano sempre più pericolosi con il procedere della diminuzione delle geometrie e dell'assottigliamento dello spessore degli ossidi.

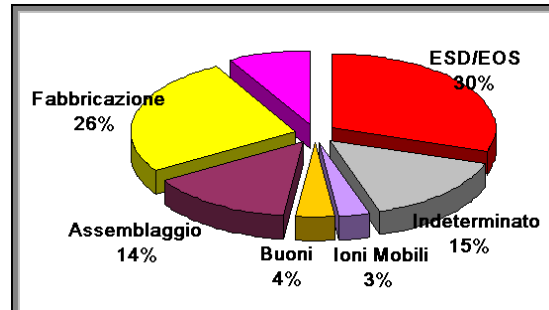
Le ESD appartengono ad una categoria più generale detta EOS (*Electrical OverStress*), che comprende anche le scariche atmosferiche e gli impulsi elettromagnetici (*EMP*). La distinzione dei fenomeni avviene in base ai tempi ed energie in cui essi avvengono; per una ESD si può arrivare al massimo a qualche centinaio di nanosecondi, mentre un EOS può avere una durata temporale fino al millisecondo. Durante questi fenomeni si ha l'accumulo di cariche dell'ordine dei micro coulomb in capacità di qualche picofarad. Si possono quindi generare tensioni di qualche migliaia di Volt che possono portare a danneggiamenti o addirittura alla rottura del dispositivo stesso.

Tipici danneggiamenti sono le fusioni delle interconnessioni metalliche o la rottura delle giunzioni PN per breakdown secondario che può portare alla fusione di alcune zone del semiconduttore o alla generazione di veri e propri filamenti attraverso più dispositivi. La sempre maggiore riduzione dello spessore dell'ossido di gate o di altri materiali isolanti, sta rendendo la loro possibile rottura un fenomeno di sempre maggior rilievo in quanto la formazione di un buco nell'ossido altera, se non danneggia irrimediabilmente il funzionamento di un componente elettronico.

Con la sempre maggior riduzione della litografia minima con il passare degli anni, si è calcolato che circa il 30% (Figura 0.1) delle rotture nelle prime fasi di vita dei componenti possono essere attribuite ad ESD<sup>2</sup>.

Per proteggere i circuiti integrati dalle scariche elettrostatiche vengono sviluppati delle opportune protezioni.

Lo scopo principale delle protezioni da ESD è quindi quello di creare un cammino conduttivo tra i PAD che contattano il circuito da proteggere con l'esterno e massa. Questi, oltre a dover portare alte correnti, devono limitare la tensione ai capi del circuito. Per realizzare queste protezioni vengono comunemente utilizzati sia elementi passivi, come resistori o diodi, sia clamp attivi, che vere e proprie reti.



**Figura 0.1: Grafico delle cause di fallimenti di IC<sup>2</sup>.**

## Introduzione

La difficoltà nella realizzazione di queste strutture risiede nel fatto che il circuito originario non deve risentire del loro utilizzo. Si devono quindi realizzare reti e dispositivi che occupino poco spazio, non si attivino se non durante fenomeni ESD e reagiscano in tempi brevissimi, data la breve durata delle scariche. Si deve tener conto del fatto che il fine principale è quello di avere un buon compromesso tra efficacia della protezione e costo realizzativo. Questo implica un costante studio delle nuove tecnologie e un adattamento delle strutture presenti in repertorio alle nuove esigenze.

In questa tesi si è trattata una particolare famiglia di ESD detta *Charge Device Model*<sup>3</sup>(CDM), la quale sta diventando sempre di maggior importanza dato l'aumento di automatizzazione nelle prime fasi di vita dei dispositivi elettronici.

Questo modello rappresenta un evento ESD quando il circuito stesso è precaricato ad un dato potenziale, per esempio a causa di fenomeni triboelettrici, e poi portato a massa si scarica immediatamente.

Lo scopo dello studio è quello di valutare la suscettibilità ai fenomeni CDM dei componenti realizzati in tecnologia BCD8 caratterizzati da una litografia di 0.18 $\mu\text{m}$ . In particolare si è valutata la sensibilità a questo stress degli ossidi sottili da 35Å tipici di questa tecnologia.

Si è quindi proceduto nella caratterizzazione dei dispositivi di protezione CDM di varie strutture utilizzando degli ossidi di gate per simulare il circuito da proteggere, in quanto gli ossidi di gate sono particolarmente sensibili a questa tipologia di scarica.

Il primo capitolo espone le caratteristiche della tecnologia BCD8 (*Bipolar CMOS DMOS*), trattata in questa tesi, specificandone l'evoluzione storica e i maggiori ambiti di utilizzo.

Il secondo capitolo tratta delle scariche elettrostatiche, spiegandone i meccanismi, le tipologie e i principali danneggiamenti che un dispositivo può subire quando sottoposto ad ESD.

Si passa poi, nel terzo capitolo, a trattare le caratteristiche fondamentali che deve avere un circuito di protezione e come possono essere usati dei normali componenti elettronici come protezioni. Ci si sofferma soprattutto sul MOSFET ed in particolare sulla sua configurazione *gate coupled*, figura centrale nello svolgimento della tesi.

Il quarto capitolo parte da una descrizione delle strutture caratterizzate, descrivendone il modulo (CK332) e le caratteristiche dei singoli componenti.

Il quinto capitolo tratta dei sistemi di misura utilizzati in ambiente di caratterizzazione, stress CDM e tester TLP.

Nel sesto capitolo vengono presentati i risultati sperimentali ottenuti.

Vengono infine presentate le conclusioni a cui si è giunti alla fine della tesi.

L'appendice descrive i risultati delle forme d'onda degli impulsi CDM a cui sono stati testati i dispositivi.



## **CAPITOLO 1 : LA TECNOLOGIA BCD8**

Il nome *BCD* (*Bipolar CMOS DMOS*) nasce a metà degli anni '80 per identificare una nuova classe di processi che mira ad integrare su un unico chip componenti bipolari, transistor di segnale CMOS e di potenza DMOS. In tal modo questa tecnologia raggiunge un'elevata complessità circuitale, e, grazie all'integrazione di memorie non volatili, permette la realizzazione di system-on-chip particolarmente indicati nel campo dell'auto motive, audio di potenza, delle periferiche per computer, industriali e delle telecomunicazioni.

## 1.1 Storia ed evoluzione<sup>4</sup>

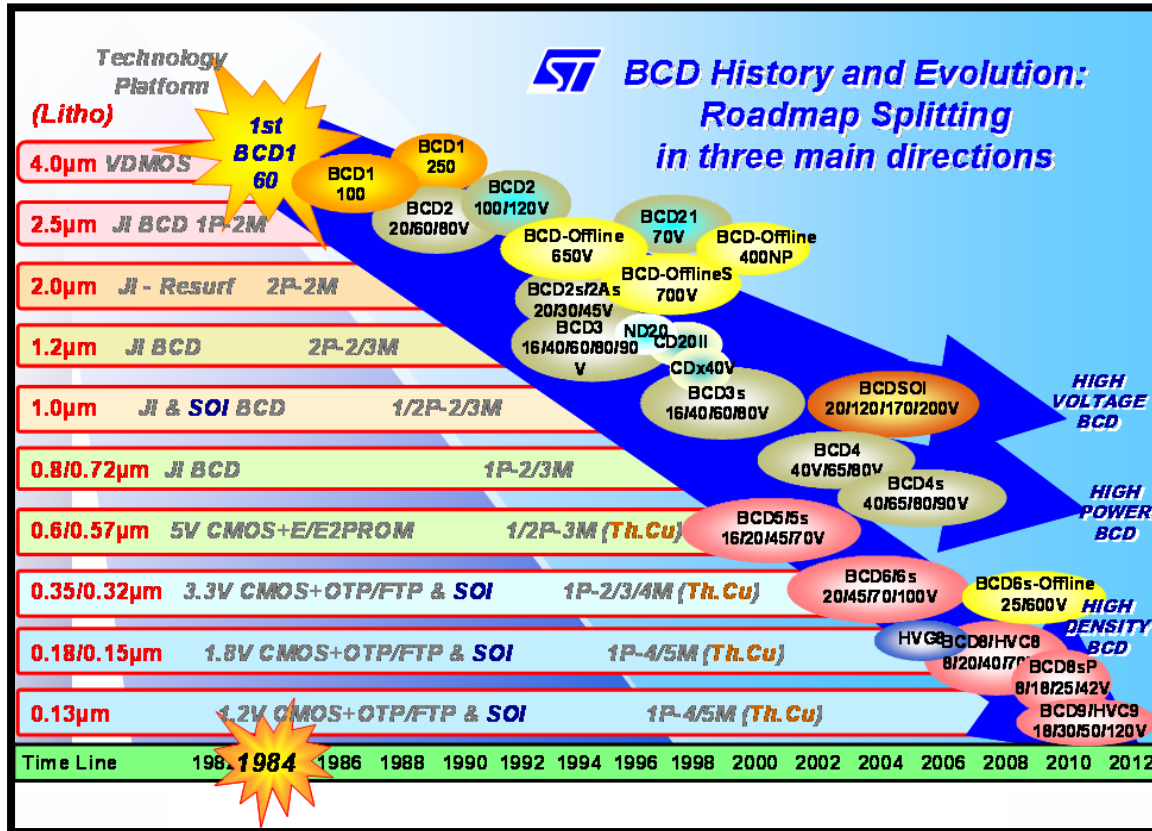


Figura 1.1: Roadmap dell'evoluzione della tecnologia BCD.

L'evoluzione della tecnologia BCD non si è sviluppata solamente nella riduzione della dimensione litografica minima (attualmente nella tecnologia BCD8 ha raggiunto i 0.18µm) ma anche verso l'aumento della tensione operativa, da 16V a 700V. Infatti un ulteriore vantaggio della tecnologia BCD è associato alla possibilità di aumentare la densità di corrente gestibile dai dispositivi di potenza e, in molti casi, la potenza dissipata a parità di corrente fornita sul carico. Ciò è possibile grazie al fatto che nella tecnologia BCD il componente principale è il MOSFET dove la densità di corrente dipende dal rapporto geometrico W/L (larghezza/lunghezza del canale). Nei transistor bipolari di potenza invece la densità di corrente dipende dall'area dell'emettitore e quindi una riduzione della litografia non porta a nessun apprezzabile miglioramento. Si

ha quindi la possibilità di avere su un circuito di area ridotta sia circuiti analogici, sia digitali, sia componenti di segnale, che di potenza.

La prima generazione **BCD 1** è stata sviluppata utilizzando per i componenti Bipolari e CMOS gli stessi passi di processo, layers e profili di drogaggio utilizzati nella realizzazione del Vertical DMOS di potenza. La minima litografia era  $4\mu\text{m}$ , tensione di soglia di 3V e massima tensione operativa raggiunta di 250V. Nonostante la possibilità di realizzare un sistema di potenza su un singolo chip, le dimensioni del die rendevano il BCD 1 troppo costoso per alcune applicazioni. Si decise quindi di ridurre le minime dimensioni passando ai  $2.5\mu\text{m}$  del **BCD 2**.

Ciò permise di raddoppiare la densità dei componenti CMOS e l'intensità di corrente nella sezione di potenza. In questa generazione i componenti di potenza erano sia verticali (*VDMOS*), che laterali (*LDMOS*). Alcuni integrati BCD 2 raggiunsero tensioni di funzionamento di 700V, chiaramente non VLSI.

Agli inizi degli anni '90 fece la sua comparsa la tecnologia **BCD 3** con litografia da  $1.2\mu\text{m}$ . Oltre ai benefici di scaling tecnologico, la sua principale innovazione fu quella di poter integrare anche le memorie non volatili di tipo EPROM/EEPROM, iniziando così l'era dei *system on a chip* aventi microprocessore, memoria e sezione di potenza sulla medesima piastra di silicio. A cominciare da questa tecnologia fu introdotto un approccio modulare alla definizione del flusso di processo.

La tecnologia **BCD 4** ha rappresentato un ulteriore sviluppo nel filone high power, avendo avuto come tipico campo di sviluppo il settore auto motive, con lo scopo di ridurre al massimo i costi realizzativi. La minima dimensione litografica era pari a  $0.8\mu\text{m}$  e lo spessore dell'ossido di gate pari a 28nm.

La tecnologia **BCD 5** fece la sua comparsa nella seconda metà degli anni '90. È una tecnologia mista a  $0.6\mu\text{m}$  creata per fornire low voltage 16 e 20V LDMOS, 40V N e P-channel power lateral DMOS, 80V N lateral DMOS insieme a logica CMOS ad alta densità con alta immunità ai disturbi di substrato, ed inoltre array di memorie E/EEPROM. Sono stati abbandonati i DMOS verticali, che non presentavano vantaggi viste le classi di tensione raggiunte.

Nei primi anni dello scorso decennio è stata sviluppata la tecnologia **BCD 6**, con litografia da  $0.35\mu\text{m}$ . Questa tecnologia ha trovato una grande applicazione nei sistemi

*system-on-chip*. Grazie alla riduzione della lunghezza di canale rispetto ai predecessori è stato possibile aumentare sostanzialmente il numero di porte logiche integrabile nello stesso chip. Si è riusciti quindi ad avere una vera e propria tecnologia mista, in quanto la parte digitale è iniziata ad essere utilizzata non più solo a livello marginale. Un'ulteriore evoluzione di questa tecnologia si è avuta con l'introduzione degli SOI (*Silicon On Insulator*).

Il **BCD 8** appartenente alla famiglia *High-Density-BCD*, ne rappresenta un ulteriore miglioramento. Questa generazione è incentrata sulla tecnologia CMOS da 0.18 $\mu$ m con approccio modulare, per permettere una grande varietà di applicazioni.

In applicazioni come amplificatori audio digitali e linee di comunicazioni di potenza, la famiglia BCD 8 rappresenta una valida alternativa all'approccio multi-die o multi-chip. Sfruttando la tecnologia front-end a 0.18  $\mu$ m, permette l'integrazione di dispositivi di potenza,  $\mu$ C, DSP e memorie, con un giusto compromesso tra occupazione d'area e costo. Inoltre il processo modulare permette l'integrazione dei meno costosi 3.3V CMOS con i più densi 1.8V-CMOS-LL (*Low Leakage*). Questa soluzione è particolarmente indicata nell'ambiente auto motive o nel data-storage delle stampanti, dove il principale obiettivo è il costo del dispositivo.

## **1.2 Le applicazioni delle tecnologie BCD<sup>5,6</sup>**

La tecnologia BCD, integrando al suo interno sia componenti di segnale che di potenza, è perfettamente adatta ad essere utilizzata come interfaccia tra il mondo digitale e quello analogico. Con l'aumento della densità dei componenti e delle frequenze operative, qualunque filo diventa una fonte importante di disturbo elettromagnetico. La CPU deve quindi essere tenuta “*nella bambagia*” attraverso dispositivi di protezione che permettono al core di funzionare correttamente senza essere danneggiato dai disturbi provenienti dall'ambiente esterno. Queste soluzioni, definite come “System Oriented Technologies”, sono in grado di proteggere i core digitali, sono particolarmente robuste e operano ad alta tensione. In questo settore la tecnologia BCD la sta facendo da

padrone, con un'ampia gamma di dispositivi audio, tecnologie di memoria, componenti a radiofrequenza, passivi integrati, dispositivi per l'alta tensione, sensori, attuatori e dispositivi microelettromeccanici e microfluidici.

Inoltre le caratteristiche dei sistemi BCD li portano ad essere particolarmente adatti a realizzare system-on-chip. Per system-on-chip si intendono quei sistemi che integrano all'interno di un singolo chip: processori, moduli di memoria, convertitori e altri dispositivi.

Un ambiente in cui questa tecnologia è largamente sfruttata è quello auto motive, dove vengono realizzati

sia componenti ad alta tensione per il pilotaggio dei display LCD o al plasma, sia per componenti RF. Inoltre sono utilizzati per airbag, sistemi ABS, unità di controllo degli iniettori, alimentatori a commutazione e voltage regulator.

Negli altri ambienti si possono citare i controlli per motori elettrici e i DC-DC converter nell'ambito industriale, mentre driver per i display, dispositivi audio consumer, moduli SLIC (Subscriber Line Interface Circuit) nel mondo telecom.

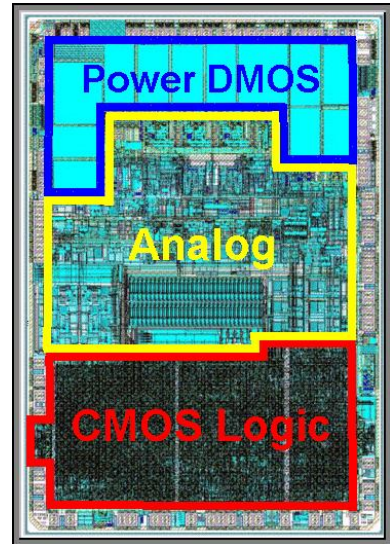


Figura 1.2: Struttura Smart Power.

<b>700V</b>	Lamp Ballast	<b>HIGH VOLTAGE BCD</b>	
	Industrial Motor Control & Power Supply		
	<b>200V</b>		Diagnostic Medical Ultrasound
	Plasma Display Drivers		
	<b>100V</b>		Audio Power Amplifier for Consumer
	Telecom Wireline Application		
<b>80V</b>	Automotive ABS, Airbag, Injector Drivers	<b>HIGH POWER</b>	
	Motor Control and Power Supply		
	Voltage Regulator		
<b>60V</b>	Automotive Smart Voltage Regulator for Alternator	<b>HIGH DENSITY BCD &amp; HVGCMOS</b>	
	Automotive Super Smart Power for Body, Brake-by-Wire		
	Automotive ECU for Thermal Engine Management		
	Printer Motor Control and Head Driver		
	<b>40V</b>		Audio Power Amplifier for Car Radio & Consumer
	<b>20V</b>		LCD/TFT/OLED Display Drivers
	Power Management for Portables		
Hard Disk Drive Power Combo for Data Storage			

Tabella 1.1: Applicazioni di tecnologie Smart Power.

### 1.3 La tecnologia BCD8<sup>7</sup>

Come accennato precedentemente il BCD 8 ha l'indubbio vantaggio di integrare dispositivi CMOS da 1.8V e 5V all'interno dello stesso die. Inoltre grazie alla tecnica d'isolamento delle giunzioni si possono ottenere componenti HV-BCD (*High Voltage BCD*) sino a 70V. Ciò permette sia di avere:

- Un'alta complessità circuitale in uno spazio molto ridotto.
- Una disponibilità di oggetti di potenza.
- Dispositivi che possono reggere tensioni di decine di Volt.
- Inoltre questa tecnologia offre della memoria SRAM/ROM ad alta densità e della *single-poly* EEPROM.

La lunghezza minima di canale dei MOSFET è pari a  $0.18\mu\text{m}$ , inoltre sono stati implementati due spessori dell'ossido di gate, uno pari a  $35\text{\AA}$  per applicazioni ad 1.8V e uno  $120\text{\AA}$  per applicazioni a 5V.

Il problema principale della tecnologia BCD8 nei confronti degli stress CDM è il ridotto spessore dell'ossido; infatti, la parte più debole delle strutture con gate isolato è, appunto, il gate. Questo problema viene accentuato quando si è alla presenza di circuiti ad elevata complessità, ad esempio quando si ha la convivenza tra strutture digitali e analogiche da 1.8V e 5V. È noto che non si può lasciare una pista che colleghi una parte analogica e digitale o due parti dello stesso tipo o con capacità intrinseche molto differenti, senza protezioni. Essendo il CDM un fenomeno transitorio estremamente veloce, è necessario che tutti i transistor abbiano la stessa risposta dinamica, in modo da minimizzare gli overshoot di tensione durante i processi di carica e scarica. Una differenza nella risposta dinamica, può portare facilmente alla rottura dell'ossido di gate. Per proteggere gli ossidi di gate gli si devono porre il più vicino possibile dei clamp locali come mostrato in Figura 1.3.

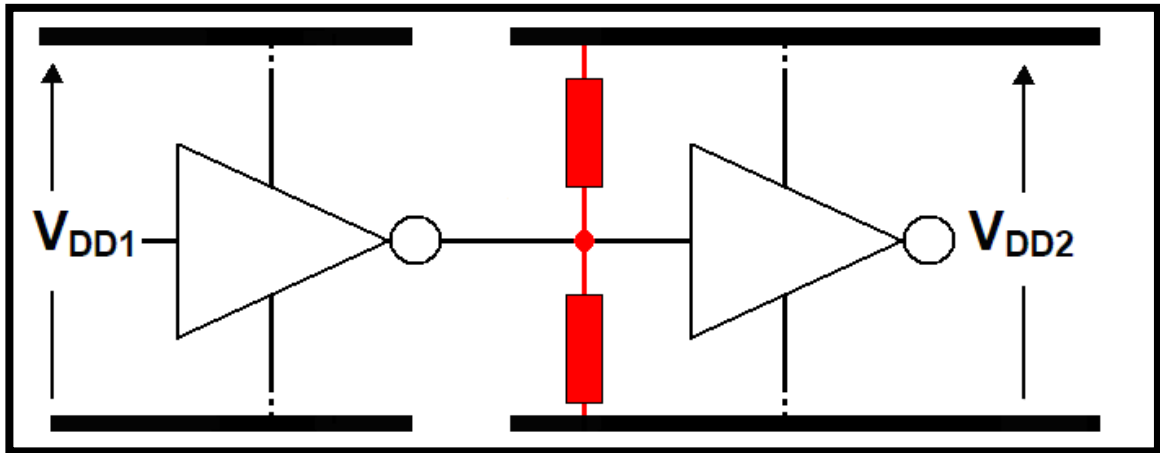


Figura 1.3: Soluzione con due protezioni generiche.





## **CAPITOLO 2 : SCARICHE ELETTROSTATICHE (ESD)**

La scarica elettrostatica, ESD (ElectroStatic Discharge) si verifica quando sulla superficie di due oggetti, isolati tra loro da un dielettrico, si accumulano cariche di segno opposto e la capacità tra i due oggetti è molto piccola. Si viene quindi a creare una differenza di potenziale tra le due superfici che può portare alla rottura del dielettrico e quindi alla scarica elettrostatica. Tipicamente il dielettrico è un gas o una miscela di gas. Per valutare l'entità del fenomeno, basti pensare che con una carica di 10nC ed una capacità di 10pF, si raggiunge la tensione di 100V.

Le ESD sono le cause di fallimento per più del 30% (circa per il 50% nelle fasi iniziali di vita) dei componenti elettronici a semiconduttore, partendo dalla realizzazione su wafer per poi estendersi alla fase di assemblaggio, di testing e utilizzazione.

## 2.1 Meccanismi di origine della scarica

Tra i fenomeni fisici che causano accumulo di carica nei corpi, i più importanti sono i seguenti 3:

- Effetto triboelettrico.
- Induzione elettrostatica.
- Conduzione.

### 2.1.1 Effetto triboelettrico

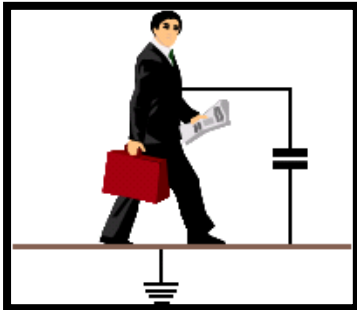


Figura 2.1: Effetto triboelettrico.

Il caricamento per effetto triboelettrico è il fenomeno più diffuso in un ambiente di assemblaggio o in un laboratorio. Richiede il contatto e la separazione tra due diversi materiali con diversa affinità elettrica, dei quali almeno uno isolante. L'oggetto con affinità maggiore acquisisce elettroni secondo la relazione (2.1).

$$Q = eNA[\varphi_1 - \varphi_2] \quad (2.1)$$

Dove:

$\varphi_1$  e  $\varphi_2$  sono le effettive funzioni lavoro [eV] ( $\varphi_1 > \varphi_2$ )

$Q$  = carica positiva sul corpo 2 [C]

$e$  = carica dell'elettrone [ $1.6 \cdot 10^{-19}$ C]

$N$  = densità degli stati superficiali [ $m^{-2}eV^{-1}$ ]

$A$  = area effettiva di contatto [ $m^2$ ]

## Capitolo 2: Scariche Elettrostatiche (ESD)

Questo effetto può avvenire solo se uno dei due materiali è un isolante, mentre l'altro può essere sia un isolante che un conduttore, in quanto tra due conduttori si avrebbe ricombinazione immediata di carica senza alcun accumulo. Non è necessario lo sfregamento tra i due materiali per avere passaggio di carica; inoltre più velocemente avviene la separazione tra i due corpi, meno tempo si ha per la ricombinazione delle cariche. I vari materiali possono essere ordinati secondo una "serie triboelettrica" come indicato in Tabella 2.1. I materiali collocati nella parte alta si caricano positivamente se posti in contatto con quelli collocati nella parte bassa.

Aria
Pelle Umana
Amianto
Vetro
Mica
Capelli
Nylon
Lana
Seta
Alluminio
Carta
Cotone
Acciaio
Legno
Gomma dura
Nichel, rame
Ottone, argento
Oro, platino
Rayon
Poliestere
Celluloide
Orlon
Polistirene
Poliuretano
Saran
Polietilene
PVC
Silicio
Teflon
Gomma

**Tabella 2.1: Serie Triboelettrica**

Le caratteristiche superficiali dei materiali: umidità, temperatura e rugosità hanno una notevole influenza sul valore della carica immagazzinata. In particolare l'umidità aumenta sia la conducibilità superficiale che quella dell'aria, aumentando la ricombinazione tra elettroni e lacune. In Tabella 2.2 si può osservare come al variare della percentuale di umidità relativa vari la carica immagazzinata.

<b>Effetti dell'umidità sulla carica per effetto triboelettrico</b>		
<b>Evento</b>	<b>UR%: 10-20%</b>	<b>UR%:65-90%</b>
Camminando sul tappeto	35 000 V	1 500 V
Camminando sul pavimento di vinile	12 000 V	250 V
Operatore al banco	6 000 V	100 V
Buste in vinile con istruzioni di lavoro	7 000 V	600 V
Borsa di plastica tolta dal banco	20 000 V	1200 V
Sedia isolante	18 000 V	1500 V
Impiego di ventosa isolante	> 20 000 V	1 500 V

**Tabella 2.2: Esempi di caricamento per effetto triboelettrico**

Non è sempre possibile lavorare in ambiente con un tasso di umidità abbastanza elevato. Per esempio alcuni dispositivi per il montaggio superficiale (quad flat pack, plastic chip carrier, ecc.) non devono essere esposti ad alti tassi di umidità in fase di incapsulamento e stoccaggio poiché la brusca espansione dell'acqua contenuta nella plastica creerebbe, in fase di saldatura, delle grosse fessure nel contenitore (package) plastico (effetto "pop-corn").

Sono necessari altri accorgimenti, soprattutto in fase di produzione, per evitare l'accumulo di cariche. A tal fine si utilizzano materiali antistatici durante ogni fase di processo e gli operatori devono essere mantenuti al potenziale di massa attraverso appositi bracciali, collegati a terra attraverso una resistenza elevata, tipicamente 1MΩ, per motivi di sicurezza dell'utente.

### 2.1.2 Induzione elettrostatica

Il caricamento per induzione elettrostatica si può riassumere in quattro fasi come mostrato in Figura 2.2.

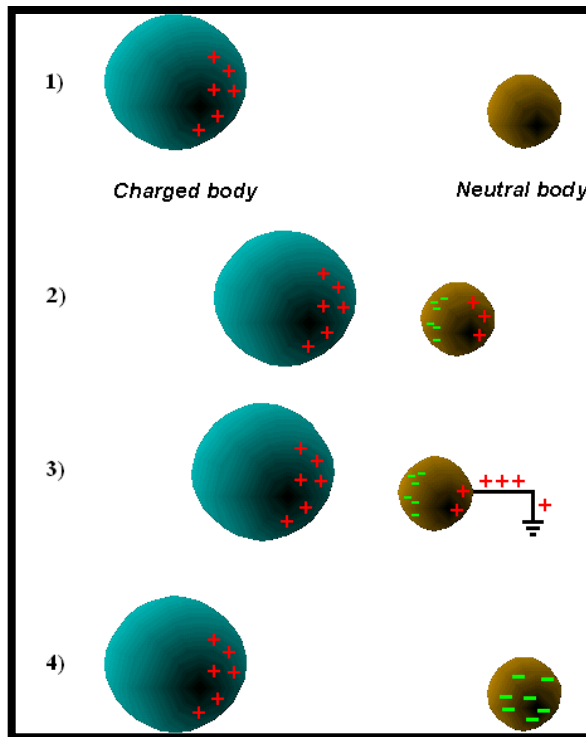


Figura 2.2: Caricamento per induzione

Un corpo conduttore inizialmente neutro (1) si pone in vicinanza di un corpo carico e il campo generato da quest'ultimo provoca una separazione di carica (2). Ponendo a massa il conduttore, parte della carica viene rimossa (3) ed il corpo si trova ad avere un eccesso di carica di segno opposto rispetto a quella del corpo inizialmente carico (4). Rimettendo a massa il conduttore lo si riporta in condizioni di neutralità. L'impulso di corrente che ne deriva è limitato solo dalla resistenza del percorso conduttivo verso massa: poiché questa può essere molto bassa, l'impulso di corrente può raggiungere valori molto elevati.

### 2.1.3 Conduzione

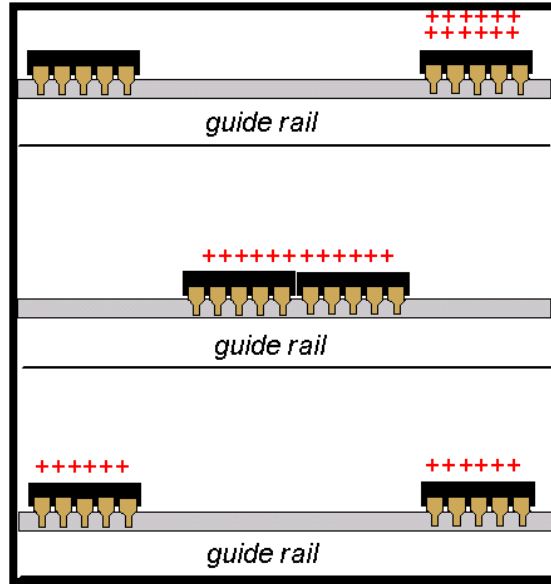


Figura 2.3: Caricamento per conduzione

Il caricamento per conduzione avviene tramite il contatto e il bilanciamento di carica, tra due oggetti a potenziali diversi. Come si può vedere in Figura 2.3, un oggetto carico viene posto a contatto con un corpo neutro. Si ha quindi una redistribuzione della carica, che prosegue fino a che i due oggetti non si trovano allo stesso potenziale, conservando la quantità totale della carica nel sistema. Un esempio di caricamento per induzione si ha nella fase di testing di dispositivi elettronici: l'handler muove i pezzi sulle guide per portarli al sistema di test ed essi entrano continuamente in contatto. Se un dispositivo si carica per effetto triboelettrico, la carica viene poi trasferita per conduzione, rischiando di danneggiare tutte le parti coinvolte.

## 2.2 Scarica in aria, arco ed effetto corona

I fenomeni di scarica avvengono in molteplici circostanze, di solito tra un corpo carico e uno che gli si avvicina collegato a massa. Di solito l'isolante tra questi due materiali è aria o un gas ad atmosfera controllata. La transizione di carica tra i due oggetti avviene per rottura dell'isolante, per campi elettrici superiori a quelli imposti dalla rigidità dielettrica, o nel caso in cui ciò non avvenga, per contatto diretto tra i due oggetti. Se l'avvicinamento tra i due oggetti avviene nell'ambito dei milli secondi, la rottura dell'isolante e quindi la scarica è nell'ordine dei nano secondi. Per alte tensioni il breakdown dell'aria può essere innescata dal passaggio di un solo elettrone, che dà luogo a un processo di valanga. Si instaura quindi un canale di plasma tra i due corpi. Molti parametri influenzano questo processo: tensione elettrostatica, polarità, distanza tra gli elettrodi, il materiale di cui sono fatti i due oggetti, la loro superficie, la velocità con cui si avvicinano, la loro illuminazione, la composizione e la pressione del gas.

In aria umida gli elettroni circondati da molecole d'acqua si trovano sulla superficie degli elettrodi. Questi elettroni possono servire come origine per il breakdown. In questo modo l'umidità aumenta in modo significativo la distanza tra anodo e catodo a cui avviene il breakdown.

Inoltre più velocemente i due elettrodi si avvicinano, più spazio possono percorrere prima che avvenga l'arco. Si ha quindi che più velocemente si avvicinano i due elettrodi, più si riduce la distanza per cui si ha un arco.

Il processo di moltiplicazione a valanga in gas si instaura quando il numero di coppie  $e^-/h^+$  generate è maggiore di quelle che si ricombinano ed è caratterizzato dalla relazione di Streamer e Townsend qui riportata:

$$I = I_0 e^{\alpha d} \quad (2.2)$$

Dove :

$I_0$  = corrente di saturazione del regime Geiger

$d$  = distanza tra i due elettrodi

$\alpha$  = primo coefficiente di Townsend

Il coefficiente di Townsend è legato alle caratteristiche del sistema secondo:

$$\alpha = Ape^{\frac{B}{E/p}} \quad (2.3)$$

Dove:

E = campo elettrico

p = pressione del gas

A, B = valori tabulati interpolando le curve che si ottengono al variare della pressione e della tensione applicata nel gas, per diversi gas. I valori delle due costanti dipendono dal tipo di gas e dai due parametri, ma non dalla forma e dal materiale dell'elettrodo.

Solitamente associato alla scarica in aria si ha il verificarsi o di un effetto corona o di un arco elettrico.

I valori del campo elettrico che portano alla rottura dell'isolante vengono governati dalla rigidità elettrica che è definita come il valore limite di campo elettrico, espresso in kV/mm (kilovolt per millimetro), oltre il quale si produce una conduzione di elettricità (scarica elettrica) attraverso il materiale dielettrico.

Se il campo elettrico supera tale valore, gli atomi o le molecole del materiale subiscono un processo di ionizzazione a valanga, che provoca un arco elettrico attraverso il materiale. A causa del calore e della pressione provocati dalla ionizzazione improvvisa il materiale subisce, se solido, alterazioni permanenti: può perforarsi, fessurarsi o anche prendere fuoco.

La rigidità dielettrica determina il limite massimo di tensione sopportabile da un condensatore o da un cavo elettrico, oppure la distanza minima di separazione in aria che deve avere un conduttore in alta tensione per garantire l'isolamento.

Quando lo spessore di uno strato isolante si riduce a spessori di millesimi di millimetro, anche tensioni relativamente basse possono dare origine a campi elettrici elevatissimi e superare il valore di rigidità dielettrica. È questo il motivo per cui i circuiti integrati usati in elettronica sono particolarmente suscettibili di essere danneggiati da scariche elettrostatiche. Non si parla più quindi di rottura del gas, ma di rottura del vuoto. Il campo elettrico molto intenso provoca emissione di elettroni dal catodo, i quali creano un percorso di scarica verso l'anodo. In questo caso in base alla temperatura del catodo

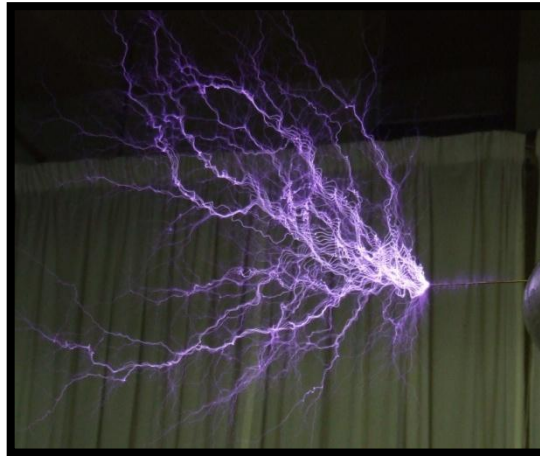


## Capitolo 2: Scariche Elettrostatiche (ESD)

si possono avere due meccanismi fisici differenti. Per temperatura ambiente, è predominante l'emissione di elettroni, mentre per temperature sopra i  $1000^{\circ}\text{K}$  si ha un'emissione Schottky.

La determinazione del valore di rigidità dielettrica si effettua applicando valori progressivamente crescenti di differenza di potenziale tra due facce di un campione di dimensioni e forma standard di un materiale.

Nei fluidi, l'arco elettrico non ha effetti distruttivi (a meno che non si tratti di fluidi infiammabili o detonanti) e dopo la scarica il mezzo fluido ritorna isolante come prima, con identiche caratteristiche. La scarica elettrica può però provocare reazioni chimiche, per esempio la sintesi di ozono nell'aria. Per tensioni molto vicine alla rigidità dielettrica, nei fluidi si verifica l'effetto corona, dovuto al moto degli ioni presenti.



**Figura 2.4: Esempio scarica a corona<sup>8</sup>**

L'effetto corona è un fenomeno per cui una corrente elettrica fluisce tra un conduttore a potenziale elettrico elevato ed un fluido neutro circostante, generalmente aria.

L'effetto si manifesta quando il gradiente di potenziale supera un determinato valore sufficiente a provocare la ionizzazione del fluido isolante ma insufficiente perché si inneschi un arco elettrico. Una volta ionizzato, il fluido diventa plasma e conduce elettricità. Il circuito elettrico si chiude quando la carica elettrica trasportata dagli ioni giunge lentamente al punto di potenziale di riferimento del generatore, solitamente la terra.

Se l'oggetto ad alto potenziale ha una parte appuntita, le cariche tendono a concentrarsi maggiormente in quest'area, e l'aria circostante si porta ad un potenziale maggiore rispetto ad altre zone, per un fenomeno noto come potere dispersivo delle punte. Per questo l'effetto corona può manifestarsi limitatamente in prossimità delle punte ma non su altre parti del conduttore. Da qui la ionizzazione può estendersi oppure no, in dipendenza dell'acutezza della punta.

Se la ionizzazione continua ad aumentare invece di stabilizzarsi, si può aprire una via di plasma verso il punto a potenziale neutro fino all'innescò di una scintilla o di un arco.

La produzione dell'effetto corona implica generalmente l'utilizzo di due elettrodi, uno appuntito per aumentare la ionizzazione (la punta di un ago o un filo sottile) ed uno a bassa curvatura (una placca o la terra stessa).

Associato all'effetto corona si può avere emissione di luce, produzione di ozono e rumore caratteristico.

La scarica ad arco è l'altro tipo di scarica che si viene a verificare durante i fenomeni ESD. Nella generazione di un arco elettrico gioca un ruolo essenziale l'emissione termoionica dal catodo: il catodo si scaldà molto per collisione con gli ioni e per la dissipazione di potenza che si ha nello strato catodico.

L'aumento notevole del flusso di elettroni dato dall'emissione termoionica causa una seconda transizione, in cui la tensione applicata ai capi del tubo diminuisce.

Conseguentemente la corrente elettrica aumenta di molto, dalle decine a migliaia di Ampere.

Nei fenomeni CDM si può tenere conto dell'effetto arco, rappresentandolo come una resistenza tra i due pin di carica e scarica.



**Figura 2.5: Scarica ad arco<sup>8</sup>.**

## 2.3 Modelli per i fenomeni ESD

Le varie tipologie dei fenomeni di carica e scarica dei dispositivi possono essere divise in tre principali cause di ESD:

- Contatto del componente con un corpo umano carico (ex.: operatore non connesso a massa).
- Contatto del componente con una macchina operatrice carica (ex.: servomanipolatori); la situazione è diversa rispetto a quella del contatto umano a causa delle differenti tensioni in gioco e della diversa resistenza di contatto offerta, soprattutto nel caso di macchina con superficie metallica.
- Sfregamento e contatto del componente contro le pareti interne del contenitore durante il suo trasporto.

Queste tre diverse tipologie sono state rappresentate da altrettanti modelli atti a riprodurre le forme d'onda in corrente al fine di creare uno standard che permettesse di riprodurre i risultati degli stress.

La necessità di creare un modello per questi fenomeni risiede nel fatto che si vogliono poter riprodurre queste scariche in laboratorio. Si presentano alcune difficoltà in questa realizzazione, in quanto i simulatori di fenomeni ESD devono essere in grado di riprodurre le caratteristiche dei processi di trasferimento della carica che avvengono nel mondo reale, facendo sì che i livelli di stress siano gli stessi per tutti i simulatori.

Questi modelli sono rispettivamente: *Human Body Model* (HBM), *Machine Model* (MM), *Charge Device Model* (CDM).

### 2.3.1 Human Body Model (HBM)

L' HBM è un modello che riproduce la forma d'onda della corrente che si genera quando si ha una scarica tra un corpo umano e la parte metallica di un circuito integrato.



Figura 2.6: Scarica HBM

La scarica avviene con un tempo di salita dell'ordine di 10ns e con un tempo di discesa dell'ordine di 150ns, mentre il picco di corrente può essere dell'ordine di qualche Ampere, a seconda della tensione cui il corpo umano è caricato e delle condizioni in cui si verifica il fenomeno.

La forma d'onda di corrente tipica del ESD-HBM può essere simulata dal circuito di Figura 2.7.

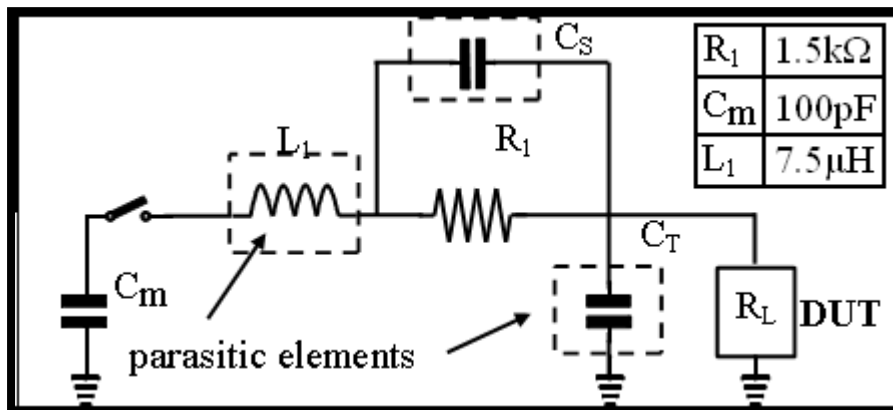


Figura 2.7: Circuito equivalente per una scarica HBM

$R_1$  rappresenta la resistenza della pelle umana e viene fissata pari a 1.5k $\Omega$  dalle normative, mentre  $C_m$  rappresenta la capacità del corpo umano e viene fissata pari a 100pF.  $C_s$  è la capacità parassita della resistenza  $R_1$ ;  $L_1$  è l'induttanza parassita del contatto che insieme con  $R_1$  determina il fronte di salita della scarica;  $C_T$  è la capacità parassita della board di test e  $R_L$  indica la resistenza del carico (Device Unit Test DUT).

L'intensità di corrente è data da:

$$I(t) = V_C C_C \frac{\omega_0^2}{\sqrt{a^2 - \omega_0^2}} e^{-\frac{R}{2L_1} t} \sinh\left(\sqrt{a^2 - \omega_0^2} \cdot t\right) \quad (2.4)$$

con  $a = R/2L_1$ ,  $\omega_0 = \frac{1}{\sqrt{L_1 C_S}}$ ,  $a > \omega_0$  e  $R = R_1 + R_L \approx R_1$ .

Il tempo di salita può essere approssimato come:  $t_{rise} = \frac{2L_1}{R}$  (2.5)

L'effetto dell'induttanza è quello di limitare la velocità di variazione della corrente: per avere  $t_R = 10\text{ns}$ ,  $L_1$  deve essere circa  $7.5\mu\text{H}$ .

In Figura 2.8 sono riportate le forme d'onda in corrente, per una scarica di 2KV nel circuito ideale con:  $C_S = C_T = 0\text{pF}$  e con  $C_S = 1\text{pF}$  e  $C_T = 0\text{pF}$ .

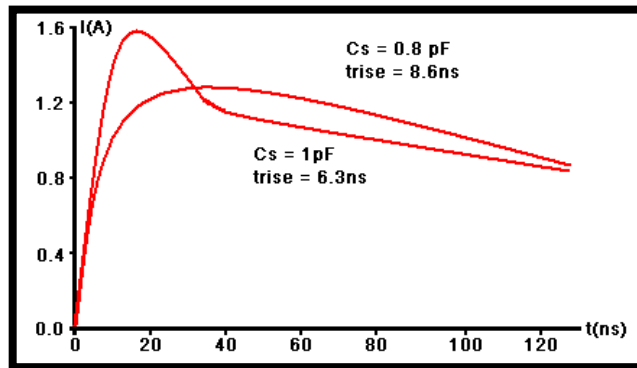


Figura 2.8: Forme d'onda tipiche HBM, ottenute con il circuito di simulazione di figura 3.8

Si può notare come l'aumento del valore di  $C_S$  comporti un rispettivo aumento della corrente di picco e nel contempo una diminuzione del tempo di salita. La capacità parassita della test board comincia a far sentire la sua influenza quando la DUT ha un'alta impedenza o quando il numero di piedini del dispositivo è elevato (nel qual caso il rise time può dipendere dalla combinazione di pin utilizzata). Gli elementi parassiti del tester costituiscono un problema rilevante in quanto, modificando la forma d'onda di corrente, rendono difficile la riproducibilità del test su macchine diverse; per questo le norme vigenti fissano limiti abbastanza stringenti sulle specifiche della forma d'onda.

### 2.3.2 Machine Model (MM)

Il MM (Machine Model) è il metodo standard ESD usato inizialmente in Giappone e successivamente anche nelle industrie di produzione di IC negli Stati Uniti e in Europa. Il MM riproduce la forma d'onda di corrente che viene generata quando un'apparecchiatura metallica carica (ad esempio i macchinari automatici che toccano e spostano i dispositivi, o gli strumenti per i test) viene a contatto con un circuito integrato (Figura 2.9).

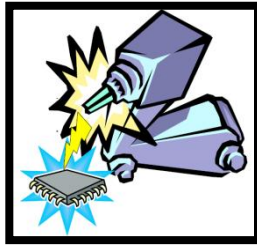


Figura 2.9: Esempio di scarica CDM

Il modello concettualmente è simile a quello di un HBM, ma la natura del corpo consente fa sì che la resistenza sia nulla. Si tratta, infatti, di una struttura prevalentemente metallica, la cui resistenza interna è trascurabile. Un immagazzinamento di carica maggiore provoca picchi di corrente molto alti e tempi d'evoluzione più rapidi, conferendo al test MM una maggiore severità.

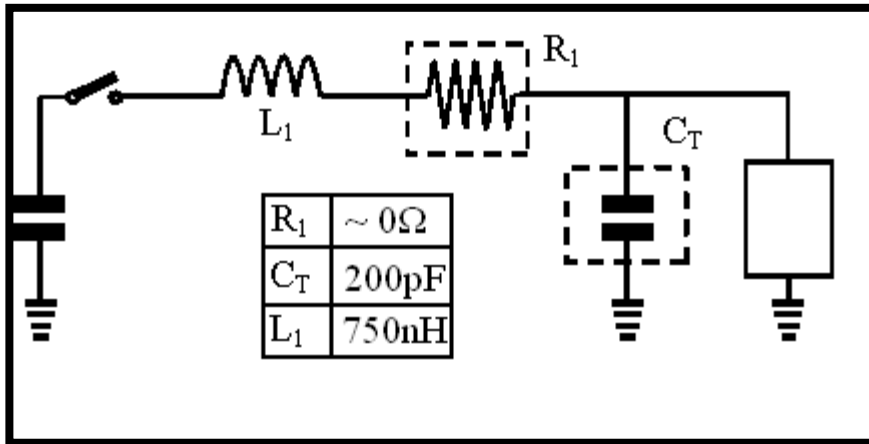


Figura 2.10: Circuito equivalente per una scarica MM

Il circuito di scarica è quello dell'HBM (Figura 2.10), con un valore di capacità maggiore  $C_T = 200\text{pF}$ , a causa della notevole estensione del corpo e una resistenza trascurabile  $R_1 \approx 0\Omega$  essendo il corpo metallico.

La corrente del MM è descritta dalla relazione (1.2) [1]. Quando  $a < \omega_0$  si ottiene:

$$I(t) = V_C \sqrt{\frac{C_C}{L_1}} e^{-\frac{R}{2L_1}t} \sin\left[\frac{t}{\sqrt{L_1 C_C}}\right] \quad (2.6)$$

dove il termine sinusoidale ha periodo  $T = 1.5\sqrt{L_1 C_C}$ , quindi la capacità e l'induttanza determinano la frequenza dell'onda. Il tempo di salita è  $t_{rise} = \sqrt{L_1 C_C}$ , mentre il valore di

$$\text{picco della corrente vale } I_{peak} = V_C \sqrt{\frac{C_C}{L_1}}. \quad (2.7)$$

In figura 1.8 è riportata la curva tipica di una scarica MM.

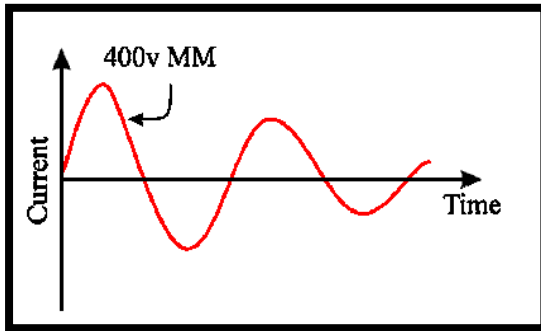


Figura 2.11: Curva tipica di una scarica MM a 400V

Per  $L_1 = 0.5\mu\text{H}$ , il picco di corrente  $I_p$  è circa di 7A, con frequenza di 16MHz. Il tempo di salita della corrente è circa 15ns. Quando  $L_1$  viene portata a  $2.5\mu\text{H}$ , per la stessa tensione di carica (400V) il picco scende a 3.7A e la frequenza diminuisce a 7MHz. Il tempo di salita è ora di circa 30ns. Ne segue che  $L_1$  ha un ruolo significativo nella definizione dell'ESD in un IC.  $L_1$  è influenzata dalla test board e dalle connessioni del package e per  $L_1 < 1\mu\text{H}$  risulta difficile ottenere la riproducibilità del test per Circuiti Integrati (IC) con elevato numero di pin ( $> 64$ ). Quindi la specifica fondamentale per il MM è di avere  $L_1 > 1\mu\text{H}$ . Grazie alla bassa resistenza serie del tester MM, diviene facile rilevare l'influenza di elementi parassiti e di conseguenza la compatibilità fra differenti apparecchiature calibrate con carico nullo: è questo uno dei motivi che ha portato alla diffusione di questo test.

Uno svantaggio di tale metodo di prova è invece determinato dalla sensibilità della forma d'onda rispetto all'impedenza dinamica del dispositivo e della test board, che ne compromette la riproducibilità delle misure, in particolare per integrati con elevato numero di pin<sup>9</sup>.

Di fatto, i tipi di fallimento indotti sono simili a quelli HBM e le soglie di fallimento sono scalate di un ordine di grandezza.

Pierce<sup>10</sup> ha dimostrato che scrivendo l'equazione dell'energia depositata nel circuito integrato durante uno stress e supponendo che tutta questa energia venga utilizzata per produrre un danneggiamento, è possibile trovare la seguente relazione tra tensione HBM e MM:



$$V_{MM} = \sqrt{\frac{R_{prot} C_{HBM}}{C_{MM} (R_{HBM} + R_{prot})}} V_{HBM} \quad (2.8)$$

Usando dei valori tipici, il rapporto MM:HBM è di 1:25. Questo dimostra che il livello di fallimento non dipende dalla durata dell'impulso, infatti, l'impulso MM è più breve di quello HBM. Inoltre è evidente che un aumento di  $R_{prot}$ , riduce il valore del rapporto<sup>11</sup>.

### 2.3.3 Charge Device Model (CDM)

Questo modello riproduce la rapida scarica di un IC, che si era caricato precedentemente, ad esempio scivolando lungo un tubo plastico, e che poi è entrato a contatto con un piano di massa. Durante questi fenomeni di scarica le correnti possono raggiungere valori di alcune decine di Ampere, mentre i rise time possono variare da alcuni ps a qualche ns. La durata della scarica invece è dell'ordine del ns. Il metodo più frequente di fallimento di dispositivi è per danneggiamento dell'ossido di gate, causato dalle alte tensioni indotte dalle correnti di scarica. Questo fenomeno ESD di solito non può essere dedotto né dall'HBM, né dal MM. La scarica in questo caso non interessa solo gli stadi periferici del circuito integrato, ma, dal suo interno, trova un percorso a bassa impedenza verso massa. I picchi di corrente sono in assoluto molto più elevati di quelli ottenibili con HBM.

A causa dello scaling tecnologico e dell'aumento dell'automazione nei processi industriali, i fenomeni ESD-CDM stanno aumentando di importanza, specialmente per le tecnologie future.

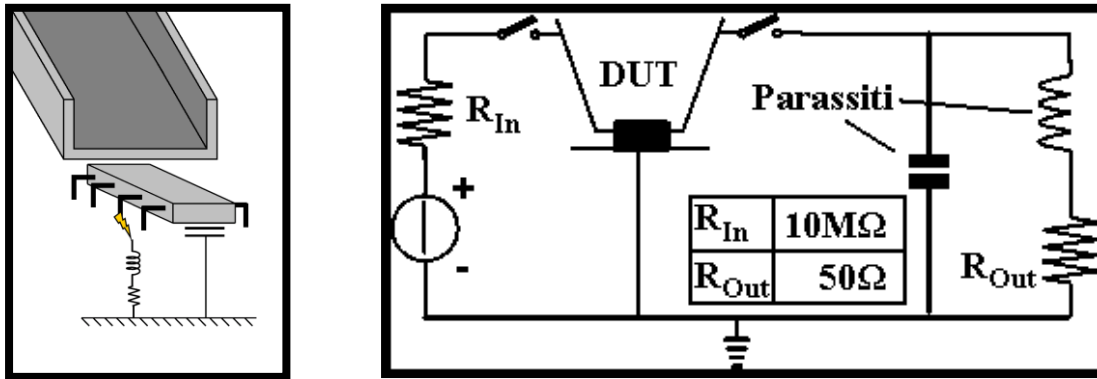


Figura 2.12: Esempio di scarica CDM con a fianco il circuito equivalente

Data la natura della scarica CDM, sono soprattutto gli elementi parassiti a giocare un ruolo fondamentale: infatti la quantità di carica accumulata dipende fortemente dalle caratteristiche del package (accoppiamenti capacitivi con heatslug e die pad), mentre la forma d'onda della corrente di scarica e la sua intensità dipendono dal percorso e quindi dagli accoppiamenti parassiti tra package, bond wires e substrato che costituiscono l'impedenza vista verso massa.

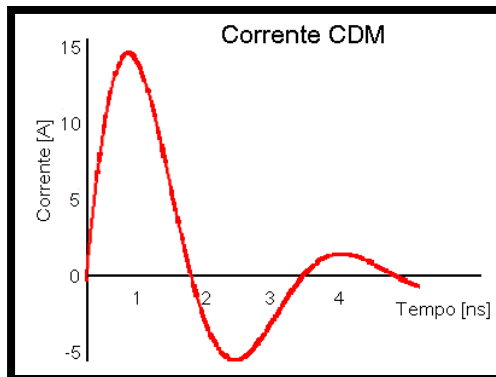


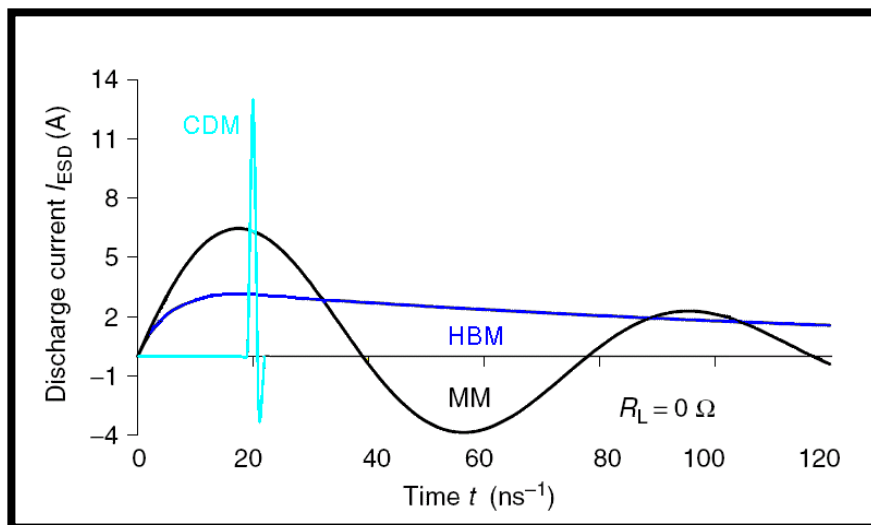
Figura 2.13: Forma d'onda tipica di fenomeni CDM con precarica positiva.

Il sempre maggiore utilizzo di strumenti automatici nella produzione e nell'assemblaggio dei componenti elettronici e la continua riduzione dello spessore degli ossidi di gate sta rendendo sempre più importante questo tipo di test, a discapito del HBM.

## Capitolo 2: Scariche Elettrostatiche (ESD)

Un problema notevole nella sua affermazione è costituito dal fatto che gli elementi parassiti presenti nel percorso di scarica che influiscono pesantemente sulla forma d'onda di corrente, non sono facilmente caratterizzabili e riproducibili.

Tuttora esistono tre differenti standard per i test CDM: ESDA (*ESD Association*), JEDEC (*JEDEC Solid State Technology Association*) ed AEC (*Automotive Electronics Council*) che determinano le procedure per calibrare i tester, le forme d'onda per differenti tensioni di precarica, capacità del componente e le metodologie di misura.



**Figura 2.14: Confronti forme d'onda nelle tre tipologie di scarica: HBM (5000V), MM (500V), CDM (500V).**

In Figura 2.14 è riportato il confronto delle forme d'onda in corrente delle tre tipologie di ESD. Come si vede lo stress a cui è sottoposto un circuito è molto differente in base al fatto che ci si trovi in ambiente HBM, MM o CDM. Non cambia solo la forma della corrente, ma anche l'ampiezza e la durata della scarica.

### 2.3.3.1 Evento CDM

Lo stress CDM consiste principalmente nel caricare un dispositivo elettronico, nel nostro caso un package plastico, per poi scaricarlo. A differenza del HBM e del MM, il CDM implica un completo accoppiamento capacitivo di tutte le capacità del dispositivo, sia quelle all'interno del silicio, sia quelle tra silicio e package, che quelle tra package e strumento di misura. Ci sono vari modelli per i tester CDM. La loro principale differenza consiste appunto nel metodo in cui viene caricato e scaricato il dispositivo.

Il primo tester CDM fu sviluppato da Bossard *et al.*<sup>3</sup>. In Figura 2.15 è riportato lo schema di funzionamento.

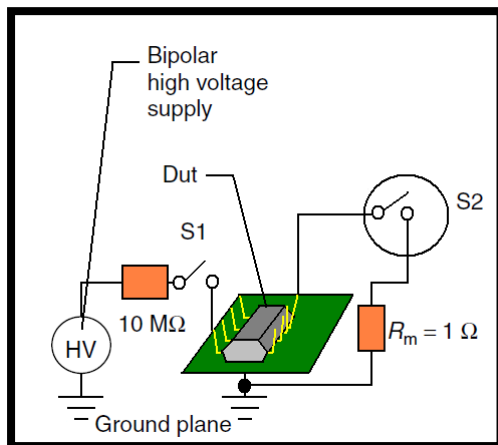


Figura 2.15: Struttura di funzionamento tester CDM

Il componente, posto in posizione “Dead Bug” viene caricato tramite un pin e scaricato attraverso un altro. Per il fatto che le sonde siano contattate ai piedini del dispositivo e l’impulso di carica e scarica sia comandato da due interruttori (S1 e S2), questo metodo venne denominato *Contact Mode*. Per il pin di carica si sceglie di solito quello con miglior contatto con il substrato. La capacità del dispositivo verso massa è fortemente influenzata dal package e dalla presenza di aria o di un dielettrico tra il piano di massa e il dispositivo.

Il maggiore vantaggio del contact mode è quello di essere fortemente ripetibile, lo svantaggio principale è la grande influenza dei componenti parassiti sulla forma d'onda in corrente. Infatti si devono aggiungere ai parassiti del dispositivo le capacità e induttanze parassite del percorso di scarica.

In seguito venne proposto un altro metodo chiamato *Field-induced* CDM (FCDM) che rispecchia maggiormente il reale fenomeno CDM. Questo sistema carica tutte le capacità interne al package tramite l'applicazione di un campo elettromagnetico, simulando molto fedelmente la carica di un dispositivo in linea di produzione, per effetto triboelettrico. La scarica avviene quando, avvicinando un oggetto metallico al dispositivo carico, si viene a creare una differenza di potenziale tra i due oggetti, superiore a quella del breakdown dell'aria. Si ha quindi una scarica in aria di brevissima durata ( $\sim 1\text{ns}$ ) e elevata intensità in corrente<sup>12</sup>. D'altra parte si ha una minore riproducibilità delle forme d'onda soprattutto quando la distanza tra i vari pin da misurare è molto piccola, a causa dell'effetto corona.

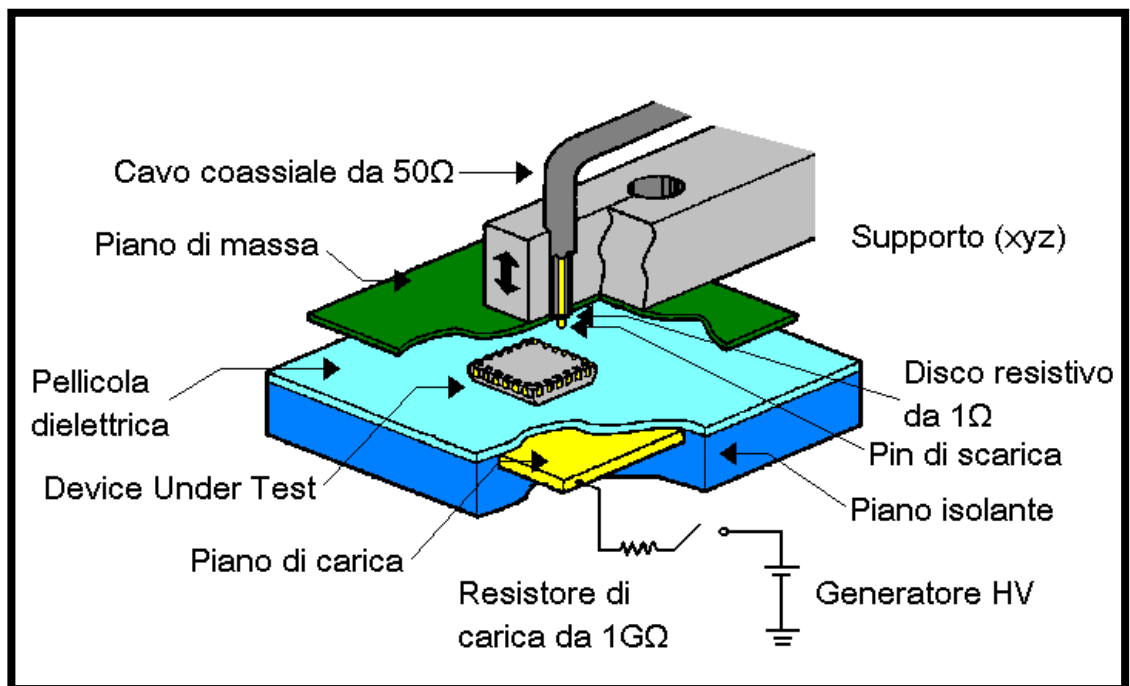


Figura 2.16: Tester FCDM

In questo modello, il sistema è posto in atmosfera controllata e viene creato del vuoto tra il package e il piano di massa, sia per ridurre al minimo la capacità parassita, sia per mantenere fermo il DUT. Il piano di massa può essere o collegato a terra o portato ad alta tensione. La struttura non è più caricata tramite un suo pin, ma dal campo elettrico presente tra il piano di massa e quello di carica. In questa maniera si ha anche una più efficace polarizzazione di tutte le capacità all'interno del componente.

Uno dei fenomeni più caratterizzanti di questi tester è l'effetto corona (§ 2.2) in quanto la scarica, avvenendo in aria, è sensibile a questi problemi.

Per fare delle serie di misure si deve tener conto di alcuni parametri:

- **Numero impulsi:** Essendo l'impulso CDM molto veloce, la durata è dell'ordine del ns; quindi non basta un solo impulso per vedere la corretta forma d'onda in corrente. Vengono consigliati almeno tre impulsi, separati tra di loro, circa di un 500ms, in modo tale che le misure si possano considerare indipendenti.
- **Influenza delle capacità:** Se non viene minimizzato lo spessore di aria tra package e piano di massa, le misure vengono inficiate, in quanto la capacità  $C_{CDM}$  non è trascurabile e va ad aumentare la tensione di soglia di fallimento del dispositivo.
- **Disallineamento:** La scarica avviene tramite un arco in atmosfera controllata. Questo fenomeno è fortemente sensibile al campo elettrico. Per questo motivo, si deve tener conto del posizionamento del package nei confronti del centro dell'asse di riferimento del tester<sup>13</sup>.
- **Dimensioni del dispositivo:** Per motivi simili a quelli del punto precedente, il piano di carica deve essere molto più grande del dispositivo da testare (ESDA impone che il piano sia almeno sette volte più grande del dispositivo), per evitare che il flusso del campo elettromagnetico non sia uniforme. Viene imposta anche una distanza minima tra i pin, per ridurre gli effetti corona in quanto l'effetto può essere così marcato da far sì che il vero arco non avvenga sul pin scelto. Si deve cercare anche di posizionare la punta del pogo pin al centro del pin desiderato.
- **Variazione della capacità:** Il condensatore tra il DUT e il piano di carica può essere assimilato ad un condensatore a facce parallele, con in mezzo due dielettrici

differenti. Il primo è un gas, aria o altro, che risente di variazioni di umidità, quindi l'atmosfera va monitorata. Si utilizza quindi dell'azoto con umidità controllata, anche per ridurre l'influenza di radiazioni UV che potrebbero alterarne il valore della costante dielettrica. Il secondo è il film dielettrico, il quale va tenuto pulito per evitare variazioni sulla capacità. Ciò implica che anche il package sia pulito in quanto il dispositivo è in contatto diretto con il piano.

- **Tempo di carica/scarica:** Essendo il sistema polarizzato da un forte campo elettrico, anche il dielettrico viene polarizzato e deve intercorrere un certo tempo prima che avvenga la scarica per permettere ai fenomeni di ricombinazione di avvenire. Come conseguenza si ha che il valore dell'impulso di corrente dipende dalla durata dell'impulso di tensione applicato per caricare il componente.
- **Package:** Il numero di pin e le dimensioni dei componenti in un circuito integrato negli anni sono cresciuti notevolmente. Questo ha avuto un grosso impatto nell'ambito delle protezioni da ESD, in quanto il picco di corrente durante un test CDM ad una determinata tensione di precarica è funzione della dimensione del die e quindi di quella del package.

Alcune delle caratteristiche di un package che hanno una notevole influenza sulle performance CDM sono le seguenti:

- Le dimensioni del die implicano un package di determinata grandezza minima..
- Il mould compound e il suo spessore.
- Le piste di metal e il numero di pin.

in quanto ne influenzano direttamente la capacità interna.

### 2.3.3.2 Normative vigenti

Come accennato nell'introduzione di questo sottocapitolo, esistono tre differenti associazioni che hanno emesso degli standard di valutazione della robustezza ai fenomeni CDM:

- ESDA: STM 5.3.1-2009<sup>14</sup>
- JEDEC: JESD 22-C101-E<sup>15</sup>

In questa tesi si è utilizzato solamente lo standard ESDA in quanto, come verrà dimostrato in seguito, lo standard JEDEC è meno severo.

#### 2.3.3.2.1 Standard ESDA

Questo standard stabilisce le procedure per testare, valutare e classificare la sensibilità a scariche elettrostatiche (ESD) di tipo CDM. La ESDA suddivide i dispositivi in sette classi di fallimento in base a quale tensione di precarica iniziano a mutare caratteristica, secondo la seguente tabella:

<b>Classi di protezione CDM</b>	
<b>Classe</b>	<b>Range di Tensioni</b>
C <sub>1</sub>	< 125V
C <sub>2</sub>	125V < X ≤ 250V
C <sub>3</sub>	250V < X ≤ 500V
C <sub>4</sub>	500V < X ≤ 1000V
C <sub>5</sub>	1000V < X ≤ 1500V
C <sub>6</sub>	1500V < X ≤ 2000V
C <sub>7</sub>	> 2000V

Tabella 2.3: Classi di protezione CDM



## Capitolo 2: Scariche Elettrostatiche (ESD)

Lo standard ESDA indica le caratteristiche di due specifiche classi di carica:

- Direct Charging Method
- Field Induced Method

definendo per entrambe le metodologie di test e di calibrazione del macchinario.

Nel caso Field Induced Method, il piano di carica è posto ad alta tensione, caricando attraverso il campo elettromagnetico indotto il package. Il pin di scarica viene quindi avvicinato al device scaricando il componente. Alla carica positiva del piano di carica, corrisponde un impulso di carica positiva.

Nella figura e nelle tabelle seguenti sono riportate le specifiche che deve soddisfare l'impulso di corrente. Lo standard impone tre impulsi di corrente per ogni pin.

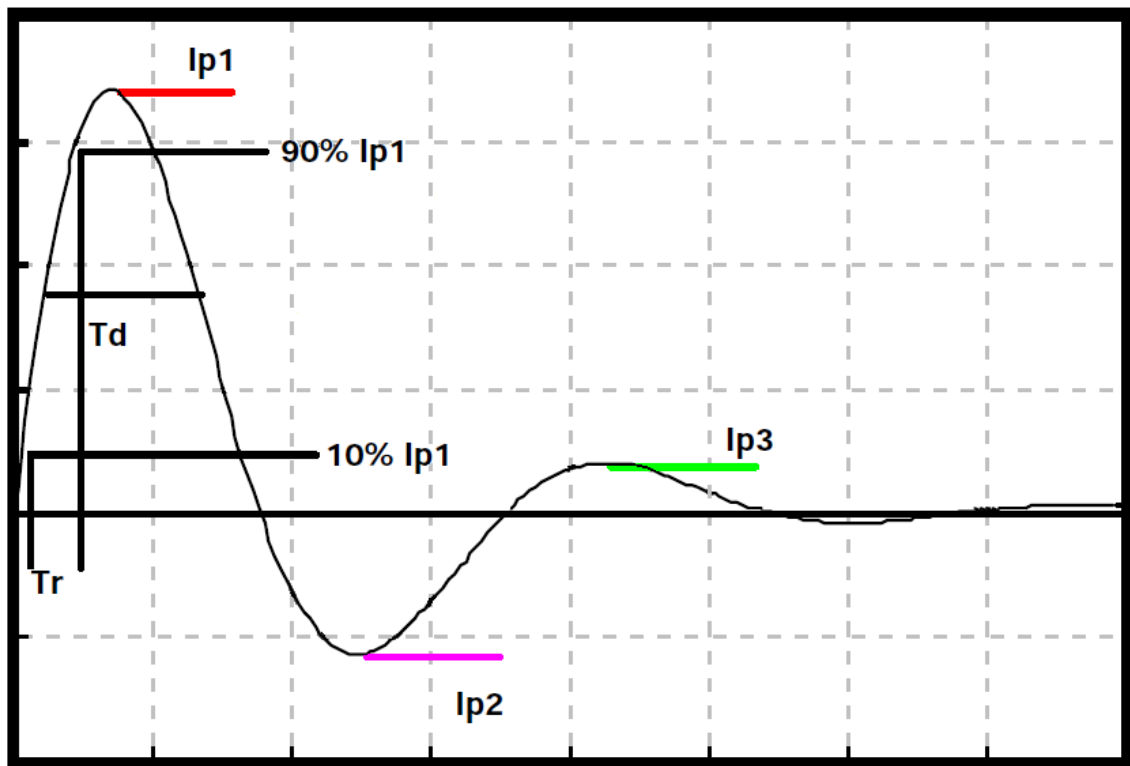


Figura 2.17: Curva CDM ESDA

<b>ESDA</b>			
<b>Charge Voltage Volts ± 5%</b>	<b>Symbol</b>	<b>4pF Module Amperes ± 20%</b>	<b>30pF Module Amperes ±20%</b>
125	$I_{p1}$	1.9	
250	$I_{p1}$	3.75	
500	$I_{p1}$	7.5	18
1000	$I_{p1}$	15	
1500	$I_{p1}$	22.5	
2000	$I_{p1}$	30	

Tabella 2.4: Equivalente tensione di precarica, picco di corrente CDM

<b>Parameter</b>	<b>Symbol</b>	<b>4pF Module</b>	<b>30pF Module</b>
Rise Time(ps)	$t_r$	< 200	< 250
Full Width at Half Height(ps)	$t_d$	< 400	< 700
Max II current peak	$I_{p2}$	< 50% of I peak	< 50% of I peak
Max III current peak	$I_{p3}$	<25% of II peak	<25% of II peak

Tabella 2.5: Parametri per stress CDM

### 2.3.3.2.2 Differenze tra standard JEDEC & ESDA

Il secondo standard presente, redatto da JEDEC, è nettamente meno severo di quello ESDA, principalmente a causa delle differenti capacità utilizzate per la calibrazione del macchinario.

	ESDA		JEDEC	
	C @1MHz	Diametro	C @1MHz	Diametro
<b>Small</b>	4pF ± 5%	9mm	6.8pF ± 5%	8.89mm
<b>Large</b>	30pF ± 5%	26mm	55pF ± 5%	25.4mm

Tabella 2.6: Confronto tra le capacità di calibrazione.

Questo si traduce in una differenza anche sul valore del primo picco di corrente di scarica.

V TEST	ESDA	JEDEC
	I <sub>peak</sub> ± 20%	I <sub>peak</sub> ± 15%
500 V	7.5 A	5.75 A
1000 V	15 A	11.5 A

Tabella 2.7: Confronto tra i primi picchi di corrente.

Come si può vedere in Tabella 2.7, lo standard ESDA risulta decisamente più severo di quello JEDEC, a parità di tensione di precarica applicata. Questa differenza è messa in grafico in Figura 2.18.

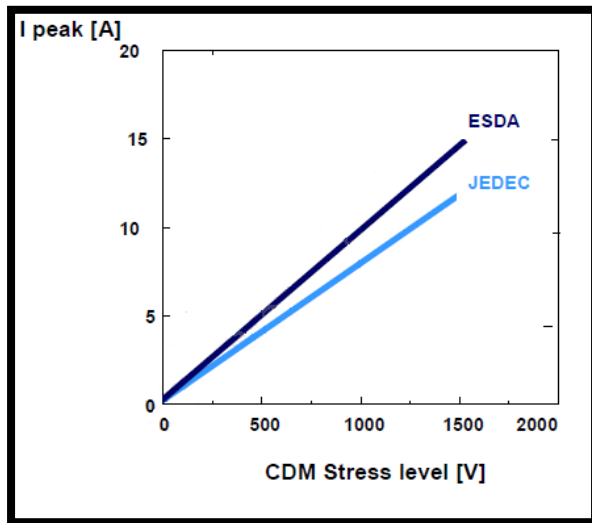


Figura 2.18: Differenza dei picchi di corrente per tensione di precarica JEDEC e ESDA.

### 2.3.4 Transmission Line Pulse (TLP)

I metodi di test precedentemente analizzati (HBM, MM e CDM) mirano a simulare in maniera più o meno esatta il fenomeno di scarica elettrostatica in tre particolari situazioni. Si tratta di prove alquanto realistiche ma che, oltre a presentare in alcuni casi problemi di riproducibilità, forniscono solo informazioni relative alla robustezza del componente o circuito analizzato e non permettono una misura analitica della risposta in tensione e in corrente, da parte del componente o del circuito, all'impulso ESD.

Per caratterizzare un dispositivo di protezione da ESD in regime di alte correnti, spesso non è sufficiente la caratterizzazione in DC. Infatti, fenomeni di auto riscaldamento del componente possono portare alla rottura dello stesso. Durante fenomeni ESD, questo fenomeno è molto ridotto, data la breve durata degli impulsi, inoltre, la risposta DC non rispecchia chiaramente il comportamento transitorio del dispositivo.

Per superare queste limitazioni T. Maloney e N. Khurana<sup>16</sup> introdussero nel 1985 un innovativo metodo di test, che permetteva di studiare il comportamento delle strutture di protezione nel dominio delle alte correnti.

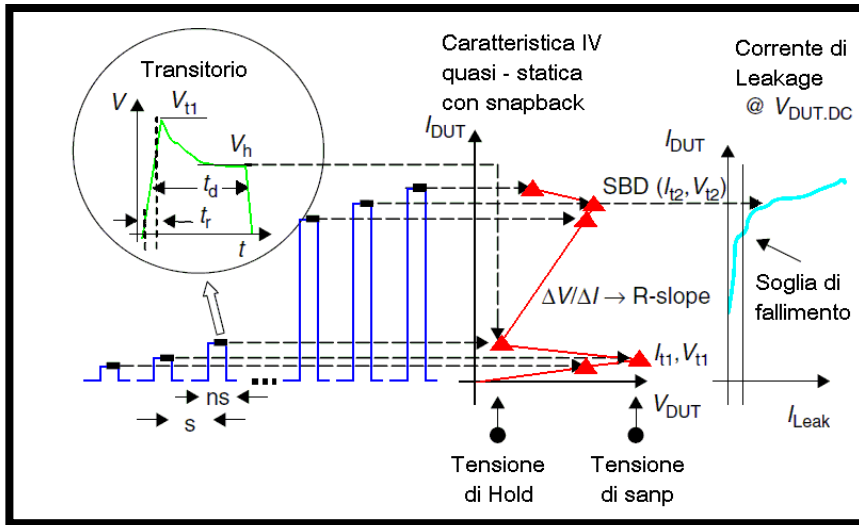


Figura 2.19: Principio di funzionamento della caratterizzazione ad impulsi

In Figura 2.19 viene rappresentato la risposta di un nMOS sottoposto ad una rampa di impulsi a tensioni crescenti. Per generare un impulso rettangolare di determinata ampiezza e durata, viene caricata e scaricata la capacità distribuita di una linea di trasmissione (*Transmission Line TL*). La corrente e la tensione sono misurate indipendentemente e il più vicino possibile al DUT. Questo metodo ha il vantaggio di essere poco sensibile alle variazioni degli impulsi e dà la possibilità di accedere ai valori di tensione e corrente istantaneamente.

Una linea di trasmissione è una guida d'onda con un'impedenza caratteristica  $Z_0$  che dipende esclusivamente dal materiale, dalla forma del conduttore e del materiale dielettrico che la isola. Per perdite trascurabili, il campo elettrico e magnetico sono trasversali alla direzione di propagazione dell'onda. Se un impulso viaggia lungo la guida, ogni variazione dell'impedenza caratteristica genera una parziale riflessione del segnale verso l'origine. L'onda riflessa è della stessa polarità di quella incidente se la differenza di impedenze  $Z(x)-Z(x-1)$  è positiva e di polarità opposta altrimenti.

Questo effetto è utilizzato per la caratterizzazione nel dominio del tempo del componente, ma deve essere attenuata nel resto del sistema.

Lo schema circuitale di simulazione di un sistema TLP è riportato in Figura 2.20:

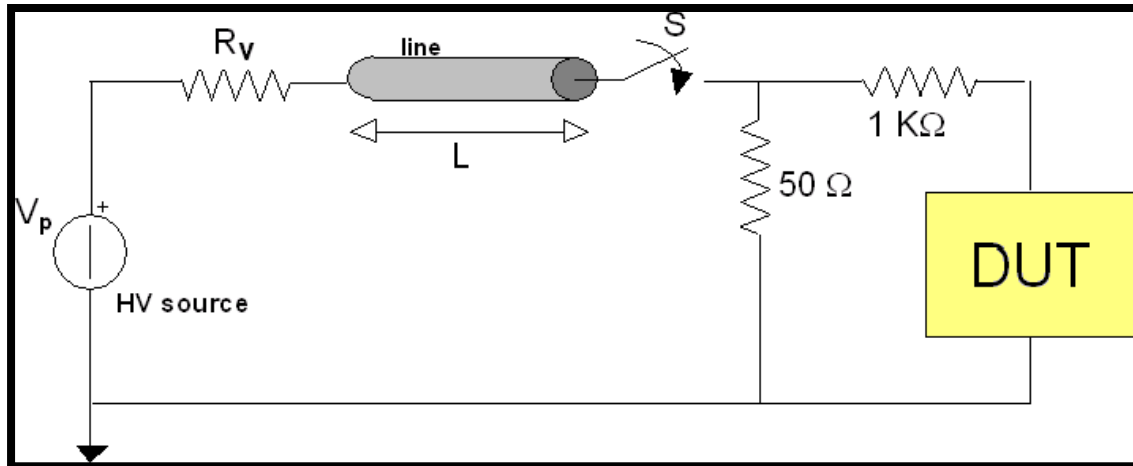


Figura 2.20: Schema circuitale di un TLP

Con l'interruttore S aperto il generatore di tensione va a caricare la capacità della linea, la quale si va poi a scaricare, a interruttore chiuso, tramite una resistenza, sulla DUT. La durata dell'impulso rettangolare è pari alla lunghezza della linea di trasmissione divisa per la velocità del segnale "switch closed". Ad esempio per una linea lunga 10m di RG58z<sup>17</sup>, si ha una velocità di propagazione di 20cm/ns e quindi un impulso di 100ns. L'ampiezza dell'impulso in tensione invece è determinata dalla tensione di precarica  $V_0$

e dall'impedenza della sorgente  $Z_S$  e del carico  $Z_L$ : 
$$\left( V = V_0 \frac{Z_L}{Z_L + Z_S} \right)$$
.

Se si ha una rete perfettamente bilanciata, la tensione applicata al carico sarà metà di quella di precarica. Si deve quindi cercare di avere una rete il più bilanciata possibile e con perdite minimizzate lungo la linea, per non avere tensioni applicate diverse da quelle attese. La resistenza di 1K $\Omega$  in serie con il DUT serve per trasformare l'impulso in tensione in impulso in corrente, mentre la resistenza in parallelo, da 50 $\Omega$ , serve per limitare i fenomeni di riflessione verso la sorgente.

In questa tesi si è utilizzato la tipologia *Time Domain Reflectometer* (TDR-TLP), che utilizza il principio per cui un segnale incidente ad onda quadra che raggiunge il DUT alla fine della linea di trasmissione, viene riflesso in base al valore dell'impedenza  $Z_{DUT}(t)$  secondo la seguente relazione:

$$V_{riflessa}(t) = \frac{Z_{DUT}(t-t_{delay}) - Z_0}{Z_{DUT}(t-t_{delay}) + Z_0} V_{incidente}(t-t_{delay}) \quad (2.9)$$

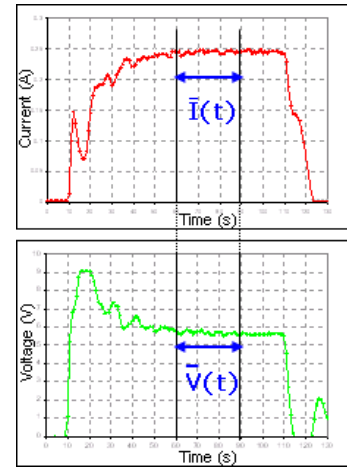
Tramite un oscilloscopio a due canali si possono misurare la tensione e la corrente riflessa, tenendo conto dei fattori di attenuazione interni al sistema di misura.

In figura 2.21 sono riportate due tipiche curve di tensione e corrente di un TLP. Come si può vedere nei primi istanti le curve presentano dei picchi dovuti alle capacità e induttanze parassite e della linea. Si deve quindi scegliere come periodo in cui andare ad acquisire il valore medio, quello in cui i

valori di tensione e corrente sono i più costanti possibile.

Nello stabilimento di Agrate è stato utilizzato un sistema

Celestron della Oryx<sup>®</sup>, ora Thermo Scientific<sup>®</sup>, con un Serial Data Analyzer, LeCroy<sup>®</sup> da 20GS/s a 4 canali.



**Figura 2.21: Finestra di tensione e corrente per un TLP**

### 2.3.5 Very Fast TLP (vf-TLP)

Se devono essere riprodotti impulsi di durata inferiore ai 100ns, si deve ricorrere al *Very Fast-TLP* (vf-TLP) in grado di generare onde quadre con  $t_{rise}$  possibili di qualche centinaia di pico secondi (da 100 a 500ps) e durata di 5, 2.5 e 1.25ns. Questo permette di riprodurre anche fenomeni CDM<sup>18</sup>, in quanto la durata dei fenomeni in gioco sono comparabili. Le analogie tra vf-TLP e CDM vennero studiate Geiser *et al.*<sup>19</sup>.

Il vf-TLP deriva dal TDR-TLP a 100ns, riducendone la lunghezza della linea di trasmissione. Questo permette una riduzione anche delle perdite e della dissipazione.

In Figura 2.22 è mostrato lo schema del vf-TLP<sup>8</sup>.

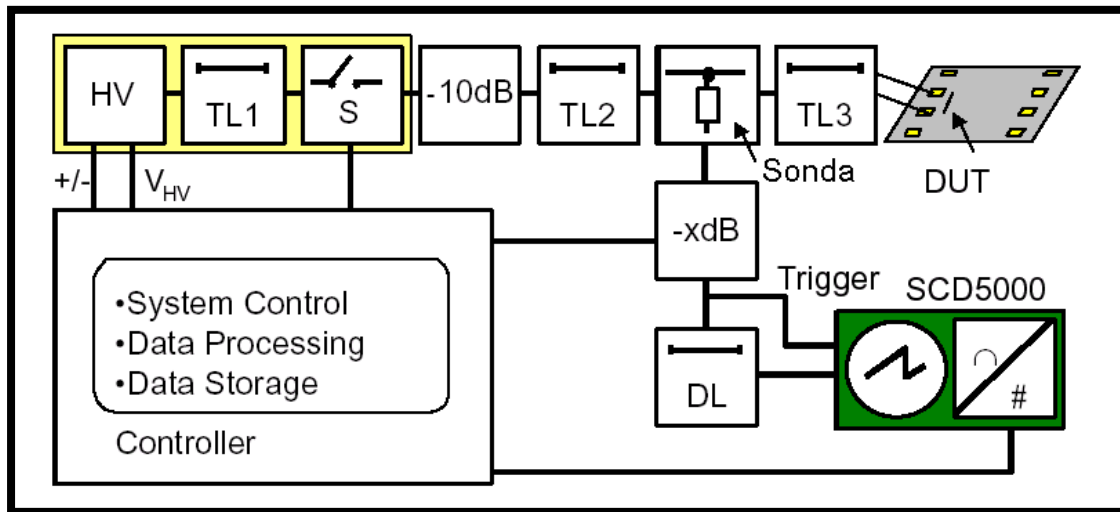


Figura 2.22: Schema a blocchi di un Very Fast TLP.

In questo sistema, un impulso incidente di tensione di breve durata, definita dalla lunghezza della linea TL1, viaggia dalla sorgente di segnale al DUT, attraverso le linee TL2 e TL3, ed è quindi riflesso al carico. La tensione dell'onda incidente e di quella riflessa sono misurate da una sonda tra TL2 e TL3. TL3 è sufficientemente lunga rispetto alla durata dell'impulso, in modo che l'onda incidente e riflessa non si sovrappongano. In modo da ottenere la corrente trasmessa nel carico e la tensione ai suoi capi, l'impulso incidente e quello riflesso vengono ritardati di  $180^\circ$ . Per cambiare quindi la durata dell'impulso basta agire riducendo la lunghezza della linea TL1.

Il vf-TLP è più problematico del normale TLP in quanto la durata dell'impulso è notevolmente ridotta, soprattutto quando ci si avvicina ad impulsi di 1ns. Le misure iniziano ad essere meno precise e riproducibili, dal momento che non si ha più una zona sufficientemente piatta nelle curve di corrente e tensione.



## 2.4 Danneggiamenti da ESD

Il fenomeno ESD assume notevole importanza nel campo dell'affidabilità dei circuiti elettronici perché gli elevati valori di tensione e di corrente istantanei uniti ai loro tempi di salita brevissimi mettono in crisi strutturalmente le architetture elettroniche facendo così venire meno le funzionalità cui erano preposte<sup>20</sup>.

Il tempo di salita (rise-time) rappresenta un vincolo strettissimo per i circuiti di protezione, in quanto questi devono attivarsi prima che l'ampiezza della scarica raggiunga valori pericolosi per il circuito. Nei casi pratici, questo si aggira attorno al nanosecondo (o centinaia di picosecondi, in base alla modalità in cui avviene la scarica). I danni provocati vanno dalla rottura irrimediabile del componente, alla sua più o meno grave degradazione nelle caratteristiche funzionali ed elettriche, sia per tecnologie MOS che bipolari.

Tutto questo fa sì che le industrie elettroniche impieghino sempre maggiori risorse per la riduzione di questo problema, sia studiando dispositivi di protezione e tipologie circuitali atti a ridurre l'incidenza delle rotture dovute a ESD, sia tentando di sviluppare modelli adeguati a simulare, durante la fase di progettazione, l'effetto dell'evento ESD sul circuito integrato, tramite l'utilizzo di strumenti CAD. Questo approccio risulta sempre più necessario in quanto lo scaling tecnologico porta ad avere dispositivi sempre più piccoli e fragili nei riguardi dei fenomeni ESD<sup>21</sup>.

Un dispositivo sottoposto a scarica elettrostatica può riportare dei danni in varie sue parti: nelle giunzioni, nelle metallizzazioni e negli ossidi. I danni inferti da ESD possono essere molteplici, più o meno visibili: alla cessata funzionalità del componente possono associarsi un aumento della corrente di perdita, quando il componente è polarizzato in uno stato di non-conduzione o un degrado di altri parametri elettrici quando viene acceso ( $V_t$ ,  $g_m$ ,  $I_{dsat}$ ...).

Inoltre molti fenomeni ESD si svolgono in ambiente RF (*Radio Frequency*), il quale implica fenomeni parassiti non influenti a basse frequenze. Si deve prestare attenzione quindi a interferenze esterne al sistema di misura. Lo stesso deve essere costruito in maniera tale da ridurre al minimo questi problemi. Ad esempio, non si possono usare

comuni sonde adatte a frequenze inferiori, in quanto le induttanze e capacità parassite giocano un ruolo sempre maggiore, all'aumentare della frequenza operativa. Vanno quindi scelte sonde opportune, per eliminare queste interferenze<sup>22</sup>.

## 2.4.1 Filamentazione della giunzione

Il danneggiamento di una giunzione (Figura 2.23) avviene per un fenomeno di breakdown che dipende dall'energia iniettata nel dispositivo. Esso può manifestarsi in due modi: la rottura secondaria diretta e la rottura secondaria inversa.

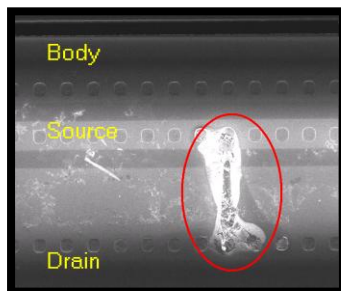


Figura 2.23: SEM di una filamentizzazione drain/source.

- **Rottura secondaria diretta:** si tratta di un fenomeno dovuto ad instabilità termica ed elettrica del dispositivo (tipicamente di un transistor bipolare) funzionante in zona attiva diretta. È di solito causato da disuniformità della tensione base-emettitore alla giunzione, che risulta essere maggiormente polarizzata nelle zone periferiche dell'emettitore. Poiché la corrente di emettitore aumenta con la temperatura ( $i_E = \left( I_S + \frac{I_S}{\beta_F} \right) \left[ \exp\left( \frac{qV_{BE}}{kT} \right) - 1 \right]$ ) e la conducibilità termica del silicio diminuisce con la temperatura (per temperature non criogeniche), può instaurarsi un feedback positivo per il quale la temperatura aumenta senza limitazioni, causando la fusione del silicio e la creazione di

filamentazioni (*thermal runaway*). Un'altra possibile causa è costituita dalla disuniformità della temperatura sulla giunzione base-collettore, con effetti analoghi a quelli appena citati.

- **Rottura secondaria inversa**: avviene in una giunzione polarizzata in inversa ed è conseguenza della rottura per effetto valanga. Il fenomeno può essere di due tipi: *thermal second breakdown* e *current mode second breakdown*. Il primo è dovuto ad un runaway termico causato da un'elevata concentrazione di corrente, un elevato campo elettrico e particolari condizioni di polarizzazione. Il secondo, invece, ha luogo quando all'emettitore, con la giunzione base-collettore polarizzata in inversa, vengono generate correnti tali da mandare in diretta la giunzione base-emettitore. Si possono allora formare degli hot spots che possono portare alla fusione del silicio.

I danni rilevati nelle tre situazioni viste risultano sostanzialmente simili e consistono in piccole fusioni localizzate causate dagli hot spots (Figura 2.23). Ciò comporta una riduzione del materiale drogante e l'insorgenza di difettosità nel reticolo cristallino (dislocazioni e deformazioni). Il campo elettrico nella zona danneggiata è più elevato e causa un aumento della corrente di leakage. Nel peggiore dei casi si ha un cortocircuito della giunzione.

Nelle giunzioni P-N si nota un aumento delle correnti di perdita e una diminuzione della tensione di breakdown mentre, nei BJT, si nota anche un calo del guadagno.

### 2.4.2 Spike di contatto

E' un danneggiamento simile alla filamentazione: a seguito della dissipazione termica associata alla corrente di scarica si innesca un fenomeno di termo - elettromigrazione dell'alluminio della metallizzazione nel silicio attraverso la regione di contatto, mettendo infine in corto circuito la giunzione (Figura 2.24)

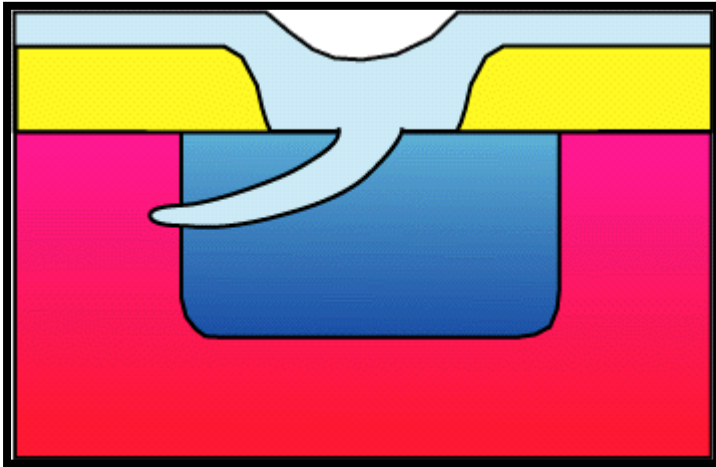


Figura 2.24: Spike di contatto

Per i contatti in alluminio la soglia di temperatura è bassa, in quanto la temperatura di formazione della lega Si/Al è di  $577^{\circ}\text{C}$ , di gran lunga inferiore alla temperatura di fusione del silicio,  $1400^{\circ}\text{C}$ .

Il principio fisico che domina questo effetto è il seguente: a causa del passaggio di portatori attraverso la regione di svuotamento si ha un riscaldamento della stessa (Figura 2.25), fino al raggiungimento di una temperatura critica.

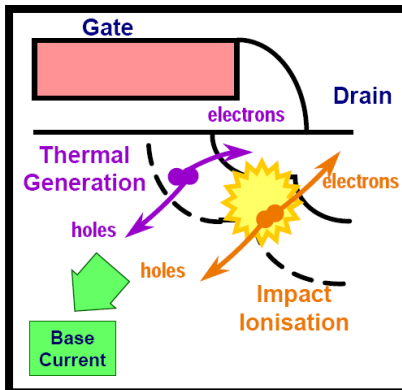


Figura 2.25: Comportamento termico nella regione di svuotamento di un MOSFET

Al di sopra di tale temperatura la generazione di coppie elettrone lacune diventa significativa a confronto della ionizzazione ad impatto. Si ha quindi una diminuzione

della tensione necessaria per il sostentamento della medesima corrente, grazie al contributo dell'effetto termico. Come viene mostrato in Figura 2.26 il riscaldamento locale porta all'intensificarsi del flusso di corrente nella zona più calda, che a sua volta induce un aumento locale della temperatura, fino alla rottura.

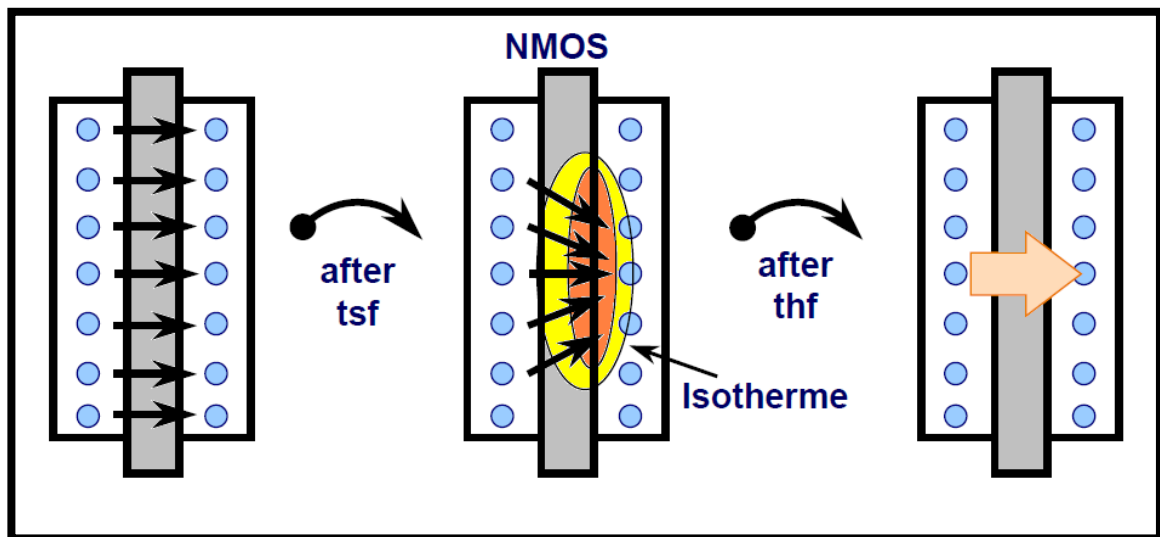


Figura 2.26: Linee di corrente durante un fenomeno che porta ad un open circuit.

### 2.4.3 Rottura di un ossido

La rottura dell'ossido (Figura 2.27) è un danneggiamento tipico delle tecnologie CMOS, specialmente delle ultime generazioni. Infatti l'evoluzione dei circuiti integrati con strutture MOS porta alla continua riduzione dello spessore dell'ossido di gate con conseguente aumento del campo elettrico che lo attraversa.

Le dimensioni raggiunte, talvolta durante gli ESD, possono provocare il breakdown dell'ossido. La perforazione dipende in realtà dal superamento del campo elettrico critico, rendendo il fenomeno fortemente dipendente, oltre che dallo spessore, anche dalla qualità dell'ossido (presenza di difettosità) e dalle scelte effettuate in sede di layout

(risultano critiche le scelte di metallizzazioni con spigoli accentuati; in tali regioni si ha infatti un infittimento delle linee di campo).

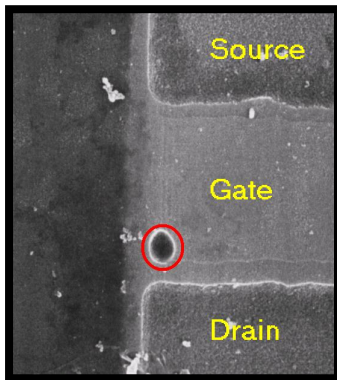


Figura 2.27: Fotografia SEM di un buco nell'ossido di gate

#### 2.4.4 Thin film burn-out

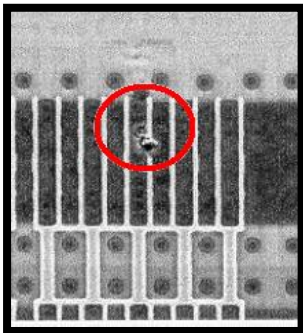


Figura 2.28: Foto SEM di un thin film burn out.

Il thin film burn-out è un altro tipico fallimento da ESD (Figura 2.28). Avviene quando la densità di potenza all'interno di un thin film supera la sua capacità e la conseguenza è un riscaldamento per effetto Joule, che può portare alla fusione della metallizzazione. Di solito questo fenomeno accade sulle linee che vengono attraversate dalla corrente indotta da ESD o che vengono disegnate troppo vicine ad esse.

### 2.4.5 Iniezione di carica nell'ossido

Questo tipo di danno avviene quando una scarica elettrostatica genera una moltiplicazione a valanga di una giunzione in prossimità di un ossido di gate oppure quando genera una sovratensione limitata e di durata molto breve (dell'ordine del nanosecondo) direttamente sull'ossido di gate (Figura 2.29).

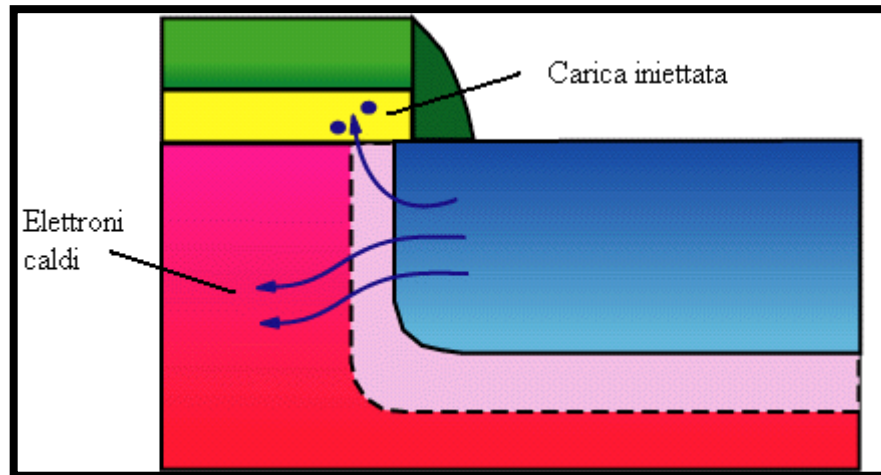


Figura 2.29: Iniezione di carica nell'ossido

Nel caso della moltiplicazione a valanga, i portatori caldi possono avere un'energia tale da superare la barriera di energia silicio-ossido e restare intrappolati in quest'ultimo. A seguito di entrambi i meccanismi di iniezione sopra, la conseguenza è una variazione della tensione di soglia e delle caratteristiche del MOS. *Si vedrà un caso pratico nella presentazione dei dati sperimentali di questa tesi.*

## **2.5 Effetti di una scarica ESD sulle caratteristiche elettriche di un circuito integrato.**

I danni provocati da una scarica elettrostatica possono essere molteplici, così come la tipologia di malfunzionamento che causano. Si possono trovare dispositivi in cui si riscontra una completa cessazione di funzionalità, mentre in altri si verifica una variazione delle caratteristiche, più o meno marcata.

Per valutare se la scarica elettrostatica danneggia o meno un dispositivo si devono misurare le caratteristiche elettriche del componente e fissare dei criteri di accettazione per il fallimento.

Tradizionalmente si presta attenzione all'aumento della corrente di perdita del dispositivo, detta corrente di leakage, per una determinata tensione di polarizzazione inversa per i pin sottoposti a ESD. Un suo aumento, infatti, è indice di un guasto latente o irreversibile. Spesso inoltre, rappresenta l'unico tipo di controllo effettuabile in maniera automatica dall'apparecchiatura che effettua le sollecitazioni ESD. È altrimenti necessario caratterizzare, prima e dopo lo stress ESD, il circuito integrato con un'attrezzatura ed un programma di misura dedicati, come si è svolto in questa tesi.

- Tensione di soglia MOS.
- Tempo accesso memorie ecc.
- Open circuits.

In altri casi si ha un aumento della corrente fornita causata da un percorso di perdita interno al di là della periferia del dispositivo o uno spostamento, per esempio, della tensione di riferimento.

Il leakage può portare ad una variazione delle performance del circuito integrato, ad esempio variazioni nel tempo di accesso in memorie SRAMs, nel consumo di potenza negli amplificatori o nel tempo di accensione in interruttori elettronici. La riduzione della cross-section (spessore) delle metallizzazioni nelle nuove tecnologie, aumenta la possibilità di fusione dei metalli che pertanto ad avere degli aperti o dei quasi aperti.

Pertanto, l'osservazione della corrente di leakage ad un dato valore di tensione, può non essere sufficiente a determinare malfunzionamenti dei dispositivi. Viene quindi



raccomandato di acquisire tutte le forme d'onda di corrente e tensione dei fenomeni ESD e di caratterizzare completamente prima e dopo lo stress il circuito integrato nell'intero regime operativo, per valutare tutti i possibili modi di guasto.

In Figura 2.30 vengono riportate delle tipiche curve di leakage pre e post stress ESD.

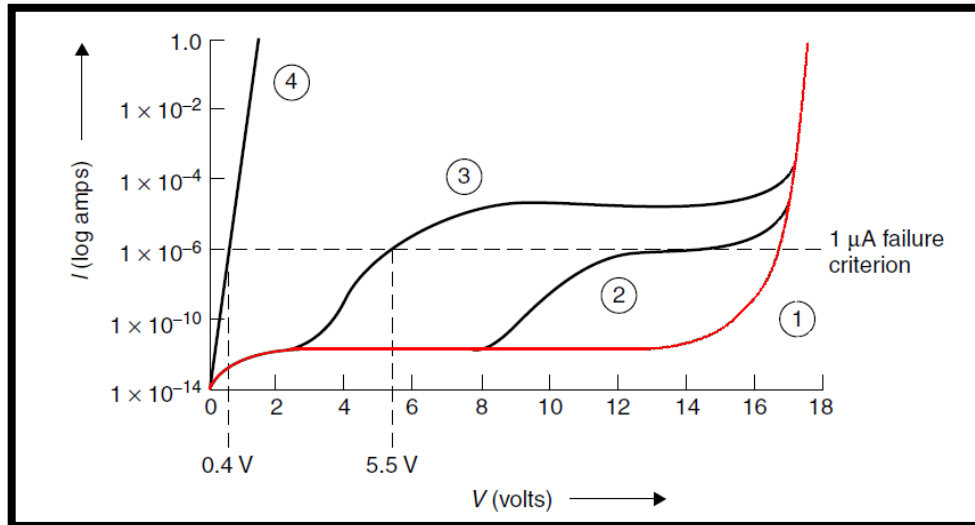


Figura 2.30: Corrente di leakage misurato dopo stress ESD. In rosso la curva pre-stress

Come si può vedere dalla figura sopra (la misura fatta prima delle sollecitazioni ESD è rappresentata dalla curva 1), se si misura la corrente di leakage a 5.5V, solo le curve 3 e 4 risultano mostrare effettivamente un fallimento del dispositivo, mentre secondo la curva 2 non si ha alcun danneggiamento. Ad esempio l'iniezione di portatori caldi dalla giunzione pn all'ossido di gate può non portare ad una variazione della corrente di leakage, anche se può causare malfunzionamenti dell'ossido, durante la vita del componente.

I fallimenti che fenomeni ESD possono causare a dei dispositivi MOSFET possono essere suddivisi in tre principali categorie:

1. Soft failure.
2. Hard failure.
3. Open Circuit.

Vengono di seguito analizzate brevemente queste tre tipologie.

### 2.5.1 Soft failure

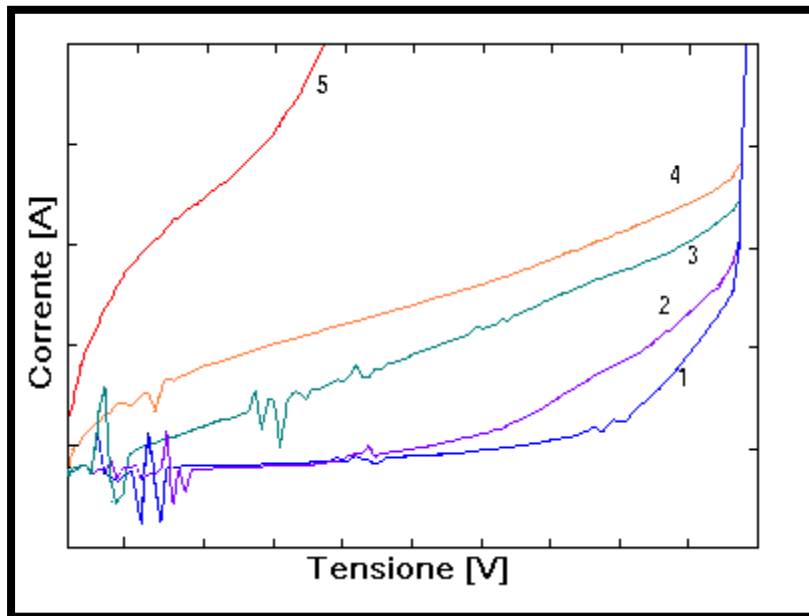


Figura 2.31: Esempio di soft failure per varie tensioni di stress.

Nella figura è mostrato il grafico I-V di un MOS affetto da soft failure. La curva (1) è la caratteristica del dispositivo vergine, prima di subire alcuno stress. Le curve da (2) e (5) rappresentano il comportamento del dispositivo dopo aver subito degli stress CDM a tensioni via via crescenti. Come si può vedere il fallimento diventa sempre più marcato all'aumentare della tensione di stress, fino ad avere un comportamento assimilabile ad un cortocircuito per la curva (5). Il fallimento soft non è però funzione solo della tensione. Dipende infatti dal modo in cui avviene il danneggiamento. Se ad esempio il danneggiamento avviene per accumulo di cariche nell'ossido di gate di un MOSFET, è probabile che si riscontrino modifiche della caratteristica I-V sempre più marcate, in base al numero di volte in cui il dispositivo è sottoposto a stress. Questa tipologia di danneggiamento è difficilmente rilevabile osservando solo un punto operativo del

dispositivo. Come sarà evidenziato più avanti, durante il lavoro per questa tesi, ci si è imbattuti in molti dispositivi che presentano questo tipo di fallimento. Il problema risiede nella difficoltà di rivelazione del fallimento, in quanto a volte è capitato che il fallimento fosse così lieve da poter essere confuso dal sistema di misura con rumore o che alle tensioni a cui veniva osservato il dispositivo post- stress non fosse ancora avvenuto un discostamento apprezzabile del comportamento, rispetto al dispositivo allo stato vergine.

### 2.5.2 Hard Failure

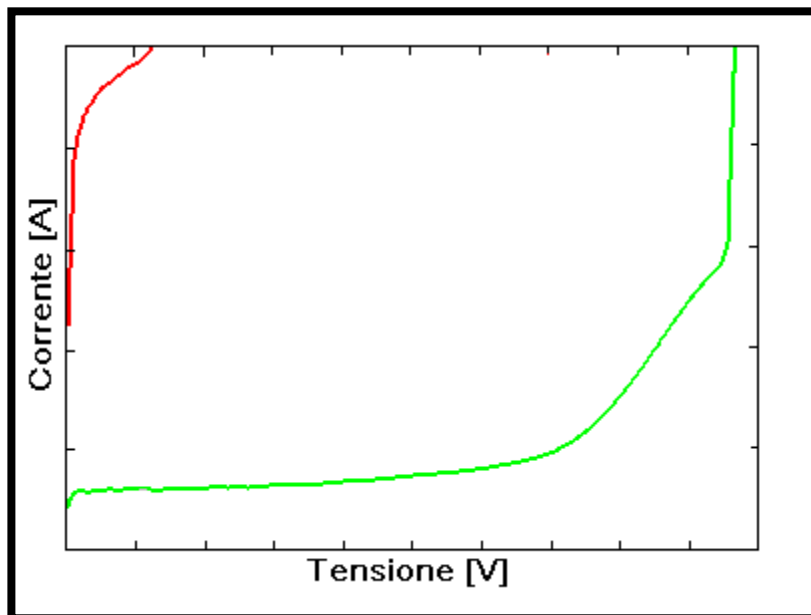


Figura 2.32: Esempio di hard failure.

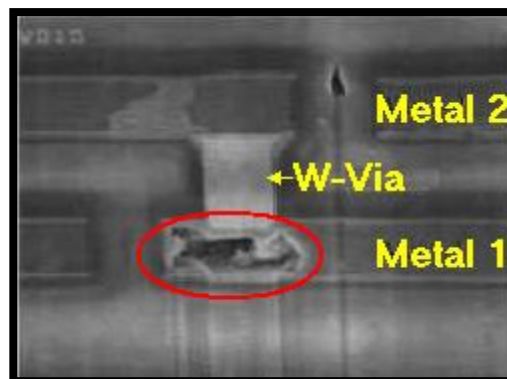
Nella figura è mostrato il grafico I-V di un MOS affetto da hard failure. La curva in verde è la caratteristica del dispositivo vergine, prima di subire alcuno stress. A differenza del soft failure non si hanno comportamenti intermedi tra la condizione di

funzionamento corretto e quella di “cortocircuito” (rosso). Il dispositivo sottoposto a qualunque tensione, al di sopra di una determinata tensione di rottura, si comporta come un cortocircuito; al di sotto della medesima, non subisce alcuna variazione di comportamento elettrico.

Tra i motivi per un fallimento di tipo hard ci sono i seguenti: rottura dell'ossido di gate per la temperatura, spike dei contatti o formazione di un filamento del source o del drain. La rottura dell'ossido di gate è dovuta da overshoot di tensione causati dal passaggio di alte correnti attraverso dispositivi resistivi. Questo processo inizia da un eccesso di tensione attraverso il dielettrico. La transizione è fortemente dipendente dal tempo, in quanto pilotato dalla generazione e carica di stati trappola. Una volta che si sono accumulati stati sufficienti si ha il passaggio di una corrente di ionizzazione attraverso il dielettrico, che solitamente porta alla rottura dell'ossido di gate.

### 2.5.3 Open Circuit

Nel comportamento in open circuit si ha una fusione delle interconnessioni. Questo avviene per effetto Joule, per il passaggio di troppa corrente. Si ha quindi una rottura del dispositivo, in quanto viene irrimediabilmente separato dal resto del circuito.



**Figura 2.33:** Immagine SEM dove si può vedere come il W-Via non connetta piu' Metal1 con Metal2<sup>23</sup>.

## **CAPITOLO 3 : PROTEZIONI DA ESD**

Per ridurre le probabilità di fallimento dovute ai possibili danni provocati da un fenomeno ESD si deve affrontare il problema già a livello di dispositivo e quindi integrare le protezioni direttamente nel chip. Esse vanno connesse direttamente ai pad, sia di ingresso che di uscita, relativi ai transistors da proteggere interni al circuito. Anche tutte le linee di alimentazione devono essere protette, al fine di realizzare una rete di protezione efficace e completa.

In questo capitolo saranno analizzati i principi di funzionamento dei più importanti elementi circuitali impiegati nella realizzazione di strutture di protezione ESD, in quanto dispositivi sottoposti ad alte correnti e alte tensioni operano spesso al di fuori del loro normale range di operazione e il loro comportamento è molto diverso rispetto al loro normale funzionamento. Questi hanno dei comportamenti simili a quelli dei dispositivi di potenza, quindi si deve tener conto di tutti i componenti parassiti i quali hanno un grande impatto ad alte correnti e tensioni.

### 3.1 Caratteristiche generali dei circuiti di protezione

Il compito fondamentale cui è demandato un circuito di protezione è quello di fornire un percorso a bassa impedenza che limiti le correnti e le tensioni a cui può essere sottoposta la circuiteria interna durante una scarica elettrostatica. Infatti, quando un dispositivo è sottoposto ad un fenomeno ESD, la tensione e la corrente tendono a uscire dalle normali condizioni operative.

La funzione principale di una protezione è perciò quella di fissare la tensione ai capi del circuito da proteggere ad un valore non pericoloso per il circuito stesso creando un percorso alternativo a bassa impedenza per l'elevata corrente di scarica.

Nel progettare una protezione ESD si devono tenere in considerazione alcune caratteristiche irrinunciabili che essa deve avere:

1. **Robustezza:** è il primo passo verso un'adeguata protezione del chip. Descrive la capacità della protezione di far passare corrente. È definita come il livello di scarica ESD per cui la protezione fallisce. Per definire la robustezza di una struttura si ricorre, nel caso CDM, ad una caratterizzazione vf-TLP per determinarne la corrente di fallimento.
2. **Efficacia:** è la capacità di una protezione di far sì che il circuito che deve proteggere non sia danneggiato. Si deve fare in modo che l'evento ESD passi solo attraverso la protezione che ne è immune e non attraverso il circuito da proteggere che ne verrebbe compromesso.
3. **Tempo di intervento:** è il tempo impiegato dalla struttura di protezione per raggiungere lo stato di bassa impedenza per poter scaricare la sovracorrente in modo efficace. Si tratta di uno dei parametri più critici: in meno di un nanosecondo la corrente di scarica può raggiungere il suo massimo valore, quindi è fondamentale la prontezza di risposta. Nei fenomeni CDM il tempo di salita degli impulsi in corrente è addirittura dell'ordine di qualche centinaia di ps.
4. **Trasparenza:** è un requisito fondamentale di un circuito di protezione. Esso non deve in alcun modo influenzare il normale funzionamento del dispositivo, deve

attivarsi solo in caso di evento ESD e rimanere in stato di alta impedenza altrimenti.

5. **Occupazione di area:** la superficie necessaria alla struttura di protezione va sempre minimizzata, pur garantendo il corretto funzionamento.
6. **Compatibilità con il processo tecnologico utilizzato:** è fondamentale, sia per motivi economici che costruttivi, poter costruire i circuiti di protezione mediante le stesse procedure con le quali vengono prodotti i dispositivi interni. Questo è un problema peculiare della tecnologia BCD. Essendo quest'ultima un processo modulare, ogni singolo chip non dispone infatti di tutti i processi disponibili nella tecnologia. Le protezioni devono essere quindi realizzate in funzione dei processi disponibili per il singolo prodotto.

### 3.2 Norme generiche delle reti di protezione

Un esempio di rete di protezione utilizzata nei processi BCD è mostrata in Figura 3.1. Questo schema fornisce dei percorsi di scarica, robusti e a bassa impedenza, per ogni tipo di scarica.

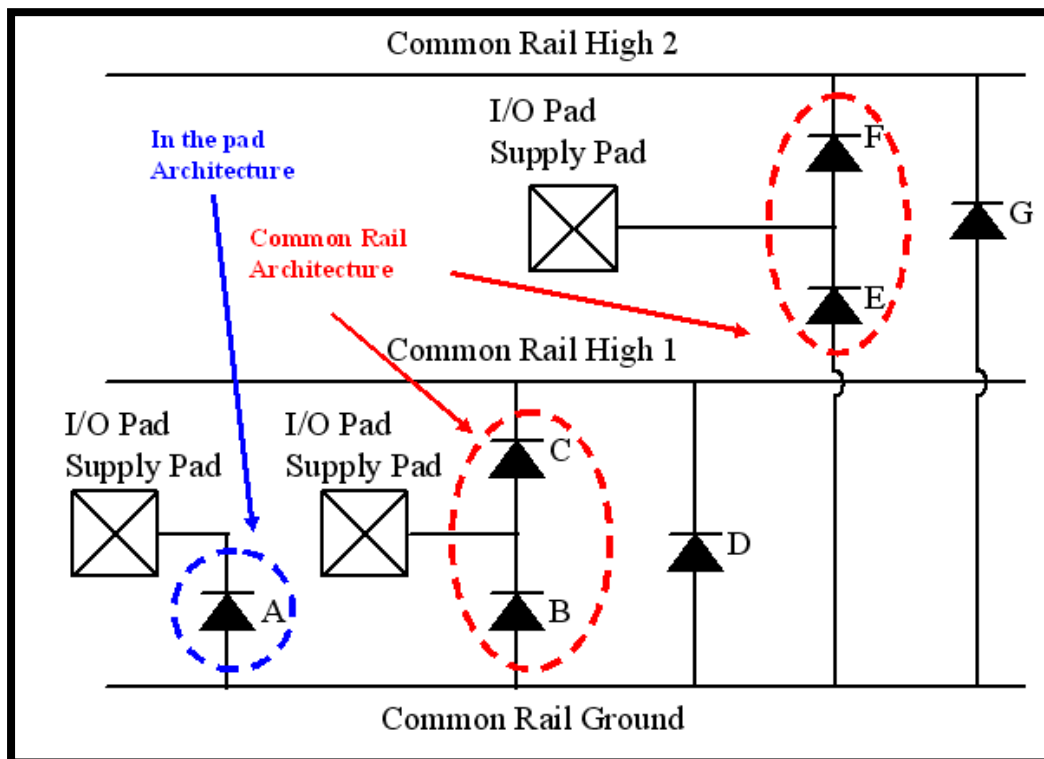


Figura 3.1: Schema generale di un circuito di protezione (i diodi sono puramente simbolici e servono ad indicare il verso in cui la protezione funziona in diretta

Lo schema si riferisce al caso in cui siano presenti due differenti linee di alimentazione. Ogni pin di una determinata classe di tensioni (inclusi quelli di alimentazione, di massa e i pad I/O), possono essere protetti in due modi differenti:

- I) **Common Rail Architecture:** ogni pin ha due dispositivi di protezione che lo connettono a due linee dedicate ( strutture B, C, E, F) che in questo caso corrispondono alle linee di alimentazione e massa. Le due linee sono inoltre



connesse da un'altra protezione (D, G) che durante un fenomeno ESD limitano la tensione ad un valore tollerabile del circuito protetto.

- II) **In the pad Architecture:** ogni pin ha un solo dispositivo di protezione. Questa architettura è utilizzata quando si dispone di protezioni che possono funzionare efficacemente in entrambe le polarità oppure quando siano presenti limitazioni sull'area utilizzabile.

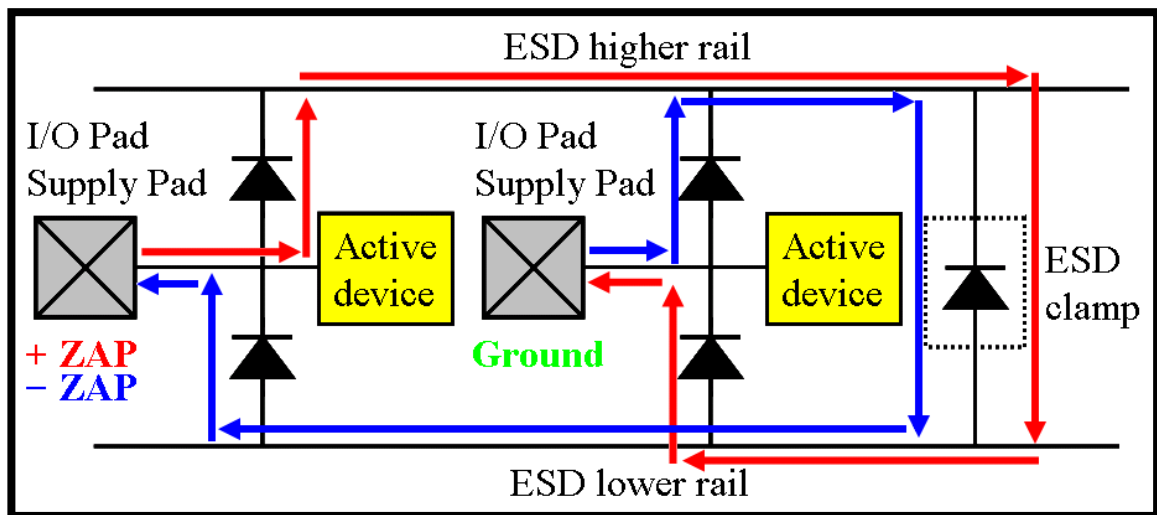


Figura 3.2: Cammini conduttivi per scariche ESD

Nella figura sono mostrati i cammini conduttivi di un tipico circuito di protezione, sia nel caso in cui la scarica sia positiva (rosso), che negativa (blu). Come si può vedere, la scarica, in entrambi i casi, non passa attraverso il dispositivo da proteggere (Active device).

### 3.3 Comportamento di dispositivi elementari in regime ESD

Il circuito di protezione dipende da vari fattori, tra i quali il tipo di pad da proteggere (ingressi o uscite digitali, alimentazioni, ...) e le tensioni operative. Ci sono alcune strutture di base che vengono utilizzate nei vari casi. A tali strutture saranno dedicati i prossimi paragrafi, principalmente tratti da [20].

#### 3.3.1 Resistore

I resistori nei circuiti di protezione da fenomeni ESD, non servono tanto a limitare la corrente iniettata dalla scarica elettrostatica, ma sono utilizzati soprattutto per rendere meno ripidi i fronti di salita degli impulsi troppo veloci e limitare la corrente che può fluire verso il circuito. Sono impiegati in serie al circuito, in combinazione con altri elementi. Esistono vari modi per costruire resistenze all'interno di un circuito integrato e la scelta opportuna avviene in base al valore e alle caratteristiche che deve avere il componente da realizzare. In particolare per valori molto bassi (qualche Ohm) si possono utilizzare interconnessioni in metal, mentre per valori maggiori si possono impiegare resistori diffusi, sia di tipo P che di tipo N, e resistori di polisilicio costruiti sopra l'ossido di campo. In generale si preferiscono resistori di tipo N in dispositivi con substrato P rispetto alle strutture duali.

Questi ultimi sono sconsigliati per alti valori di corrente a causa della loro poca dissipazione termica dovuta alla diversa mobilità degli elettroni.

L'andamento tipico del grafico tensione-corrente di un resistore è quello rappresentato in Figura 3.3.

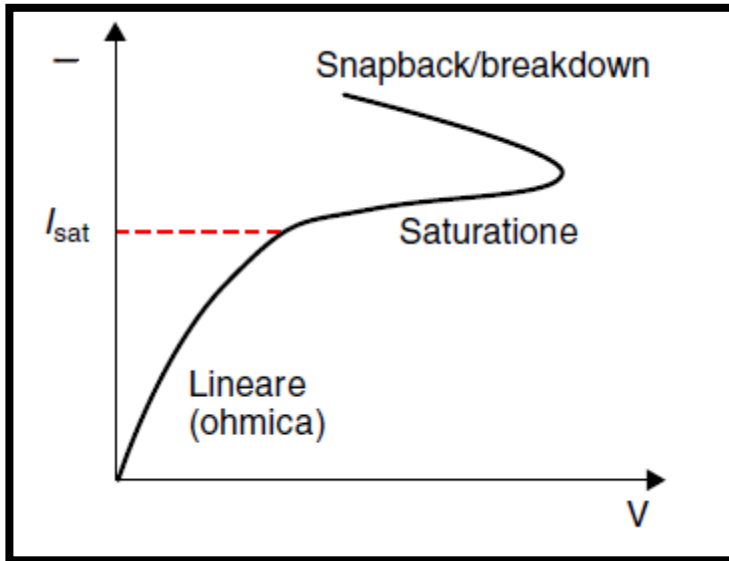


Figura 3.3: Caratteristica I-V di un resistore a diffusione di tipo N

La relazione che regola il passaggio di corrente in una resistenza di tipo N è la seguente:

$$J = J_n = N_B q \mu_n E = N_B q v_d \quad \text{Zona Ohmica} \quad (3.1)$$

$$J = J_{sat} = N_B q v_s \quad \text{Saturazione} \quad (3.2)$$

Come si può vedere la densità di corrente dipende linearmente dal campo elettrico e continua ad aumentare fino a valori tipici attorno ai  $10^4 \text{Vcm}^{-1}$  a cui corrisponde una velocità di deriva degli elettroni  $v_s = 10^7 \text{cm/s}$ , detta velocità di saturazione. A quel punto la corrente satura e resta circa costante al variare della tensione. Aumentando ancora la tensione il campo elettrico può raggiungere valori tali da innescare la ionizzazione da impatto e la generazione di coppie elettrone/lacuna. Si ha quindi una diminuzione della tensione all'aumentare della corrente (snap back). Aumentando ancora la corrente si possono raggiungere livelli di temperatura in grado di provocare la rottura del dispositivo causata dalla fusione del silicio.

Lo snap-back si può avere anche a causa di una moltiplicazione a valanga. Ciò avviene quando il dispositivo si trova ad alte temperature in saturazione. L'energia cinetica necessaria per generare l'effetto valanga viene in questo caso fornita dal calore.

Si deve quindi dimensionare il dispositivo in maniera tale da farlo funzionare in zona lineare durante i fenomeni ESD, in quanto sono noti a priori la sua robustezza e relazione I-V.

### 3.3.2 Diodo<sup>24</sup>

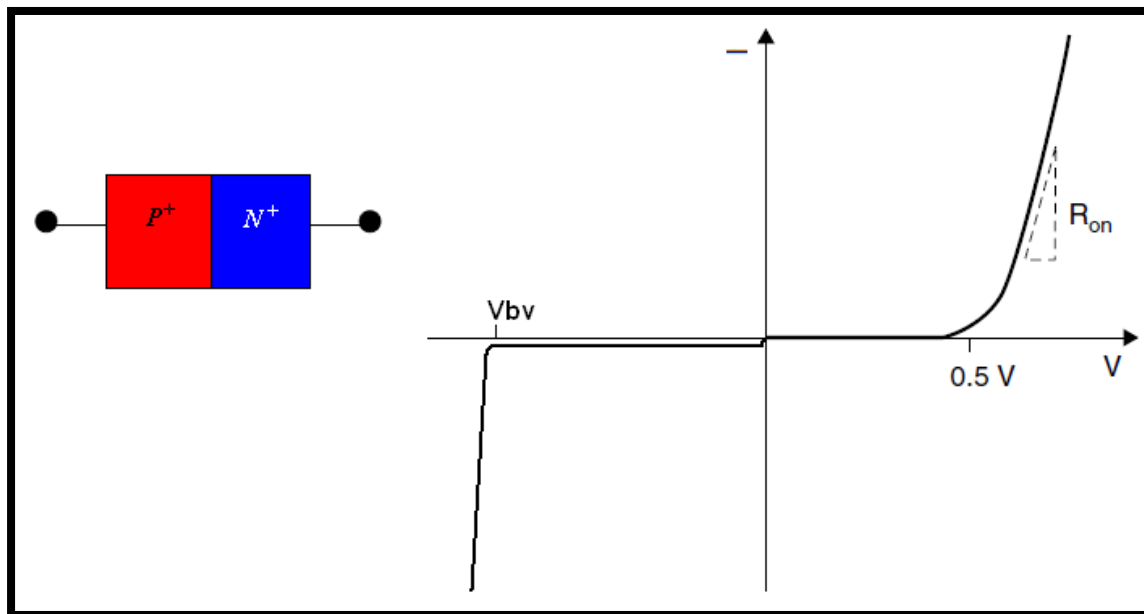


Figura 3.4: Caratteristica I-V di un diodo PN

Il più semplice componente di protezione per disturbi ESD è il diodo a giunzione PN. In Figura 3.4 è mostrata la caratteristica I-V sia in polarizzazione diretta, che inversa. Come si può osservare dalla figura, in diretta il diodo conduce una corrente apprezzabile già a 0.5V, mentre in inversa si ha una corrente significativa solo dopo la tensione di breakdown ( $V_{bv}$ ), che di solito è superiore alla decina di Volt. Prima del breakdown in inversa si ha solo una piccola corrente di perdita. La tensione di breakdown dipende dalla concentrazione di droganti di tipo P e N, secondo la seguente relazione:

$V_{BV} = \frac{\epsilon_s E_1^2}{2qN_a}$ , in pratica la tensione di breakdown varia in funzione del drogaggio con la legge  $N^{-2/3}$ .

Il diodo viene utilizzato nelle protezioni ESD per chiudere i cammini conduttivi delle correnti di scarica verso massa o verso linee appositamente preposte e opportunamente protette con strutture di protezione centrali (bipolari in snap-back, clamp dinamici, ...).

### 3.3.3 Transistor bipolare

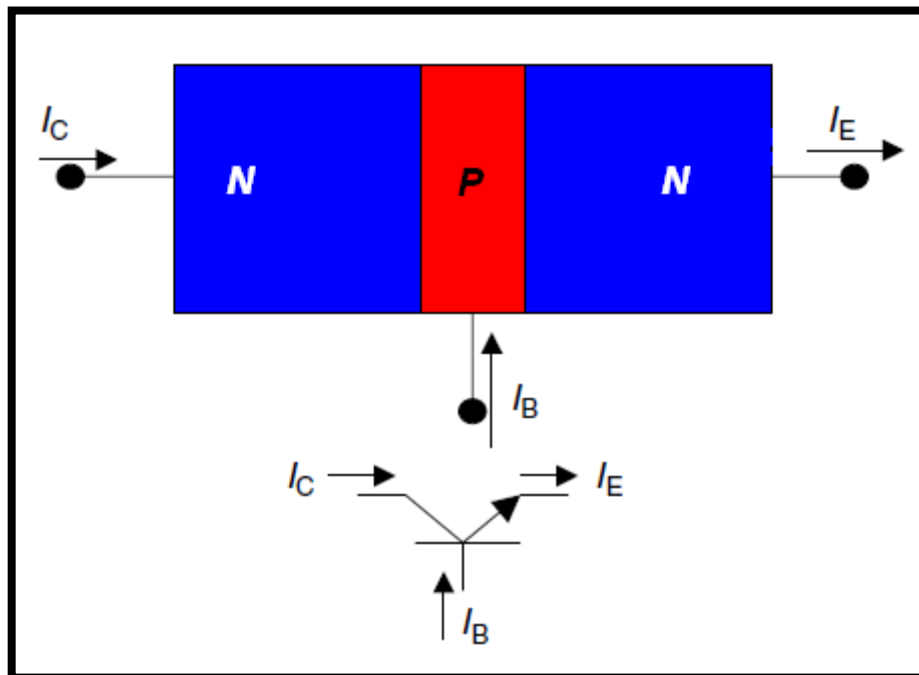


Figura 3.5: Sezione e simbolo di un Transistor Bipolare NPN

Un transistor bipolare polarizzato in zona attiva ha una giunzione base-emettitore B-E polarizzata in diretta e quella base-collettore B-C in inversa. In questa condizione, con una base sufficientemente “poco” drogata e sufficientemente “sottile”, soltanto una quantità minima degli elettroni (portatori minoritari) iniettati in base si ricombina con le

lacune (portatori maggioritari) presenti in base. D'altro campo, tutti gli elettroni che si trovano in vicinanza alla regione di carica spaziale della regione di collettore la attraversano velocemente. In questo modo, si rende possibile il flusso di portatori dalla giunzione polarizzata direttamente B-E a quella polarizzata inversamente B-C.

La relazione tra la corrente tra emettitore e collettore è quindi funzione della corrente di base. Più la ricombinazione base/emettitore è sfavorita, più alto sarà il guadagno: (

$$J_n = J_S \left[ \exp\left(\frac{qV_{BC}}{kT}\right) - \exp\left(\frac{qV_{BE}}{kT}\right) \right] \quad \text{con} \quad J_S = \frac{qn_i^2 \bar{D}}{N_B} \quad \text{dove } \bar{D} \text{ è il coefficiente di}$$

diffusione effettivo dei portatori minoritari. Una piccola variazione della corrente di base può portare ad una grande variazione degli elettroni immessi. In polarizzazione diretta il

termine  $\exp\left(\frac{qV_{BC}}{kT}\right)$  è trascurabile.

Nei circuiti di protezione il layout del transistor bipolare è diverso da quello dei BJT di segnale, in quanto realizzato con un processo planare, anziché verticale. Le diffusioni n di collettore e di emettitore sono poste all'interno della diffusione p di base, ottenendo così una base molto larga. Il collettore è collegato al pad da proteggere, mentre la base e l'emettitore sono posti a massa. Questa configurazione serve ad evitare che il dispositivo sia acceso durante la trasmissione del segnale utile. Se avviene un fenomeno ESD, la giunzione C-B, che a questo punto è polarizzata positivamente, inietta corrente per generazione a valanga nella base. Al crescere della tensione si può raggiungere una soglia, oltre la quale la corrente di collettore non ha più un comportamento costante al variare della sola tensione di base. Si instaura quindi un effetto di moltiplicazione a valanga.

In Figura 3.6 è rappresentato in 1D la sezione di un transistor bipolare (considerazioni identiche si possono fare nel caso di un MOSFET).

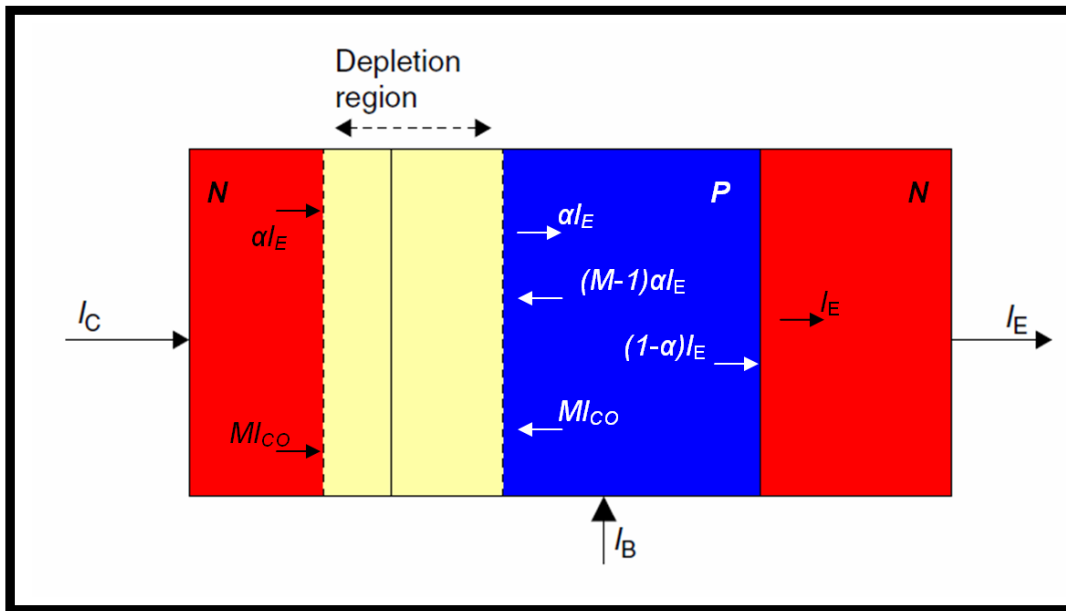


Figura 3.6: Sezione 1D di un bipolare con indicate le componenti che contribuiscono alla corrente di emettitore

Il fenomeno di moltiplicazione a valanga, crea una relazione tra corrente di collettore ed emettitore di un BJT del tipo  $I_{out} = MI_{in}$ .

La corrente, incontrando la resistenza parassita di base, polarizza la giunzione B-E accendendo il dispositivo.

La struttura del dispositivo è riportata in Figura 3.7, dove sono rappresentati schematicamente i componenti del dispositivo.

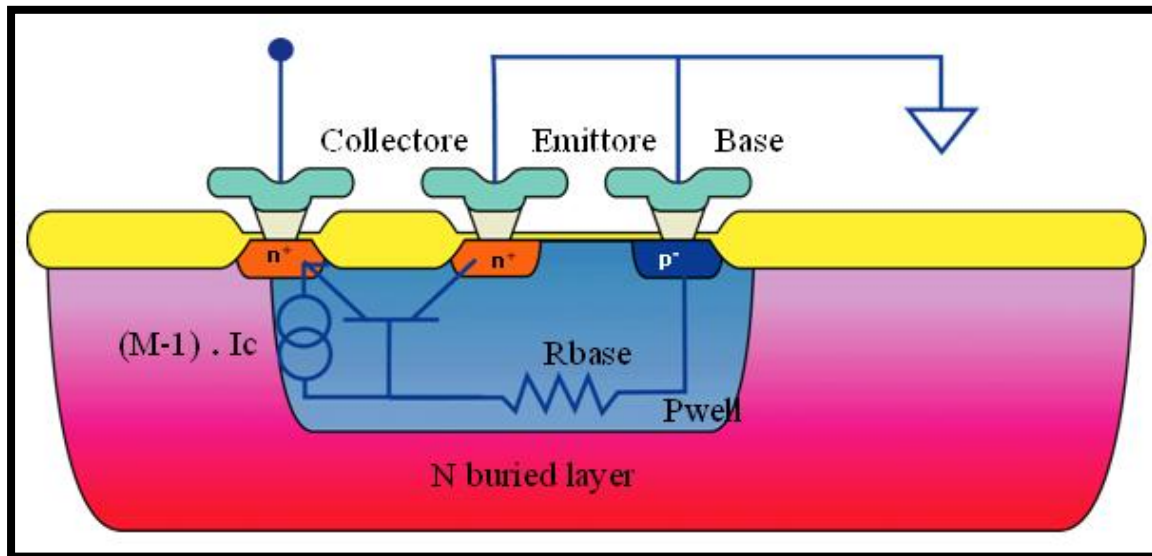


Figura 3.7: BJT NPN, sezione laterale

Il funzionamento di tale dispositivo può essere suddiviso in 5 regioni:

- I) **Regione di interdizione:** la corrente che attraversa il bipolare rappresenta il leakage della giunzione base-collettore polarizzata in inversa (Figura 3.8). In gran parte vengono raccolti portatori minoritari dal substrato.

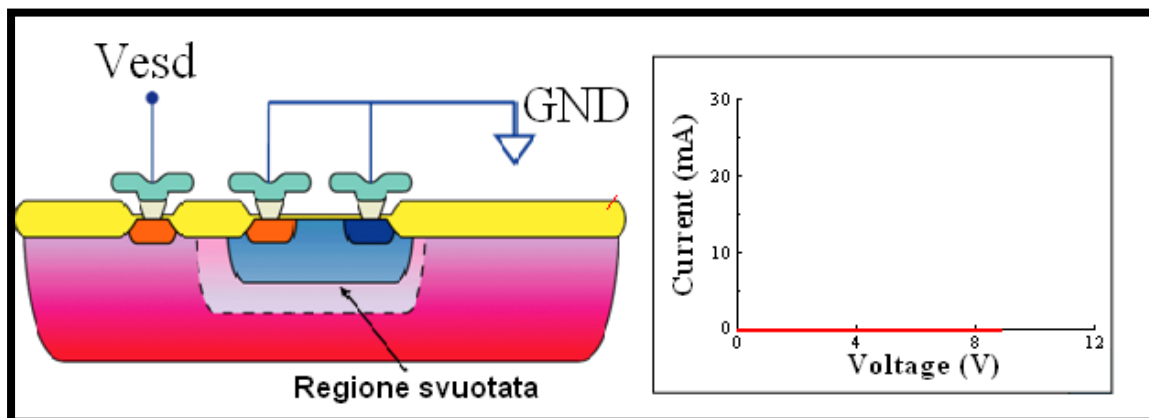


Figura 3.8: Bipolare in interdizione e relativa corrente

- II) **Regione di breakdown:** all'aumentare della tensione la regione svuotata cresce e il campo elettrico sulla giunzione aumenta sino a raggiungere il valore critico. A



questo punto si ha il breakdown della giunzione, con conseguente ionizzazione da impatto. Le coppie elettrone/lacuna generate sono accelerate dal campo elettrico: gli elettroni vengono raccolti al collettore generando una corrente entrante, mentre le lacune sono raccolte dalla base generando una corrente uscente dal dispositivo (Figura 3.9).

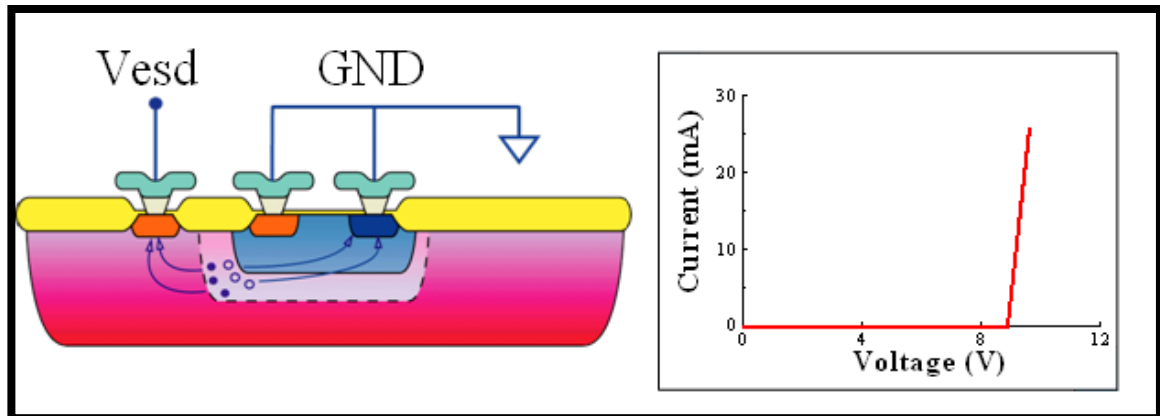


Figura 3.9: Bipolare in breakdown e relativa corrente

III) **Sanpback**: l'ulteriore aumento della tensione porta all'accensione del dispositivo in quanto la caduta di tensione provocata dalla corrente di breakdown sulla resistenza di base polarizza in diretta la giunzione base emettitore. Il bipolare si trova in uno stato fortemente conduttivo. Il coefficiente di moltiplicazione a valanga inizia a decrescere e con esso anche la tensione di collettore, essendo ora la corrente fornita dagli elettroni dell'emettitore che trovano un percorso a bassa impedenza verso il collettore (Figura 3.10). Si dice che il bipolare entra in snapback. Questo passaggio non è tuttavia immediato, ma è caratterizzato da oscillazioni incontrollate della tensione  $V_{CE}$  a causa del continuo passaggio da stati di accensione a stati di spegnimento da parte del bipolare. Questo comportamento sembra essere dovuto a delle variazioni locali di alcuni parametri del transistor come guadagno ed efficienza dell'emettitore.

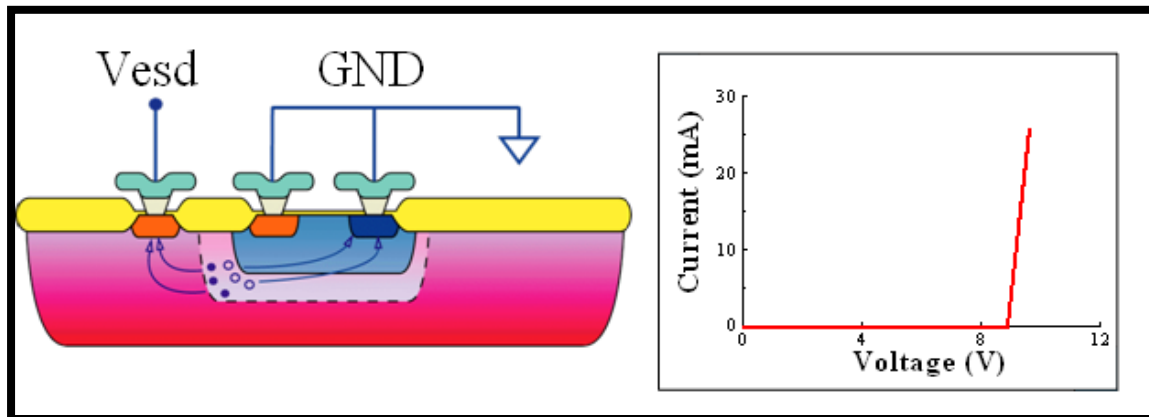


Figura 3.10: Bipolare durante lo snapback e relativa corrente

- IV) **Regione di mantenimento:** dopo lo snapback il bipolare si trova in uno stato a bassa impedenza: il rapporto  $\delta V/\delta I$  misurato in queste condizioni fornisce la resistenza dinamica che solitamente assume un valore, costante per un'ampia variazione di corrente, compreso tra  $1\Omega$  e  $10\Omega$  (se non ci sono resistenze su collettore ed emettitore). Per questo motivo, in questa fase di simulazione, questa caratteristica può essere modellata come un generatore di tensione costante con un'adeguata resistenza serie.
- V) **Regione di secondo breakdown:** è chiamata anche regione di breakdown termico (Figura 3.11) in quanto causata da un eccessivo aumento della temperatura. Il forte passaggio di corrente provoca, infatti, il surriscaldamento della giunzione collettore-base nella quale si ha la generazione termica di coppie elettrone-lacuna. Questi portatori contribuiscono ad un aumento della conduzione causando, a loro volta, un ulteriore innalzamento della temperatura. Il feedback positivo che si instaura, se mantenuto per un tempo troppo lungo, porta ad una rottura irreversibile della protezione, tipicamente per la fusione del silicio o per elettromigrazione dei contatti.

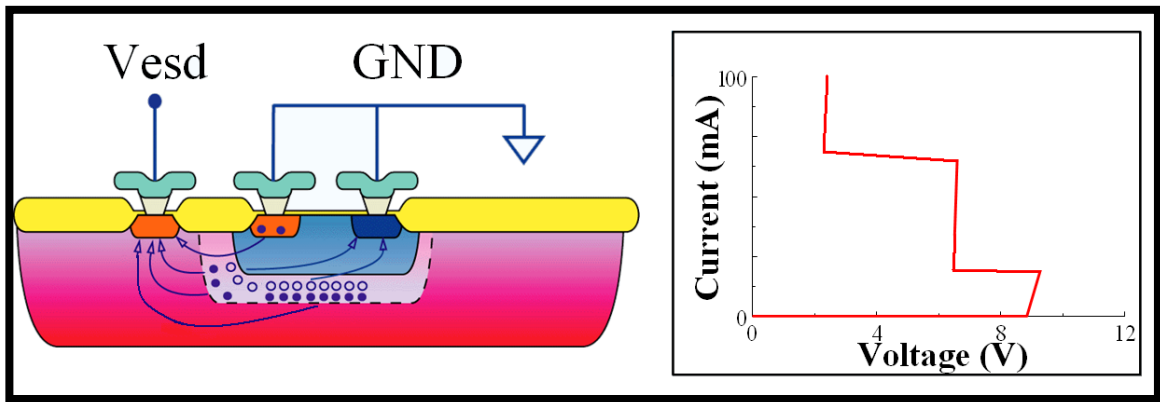


Figura 3.11: Bipolare in snapback secondario e relativa corrente.

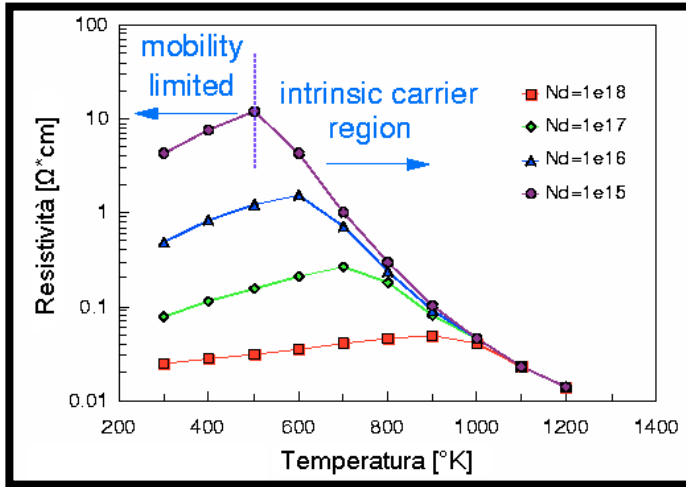


Figura 3.12: Resistività di un bipolare NPN in funzione della temperatura, per diversi drogaggi.

### 3.3.4 Transistor MOS

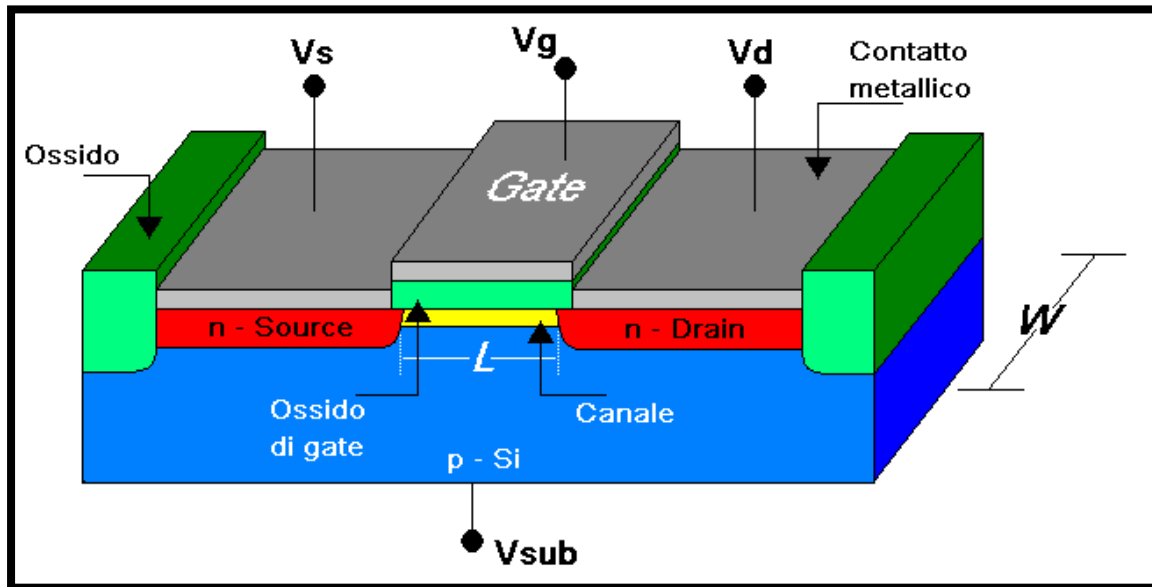


Figura 3.13: Sezione di un transistor MOSFET

Con il procedere dello scaling tecnologico i MOSFET sono sempre meno in grado di sopportare alte tensioni, a causa dell'assottigliamento dell'ossido. Come visto in precedenza, durante uno stress CDM un dispositivo può dover sopportare anche alcuni Ampere di corrente. In condizioni operative standard un MOSFET di segnale lavora in zona lineare e in saturazione (zona (1) e (2) di Figura 3.14).

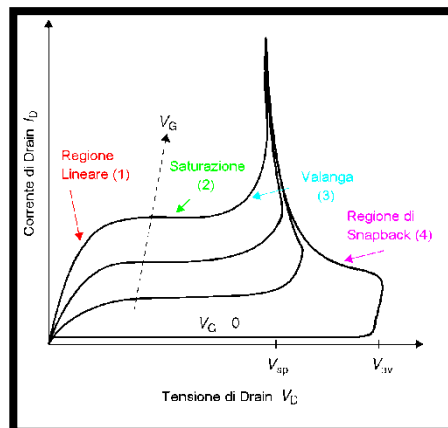


Figura 3.14: Caratteristica I-V di un MOSFET al variare di  $V_g$ .

### Capitolo 3: Protezioni da ESD

Nella figura è riportata la variazione della caratteristica  $V_{DS}$  vs.  $I_D$  in funzione della tensione di Gate ( $V_G$ ), con il Source posto a massa (0V).

All'aumentare della tensione di Gate, la zona sotto l'ossido tra Source e Drain inizia a svuotarsi e si ha un'inversione di popolazione, venendosi a creare un canale n.

In regione lineare la corrente di Drain segue la seguente relazione:

$$I_D = \frac{aW}{L} (V_G - V_T) V_{DS} - bV_{DS}^2 \quad (3.4)$$

dove:

- **a**: COSTANTE dipendente dalla mobilità degli elettroni nel canale e dalla capacità tra gate e semiconduttore.
- **b**: COSTANTE dipendente dal drogaggio del silicio e dalla capacità dell'ossido di gate.
- **W** e **L**: dimensioni fisiche del canale (larghezza e lunghezza).
- **V<sub>T</sub>**: tensione di soglia.

In saturazione la corrente di Drain può essere approssimata come:

$$I_{D,sat} \cong \frac{b'W}{L} (V_G - V_T)^2 \quad (3.5)$$

Dove **b'** è simile a **b** includendo anche il termine rappresentante il livello di drogaggio.

Durante i fenomeni ESD il transistor può essere forzato a condurre correnti molto superiori a quelle portate in zona lineare o in saturazione. Il MOSFET si trova quindi ad operare nelle altre due zone di Figura 3.14: la regione a Valanga e quella di SnapBack (3) e (4)).

### 3.3.4.1 Funzionamento in regime ESD

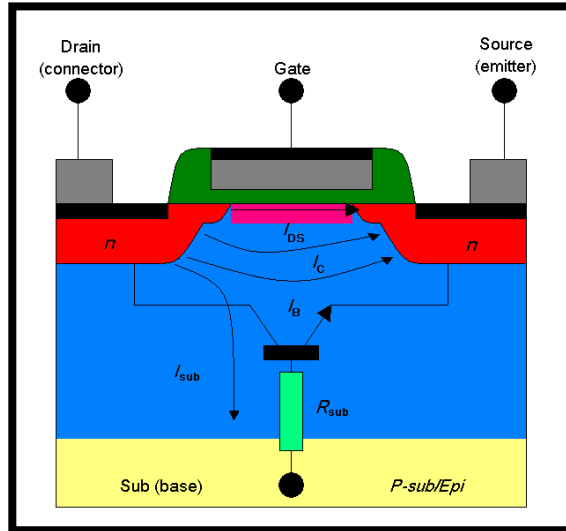


Figura 3.15: Sezione laterale di un nMOS con evidenziato il transistor bipolare parassita e le correnti associate

Sotto condizioni ESD è richiesto che un MOSFET riesca a portare diversi Ampere di corrente; deve anche avere una bassa corrente di blocco (clamping voltage), limitata dallo spessore dell'ossido di gate. (In questa tesi si tratteranno dispositivi con ossidi spessi qualche decina di Angstrom [Å]). In tale famiglia di dispositivi è molto importante il transistor parassita, evidenziato in Figura 3.15.

I fenomeni ESD implicano alte correnti in gioco, le quali portano a lavorare il MOSFET nelle regioni (3) e (4) di Figura 3.14. In queste regioni si ha un'attivazione del BJT parassita e l'instaurarsi del fenomeno di breakdown a valanga.

Analizziamo la condizione in cui source, gate e substrato si trovino a massa. All'aumentare della corrente di drain, corrisponde uno stato di alta impedenza della giunzione drain - substrato in polarizzazione inversa. L'unica corrente presente è quella inversa data dalla:

$$I_R = \frac{aADN_C N_V}{L_d N_B} \exp\left(\frac{-E_g}{kT}\right) + \frac{qW}{\tau_e} \sqrt{N_C N_V} \exp\left(\frac{-E_g}{2kT}\right) \quad (3.6)$$

dove:

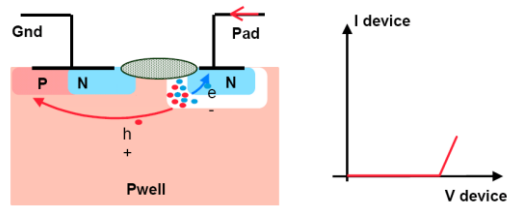
$\tau_e$ : tempo di vita effettivo dei portatori.

$W$ : spessore della regione di svuotamento.

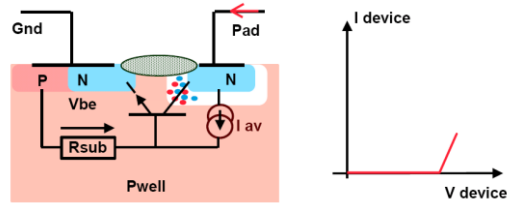
A causa dell'elevato campo elettrico si può avere una generazione di portatori (coppie elettrone/lacuna) per effetto a valanga nella giunzione drain - substrato. Gli elettroni sono spinti attraverso la giunzione di drain verso il contatto di drain. Qui si vanno a sommare alla corrente di drain, mentre le lacune danno origine alla corrente di substrato. Con l'aumentare della corrente di substrato, aumenta anche la tensione su  $R_{Sub}$  (resistenza di substrato), mandando in polarizzazione diretta la giunzione source-substrato immettendo nuovi elettroni nel substrato. Questi elettroni iniziano a contribuire alla corrente di drain. Si può quindi considerare acceso il bipolare parassita, il quale può considerarsi auto polarizzato, finché la corrente di polarizzazione è autogenerata dal fenomeno di valanga. Il tempo che impiega il bipolare per accendersi dipende principalmente dalla lunghezza del gate ( $L$ ). Una volta che il bipolare è completamente acceso, si nota una diminuzione della tensione al drain e si può osservare una regione a resistenza negativa causata dall'aumento di portatori per la moltiplicazione a valanga, fino al raggiungimento della tensione minima  $V_{sb}$ . Si ha quindi un'altra zona a resistenza positiva, in quanto l'aumento di corrente iniettata porta ad una modulazione della regione di substrato (base), che porta ad una riduzione della resistenza. Si ha quindi bisogno di una corrente maggiore per mantenere acceso il bipolare.

Qui di seguito sono schematizzati i quattro stadi del funzionamento di un MOSFET durante un fenomeno ESD.

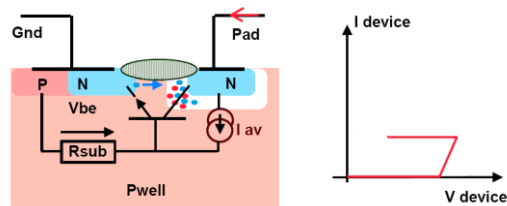
1. La tensione ai PAD aumenta, inizia la generazione a valanga causata dall'elevato campo elettrico.



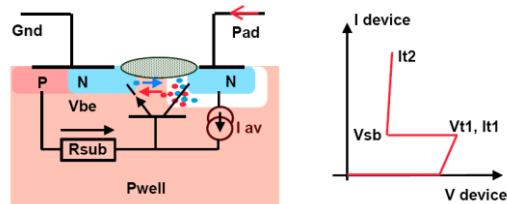
2. La corrente di substrato che attraversa  $R_{SUB}$  aumenta localmente la corrente sotto all'emettitore e pilota il bipolare NPN quando  $V_{BE} \approx 0.7 V$ .



3. Azione del bipolare => Iniezione di elettroni dall'emettitore al collettore => Ci sono più elettroni per la generazione a valanga => Caduta di tensione per bilanciare l'aumento di corrente => **SnapBack**.



4. Si instaura una modulazione della conduttività nella base a causa dell'alta corrente, si ha quindi una bassa resistenza in regime di SnapBack. Il dispositivo può sopportare alte correnti fino all'instaurarsi del secondo SnapBack.





### 3.3.5 SCR

Gli SCR (*Silicon Controlled Rectifiers*, cioè Raddrizzatori Controllati al Silicio) sono dispositivi di potenza a tre terminali del tipo tiristori, comandati da impulsi di corrente: lo stato di conduzione tra il terminale positivo, detto Anodo, e quello negativo, detto Catodo, viene iniziato da un impulso di corrente di caratteristiche adeguate applicato al terminale di controllo, detto Gate. Caratteristico dell'SCR è il fatto che, una volta iniziato, lo stato di conduzione permane anche dopo che l'impulso di corrente è cessato e non può essere interrotto da comandi applicati al Gate. Per spegnere lo SCR, cioè per far cessare lo stato di conduzione, è necessario annullare o ridurre a valori molto piccoli la corrente mediante mezzi che agiscano nel circuito di anodo, ad esempio aprendo un interruttore o annullando o invertendo la tensione di alimentazione. Quando la conduzione non è innescata, lo SCR tra anodo e catodo è interdetto e sopporta tensioni anche notevoli con piccola corrente di fuga. Se si applica tensione inversa, negativa sull'anodo rispetto al catodo, lo SCR si comporta come un diodo di potenza polarizzato inversamente. Generalmente la massima tensione inversa è dello stesso ordine della massima tensione diretta che può essere sopportata in condizioni di blocco. Vi sono alcuni SCR, detti "asimmetrici", che possono sopportare solo tensioni inverse ridotte. La struttura di questi dispositivi, in Figura 3.16, non è altro che quella di un PNP.

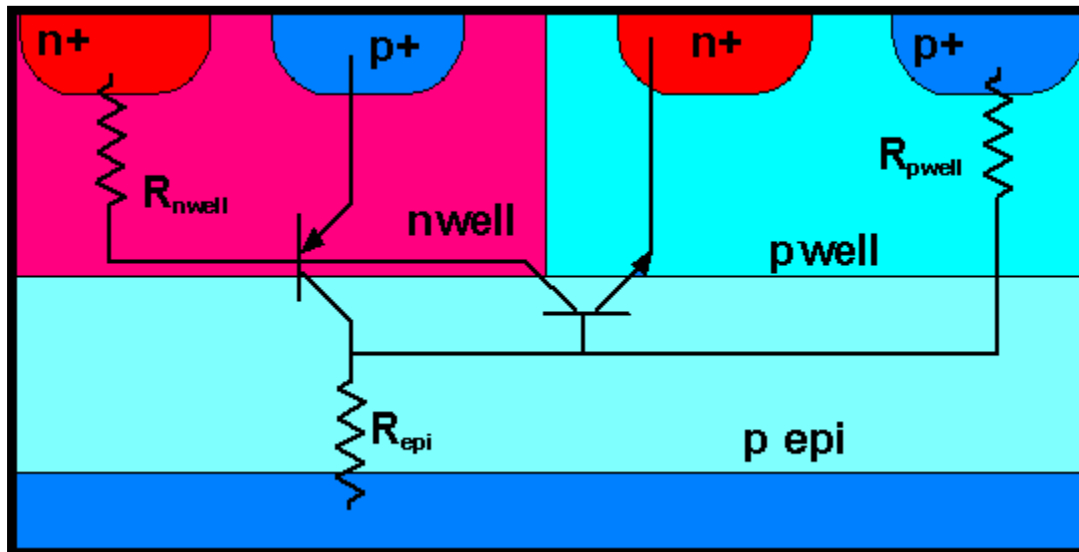


Figura 3.16: Sezione trasversale di un SCR

La diffusione  $p^+$  in nwell costituisce l'anodo del dispositivo, attraverso il quale le lacune vengono iniettate in nwell, mentre la diffusione  $n^+$  in pwell è il catodo attraverso il quale gli elettroni sono iniettati in pwell. Le altre due diffusioni  $n^+$  e  $p^+$  servono a contattare le due well.

Il componente SCR può essere visto come due transistor bipolari, un PNP formato dall'anodo (E), nwell (B) e pwell (C) e un NPN formato dal catodo (E), pwell (B) e nwell (C).

Per essere utilizzato come protezione, catodo e pwell devono essere connessi a massa, mentre anodo e nwell al pad (Figura 3.16). In tal modo il dispositivo funziona per il breakdown della giunzione pwell-nwell e si accende quando la corrente di lacune polarizza in diretta il catodo tramite  $R_{pwell}$  oppure quando la corrente di elettroni in nwell accende il PNP. È comunque più probabile che si accenda il NPN, essendo il suo guadagno molto maggiore di quello del PNP. Per ridurre la tensione di trigger del dispositivo si può aggiungere una diffusione  $N^+$  sul bordo della nwell, in modo che la tensione di breakdown sia ridotta a quella di  $N^+$ -pwell.

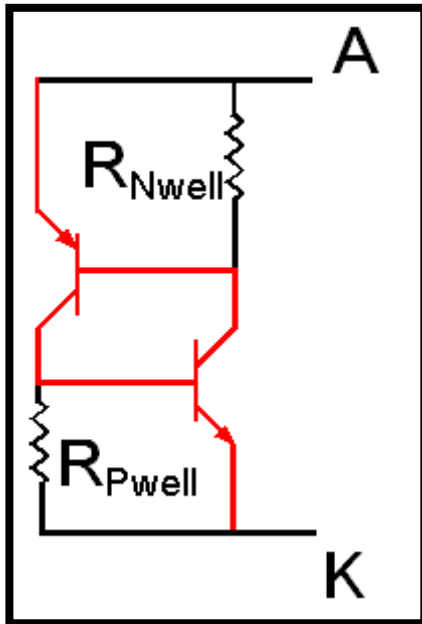


Figura 3.17: Circuito equivalente di un SCR.

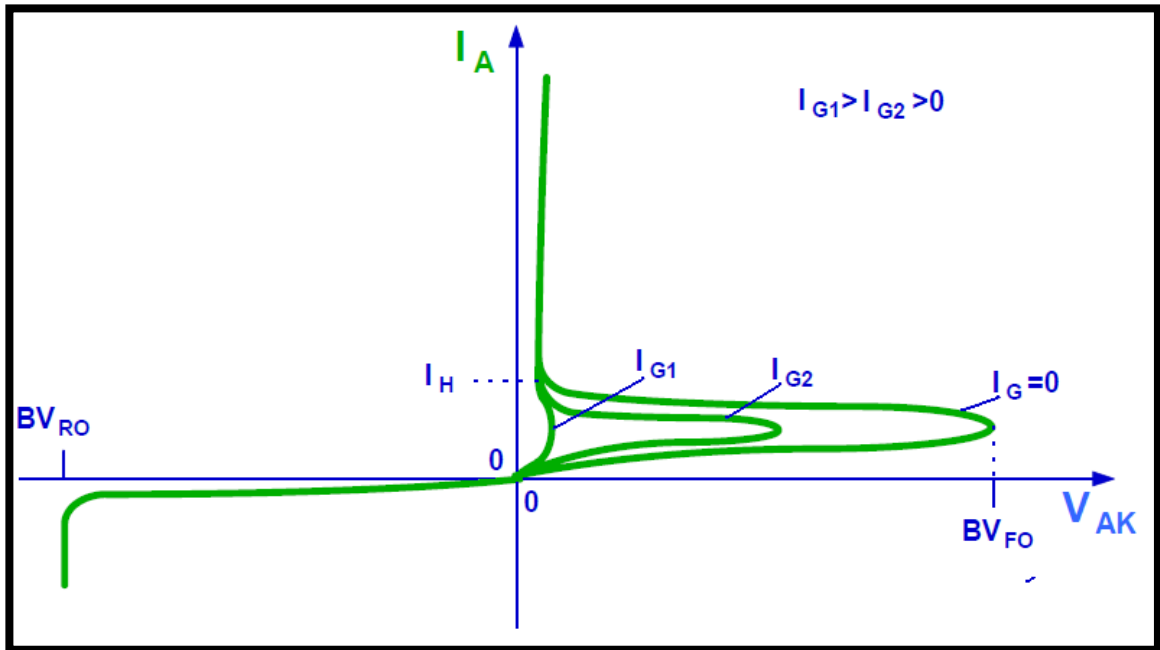


Figura 3.18: Caratteristica I-V di un SCR

### 3.4 Tipologie di famiglie di protezione in tecnologia BCD8

Nel presente paragrafo verranno presentate le due tipologie di protezioni da ESD analizzate durante questo lavoro: dispositivi a snapback e clamp attivi.

#### 3.4.1 Dispositivi a Snapback: GCMOS e GGMOS

Il dispositivo più utilizzato come protezione da fenomeni CDM in questa tesi è il *Gate-Coupled NMOS transistor* (GCMOS).

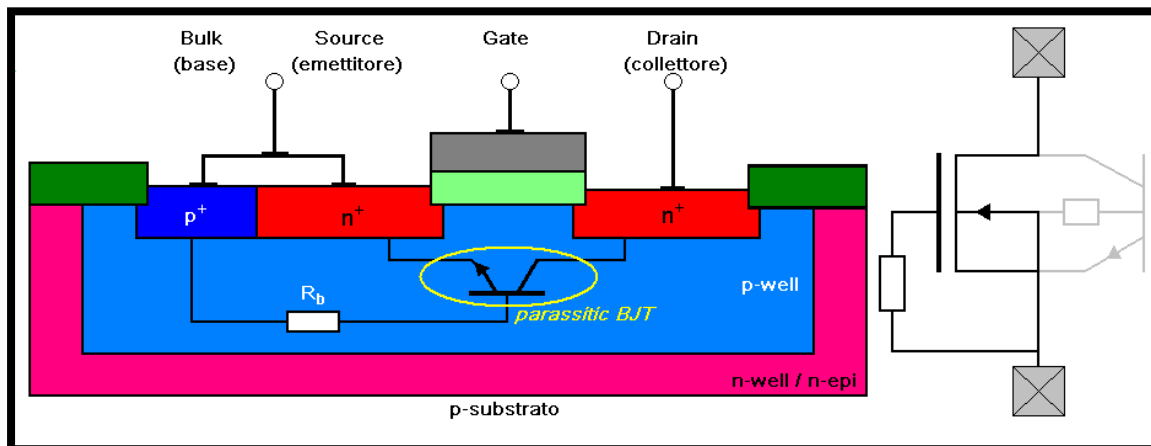


Figura 3.19: Sezione di un Gate Coupled MOS (GCMOS)

I gcMOS (Figura 3.19) sono attivati da un meccanismo di trigger indipendente dal breakdown. La capacità tra gate e drain che può semplicemente consistere nella capacità di Miller parassita di un MOS o in una capacità di accoppiamento addizionale ( $C_{gc}$ ), causata da un accoppiamento tra il gate e il drain della struttura. Questo effetto riduce la tensione di trigger in rapporto a quella di un ggMOS (*Gate Grounded MOS*), Figura 3.23, che aiuta ad assicurare l'accensione uniforme della protezione, del transistor

NMOS con più fingers, Figura 3.20, e ha benefici quando il dispositivo è utilizzato per proteggere componenti con giunzioni pn simili alla sua.

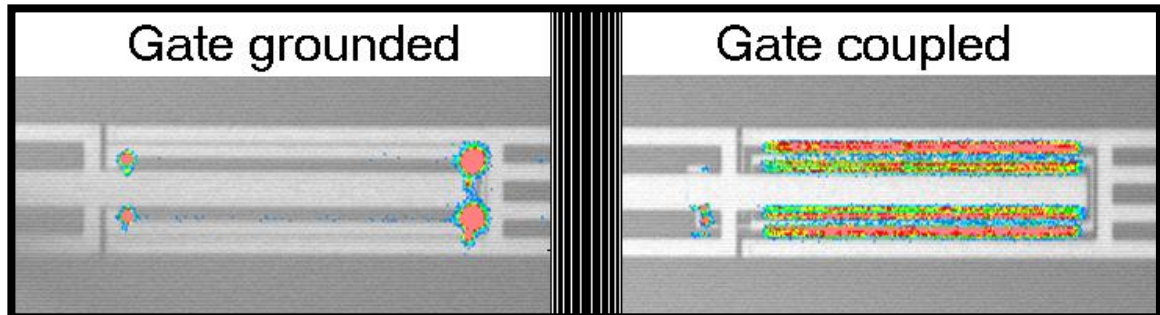


Figura 3.20: Confronto delle densità di carica in un ggMOS e un gcMOS.

In un dispositivo gate grounded ciò non è sempre possibile in quanto l'accensione del primo *n<sub>pn</sub>* parassita porta alla scarica di tutte le correnti ESD, prevenendo l'accensione delle altre dita. Infatti dopo che l' *n<sub>pn</sub>* del primo finger inizia a condurre e si blocca alla tensione di snapback, la tensione del PAD ricomincia a salire a causa della resistenza di snapback. Quando il PAD raggiunge di nuovo la tensione  $V_{t1}$  si accende il secondo dito e così via finché tutte le dita sono accese o finché non si raggiunge la tensione di fallimento  $I_{t2}$ . Spesso però si raggiunge prima la corrente di fallimento dell'accensione di tutti i finger. L'effetto del gate coupled sulla tensione di soglia, è quindi quello di ridurre la tensione di generazione a valanga.

La più bassa tensione di trigger garantisce che la protezione da fenomeni ESD si accenda prima del circuito da proteggere. Una resistenza di pull-down ( $R_{gc}$ ) tra il gate e il source previene l'accensione accidentale del gcMOS durante il normale funzionamento del sistema. Un'adeguata progettazione di  $C_{gc}$  e  $R_{gc}$  è fondamentale per il corretto funzionamento del componente. Questi parametri devono essere tali da garantire che il componente non si accenda per tensioni sotto quella operativa, che si accenda in tempi sufficientemente brevi e con una resistenza serie bassa durante l'evento ESD. Analizziamo il variare della caratteristica I-V del gcMOS al variare della tensione di gate (Figura 3.21). All'inizio, la tensione di trigger del bipolare parassita diminuisce con l'aumentare della tensione tra gate e source. Ciò deriva dall'interazione tra il MOSFET e

il BJT parassita. La corrente tra drain e source ( $I_{DS}$ ) in combinazione con un forte campo elettrico, causa un significativo effetto da ionizzazione da impatto. Si ha come conseguenza una corrente di lacune aggiunta alla base, quindi un valore inferiore del fattore di moltiplicazione a valanga, vale a dire che è necessario un potenziale inferiore della giunzione drain-bulk per polarizzare in diretta la giunzione base-emettitore e attivare il transistor bipolare. A più alte tensioni tra gate e source, si ha una diminuzione di trigger. Allo stesso tempo la tensione di hold aumenta, conseguenza dell'interazione MOS bipolare. Il fattore di generazione a valanga dipende fortemente dal campo elettrico. Con una tensione tra gate e source maggiore, la tensione di saturazione del drain ( $V_{Dsat}$ ) diminuisce, il che si traduce in una diminuzione del campo elettrico al drain. Questa diminuzione del campo elettrico è compensata da un aumento della tensione al drain, che vuol dire un aumento della tensione di hold. A causa dell'aumento della dissipazione di potenza all'aumentare della tensione, la corrente di breakdown secondario del dispositivo diminuisce all'aumentare della tensione di gate.

In Figura 3.21 è raffrontata la caratteristica di un ggMOS (rossa) con quella di un gcMOS (azzurra). Come si può vedere la tensione di snap del gcMOS è molto inferiore a quella del ggMOS.

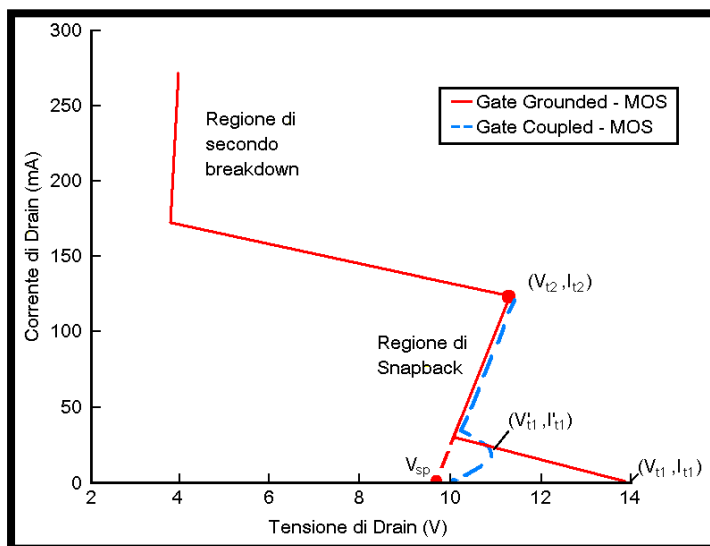


Figura 3.21: Confronto tra la caratteristica I-V di un GGMOS e di un GCMOS

La tensione  $V_{t1}$  è la tensione di breakdown della giunzione base-collettore del *npn* con l'emettitore in *open-circuit*. Durante l'evento ESD il dispositivo opera soprattutto in regime di snapback, dove  $V_{sp}$  è la tensione di clamp. A livelli più alti di stress, il dispositivo può entrare in breakdown secondario, dove è facile che si verifichino fenomeni di filamentazione e quindi fallimento del dispositivo. Fintantoché, in polarizzazione inversa, il calore generato nella giunzione di drain può aumentare la temperatura dei contatti delle metallizzazioni. Spostare i contatti lontano dalla diffusione di drain può minimizzare le filamentizzazioni tra drain e source e quindi aumentare il livello di protezione da ESD.

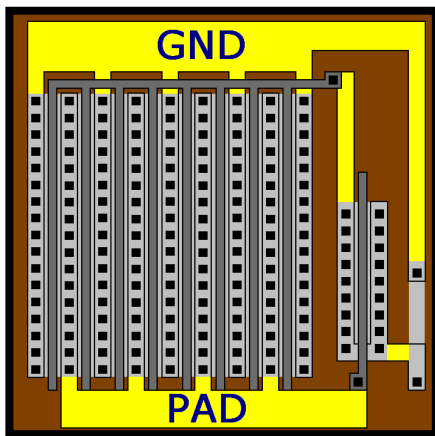


Figura 3.22: Layout di un GCMOS multifinger.

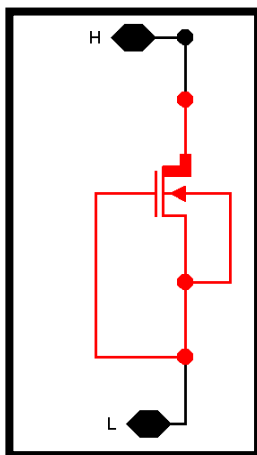


Figura 3.23: Schema circuitale di un ggMOS.

I dispositivi a snapback, dato il loro peculiare comportamento durante i fenomeni ESD, devono soddisfare alcune regole per essere utilizzati come protezioni.

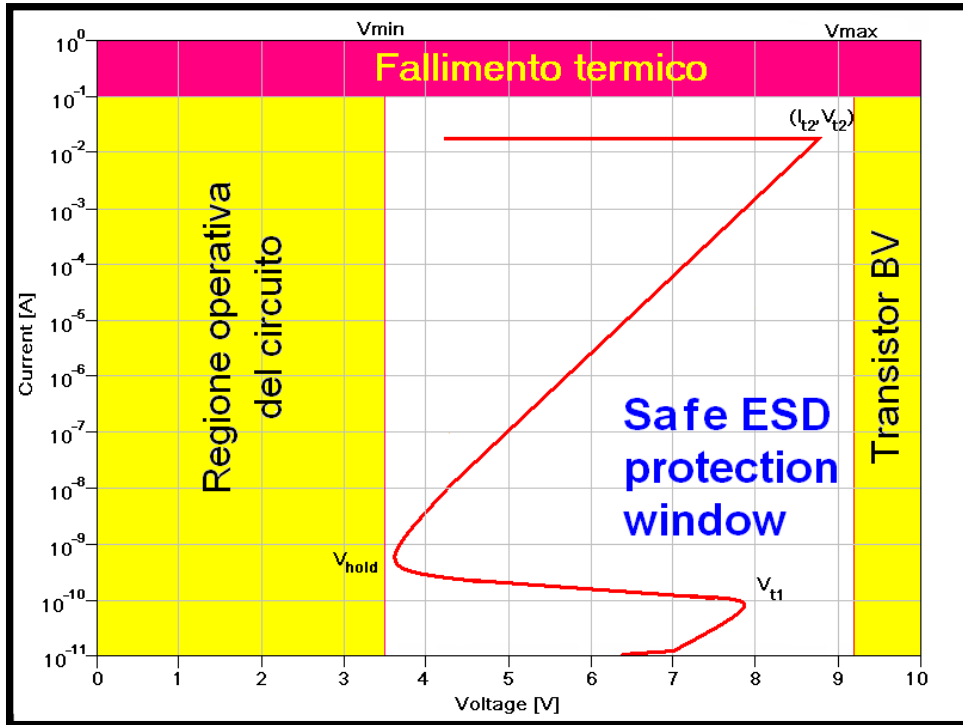


Figura 3.24: Curva tipica di un dispositivo di protezione a snapback con rispettiva safe ESD protection window.

Si deve fare particolare attenzione alla finestra operativa della protezione ad ESD (Figura 3.24), chiamata anche *Safe ESD protection window*. Il dispositivo deve operare in modo tale che la tensione di trigger del dispositivo ( $V_{t1}$ ) sia inferiore alla massima tensione che non danneggia il circuito da proteggere ( $V_{max}$ ). Inoltre la tensione di hold ( $V_{hold}$ ) deve essere superiore alla tensione di normale operazione del circuito per evitare che la protezione si attivi ai livelli di tensione per cui un circuito integrato si trova a operare in condizioni normali. Si deve fare in modo anche che la tensione di fallimento del componente sia superiore a  $V_{t1}$ , per assicurare una corretta accensione di tutte le strutture di protezione poste in parallelo. Si possono riassumere le condizioni appena enunciate nella seguente relazione:



$$V_{operativa} < V_{min} < V_{hold} < V_{t1} < V_{t2} < V_{max}$$

Con il procedere dello scaling tecnologico, la differenza tra  $V_{operativa}$  e  $V_{max}$  si sta riducendo sempre più. Inoltre sta diminuendo anche la differenza tra la tensione di degradazione dell'ossido ( $V_{max}$ ) e quella per cui si instaura il breakdown della protezione ( $V_{t1}$ ). In questa ottica i gcMOS sono da preferirsi ai ggMOS per la loro inferiore tensione di snap.

### 3.4.2 Clap Dinamici: MOSSWI

Il dispositivo *MOS SWItch* (MOSSWI) è utilizzato come protezione sia da scariche positive che da scariche negative. Per stress positivi si sfrutta la conduzione di canale del MOSFET, mentre per impulsi negativi si ha la conduzione del diodo body/drain.

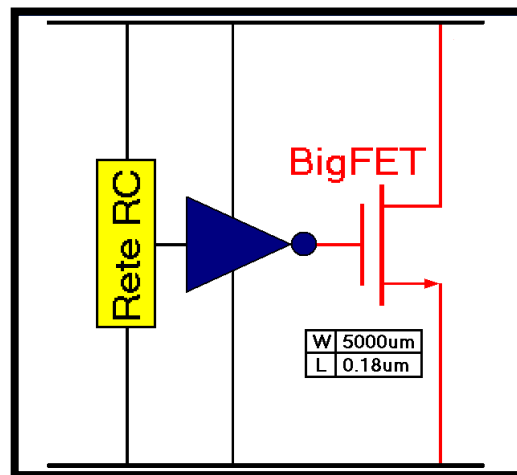


Figura 3.25: Schema di funzionamento di un MOSSWI.

In Figura 3.25 è riportato lo schema circuitale di un MOSSWI. Il componente principale è il dispositivo BIGFET, realizzato con un NMOS con una grande larghezza di canale. In dispositivi di queste dimensioni si hanno due cammini conduttivi. Il primo è dato dal canale del MOSFET, mentre il secondo è dato dal BJT npn interno parassita<sup>25</sup>.

Di questi due cammini il principale è il canale del MOS in quanto il dispositivo è fatto per lavorare di canale e non per sfruttare il bipolare parassita.

Gli altri due componenti sono un inverter e una rete RC.

I clamp attivi traggono vantaggio dalle rapide variazioni di tensione e/o corrente che accompagnano i fenomeni ESD. Durante questi transitori un dispositivo viene acceso molto velocemente e spento lentamente. Questi tipi di clamp conducono per un tempo ben prefissato, determinato dalla rete RC. Uno svantaggio di questi dispositivi è la capacità di fornire una protezione ESD anche per basse tensioni di pilotaggio, senza aggiungere altri passi di processo e avendo regole di layout rilassate. Il principale svantaggio è che, rispondendo a qualsiasi evento rapido, sono sensibili al rumore<sup>26</sup>. Se, quindi, pilotati erroneamente, possono interferire con l'operatività del circuito ed è probabile che il dispositivo venga danneggiato. L'immunità al rumore, durante il normale funzionamento, è un parametro fondamentale per i clamp attivi<sup>27</sup>. Un ulteriore deficit di questi componenti è l'occupazione d'area, infatti, se per un dispositivo a snapback si possono raggiungere livelli di protezione in funzione di area occupata pari a  $20\div 40\text{V}/\mu\text{m}$ , per i clamp dinamici si raggiungono rapporti di circa  $0.1\text{V}/\mu\text{m}$ .

La rete RC deve quindi filtrare l'evento ESD, escludendolo dal normale rumore in ingresso. Per aumentare ulteriormente la sensibilità del clamp al solo evento ESD può essere inserita una rete di inverter come mostrato in figura. Inoltre si isola la rete RC dal BIGFET in quanto senza questo isolamento la capacità  $C_{gs}$  del MOSFET si troverebbe in parallelo a quella della rete RC.

La rete RC è realizzata con una resistenza in polisilicio in serie con un nMOS in configurazione a condensatore.

La protezione MOSSWI è attivata dinamicamente e non lavora in regime di snapback. Il circuito pilota il gate del BIGFET da 1.8V durante l'evento ESD, in modo che questo scarichi in sicurezza la corrente a terra. Essendo una protezione che si auto polarizza, non viene attivato il breakdown a valanga e il conseguente snapback, ma tutti i componenti lavorano in condizioni operative normali. Durante uno stress negativo il diodo body/drain del BIGFET entra in polarizzazione diretta portando la corrente a massa incolume.

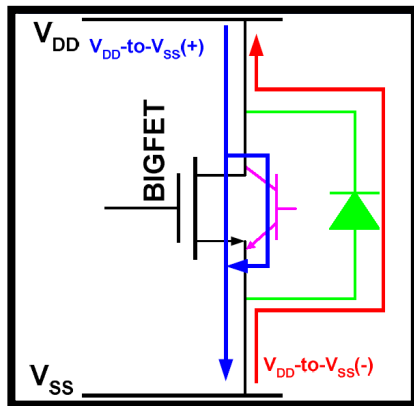


Figura 3.26: Cammini conduttivi di un BIGFET.

Anche per i clamp dinamici viene definita una Safe ESD operating area, la quale è diversa però dai dispositivi a snapback. Infatti nel MOSSWI si sfrutta il normale regime di funzionamento di un MOSFET; pertanto non avendo lo snapback, non si rischia di avere che la tensione di hold sia inferiore a quella operativa del circuito da protegge. Gli unici limiti sono quindi, in tensione, la tensione di breakdown del dispositivo, mentre, in corrente, il livello per cui inizia il fallimento termico.

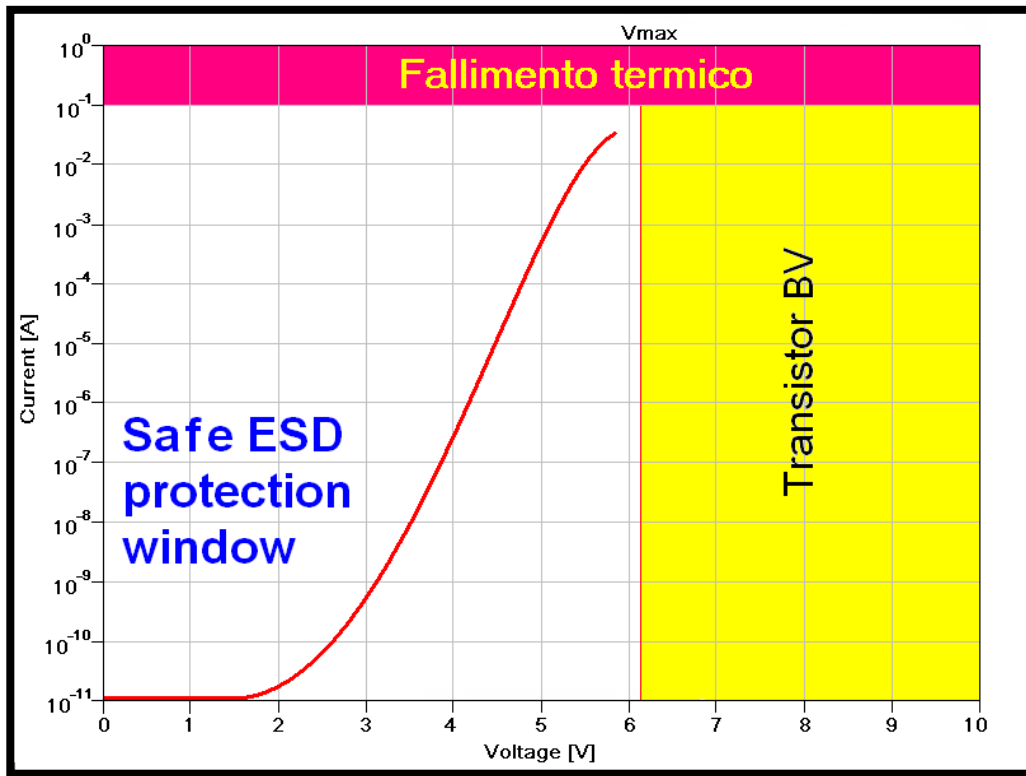


Figura 3.27: Curva tipica di un clamp attivo con rispettiva finestra di operativa.

## **CAPITOLO 4 : DESCRIZIONE DELLE STRUTTURE CARATTERIZZATE**

La tecnologia BCD8\_1V8 presenta una grande varietà di soluzioni per creare delle strutture di protezione a fenomeni ESD. Solo attraverso la caratterizzazione di circuiti significativi è possibile estrapolare una valutazione di robustezza CDM completa del processo e delle strutture analizzate. Lo scopo di questo lavoro è quello di studiare i dispositivi *low voltage* (1.8V e 5V) di questa tecnologia. Al fine di studiarne il comportamento è stata progettata la maschera CK332A. Il chip è composto da cinque differenti sottoclassi di dispositivi in base alla tipologia di protezione implementata e al tipo di fenomeno ESD in cui devono essere simulati. Ci si è focalizzati sullo studio di due particolari tipologie di componenti: dei MOSFET in configurazione gate coupled e dei MOSFET in configurazione a condensatore. I primi sono tra le tipologie di protezione più usate, mentre i secondi sono utili come simulacro di un ipotetico circuito da proteggere, essendo gli ossidi di gate uno degli elementi più sensibili agli eventi CDM.

## 4.1 Modulo CK332

Il modulo CK332 è stato disegnato per permettere di fare misure di affidabilità, di vari dispositivi in tecnologia BCD8\_1V8, a fenomeni ESD.

Il die in silicio è stato posto all'interno di un package TQFP80 (Figura 4.2), da 80 piedini, 20 per lato.

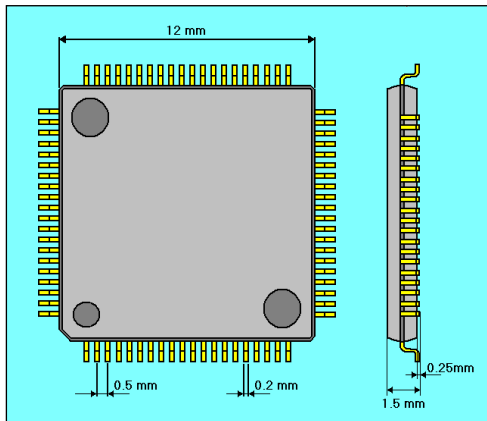


Figura 4.1: TQFP80

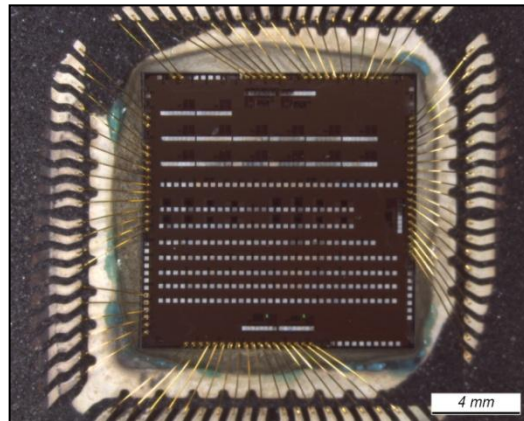


Figura 4.2: Immagine di un dispositivo CK332 a package aperto.

I dispositivi presenti possono essere suddivisi in cinque famiglie, per scopo di test:

- I) Ossidi di gate (**giallo**).
- II) Protezioni isolate (**rosa**).
- III) Protezioni con Monitor (a 2 terminali) (**verde**).
- IV) Protezioni con Monitor (a 3 terminali) (**azzurro**).
- V) Altre protezioni (**arancio**).

In rosso sono i dispositivi per la calibrazione dei macchinari di misura, un corto circuito e un circuito aperto, usati per misure TLP e vf-TLP direttamente sulla fetta di silicio.

In Figura 4.3 sono evidenziati i posizionamenti delle strutture.



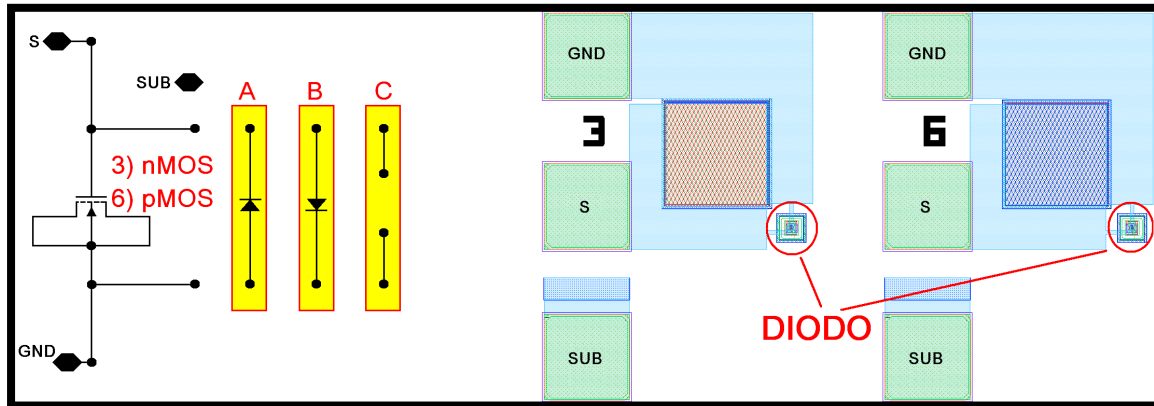


Figura 4.4: Circuitale e layout delle strutture 3 e 6.

Sono stati analizzati sia MOSFET a canale P, che a canale N, entrambi caratterizzati da uno spessore dell'ossido di gate da 35Å.

È stato esaminato il diverso comportamento dei dispositivi nMOS e pMOS, per vederne eventuali differenze, testando il comportamento sia in inversione sia in accumulo.

A loro volta questi due gruppi hanno tre differenti componenti: le versioni A e B hanno un diodo antenna in parallelo, mentre la versione C non ha nessun diodo.

Il diodo antenna viene inserito per eliminare problemi dovuti a fenomeni di charging durante il processo costruttivo del MOSFET. Infatti, l'inserimento delle piste di metal avviene tramite un processo di hatching utilizzando del plasma. Questo può portare all'accumulo di cariche nella gate del transistor. Se queste cariche raggiungono un valore superiore ad una determinata soglia, possono portare alla rottura dell'ossido sottostante. Per evitare questo fenomeno si introducono dei diodi antenna che provvedono a scaricare a massa, tramite il substrato, eventuali cariche accumulate nella gate durante questo processo.

Il diodo antenna è stato realizzato con un DMOS, con BV molto maggiore di quello dell'ossido (40V) per non influenzarne il comportamento. In questa maniera si può determinare la soglia di rottura dell'ossido da 35Å.



### 4.1.2 Protezioni Isolate

PROTEZIONI ISOLATE						
No.	Strutt.	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Class	Note
7X	gcMOS	100	0.18	St. Alone	1.8V	STD
8X	gcMOS	100	0.18	St. Alone	1.8V	Body Av.
9X	gcMOS	100	0.18	St. Alone	1.8V	PNP
14X	gcMOS	200	0.18	St. Alone	1.8V	4 Fingers
15X	MOSSWI			St. Alone	1.8V	STD
34X	gcMOS	100	0.35	St. Alone	5V	STD
35X	gcMOS	100	0.35	St. Alone	5V	Ossido Spesso (GO2)
36X	gcMOS	100	0.6	St. Alone	5V	STD
37X	gcMOS	100	0.6	St. Alone	5V	Ossido Spesso (GO2)
38X	gcMOS	100	1	St. Alone	5V	STD
39X	gcMOS	100	1	St. Alone	5V	Ossido Spesso (GO2)

Tabella 4.1: Descrizione delle strutture bondate analizzate.

Lo scopo della misura di questi dispositivi è quello di verificare la robustezza intrinseca della protezione ad eventi CDM

Le **PROTEZIONI ISOLATE** si differenziano in quattro gruppi:

- STANDARD.
- BODY AVAILABLE.
- PNP.
- MOSSWI.

che sono la base di tutte le altre strutture, sia quelle con il monitor, che quelle a tre terminali.

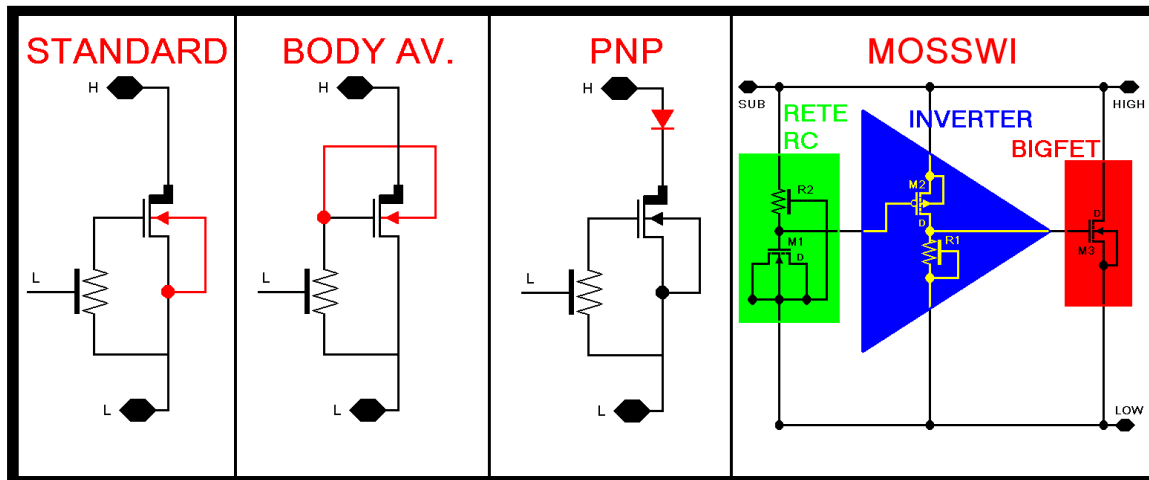


Figura 4.5: Schema circuitale delle Protezioni Isolate.

In Figura 4.5 si possono vedere gli schemi circuitali semplificati (non includono i componenti parassiti, delle Protezioni Isolate).

La configurazione **STANDARD** è costituita da un nMOS in configurazione gate coupled, cioè con la gate collegata a massa attraverso una resistenza in polisilicio.

La versione **BODY AVAILABLE** presenta il substrato cortocircuitato con la gate e non posto direttamente a massa.

Il soluzione **PNP** è costituita da un gcMOS standard con un transistor PNP in configurazione diodo tra morsetto *H* e terminale di *drain* del MOSFET.

Il dispositivo **MOSSWI**, descritto nel “§3.4.2 Clap Dinamici: MOSSWP”, viene analizzato per confrontarlo con i dispositivi a snapback. È realizzato con una resistenza nella rete di pull-down e un nMOS come condensatore nella rete RC.

### 4.1.3 Protezioni con MONITOR (2 terminali)

PROTEZIONI CON MONITOR (2 terminali)						
No.	Strutt.	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Class	Note
16X	gcMOS	100	0.18	+ MONITOR	1.8V	STD
17X	gcMOS	100	0.18	+ MONITOR	1.8V	Rpoly (1k $\Omega$ )
18X	gcMOS	100	0.18	+ MONITOR	1.8V	Rete $\pi$ di prot. con ggMOS da 10 $\mu\text{m}$
19X	gcMOS	100	0.18	+ MONITOR	1.8V	Rete $\pi$ di prot. con uno Zener da 5V
21X	gcMOS	100	0.18	+ MONITOR	1.8V	Body Av. +Rpoly (1k $\Omega$ )
25X	gcMOS	100	0.18	+ MONITOR	1.8V	PNP + Rpoly (1k $\Omega$ )
30X	ggMOS	200	0.18	+ MONITOR	1.8V	4 Fingers + Rpoly (1k $\Omega$ )
31X	MOSSWI			+ MONITOR	1.8V	STD
32X	MOSSWI			+ MONITOR	1.8V	Rpoly (1k $\Omega$ )
43X	gcMOS	100	1	+ MONITOR	5V	STD
44X	gcMOS	100	1	+ MONITOR	5V	Rpoly (1k $\Omega$ )

Tabella 4.2: Protezioni analizzate con MONITOR a 2 terminali.

Lo scopo di queste misure è determinare l'efficacia delle protezioni isolate, quando si trovano a proteggere degli ossidi di gate sottili in presenza di fenomeni CDM.

Le **PROTEZIONI CON MONITOR A 2 TERMINALI** presentano anch'essi tre diverse soluzioni:

- STANDARD.
- R<sub>poly</sub>.
- PROTEZIONE  $\pi$ .

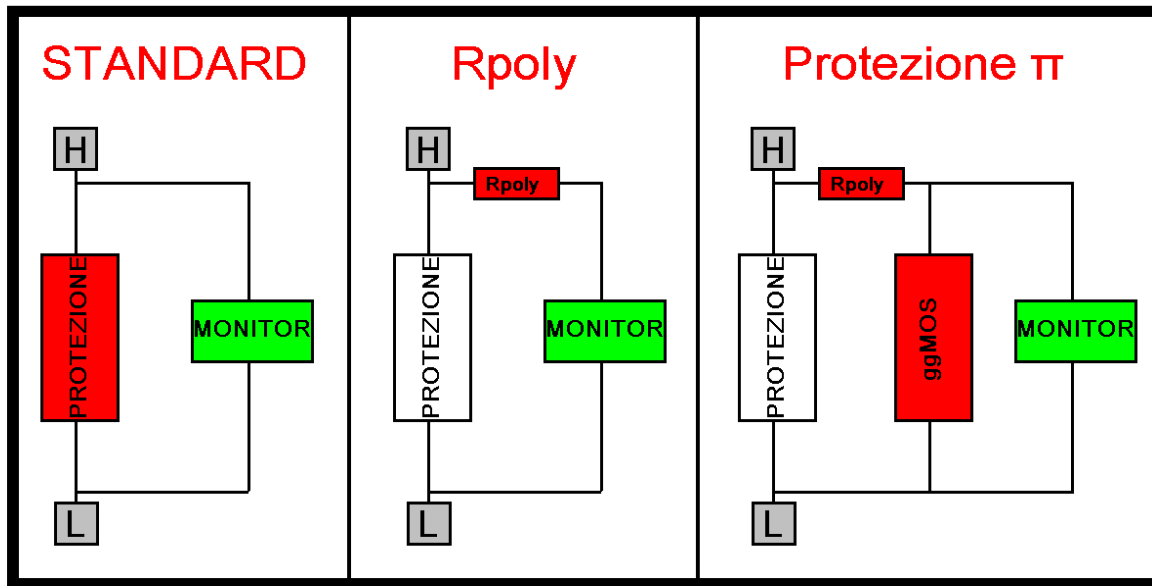


Figura 4.6: Configurazioni dei dispositivi con monitor

In Figura 4.6 sono schematizzate le tre possibili configurazioni con cui sono protetti gli ossidi di gate (*MONITOR*). Come detto precedentemente si è utilizzato un nMOS con ossido sottile configurato come una capacità per simulare un tipico circuito da proteggere. Per le tutte le strutture con monitor le dimensioni dell'nMOS sono  $10\mu\text{m} \times 0.18\mu\text{m}$ , tranne che per i dispositivi 43X e 44X in cui il monitor è di  $10\mu\text{m} \times 0.6\mu\text{m}$ .

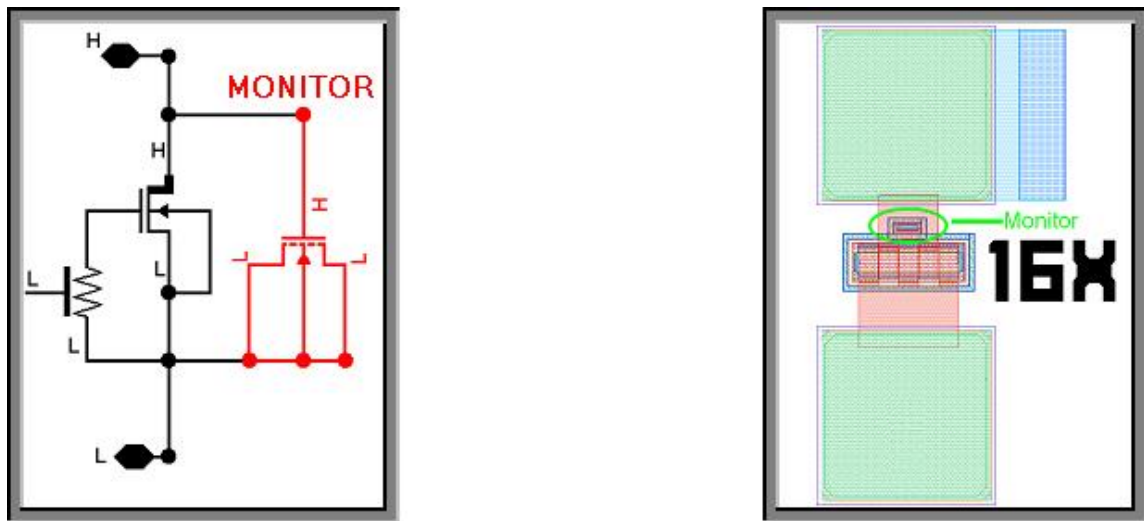


Figura 4.7: Schema circuitale e layout del dispositivo con monitor 16X

La prima soluzione, **STANDARD**, presenta la protezione posta tra i due terminali con in parallelo il monitor. In questa maniera, in presenza di fenomeno ESD, si crea un cammino di bassa impedenza tra terminale di scarica e massa, che non passa attraverso la struttura da proteggere. Essendo i due dispositivi posti in parallelo, si ha su entrambi la stessa tensione.

La seconda soluzione,  **$R_{poly}$** , è caratterizzata dalla presenza di una resistenza in polisilicio, del valore pari a  $R_{poly} = 1k\Omega$ , in serie al monitor. In questa maniera si ha un partitore resistivo e la tensione ai capi del monitor è inferiore a quella della soluzione standard.

Infine la terza soluzione, **PROTEZIONE  $\pi$** , presenta uno schema a  $\pi$ , formato dalla protezione, la resistenza in polisilicio e da un ggMOS (*gate grounded MOS*) in configurazione a diodo. Questa versione vuole dare un'ulteriore protezione al circuito, creando un secondo cammino conduttivo in parallelo al primo, per ridurre ulteriormente la corrente che attraversa il dispositivo da proteggere.

#### 4.1.4 Protezioni con MONITOR (3 terminali)

PROTEZIONI CON MONITOR (3 terminali)						
No.	Strutt.	W( $\mu$ m)	L( $\mu$ m)	Tipo	Class	Note
45X	gcMOS	100	0.18	3Terminali	1.8V	PAD#1
45Y	gcMOS	100	0.18	3Terminali	1.8V	PAD#2
45Z	gcMOS	100	0.18	3Terminali	1.8V	PAD#2 e Sub non a V <sub>ss</sub>
46X	gcMOS	100	0.18	3Terminali	1.8V	PAD#1
46Y	gcMOS	100	0.18	3Terminali	1.8V	PAD#2
49X	MOSSWI			3Terminali	1.8V	PAD#1
49Y	MOSSWI			3Terminali	1.8V	PAD#2
49Z	MOSSWI			3Terminali	1.8V	PAD#2 e Sub non a V <sub>ss</sub>
50X	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) e PAD#1
50Y	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) e PAD#2
50Z	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) e PAD#2 e Sub non a V <sub>ss</sub>

Tabella 4.3: Protezioni analizzate con MONITOR a tre terminali.

Lo scopo di queste misure è ottenere maggiori informazioni sul comportamento del sistema, avendo accessibile dall'esterno gate, source e drain separatamente. Questo comporta però lo svantaggio di avere un carico capacitivo aggiuntivo, dominato dalla presenza di un terzo PAD. Si sono scelte tre differenti configurazioni dei PAD per vedere come questo influisce sulle performance del sistema.

Le **PROTEZIONI CON MONITOR A 3 TERMINALI**, il cui schema circuitale è riportato in Figura 4.8, dove è possibile vedere il terminale di DRAIN accessibile.

Si differenziano per tre configurazioni possibili:

- PAD#1.
- PAD#2.
- PAD#2 NO SUB V<sub>ss</sub>

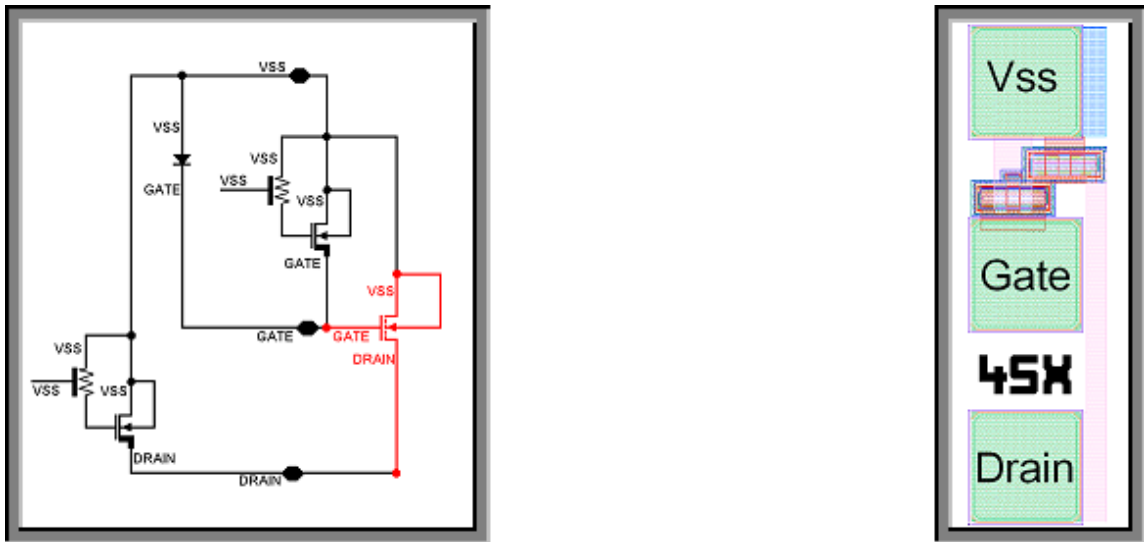


Figura 4.8: Schema circuitale e layout della struttura a tre terminali 45X.

La principale differenza tra le tre famiglie consiste nel modo in cui sono fatti i PAD. I PAD sono delle piastre metalliche che permettono, tramite dei fili, di collegare il circuito con il package. Essendo questi di dimensioni considerevoli, il loro contributo capacitivo non è trascurabile. Inoltre la capacità intrinseca del PAD è funzione di come vengono disegnati e realizzati. Le tre configurazioni: PAD#1, PAD#2 e PAD#2 NO SUB  $V_{SS}$ , si differenziano per il contributo capacitivo apportato al circuito.

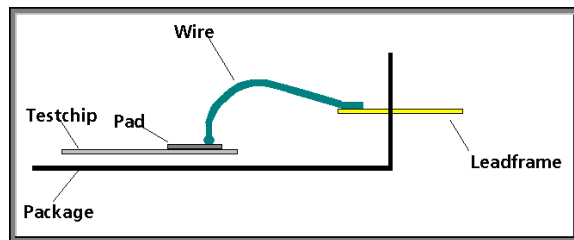


Figura 4.9: PAD e collegamento al package.





## **CAPITOLO 5 : SET-UP DI MISURA**

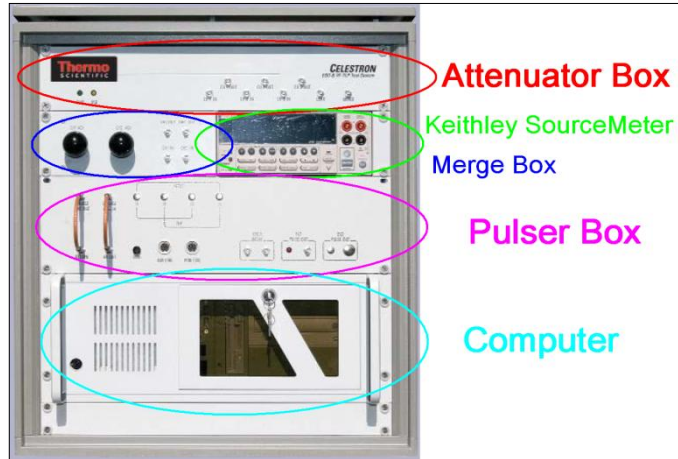
Le misure fatte presso lo stabilimento STM di Agrate possono essere divise in tre categorie differenti in base allo scopo prefissato:

- Utilizzo del tester TLP e vf-TLP.
- Utilizzo del tester CDM.
- Caratterizzazione dei dispositivi pre e post stress.

In questo capitolo verranno analizzati gli strumenti di misura e le impostazioni utilizzate.

## 5.1 Tester TLP e vf-TLP<sup>28, 29</sup>

Come tester TLP è stato utilizzato il sistema *CELESTRON* della fu Oryx® ora Thermo Scientific®. Lo strumento permette, tramite l'utilizzo di opportune punte, sia di fare misure TLP a 100ns, che vf-TLP a 5ns, 2.5ns e 1.2ns. Le differenze fondamentali tra le varie tipologie di misura sono:



l'utilizzo di cavi coassiali esterni **Figura 5.1: TLP Celestron con evidenziati i sottosistemi** per determinare la durata dell'impulso, di opportune punte nel caso di test vf-TLP e l'utilizzo di determinati "POD".

Il tester è composto dalle seguenti parti:

- **Pulser Box**: contiene le componenti necessarie a produrre l'impulso TLP. Il computer manda le istruzioni al pulse box, che determina la corretta tensione e il tempo di precarica per ottenere l'effetto desiderato.
- **Computer**: precaricato con Windows XP, permette l'interfacciamento sistema di test – utente.
- **Keithley SourceMeter**: rende possibile osservare il comportamento DC dei componenti desiderati. In questa maniera si può registrare l'intera curva caratteristica e grazie all'elevata sensibilità dello strumento, determinarne i valori di hold e trigger. Il sistema software che permette di effettuare questa tipologia di misurazioni è chiamato Curve Tracer.
- **Oscilloscopio esterno**: è necessario per catturare le forme d'onda TLP e vf-TLP. Dalla Thermo Fisher è richiesto un oscilloscopio da almeno 1GHz per lavorare con tempi di salita inferiori ad 1ns. In questa tesi ne è stato utilizzato uno della Tektronix da 6GHz.

- **POD** (*Point of Distribution*): sono dei filtri del tempo di salita, esterni, utilizzati come interfaccia tra il sistema e il dispositivo da misurare. Sono inoltre forniti di una sonda di corrente e una di tensione da collegare all'oscilloscopio.
- **Merge Box**: la sua funzione è quella di unire impulsi vf-TLP separati, sovrapponendoli. Il beneficio principale è quello di ridurre il rumore all'oscilloscopio. Agendo su questo strumento si riduce l'influenza delle onde riflesse.
- **Attenuator Box**: è utilizzato per attenuare automaticamente le forme d'onda in ingresso all'oscilloscopio. È nella configurazione standard per sistemi vf-TLP.

La calibrazione nel caso del vf-TLP è più problematico essendo i tempi in gioco estremamente inferiori e dovendosi utilizzare anche l'attenuator box. La tensione effettivamente applicata al dispositivo, non è, infatti, quella a cui viene precaricata la linea di trasmissione, ma dipende dal valore e dalla durata dell'impulso di precarica. Si è infatti notato che, all'aumentare della tensione e al ridursi della durata dell'impulso la tensione effettiva diminuisce. La Tabella 5.1 riporta questa relazione.

Tensione di precarica	Tensione effettiva al DUT			
	1.25ns	2.5ns	5ns	100ns
1	0.877879	0.760422	0.867418	
2	1.670055	1.438483	1.650429	
3	2.400545	2.071836	2.401886	
4	3.21069	2.80801	3.196642	
5	3.880575	3.448829	4.039887	1.117725
6	4.683897	4.125349	4.820197	
7	5.438503	4.901755	5.558656	
8	6.253967	5.659938	6.432693	
9	6.939973	6.26681	7.012338	
10	7.580964	6.885726	7.639267	1.153179
12	8.151066	8.138342	8.287745	
15	8.809179	9.020746	9.009582	1.292396
20	9.608608	9.818022	9.729351	1.366266
25	7.360555	10.83702	10.57087	1.36389

Tabella 5.1: Tensione di stress in funzione della precarica e della durata dell'impulso.

## 5.2 Tester CDM<sup>30</sup>

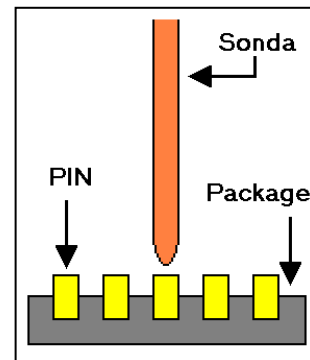
Come strumento di test CDM è stato utilizzato l'Orion RCDM (*Robotic CDM*) della Thermo Scientific®. Questo implementa il fenomeno CDM descritto nel terzo capitolo. La scarica avviene in atmosfera controllata di azoto a bassa umidità e pressione. Questo tester può fare sia misure con standard ESDA che JEDEC. La calibrazione dello strumento si verifica confrontando le curve di corrente degli impulsi CDM su determinate capacità (4pF o 30pF) con delle curve standard. Lo strumento permette di avere tensioni di



Figura 5.2: Tester CDM

precarica positiva o negativa da 25V sino a 2kV con passo di 10V. Il DUT è fissato al piano di carica tramite una pompa a vuoto che ne garantisce l'immobilità e ne riduce la capacità parassita tra piano e package. Prima delle misure si deve calibrare lo strumento in modo che il device si trovi al centro del piano di carica e che la punta vada a contattare bene tutti i pin da testare, toccandoli al loro centro, evitando così scariche indesiderate sui pin vicini.

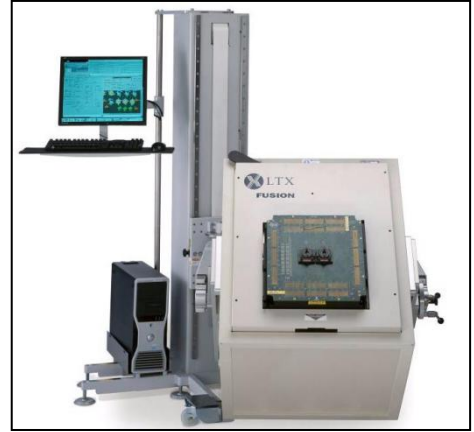
Essendo la sonda di dimensioni confrontabili a quelle del PIN di test, questa calibrazione deve essere ripetuta più volte per assicurare il corretto funzionamento del test. Tutto lo strumento è comandato da un computer interno. Con l'aggiunta di un oscilloscopio è possibile catturare tutte le forme d'onda della corrente di scarica. In questa tesi si è



utilizzato a tale scopo un Serial Data Analyzer della LeCroy® da 6GHz e 20GS/s. Dovendo gli impulsi essere ben separati tra di loro, in tutte le misure fatte si è scelto di avere un tempo di ritardo tra impulso ed impulso di 500ms.

### 5.3 Caratterizzazione<sup>31</sup>

La caratterizzazione dei dispositivi è avvenuta sia prima che dopo lo stress CDM. Sono stati utilizzati due sistemi di misura differenti. Il primo è una piattaforma di test LX della LTX-Credence<sup>®</sup>. Tramite l'utilizzo di una larga gamma di componenti DC, RF, digitali e di potenza, il sistema è progettato per effettuare test in maniera automatica su più dispositivi riuscendo a creare appositamente i segnali



**Figura 5.3: X Series LTX-Credence.**

interessati. Questo strumento ha permesso di eseguire in maniera automatica le misure su tutti i componenti del DUT. Per le strutture a due terminali inizialmente si è misurata sola la corrente di leakage a tensioni di 2V e 5V. Per i tre terminali invece si è misurata sia la transcaratteristica  $I_D$  vs.  $V_G$ , che  $I_D$  vs.  $V_D$ , forzando in tensione, nel primo caso il drain, nel secondo il gate. Si è poi andati a pilotare con il dispositivo con una tensione al terminale interessato da 0V e 2V con passo di 0.01V.

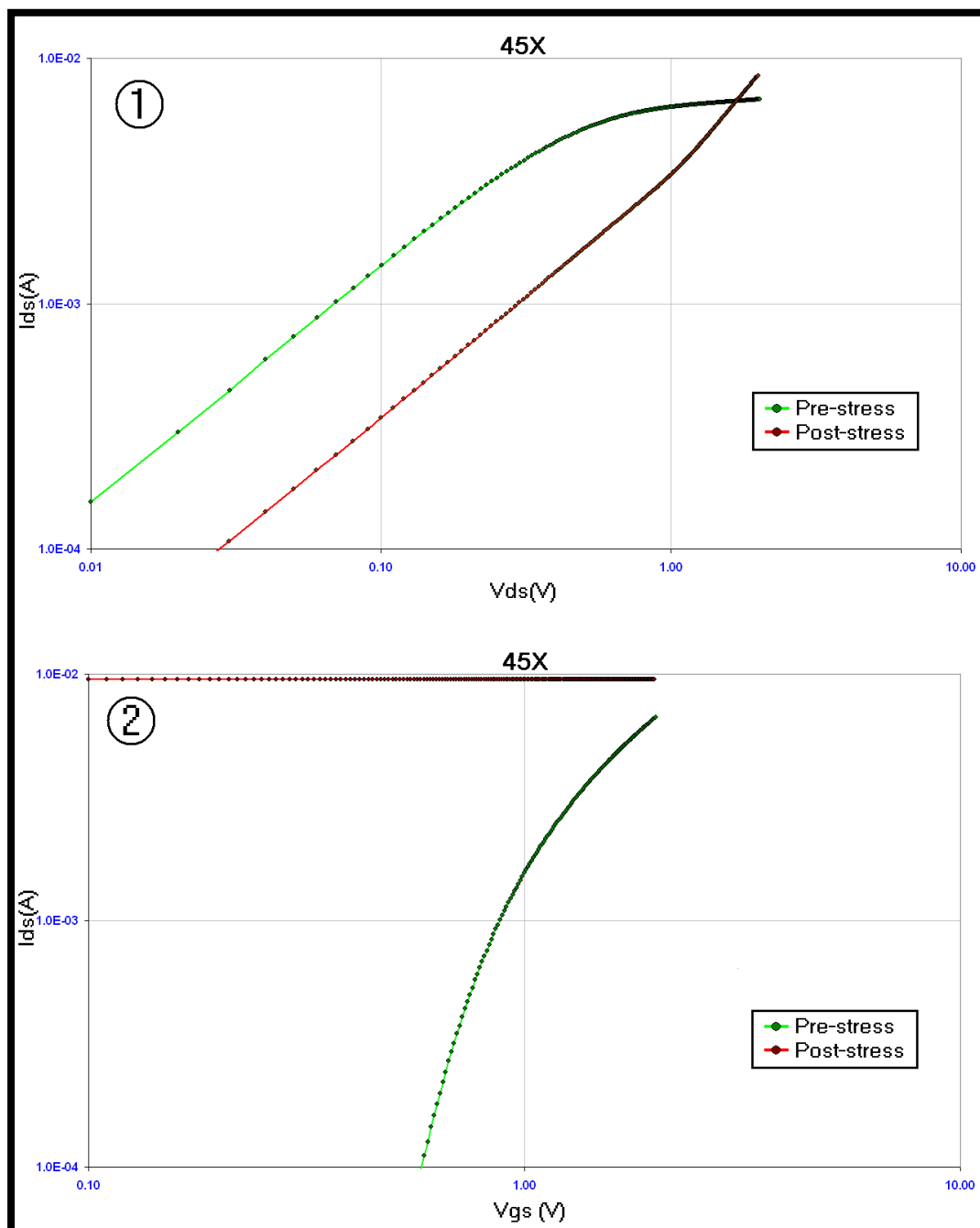


Figura 5.4: Caratteristica  $I_{ds}$  vs  $V_{ds}$  e  $I_{ds}$  vs  $V_{gs}$  di un dispositivo gcMOS prima e dopo uno stress CDM a -250V.

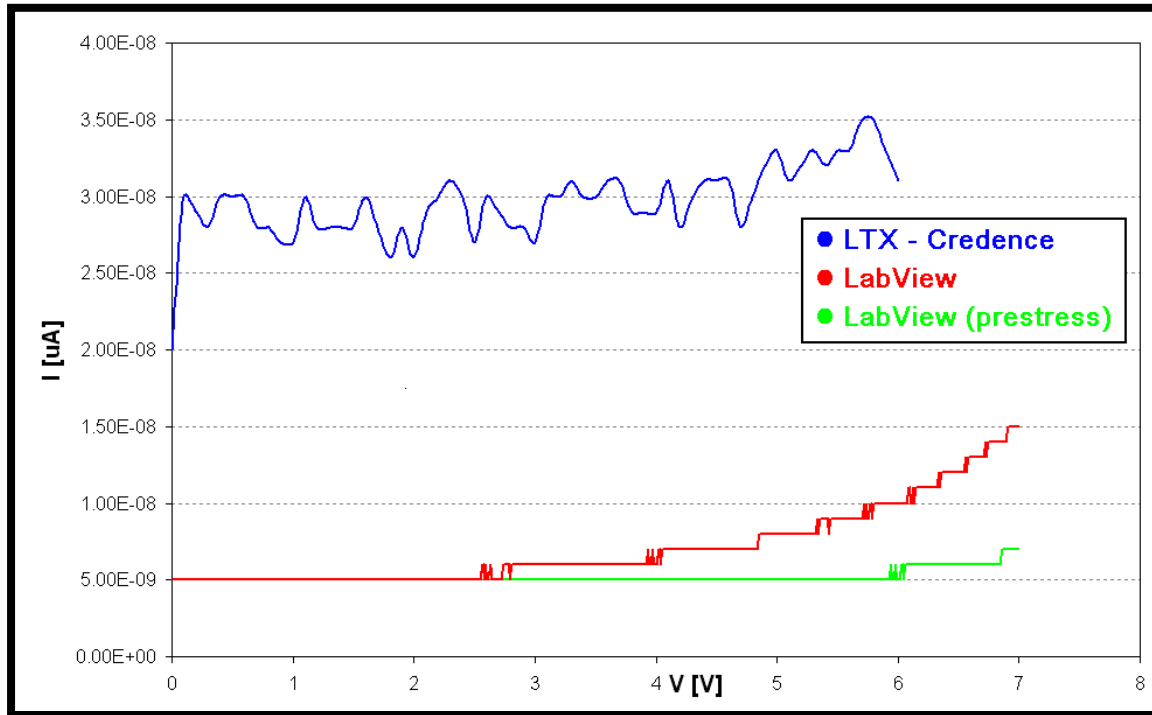
In Figura 5.4 si possono vedere la caratteristica e la transcaratteristica di un dispositivo gcMOS con protezione a tre terminali:

## Capitolo 5: Set-up di misura

1. La caratteristica in Figura 5.4.1 è stata ottenuta forzando al gate una tensione  $V_G=2V$ . Si è applicata quindi una rampa in tensione al drain tra 0 e 2V con passo di 0.01 e misurata la corrente al terminale di drain.
2. La transcaratteristica in Figura 5.4.2 è stata ottenuta forzando al terminale di drain una tensione  $V_D=1mV$ . Si è applicata una rampa di tensione al gate tra 0 e 2V con passo di 0.01V e misurata la corrente al terminale di drain.

Le correnti misurate sono di valore superiore al 100nA, ben maggiori della risoluzione dello strumento di misura. Questo ha permesso di reputare affidabili le caratteristiche acquisite.

In un secondo tempo si è proceduto a catturare l'intera caratteristica I-V anche per i due terminali (fino a 3V per i dispositivi con monitor e sino a 6V per quelli isolati. 6V è anche il limite massimo di funzionamento dello strumento), questo perché si è notato che alcuni dispositivi iniziavano a mostrare un discostamento dalla caratteristica ideale per tensioni superiori a quelle usate per determinare la corrente di leakage. Nel procedere dei lavori si è manifestato un altro inconveniente: il sistema di misura non garantiva una risoluzione sufficiente a valutare il corretto fallimento delle strutture, in quanto la minima risoluzione possibile era ben superiore alle variazioni di corrente di leakage osservate.



**Figura 5.5:** Confronto tra i due strumenti di misura utilizzati della caratteristica I-V di un dispositivo GCMOS isolato a 2 terminali.

Come è possibile vedere in Figura 5.5 le misure fatte con LTX sono affette da un rumore molto maggiore della misura effettiva della corrente di perdita. È stato quindi impossibile rilevare la maggior parte dei fallimenti con questo sistema; infatti la curva verde rappresenta la misura fatta con LabView® di un dispositivo vergine, cioè prima di essere stressato. In questo caso il fallimento è apprezzabile, sin dai 3V, ma con un di scostamento dalla curva originale di meno di 4nA a 6V, ben al di sotto della minima risoluzione del LTX.

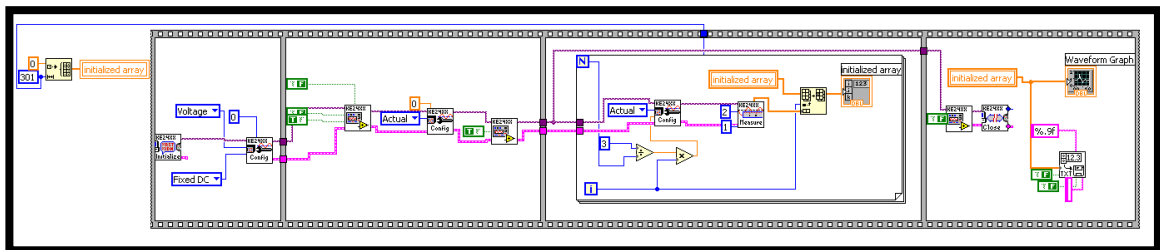
La tensione forzata ai capi dei dispositivi a due terminali deve essere tale da non danneggiare lo stesso durante la misura. Il valore massimo della tensione è quindi determinato dal comportamento in DC del dispositivo. Come si vedrà nel capitolo 6, questo valore dipende dalla tensione di breakdown del componente più fragile all'interno del circuito. Per protezioni isolate, la tensione massima applicabile deve essere inferiore agli 8V, per protezioni con monitor questo valore deve essere inferiore



## Capitolo 5: Set-up di misura

ai 5V. Sotto queste ipotesi si sono scelte come valori massimi 7V, per le strutture isolate, e 3V, per quelle con monitor.

Si è quindi proceduto ad impostare un nuovo sistema di misura con l'aiuto dell'ing. Boroni. Con l'ausilio di LabView<sup>®</sup> 2007 si è utilizzato un SurceMeter 24XX della Keithley<sup>®</sup> per forzare ai capi delle strutture a due terminali delle rampe di tensione e misurarne la corrente.



**Figura 5.6: Diagramma a blocchi del programma LabView utilizzato.**

I valori massimi di tensione impostati erano per i dispositivi isolati 7V, mentre per quelli con monitor 3V, con passo è 10mV. In questa maniera si è visto che il valore minimo misurabile è di 5nA con risoluzione di 1nA, misura nettamente più precisa di quella ottenibile con LTX.



## **CAPITOLO 6 : RISULTATI SPERIMENTALI**

I risultati sperimentali raggiunti in questa tesi si possono raggruppare in due famiglie distinte.

Le misurazioni fatte in TLP e vf-TLP sono state necessarie preliminarmente per cercare di trovare i limiti di funzionamento sia dei dispositivi da proteggere (ossidi di gate), che dei dispositivi di protezione (gcMOS). In questo modo si è potuti procedere negli stress CDM avendo un'idea dei risultati attesi.

Le misurazioni post CDM hanno permesso di determinare effettivamente le soglie di fallimento delle strutture testate e di valutarne la robustezza.

## 6.1 Tecniche di caratterizzazione

Le caratterizzazioni TLP e vf-TLP sono state eseguite per determinare la finestra operativa sia delle strutture di protezione che degli ossidi protetti. Le misure sono state fatte utilizzando la macchina *CELESTRON* presentata nella sezione “§5.1 Tester TLP e vf-TLP, ”. Tramite l’utilizzo del TLP e del curve tracer si sono determinate le tensioni di breakdown, snapback, hold e la corrente per cui si instaura il fallimento termico, informazioni necessarie per procedere poi ad un’analisi accurata in regime di post stress. Si è poi proceduto utilizzando il vf-TLP, in quanto da letteratura<sup>19</sup> esiste una relazione tra i risultati ottenuti in vf-TLP, soprattutto per impulsi prossimi a 1ns, e danneggiamento da CDM. In questa maniera si è potuto procedere in modo più mirato ad un’analisi delle misure effettuate.

Infine gli stress eseguiti con lo strumento *ORION* (§5.2 Tester CDM), hanno permesso di determinare le soglie di fallimento dei dispositivi testati in regime CDM.

Tutte queste misure sono state necessarie in quanto generalmente il breakdown dell’ossido è attribuito alle trappole elettroniche create dall’alto campo elettrico attraverso il dielettrico<sup>32</sup>. Quando queste trappole formano un cammino elettrico tra un lato e l’altro dell’ossido, la corrente di perdita del dispositivo aumenta visibilmente. Questo evento è comunemente chiamato rottura (*breakdown*) dell’ossido. Prima che questo cammino sia completamente formato, le trappole neutre all’interno dell’ossido causano un degrado del componente che possono essere osservate come una variazione della tensione di soglia ( $V_T$ ) della caratteristica di un MOS. Anche se la degradazione può non essere critica, può causare il malfunzionamento di un circuito analogico, ad esempio di un comparatore o di un amplificatore differenziale. Inoltre, gli effetti fisici causati dalla variazione della  $V_T$  possono costituire un danno latente che può portare al non funzionamento del circuito in cui sono inseriti. Quindi, le protezioni da eventi ESD devono essere dimensionate in modo tale da proteggere il MOSfet.

È quindi necessario definire per ogni struttura una regione operativa sicura (3.4 *Tipologie di famiglie di protezione in tecnologia BCD8*) all’interno della quale il

componente possa funzionare senza essere danneggiato o danneggiare il circuito da proteggere.

Il valore delle tensioni di breakdown degli ossidi di gate e delle strutture ci permette di conoscere le tensioni massime a cui possiamo caratterizzare pre e post stress le strutture analizzate in CDM, senza danneggiare tali dispositivi durante la caratterizzazione. Se, infatti, per una struttura isolata la tensione massima è quella del breakdown della stessa, per la stessa struttura con associato il MONITOR, la tensione massima è quella del MONITOR.

### 6.2 Caratterizzazione degli ossidi di gate

Le misure degli ossidi di gate sono state fatte a livello di wafer sui dispositivi del package CK332 (§4.1 Modulo CK332). Le misure sono state fatte utilizzando il Curve Tracer del Celestron<sup>®</sup>, il TLP a 100ns e il vf-TLP a 5ns, 2.5ns e 1.25ns.

Lo studio di questi componenti è fondamentale in quanto con lo scaling tecnologico ed il conseguentemente assottigliamento dell'ossido di gate, il dielettrico diventa sempre più sensibile a fenomeni ESD. Si ha quindi una riduzione della tensione di fallimento (*tensione di breakdown  $V_{BD}$* ) la quale dipende fortemente dalla durata dell'impulso ESD. Da studi effettuati si è notato che  $V_{BD}$  aumenta in modo significativo in CDM rispetto al caso DC<sup>33, 19, 34</sup>.

Il fine di queste misure è quello di determinare le soglie di funzionamento degli ossidi di gate, che verranno utilizzati per simulare un generico circuito da proteggere.

### 6.2.1 Misure DC degli ossidi di gate

Come detto le misure in DC sono state fatte utilizzando il Curve Tracer integrato nel sistema Celestron<sup>®</sup>. Lo scopo di questa misura è determinare il livello di tensione per cui entrano in breakdown gli ossidi interessati per determinare la SOA dei dispositivi. La misura è stata fatta in DC, rappresentando il caso peggiore a cui può essere sottoposto il componente, in quanto la durata dell'impulso in ambiente CDM è di molti ordini di grandezza inferiore. Per fare questo si è stata imposta sul componente una rampa in tensione e misurata la corrente. La misura è stata fatta imponendo una tensione invece che una corrente per poter godere di una maggiore precisione nella misura di correnti basse, soprattutto all'innesco e durante il breakdown quando si ha una variazione anche di 1nA ogni 50mV. Così facendo si è potuta determinare con sufficiente accuratezza l'instaurazione del breakdown nell'ossido. Le calibrazioni delle misure sono riportate in Tabella 6.1.

	Tensione
Start	0 V
Stop	8 V
Step	0.05 V
Compliance	0.000001 A
Durata	1ms

**Tabella 6.1: Set-up delle misure DC per Curve Tracer.**

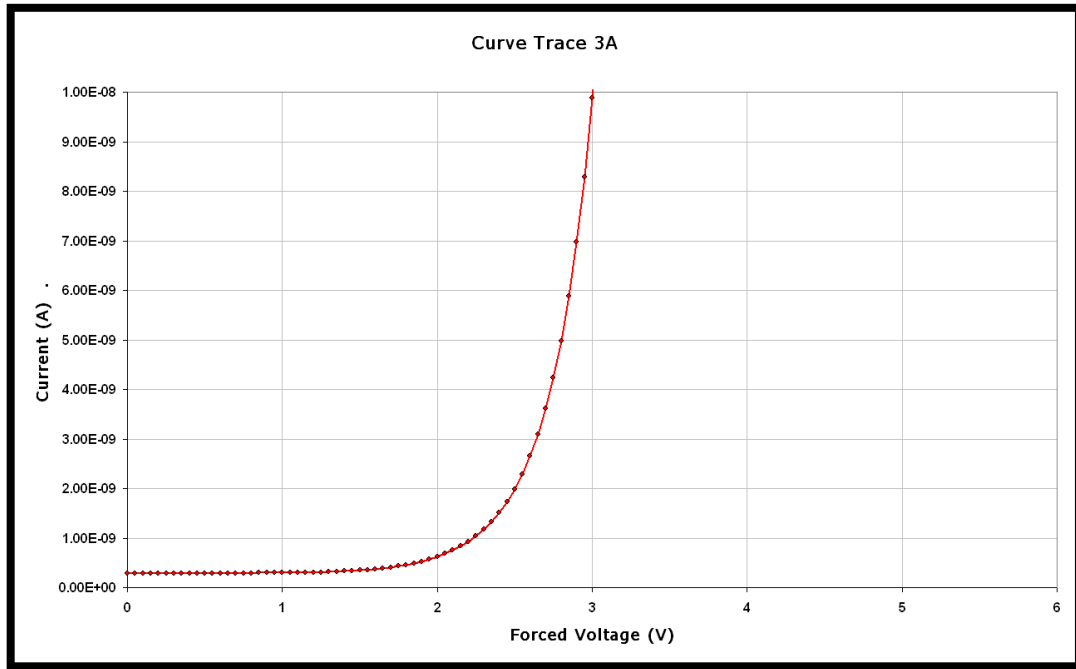


Figura 6.1: Caratteristica I-V del dispositivo 3A.

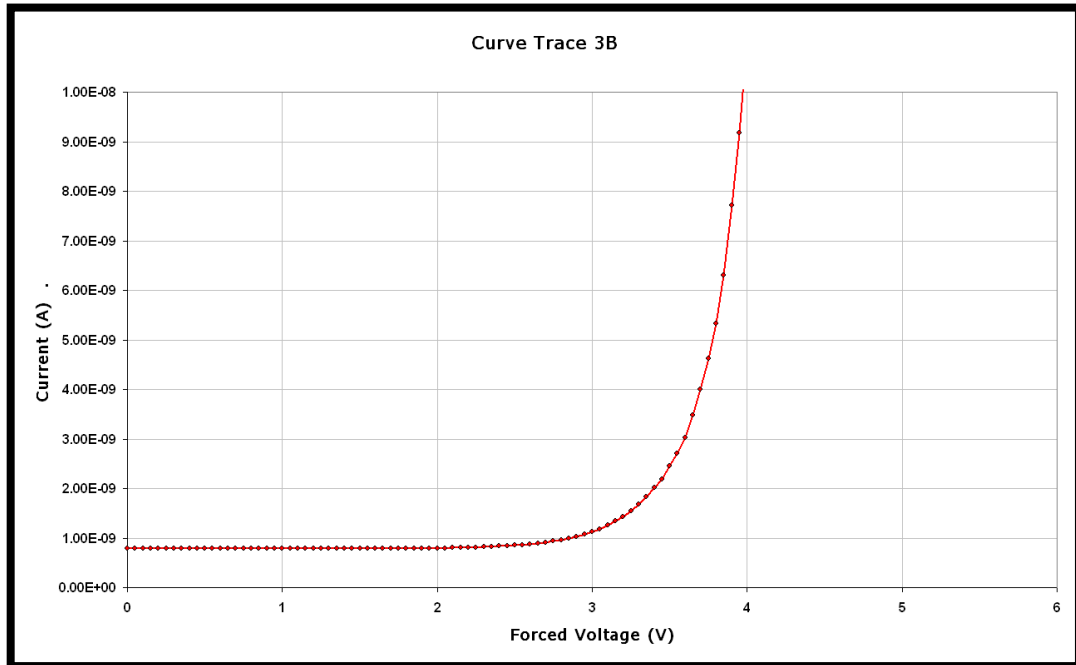


Figura 6.2: Caratteristica I-V del dispositivo 3B

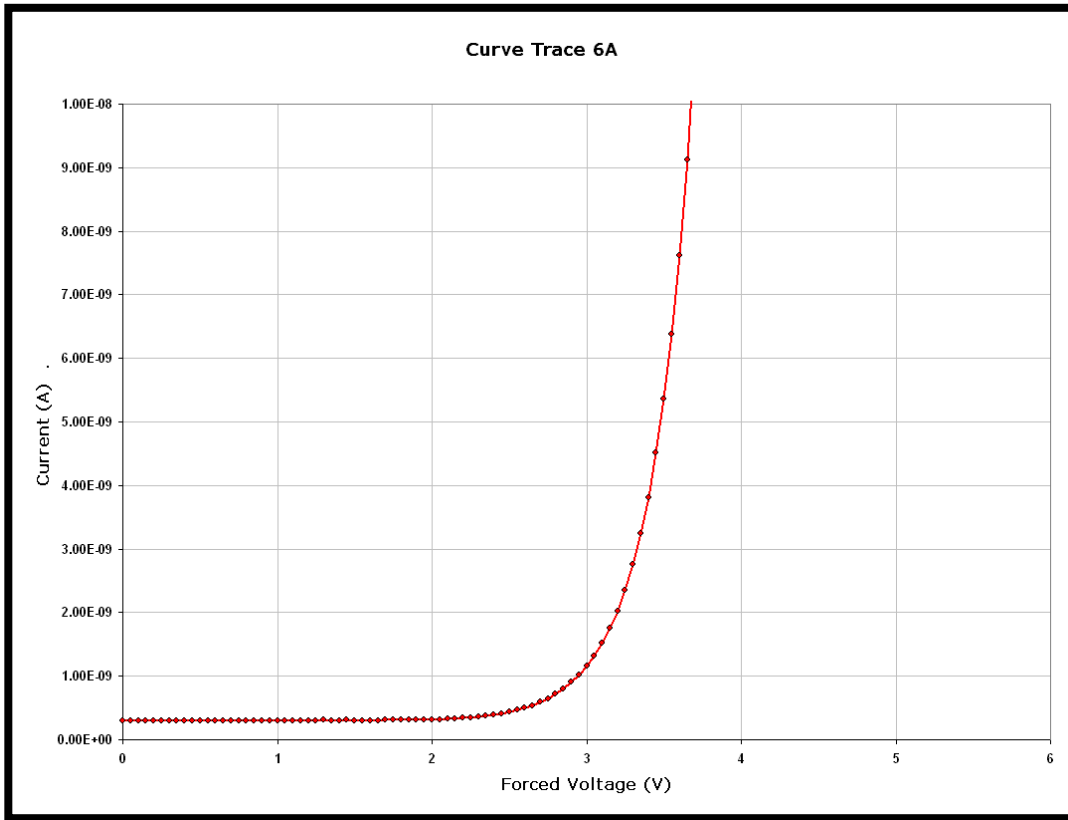


Figura 6.3: Caratteristica I-V del dispositivo 6A.

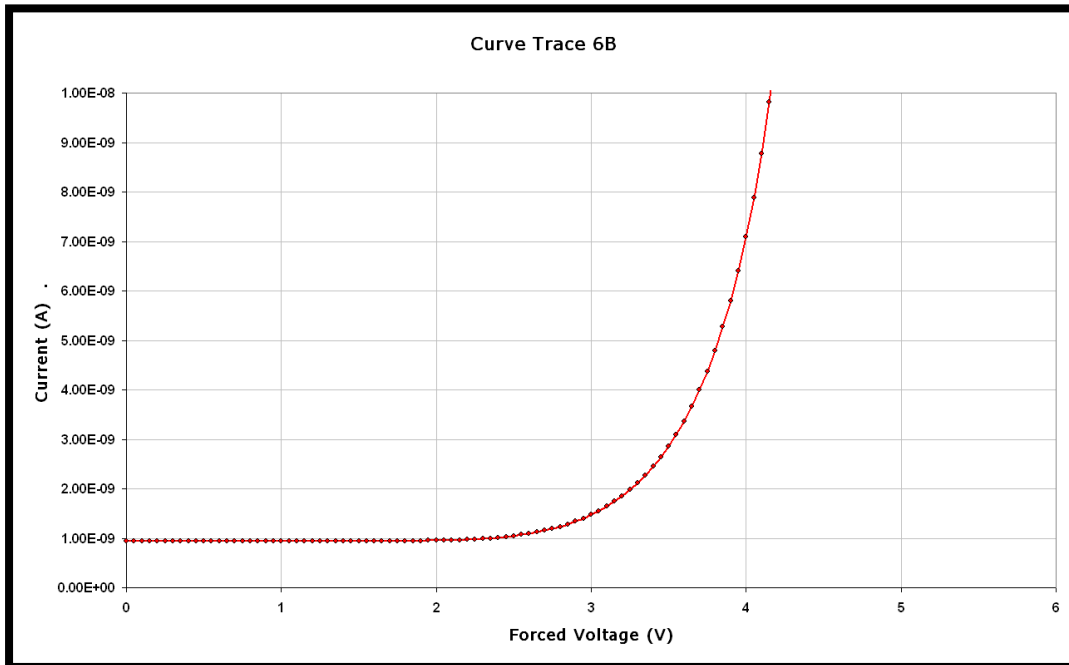


Figura 6.4: Caratteristica I-V del dispositivo 6B.



Nella Figura 6.1, Figura 6.2, Figura 6.3 e Figura 6.4 sono riportate le caratteristiche I-V degli ossidi 3A, 3B, 6A e 6B, focalizzando l'attenzione sulla zona di breakdown.

Definendo la tensione di breakdown ( $V_{BD}$ ), come quella tensione per cui si ha una variazione del 20% sulla corrente di leakage si possono rilevare i seguenti valori:

<b>Beakdown ossidi di gate</b>			
<b>Disp.</b>	<b><math>I_{leakage}</math></b>	<b><math>I_{BD}</math></b>	<b><math>V_{BD}</math></b>
<b>3A</b>	0.29nA	0.35nA	2.1V
<b>3B</b>	0.76nA	0.95nA	2.8V
<b>6A</b>	0.29nA	0.35nA	2.3V
<b>6B</b>	0.95nA	1.14nA	2.65V

**Tabella 6.2: Valore delle correnti e tensioni di breakdown degli ossidi di gate analizzati.**

Si vede che tutte le strutture, come ci si aspettava, hanno breakdown superiore ad 1.8V imposto dalla tecnologia. La differenza di valori tra nMOS e pMOS è dovuta ai differenti drogaggi e tipi di ossido utilizzati, mentre quella tra \*A e \*B è dovuta al diverso modo di conduzione in cui si trovano i dispositivi.

Questi valori saranno usati nel seguito del lavoro per determinare il livello di fallimento dei dispositivi sottoposti a stress TLP.

### **6.2.2 Misure vf-TLP degli ossidi di gate.**

L'utilizzo del vf-TLP in parte permette di simulare ciò che succede durante una scarica CDM in quanto riproduce abbastanza fedelmente la forma d'onda in corrente di una scarica elettrostatica di questo tipo. La differenza principale tra vf-TLP e CDM<sup>19</sup> consiste nella presenza di elementi parassiti. Tra questi il più influente è la presenza

dell'aria che induce la scarica e l'effetto corona (cap. 2.2). Inoltre non sono riproducibili gli effetti della carica di tutte le capacità presenti nella struttura, come avviene durante un effetto CDM.

Con le misure sugli ossidi di gate (strutture 3\* e 6\*) si è proceduto sottoponendo i dispositivi ad una rampa di impulsi con tensione di precarica crescente con passo di 1 volt misurando la corrente sino ad un valore massimo di 1mA. In questo modo è stata messa in grafico la risposta I-V del componente identificandone il valore di hold e di snap. Per determinare la causa della rottura dei dispositivi si è proceduto sottoponendoli sia ad impulsi di differente durata (5ns, 2.5ns e 1.25ns) che a differenti ripetizioni dello stesso impulso. Così facendo si può distinguere se la rottura avviene per accumulo di carica nell'ossido o per una troppo elevata tensione ai capi dello stesso.

Ossidi di Gate							
Disp	3A	3B	3C	6A	6B	6C	
Nome disp	1.8V NCAP 100/100 GOX + antenna	1.8V NCAP 100/100 GOX + antenna	1.8V NCAP 100/100 GOX	1.8V PCAP 100/100 GOX + antenna	1.8V PCAP 100/100 GOX + antenna	1.8V PCAP 100/100 GOX	
Tipo	impulso positivo	impulso negativo	impulso +/-	impulso positivo	impulso negativo	impulso +/-	
V leak	2	2	2	2	2	2	
5ns	I leak	1.10E-09	-5.95E-11	5.10E-10	4.59E-10	-6.90E-11	1.00E-11
	Vt2	10.78	-10.07	9.59	16.06	-11.35	15.4
	It2	0.31	-0.36	0.28	0.46	-0.68	0.5
2.5ns	I leak	9.01E-10	-6.40E-11		5.43E-10	-6.65E-11	
	Vt2	11.42	-11.36		16.69	-12.82	
	It2	0.3	-0.56		0.51	-0.82	
1.25ns	I leak	8.88E-10	-6.03E-11		4.56E-10	-6.38E-11	
	Vt2	11.79	-11.88		17.06	-13.74	
	It2	0.44	-0.69		0.6	-1.08	
5ns (100)	I leak	9.79E-10	-6.16E-11		4.55E-10	-7.17E-11	
	Vt2	10.95	-10.56		16.11	-11.32	
	It2	0.30	-0.46		0.39	-0.53	

Tabella 6.3: Risultati sperimentali ossidi di gate.

Le misure riportate in tabella sono quelle ottenute su un particolare dispositivo preso come campione. Quelle relative agli altri differiscono al max. un 3-4%.

In Tabella 6.3 sono riportate le misure ottenute sulle strutture 3\* e 6\* dove con  $I_{leak}$  è indicata la corrente di leakage, con  $V_{t2}$  e  $I_{t2}$  rispettivamente la tensione e la corrente misurate ai capi della struttura per una data tensione di precarica della linea di trasmissione. Dalle misure effettuate a 5ns si è verificato che i dispositivi 3C e 6C hanno comportamento simile se non più fragile dei corrispettivi componenti con diodo. Si è quindi deciso di non proseguire nell'analisi di tali strutture, potendone ricavare il comportamento dall'analisi dei dispositivi con diodo. Le misure con 100 impulsi sono state eseguite sottoponendo i dispositivi a 100 impulsi di 5ns e ampiezza determinata in base alla tensione di fallimento a cui viene precaricata la linea di trasmissione, riportata in Tabella 6.4. Si è poi determinata la caratteristica I-V con un vf-TLP da 5ns.

Caratteristiche treno di impulsi		
Dispositivo	Tensione impulso	Durata impulso
3A	13V	5ns
3B	-15V	5ns
6A	20V	5ns
6B	-25V	5ns

**Tabella 6.4: Caratteristiche impulsi di stress.**

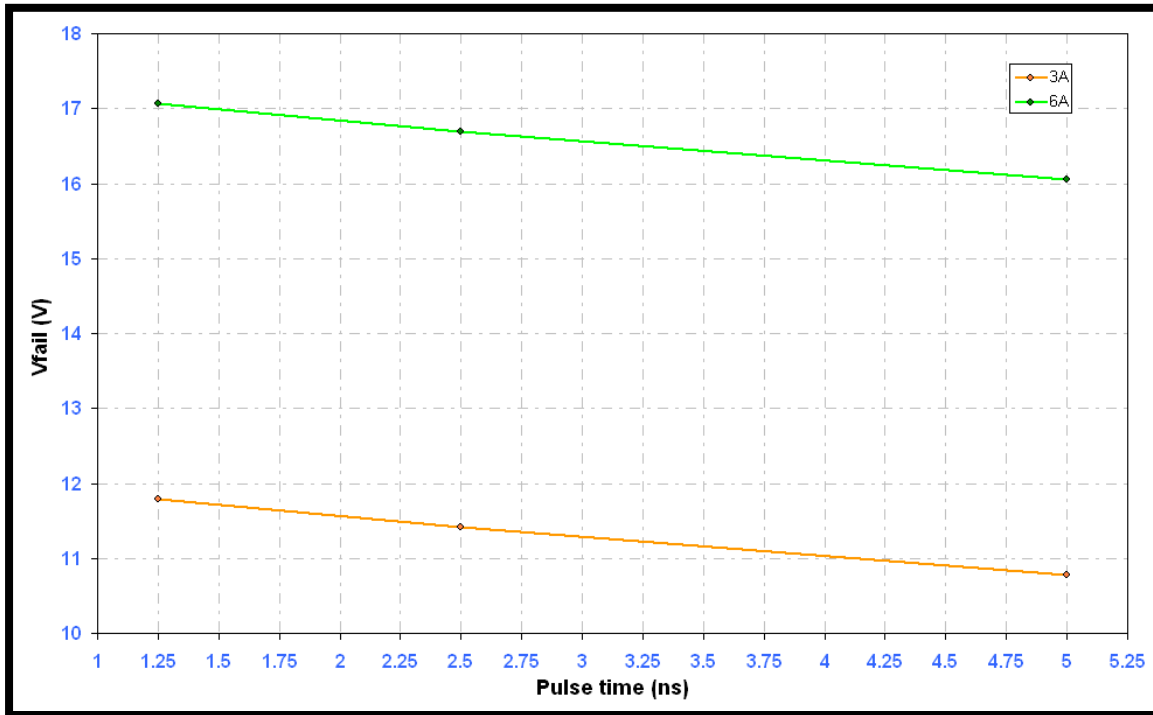


Figura 6.5: Tensione di fallimento in funzione della durata dell'impulso vf-TLP per strutture \*A.

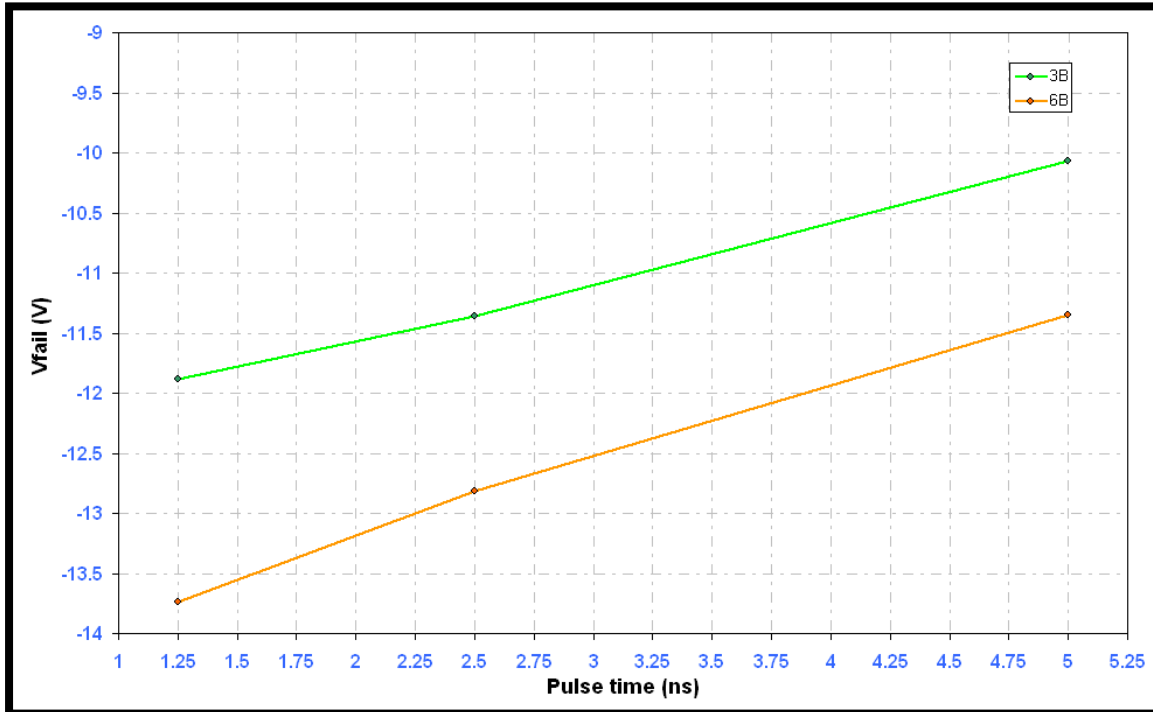


Figura 6.6: Tensione di fallimento in funzione della durata dell'impulso vf-TLP per strutture \*B.

Come si può vedere anche da Figura 6.5 e da Figura 6.6 esiste una relazione quasi lineare tra durata dell'impulso e valore della tensione di fallimento: al diminuire della durata dell'impulso aumenta in modulo la tensione di fallimento. Questo fa pensare che la rottura dell'ossido avvenga per troppa energia dissipata ai suoi capi, in quanto se non dipendesse dalla durata dell'impulso, si avrebbe lo stesso livello di fallimento al variare della durata. Inoltre grazie alla misura dopo aver stressato le strutture con treni di impulsi (tutti a tensione pari a metà della tensione massima sopportabile dal dispositivo) si può pensare che le stesse siano abbastanza insensibili all'accumulo di carica nell'ossido stesso. Anche per treni di 100 impulsi, infatti, sia la corrente di perdita che la tensione di breakdown non subiscono variazioni considerevoli.

L'analisi pone in evidenza che i diodi n sono meno robusti dei diodi p, a parità di misura effettuata. Si evidenzia, infatti, in modulo una tensione di fallimento maggiore nei componenti 6A e 6B rispetto ai 3A e 3B.

Si può ipotizzare che questo sia dovuto alla differenze nella realizzazione dell' nMOS e pMOS, come il tipo di ossido e i drogaggi a cui viene sottoposto.

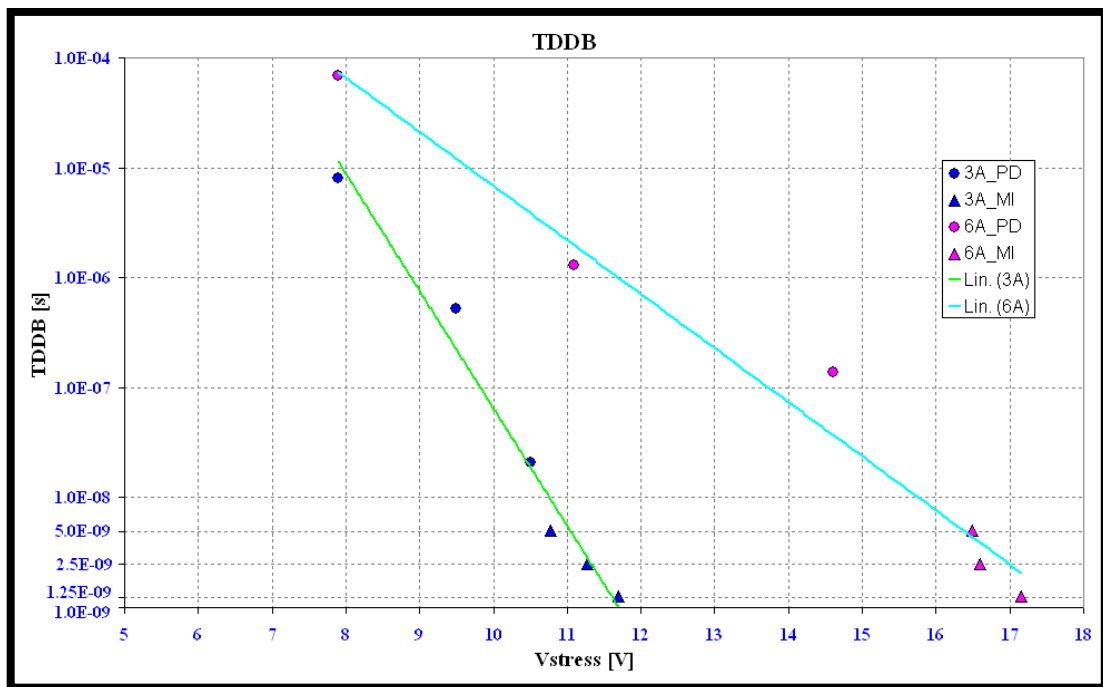


Figura 6.7: Durata dell'impulso di stress in funzione della tensione di fallimento.

L'analisi fatta in ST si allinea perfettamente con i risultati ottenuti sugli stessi componenti nei laboratori dell' università di Padova dal professor Meneghesso e dall'ingegner Tazzoli. Le misure fatte ad Agrate, pur non avendo valore statistico, si allineano perfettamente con quelle di Padova, che invece, data la grande mole di misure fatte, hanno un valore statistico. Si può quindi confermare che la tensione di fallimento dei dispositivi è proporzionale linearmente con la durata dell'impulso, come si vede in Figura 6.7.

### **6.3 Caratterizzazione delle protezioni isolate**

Come per gli ossidi lo scopo di quest'analisi è quello di determinare il SOA delle singole protezioni analizzate in questo lavoro. Lo studio è finalizzato a determinare la robustezza ad eventi CDM.

#### **6.3.1 Misure DC e 100ns-TLP delle protezioni isolate**

Per i dispositivi accessibili si sono posti a confronto i risultati ottenuti con il Curve Tracer e con il TLP con una tensione di leakage di 5V. Un esempio di tale curva è riportato in Figura 6.8.

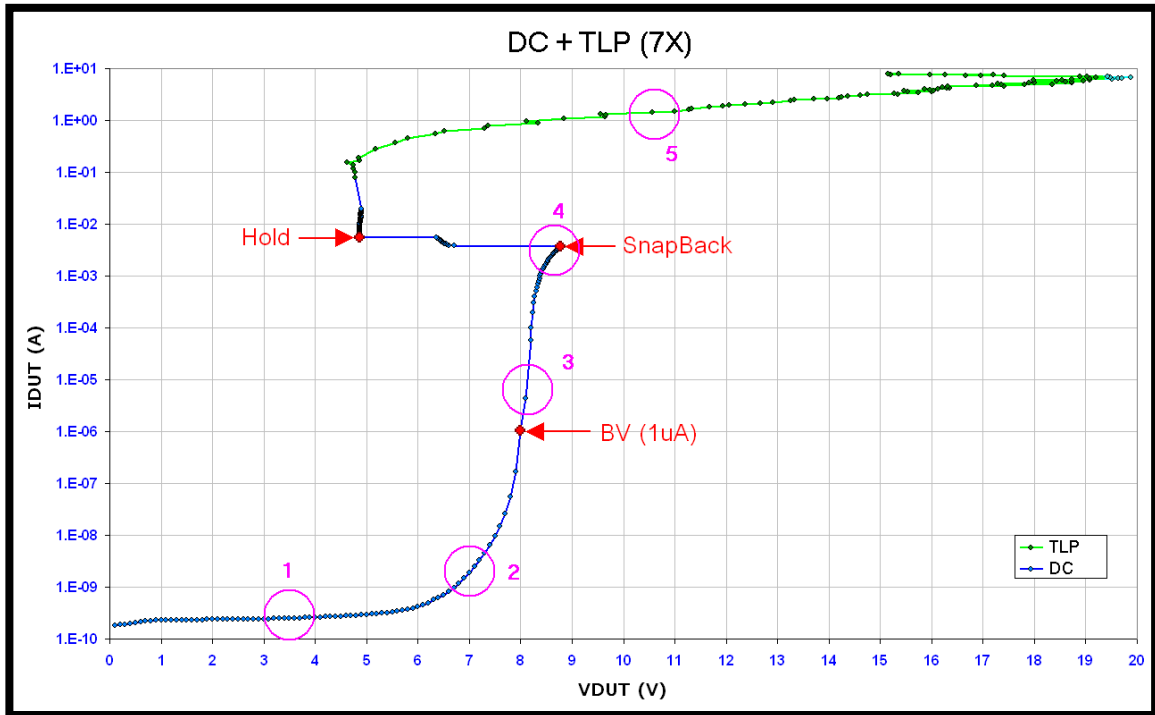


Figura 6.8: Caratteristica I-V della struttura 7X.

Come si può vedere, solo tramite la caratterizzazione in DC, curva blu, si può determinare il reale comportamento a basse correnti dei dispositivi. L'analisi vf-TLP è accurata solo per correnti superiori a 0.1A, in quanto la variazione di corrente per unità di tensione è troppo elevata (si hanno 8 decadi di differenza tra stato di alta e bassa impedenza) per permettere un'accurata misura e il rumore aggiunto dello strumento è di qualche centinaia di  $\mu\text{A}$ , a causa di effetti termici sulla rete di carico. Per tensioni superiori a quella di hold invece si ha una perfetta sovrapposizione delle due curve. Un ulteriore limite della sola caratterizzazione vf-TLP è la poco accurata precisione alle basse correnti. La caratterizzazione impulsata, infatti, non ci permette di determinare la tensione in cui la struttura entra in breakdown, grandezza che invece è di fondamentale importanza per la caratterizzazione dei dispositivi sotto stress CDM.

Possiamo quindi dividere la caratteristica DC in 5 zone:

- I) Fino a  $\sim 0.3\text{nA}$ , è caratterizzata da una corrente di perdita molto bassa e costante, inferiore ad  $1\text{nA}$ . Si è quindi nella condizione in cui il dispositivo è spento e la corrente osservata è la  $I_{\text{leakage}}$ .
- II) Da  $0.3\text{nA}$  a  $10\text{nA}$  ci si trova in una fase di pre breakdown nella quale si ha un aumento esponenziale della corrente dovuto ad un band-to-band tunnelling causato dall'elevato piegamento delle bande..
- III) Da  $10\text{nA}$  sino alla corrente di snapback, si instaura il breakdown a valanga della giunzione  $N^+/P_{\text{well}}$ .
- IV) Dalla tensione di snapback a quella di hold si ha un comportamento resistivo del componente. La parte orizzontale subito dopo lo snap è dovuta al fenomeno di snapback che inizialmente si instaura come un filamento conduttivo al centro di un dispositivo a più dita, per poi andare ad occuparne tutta l'area<sup>35</sup>. All'aumentare dell'ampiezza dell'impulso non si ha un' aumento dell'intensità della corrente, bensì si ha solo un allargamento del filamento conduttivo. Oltre un determinato valore di soglia, per cui il filamento conduttivo occupa l'intero dispositivo, per un aumento dell'intensità dell'impulso si ha un aumento del valore della corrente.
- V) Per correnti superiori a quella di hold si ha l'accensione del bipolare parassita.

L'analisi in DC dei dispositivi ha portato ai dati riportati in Tabella 6.5.



Protezioni Isolate													
ID	Dispositivo	W (μm)	L (μm)	Tipo	V <sub>leak</sub> [V]	I <sub>leak</sub> [A]	BV (1μA)	I snap			Fallimento		
								V <sub>t1</sub> [V]	I <sub>t1</sub> [A]	V <sub>h</sub> [V]	V [V]	I [A]	V <sub>h2</sub> [V]
7	GCMOS	100	0.18	STD	5	4.95E-10	8	8.78	3.7E-03	4.86			
8	GCMOS	100	0.18	Body Av	5	6.75E-10	8.2	8.50	1.00E-04	3.88			
9	GCMOS	100	0.18	PNP	5	2.05E-09	8.6	9.62	6.7E-03	5.83	6.01	0.36	3.72
10	GCMOS	100	0.18	Body Av + PNP	5	2.19E-09	8.7	9.27	1.5E-04	0.85			
11	GGMOS	100	0.18	STD	5	4.66E-10	8.1	8.93	1.5E-03	4.88			
12	GGMOS	100	0.18	PNP	5	2.18E-09	8.9	9.81	1.0E-02	5.70	6.01	0.3	3.77
33	NMOS + GGMOS	100	0.18	STD	2	1.25E-05	4.1	5.80	8.3E-05	3.85			
13	NMOS + GGMOS	100	0.18	PNP	2	1.44E-05	4.2	5.70	1.0E-04	2.81	5.32	0.01	1.61
14	GCMOS	200	0.18	4F	5	6.71E-10	8.2	8.84	6.7E-03	4.83			
15	MOSSWI 5MM				2	1.13E-08	3.5	4.80	5.00E-04	0.69			
34	GCMOS	100	0.35	STD	5	4.59E-10	8.2	9.03	5.3E-03	5.40			
35	GCMOS + GO2	100	0.35	STD	5	4.10E-10	8.2	9.44	6.4E-03	5.43			
36	GCMOS	100	0.6	STD	5	4.80E-10	8.2	9.08	6.0E-03	5.81			
37	GCMOS + GO2	100	0.6	STD	5	4.18E-10	8.2	9.54	7.1E-03	5.90			
38	GCMOS	100	1	STD	5	4.98E-10	8.2	9.16	6.6E-03	6.36			
39	GCMOS + GO2	100	1	STD	5	4.28E-10	8.2	9.61	7.3E-03	6.42			
40	GCMOS + GO2	100	1	Body Av	5	4.48E-10	8.4	9.02	2.00E-04	5.58			
41	GCMOS + GO2	100	1	PNP	5	1.79E-09	9.2	10.59	1.8E-03	6.36	6.62	0.29	3.70
42	GCMOS + GO2	100	1	Body Av + PNP	5	1.72E-09	8.9	9.47	2.0E-04	0.86			

**Tabella 6.5: Riassuntivo dei valori principali delle caratteristiche I-V delle Protezioni Isolate.**

In tabella le sigle hanno i seguenti significati:

- $I_{leak}$ : Corrente di perdita misurata ad una determinata tensione  $V_{leak}$ .
- BV (1μm): Tensione a 1μA.
- $V_{t1}$  e  $I_{t1}$ : Tensione e corrente a cui si verifica il primo snapback.
- $V_h$ : Tensione di hold.
- V, I e  $V_{h2}$  sono le dimensioni elencate precedentemente, riferite al secondo snapback, se presente.

Per rendere più chiara l'analisi dei risultati, verranno ora confrontati separatamente le strutture simili tra loro.

Iniziamo quindi confrontando le varie soluzioni circuitali, mantenendo costanti le dimensioni del dispositivo.

Protezioni Isolate							
ID	Dispositivo	Tipo	I leak [A]	BV (1uA)	I snap		
					Vt1 [V]	It1 [A]	Vh [V]
7	GCMOS	STD	4.95E-10	8	8.78	3.7E-03	4.86
8	GCMOS	Body Av	6.75E-10	8.2	8.50	1.00E-04	3.88
9	GCMOS	PNP	2.05E-09	8.6	9.62	6.7E-03	5.83
10	GCMOS	Body Av + PNP	2.19E-09	8.7	9.27	1.5E-04	0.85
39	GCMOS + GO2	STD	4.28E-10	8.2	9.61	7.3E-03	6.42
40	GCMOS + GO2	Body Av	4.48E-10	8.4	9.02	2.00E-04	5.58
41	GCMOS + GO2	PNP	1.79E-09	9.2	10.59	1.8E-03	6.36
42	GCMOS + GO2	Body Av + PNP	1.72E-09	8.9	9.47	2.0E-04	0.86

Tabella 6.6: Confronto tra varie soluzioni circuitali.

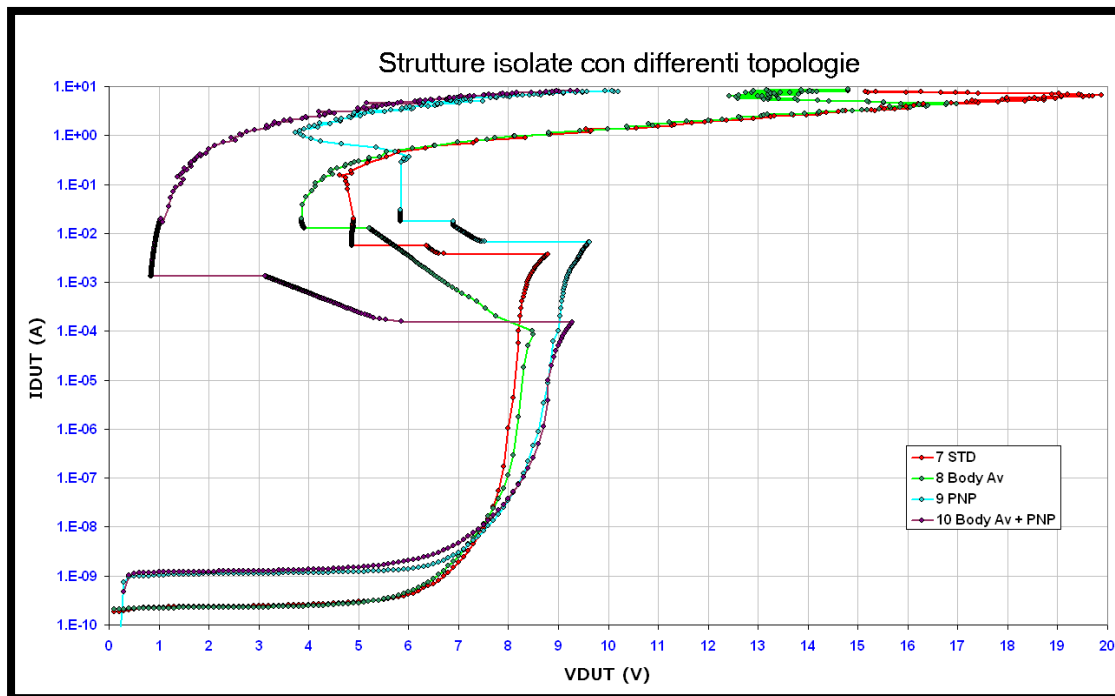


Figura 6.9: Caratteristica I-V dei componenti in Tabella 6.6 con ossido sottile.

In figura sopra si può osservare come nelle configurazioni senza body av. si verifichi una situazione in cui la conducibilità del dispositivo è virtualmente infinita, cioè limitata solo dalla resistenza delle metallizzazioni, in quanto la conduzione inizialmente non

occupa tutta la larghezza del dispositivo. Si ha quindi un periodo in cui si ha un aumento di corrente a tensione costante fino a quando non si ha una completa conduzione del dispositivo<sup>36</sup>. Nei due dispositivi senza Body Av. si ha una conduzione immediata e completa. Questo fenomeno si può osservare particolarmente nei componenti 9 e 10 nei quali è presente un SCR parassita. Per alti valori di corrente si ha un comportamento simile in quanto i due SCR sono parimenti attivati. Per bassi valori di corrente invece nel componente 10, nel quale il body è accessibile si ha una tensione di  $V_{hold} < 1V$ .

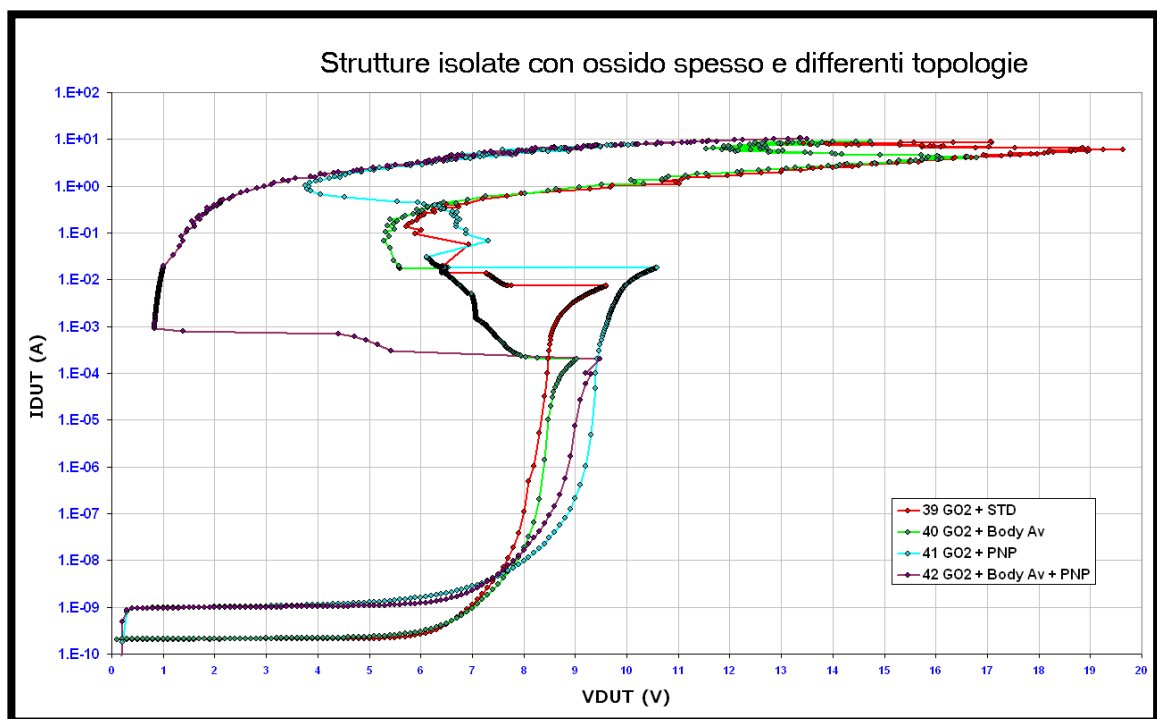


Figura 6.10: Caratteristica I-V dei componenti in Tabella 6.4 con ossido spesso.

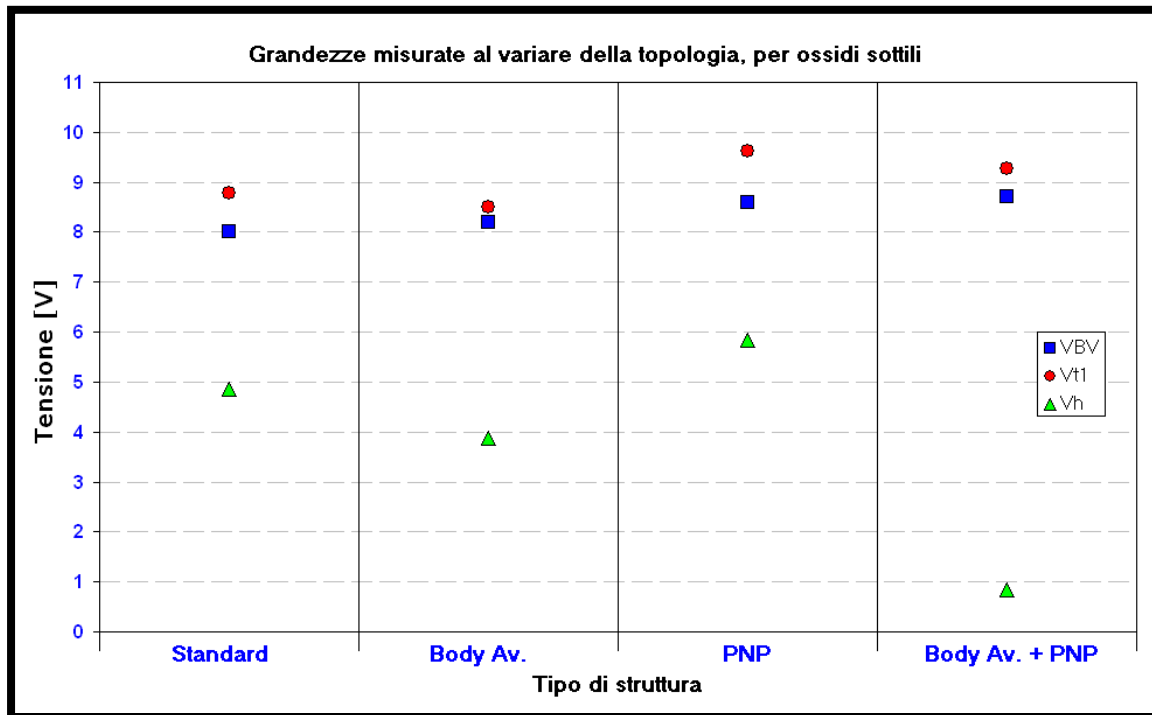


Figura 6.11: Confronti tra i valori in tensione delle strutture con ossido sottile.

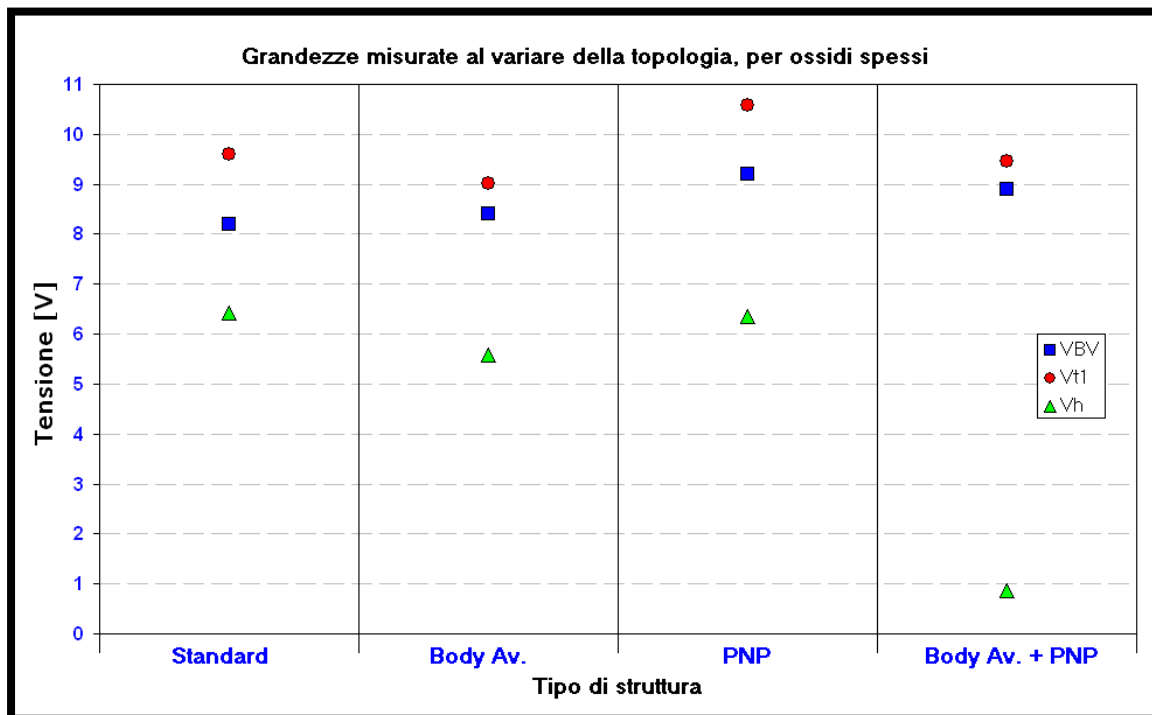


Figura 6.12: Confronti tra i valori in tensione delle strutture con ossido spesso.

Analizzando questi dati si evince che l'aggiunta del PNP o l'accessibilità del body aumentano la corrente e la tensione di snap, sia nei dispositivi ad ossido sottile, che in quelli ad ossido spesso. La presenza di tutte e due le soluzioni invece porta il circuito ad avere un comportamento con valori che si portano in una via di mezzo tra le due singole soluzioni. Inoltre si può osservare che i dispositivi con ossido spesso (39, 40, 41, 42) presentano, a parità di misura considerata, dei valori maggiori, tranne per la tensione di hold, che risulta minore nei dispositivi ad ossido sottile per le stesse considerazioni fatte per i dispositivi ad ossido sottile.

Si può osservare anche come l'aggiunta del PNP porti ad un aumento della corrente di leakage di circa quattro volte.

Dalla Figura 6.9 e Figura 6.10 si può notare infine come, la caratteristica I-V dei dispositivi simili tenda a raccordarsi alle alte correnti.

Procedendo con le strutture STD (*Standard*), queste sono stati messi a confronto i risultati al variare della lunghezza di canale e in presenza o meno di ossido spesso (GO2).

<b>Strutture con diversa lunghezza di canale</b>						
	<b>Device</b>	<b>GO2</b>	<b>BV (V) @I=1μA</b>	<b>Vt1 (V)</b>	<b>Vh (V)</b>	<b>L(um)</b>
7	GCMOS	N	8	8.78	4.86	0.18
34	GCMOS	N	8.2	9.03	5.39	0.35
36	GCMOS	N	8.2	9.08	5.83	0.6
38	GCMOS	N	8.2	9.16	6.33	1
35	GCMOS	Y	8.3	9.43	5.42	0.35
37	GCMOS	Y	8.25	9.54	5.88	0.6
39	GCMOS	Y	8.2	9.61	6.41	1

**Tabella 6.7: Risultati strutture Standard.**

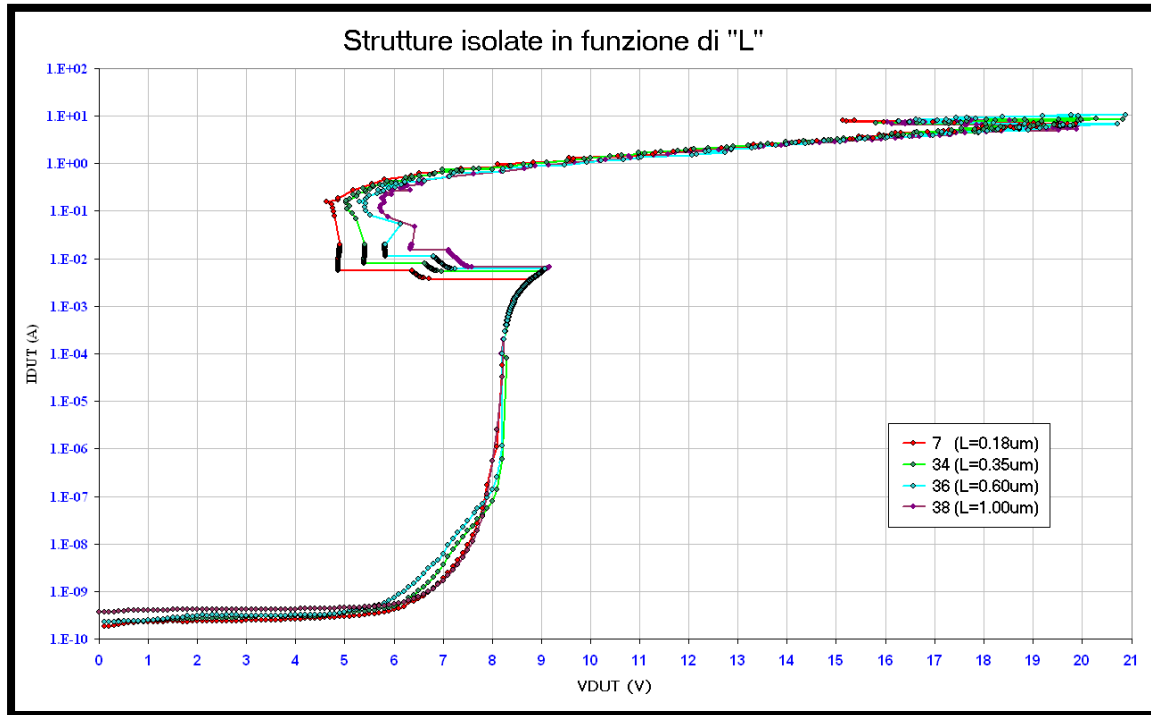


Figura 6.13: Confronto della caratteristica DC delle strutture 7, 34, 36 e 38.

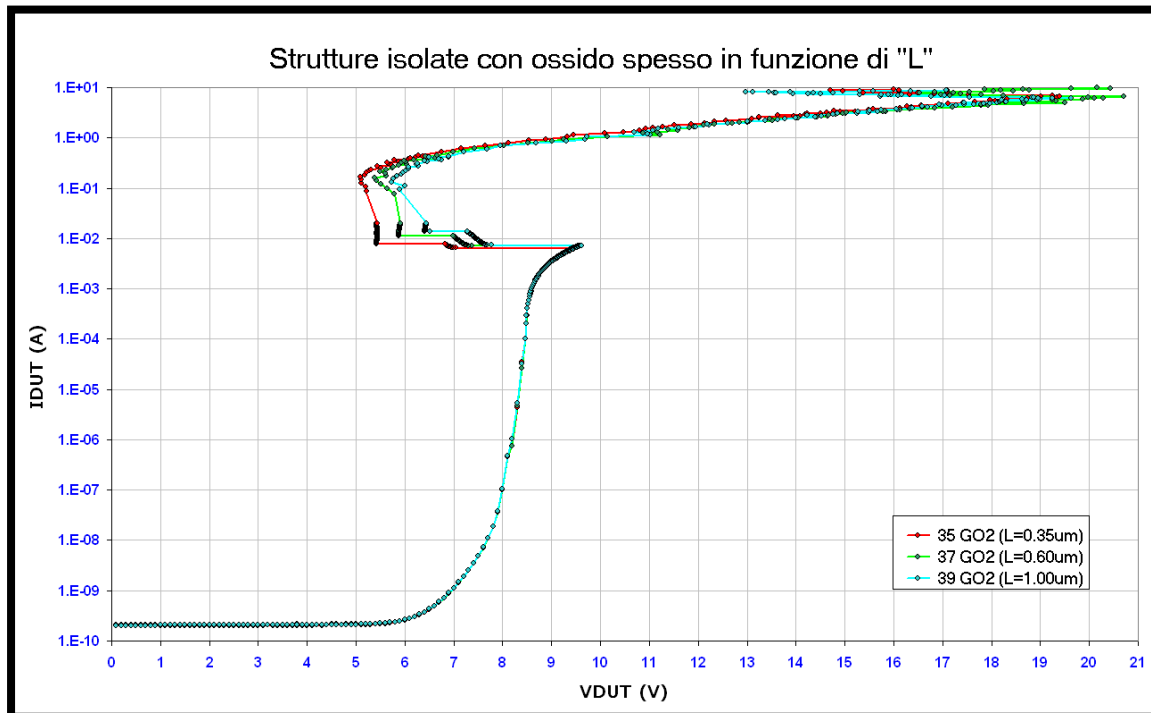


Figura 6.14: Confronto della caratteristica DC delle strutture 35, 37 e 39.

Mettendo in grafico i risultati ottenuti si ottiene il diagramma di Figura 6.15.

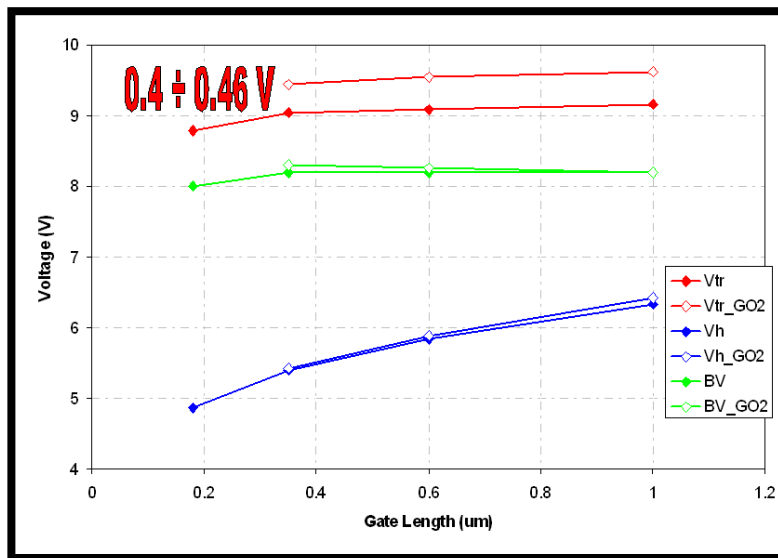


Figura 6.15: Tensioni in funzione della lunghezza di canale

Lo studio degli effetti della variazione della lunghezza di canale ha fondamentali ripercussioni pratiche, in quanto il guadagno del transistor bipolare parassita è inversamente proporzionale alla lunghezza di canale. In questa maniera si può modulare la tensione di hold agendo appunto su “L”.

Si può notare una differenza di circa 0.4V della tensione a cui avviene lo snapback, tra componenti con ossido sottile e spesso. Questa differenza resta circa invariata al variare della lunghezza di canale e dipende dal diverso guadagno del bipolare con ossido sottile o spesso.

Si nota che si può modulare la tensione di hold, agendo sulla lunghezza di canale, mentre le altre due grandezze restano circa invariate.

Un ulteriore confronto che si può fare è tra il dispositivo 7 e 11, che sono rispettivamente un gcMOS e un ggMOS in configurazione standard.

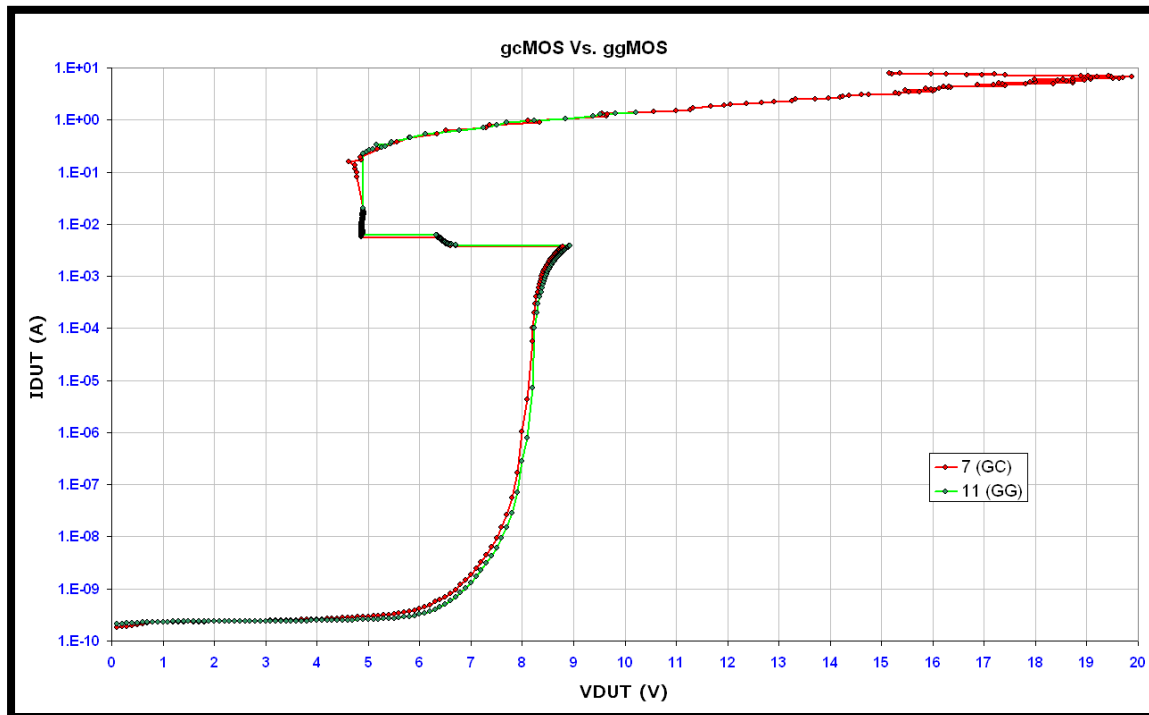


Figura 6.16: Confronto tra gcMOS e ggMOS.

Come si può vedere da Figura 6.16 le due configurazioni sono pressoché equivalenti avendo simili tensioni di snap, di hold e di breakdown. Questo comportamento era prevedibile, visto che il funzionamento del componente in configurazione standard non è influenzato dal fatto che la gate sia collegata a massa tramite un cortocircuito o una resistenza. Il ggMOS lavora poco accoppiato in quanto sono state rimosse le LDD (Lightly Doped Drain).

### 6.3.2 Misure vf-TLP delle protezioni isolate

Vengono ora analizzati i risultati ottenuti sulle Protezioni Isolate utilizzando il vf-TLP. Quest'analisi è stata condotta allo scopo di poter prevedere il comportamento dei dispositivi interessati nei fenomeni CDM. Esiste infatti una correlazione tra evento CDM e impulso vf-TLP (§2.3.5 *Very Fast TLP (vf-TLP)* ).



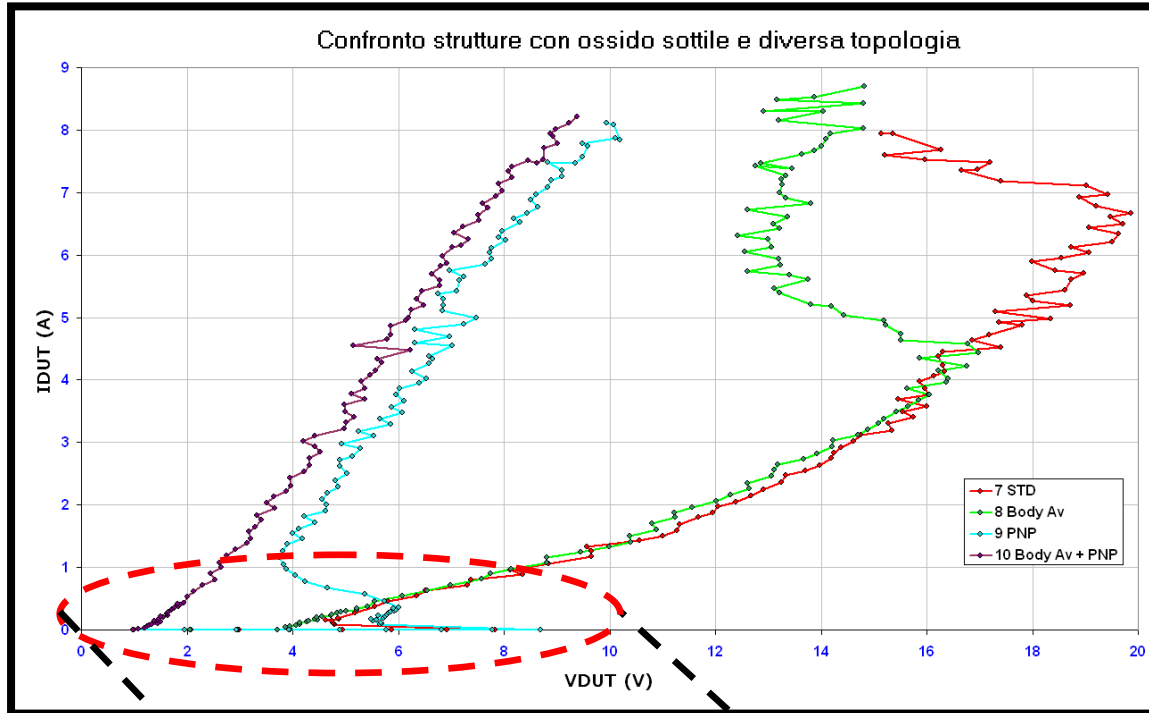
In Tabella 6.8 sono elencati i valori ottenuti impostando la durata dell'impulso pari a 5ns e osservando l'ultimo valore per cui la corrente di leakage rimane costante. Ad esempio nella struttura "7" per tensione di precarica  $V = 19.48V$  la corrente  $I_{leak} = 4.94e^{-10}$ , mentre per il passo successivo di tensione pari a  $V = 19.87V$  la corrente di perdita passa a  $I_{leak} = 3.27e^{-9}$ .

Protezioni Stand Alone vf-TLP (5ns)						
ID	Dispositivo	W( $\mu$ m)	L( $\mu$ m)	Tipo	Vfail [V]	Ifail [A]
7	GCMOS	100	0.18	STD	19.48	6.61
8	GCMOS	100	0.18	Body Av	12.43	6.31
9	GCMOS	100	0.18	PNP	8.82	7.48
10	GCMOS	100	0.18	Body Av + PNP	8.93	7.90
11	GGMOS	100	0.18	STD	18.84	6.50
12	GGMOS	100	0.18	PNP	8.95	7.47
33	NMOS + GGMOS	100	0.18	STD	5.12	1.41
13	NMOS + GGMOS	100	0.18	PNP	13.48	7.18
14	GCMOS	200	0.18	4F	21.09	13.19
15	MOSSWI 5MM				7.37	26.07
34	GCMOS	100	0.35	STD	19.19	7.68
35	GCMOS	100	0.35	GO2	19.40	6.77
36	GCMOS	100	0.6	STD	17.06	8.21
37	GCMOS	100	0.6	GO2	17.55	8.18
38	GCMOS	100	1	STD	16.41	7.64
39	GCMOS	100	1	GO2	14.77	7.95
40	GCMOS	100	1	GO2 + Body Av	12.41	5.94
41	GCMOS	100	1	GO2 + PNP	9.62	7.44
42	GCMOS	100	1	GO2 + Body Av + PNP	10.19	7.83

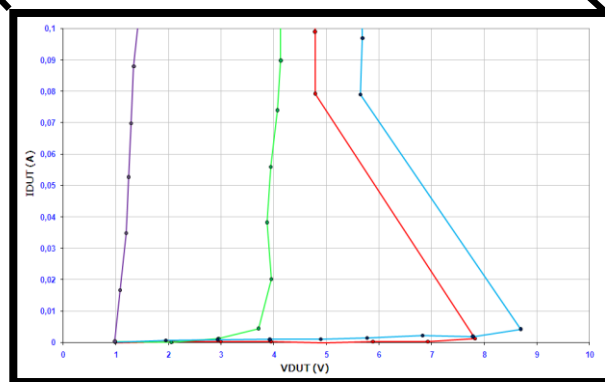
Tabella 6.8: Misure vf-TLP (5ns) sulle Protezioni Isolate.

Nei grafici contenenti le curve tratte con vf-TLP non verranno riportate le correnti di leakage per semplificare la visione delle curve e perché tutti i sistemi analizzati subiscono un fallimento brusco, facendo aumentare la corrente di perdita in modo brusco, senza passare attraverso un soft failure.

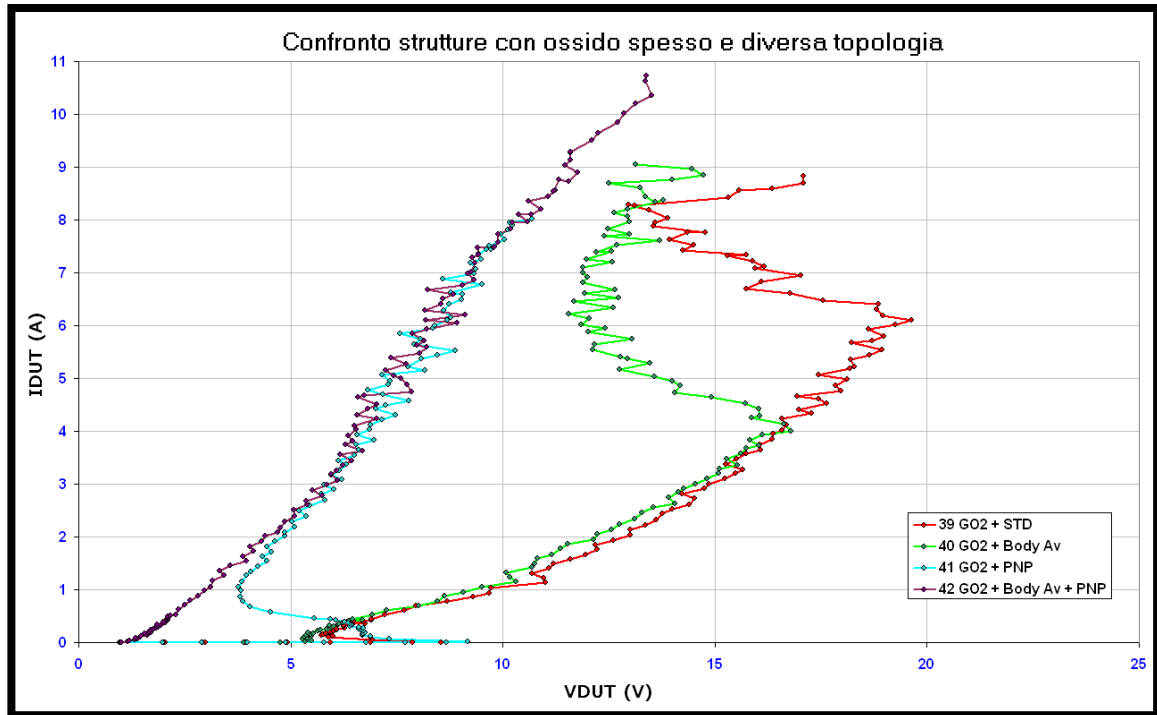
In primo luogo analizzeremo il variare della robustezza dei dispositivi al variare della topologia in cui vengono realizzati.



6.17: Confronto tra strutture ad ossido sottile.



6.18: Zoom della zona di snapback dei dispositivi di figura 6.17



6.19: Confronto tra le strutture ad ossido spesso.

Protezioni Stand Alone vf-TLP (5ns)						
ID	Dispositivo	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Vfail [V]	Ifail [A]
7	GCMOS	100	0.18	STD	19.48	6.61
8	GCMOS	100	0.18	Body Av	12.43	6.31
9	GCMOS	100	0.18	PNP	8.82	7.48
10	GCMOS	100	0.18	Body Av + PNP	8.93	7.90
39	GCMOS	100	1	GO2	14.77	7.95
40	GCMOS	100	1	GO2 + Body Av	12.41	5.94
41	GCMOS	100	1	GO2 + PNP	9.62	7.44
42	GCMOS	100	1	GO2 + Body Av + PNP	10.19	7.83

Tabella 6.9: Valori delle differenti soluzioni circuitali.

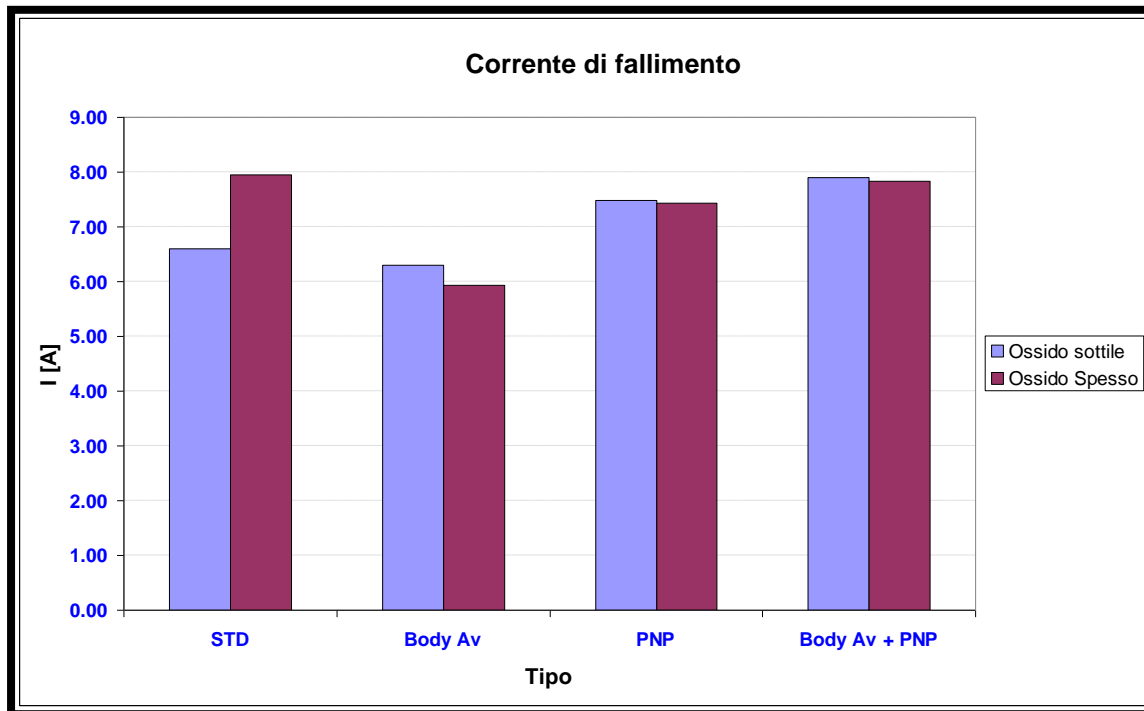


Figura 6.20: Corrente di fallimento in funzione della tipologia circuitale.

In Figura 6.20 sono rappresentati i valori della corrente di fallimento delle strutture 7, 8, 9 e 10 in azzurro, mentre in rosso quelli delle strutture 39, 40, 41 e 42. I valori sono riportati in Tabella 6.9. Come si può vedere non si hanno differenze significative tra le soluzioni con o senza ossido spesso, tranne che nella configurazione standard, a causa della maggiore lunghezza di canale del dispositivo ad ossido spesso. Inoltre, l'aggiunta del transistor PNP tra drain del gcMOS e terminale alto introduce una diminuzione della robustezza entrambe le tipologie di ossido. Questa perdita viene parzialmente arginata nella configurazione body available.

Protezioni Stand Alone vf-TLP (5ns)						
ID	Dispositivo	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Vfail [V]	Ifail [A]
7	GCMOS	100	0.18	STD	19.48	6.61
34	GCMOS	100	0.35	STD	19.19	7.68
36	GCMOS	100	0.6	STD	17.06	8.21
38	GCMOS	100	1	STD	16.41	7.64
35	GCMOS	100	0.35	GO2	19.40	6.77
37	GCMOS	100	0.6	GO2	17.55	8.18
39	GCMOS	100	1	GO2	14.77	7.95

Tabella 6.10: Dati delle strutture Standard.

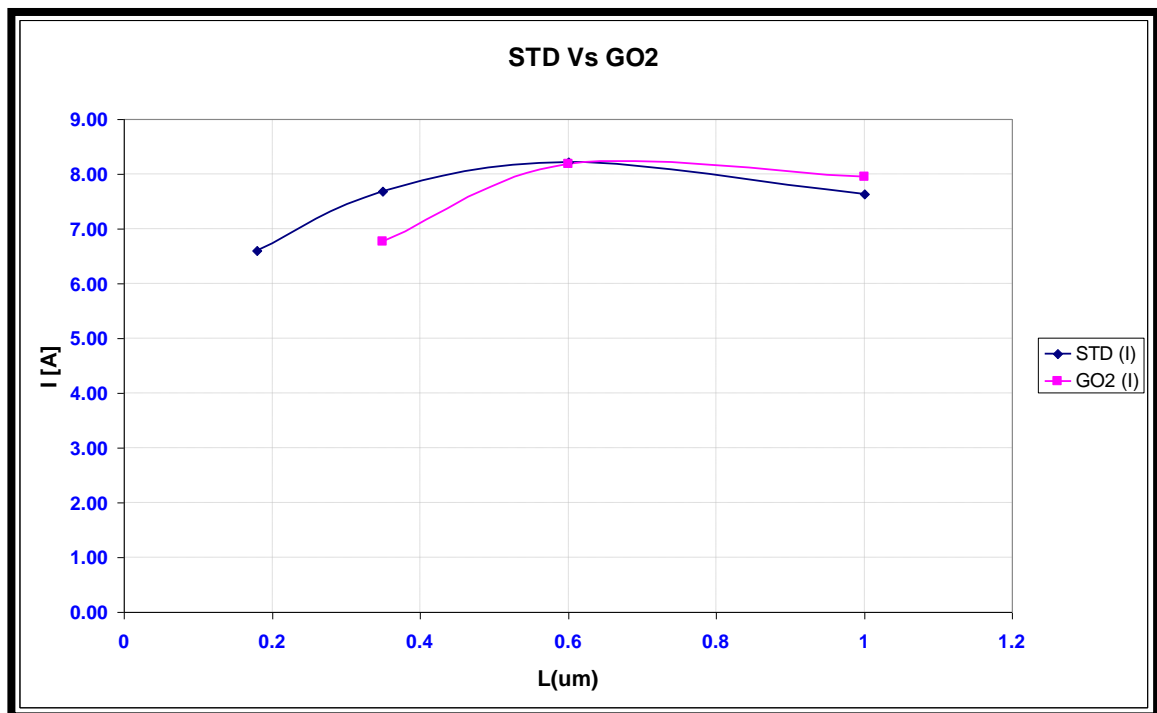
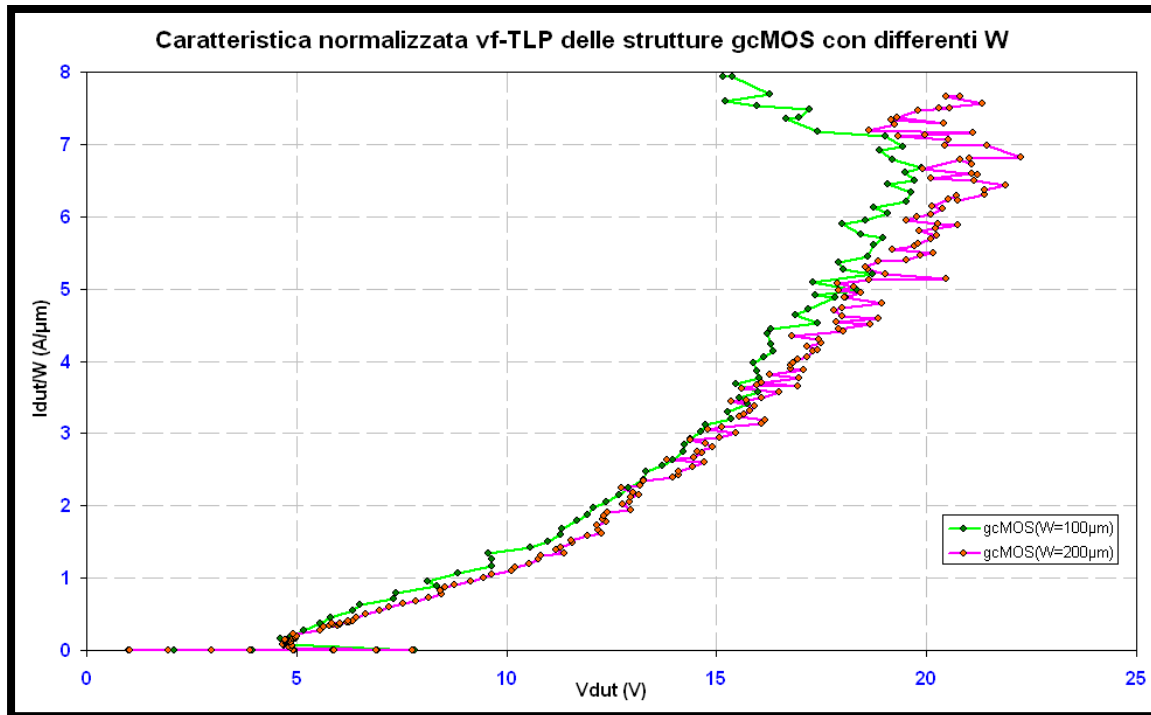


Figura 6.21: Corrente di perdita in funzione della lunghezza di canale.

In Figura 6.21 sono riportati i valori della corrente di fallimento per le strutture 7, 34, 36 e 38 in blu, mentre 35, 37 e 39 in rosa. I valori sono riportati in Tabella 6.10.

È interessante osservare i valori della corrente di fallimento nei casi dei componenti 7 e 14, in quanto questi due dispositivi si differenziano solo per la larghezza del canale. Il componente 7 ha  $W=100\mu\text{m}$ , mentre il 14 ha  $W=200\mu\text{m}$ . Per confrontare al meglio le due soluzioni si è proceduto normalizzando la corrente misurata al vf-TLP in base alla larghezza del canale.



6.22: Confronto vf-TLP tra i componenti 7 e 14 con le correnti normalizzate alla lunghezza del canale.

Protezioni Stand Alone vf-TLP (5ns)							
ID	Dispositivo	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Vfail [V]	Ifail	Ifail/W [A/ $\mu\text{m}$ ]
7	GCMOS	100	0,18	STD	19,48	6,61	6,607
14	GCMOS	200	0,18	4F	21,09	13,19	6,595

Tabella 6.11: Confronto strutture 7 e 14.

Se si normalizza la corrente di fallimento di entrambi i dispositivi, con la larghezza del canale ( $W$ ), risulta lo stesso valore per le due strutture, come evidenziato anche da Tabella 6.13. Ciò dimostra come il valore della corrente di fallimento sia direttamente proporzionale alla larghezza di canale.

Un ulteriore confronto può essere fatto tra i tre differenti dispositivi in configurazione standard, cioè il GCMOS (7), il GG MOS (11) e il MOSSWI (15).

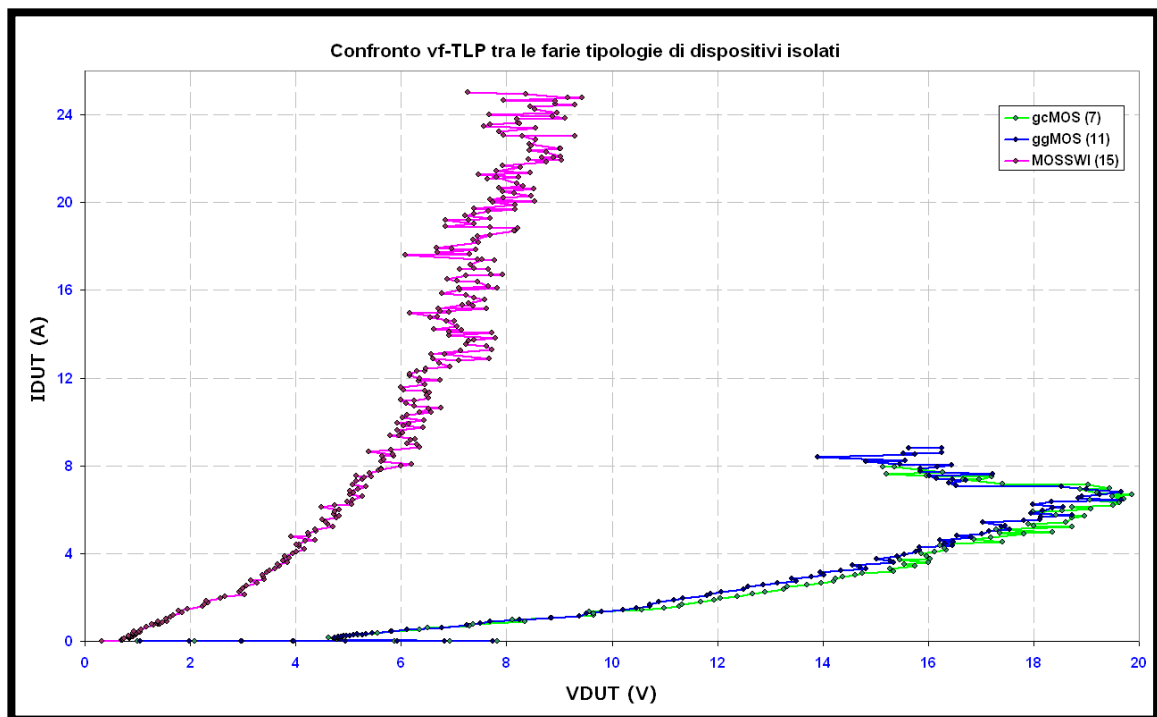


Figura 6.23: Protezioni in configurazione STANDARD.

Protezioni STD vf-TLP (5ns)						
ID	Dispositivo	W( $\mu$ m)	L( $\mu$ m)	Tipo	Vfail [V]	Ifail [A]
7	GCMOS	100	0.18	STD	19.48	6.61
11	GGMOS	100	0.18	STD	18.84	6.50
15	MOSSWI 5MM			STD	7.37	26.07

Tabella 6.12: Protezioni GCMOS, GG MOS e MOSSWI in configurazione standard.

Confrontando queste tre tipologie di dispositivi, si vede come il GCMOS e il GG MOS abbiano un comportamento simile, cioè falliscono per tensioni e correnti molto vicine. Ciò non vale per il MOSSWI, che riesce a condurre sino a 26A, circa quattro volte superiore altri due, con una tensione di circa la metà. Questa differenza tra i dispositivi gcMOS e ggMOS e il MOSSWI è dovuta alla differente area, per i MOS e  $8860\mu\text{m}^2$  per il MOSSWI.

### 6.3.3 Robustezza ad eventi CDM delle strutture isolate

Verranno ora presentati i risultati delle caratterizzazioni eseguite dopo gli stress CDM sulle strutture isolate, discusse in questo capitolo. In Tabella 6.13 è riportato un riassunto delle misure fatte. Il test sulle pure protezioni, senza circuito da proteggere, serve per avere un' idea del componente che fallisce in un sistema completo. Se un sistema infatti si rompe per tensioni inferiori a quella di rottura della protezione, è lecito ipotizzare che abbia fallito il circuito da proteggere e non la protezione.

Come nel paragrafo precedente saranno confrontate soluzioni tra loro relazionate. Si è scelta come tensione di fallimento quella minima per cui il dispositivo inizia a fallire con una certa ripetibilità.

Strutture isolate su CK332							
No.	Strutt.	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Class	Note	Fallimento
7X	gcMOS	100	0.18	St. Alone	1.8V	STD	-1750V
8X	gcMOS	100	0.18	St. Alone	1.8V	Body Av.	-1250V
9X	gcMOS	100	0.18	St. Alone	1.8V	PNP	-1250V
14X	gcMOS	200	0.18	St. Alone	1.8V	4 Fingers	> -2000V
15X	MOSSWI			St. Alone	1.8V	STD	-1000V
34X	gcMOS	100	0.35	St. Alone	1.8V	STD	-2000V
35X	gcMOS	100	0.35	St. Alone	5V	Ossido Spesso (GO2)	-2000V
36X	gcMOS	100	0.6	St. Alone	1.8V	STD	-2000V
37X	gcMOS	100	0.6	St. Alone	5V	Ossido Spesso (GO2)	-2000V
38X	gcMOS	100	1	St. Alone	1.8V	STD	-2000V
39X	gcMOS	100	1	St. Alone	5V	Ossido Spesso (GO2)	-1750V

Tabella 6.13: Riassuntivo della robustezza CDM delle strutture isolate.



Confrontiamo ora la robustezza dei dispositivi per differenti soluzioni realizzative:

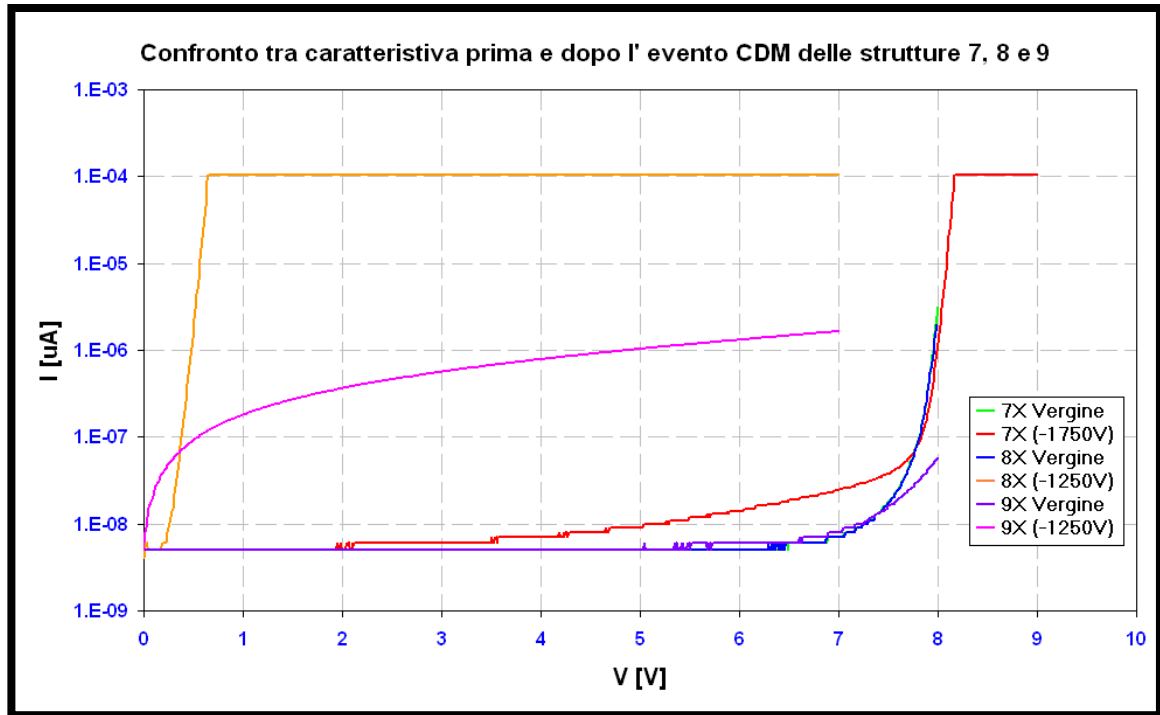


Figura 6.24: Caratteristiche prima e dopo impulsi CDM di componenti con diverse soluzioni topologiche.

Strutture isolate con diverse topologie							
No.	Strutt.	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Class	Note	Fallimento
7X	gcMOS	100	0.18	St. Alone	1.8V	STD	-1750V
8X	gcMOS	100	0.18	St. Alone	1.8V	Body Av.	-1250V
9X	gcMOS	100	0.18	St. Alone	1.8V	PNP	-1250V

Tabella 6.14: Confronto tra diverse soluzioni topologiche per protezioni isolate.

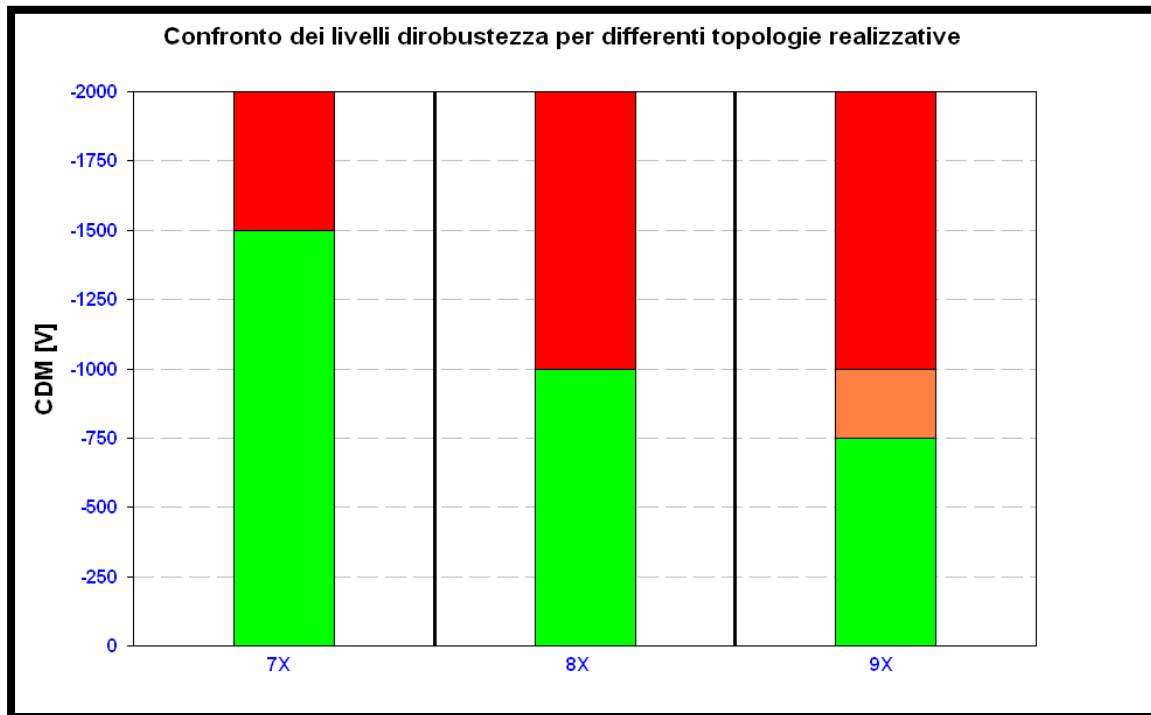
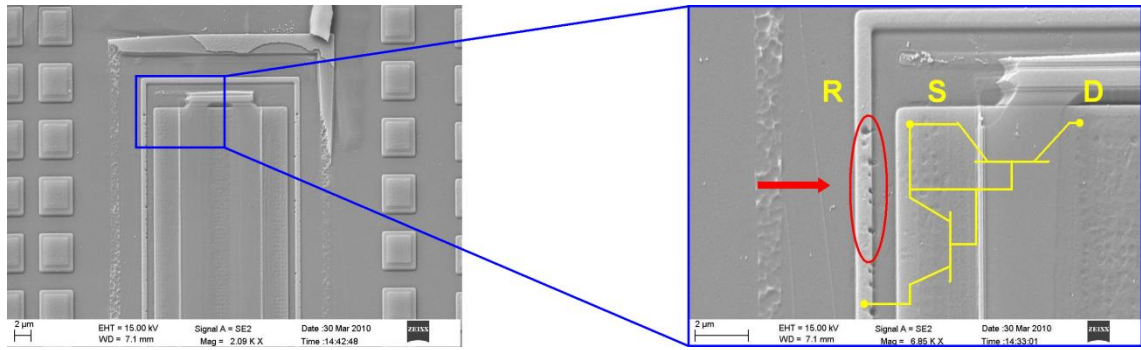


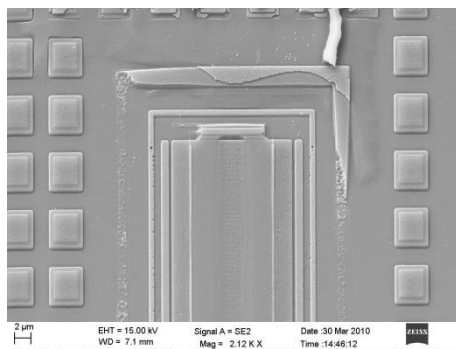
Figura 6.25: Confronto tra diverse soluzioni topologiche per protezioni isolate.

La Figura 6.24 riporta il confronto tra le caratteristiche I-V dei dispositivi 7, 8 e 9 ricavate con labview, prima e dopo l'evento CDM. La caratteristica è stata acquisita sino all'instaurarsi del break down; non si ha interesse infatti per tensioni e correnti superiori. Lo strumento di misura ci permette di apprezzare scostamenti tra le caratteristiche sino a 1nA. Da figura si può vedere come, per il solo dispositivo gcMOS STANDARD, si abbia un fallimento soft, mentre per quello con PNP e BODY AVAILABLE sia presente un fallimento hard. In Figura 6.25 sono schematizzati i livelli di fallimento delle strutture analizzate. In rosso sono riportate le tensioni per cui falliscono tutti i dispositivi testati, in verde quelle per cui non fallisce alcun dispositivo, in arancione le tensioni per cui falliscono alcuni dispositivi, ma non tutti. Per la scelta del livello di protezione CDM, si è scelto di considerare la tensione minima per cui si ha il fallimento in almeno due differenti test. È immediato notare come la soluzione del gcMOS STANDARD sia la più robusta, mentre le altre due falliscano a tensioni di precarica inferiori ed in modo hard.

## Capitolo 6: Risultati sperimentali

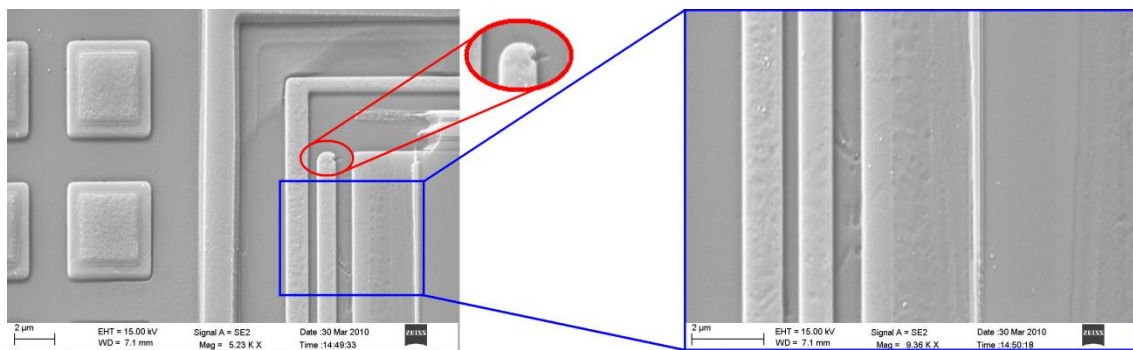


**6.26: Immagini SEM del dispositivo 7X, con schematizzati i bipolari parassiti.**



**6.27: Immagine SEM del dispositivo 8X**

Nei dispositivi sia standard che con body av. si è notato che il fallimento avviene sulla regione di isolamento.



**6.28: Immagine SEM del dispositivo 9X.**

Per il dispositivi con PNP invece i danneggiamenti avvengono nel bipolare chiuso a diodo.

Verranno analizzate ora le soluzioni con diverse lunghezze di canale:

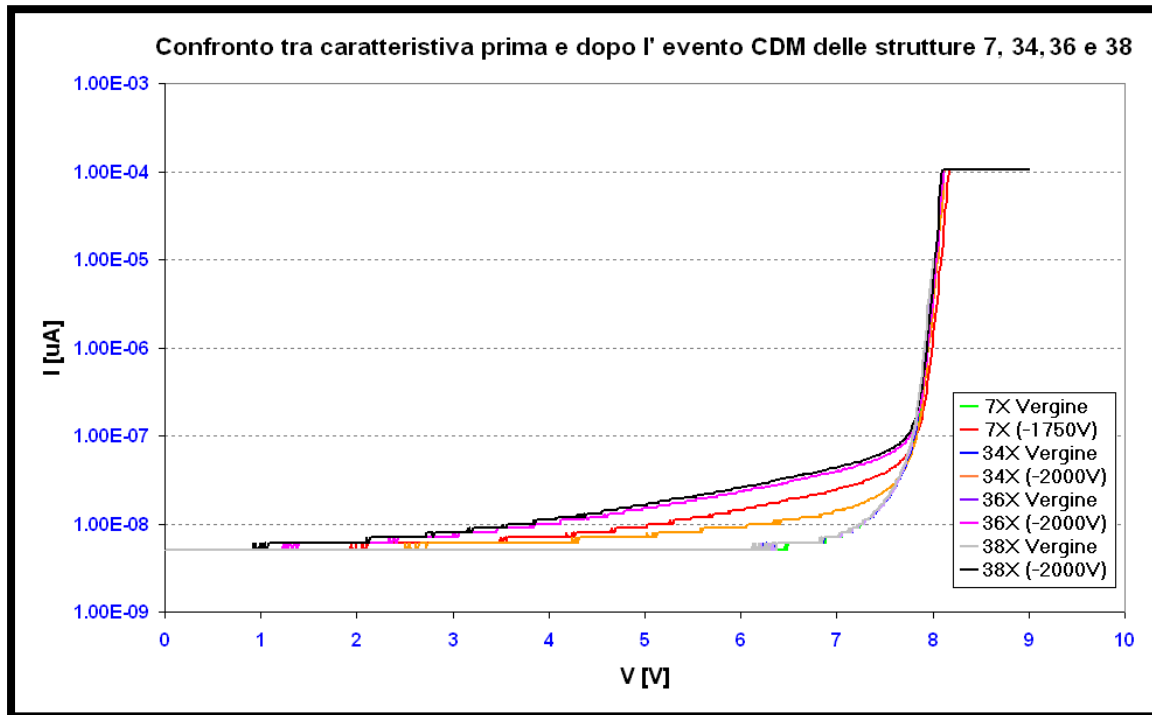


Figura 6.29: Caratteristica I-V pre e post stress dei gcMOS ad ossido sottile in funzione di L.

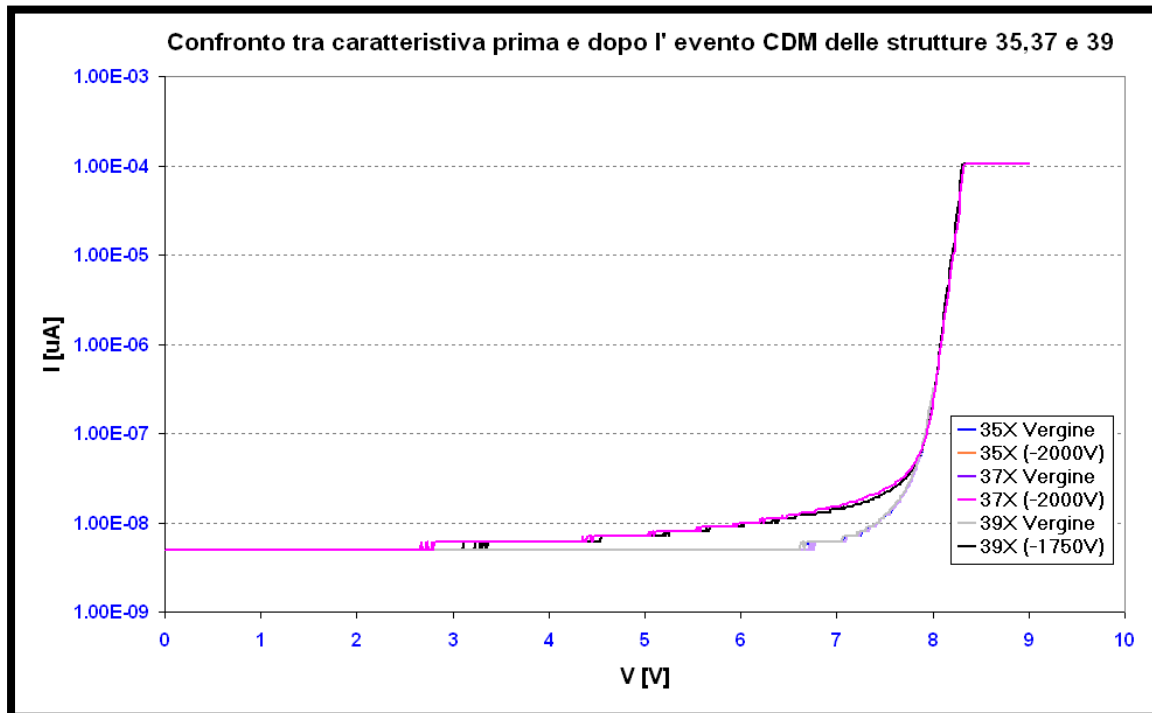


Figura 6.30: Caratteristica I-V pre e post stress dei gcMOS ad ossido spesso in funzione di L.

Strutture isolate con differenti "L" e ossidi							
No.	Strutt.	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Tipo	Class	Note	Fallimento
7X	gcMOS	100	0.18	St. Alone	1.8V	STD	-1750V
34X	gcMOS	100	0.35	St. Alone	1.8V	STD	-2000V
35X	gcMOS	100	0.35	St. Alone	5V	Ossido Spesso (GO2)	-2000V
36X	gcMOS	100	0.6	St. Alone	1.8V	STD	-2000V
37X	gcMOS	100	0.6	St. Alone	5V	Ossido Spesso (GO2)	-2000V
38X	gcMOS	100	1	St. Alone	1.8V	STD	-2000V
39X	gcMOS	100	1	St. Alone	5V	Ossido Spesso (GO2)	-1750V

Tabella 6.15: Livelli di protezione in funzione della lunghezza di canale e dello spessore dell'ossido.

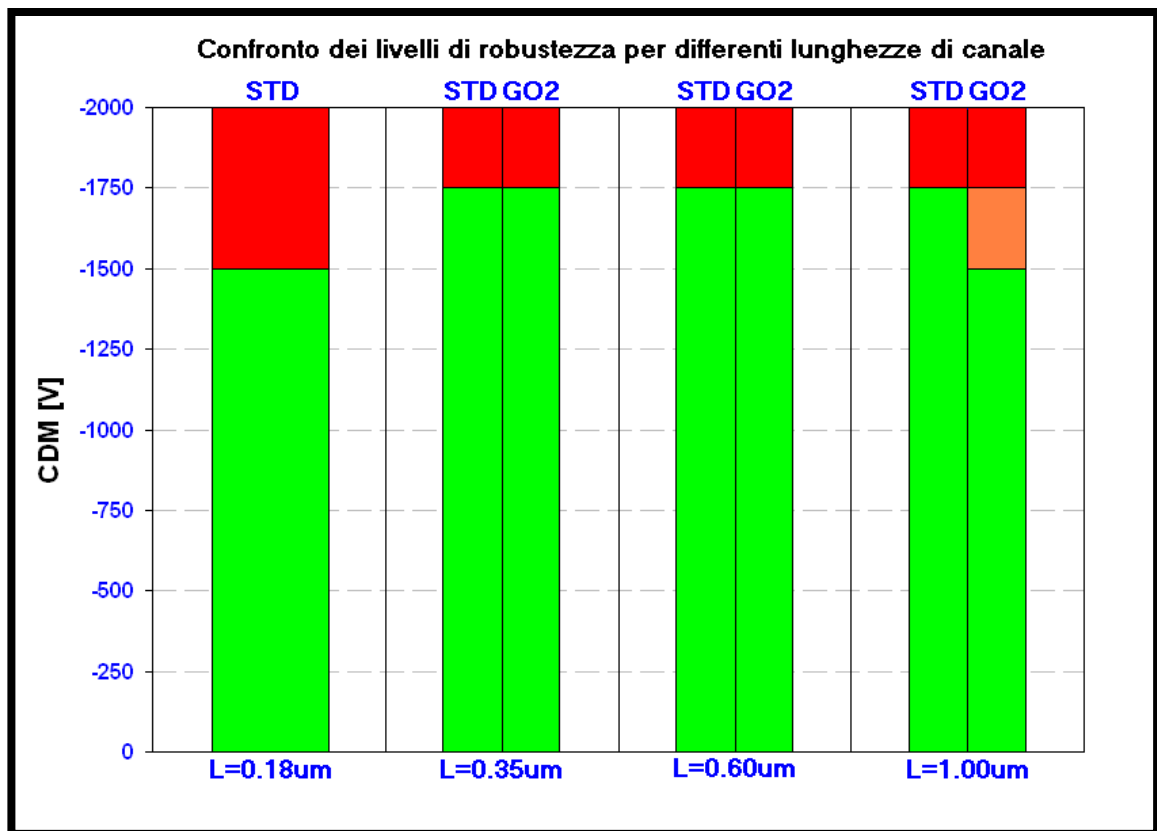


Figura 6.31: Confronto di strutture isolate standard al variare della lunghezza di canale e dello spessore dell'ossido.

Da quanto emerge dalle caratteristiche di Figura 6.29 e Figura 6.30, la soluzione standard del gcMOS non ha variazioni sulla robustezza in funzione della lunghezza di

canale ed inoltre il fallimento che viene riscontrato è sempre un fallimento soft. Come mostrato in APPENDICE “A”, lo strumento che genera gli impulsi CDM è affidabile e ripetibile solo per tensioni di precarica inferiori in modulo a 1500V. Questo permette di ipotizzare che tutte le strutture standard, con ossido sottile o spesso, falliscano per la medesima tensione.

Infine è utile confrontare la soluzione con gcMOS e quella con MOSSWI:

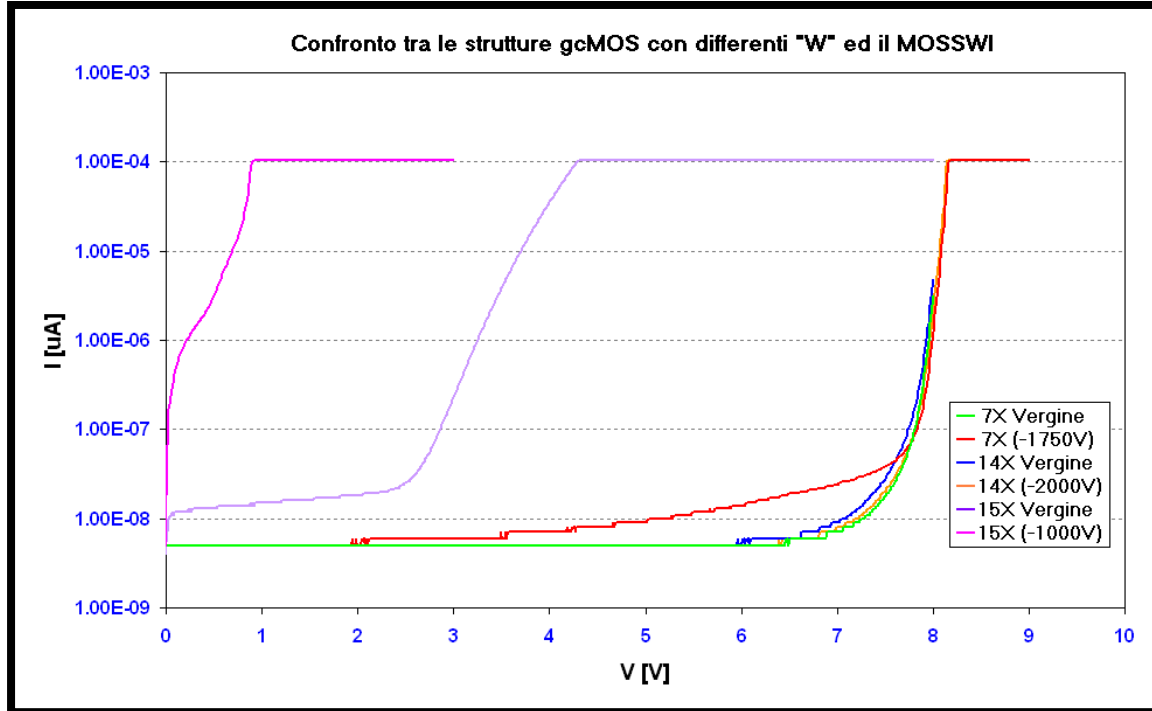


Figura 6.32: Confronto tra la caratteristica I-V dei gcMOS con differenti W (7X: W=100µm e 14X: W=200µm) e del MOSSWI.

Strutture isolate su CK332							
No.	Strutt.	W(µm)	L(µm)	Tipo	Class	Note	Fallimento
7X	gcMOS	100	0.18	St. Alone	1.8V	STD	-1750V
14X	gcMOS	200	0.18	St. Alone	1.8V	4 Fingers	> -2000V
15X	MOSSWI			St. Alone	1.8V	STD	-1000V

Tabella 6.16: Livelli di robustezza delle strutture isolate gcMOS con differenti W e del MOSSWI.

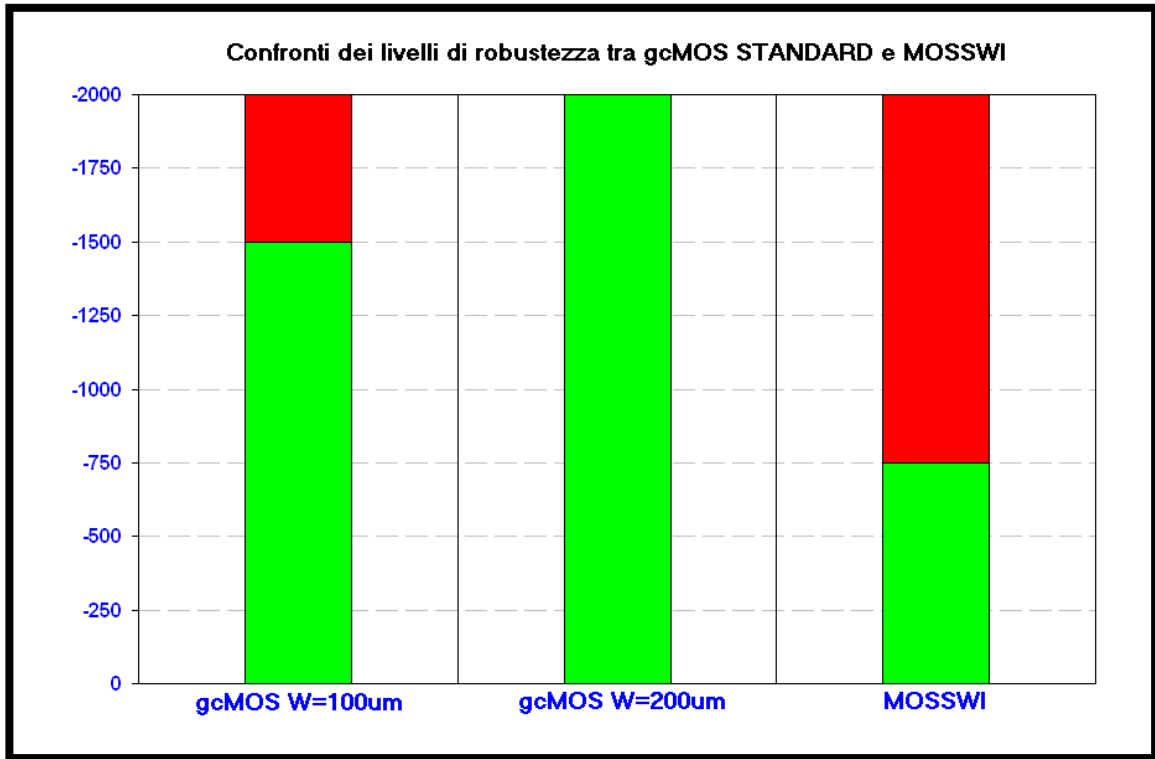
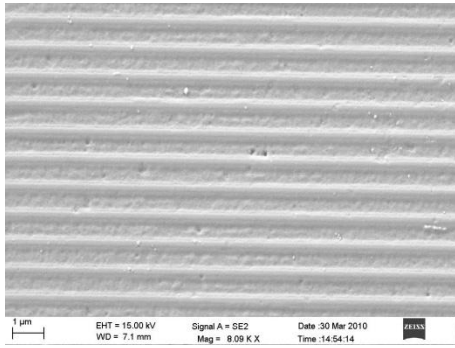


Figura 6.33: Livelli di fallimento per strutture gcMOS con larghezza di canale differente e MOSSWI.

Analizzando questi dati raccolti, ci si trova davanti ad un risultato atteso ed uno invece contrastante con le analisi preliminari. Il risultato atteso dalle analisi vf-TLP, è che allargando il canale il dispositivo diventa più robusto; infatti dove il gcMOS stretto fallisce attorno a -1750V di precarica, quello allargato ( $W=200\mu\text{m}$ ) risulta illeso anche per tensioni di -2000V. Il macchinario utilizzato non ha permesso di indagare oltre questa tensione, in quanto non progettato per sopportare tensioni di precarica superiori. Il dato contrastante è quello del MOSSWI. Le analisi in vf-TLP avevano mostrato che il dispositivo poteva sopportare correnti quattro volte superiori a quelle di un gcMOS, mentre l'analisi CDM ha mostrato che fallisce per tensioni di precarica inferiori di oltre la metà. La spiegazione è quella che il MOSSWI, essendo un clamp attivo, lavora nelle sue normali condizioni operative.



**6.34: Immagine SEM del dispositivo 15X**

Nei dispositivi MOSSWI non si sono riuscite a rilevare dei danneggiamenti a causa delle troppo elevate dimensioni del dispositivo che non hanno permesso di individuare con sufficiente precisione eventuali buchi.

## **6.4 Protezioni con MONITOR (2 terminali)**

Lo scopo di queste misure è quello di determinare la robustezza delle protezioni in presenza di un MONITOR, composto da un nMOS in configurazione da condensatore, ad eventi ESD. Data la tipologia della rete da stressare non è stato utile analizzare né in DC, né il vf-TLP le strutture di questo tipo, ma si sono utilizzati i risultati ottenuti dalle protezioni isolate e dagli ossidi di gate singoli. Combinando queste misure si è potuto prevedere i risultati proposti dopo gli eventi CDM.

### **6.4.1 Robustezza ad eventi CDM**

Verrà ora analizzata la robustezza delle strutture a 2 terminali presentati in Tabella 6.17.



Come quanto fatto nel capitolo precedente, l'analisi verrà divisa in parti per consentire un miglior confronto tra strutture simili. Inizialmente si procederà analizzando le differenti soluzioni topologiche adottate.

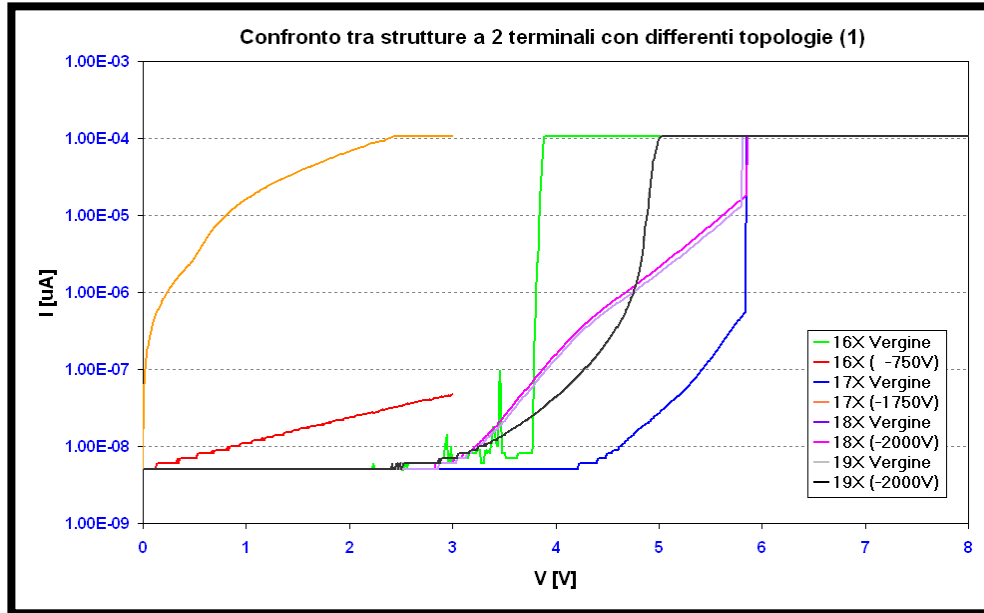


Figura 6.35: Confronto tra strutture a due terminali con monitor , con resistenza e rete  $\pi$  a in diverse configurazioni.

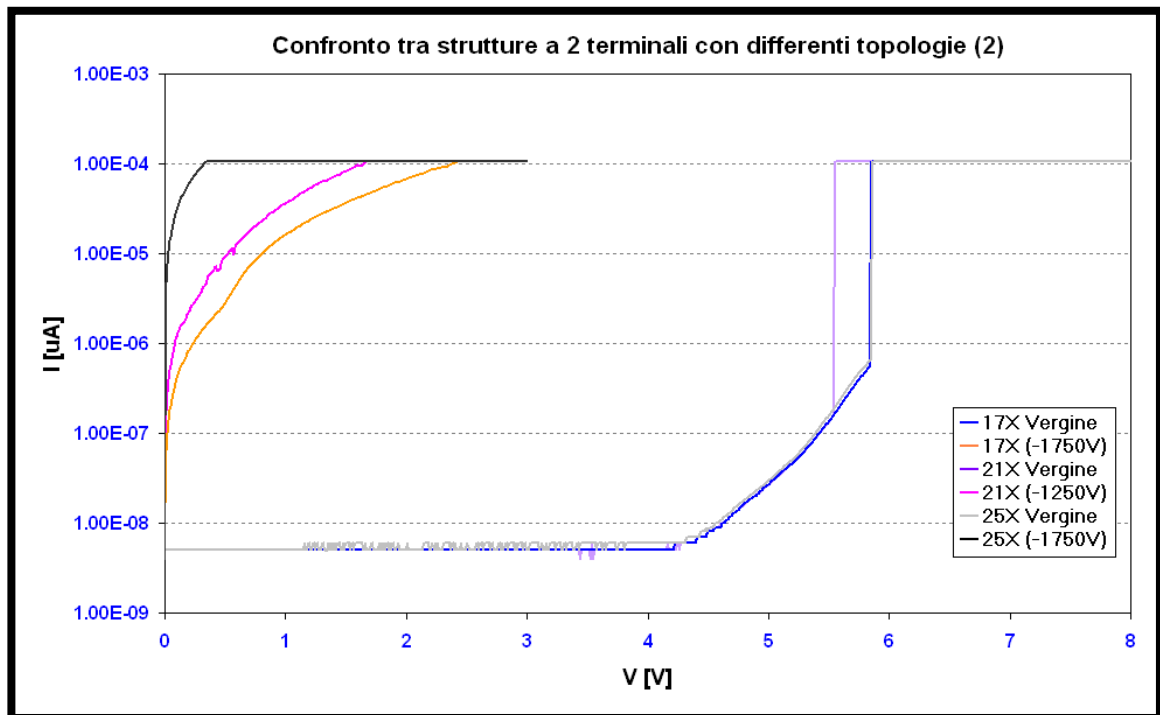


Figura 6.36: Confronto tra strutture a due terminali con monitor e differenti topologie realizzative.

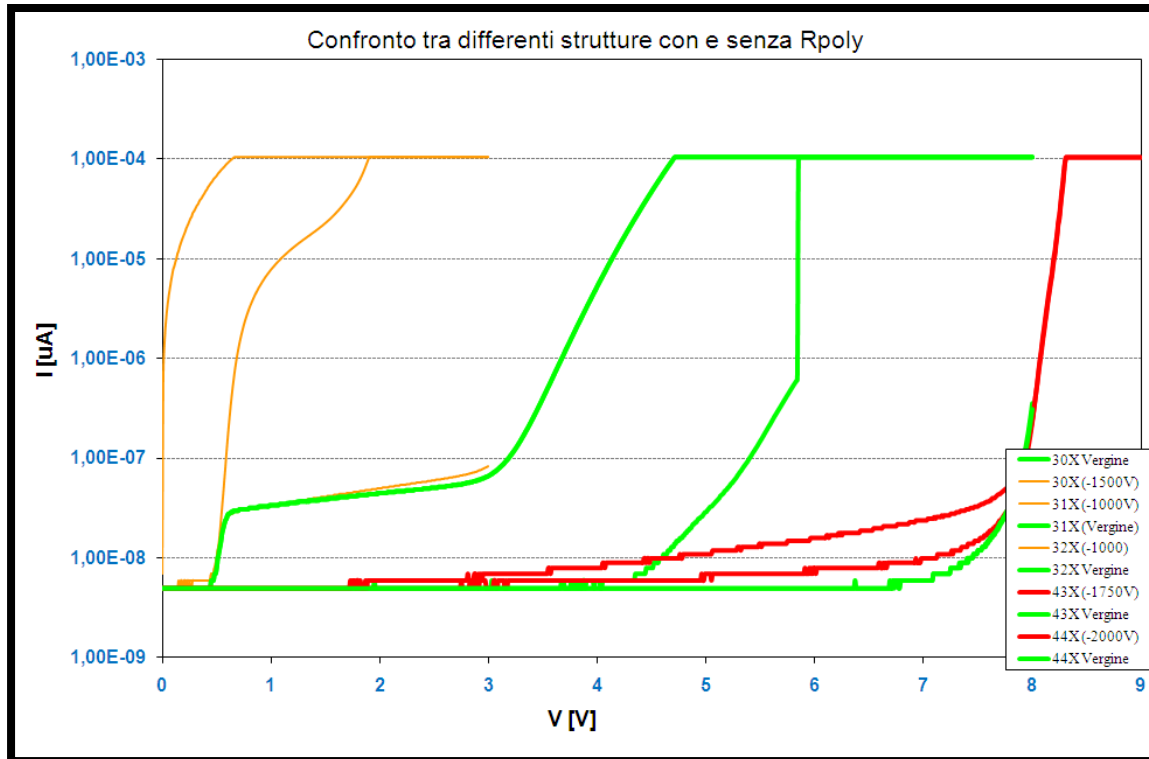


Figura 6.37: Confronto tra differenti strutture a due terminali con e senza Rpoly.

PROTEZIONI CON MONITOR (2 terminali)							
No.	Strutt.	W(µm)	L(µm)	Tipo	Class	Note	Fallimento
16X	gcMOS	100	0,18	+ MONITOR	1.8V	STD	-750V
17X	gcMOS	100	0,18	+ MONITOR	1.8V	Rpoly (1kΩ)	-1750V
18X	gcMOS	100	0,18	+ MONITOR	1.8V	Rete π di prot. con ggMOS da 10µm	>-2000V
19X	gcMOS	100	0,18	+ MONITOR	1.8V	Rete π di prot. con uno Zener da 5V	>-2000V
21X	gcMOS	100	0,18	+ MONITOR	1.8V	Body Av. +Rpoly (1kΩ)	-1250V
25X	gcMOS	100	0,18	+ MONITOR	1.8V	PNP + Rpoly (1kΩ)	-1750V
30X	ggMOS	200	0,18	+ MONITOR	1.8V	4 Fingers + Rpoly (1kΩ)	-1500V
31X	MOSSWI			+ MONITOR	1.8V	STD	<-250V
32X	MOSSWI			+ MONITOR	1.8V	Rpoly (1kΩ)	-1000V
43X	gcMOS	100	1	+ MONITOR	5V	STD	-1750V
44X	gcMOS	100	1	+ MONITOR	5V	Rpoly (1kΩ)	-2000V

Tabella 6.17: Robustezza ad eventi CDM di tutte le strutture a due terminali con monitor.

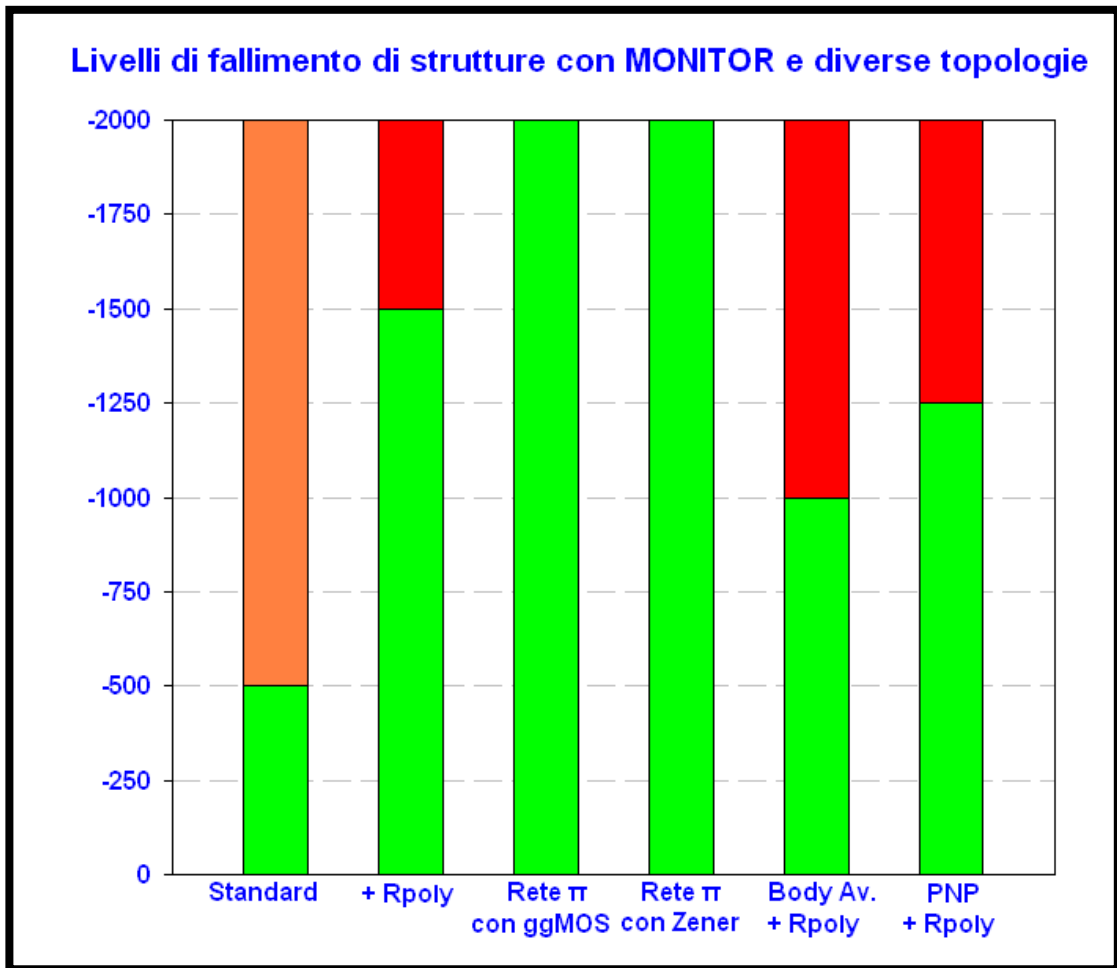


Figura 6. 6.38: Livelli di robustezza CDM per strutture a 2 terminali con MONITOR

Dai dati evidenziati, si evince che la struttura standard fallisce per la rottura del MONITOR, in quanto il livello di robustezza del componente è inferiore a quello del gCMOS da solo. L'aggiunta della resistenza in polisilicio ne aumenta la robustezza portandola al livello di quella del gCMOS isolato; in questa maniera non è più il MONITOR a rompersi, bensì la protezione. L'aggiunta ulteriore di una seconda protezione in configurazione a  $\pi$  ne migliora ulteriormente la robustezza; la struttura considerata risulta intatta anche per tensioni di precarica di -2000V. Come ci si aspettava dalle analisi effettuate sui componenti isolati, le soluzioni con PNP e BODY AVAILABLE. Con resistenza di polisilicio le soluzioni risultano meno robuste di quella standard, fallendo circa per le stesse tensioni per cui falliva il componente isolato. Il solo

componente con PNP risulta essere più robusto dell'atteso, in quanto la resistenza riduce il carico di corrente sulla protezione.

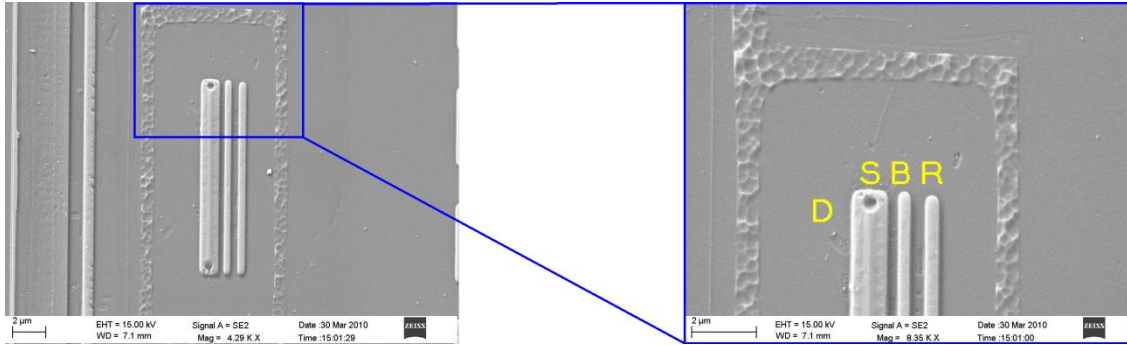


Figura 6.39: Immagine SEM del dispositivo 16X.

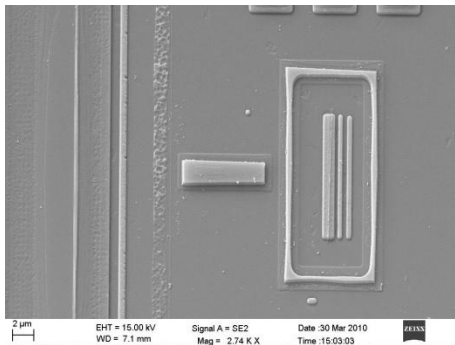


Figura 6.40: Immagine SEM del dispositivo 17X.

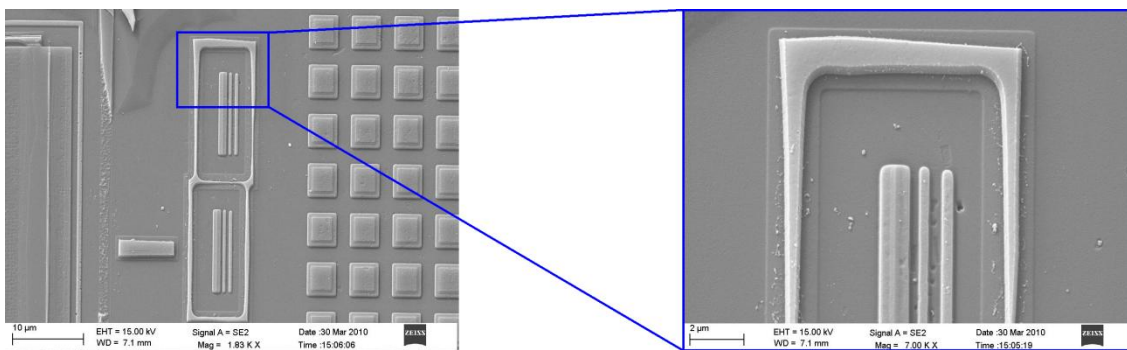


Figura 6.41: Immagine SEM del dispositivo 18X.

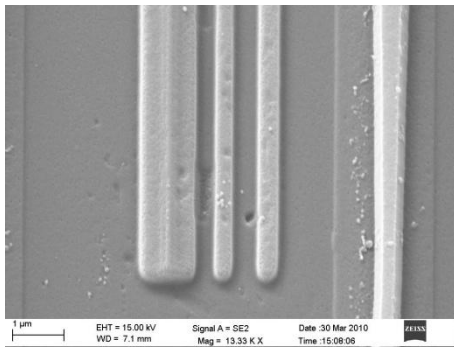


Figura 6.42: Immagine SEM del dispositivo 19X.

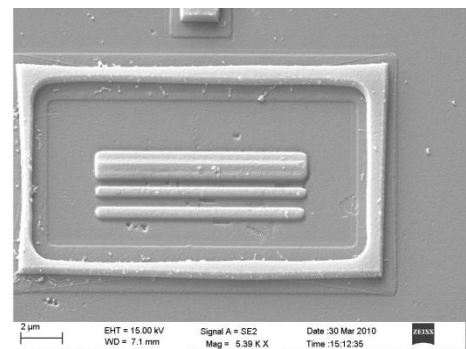
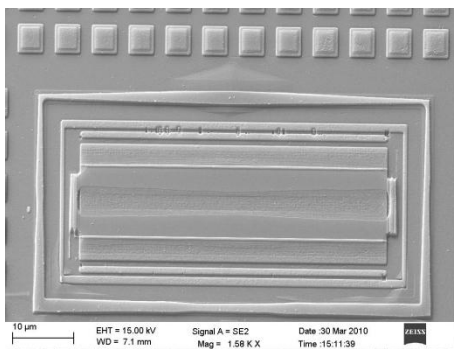
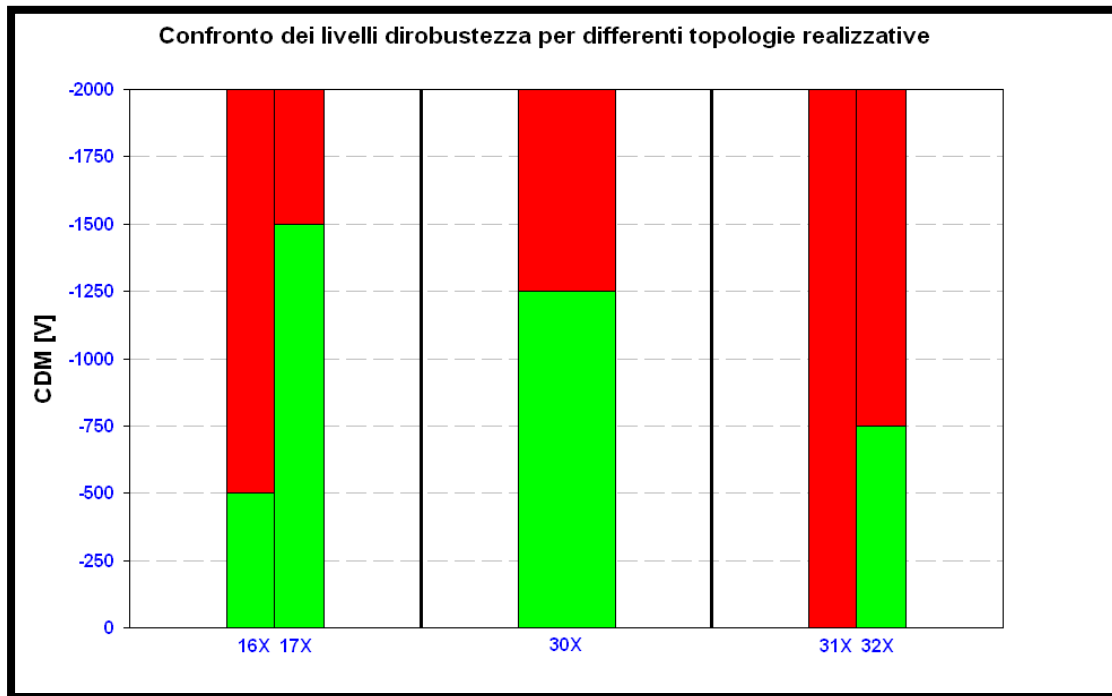


Figura 6.43: Immagine SEM del dispositivo 25X.

La failure analysis conferma i dati raccolti con l'analisi post stress, in quanto, come ci si aspettava, la rottura del dispositivo nei componenti senza resistenza in polisilicio avviene sul monitor (Figura 6.39), mentre l'aggiunta della resistenza o l'utilizzo di una rete a  $\pi$  non presenta alcun tipo di danneggiamenti. La configurazione con PNP invece, presenta gli stessi danneggiamenti della corrispettiva protezione isolata, cioè si ha un fallimento dovuto alla rottura del bipolare chiuso a diodo.



**Figura 6. 6.44: Confronto tra la soluzione gcMOS con un dito, 4 dita e MOSSWI in configurazione con o senza resistenza in polisilicio.**

Come evidenziato nella trattazione per le strutture senza monitor, la soluzione con gcMOS è più robusta di quella MOSSWI. Inoltre la presenza della resistenza in polisilicio migliora la robustezza in tutte le soluzioni. Il fallimento delle strutture 16X e 17X è già stato trattato nel paragrafo precedente. Per la struttura 30X a quattro dita, intrinsecamente più robusta della corrispettiva soluzione standard, il fallimento è da attribuirsi al monitor, in quanto la struttura stand alone (14X), fallisce per tensioni superiori ai -2000V di precarica. Lo stesso avviene per i dispositivi MOSSWI, i quali nella configurazione isolata reggevano -1000V di tensione di precarica. In questo caso anche l'aggiunta della resistenza in polisilicio non porta ad avere una robustezza della struttura sufficiente a garantire una rottura della protezione a vantaggio della struttura di MONITOR.

In ultima analisi verranno confrontate le soluzioni gcMOS standard e con resistenza al variare della lunghezza di canale.

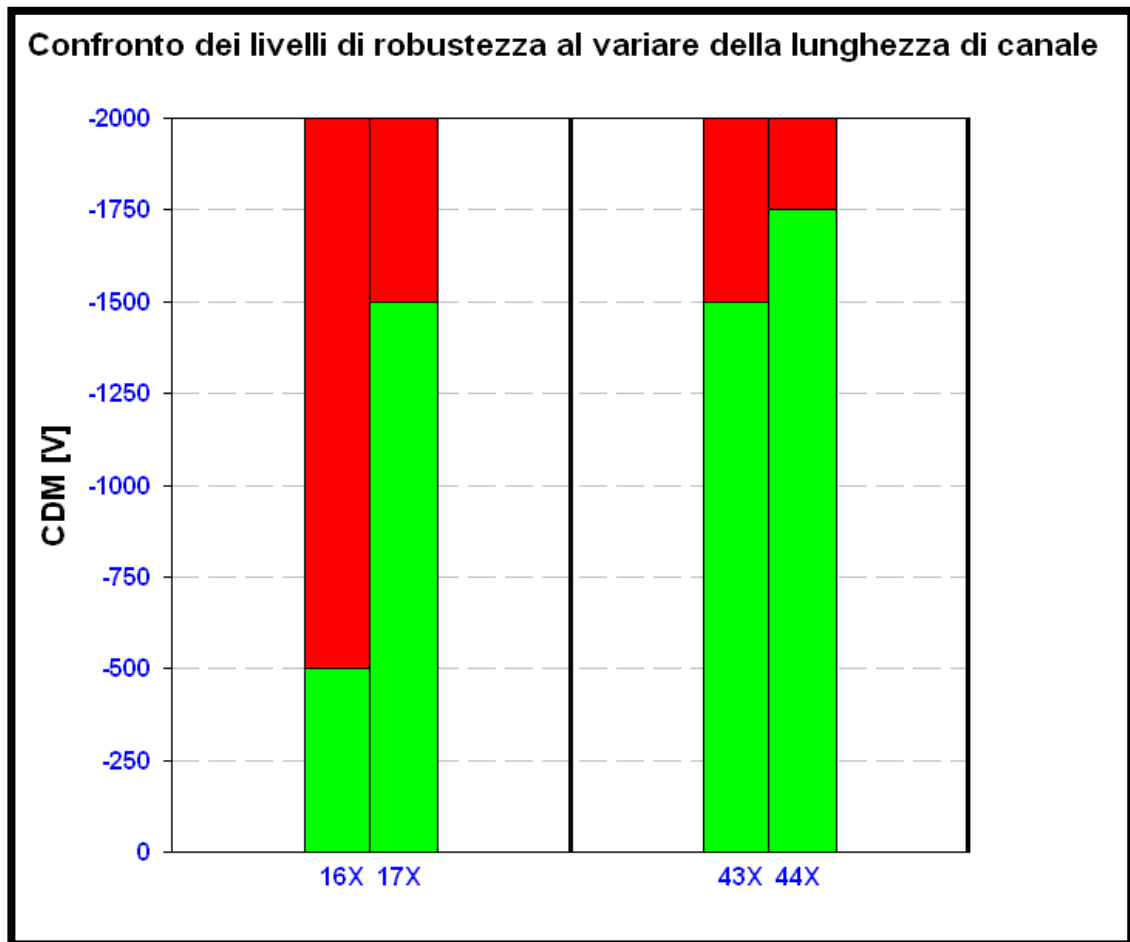


Figura 6. 6.45: Confronto delle soluzioni con MONITOR al variare della lunghezza di canale.

Come atteso dalle analisi fatte sui componenti isolati, all'aumentare della lunghezza di canale, aumenta anche la robustezza del dispositivo. La rottura anche per questi dispositivi avviene probabilmente per fallimento della protezione. L'aggiunta della resistenza in polisilicio aumenta ulteriormente la robustezza.

## 6.5 Protezioni con MONITOR (3 terminali)

La soluzione a tre terminali, come detto precedentemente, consente un'analisi più dettagliata delle strutture, permettendo di investigare, oltre alla caratteristica I-V di uscita del dispositivo, anche quella  $I_D-V_D$  ed  $I_D-V_G$ . In questo modo si può avere una maggiore sensibilità sulle variazioni nel funzionamento dei componenti, potendone monitorare, oltre alla tensione di soglia, anche  $g_m$  e  $I_{DSat}$ . Per questi motivi, per l'analisi di questi dispositivi, è stato sufficiente il monitoraggio tramite LTX.

### 6.5.1. Robustezza a eventi CDM

Verrà ora analizzata la robustezza delle strutture a 2 terminali presentati in Tabella 6.18.

Come quanto fatto nel capitolo precedente, l'analisi verrà divisa in parti per consentire un miglior confronto tra strutture simili. Inizialmente si procederà analizzando le differenti soluzioni topologiche adottate.



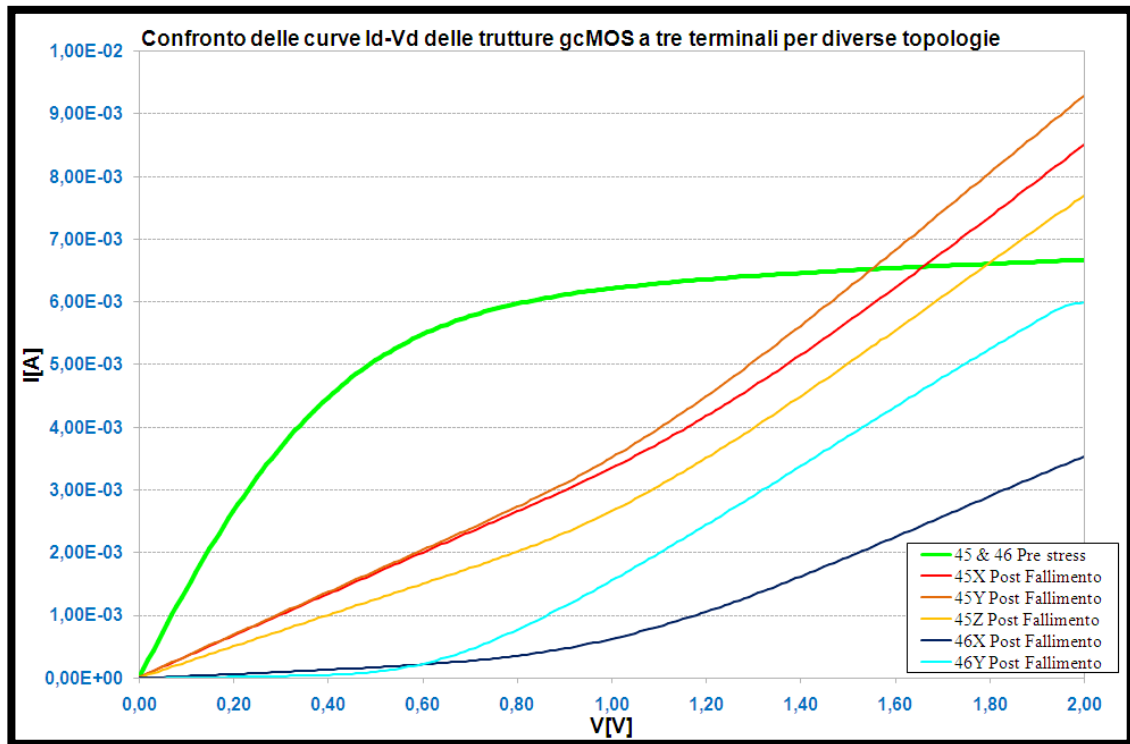


Figura 6.46: Caratteristica Id-Vd delle strutture gcMOS a tre terminali al variare della topologia.

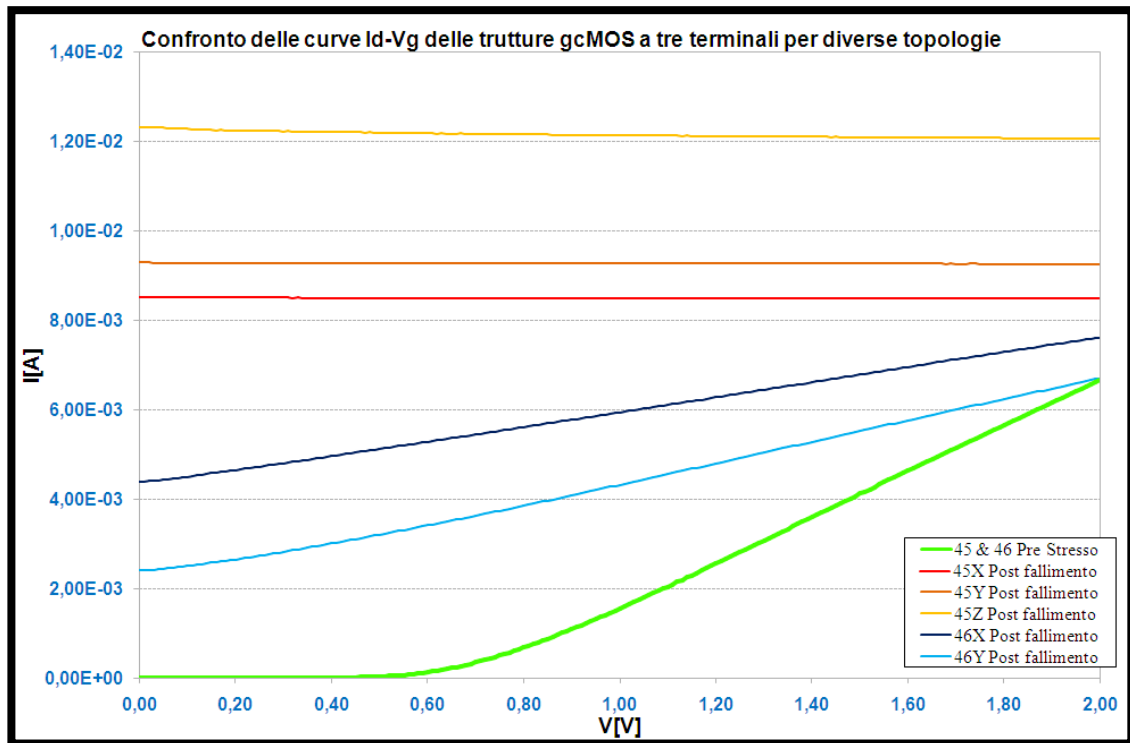


Figura 6.47: Transcaratteristica Id-Vg delle strutture gcMOS a tre terminali al variare della topologia.

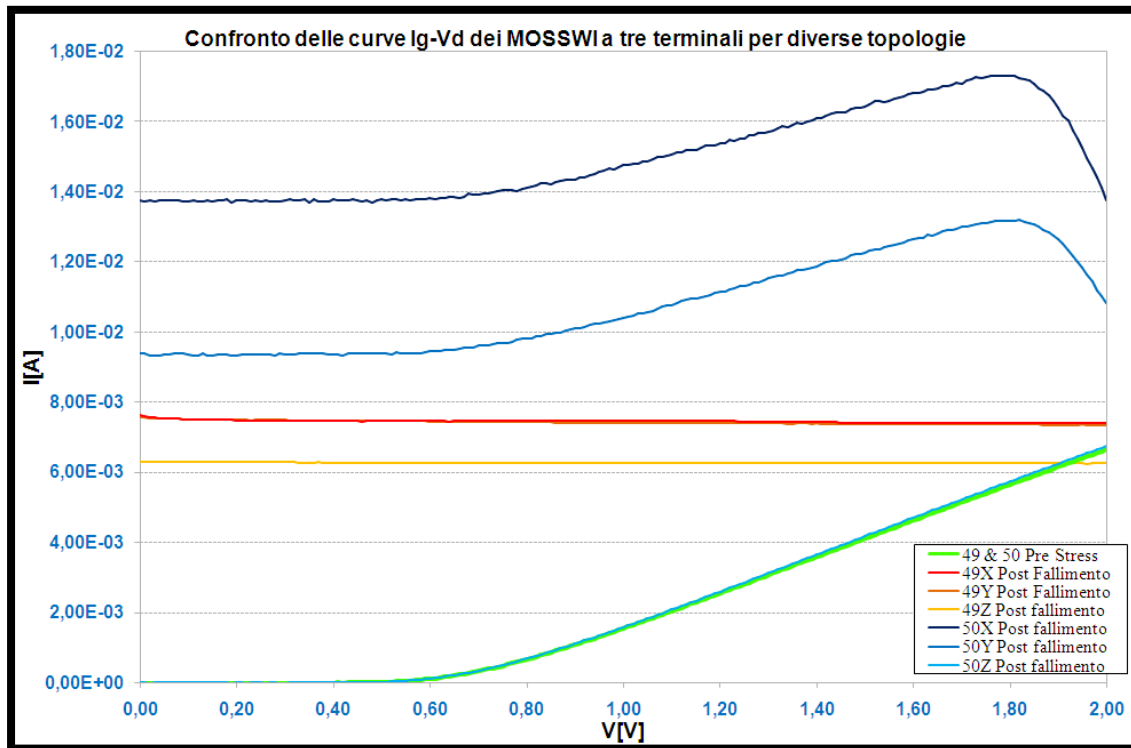


Figura 6.48: Caratteristica  $I_d$ - $V_d$  delle strutture MOSSWI a tre terminali al variare della topologia.

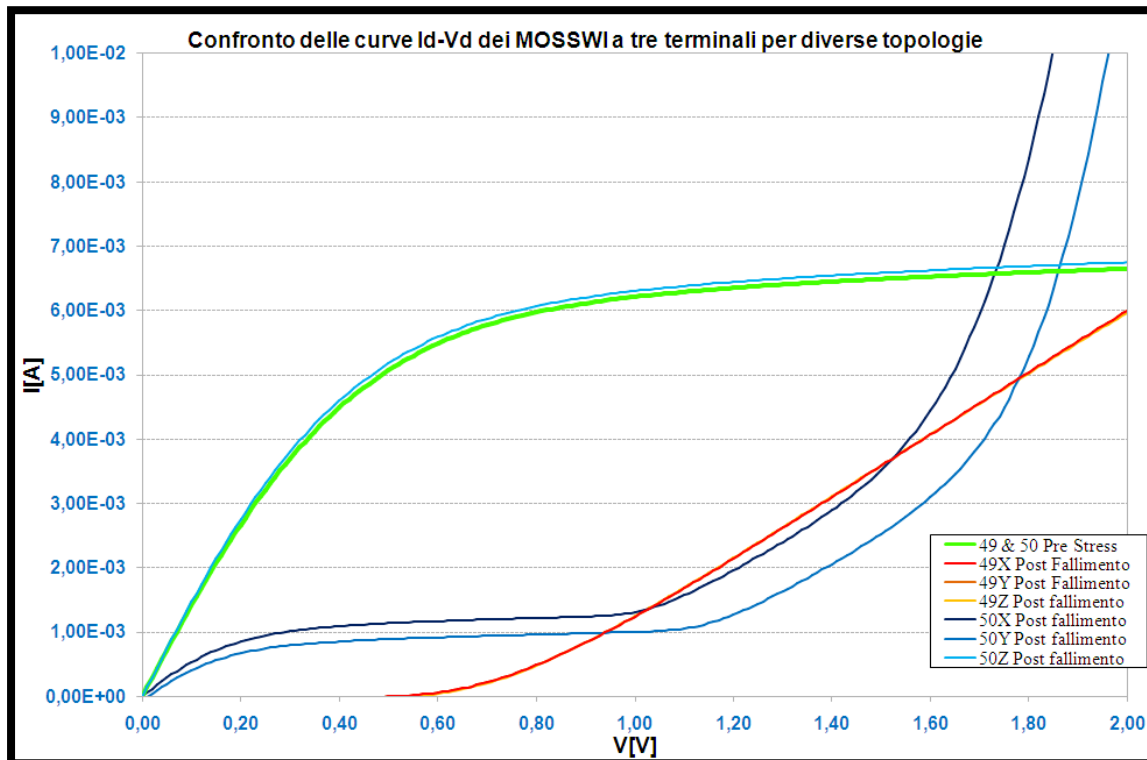


Figura 6.49: Transcaratteristica  $I_d$ - $V_d$  delle strutture MOSSWI a tre terminali al variare della topologia.

PROTEZIONI CON MONITOR (3 terminali)							
No.	Strutt.	W( $\mu$ m)	L( $\mu$ m)	Tipo	Class	Note	Fallimento
45X	gcMOS	100	0,18	3Terminali	1.8V	PAD 1	<-250V
45Y	gcMOS	100	0,18	3Terminali	1.8V	PAD 2	<-250V
45Z	gcMOS	100	0,18	3Terminali	1.8V	PAD 2 e Sub non a V <sub>ss</sub>	<-250V
46X	gcMOS	100	0,18	3Terminali	1.8V	Rpoly (1k $\Omega$ ) e PAD 1	-1000V
46Y	gcMOS	100	0,18	3Terminali	1.8V	Rpoly (1k $\Omega$ ) PAD 2	-1000V
49X	MOSSWI			3Terminali	1.8V	PAD 1	<-250V
49Y	MOSSWI			3Terminali	1.8V	PAD 2	<-250V
49Z	MOSSWI			3Terminali	1.8V	PAD 2 e Sub non a V <sub>ss</sub>	<-250V
50X	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) e PAD 1	>2000V
50Y	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) PAD 2	>2000V
50Z	MOSSWI			3Terminali	1.8V	Rpoly (1k $\Omega$ ) PAD 2 e Sub non a V <sub>ss</sub>	-2000V

Tabella 6.18: Robustezza ad eventi CDM di tutte le strutture a tre terminali.

Come si può osservare dalle Figura 6.46, Figura 6.47, Figura 6.48 e Figura 6.49, dati poi riassunti in Tabella 6.18, l'aggiunta della resistenza in polisilicio aumenta notevolmente la robustezza delle strutture. Inoltre si è osservato che l'utilizzo dei PAD#1 rispetto ai PAD#2 non apporta sensibili variazioni sulla robustezza dei componenti osservati.

La drastica riduzione della robustezza dei componenti a tre terminali rispetto alle controparti a due terminali è dovuta principalmente all'aggiunta appunto del terzo terminale accessibile. Un PAD può essere assimilato ad una grossa capacità parassita che si va a carica/scarica durante un fenomeno ESD, producendo picchi di corrente che possono danneggiare drasticamente i dispositivi interessati.

Dalle analisi fatte è risultato un dato discordante dalle attese, che è quello dell'efficacia dei dispositivi MOSSWI a tre terminali con resistenza in polisilicio, che risultano più performanti della controparte a due terminali. Questa incongruenza non è stata chiarita in questa tesi e sarà oggetto di studio in STM.

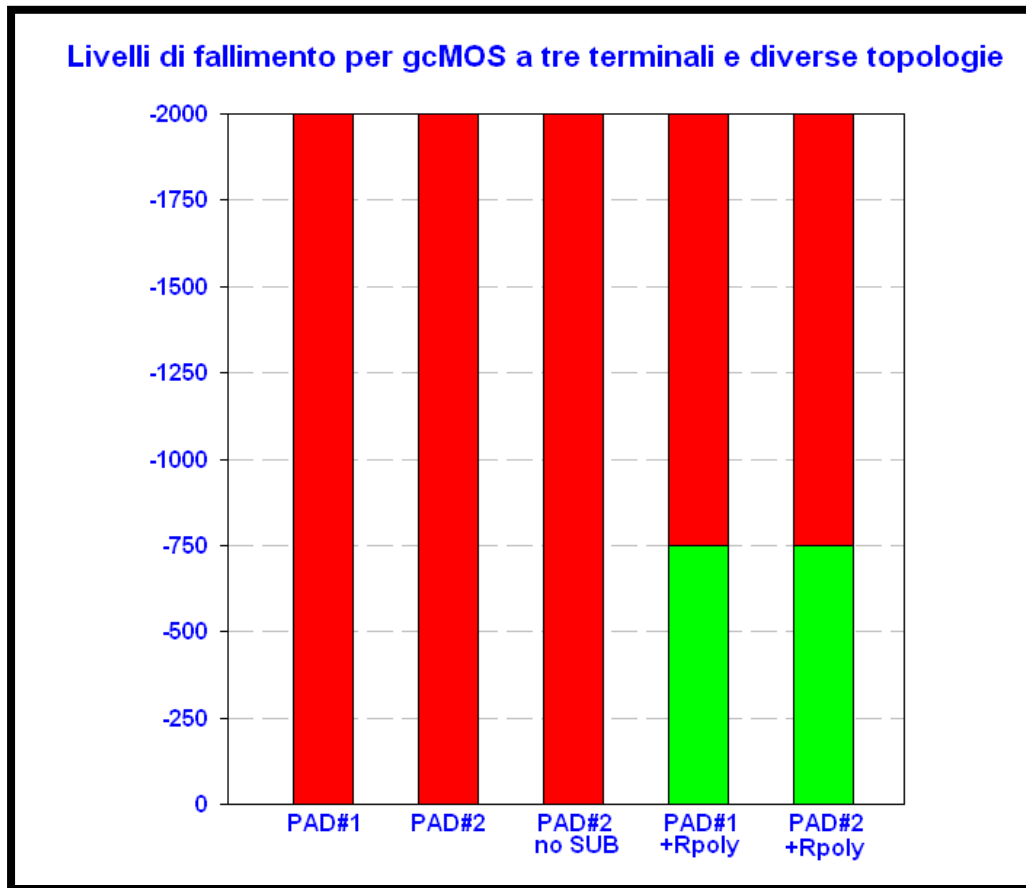


Figura 6.50: Confronto del livello di fallimento per componenti gcMOS a tre terminali al variare della topologia e del PAD utilizzato.

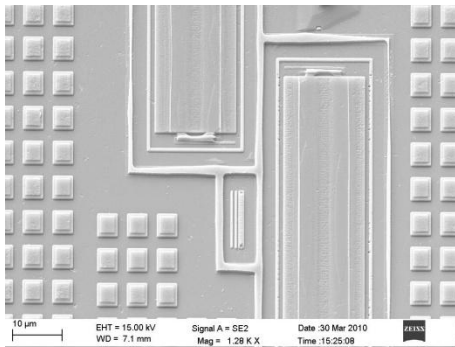
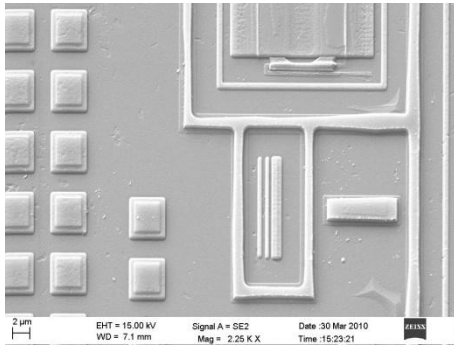


Figura 6.51: Immagine SEM del dispositivo 45X.



**Figura 6.52: Immagine SEM del dispositivo 46X.**

Le immagini al microscopio elettronico hanno avvalorato le ipotesi fatte precedentemente, in quanto nelle strutture gcMOS a tre terminali risultano esserci buchi sull'ossido del MONITOR.

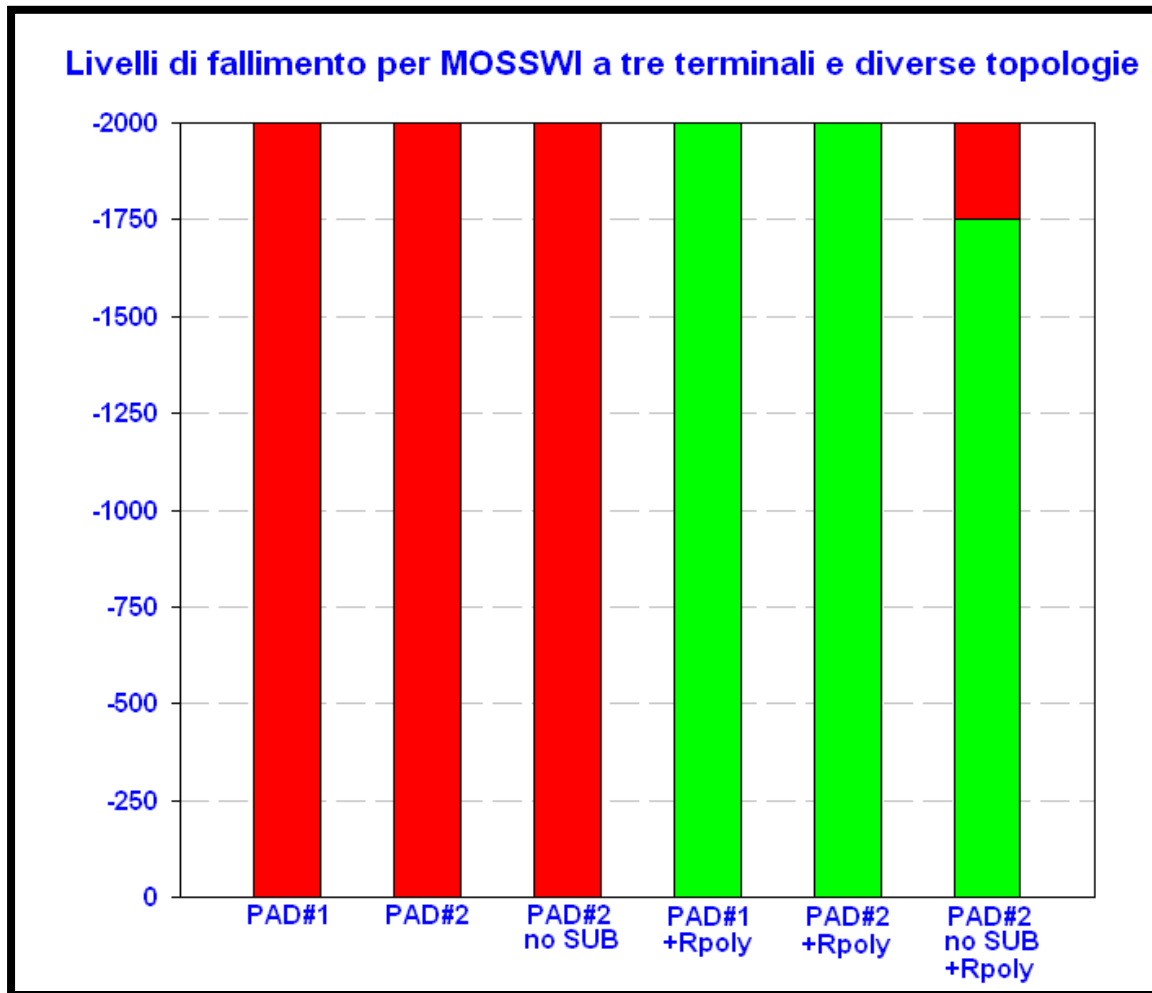


Figura 6.53: Confronto del livello di fallimento per componenti MOSSWI a tre terminali al variare della topologia e del PAD utilizzato.

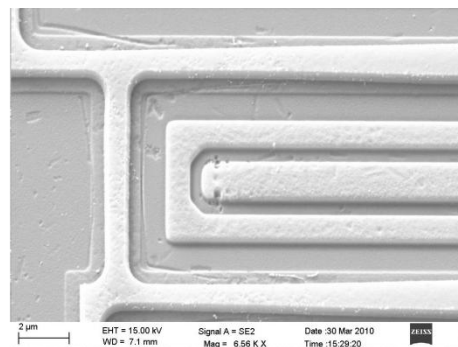
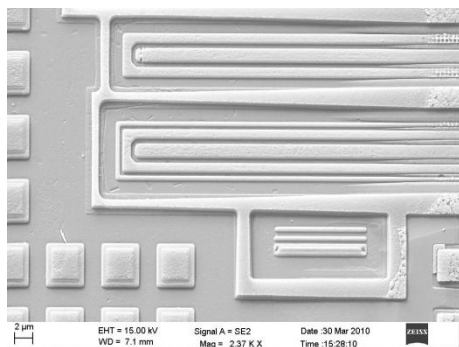
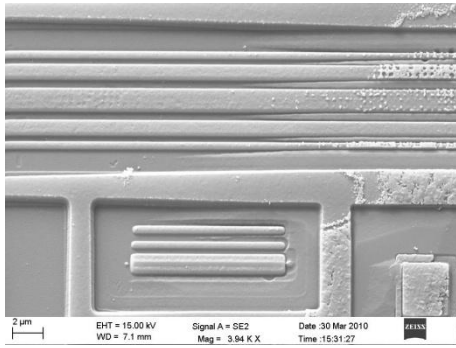


Figura 6.54: Immagine SEM del dispositivo 49X.

## Capitolo 6: Risultati sperimentali



**Figura 6.55: Immagine SEM del dispositivo 50X.**

Anche per i dispositivi MOSSWI vale quanto detto per quelli gcMOS, infatti, anche in questo caso, i fallimenti sono dovuti a danneggiamenti sull'ossido del MONITOR. Nel caso di MOSSWI con resistenza in polisilicio non si sono invece rilevati danneggiamenti.





## CONCLUSIONI

Questo lavoro sullo studio di alcune protezioni da eventi ESD di tipo CDM si è articolata principalmente in tre fasi. Il primo passo è stato quello di caratterizzare i dispositivi interessati, di studiarne le caratteristiche e di determinarne una eventuale robustezza a scariche di questo tipo. Si è poi proceduto a testare i componenti in ambito CDM in diverse configurazioni e condizioni, in modo da avere un' ampia visione dei fenomeni in gioco. L'ultima fase è stata quella di studiare i dati accumulati e cercarne una spiegazione teorica al fine di poter scegliere quali siano le migliori soluzioni a livello di protezioni a scariche elettrostatiche in funzione delle condizioni al contorno. Si possono trarre quindi le seguenti conclusioni:

- La tensione di fallimento degli ossidi di gate analizzati dipende in modo lineare dalla durata dell'impulso di stress. Questa conclusione è supportata, come detto nel capitolo sei, dal lavoro in più larga scala svolto all'Università di Padova dal prof. Meneghesso.
- L'utilizzo della configurazione Body Av. permette la conduzione immediata dell'intero dispositivo il che si traduce in una tensione di hold minore.
- Variando la lunghezza del canale di un MOSFET, si può modulare la tensione di hold, in quanto il guadagno del bipolare parassita è inversamente proporzionale alla lunghezza del canale.

- I dispositivi gate coupled e gate grounded non presentano comportamenti diversi nell'ambito delle scariche elettrostatiche, per lo scarso accoppiamento della seconda configurazione.
- La configurazione gcMOS standard è più robusta agli stress CDM di quelle con Body Av., PNP o a MOSSWI, sia nelle protezioni isolate, che in quelle con MONITOR. Inoltre i fallimenti riscontrati sui dispositivi standard sono sempre stati fallimenti soft. La robustezza di queste protezioni è indipendente dallo spessore dell'ossido, mentre aumenta all'aumentare sia della larghezza che della lunghezza del canale.
- L'utilizzo della rete in polisilicio o l'aggiunta di una rete  $\pi$  migliorano le performance di tutti i componenti analizzati.
- L'aggiunta di un terzo PAD, a causa della capacità parassita aggiuntiva degrada la robustezza dei dispositivi. L'efficacia delle protezioni non è influenzata da quale dei due tipi di PAD viene utilizzato.
- Inoltre l'analisi su tre terminali non fornisce alcuna informazione aggiuntiva sul comportamento dei dispositivi, in quanto non si è riscontrata alcuna deriva parametrica delle strutture analizzate prima del fallimento hard.
- Resta aperto il punto sull'efficacia dei dispositivi MOSSWI a tre terminali e resistenza in polisilicio che sembrano avere efficacia superiore alla robustezza intrinseca della protezione.

## **APPENDICE**

Per le misure CDM è stato utilizzato il tester RCDM della Thermo Scientific<sup>®</sup>. Si è proceduto stressando i dispositivi interessati con diverse tensioni di precarica e con serie di impulsi di differente ripetizione. In questo modo si è potuto distinguere se il fallimento avviene per accumulo di cariche nell'ossido o per troppo elevata tensione ai capi dello stesso. In questa appendice sono stati raccolti i valori dei picchi di corrente erogati dal tester CDM per tensione di precarica applicata. Grazie all'elevato numero di misure effettuato si è potuta redigere una statistica affidabile, utile a definire le variazioni sul valore del primo picco negativo e del primo positivo dell'impulso di corrente.

Tutte le forme di corrente degli impulsi CDM sono state acquisite tramite un oscilloscopio e ci si è voluti soffermare nell'analisi dei picchi di corrente al variare della tensione di precarica della struttura CDM, per poter meglio analizzare i risultati. Come già detto nei capitoli precedenti, questa tipologia di test è molto sensibili alle condizioni ambientali e ai componenti parassiti presenti. Ciò porta ad una scarsa riproducibilità delle misure e, come si vedrà alla fine di questa appendice, ad una scarsa pilotabilità delle stesse.

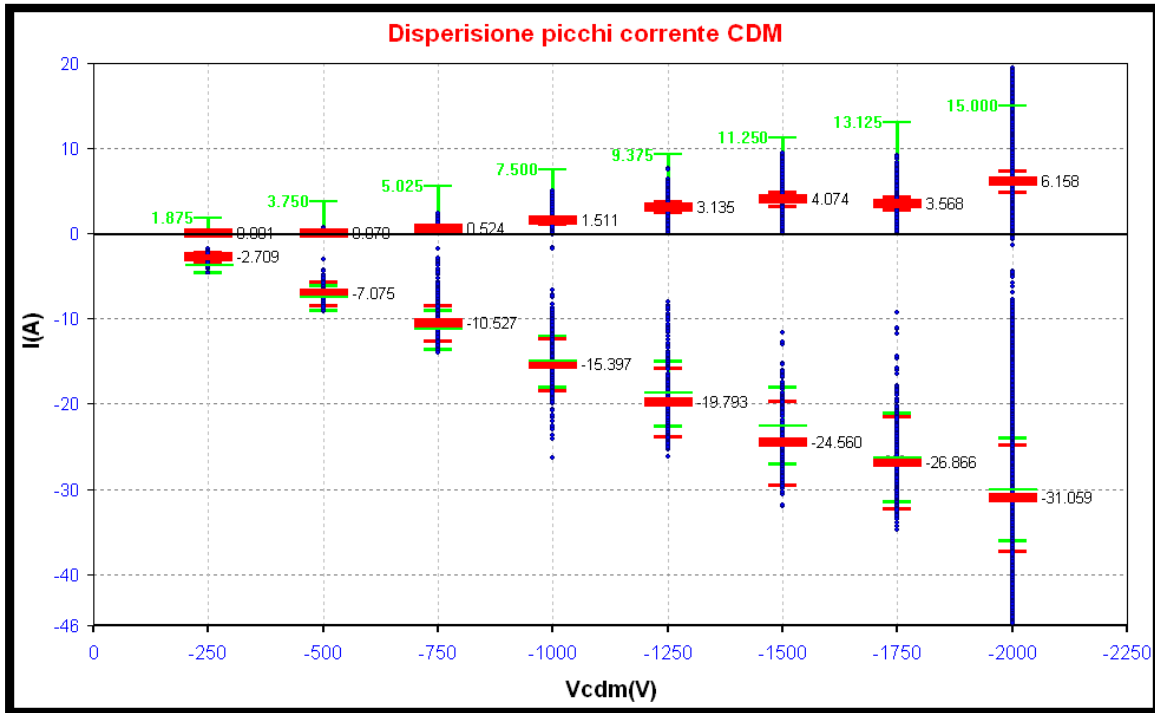


Figura 0.1: Riassunto dei picchi di corrente CDM per tensione di precarica.

In Figura 0.1 si possono vedere il primo picco di corrente, negativo, e il secondo, positivo, al variare della tensione di precarica CDM. Per avere un'adeguata statistica sono state raccolte oltre 10000 forme d'onda. Il valore in rosso indica il valore medio misurato, con la barra degli errori al 20%, mentre quello in verde indica la zona di accettabilità per misure con standard ESDA. È evidente che all'aumentare della tensione, aumenta anche il numero di punti al di fuori della zona accettabile. Per tensioni di precarica di -2000V si ha addirittura quasi una soluzione di continuità tra picchi positivi e picchi negativi. Le case madri dei tester consigliano, infatti, di eseguire test sino a 1500V di tensione di precarica.

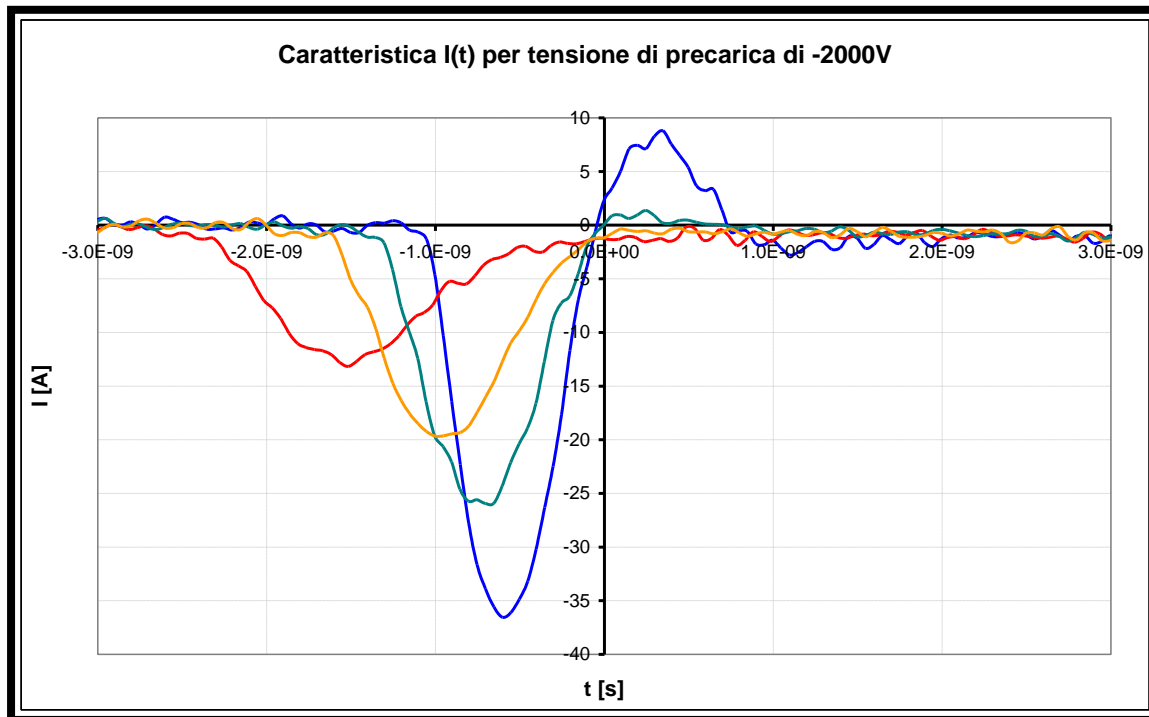
<b>Punti fuori range ESDA (1° picco &lt;0)</b>			
<b>V precarica</b>	<b>TOT p.ti</b>	<b>p.ti OUT of Standart</b>	<b>% p.ti OUT</b>
<b>-250 V</b>	297	222	75%
<b>-500 V</b>	297	35	12%
<b>-750 V</b>	793	142	18%
<b>-1000 V</b>	892	211	24%
<b>-1250 V</b>	396	102	26%
<b>-1500 V</b>	396	103	26%
<b>-1750 V</b>	396	65	16%
<b>-2000 V</b>	6770	3660	54%
<b>TOT</b>	10237	4540	44%
<b>Percentuale fallimenti pesata</b>			<b>31%</b>

**Tabella 0.1: Riassuntivo dei primi picchi negativi al di fuori del range ammesso nello standard ESDA.**

In Tabella 0.1 sono riassunti il numero totale delle curve acquisite per tensione di precarica e il numero di quante di queste non soddisfino le specifiche presentate per lo standard ESDA sia per il valore del primo picco negativo, che per il primo positivo. Le tensioni più problematiche sono -2000V e -250V in cui si ha una percentuale di fallimento superiore al 50%. Per quanto riguarda i -2000V si sono già discussi precedentemente i motivi che portano ad un tale numero di fallimenti.

Nel caso della tensione di precarica di -250V si può ipotizzare una tensione effettiva minore di quella specificata. Tutti i punti per questa tensione di precarica fuori dallo standard non rientrano nell'intervallo di correnti specificato da ESDA essendo compresi tra 0 e 3V. Si può ipotizzare che questo problema derivi da un errata stima dei parametri parassiti del sistema durante la calibrazione.

Analizzando più approfonditamente le curve di corrente, si nota che non è solo l'ampiezza a variare, ma anche la durata dell'impulso di corrente, questo indipendentemente dalla calibrazione fatta.



**Figura 0.2: Differenti forme di corrente per tensione di precarica a -2000V su struttura 50Z.**

Come si può vedere in Figura 0.2 l'ampiezza delle forme d'onda può variare, in questo caso, da -35A a -12.5A, mentre la durata dell'impulso varia tra circa 1ns a quasi 2ns. Questi fenomeni di dispersione delle curve sono dovuti, oltre che ai componenti parassiti dei circuiti, al fenomeno di scarica in aria (§2.2 *Scarica in aria, arco ed effetto corona*) che dipende fortemente dalla punta del tester, dai pin del package e dall'atmosfera in cui avviene la scarica. All'aumentare della tensione di precarica si possono formare delle scariche a corona, che vanno a coinvolgere non solo il pin interessato dalla misura, ma anche quelli adiacenti. Ciò causa una possibile diminuzione della corrente misurata a quel determinato pin. Questo potrebbe spiegare la non completa riproducibilità del valore del primo picco di corrente. Per quanto riguarda il variare della durata degli impulsi, si può immaginare che sia dovuta alla capacità parassita tra package e piano di massa, in quanto può variarne lo spessore e la costante dielettrica. Lo spessore è, infatti, dipendente dalla pulizia del package e del piano di massa e dalla capacità della pompa a vuoto di far aderire i due piani.

## BIBLIOGRAFIA

- 
- [1] S.H. Voldman, *ESD physics and devices*, John Wiley & Sons Inc., Hobeken, Nj, USA, 2004.
- [2] Albert Z. H. Wang, *On – chip ESD protection for integrated circuits: an IC design perspective*. Kluver Academic Publishers, Norwell, Massachusetts, USA, second edition, 2003.
- [3] P. Bossard, R. Chemelli and B. Unger, *ESD damage from triboelectrically charged pins*. In Proc. 2nd EOS/ESD Symposium, ESD Association, Rome, NY, USA, pp. 17-22, 1980.
- [4] B. Murari, F. Bertotti, G.A. Vignola, *Smart Power ICs*, Springer Series in Advanced Microelectronics, Berlin, Germany, 2002.
- [5] Nihal Kularatna: *Power electronics design handbook: low-power components and applications*. Butterworth-Heinemann, Woburn MA, USA, 1998.
- [6] [www.elettronicanews.it](http://www.elettronicanews.it), 27/10/2007.

- 
- [7] D. Riccardi, A. Causio, I. Filippi, A. Palari, L. Vecchi, A. Pregnolato, P. Galbiati, C. Contiero, *BCD8 from 7V to 70V: a new 0.18 $\mu$ m Technology Platform to Address the Evolution of Applications toward Smart Power ICs with High Logic Contents*, Proceedings of the 19th International Symposium on Power Semiconductor Devices & ICs, Jeju, Korea, May 2007.
- [8] *Ionizzazione dei gas*, [http://it.wikipedia.org/wiki/Arco\\_elettrico](http://it.wikipedia.org/wiki/Arco_elettrico), 12/01/2010.
- [9] L.J. Roozendaal, A. Amerasekera, p. Bos, W. Baelde, F. Bontekoe, P. Kersten, E. Korma, P. Rommers, P. Krysz, U. Weber and P. Ashby, *Standard Testing*, in ESO/ESD Symposium Proceeding, pp 119-130, 1990.
- [10] D. Pierce, *ESD Failure Mechanisms*, ESD Symposium Tutorial, 1995-2005.
- [11] *White Paper 1: A Case for Lowering Component Level HBM/MM ESD Specifications and Requirements*, Industry Council on ESD Target Levels, Rev. 1.0, Agosto 2007.
- [12] R.G. Renninger, M.-C. Jon, D.L. Lin and T.L. Wesher, *A field-induced Charged Device Model simulator*, in Proc. 11<sup>th</sup> EOS/ESD Symposium, ESD Association, Rome, NY, USA, pp. 59-71, 1989.
- [13] H.A. Geiser, H. Wolf, W. Soldner, H. Reichl, A. Andreini, M.I. Natarajan, W. Stadler, *A traceable Method for the Arc-free Characterization and Modeling of CDM Testers and Pulse Metrology Chains*, Electrical Overstress/Electrostatic Discharge Symposium, Las Vegas, NV, USA, Settembre 2003.
- [14] Electrostatic Discharge Association, *Standard test for Electrostatic Discharge Sensitivity Testing – Charge Device Model (CDM) Component Level*, Rome, NY, USA, 2009.



- [15] JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, *Standard for Field-Induced Charged-Device Model Test Method for Electrostatic-Discharge-Withstand Thresholds of Microelectronic Components*, Arlington, VA, USA, 2009.
- [16] T. Maloney and N. Khurana, *Transmission Line Pulsing Techniques for Circuit Modeling of ESD Phenomena*, in Proc. 8th EOS/ESD Symposium, ESD Association, Rome, NY, USA pp. 49 - 54, 1985.
- [17] BieffeCavi, *RG 58 C/U*, Italia, 2008.
- [18] H.A. Geiser and H. Wolf, *Survey on Very Fast TLP and Ultra Fast Repetitive Pulsing for Characterization in the CDM-Domain*, IEEE International Reliability Physics Symposium, pp. 324-333, Phoenix, Arizona, USA, 2007.
- [19] H. Geiser and M. Haunschild, *Very-fast trasmission line pulsing of integrated structures and charged device model*, in Proc. 18th EOS/ESD Symposium, pp.85 – 94, 1996 and in Proc. 7th Reliability Conference of Japan, pp. 17 – 26, 1997 and in IEEE Trans. On Components, Packaging, and Manufacturing Technologic, Part C, Vol. 21, No. 4, pp. 278 – 285, 1998.
- [20] A. Amarasekera and C. Duvvury, *ESD in Silicon Integrated Circuits*, John Wiley & Sons LTD, Chichester, 1995.
- [21] L. J. Roozendaal, A. Amarasekera, P. Bos, W. Baelde, F. Bontekoe, P. Kersten, E. Korma, P. Rommers, P. Krysz, U. Weber and P. Ashby, *Standard ESD Testing*, in EOS/ESD Symposium Proceedings, pp. 119 – 130, 1990.

- 
- [22] *White Paper 2: A Case for Lowering Component Level CDM ESD Specifications and Requirements*, Industry Council on ESD Target Levels, Rev. 1, Marzo 2009.
- [23] J.J.Clement, *Electromigration modeling for integrated circuit interconnect reliability analysis*, IEEE Trans. On Device and Material Reliability, March 2001.
- [24] R.S.Muller, T.I. Kamins, M. Chan, *Device Electronics for Integrated Circuits*, 3rd Ed., John Wiley & Sons, Inc., Hoboken, NJ, USA, 2002.
- [25] S.H. Voldman, *ESD Circuits and Devices*, John Wiley & Sons Inc., England, 2006.
- [26] B. L. Hunter and B. K. Butka, *Damped transient power clamps for improved ESD protection of CMOS*, Microelectronics Reliability, vol. 46, N° 1, pp. 77-85, 2006.
- [27] O. Semenov, H. Sarbishaei, M. Sachdev, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies*, Springer Science & Business Media B.V., 2008.
- [28] Thermo Fisher Scientific, *Celestron Product Specification*, Lowell, MA, USA, 2008.
- [29] Thermo Fisher Scientific, *Celestron Operation Manual*, Fremont, CA, USA, 2009.
- [30] Thermo Fisher Scientific, *Orion Product Specification*, Lowell, MA, USA, 2008.

- 
- [31] LTX Credence, *X-Series EX, MX & LX Series Product Specifications*, Rel. 14.6.0, Milpitas, CA, USA, 2008.
- [32] E. Rosenbaum and J. Wu, *Trap Generation and Breakdown Processes in Very Thin Gate Oxides*. *J. Microelectronics Reliability*, volume 41, no. 5, pp. 625-32, May 2001.
- [33] Y. Fong and c. Hu, *The Effect of High Electric Field Transient on Thin Gate Oxide MOSFETs*. In *Proc. 9th EOS/ESD Symp.*, pp. n252-7, Orlando (FL), USA, 1987.
- [34] B. Weir, C.-C. Leung, P. J. Silverman and M.A. Alam, *Gate Dielectric Breakdown in the Time-scale of ESD Event*. *J. Microelectronics Reliability*, volume 45, no. 3-4, pp. 427-36, March-April 2005.
- [35] M. Heer, S. Bychikhin, V. Dubec, D. Pogany, E. Gornik, M. Dissegna, L. Cerati, L. Zullino, A. Andreini, A. Tazzoli, G. Meneghesso, *Analysis of the triggering behavior of low voltage BCD single and multi-finger gc-NMOS ESD protection devices*, in *Electrical Overstress/Electrostatic Discharge Symposium*, pp. 275-284, Tucson, AZ, USA, 2006.
- [36] C. Duvvury, S. Ramaswamy, A. Amerasekera, R.A. Cline, B. H. Andersen, V. Gupta, *Substrate Pump NMOS for ESD Protection Applications*, in *EOS/ESD Symposium 2000*.