



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



DIPARTIMENTO
DI INGEGNERIA
DELL'INFORMAZIONE

UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA TRIENNALE IN
INGEGNERIA ELETTRONICA

**Junction Field Effect Transistor in configurazione Resistore
Controllato in Tensione**

Relatore:
PROF. LEOPOLDO ROSSETTO

Laureando:
DANIELE SCARPA
1216270

Anno Accademico 2021/2022

Sommario

In questa tesi verranno dapprima introdotti i dispositivi ad effetto campo, le loro caratteristiche ed il loro funzionamento, per poi passare nello specifico ai transistori ad effetto campo a giunzione (JFET transistor), che verranno trattati e caratterizzati nello specifico al fine di poterli utilizzare come resistori controllati in tensione.

I resistori controllati in tensione implementati con dei transistor JFET sono una configurazione molto interessante da studiare, presentano però degli inconvenienti (come la non-linearità dell'andamento del valore della resistenza in funzione delle tensioni applicate ai terminali, il range limitato di valori di tensione utilizzabili o la distorsione armonica introdotta) alla quale si cercherà di porre rimedio.

Verranno illustrate alcune soluzioni circuitali che utilizzano per l'appunto dei VCR (Voltage Controlled Resistors) per la gestione del controllo del guadagno, per l'implementazione degli oscillatori, per la modulazione di segnali e altri circuiti che vedono coinvolto il transistor JFET in questa configurazione non "classica". Risulterà quindi evidente come i VCR possano automatizzare dei processi che dovrebbero altrimenti essere effettuati manualmente.

Durante la trattazione sarà utilizzato il software LTSpice, che inizialmente servirà per caratterizzare alcuni transistor JFET, poi per simulare le varie configurazioni circuitali al fine di osservarne e studiarne il funzionamento.

Indice

1	Transistor ad effetto campo (Field-Effect Transistors, FET)	1
2	I transistor JFET (Junction Field Effect Transistor)	2
2.1	Funzionamento dei JFET	3
2.2	Regioni di funzionamento	5
2.2.1	Regione di saturazione	5
2.2.2	Regione di breakdown	5
2.2.3	Regione ohmica	6
3	Voltage Controlled Resistor (VCR)	9
3.1	Non linearità dei JFET nella regione ohmica	13
4	Capacità parassite	16
5	Distorsione armonica	18
6	Principali parametri dei JFET utilizzati	19
7	Implementazione circuitale di un Voltage Controlled Resistor (VCR) utilizzando transistor JFET	24
7.1	Partitore di tensione	24
7.1.0.1	Distorsione armonica nel partitore di tensione	27
7.1.1	Implementazione del feedback negativo	31
7.1.1.1	Distorsione armonica nel partitore di tensione con feedback	32
7.1.2	Estensione del range dinamico e lineare: il circuito di Nay-Budak	35
7.1.2.1	Distorsione armonica nel partitore di tensione implementato con il circuito di Nay-Budak	38
7.2	Controllo lineare del guadagno	40
7.3	Voltage Quotient Circuit	43
7.4	Circuiti ad avanzamento e ritardo di fase	45
7.5	Impiego negli oscillatori	48
7.5.1	Oscillatore a ponte di Wien con stabilizzatore d'ampiezza	48
7.5.1.1	Oscillatore sinusoidale a bassa distorsione armonica con stabilizzatore d'ampiezza basato sul controllo della tensione efficace	52
7.6	Circuiti modulatori di segnale	54
7.6.1	Circuito modulatore d'ampiezza con portante in alta frequenza	54
7.6.2	Double-sideband suppressed-carrier	55
7.7	Resistore di precisione flottante controllato in tensione	58
7.8	Interdipendenza dei parametri	62
8	Conclusioni	64
9	Bibliografia	65
	Libri	65
	Articoli	65

1 Transistor ad effetto campo (Field-Effect Transistors, FET)

I transistori ad effetto di campo sono dispositivi a semiconduttore dotati di tre terminali che vengono largamente utilizzati nei circuiti analogici e digitali. Tali dispositivi appartengono a due categorie fondamentali: i MOSFET (Metal Oxide Semiconductor FET) e i JFET (Junction FET).

I dispositivi FET sono dotati di molteplici peculiarità quali la semplicità di fabbricazione, il limitato utilizzo di area di silicio rispetto ad un transistor bipolare, l'elevata densità d'integrazione di componenti ed ultima, ma non meno importante caratteristica dei FET è che questi ultimi possono essere collegati in configurazioni tali da risultare equivalentemente come resistori il cui valore può essere controllato e variato tramite comando elettrico.

L'alta impedenza di ingresso e la bassa rumorosità in corrente che sono caratteristiche dei JFET offrono inoltre numerosi vantaggi nella realizzazione di circuiti dedicati ai segnali analogici.

Tutti i dispositivi ad effetto campo sono del tipo unipolare, cioè la corrente viene condotta dai portatori maggioritari presenti nel canale del FET (elettroni se si utilizza un n-channel, lacune se si utilizza un p-channel).

Il termine "effetto di campo" è impiegato per caratterizzare queste tipologie di dispositivi in quanto il principio di funzionamento si basa sull'impiego di un campo elettrico generato da una tensione applicata ad un terminale di controllo per controllare la corrente che scorre nel dispositivo.

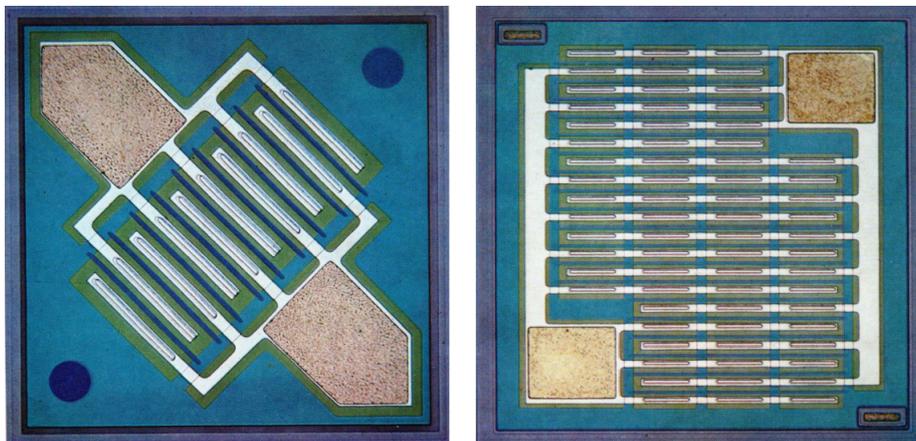


Figura 1: Geometria di due transistor JFET

2 I transistor JFET (Junction Field Effect Transistor)

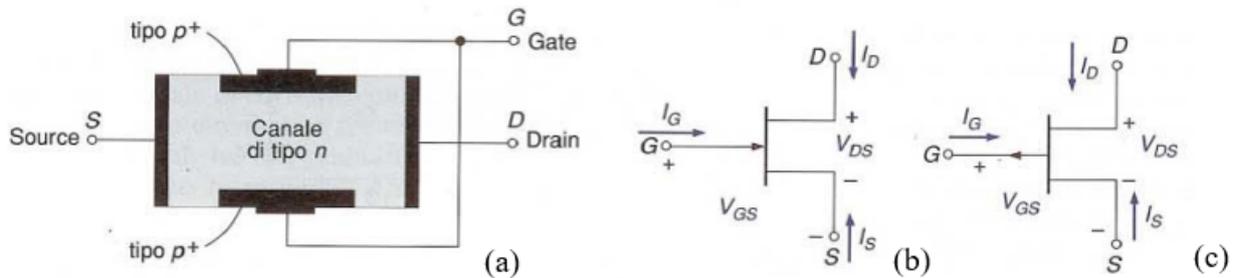


Figura 2: Transistor JFET

Come è possibile osservare dalla Figura (2a) nella quale è raffigurato un JFET a canale n, i terminali di drain e di source sono costituiti dai contatti ohmici non rettificanti (ad esempio d'alluminio) posti agli estremi di una barra di semiconduttore drogato di tipo n (drogato con atomi donatori del V gruppo come fosforo, antimonio, arsenico).

Applicando una differenza di potenziale tra i terminali di drain e source, i portatori maggioritari (elettroni) scorrono lungo la barra. Il terzo terminale, chiamato gate, viene ottenuto connettendo esternamente tra loro le due sottili regioni p_+ .

La regione di tipo n situata tra i due gate (regioni p_+) viene identificata come il canale lungo il quale i portatori maggioritari si muovono tra source e drain.

In Figura (2) sono rappresentati i simboli circuitali di un transistor JFET a canale n (Figura (2b)) e a canale p (Figura (2c)) dalla quale si può intuire che la trattazione di un dispositivo a canale n si può estendere anche ai dispositivi a canale p con i dovuti accorgimenti.

Risulta interessante evidenziare che in molti dispositivi JFET i terminali di drain e source sono intercambiabili, in quanto progettati con geometria simmetrica (come è possibile osservare in Figura (1)); esistono però dispositivi specifici (ad esempio per amplificatori in alta frequenza) realizzati con geometria asimmetrica al fine di migliorare la risposta in frequenza del dispositivo.

[9]

2.1 Funzionamento dei JFET

La trattazione d'ora in poi verrà sempre effettuata con riferimento al modello di JFET con il canale drogato tipo n, si tratta di dispositivi performanti circa il doppio rispetto la controparte tipo p in quanto le cariche maggioritarie (elettroni) sono dotate di una maggiore mobilità rispetto alle lacune, contribuendo ad aumentare la conducibilità del canale.

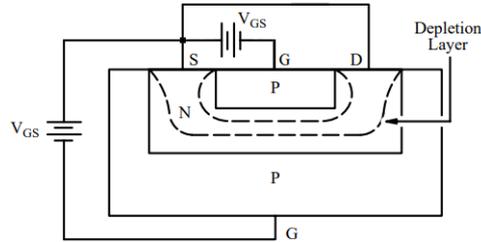


Figura 3: Transistor JFET a canale n

Con riferimento alla Figura (3) è possibile iniziare la descrizione del funzionamento dei dispositivi JFET.

Per un corretto funzionamento è indispensabile che le giunzioni pn al gate siano contropolarizzate, o comunque sotto tensione di soglia V_γ (il cui valore solitamente di aggira attorno gli 0.5V per il silicio) per fare in modo che la corrente di gate assuma valori trascurabili.

Per contropolarizzare la giunzione è ovviamente necessario fornire una tensione negativa tra gate e source ed è molto importante osservare che in questo modo si vengono a creare nelle zone adiacenti alle giunzioni delle regioni dette “regioni di svuotamento”, cioè zone prive di portatori di carica: la diffusione dei portatori attraverso la giunzione lascia infatti ioni positivi non compensati nella zona n e ioni negativi non compensati nella zona p. È proprio sul meccanismo dell'estensione delle regioni di svuotamento che si basa il funzionamento di questa tipologia di dispositivi. Rendendo più negativo il valore della tensione applicata tra gate e source, quindi, aumenterà l'ampiezza della regione di carica spaziale. Per far sì che queste regioni si estendano soprattutto nella regione di canale tipo n e non nelle zone alla quale sono collegati i terminali di gate, solitamente si utilizza drogare in percentuale maggiore le regioni di tipo p rispetto alle regioni di tipo n.

Osservando la Figura (3) è possibile notare la presenza delle regioni di svuotamento ed è possibile intuire che contropolarizzando debitamente le giunzioni di gate è possibile arrivare ad un'estensione tale da svuotare quasi completamente il canale n dai portatori mobili di carica, ottenendo quindi una drastica diminuzione della conducibilità del canale: la tensione V_{GS} alla quale questo fenomeno avviene è chiamata tensione di “cut-off” o di “pinch-off” ed è solitamente indicata con $V_{GS(OFF)}$.

È necessario inoltre far notare che tutte le ipotesi sono state effettuate con valori di V_{DS} prossimi allo zero, ma la formazione delle regioni di svuotamento avviene per qualsiasi valore di V_{DS} .¹

Mantenendo ora $V_{GS} = 0V$ e iniettando corrente dal terminale di drain a quello di source si osserva che l'aumento di potenziale della regione di drain genera una regione di svuotamento vicino al terminale di drain ma non altera la regione vicina al source (Figura (4)).

¹Valori di V_{DS} che siano ragionevolmente sotto la tensione di breakdown, ad esempio BV_{DSS} se $V_{GS} = 0V$.

Anche in questo caso, la tensione V_{DG} alla quale le due regioni di carica spaziale iniziano ad occupare quasi tutto il canale riducendone (ma non annullandone) la conducibilità è chiamata tensione di "pinch-off dovuta alla tensione applicata terminale di drain" ed è indicata con V_P (il fenomeno è osservabile in Figura (6)).

È doveroso osservare che finché la giunzione pn tra il gate e il canale rimarrà polarizzata inversamente, la corrente di gate si può considerare nulla, e ovviamente dovrà valere la relazione

$$I_D = I_S \quad (1)$$

Cioè la corrente di drain sarà identica a quella di source.

Attraverso questa osservazione è possibile affermare che il modulo della tensione di cut-off $V_{GS(OFF)}$ sarà approssimativamente uguale al modulo della tensione di pinch-off V_P (condizione che verrà verificata anche dalle simulazioni alla Sezione 6 [5] :

$$|V_{GS(OFF)}| = |V_P| \quad (2)$$

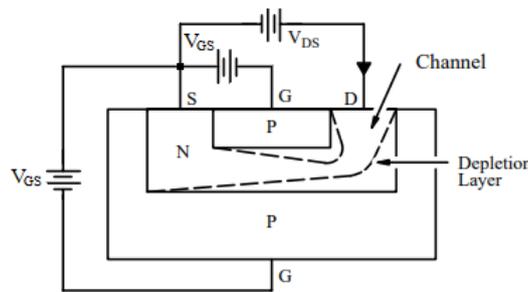


Figura 4: Regione di Svuotamento asimmetrica

Combinando entrambi gli effetti di polarizzazione dei tre terminali si può agevolmente modificare il comportamento del dispositivo variando quelle che vengono definite "regioni di funzionamento", illustrate nella Figura (5).

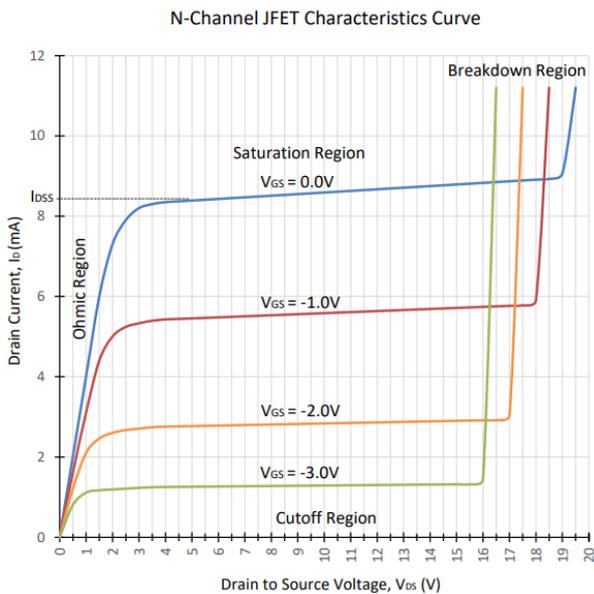


Figura 5: Regioni di funzionamento

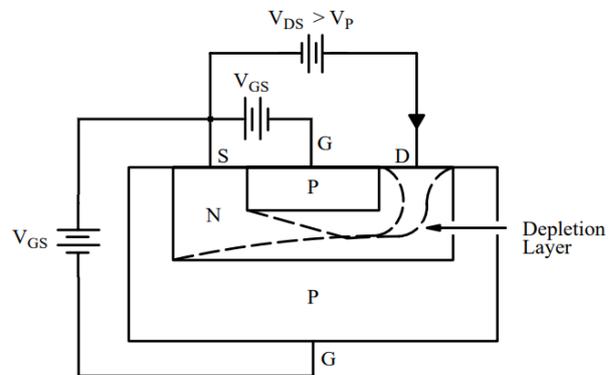


Figura 6: Pinch-off del canale a V_P

2.2 Regioni di funzionamento

2.2.1 Regione di saturazione

Si può osservare dal grafico in Figura (5) come per ciascun valore di V_{GS} esista un tratto della caratteristica dove si verifica un appiattimento dell'andamento della corrente di drain I_D rispetto alla variazione di V_{DS} . In presenza di una corrente di I_D si osserva (Figura (4)) come la regione vicina al terminale di drain risulti polarizzata inversamente molto più di quella di source, causando uno "strozzamento" limitato del canale che ostacola il normale flusso di elettroni. Con riferimento alla simbologia utilizzata in Figura (7), il fenomeno dello strozzamento avviene in quanto al crescere di V_{DS} , il rapporto $\frac{V_{DS}}{L'}$ (cioè il campo elettrico E_x generato da V_{DS}) e I_D aumentano, mentre la distanza tra le due zone di svuotamento delle giunzioni di gate si restringe, ne consegue quindi che la corrente ora debba scorrere attraverso una sezione limitata: ciò causa un aumento di densità di corrente, che seguirà un andamento dettato da

$$J = \frac{I_D}{2b(x)W} \quad (3)$$

con $b(x)$ distanza tra le regioni di svuotamento e W dimensione del canale in direzione perpendicolare a x .

Continuando ad aumentare il valore della V_{DS} , lasciando inalterato il valore di V_{GS} , il canale si porterà in una condizione di restringimento in continuo aumento (L' che si sta allargando) lasciando però sempre una minima sezione libera del canale (indicata con δ).

In questa regione si definisce I_{DSS} (drain-to-source current with gate shorted to the source) il valore della corrente fissato il valore di $V_{GS} = 0V$ ed è uno dei parametri fondamentali che guidano un progettista alla scelta di un componente.

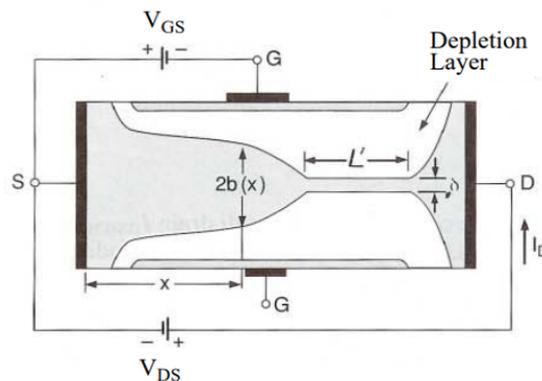


Figura 7: Sezione di un JFET in regione di saturazione

2.2.2 Regione di breakdown

Utilizzando ancora una volta il grafico in Figura (5) si può osservare come per un certo valore V_{DS} , fissata una V_{GS} , si ottenga un rapido aumento della corrente I_D in seguito ad una piccola variazione di V_{DS} . Questo è dovuto alla tensione di rottura, definita come il valore di tensione massima applicabile tra i terminali di drain e source, nonché la minima tensione che causa un fenomeno di breakdown a valanga attraverso la giunzione di gate. È utile osservare anche che

questo fenomeno avviene per valori sempre minori di V_{DS} all'aumentare della polarizzazione inversa causata da V_{GS} in quanto corrisponde ad una situazione nella quale il valore della V_{DG} è costante: fissata $V_{GS} = 0V$, il valore di tensione di breakdown viene definito come BV_{DSS} (in questo caso $V_{DG} = BV_{DSS}$), parametro fornito molto spesso dai costruttori nei manuali tecnici.

2.2.3 Regione ohmica

L'ultima regione del grafico che rimane da analizzare è quella in prossimità dell'origine degli assi, delimitata dall'asse delle ordinate e da una curva ad andamento parabolico (Figura (10)), ed è la regione nella quale verranno fatti operare i transistor JFET nella trattazione di questa tesi.

Per prima cosa è utile notare che in questo caso sia V_{DS} che V_{GS} contribuiscono in modo significativo al valore di I_D diversamente a quanto avveniva nella regione di saturazione (la variazione della corrente I_D causata da una variazione di V_{DS} era di gran lunga trascurabile rispetto alla variazione dovuta ad una variazione di V_{GS}).

Al fine di comprendere al meglio il funzionamento dei Voltage Controlled Resistors questa regione verrà approfondita maggiormente.

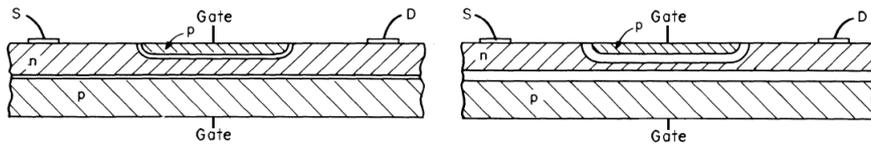


Figura 8: Aumento della regione di svuotamento dovuto alla tensione V_{GS}

Supponendo di applicare una piccola differenza di potenziale V_{DS} , il canale non mostrerà significativi cambiamenti per quanto riguarda la geometria e la simmetria, cosa che però avviene se è applicata una tensione V_{GS} come illustrato nelle immagini di Figura (8), che raffigurano due diversi scenari a due diverse V_{GS} e con V_{DS} dell'ordine dei mV.

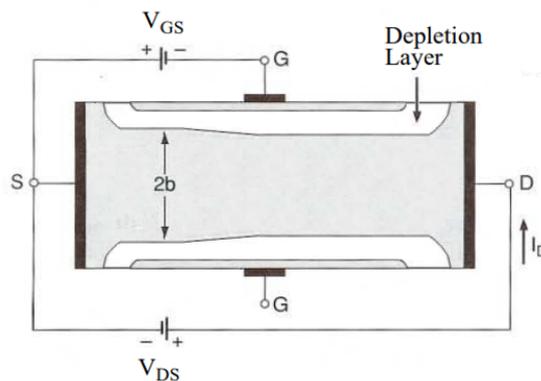


Figura 9: Sezione di un JFET nella regione ohmica (in questo caso $V_{GS} < 0$)

Con riferimento alla simbologia utilizzata nella Figura (9), definendo W come la dimensione del canale in direzione perpendicolare a b ed L lunghezza di tutto il canale è possibile allora definire la sezione di canale come $A=2bW$ (dove b ora non è più dipendente da x come in Figura (7) in

quanto le regioni di svuotamento si estendono uniformemente lungo il canale e l'effetto di V_{DS} è trascurabile).

Poiché nelle regioni di svuotamento non c'è flusso di corrente, è possibile indicare I_D come:

$$I_D = AqN_D E_x \mu_n = 2bWqN_D \mu_n \frac{V_{DS}}{L} = 2bqN_D \mu_n \frac{W}{L} V_{DS} \quad (4)$$

Nella quale la carica dell'elettrone è $q = -1,602210^{-19}C$, tenendo conto del drogaggio attraverso il parametro N_D , della mobilità degli elettroni con μ_n e del campo elettrico generato da V_{DS} attraverso E_x .

Ciò che si vuol evidenziare da questi risultati è che il valore di I_D , per valori ragionevolmente bassi di V_{DS} (rispetto a $|V_{GS} - V_{GS(OFF)}|$) è quasi completamente dipendente dal valore di V_{GS} . Diventa utile definire il rapporto $\frac{V_{DS}}{I_D}$ in corrispondenza dell'origine degli assi ad una tensione $V_{GS} = 0V$ come $r_{DS(ON)}$ in quanto si tratta di un parametro che "misura" la differenza tra un JFET e un interruttore chiuso ideale, il cui valore è ovviamente nullo. Dalla (4) si ottiene:

$$r_{DS(ON)} = \frac{1}{2bqN_D \mu_n} \left(\frac{L}{W} \right) \quad (5)$$

Con L lunghezza del canale in quanto le regioni di svuotamento si estendono uniformemente lungo di esso ma non causano strozzature (V_{DS} piccola rispetto a $|V_{GS} - V_{GS(OFF)}|$). Il rapporto $\frac{L}{W}$ che è stato evidenziato nell'ultimo passaggio, descrive come I_D , e quindi anche $r_{DS(ON)}$, siano dipendenti dalle dimensioni geometriche del componente: su uno stesso chip, con gli stessi livelli di drogatura è quindi possibile ottenere dispositivi con transcaratteristiche molto diverse. Il valore di $r_{DS(ON)}$ è strettamente correlato inoltre alla mobilità dei portatori di carica, fattore spesso discriminante nella scelta di un dispositivo a canale n o di tipo p. È quindi necessario che il rapporto $\frac{W}{L}$ sia mantenuto ad un valore alto se è richiesto un valore di $r_{DS(ON)}$ basso, scelta che deve essere effettuata tenendo in considerazione però che il prodotto $W * L$ è proporzionale all'area della giunzione gate-canale e conseguentemente alla capacità di gate. Nella maggior parte dei design realizzativi si cerca di mantenere bassi valori di L e adattare il valore di W di conseguenza.

In conclusione, la larghezza di canale (indicata con "b") è funzione della tensione V_{GS} : aumentando la tensione di contropolarizzazione si ottiene una diminuzione di b, conseguentemente di I_D e quindi un aumento della resistenza del canale. È fondamentale inoltre specificare che l'appiattimento dell'andamento di I_D (all'interfaccia tra regione ohmica e di saturazione) è dovuto all'aumento della sezione della regione di svuotamento che cresce tanto più V_{DS} tende a ridurre la I_D , facendo in modo che la condizione di pinch-off dovuta alla tensione applicata terminale di drain sia raggiunta quando si verifica $V_{DS} = V_{GS} - V_{GS(OFF)}$. In seguito a questa considerazione, si può concludere che una condizione per rimanere nella regione ohmica sia proprio che $V_{DS} < V_{GS} - V_{GS(OFF)}$. [9]

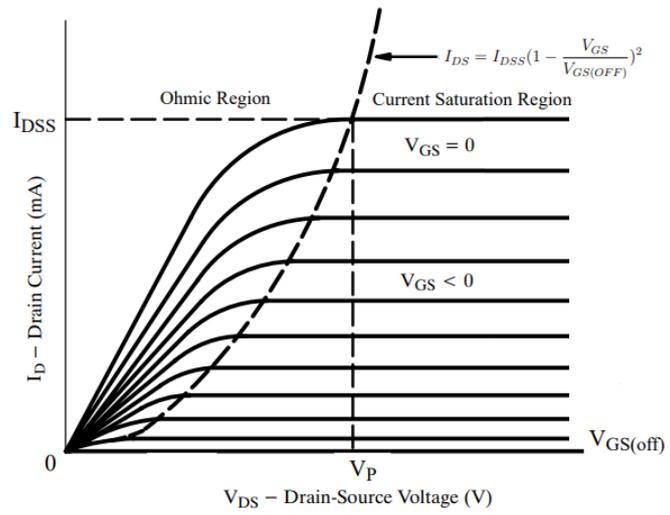


Figura 10: Separazione della regione ohmica dalla regione di saturazione per mezzo di $I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)^2$

3 Voltage Controlled Resistor (VCR)

Un resistore controllato in tensione, comunemente chiamato VCR (Voltage Controlled Resistor), è un dispositivo a tre terminali nel quale la resistenza tra due terminali è controllata dalla tensione applicata al terzo.

Come è stato ampiamente descritto nei paragrafi precedenti, i transistor JFET sotto certe condizioni di utilizzo si comportano esattamente come resistori controllati in tensione modificando la conducibilità del canale che collega il drain al source in funzione della tensione di gate-source V_{GS} .

Osservando la transcaratteristica nel grafico in Figura (5) è possibile porre dei limiti massimi e minimi al valore di resistenza che il canale può acquisire: il minimo valore di resistenza $r_{DS(ON)}$ si ottiene applicando una tensione $V_{GS} = 0V$ ed è dettato dalla geometria del dispositivo (come era stato osservato nella (5)), il massimo valore di resistenza del canale si otterrà invece per $V_{GS} \approx V_{GS(OFF)}$. Il comportamento del transistor per valori di V_{GS} tendenti alla tensione di cut-off è simile a quello di un interruttore aperto, dotato quindi di una resistenza molto grande (nell'ordine delle centinaia di $M\Omega$)

Nelle figure sottostanti sono state affiancati due grafici volti a comparare la transcaratteristica che correla I_D e V_{DS} di un transistor JFET operante nella regione ohmica per diversi valori di V_{GS} e l'andamento della corrente su quattro resistori con differenti valori.

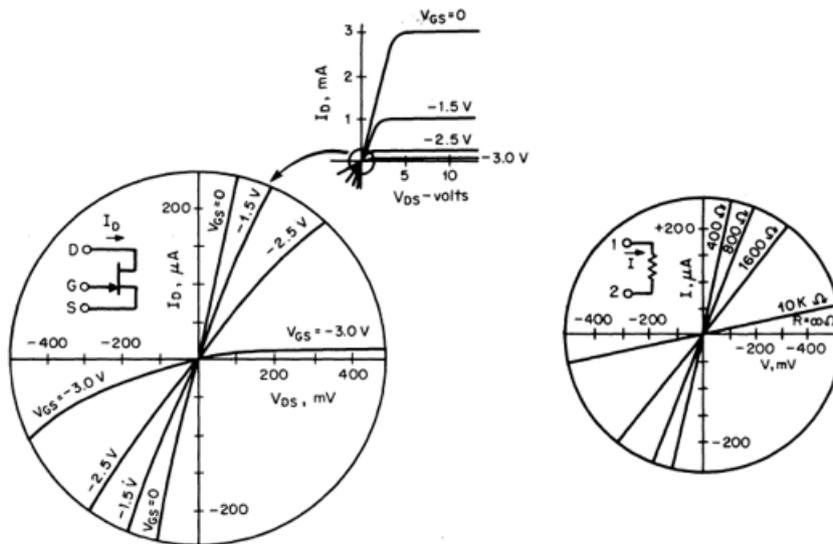


Figura 11: Regione ohmica del transistor JFET e andamento della corrente su un resistore

Risulta immediato notare quanto le caratteristiche del JFET siano simili alla caratteristica di un resistore per valori di V_{DS} nell'intorno dello zero (regione nella quale vengono solitamente impiegati).

È possibile quindi effettuare uno studio basato sull'ipotesi che in questa regione V_{DS} abbia effetti trascurabili sulla larghezza del canale che collega drain e source e che quindi la pendenza della caratteristica $I_D = f(V_{DS})$ risulti quasi costante e funzione di V_{GS} .

Per analizzare a fondo questo comportamento e per riuscire a derivarne una relazione che ne regoli il funzionamento è necessario definire la corrente I_D come:

$$I_D = \frac{Q}{\tau_t} \quad (6)$$

Dove τ_t è il tempo di transito medio dei portatori mobili di carica per spostare nel canale una quantità di carica Q dal terminale di source a quello di drain. È possibile suddividere la quantità di carica presente Q in due componenti: la carica già presente nel canale senza alcuna polarizzazione, chiamata Q_C , e una componente introdotta tramite la polarizzazione dovuta alla tensione V_{GS} , chiamata Q_G . Per contropolarizzare la giunzione di gate si necessita di V_{GS} minori di zero: la carica presente nel canale verrà in questo modo ridotta e da ciò ne deriva che Q_G assumerà un valore negativo. In seguito a tale affermazione esisterà quindi un valore di tensione V_{GS} tale da poter annullare la carica presente nel canale. Ipotizzando ora di avere una caduta di tensione uniforme lungo tutto il canale e quindi che quest'ultimo sia simmetrico (si può prendere come riferimento la Figura (3)), si ottiene un campo elettrico E costante e di valore pari a $\frac{V_{DS}}{L}$, con L lunghezza totale del canale.

Se i portatori di carica sono dotati di una mobilità costante μ_n , la velocità di drift (cioè la velocità media raggiunta dagli elettroni in movimento casuale quando viene applicato un campo elettrico esterno) è anch'essa costante di valore $\frac{\mu_n V_{DS}}{L}$: da ciò ne deriva che la velocità di transito media è definibile come

$$\tau_t = \frac{L^2}{\mu_n V_{DS}} \quad (7)$$

e quindi la corrente I_D di drain diventa :

$$I_D = \frac{Q_C + Q_G}{\tau_t} = G_C \left(1 + \frac{Q_G}{Q_C}\right) V_{DS} \quad (8)$$

Dove $G_C = \frac{\mu_n Q_C}{L^2}$ è definita come la conduttanza del canale senza alcuna polarizzazione (cioè $V_{GS} = 0V$). La carica addizionale Q_G introdotta dalla tensione V_{GS} può essere espressa (sotto l'ipotesi di campo elettrico E costante su tutto il canale) come

$$Q_G = C_G \left(V_{GS} - \frac{V_{DS}}{2}\right) \quad (9)$$

con C_G la capacità totale della giunzione di gate.

La corrente di drain risulta ora pari a:

$$I_D = G_C \left(1 + \frac{V_{GS} - \frac{V_{DS}}{2}}{\frac{Q_C}{C_G}}\right) V_{DS} \quad (10)$$

che riesce ad approssimare fedelmente l'andamento di I_D nella regione ohmica, cioè dove relazione differenziale $\frac{\partial I_D}{\partial V_{DS}}$ assume valori finiti e ricavabili da:

$$\frac{\partial I_D}{\partial V_{DS}} = G_C \left(1 + \frac{V_{GS} - V_{DS}}{\frac{Q_C}{C_G}}\right) \quad (11)$$

che può annullarsi se

$$V_{DS} = \frac{Q_C}{C_G} + V_{GS} \quad (12)$$

Sostituendo ora la (12) nella (10) si ottiene la relazione che descrive il comportamento della corrente I_D all'interfaccia tra la regione ohmica e quella di saturazione:

$$I_D = \frac{G_C Q_C}{2 C_G} \left(1 + \frac{V_{GS}}{\frac{Q_C}{C_G}}\right)^2 \quad (13)$$

Scegliendo una tensione di gate-source che assuma valori pari a $V_{GS} = -\frac{Q_C}{C_G}$, la corrente I_D si azzera, si definisce quindi

$$V_{GS(OFF)} = -\frac{Q_C}{C_G} \quad (14)$$

Essendo $|V_{GS(OFF)}| = |V_P|$, si ottiene

$$V_P = +\frac{Q_C}{C_G} \quad (15)$$

A questo punto possiamo affermare che l'appiattimento della transcaratteristica che si era osservato nella Figura (5) avviene per valori di tensione $V_{DS} \geq V_{GS} - V_{GS(OFF)}$. [11]

É ora possibile riscrivere la (13) in forma normalizzata come:

$$I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}}\right)^2 \quad (16)$$

Che esprime la corrente di drain-source al limite destro della regione ohmica (e quindi anche nella regione di saturazione in quanto I_D rimane costante al variare di V_{DS}) e dove è stato introdotto il termine I_{DSS} cioè la corrente di drain-source con $V_{GS} = 0V$ dopo il verificarsi del pinch-off del canale dovuto alla tensione V_{DS} .

Se le tensioni V_{GS} e V_{DS} vengono fatte variare entrambe, la corrispondente variazione della corrente I_D è esprimibile attraverso i primi due termini dell'espansione di Taylor della seguente equazione:

$$i_D = f(v_{GS}, v_{DS}) \quad (17)$$

$$\Delta i_D = \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{v_{DS}} \Delta v_{GS} + \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{v_{GS}} \Delta v_{DS} \quad (18)$$

Utilizzando ora la notazione per i piccoli segnali, cioè sostituendo $\Delta i_D = i_d$, $\Delta v_{DS} = v_{ds}$ e $\Delta v_{GS} = v_{gs}$ si ottiene :

$$i_d = g_m v_{gs} + g_{ds} v_{ds} \quad (19)$$

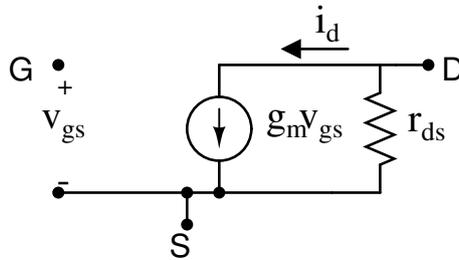


Figura 12: Circuito equivalente di piccolo segnale di un transistor JFET

nella quale

$$g_m \equiv \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{V_{DS}} \approx \left. \frac{i_d}{v_{gs}} \right|_{V_{DS}} \quad (20)$$

è chiamata transconduttanza (che viene definita per la regione di saturazione, ma la cui definizione può essere estesa anche per la regione ohmica), mentre g_{ds} è chiamata conduttanza differenziale d'uscita o conduttanza di drain ed è indicata rispettivamente da :

$$g_{ds} \equiv \left. \frac{\partial i_D}{\partial v_{DS}} \right|_{V_{GS}} \approx \left. \frac{i_d}{v_{ds}} \right|_{V_{GS}} \quad (21)$$

Utilizzando la (11) e sotto ipotesi che la tensione $V_{DS} \ll V_{GS} - V_{GS(OFF)}$ possiamo ricavare:

$$g_{ds} = G_C \left(1 + v_{GS} \frac{C_G}{Q_C}\right) = G_C \left(1 - \frac{v_{GS}}{V_{GS(OFF)}}\right) = g_{DS0} \left(1 - \frac{v_{GS}}{V_{GS(OFF)}}\right) \quad (22)$$

La quale conferma l'ipotesi che in assenza di polarizzazione ($v_{GS} = 0V$), la conduttanza presente è solamente quella del canale, cioè G_C , che viene anche chiamata g_{DS0} .

Definendo $r_{DS0} = \frac{1}{g_{DS0}}$ e analogamente $r_{ds} = \frac{1}{g_{ds}}$ si ottiene:

$$r_{ds} = r_{DS0} \left(\frac{V_{GS(OFF)}}{V_{GS(OFF)} - v_{GS}} \right) \quad (23)$$

[3][6][7][10][4]

3.1 Non linearità dei JFET nella regione ohmica

Tutte le relazioni ottenute fin ora per la regione ohmica (come la (10),(22) e la (23)) valgono solamente per valori ragionevolmente piccoli di V_{DS} : aumentando questo valore aumenteremo l'entità delle regioni di svuotamento e quindi il comportamento del dispositivo comincerà a discostarsi significativamente dall'andamento lineare.

Nonostante i dispositivi JFET in configurazione VCR siano fatti lavorare nella maggior parte dei casi nei range di linearità, è interessante studiare il comportamento anche per valori di V_{DS} superiori alle centinaia di mV .

Si può riassumere il comportamento complessivo della corrente di drain I_D nella regione ohmica (cioè per valori di $V_{DS} < V_{GS} - V_{GS(OFF)}$) assumendo che

$$I_{DSS} = \frac{1}{2}\mu_n C_{OX} \left(\frac{W}{L}\right) = KV_{GS(OFF)}^2 \quad (24)$$

nella quale K è una costante tipica del dispositivo dipendente dalla mobilità degli elettroni μ_n , dalla capacità dell'ossido C_{OX} , dalla lunghezza e dalla larghezza del canale (rispettivamente L e W). La corrente I_D in questa parte della caratteristica segue la relazione già descritta dalla (10):

$$I_D = K[2(V_{GS} - V_{GS(OFF)})V_{DS} - V_{DS}^2] \quad (25)$$

estraendo $V_{GS(OFF)}^2$ e utilizzando la (24) possiamo riscrivere:

$$I_D = I_{DSS} \left[2 \left(1 - \frac{V_{GS}}{V_{GS(OFF)}} \right) \left(-\frac{V_{DS}}{V_{GS(OFF)}} \right) - \left(\frac{V_{DS}}{V_{GS(OFF)}} \right)^2 \right]$$

Riarrangiando convenientemente i termini otteniamo

$$I_D = 2 \frac{I_{DSS}}{V_{GS(OFF)}^2} \left[V_{GS} - V_{GS(OFF)} - \frac{V_{DS}}{2} \right] V_{DS} \quad (26)$$

Si tratta chiaramente di un'equazione quadratica per via del termine V_{DS} , tuttavia è possibile eliminare il termine quadratico introducendo un opportuno circuito di feedback e facendo assumere a V_{GS} il valore $V_{GS} + \frac{V_{DS}}{2}$, ora l'equazione diventa:

$$I_{Dlinearized} = -\frac{2I_{DSS}V_{DS}}{V_{GS(OFF)}} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}} \right) \quad (27)$$

Vengono fornite in seguito delle immagini che illustrano il comportamento prima e dopo l'utilizzo di un feedback sullo stesso FET VCR7N.

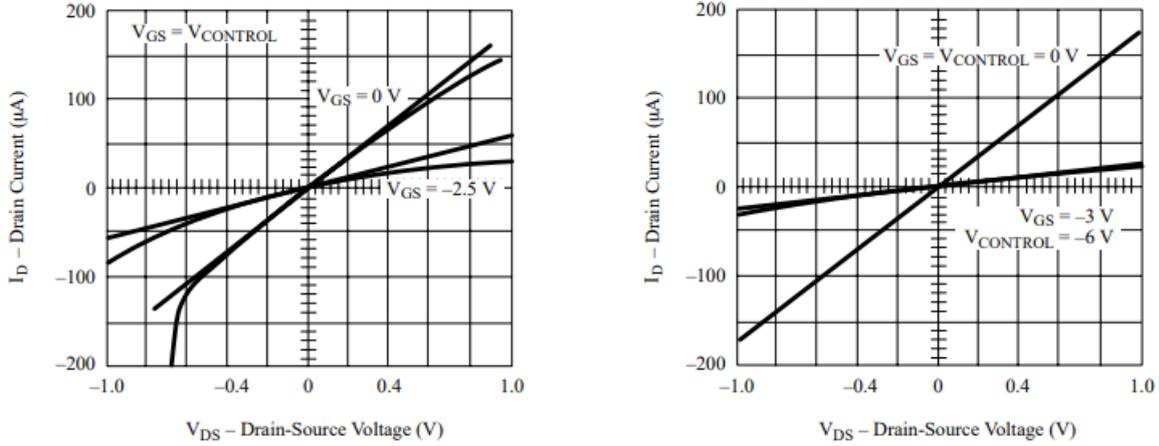


Figura 13: Transistor VCR7N prima e dopo l'implementazione del feedback

Infine, bisogna specificare che ci si deve mantenere debitamente distanti dal valore $V_{DS} = V_{GS} - V_{GS(OFF)}$ in quanto avvicinandosi a quei valori di tensione la relazione lineare (27) non risulta più essere valida (quindi il comportamento di I_D risulterebbe essere completamente diverso da quello aspettato) e si rende necessario utilizzare le formule derivate per la regione di saturazione. [18][13]

É importante definire la relazione che collega i tre valori I_{DSS} , $V_{GS(OFF)}$ e g_{DS0} : utilizzando la (26) e poi differenziando rispetto a V_{DS} si ottiene

$$g_{DS} = \frac{\partial i_D}{\partial v_{DS}} = 2 \frac{I_{DSS}}{V_{GS(OFF)}^2} \frac{\partial}{\partial v_{DS}} [v_{DS} v_{GS} - v_{DS} V_{GS(OFF)} - \frac{v_{DS}^2}{2}]$$

$$g_{DS} = 2 \frac{I_{DSS}}{V_{GS(OFF)}^2} [v_{GS} - V_{GS(OFF)} - v_{DS}] = -2 \frac{I_{DSS}}{V_{GS(OFF)}} \left[1 - \frac{v_{GS}}{V_{GS(OFF)}} - \frac{v_{DS}}{V_{GS(OFF)}} \right] \quad (28)$$

Ricordando che nella regione ohmica deve valere $V_{DS} < V_{GS} - V_{GS(OFF)}$ e assumendo $V_{GS} = 0V$ otteniamo:

$$\frac{I_{DSS}}{V_{DS}} = g_{DS0} = -\frac{2I_{DSS}}{V_{GS(OFF)}} \quad (29)$$

Dall'ultima relazione si può evincere che a parità di dimensioni i dispositivi con alte $V_{GS(OFF)}$ avranno le $r_{DS(ON)}$ più alte, dispositivi con basse $r_{DS(ON)}$ avranno le I_{DSS} più alte.

La Figura (14) illustra quanto appena descritto, confrontando le caratteristiche di dispositivi di diversa geometria.

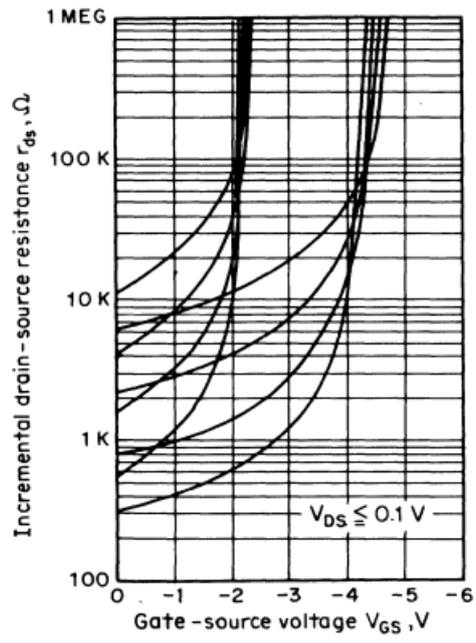


Figura 14: r_{DS} in funzione di V_{GS} di dispositivi a diversa geometria

4 Capacità parassite

All'aumentare della frequenza operativa le capacità parassite derivanti dalla struttura geometrica del componente diventano parametri non più d'entità trascurabile.

La capacità parassita principale è quella che si forma nella giunzione di gate-canale, il cui valore e distribuzione geometrica dipendono molto, come è intuibile, dalle tensioni V_{GS} e V_{GD} , cioè le tensioni che quando applicate hanno un impatto maggiore nella struttura fisica del dispositivo modificando le dimensioni della regione di svuotamento in base alla loro intensità.

Un'iniziale stima della capacità di gate-canale in un'area della giunzione pn che comprenda i terminali gate, source e drain indicata con "K" (già definita nella (24)) può essere data da:

$$C_{GChannel} = \sqrt{\frac{K}{V_{GS} + V_{GD}}} \quad (30)$$

La quale però ci fornisce solo una stima grossolana della capacità: dovremmo infatti tener conto anche della tecnica realizzativa utilizzata per la creazione del componente: supponendo infatti di utilizzare la tecnica di crescita epitassiale di un layer di tipo n su uno di tipo p avremo una giunzione che non sarà perfettamente distinta, ma con cariche diffuse che sfumeranno all'allontanarsi dalla zona di giunzione. Per questo tipo di realizzazione, ad esempio, l'esponente dell'equazione (30) diventerebbe $\frac{1}{3}$ e non più $\frac{1}{2}$ della radice.

Supponendo ora di applicare una tensione positiva ai capi dei terminali di drain-source si avrà sicuramente una regione di svuotamento molto più estesa nella regione vicino al drain rispetto a quella adiacente il source, questo ci fa concludere quindi che C_{GD} sarà sicuramente più piccola di C_{GS} (Figura (4), Figura (15)).

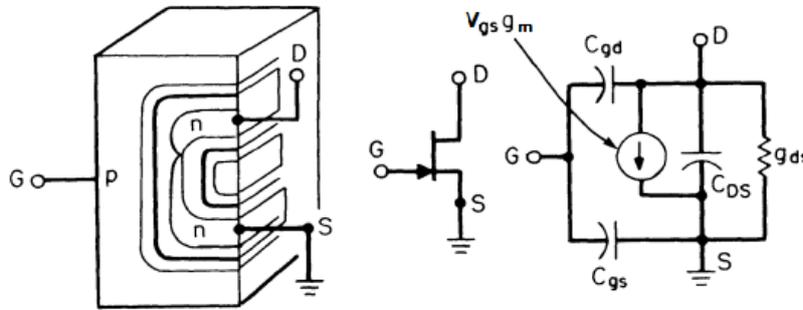


Figura 15: Capacità parassite nel transistor JFET

La Figura (15) mostra le capacità parassite inserite nello schema circuitale del JFET, e fa intuire (prima immagine di Figura (15)) che se la tensione V_{GS} coincide con quella di V_{GD} le capacità C_{GD} e C_{GS} sono approssimativamente uguali.

Giustificando anche le altre capacità presenti in figura, la capacità C_{DS} è dovuta in larga parte alla capacità del package del dispositivo ed è molto piccola rispetto alle altre due ma deve essere considerata soprattutto alle alte frequenze tanto che dispositivi dedicati a tali frequenze utilizzano molto spesso dei package specifici a bassa componente capacitiva.

Essendo molto difficile la stima precisa dei valori delle tre capacità anche con il dispositivo in funzione a causa della non uniformità della larghezza della regione di svuotamento lungo

il canale (come riferimento possono essere consultate le Figure (4)(6)(7)), molto spesso nei datasheet dei componenti queste vengono indicate con:

$$C_{iss} = C_{GD} + C_{GS} \quad (31)$$

chiamata anche "capacità d'ingresso", misurata con V_{DS} costante ($v_{ds} = 0V$);

$$C_{oss} = C_{DS} + C_{GD} \quad (32)$$

chiamata "capacità d'uscita", misurata con V_{GS} costante ($v_{gs} = 0V$);

$$C_{rss} = C_{GD} \quad (33)$$

chiamata "capacità di trasferimento inversa".

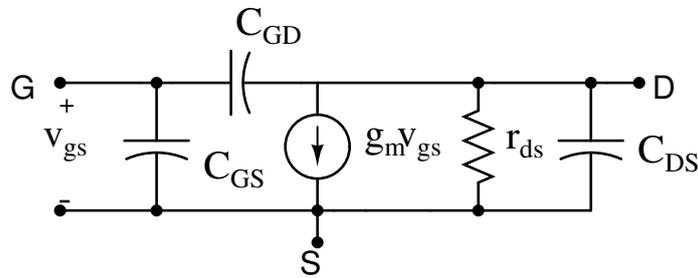


Figura 16: Circuito equivalente di piccolo segnale comprendente le capacità parassite di un transistor JFET

5 Distorsione armonica

Un parametro fondamentale nell'utilizzo di un qualsiasi dispositivo è la distorsione armonica. La distorsione armonica è un fenomeno derivante dalle caratteristiche non lineari di input-output che sono influenzate sia dalla polarizzazione che dalla tensione di operatività, ma anche dall'impedenza di carico.

La distorsione armonica si manifesta con la comparsa appunto di armoniche e può essere quantificata con:

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{V_1} \quad (34)$$

Nella quale il numeratore tiene conto di tutte le ampiezze delle armoniche presenti a multipli della frequenza fondamentale.

Nei transistor JFET il problema della distorsione armonica sorge dalla relazione non perfettamente lineare I_D - V_{DS} anche a debita distanza da valori di $V_{DS} = V_{GS} - V_{GS(OFF)}$.

Principalmente sono due i casi nella quale la distorsione aumenta notevolmente.

Supponendo di utilizzare un transistor a canale n, il primo caso si verifica quando il terminale di gate è poco contropolarizzato e il potenziale del terminale di drain comincia a diventare sempre più negativo: in queste condizioni la differenza di potenziale al terminale di gate fa sì che questo si trovi in polarizzazione diretta piuttosto che inversa ed assume un'intensità tale da far comparire una piccola corrente attraverso la giunzione tra il gate e il canale, ciò fa sì che la resistenza apparente misurata al drain cali bruscamente. Poiché la conduzione avviene solo ad un picco della forma d'onda, questo si manifesta come una distorsione della seconda armonica. Questo effetto assume valori non trascurabili per segnali di piccola ampiezza e con una V_{GS} prossima allo zero.

Il secondo caso si manifesta in condizioni opposte di polarizzazione, cioè quando il potenziale drain-gate diventa sufficientemente grande da essere comparabile alla tensione $V_{GS} - V_{GS(OFF)}$. La distorsione dovuta a questo effetto è meno marcata rispetto al primo caso, viene chiamata anche "distorsione di pinch-off" e si manifesta come una piccola attenuazione del segnale: la natura non ohmica del dispositivo in questo caso ha lievi effetti, che nella maggior parte delle applicazioni può essere ritenuta trascurabile. [1]

6 Principali parametri dei JFET utilizzati

Prima di iniziare ad utilizzare un dispositivo di qualsiasi tipo è necessario effettuare un accurato studio delle sue caratteristiche.

Nei seguenti paragrafi verranno illustrate delle simulazioni effettuate con il software LTSpice dei principali JFET impiegati nelle configurazioni circuitali che verranno trattate, cioè i JFET 2N4339, 2N4338 e LSK489.

I parametri che devono necessariamente essere controllati prima di utilizzare un JFET come un resistore controllato in tensione sono: $r_{DS(ON)}$, I_{DSS} , $V_{GS(OFF)}$ e V_P .

Transistor JFET 2N4339

Al fine di risultare il più precisi possibile nell'utilizzo di un dispositivo JFET, vista la non idealità dei parametri del componente, è necessario effettuare preliminarmente una caratterizzazione per ricavare i valori che sono stati citati in precedenza.

Identificazione di V_P e I_{DSS}

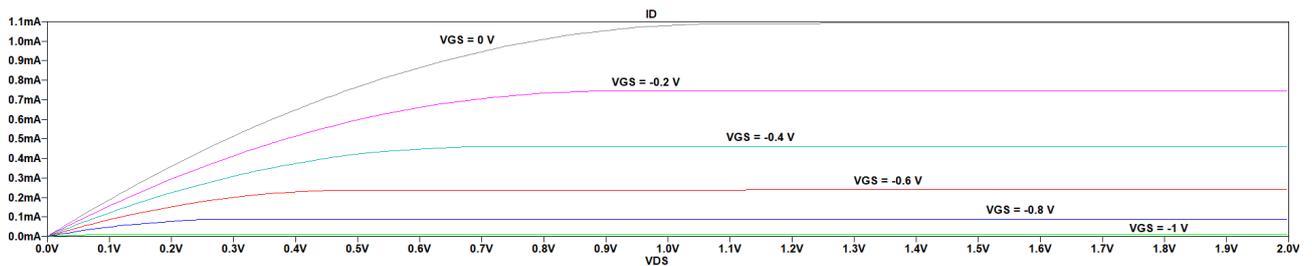


Figura 17: Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor 2N4339

Nella Figura (17) è stato fatto variare il valore di V_{DS} mantenendo dei determinati valori di V_{GS} fissati.

Si può osservare che la regione nella quale si ha un costante aumento della corrente I_D è chiaramente la regione ohmica ed è possibile notare come questa abbia andamenti e pendenze variabili in funzione di V_{GS} .

Dai valori del grafico in Figura (17) si ottiene che su questo tipo di transistor la tensione V_P , cioè il valore di tensione V_{DS} alla quale inizia lo strozzamento del canale in prossimità del terminale di drain fissata $V_{GS} = 0V$ è pari a:

$$V_P \approx 1.11V$$

Mentre il valore della corrente di drain con il terminale di gate cortocircuitato a massa (cioè I_{DSS}) risulta pari a:

$$I_{DSS} \approx 1.1mA$$

Identificazione di $V_{GS(OFF)}$ e $r_{DS(ON)}$

Fissato ora un valore di tensione molto basso V_{DS} è possibile fornire una stima del valore di $r_{DS(ON)}$ (Il valore esatto è calcolabile supponendo di conoscere le dimensioni geometriche del dispositivo) e di $V_{GS(OFF)}$.

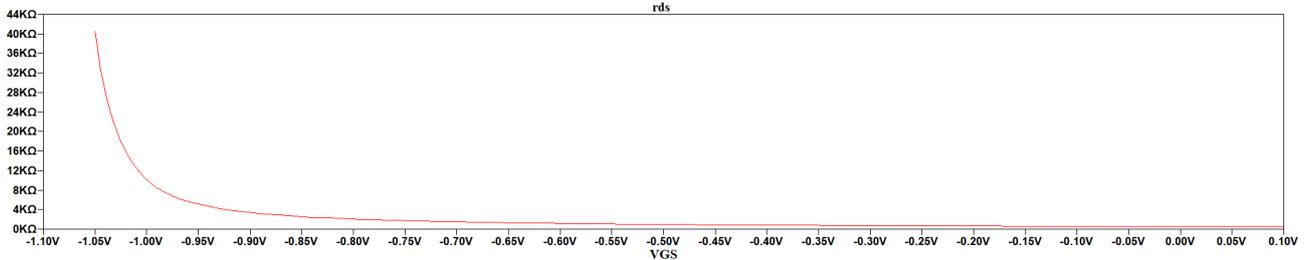


Figura 18: Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor 2N4339

Nella Figura (18) è stato fissato il valore di $V_{DS} = 1mV$ ed è stato fatto variare il valore di V_{GS} per valori

$$-1.12V \leq V_{GS} \leq 0V$$

È necessario specificare che il grafico raffigurato non presenta i valori di resistenza prossimi al valore di $V_{GS} = -1.12V$ in quanto in seguito ad una crescita che avrebbe raggiunto valori di centinaia di $M\Omega$ molto rapidamente (corrispondente ad un interruttore aperto che presenta idealmente resistenza infinita) non sarebbe più stata apprezzabile la variazione del valore di resistenza per gli altri valori di V_{GS} , che risultano utili per i nostri obiettivi.

Dal grafico di Figura (18) possiamo quindi dedurre che il valore di $V_{GS(OFF)}$ sarà pari a circa $-1.12V$ mentre il valore di $r_{DS(ON)} \approx 500\Omega$, che come già discusso misura la distanza tra un interruttore chiuso ideale e il transistor nella stessa condizione.

È stata inoltre verificata la relazione (2), in quanto il modulo della tensione $V_{GS(OFF)}$ è circa uguale al modulo di V_P ($|-1.12V| \approx |1.11V|$)

Transistor JFET 2N4338

Ripetendo esattamente gli stessi passaggi del paragrafo precedente, vengono ricavati attraverso delle simulazioni i parametri principali del transistor JFET 2N4338.

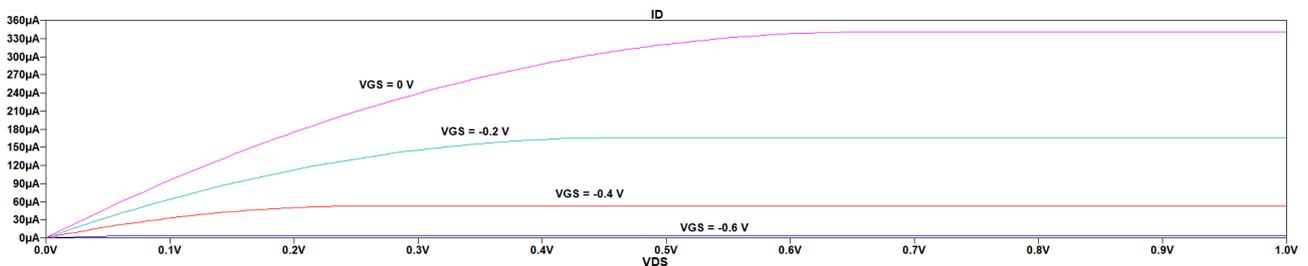


Figura 19: Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor 2N4338

Dal grafico in Figura (19) si ottengono i seguenti valori:

$$V_P \approx 0.63V$$

$$I_{DSS} \approx 0.34mA$$

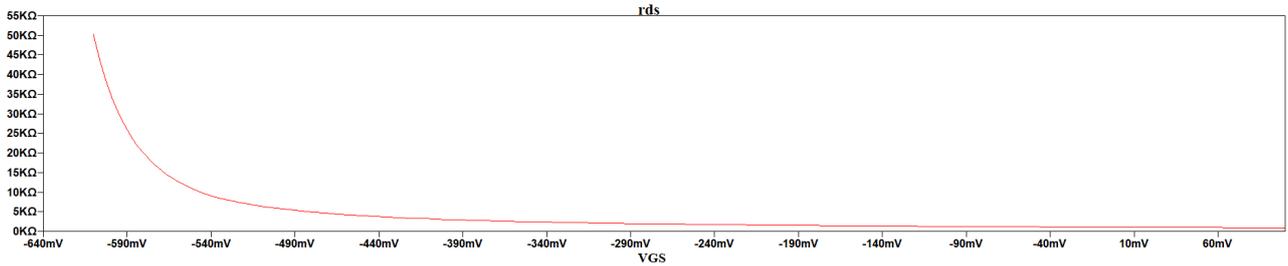


Figura 20: Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor 2N4338, fissata $V_{DS} = 1mV$

Nella Figura (20) si osserva come il valore della tensione $V_{GS(OFF)}$ sia decisamente inferiore al valore di $V_{GS(OFF)}$ del transistor 2N4339; questo spiega il perchè nella Figura (19) siano presenti meno rappresentazioni del valore dell'andamento della corrente I_D rispetto a V_{GS} (che assumeva valori decrescenti con un offset di 0.2V).

Ricaviamo infine:

$$V_{GS(OFF)} \approx -0.65V$$

$$r_{DS(ON)} \approx 1k\Omega$$

Transistor JFET LSK489

Vengono infine presentate le simulazioni effettuate per il transistor LSK489.

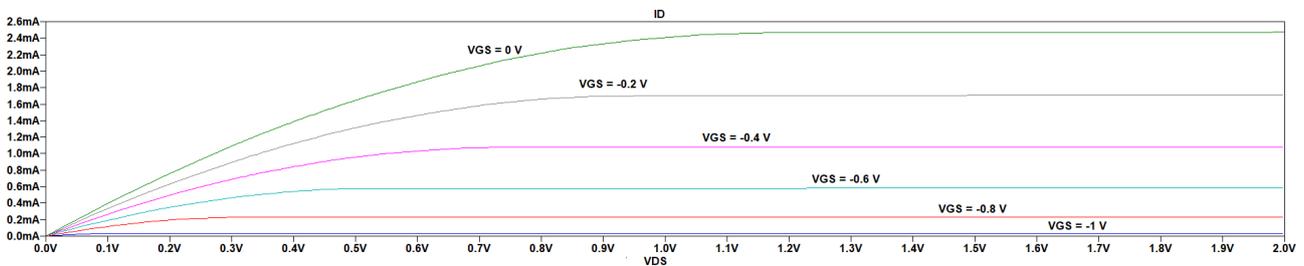


Figura 21: Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor LSK489

Dal grafico in Figura (21) si ottengono i valori:

$$V_P \approx 1.15V$$

$$I_{DSS} \approx 2.47mA$$

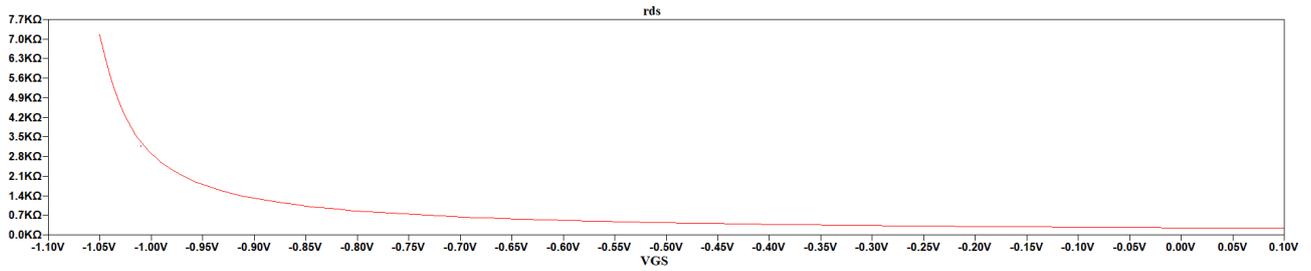


Figura 22: Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor LSK489, fissata $V_{DS} = 1mV$

Dal grafico in Figura (24) possiamo concludere che:

$$V_{GS(OFF)} \approx -1.13V$$

$$r_{DS(ON)} \approx 245\Omega$$

Capacità parassite nei transistor utilizzati

Per completezza nella trattazione vengono anche riportati gli andamenti dei valori delle capacità parassite già discusse alla Sezione 4 alla la frequenza di 1MHz:

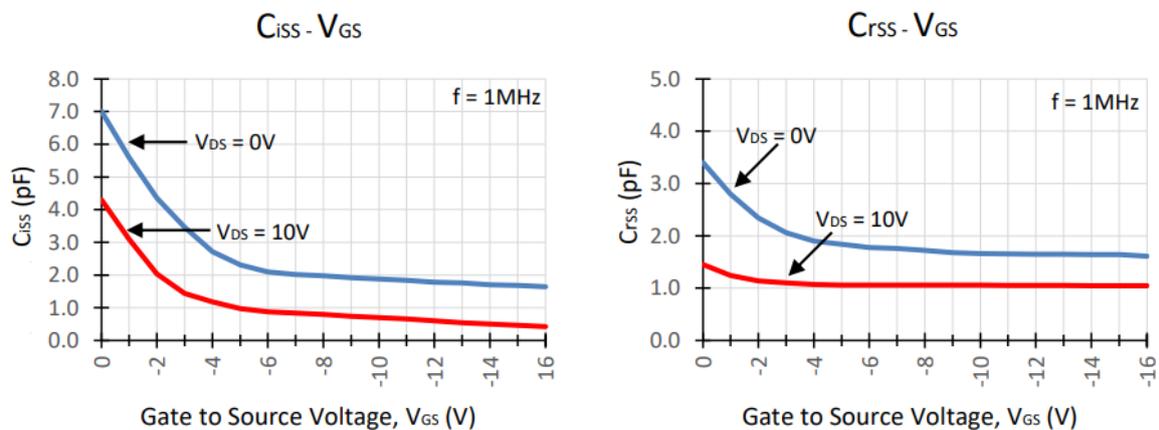


Figura 23: Andamento delle capacità parassite C_{iss} e C_{rss} rispetto a $V_{GS(OFF)}$ nei transistor 2N4339 e 2N4338

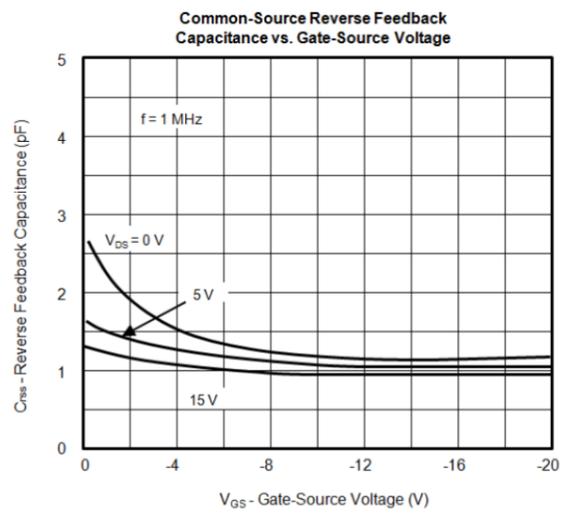
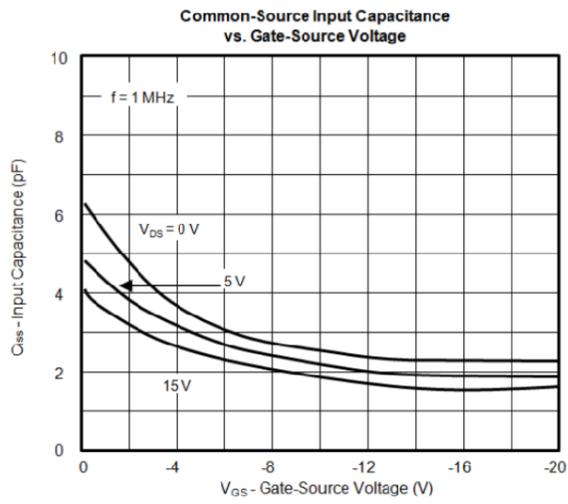


Figura 24: Andamento delle capacità parassite C_{iss} e C_{rss} rispetto a $V_{GS(OFF)}$ nel transistor LSK489

7 Implementazione circuitale di un Voltage Controlled Resistor (VCR) utilizzando transistor JFET

Prima di iniziare la trattazione dell'implementazione circuitale, bisogna sottolineare che in fase di progetto bisogna tener conto del fatto che un transistor di tipo FET non può essere trattato come un vero e proprio resistore, sia parlando in termini di non linearità ma anche per la presenza di una piccola capacità tra i terminali di drain-source che, come descritto nel paragrafo precedente, può essere ignorata solo a patto che il dispositivo non operi ad alte frequenze, dove l'effetto capacitivo comincia a causare un impatto non trascurabile.

In termini di rapporto segnale-rumore, in tutti i resistori questo viene attenuato per via del rumore termico, cosa che succede anche nei transistor ad effetto campo utilizzati come VCR, tuttavia nel transistor c'è un'ulteriore fonte di rumore, ovvero un componente associata all'effetto Johnson (surface effects), che possiede una densità spettrale di potenza che obbedisce alla legge "1/f" e che assume notevole intensità già al di sotto dei 200Hz e quindi non trascurabile in certi ambiti di utilizzo.

Ciò nonostante, considerati gli alti livelli di tensione a cui operano i JFET (rispetto a quelli generati dal rumore), questo tipo di dispositivi riescono a garantire un rapporto segnale-rumore soddisfacente, come verrà illustrato nelle simulazioni dei paragrafi seguenti. [17]

7.1 Partitore di tensione

Si possono realizzare moltissime configurazioni circuitali dotate di resistori controllati in tensione, la più semplice è quella in cui il JFET costituisce parte di un semplice partitore di tensione, come possiamo osservare in Figura (25).

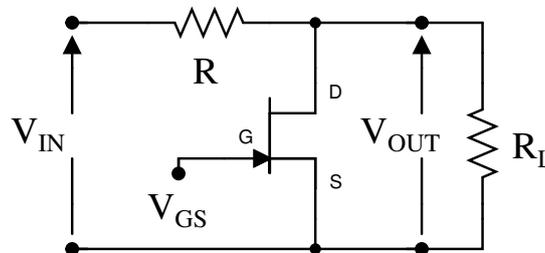
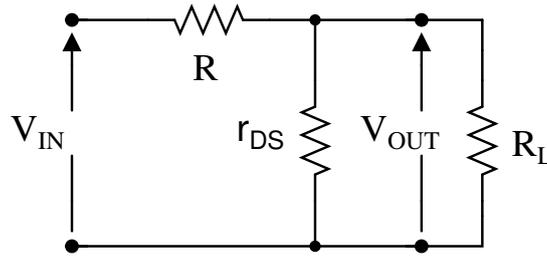


Figura 25: Partitore di tensione implementato tramite un JFET in configurazione VCR

Analizzando questo circuito è possibile osservare come agendo sulla tensione V_{GS} possiamo facilmente gestire il valore di V_{OUT} applicato al carico R_L : con valori di V_{GS} tendenti alla tensione di pinch-off dovuto alla tensione applicata tra il gate-source ($V_{GS(OFF)}$) la resistenza del canale drain-source tenderà ad infinito, trasformando sostanzialmente il transistor in un circuito aperto e realizzando un semplice partitore di tensione tra R ed R_L ; per valori di V_{GS} tendenti allo zero il transistor assumerà il valore di $r_{DS(ON)}$.

Trascurando per il momento tutti gli effetti indesiderati che comporta l'utilizzo del transistor, possiamo ricavare la seguente relazione ingresso-uscita approssimando il JFET alla sola resistenza di canale r_{DS} :



Si tratta semplicemente di applicare la formula del partitore di tensione:

$$V_{OUT} = V_{IN} \frac{R_L r_{DS}}{R(R_L + r_{DS}) + R_L r_{DS}} \quad (35)$$

Ora, sostituendo $r_{DS} = 1/g_{DS}$:

$$V_{OUT} = V_{IN} \frac{R_L(1 + g_{DS}R_L)^{-1}}{(R + R_L(1 + g_{DS}R_L)^{-1})} = V_{IN} \frac{R_L}{(R + RR_Lg_{DS} + R_L)} \quad (36)$$

Otteniamo una forma nella quale è evidente che se R_L è molto grande rispetto a $r_{DS(ON)}$ e rispetto R essa può essere trascurata:

$$V_{OUT} = V_{IN} \frac{1}{1 + g_{DS}R} = V_{IN} \frac{r_{DS}}{r_{DS} + R} \quad (37)$$

Dalla quale ora è anche possibile definire il valore minimo assumibile da V_{OUT} :

$$V_{OUT} = V_{IN} \frac{r_{DS(ON)}}{r_{DS(ON)} + R} \quad (38)$$

Assumendo valori piccoli di V_{DS} possiamo sostituire la (23) nella (36):

$$V_{OUT} = V_{IN} \frac{r_{DS0}V_{GS(OFF)}}{r_{DS0}V_{GS(OFF)} + R(V_{GS(OFF)} - V_{GS})} \quad (39)$$

che in termini di g_{DS} risulta:

$$V_{OUT} = V_{IN} \frac{V_{GS(OFF)}}{V_{GS(OFF)} + g_{DS0}R(V_{GS(OFF)} - V_{GS})} \quad (40)$$

Viene riportata una simulazione effettuata con il software LTSpice effettuata utilizzando il transistor JFET 2N4339, $R = 1k\Omega$ e fornendo una tensione $V_{IN} = 0.2V$

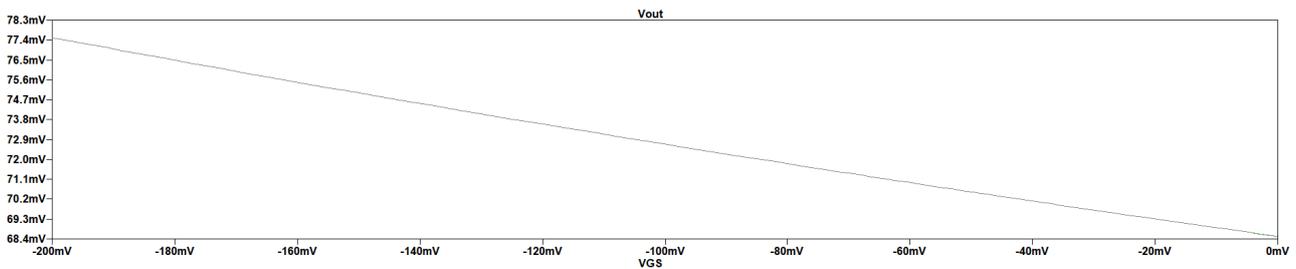


Figura 26: Andamento di V_{DS} (cioè V_{OUT}) rispetto a V_{GS} nel partitore di tensione per piccoli valori di V_{DS} , fissata $V_{IN} = 0.2V$ utilizzando un transistor JFET 2N4339

Questa transcaratteristica è stata ottenuta facendo variare linearmente V_{GS} lontano da $V_{GS(OFF)}$, avendo inoltre l'accortezza di scegliere un valore di $V_{DS} \ll V_{GS} - V_{GS(OFF)}$.
 Con riferimento ai dati della Sezione 6 e alle relazioni (38) e (39), sempre utilizzando un transistor JFET 2N4339, si può verificare che la tensione d'uscita varierà tra i seguenti valori:

$$\begin{aligned}
 V_{GS(OFF)} &= -1.12V \\
 r_{DS(ON)} &= 500\Omega \\
 R &= 1k\Omega \\
 V_{OUTmin} &= 0.2V \frac{500\Omega}{500\Omega + 1k\Omega} \approx 68mV \\
 V_{OUTmax} &= 0.2V \frac{500\Omega(-1.12V)}{500\Omega(-1.12V) + 1k\Omega(-1.12V + 0.2V)} \approx 77mV
 \end{aligned}$$

È interessante osservare che se nella (37) il valore di R diventa molto più grande di r_{DS} , il valore della tensione di uscita V_{OUT} diventa esattamente proporzionale alla resistenza di canale del JFET.

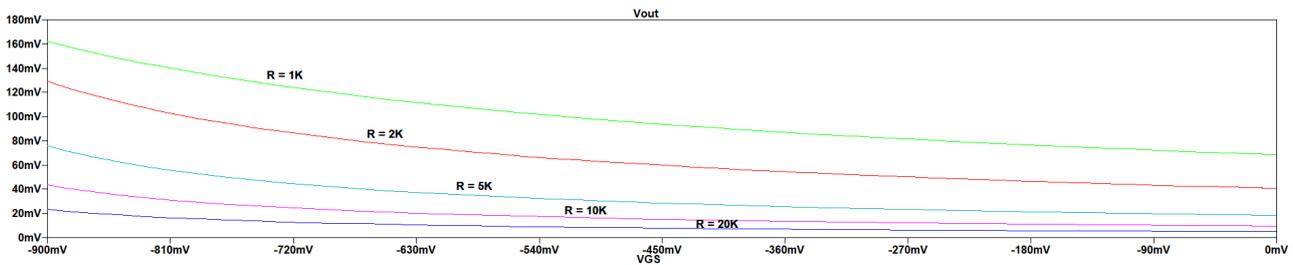


Figura 27: Relazione tra V_{OUT} e V_{GS} variando il valore di R nel partitore di tensione che utilizza un transistor JFET 2N4339

Attraverso la simulazione in Figura (27), infatti, è possibile osservare come aumentando il valore di R la tensione d'uscita aumenti la sua dipendenza da V_{GS} , mentre se il valore di $R \ll r_{DS}$ il valore di V_{OUT} rimane costante e non dipende da V_{GS} . Chiaramente questo non succede per valori di V_{GS} tendenti alla tensione di pinch-off $V_{GS(OFF)}$ in quanto il canale del JFET inizia ad assumere valori di resistenza non più trascurabili rispetto al valore di R .

A completamento di questo paragrafo sono inseriti due grafici che riportano l'andamento di I_D al variare di V_{GS} e di V_{DS} nel transistor JFET 2N4339 (Figura (28)).

A conferma di quanto precedentemente affermato, si osserva un andamento non lineare della corrente I_D sia rispetto a V_{GS} (e non solo in prossimità di $V_{GS(OFF)}$) ma anche rispetto a V_{DS} . Nei prossimi paragrafi saranno proposte delle soluzioni circuitali per la linearizzazione dell'andamento della corrente nel dispositivo.

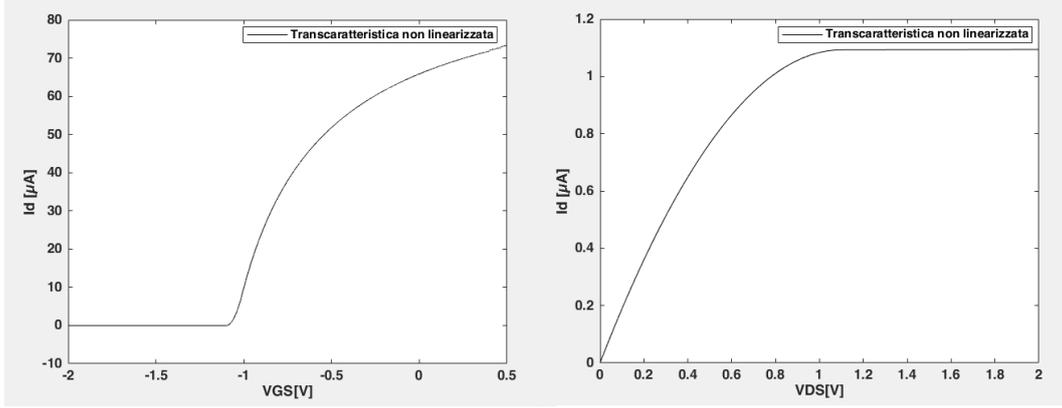


Figura 28: Andamento di I_D - V_{GS} (con $V_{DS} = 0.01$ V) e I_D - V_{DS} (con $V_{GS} = 0$ V) utilizzando un transistor JFET 2N4339

7.1.0.1 Distorsione armonica nel partitore di tensione

Prima di procedere con la simulazione del circuito al fine di ricavare il valore della THD, è necessario illustrare la causa della comparsa delle armoniche indesiderate citate nella Sezione 5. Si consideri ancora una volta l'equazione (26):

$$I_D = \frac{2I_{DSS}}{V_{GS(OFF)}^2} V_{DS} \left(V_{GS} - V_{GS(OFF)} - \frac{V_{DS}}{2} \right)$$

la quale è applicabile, come già discusso in precedenza, solo per valori di $V_{DS} < V_{GS} - V_{GS(OFF)}$. Basandoci su questa approssimazione, la relazione tra la distorsione e il range di valori di tensione che forniscono la minima e la massima attenuazione verrà trattata facendo riferimento al circuito in Figura (25), ma potrà essere analogamente ricavata anche per le configurazioni presentate in seguito alla Sezione 7.1.1 e alla Sezione 7.1.2.

La conduttanza in ogni punto del primo e del terzo quadrante di Figura (11) è pari a:

$$G_{DS} = \frac{I_D}{V_{DS}} = -\frac{2I_{DSS}}{V_{GS(OFF)}} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}} - \frac{V_{DS}}{V_{GS(OFF)}} \right) \quad (41)$$

Se $V_{GS} = 0$ V vale quindi la relazione

$$-\frac{2I_{DSS}}{V_{GS(OFF)}} V_{DS} = g_{DS} + \frac{g_{DS0} V_{DS}}{V_{GS(OFF)}} \quad (42)$$

L'attenuazione del circuito in Figura (25) è chiaramente data da:

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1 + g_{DS} R} = \left[1 + Rg_{DS} + \frac{Rg_{DS0} V_{IN}}{2V_{GS(OFF)} (1 + Rg_{DS} + Rg_{DS} \frac{V_{IN}}{2V_{GS(OFF)} (1 + Rg_{DS})})} \right]^{-1} \quad (43)$$

Che può essere approssimata a

$$V_{OUT} = \frac{V_{IN}}{1 + g_{DS} R} \left(1 - \frac{Rg_{DS0} V_{IN}}{2V_{GS(OFF)} (1 + Rg_{DS})^2} + \dots \right) \quad (44)$$

In quanto $\frac{V_{IN}}{2V_{GS(OFF)}(1+Rg_{DS})^2} \ll 1$.

In questo modo stiamo considerando solamente la seconda armonica come fonte di distorsione, non si tratta di un'assunzione restrittiva in quanto espandendo ulteriormente i termini otterremo un valore della terza armonica di entità trascurabile.

È possibile definire la distorsione armonica introdotta d come il rapporto tra la tensione che comprende tutte le componenti armoniche di V_{OUT} e l'ampiezza dell'armonica fondamentale.

Per piccoli valori di distorsione ($d \ll 1$), mantenendo V_{OUT} costante e usando la (44) possiamo approssimare il valore di quest'ultima come:

$$d = \frac{V_{IN}Rg_{DS0}}{4|V_{GS(OFF)}|(1+Rg_{DS})^2} = \frac{V_{OUT}Rg_{DS}}{4|V_{GS(OFF)}|(1+Rg_{DS})} \approx \frac{V_{OUT}}{4|V_{GS(OFF)} - V_{GS}|} \quad (45)$$

Queste approssimazioni si mantengono valide finchè non vengono raggiunti valori di V_{GS} prossimi a $V_{GS(OFF)}$, mentre nel caso in cui venga applicata una tensione V_{DG} di valore negativo tale da far comparire una corrente al terminale di gate e da polarizzare inversamente la giunzione gate-drain, la distorsione risulterà più alta del previsto.

Dalla (45) otteniamo (per un valore di massima distorsione) un massimo di ampiezza e un minimo di attenuazione in funzione di V_{GS} :

$$V_{OUTMAX} = 4d_{max}|V_{GS(OFF)} - V_{GS}| \quad (46)$$

Ipotizzando che siano noti i valori di d_{max} e V_{OUTMAX} , il rapporto tra il minimo e il massimo valore di $\frac{V_{OUT}}{V_{IN}}$ ottenibile con partitore di tensione risulta essere:

$$\frac{A_{MIN}}{A_{MAX}} = m = \frac{1 + Rg_{DS0}}{1 + Rg_{DS0} \frac{V_{OUTMAX}}{4d_{max}|V_{GS(OFF)}|}} \approx \frac{4d_{max}|V_{GS(OFF)}|}{V_{OUTMAX}} \quad (47)$$

$$d_{max} \approx \frac{A_{MIN}V_{OUTMAX}}{A_{MAX}|V_{GS(OFF)}|} \quad (48)$$

Nella quale $A_{MIN} = \frac{V_{OUTMAX}}{V_{IN}}$ e $A_{MAX} = \frac{V_{OUTMIN}}{V_{IN}}$ ed inoltre l'equazione risulta valida solo per $\frac{A_{MIN}}{A_{MAX}} > 1$. Ad esempio se $A_{MIN} = \frac{1}{2}$, $A_{MAX} = \frac{1}{200}$ si otterrà che $m = 100$, se $V_{OUTMAX} = 0.001V_P$ si otterrà un valore di $d_{max} = 2.5\%$.

Dalla (48) possiamo concludere che il massimo valore di distorsione è ottenibile quando $A_{MIN} \approx A_{MAX}$. [13][4][16]

Viene riportata nella Figura (30) l'analisi spettrale di un partitore di tensione realizzato con un JFET 2N4339 fornendo in ingresso una tensione sinusoidale $V_{IN} = 0.1V_{picco-picco}$ di frequenza 1kHz, $V_{GS} = 0V$ ed utilizzando inizialmente un resistore R da $1k\Omega$. In questo modo si è quindi ottenuta la conferma che un dispositivo JFET non possiede un comportamento perfettamente ohmico ed emergono quindi delle distorsioni armoniche nello spettro.

Si può da subito osservare graficamente che gran parte della distorsione è causata dalla seconda armonica e ciò non dovrebbe sorprendere in quanto tale comportamento era già stato previsto.

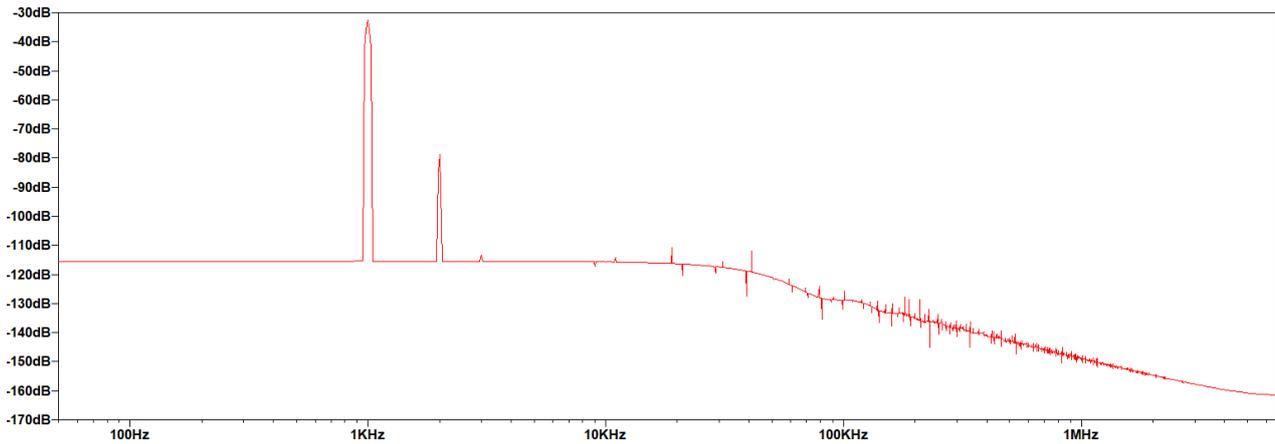


Figura 29: Spettro armonico di V_{OUT} nel partitore di tensione che utilizza un transistor JFET 2N4339 con $V_{IN} = 0.1V_{picco-picco}$ $f = 1kHz$, $V_{GS} = 0V$, $R = 1k\Omega$

Analizzando i dati della simulazione del partitore di tensione e dopo quando discusso viene considerato solo il contributo della seconda armonica. Si ottiene:

$$1^{\circ} \text{ Armonica} = -32.5dB$$

$$2^{\circ} \text{ Armonica} = -78dB$$

Utilizzando la (34) :

$$THD\% = 100\sqrt{10^{\left(\frac{-78 - (-32.5)}{10}\right)}} \approx 0.5\%$$

La distorsione armonica è dipendente anche dal valore di R e dal valore di V_{IN} (equazione (45)):

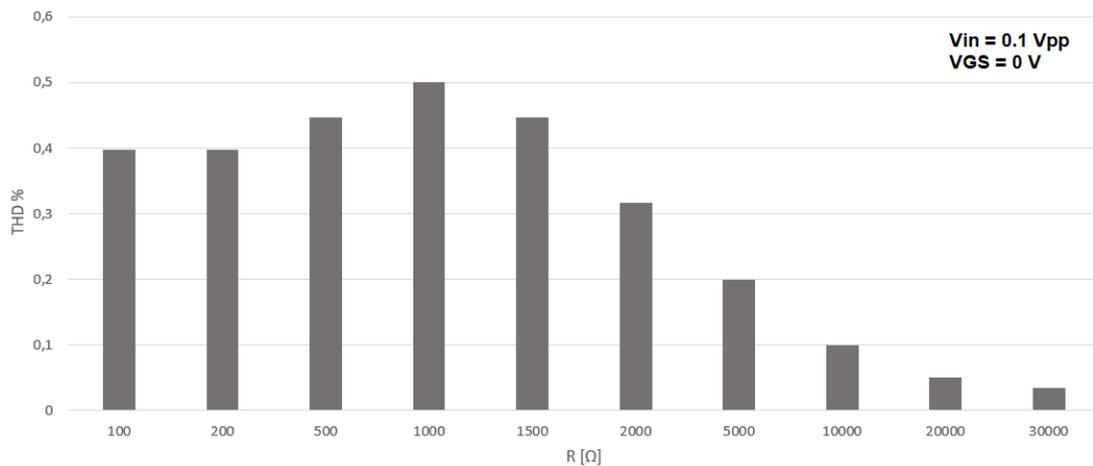


Figura 30: Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione del valore di R fissati $V_{IN} = 0.1V_{picco-picco}$ e $V_{GS} = 0V$ utilizzando un transistor JFET 2N4339

Dalla Figura (30) possiamo dedurre quindi che valori di resistenza R che siano confrontabili con la resistenza di canale r_{DS} (che in questo preciso caso, usando piccoli valori di V_{DS} e $V_{GS} = 0V$

coincide con r_{DS0} , cioè 500Ω) sono sconsigliabili in quanto generano un'elevata distorsione armonica.

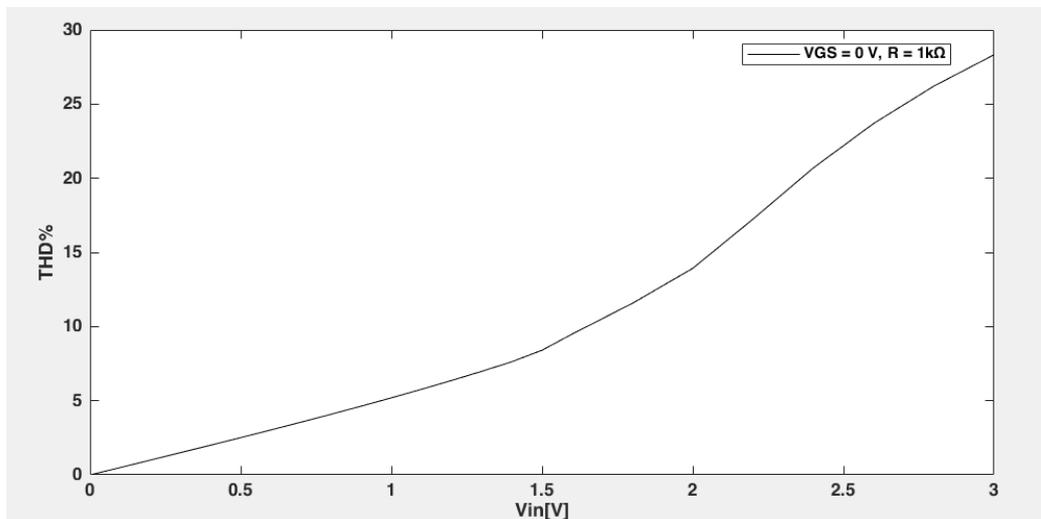


Figura 31: Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione lineare di V_{IN} espresso in $[V_{picco-picco}]$ fissati $V_{GS} = 0V$ e $R = 1k\Omega$ utilizzando un transistor JFET 2N4339

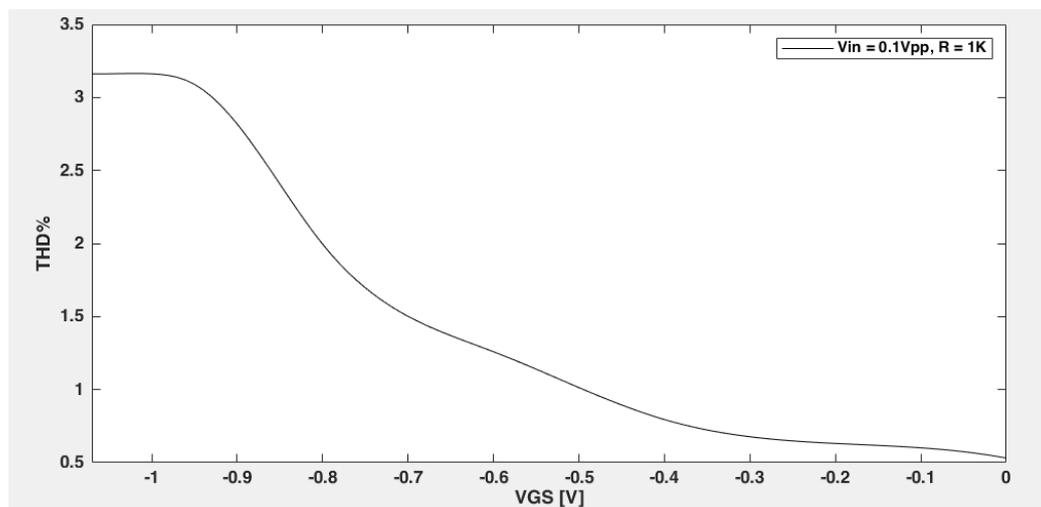


Figura 32: Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione lineare di V_{GS} fissati $V_{IN} = 0.1V_{pp}$ e $R = 1k\Omega$ utilizzando un transistor JFET 2N4339

Nelle Figure (31) e (32) si osserva come l'andamento percentuale della distorsione armonica sia influenzato da V_{IN} ma anche da V_{GS} . É un comportamento che poteva essere già intuibile per quanto discusso alla Sezione 5, in quanto si osserva che giungendo in prossimità della tensione $V_{DS} = V_{GS} - V_{GS(OFF)}$ per quanto riguarda V_{IN} e di $V_{GS(OFF)}$ per quanto riguarda V_{GS} aumentano considerevolmente le distorsioni armoniche introdotte.

7.1.1 Implementazione del feedback negativo

Oltre al fenomeno della distorsione in prossimità di $V_{GS(OFF)}$ è doveroso adottare delle soluzioni per quanto descritto nel paragrafo precedente, citando la non linearità del circuito per valori di V_{DS} che non fossero trascurabili rispetto a $V_{GS} - V_{GS(OFF)}$.

Il metodo utilizzato ai fini della gestione dei segnali con significativi valori di V_{DS} è il feedback negativo: una parte del segnale di drain viene fornito al gate, facendo in modo che fissata V_{GS} si venga a ridurre l'estensione della regione di svuotamento dovuta alla contropolarizzazione, causando un aumento della I_D dovuto ad un aumento della conducibilità del canale.

Adottando queste considerazioni si riesce a rendere r_{DS} dipendente solamente dalla tensione presente al gate V_{GS} e non da V_{DS} , sempre però adottando come limite $V_{DS} < V_{GS} - V_{GS(OFF)}$, ciò spiega il perché la maggior parte di componenti per applicazioni VCR siano dotati di $V_{GS(OFF)}$ molto alte (certi dispositivi sono dotati di $V_{GS(OFF)}$ che si aggirano anche su tensioni di $-6V \sim -7V$).

Nella Figura (33) sottostante è stato implementato il circuito di feedback su un partitore di tensione, dove i resistori R_2 ed R_3 sono identici per imporre una dipendenza del 50% di V_{GS} rispetto a V_{DS} .

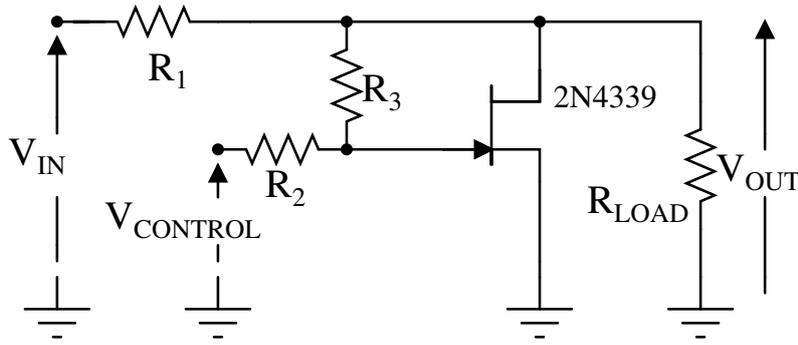


Figura 33: Partitore di tensione con feedback

I resistori hanno valore:

$$R_2 = R_3 > 10(R_1 // r_{DS(MAX)} // R_L) = 10 \frac{R_1 r_{DS(MAX)} R_L}{R_1 r_{DS(MAX)} + R_L (r_{DS(MAX)} + R_1)} \quad (49)$$

Al fine di evitare un eccessivo carico di segnale.

R_1 invece è scelto solitamente con valori tali da soddisfare la seguente relazione:

$$V_{OUT} = \frac{r_{DS(ON)} // R_L}{(r_{DS(ON)} // R_L) + R_1} V_{IN} \quad (50)$$

Cioè:

$$R_1 = \frac{r_{DS(ON)} R_L}{r_{DS(ON)} + R_L} \left(\frac{V_{IN}}{V_{OUT}} - 1 \right) \quad (51)$$

definendo V_{OUT} come la tensione che si desidera ovviamente ottenere in uscita quando $V_{GS} = 0V$.

Simulando il circuito su LTSpice possiamo ottenere i seguenti andamenti della corrente di drain:

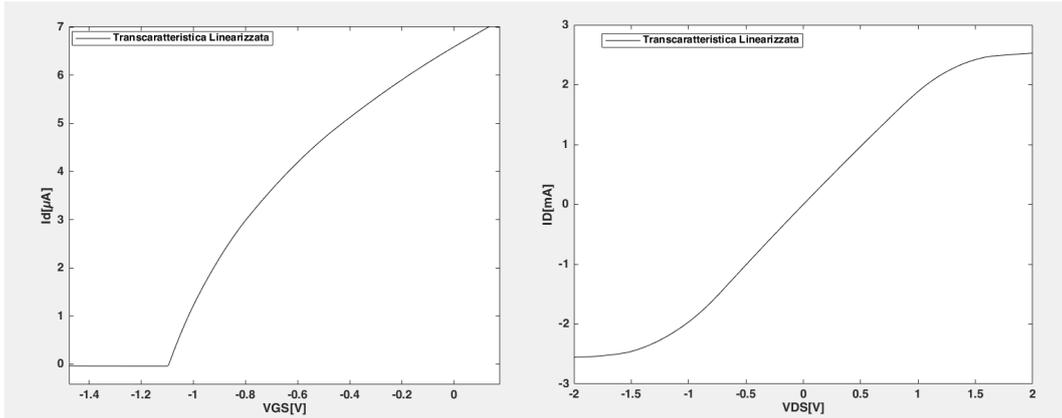


Figura 34: Rapporto tra I_D - V_{GS} (con $V_{DS} = 0.01$ V) e I_D - V_{DS} (con $V_{GS} = 0$ V) in un partitore di tensione con feedback che utilizza un transistor JFET 2N4339, $R_1 = 1k\Omega$, $R_2 = R_3 = 470k\Omega$

Con l'utilizzo di un semplice circuito di feedback ora l'andamento di I_D è significativamente più lineare sia rispetto V_{DS} che V_{GS} , anche se migliorabile.

L'inconveniente di questa soluzione è che $V_{CONTROLLO}$ ora non coincide più con V_{GS} , si deve infatti utilizzare un valore di tensione pari a $2V_{GS}$ per un analogo valore di r_{DS} del circuito in Figura (25).

Una possibile soluzione è utilizzare un generatore di tensione flottante come in Figura (35), che permette di utilizzare lo stesso valore di V_{GS} pur continuando a beneficiare degli effetti del feedback.

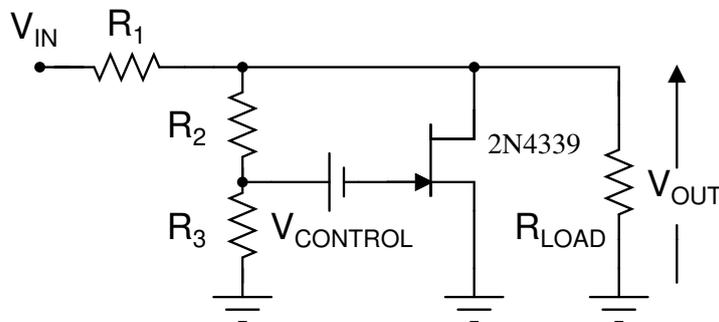


Figura 35: Partitore di tensione con feedback con generatore di tensione flottante sul gate

7.1.1.1 Distorsione armonica nel partitore di tensione con feedback

Mantenendo sempre gli stessi parametri utilizzati nell'analisi effettuata alla Sezione 7.1.0.1 per la tensione di ingresso ($V_{IN} = 0.1V_{pp}$), lo stesso valore di resistenza ($R = 1k\Omega$) e lo stesso valore di tensione applicata tra gate e source del JFET ($V_{GS} = 0$ V) viene effettuata ora un'analisi dello spettro armonico del partitore di tensione con feedback.

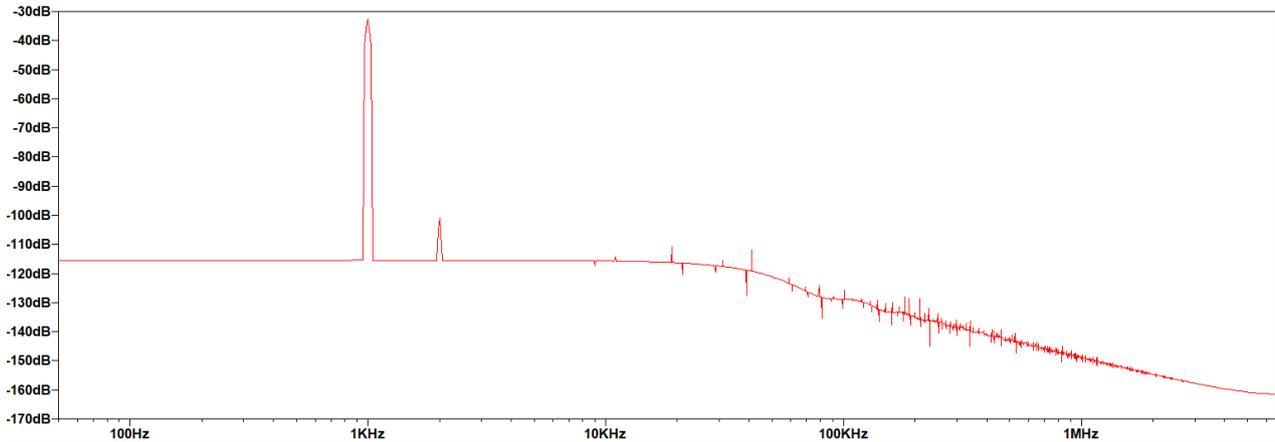


Figura 36: Spettro armonico di V_{OUT} nel partitore di tensione con feedback di Figura (33) con $V_{IN} = 0.1V_{picco-picco}$ $f = 1kHz$, $V_{CONTROL} = 0V$, $R = 1k\Omega$

Dalla quale possiamo osservare che i valori della prima e della seconda armonica sono:

$$1^{\circ} \text{ Armonica} = -32.5dB$$

$$2^{\circ} \text{ Armonica} = -100dB$$

Utilizzando la (34) otteniamo:

$$THD\% = 100\sqrt{10^{\left(\frac{-100 - (-32.5)}{10}\right)}} \approx 0.04\%$$

Valore decisamente molto più basso rispetto a prima, utilizzabile in circuiti che non richiedano un'esagerata complessità nella realizzazione circuitale.

Analogamente al partitore di tensione senza feedback, la distorsione armonica in questo circuito è dipendente dal valore di tensione d'ingresso applicata V_{IN} , dal valore della resistenza R scelta e dal valore della tensione $V_{CONTROL}$. Vengono riportati dei grafici ricavati da delle simulazioni effettuate sul circuito in Figura (33) con il software LTSpice.

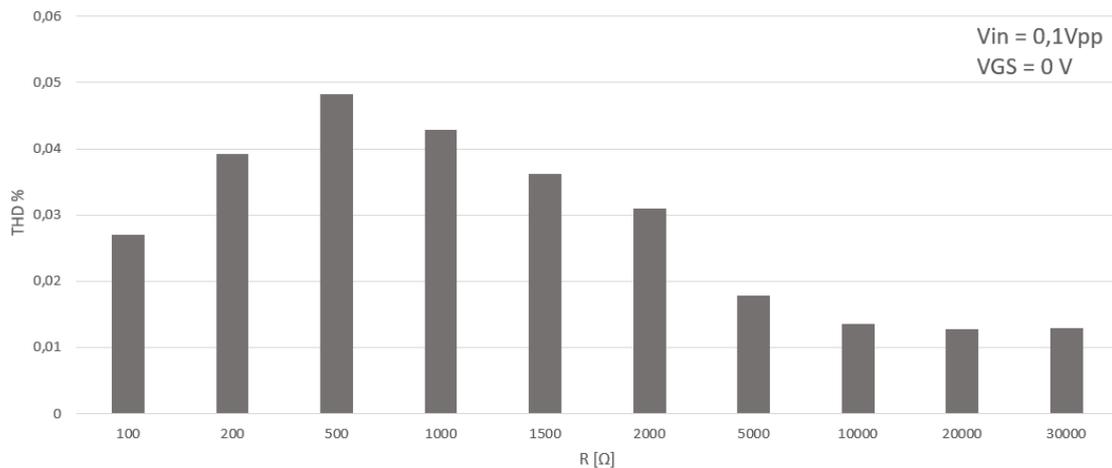


Figura 37: Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione del valore di R fissati $V_{IN} = 0.1V_{picco-picco}$ e $V_{CONTROL} = 0V$

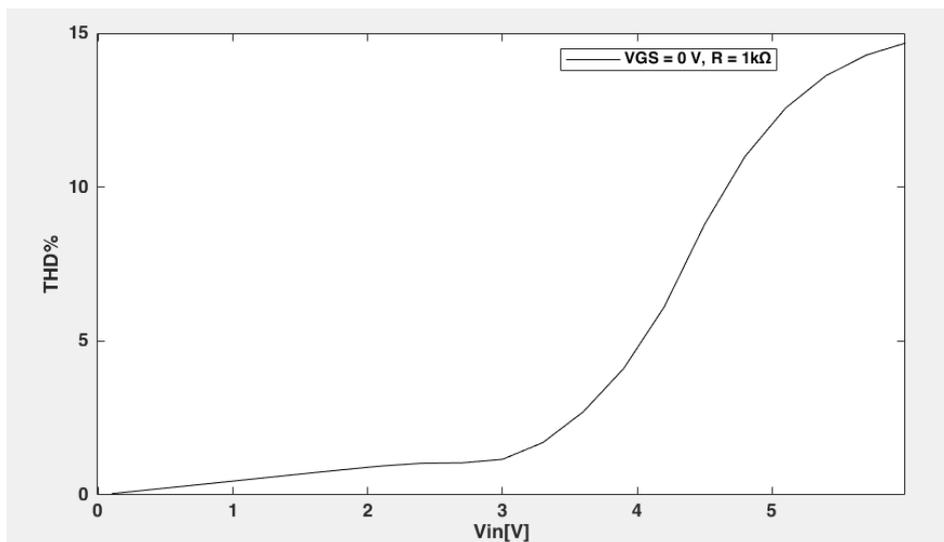


Figura 38: Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione lineare di V_{IN} espresso in $[V_{picco-picco}]$ fissati $V_{CONTROL} = 0V$ e $R = 1k\Omega$

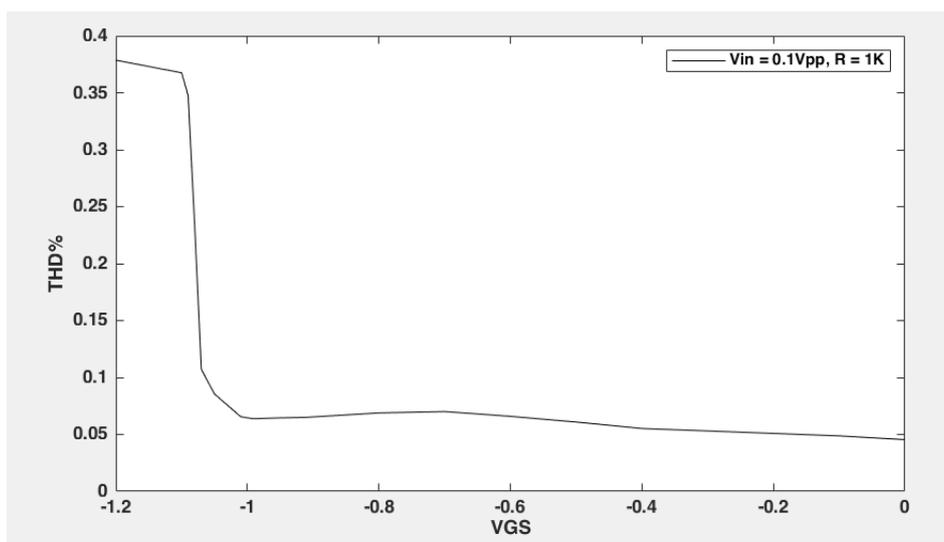


Figura 39: Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione lineare di V_{GS} fissati $V_{IN} = 0V_{pp}$, $f = 1kHz$ e $R = 1k\Omega$

Dai grafici delle Figure (37), (38) e (39) si possono trarre le medesime conclusioni dell'analisi del partitore di tensione senza feedback della Sezione 7.1.0.1, possiamo notare però come i valori percentuali della THD siano stati decisamente ridotti.

7.1.2 Estensione del range dinamico e lineare: il circuito di Nay-Budak

Nonostante l'utilizzo di un feedback negativo permangono ancora delle non linearità soprattutto per valori non trascurabili di V_{DS} .

La più comune implementazione per ovviare a questo problema ed aumentare ancor più sia la linearità che il range di valori utilizzabili di V_{DS} è quella riportata in Figura (40). [12][19]

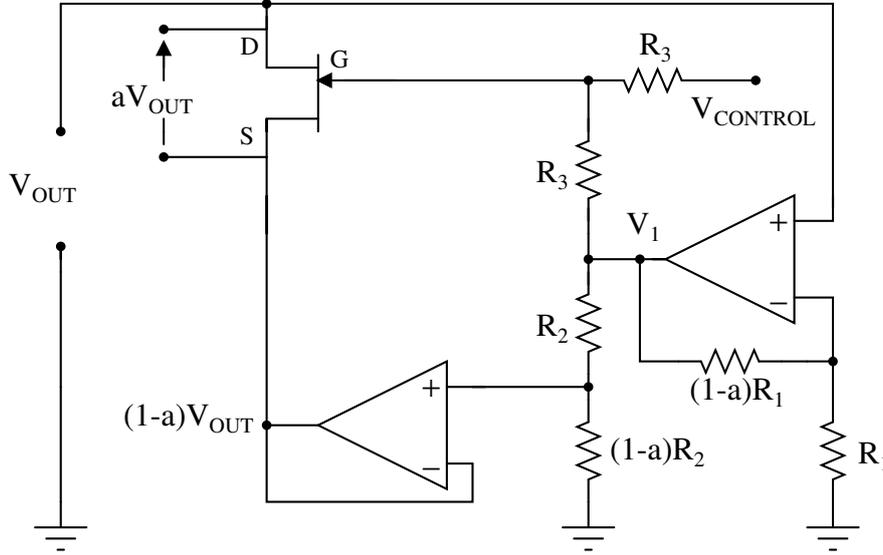


Figura 40: Circuito per l'estensione del range dinamico e della linearità, chiamato anche "circuito di Nay-Budak"

Procedendo con un'analisi del circuito, possiamo notare a destra un amplificatore operazionale in configurazione non invertente dotato di guadagno:

$$A_V = \frac{V_1}{V_{OUT}} = 1 + \frac{(1-a)R_1}{R_1} = (2-a) \quad (52)$$

Chiamata V_1 l'uscita dell'amplificatore si ha:

$$V_1 = (2-a)V_{OUT} \quad (53)$$

V_1 è ora fornito in ingresso ad un partitore di tensione che viene a sua volta collegato ad un buffer

$$V_{INBuffer} = V_1 \frac{(1-a)R_2}{R_2 + (1-a)R_2} = V_{OUT}(2-a) \frac{(1-a)R_2}{(2-a)R_2} = (1-a)V_{OUT} \quad (54)$$

V_1 viene inoltre sommata a $V_{CONTROL}$ e fornita in ingresso al JFET: applicando il principio della sovrapposizione degli effetti e utilizzando la (53) otteniamo:

$$\begin{aligned} V_{ingressoJFET} &= V_1 \frac{R_3}{R_3 + R_3} + V_{CONTROL} \frac{R_3}{R_3 + R_3} \\ &= \frac{1}{2}(2-a)V_{OUT} + \frac{1}{2}V_{CONTROL} = (1-0.5a)V_{OUT} + \frac{1}{2}V_{CONTROL} \end{aligned} \quad (55)$$

La tensione trovata all'uscita del buffer (54) è utilizzata per aumentare la tensione al source, facendo in modo che V_{GS} sia uguale a:

$$V_{GS} = 0.5V_{CONTROL} + 0.5aV_{OUT} \quad (56)$$

ma essendo

$$V_{OUT} = V_{DS} + (1 - a)V_{OUT} \quad (57)$$

si ottiene

$$V_{DS} = aV_{OUT} \quad (58)$$

Sostituendo ora la (58) nella (56) risulta:

$$V_{GS} = 0.5V_{CONTROL} + 0.5V_{DS} \quad (59)$$

Invertendo (58) e riprendendo quanto detto nella (27), fornendo al gate una ulteriore tensione di $0.5V_{DS}$ per la linearizzazione si ottiene infine che la resistenza d'ingresso è pari a:

$$V_{OUT} = \frac{V_{DS}}{a} \quad (60)$$

$$R_{IN} = \frac{V_{OUT}}{I_{DS}} = \frac{V_{DS}}{aI_{DS}} = \frac{1}{a}r_{DS} \quad (61)$$

Considerando il risultato (58) possiamo osservare che minore sarà il parametro a (di valore sempre inferiore all'unità), più grande sarà il range dinamico di valori utilizzabili, tenendo sempre conto però della massima distorsione che può essere ammessa.

Fissando $a = 0.1$ e utilizzando il transistor JFET VCR4N si ottengono le seguenti curve per diversi valori di $V_{CONTROL}$, viene anche affiancato il grafico rappresentante l'andamento della corrente su un resistore al variare della tensione applicata.

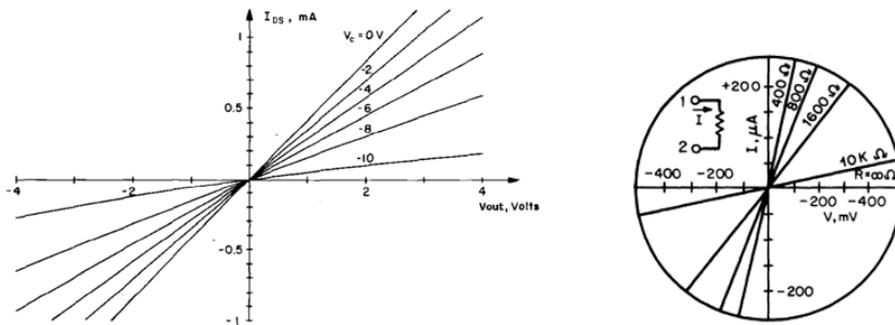


Figura 41: Andamento linearizzato di I_D rispetto a V_{DS} in un partitore di tensione che utilizza un FET VCR4N e il circuito di Nay-Budak, fissato $a = 0.1$

Per completezza vengono riportati anche i grafici appartenenti allo stesso schema descritto, utilizzando questa volta un JFET 2N4339.

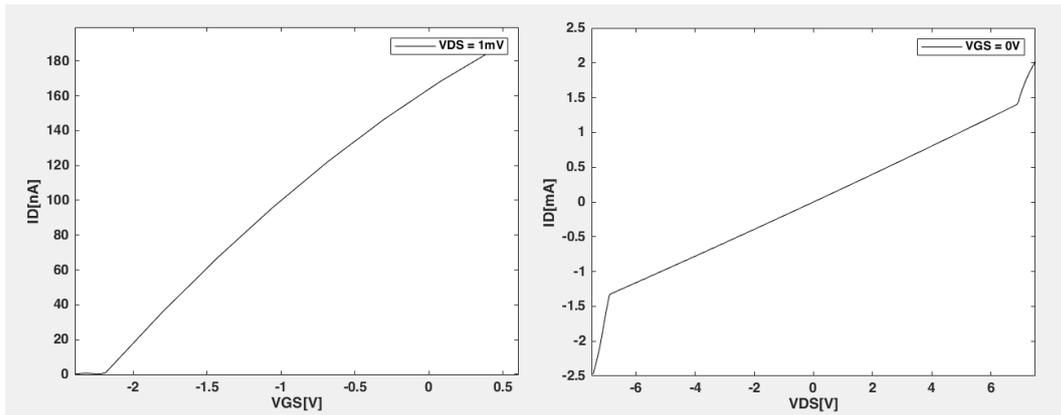


Figura 42: Rapporto tra I_D-V_{GS} e I_D-V_{DS} in un partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339

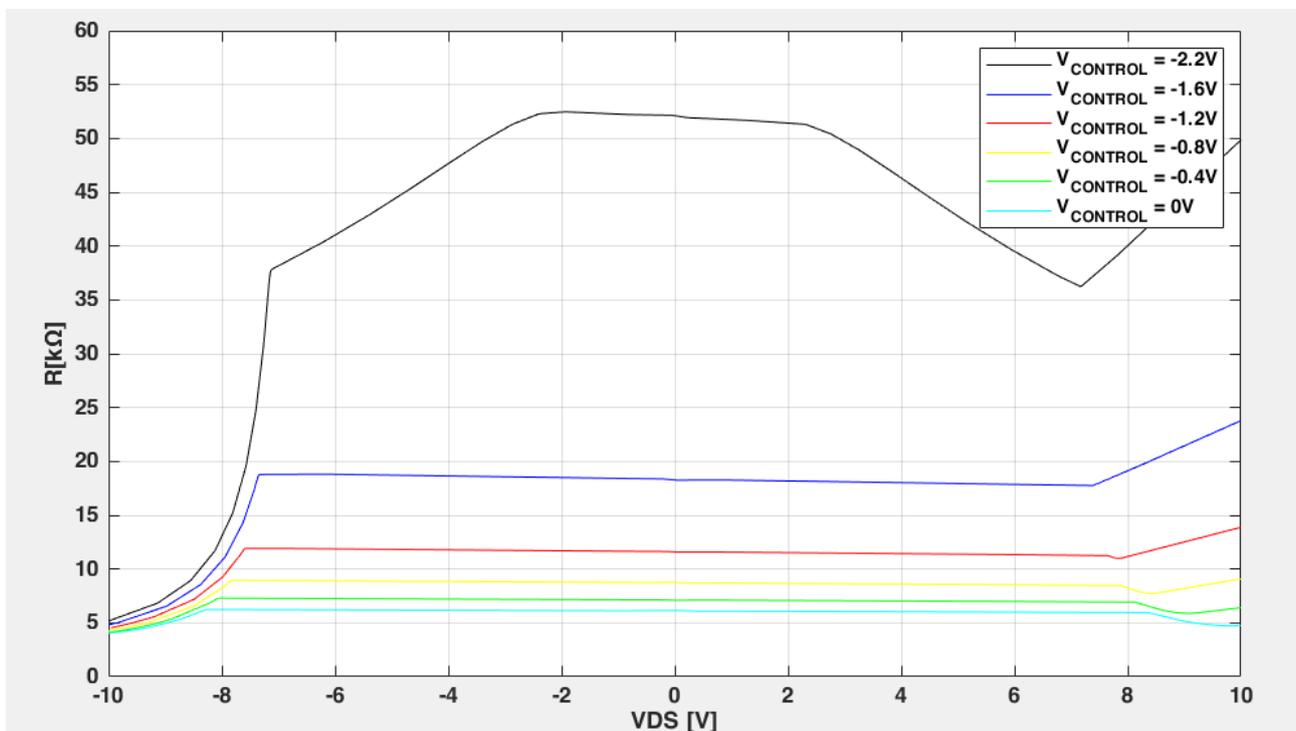


Figura 43: Rapporto tra $r_{DS}-V_{DS}-V_{CONTROL}$ in un partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339

Nel grafico di Figura (43) è stato finalmente ottenuto il risultato che ci si era prefissati: si può infatti osservare una minima dipendenza del valore di r_{DS} rispetto a V_{DS} . Chiaramente non è possibile linearizzare ulteriormente il valore di r_{DS} per valori prossimi al valore di $V_{GS(OFF)}$ (come si può osservare in figura Figura (43), nel terzo grafico, per valori di $V_{CONTROL} = -2.2V$), in quanto questo risulta da un limite fisico: se si desidera lavorare con tali valori di $V_{CONTROL}$ sarà necessario cambiare dispositivo con uno dotato di parametri consoni.

7.1.2.1 Distorsione armonica nel partitore di tensione implementato con il circuito di Nay-Budak

Nella Figura (44) è rappresentato lo spettro armonico del partitore di tensione realizzato con la configurazione circuitale che ne estende il range e la linearità discussa nella precedente sezione, nella quale è stata fornita in ingresso una tensione $V_{IN} = 0.1V_{pp}$, è stata scelta una resistenza $R = 1k\Omega$, un valore di $a = 0.15$ mentre i valori dei resistori R_1, R_2, R_3 sono identici di valore $10.5k\Omega$.

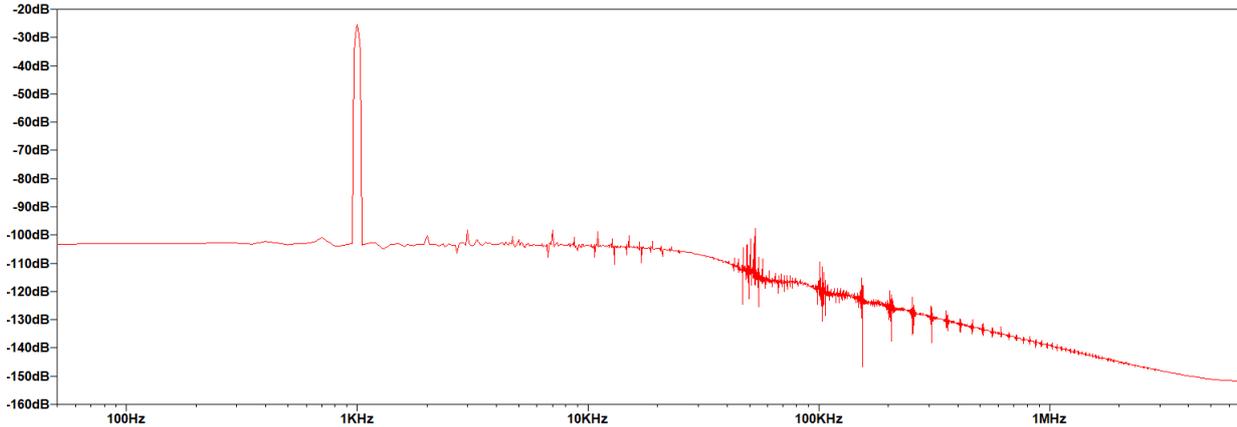


Figura 44: Spettro armonico di V_{OUT} nel partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339

Dalla Figura (44) possiamo inoltre ricavare :

$$1^{\circ} \text{ Armonica} = -25.38dB$$

$$2^{\circ} \text{ Armonica} = -100.33dB$$

$$3^{\circ} \text{ Armonica} = -98.15dB$$

$$THD\% = 100\sqrt{10^{\left(\frac{-100.33 - (-25.38)}{10}\right)} + 10^{\left(\frac{-98.15 - (-25.38)}{10}\right)}} \approx 0.042\%$$

La stima risulta però poco accurata, in quanto si osservano altre armoniche di ampiezza confrontabile alla seconda e alla terza. Si ricorre quindi alla funzione "four" disponibile sul software di simulazione LTSpice, che fornisce un'analisi della distorsione armonica tenendo conto di un numero prefissato di armoniche. Scegliendo di voler analizzare 100 armoniche ed utilizzando la frequenza fondamentale di $1kHz$ si ottiene una $THD = 0.082995\%$.

É possibile concludere che un ulteriore ampliamento del range di valori utilizzabili è stato possibile a discapito della distorsione armonica.

Vengono infine riportati i grafici delle simulazioni che illustrano l'andamento della THD in relazione al parametro a e al parametro V_{IN} .

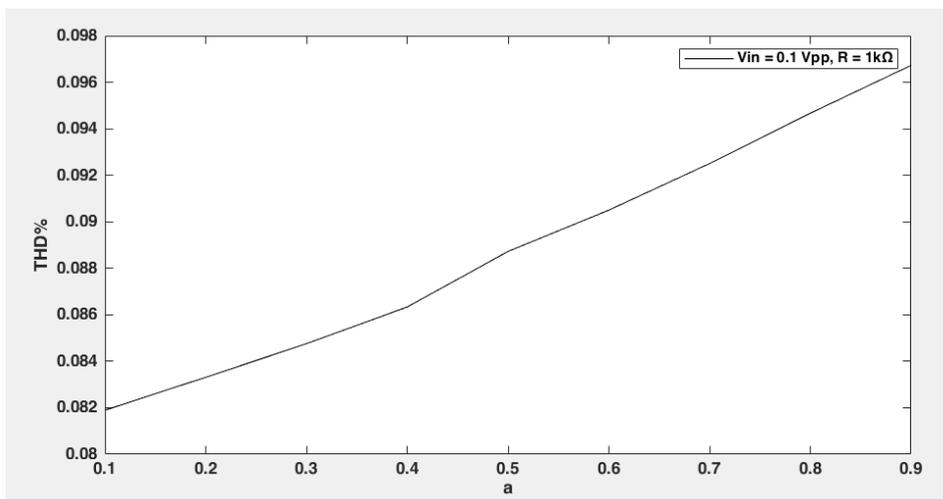


Figura 45: Relazione che intercorre tra il valore percentuale della THD e il valore di a fissati $V_{CONTROL} = 0V$, $R = 1k\Omega$ e $V_{IN} = 0.1V_{picco-picco}$ in un partitore di tensione che integra il circuito di Nay-Budak

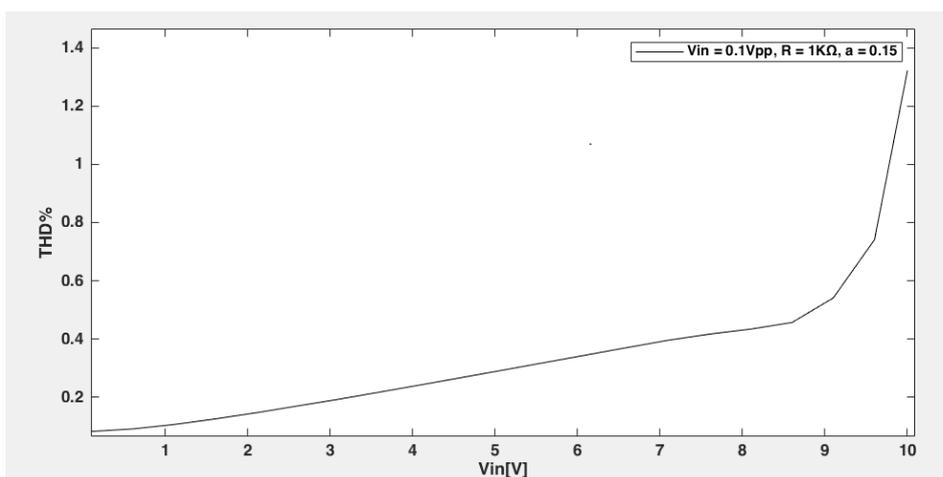


Figura 46: Relazione tra il valore di V_{IN} espresso in $[V_{picco-picco}]$ e il valore percentuale della THD fissati $V_{CONTROL} = 0V$, $a = 0.15$ e $R = 1k\Omega$ in un partitore di tensione che integra il circuito di Nay-Budak

7.2 Controllo lineare del guadagno

Il Linear Gain Control (LGC) è una specifica implementazione circuitale che permette di modificare il guadagno di un amplificatore agendo su una tensione esterna di controllo.

Come è possibile vedere in Figura (47) si tratta di un amplificatore non invertente con un feedback composto da un resistore controllato in tensione implementato attraverso un JFET.

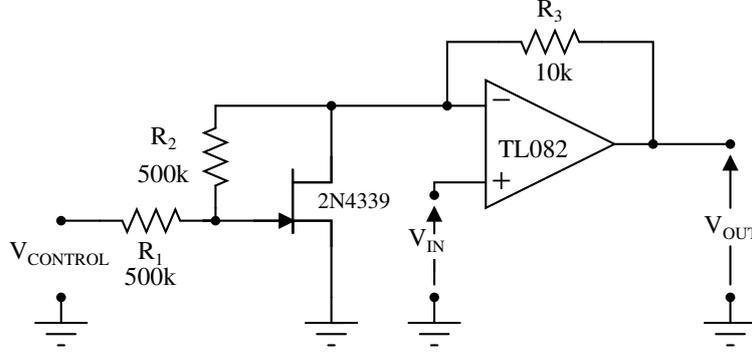


Figura 47: Circuito di regolazione lineare del guadagno dell'amplificatore TL082

La tensione d'uscita del circuito è:

$$V_{OUT} = V_{IN} + i_{r_{DS}} R_3 = V_{IN} + \frac{V_{IN}}{r_{DS}} R_3 = V_{IN} \frac{1 + R_3}{r_{DS}} \quad (62)$$

Sotto ipotesi di lavoro in regione ohmica e lineare possiamo utilizzare la (23):

$$\frac{V_{OUT}}{V_{IN}} = A_V = 1 + \frac{R_3}{r_{DS}} = 1 + R_3 g_{DS0} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}}\right) \quad (63)$$

Dalla quale possiamo osservare che per valori di V_{GS} tendenti a $V_{GS(OFF)}$, trovandoci in presenza del pinch-off del canale dovuto alla tensione applicata al terminale di gate otterremo il minor valore di guadagno, mentre proseguendo con un andamento lineare il massimo guadagno si avrà per valori $0 \leq V_{GS} < V_{\gamma}$.

Anche in questo caso V_{GS} sarà pari a $\frac{1}{2} V_{CONTROL}$ a meno che non ci sia la possibilità di utilizzare un generatore flottante, in questo modo la (63) diventerebbe:

$$A_V = 1 + R_3 g_{DS0} \left(1 - \frac{V_{CONTROL}}{2V_{GS(OFF)}}\right) \quad (64)$$

Viene riportata una simulazione nella quale seguendo il grafico ottenuto nella Sezione 7.1.1 e utilizzando un transistor JFET 2N4339 sono stati forniti un valore di $V_{IN} = 0.7V_{pp}$ sinusoidale di frequenza 10kHz e $V_{CONTROL}$ variabile da -1.6V a 0V: si tratta di valori scelti in modo tale da evitare le non linearità e le distorsioni (infatti ora $V_{GS} = \frac{V_{CONTROL}}{2}$), si ottiene quindi che il valore minimo della tensione di gate-source sarà $V_{GS} = -0.8V$ (controllando nel grafico in Figura (18), questo valore di tensione è sufficientemente piccolo rispetto a $V_{GS(OFF)}$). Osservando il secondo grafico ottenuto implementando il circuito di feedback sempre alla Sezione 7.1.1 alla Figura (34) è possibile confermare che se V_{IN} , a sua volta coincidente in questo circuito (Figura (47)) con V_{DS} , varia tra a $-0.35V < V_{IN} < 0.35V$ ci si trova in una regione nella quale la relazione

tra V_{DS} e I_{DS} è lineare .

Così facendo si ottiene un'amplificazione variabile di valore:

$$A_{V_{MIN}} = 1 + \frac{10k\Omega}{500\Omega} \left(1 - \frac{-1.6V}{2(-1.12V)}\right) \approx 6.7$$

$$A_{V_{MAX}} = 1 + \frac{10k\Omega}{500\Omega} \left(1 - \frac{0V}{2(-1.12V)}\right) = 21$$

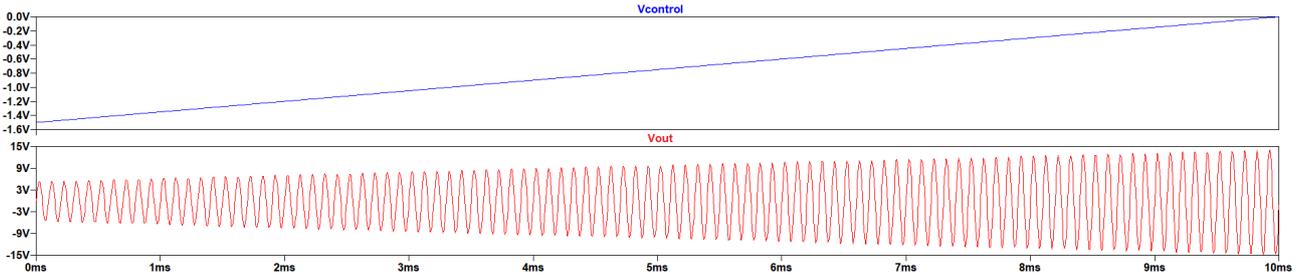


Figura 48: Andamento della tensione $V_{CONTROL}$ e di V_{OUT} nel circuito in Figura (47)

Nella simulazione in Figura (48) si sono ottenuti rispettivamente i valori:

$$V_{OUT(V_{GS}=0V)} = 4.575V, \text{ quindi } A_{V_{MIN}SIMULATA} = \frac{V_{OUT(V_{GS}=0V)}}{V_{IN}} \approx 6.54$$

$$V_{OUT(V_{GS}=0.8V)} = 14.267V, \text{ quindi } A_{V_{MAX}SIMULATA} = \frac{V_{OUT(V_{GS}=0.8V)}}{V_{IN}} \approx 20.38$$

Per aumentare il range di valori di V_{DS} utilizzabili una soluzione ragionevole è quella di scegliere dispositivi con una V_P molto alta, in modo da raggiungere il pinch-off del canale dovuto alla tensione drain-source a valori non più restrittivi.

Si è in grado di porre un limite al valore minimo assumibile dal guadagno aggiungendo in parallelo al JFET un resistore, come in Figura (49):

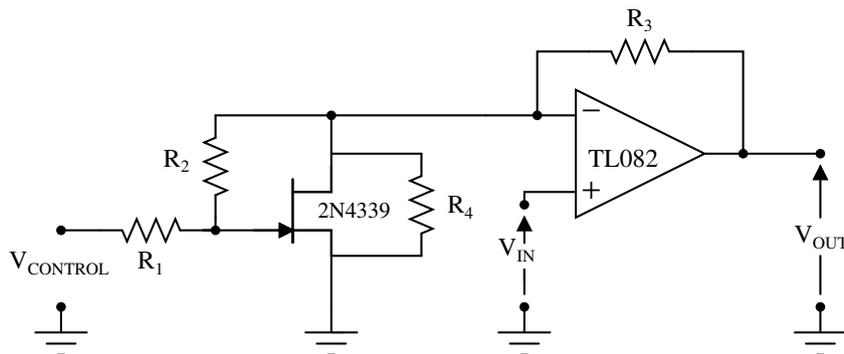


Figura 49: Aggiunta di un resistore R_4 per porre un limite basso al guadagno

In questo modo il guadagno diventa:

$$A_V = 1 + \frac{R_3}{R_4} + R_3 g_{DS0} \left(1 - \frac{V_{GS}}{V_{GS(OFF)}}\right) = 1 + \frac{R_3}{R_4} + R_3 g_{DS0} \left(1 - \frac{V_{CONTROL}}{2V_{GS(OFF)}}\right) \quad (65)$$

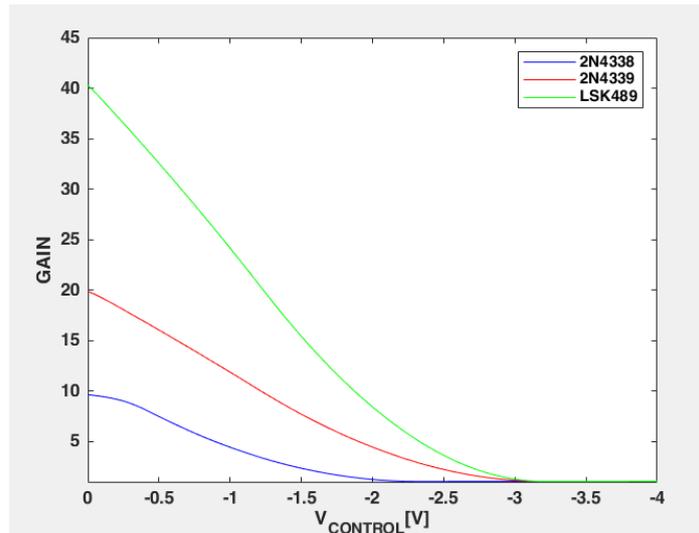


Figura 50: Guadagno in funzione della tensione di controllo nello schema di Figura (47) utilizzando vari transistor JFET con una tensione d'ingresso $V_{IN} = 0.7V$

Dalla simulazione in Figura (50) è chiaramente intuibile che il limite massimo di guadagno è fissato dalla resistenza di canale in assenza di polarizzazione: minore sarà quest'ultima, maggiore sarà il guadagno ottenibile, infatti è possibile vedere come utilizzando la medesima R_3 da $10k\Omega$ con il un transistor JFET LSK489 si ottiene la curva con i valori di guadagno più alti.

7.3 Voltage Quotient Circuit

Un Voltage Quotient Circuit è un'implementazione circuitale che fa assumere alla tensione in uscita un valore proporzionale al quoziente di due tensioni d'ingresso, molto utile in applicazioni per strumentazione, elaborazione e condizionamento di segnali.[2]

Una delle varie tecniche meno costose per la realizzazione di questa tipologia di circuiti è quella che impiega un JFET in configurazione resistore controllato in tensione, come mostrato in Figura (51):

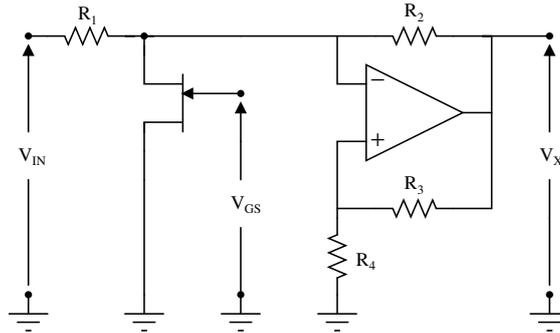


Figura 51: Circuito che calcola il quoziente tra le tensioni d'ingresso

nella quale il resistore R_4 deve avere un valore pari a:

$$R_4 = \frac{R_1 R_3}{R_2 \left(1 + \left(\frac{-2I_{DSS}}{V_P}\right) R_1\right)} \quad (66)$$

ed il valore del resistore R_1 è legato a I_{DSS} e ai valori di R_2, R_3, R_4 da :

$$R_1 = \frac{-R_2 R_4}{R_3 - \frac{2I_{DSS}}{V_P} R_2 R_4} \quad (67)$$

Si può a questo punto determinare il valore della tensione V_x :

$$V_x = \frac{V_1}{V_{CONTROL}} \frac{V_P^2}{2I_{DSS} R_1} \quad (68)$$

Nella quale si osserva che $\frac{V_P^2}{2I_{DSS} R_1 V_{CONTROL}}$ è un valore costante.

Per aumentare il range di valori utilizzabili da questo circuito, è necessario ricorrere al circuito proposto in precedenza alla Sezione 7.1.2, cioè quello di Nay-Budak che sfrutta un feedback drain-to-gate e un generatore dipendente di tensione per ridurre la tensione applicata al transistor.

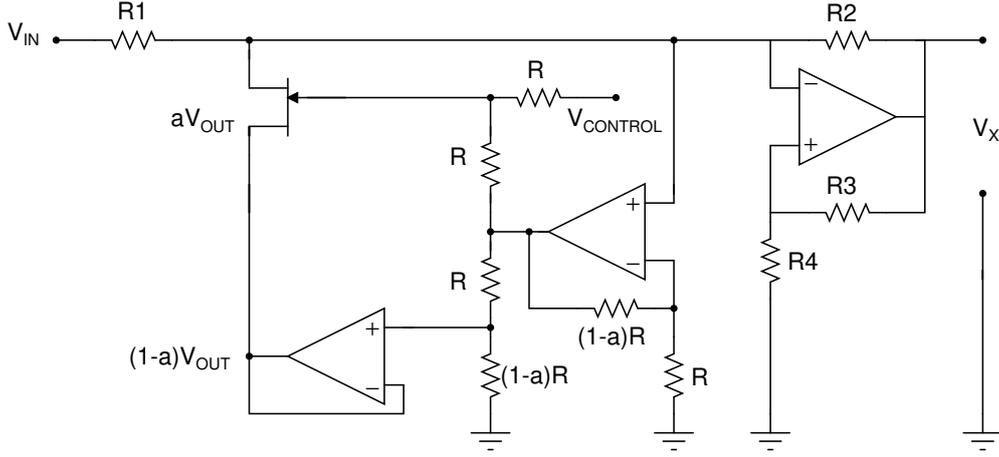


Figura 52: Voltage Quotient Circuit nella quale è stato integrato il circuito di Nay-Budak

Per poter utilizzare questa implementazione circuitale è però necessario rivedere i valori di R_1 , che dovrà assumere rispettivamente un valore pari a:

$$R_1 = \frac{-R_2 R_4}{R_3 - a \frac{2I_{DSS}}{V_P} R_2 R_4} \quad (69)$$

Ottenendo in uscita:

$$V_x = \frac{V_{IN}}{V_{CONTROL}} \frac{V_P^2}{a I_{DSS} R_1} \quad (70)$$

Per poter utilizzare queste relazioni è necessario mantenersi ovviamente nella regione di funzionamento ohmica (in caso contrario la relazione (26) cessa di valere), cioè è necessario che sia valida:

$$|V_{IN}| < (2V_P V_{CONTROL} - V_{CONTROL}^2) \left(\frac{R_1 I_{DSS}}{V_P^2} \right) \quad (71)$$

Per valori di piccola entità di $V_{CONTROL}$ è necessario osservare che per evitare una polarizzazione diretta della giunzione gate-canale al terminale di source, considerando che $V_{GS} = \frac{(V_x + V_{CONTROL})}{2}$, trascurando il carico e utilizzando la (68) si ottiene che

$$V_{IN} > -V_{CONTROL}^2 R_1 \frac{-I_{DSS}}{V_P^2} \quad (72)$$

Similmente per evitare una polarizzazione inversa della giunzione gate-canale al terminale di drain:

$$V_x < V_{CONTROL} \\ V_{IN} < -V_{CONTROL}^2 R_1 \frac{-I_{DSS}}{V_P^2} \quad (73)$$

Applicando ulteriori restrizioni al valore di V_{IN} , se si vogliono utilizzare valori di $V_{CONTROL}$ di entità non trascurabile è necessario che sia verificata la seguente relazione:

$$|V_{IN}| = (V_P V_{CONTROL} - V_{CONTROL}^2) \left(\frac{2R_1 I_{DSS}}{V_P^2} \right) \quad (74)$$

7.4 Circuiti ad avanzamento e ritardo di fase

Si tratta di configurazioni circuitali che modificano la fase della corrente, sfasandola di più o meno 90° ad una frequenza dettata dalla capacità del condensatore.

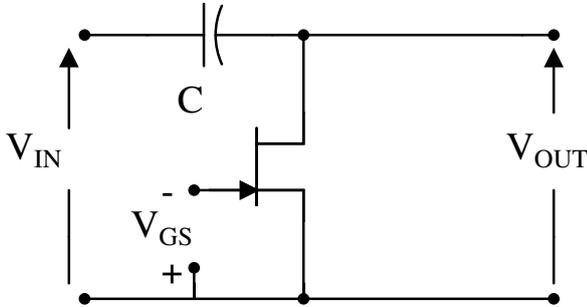


Figura 53: Circuito ad avanzamento di fase

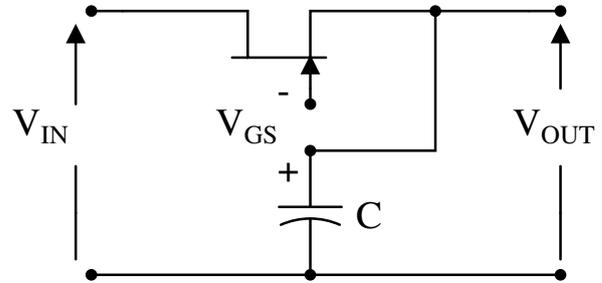


Figura 54: Circuito a ritardo di fase

Viene qui eseguita un'analisi del circuito ad avanzamento di fase, ma lo studio del complementare circuito per il ritardo di fase viene effettuato in modo analogo.

Il valore della tensione di uscita è pari a:

$$V_{OUT} = V_{IN} \frac{r_{DS}}{Z_C + r_{DS}} = V_{IN} \frac{sr_{DS}C}{1 + sr_{DS}C} \quad (75)$$

Nella quale i termini ($r_{DS}C$) sono chiaramente determinanti per il circuito.

Utilizzando la (23) possiamo evidenziare il rapporto tra V_{OUT} e V_{GS} :

$$V_{OUT} = V_{IN} \frac{sr_{DS0}CV_{GS(OFF)}}{V_{GS(OFF)}(1 + sr_{DS0}C) - V_{GS}} \quad (76)$$

Vengono riportate delle simulazioni dei circuiti di phase-advance e phase-retard implementati con un JFET 2N4339 in configurazione VCR fornendo in ingresso una tensione $V_{IN} = 0.3V_{pp}$ ad una frequenza di $10kHz$, scegliendo un valore di $C = 0.1\mu F$.

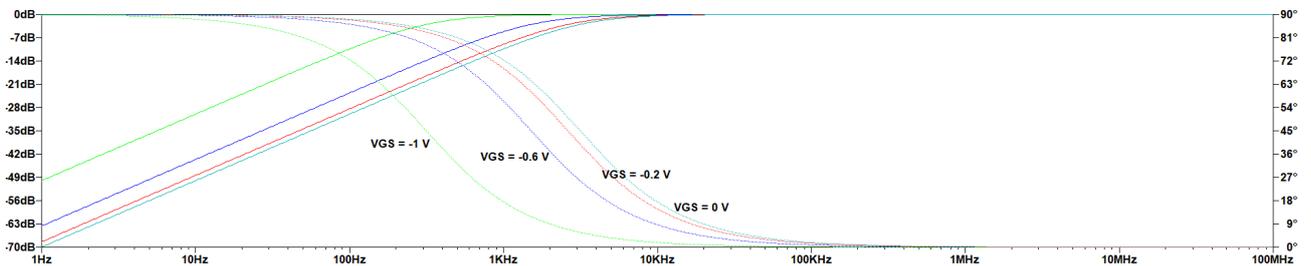


Figura 55: Diagramma di Bode di modulo e fase del circuito ad avanzamento di fase in Figura (53)

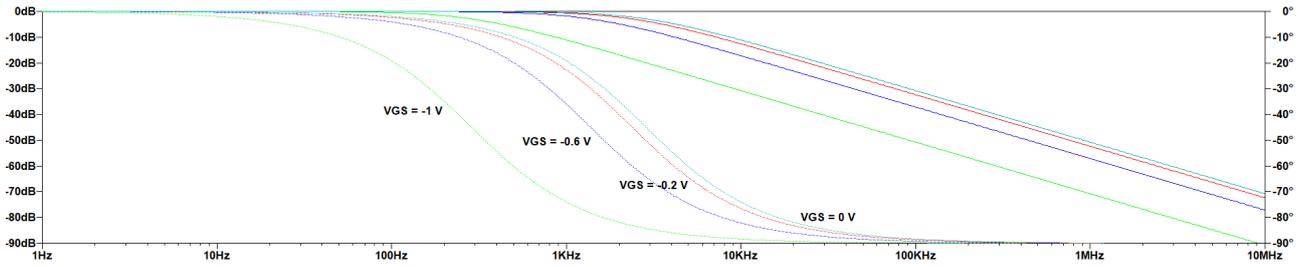


Figura 56: Diagramma di Bode di modulo e fase del circuito a ritardo di fase in Figura (54)

Nella simulazione è stato fatto variare il valore di V_{GS} al fine di modificare il r_{DS} , è evidente come la variazione abbia modificato il comportamento in frequenza del circuito.

Anche questo tipo di circuiti sono affetti da fenomeni di distorsione dovuti al segnale V_{IN} d'ingresso che deve essere mantenuto al di sotto di una certa soglia dettata dalla tensione di pinch-off V_P .

Nella Figura (57) viene implementato uno phase-shifter a bassa distorsione implementante una rete di feedback.

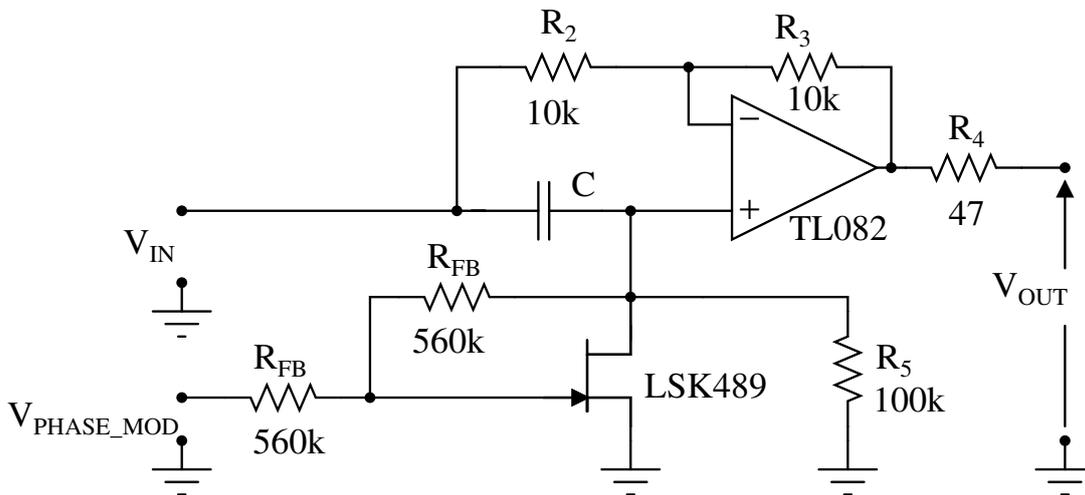


Figura 57: Riduzione dei disturbi in un circuito phase-shifting

È presente un amplificatore operazionale il cui guadagno è pari a:

$$A_{TL082} = \left| \frac{V_{OUT}}{V_{IN}} \right| = 1 \quad (77)$$

Il circuito modifica però la fase di V_{IN} , infatti:

$$\phi_{out}^{\circ} = -[180^{\circ} - 2\arctan(\frac{f}{f_c})] \quad (78)$$

Dove

$$f_c = \frac{1}{2\pi R_C} \quad (79)$$

Nella quale

$$R = r_{DS} // R_5 // (2R_{FEEDBACK}) \quad (80)$$

Quindi se dovessimo fornire in ingresso un segnale di frequenza $f = f_C$, l'onda risultante in uscita sarebbe dotata di uno sfasamento pari a $\phi_{OUT} = -90^\circ$, ma devono però essere presi degli accorgimenti per quanto riguarda la tensione $V_{CONTROL}$, che ora assume un valore non più uguale a $V_{PHASEMOD}$, bensì uguale a $\frac{V_{PHASEMOD}}{2}$: è necessario quindi applicare una tensione pari a:

$$2V_{GS(OFF)} < V_{PHASEMOD} < 0V \quad (81)$$

Nel caso del JFET LSK489 (che dispone di una $V_{GS(OFF)} = -1.13V$) $V_{PHASEMOD}$ dovrà avere un valore pari a:

$$-2.26V < V_{CONTROL} < 0V \quad (82)$$

L'inconveniente di questa configurazione è che parte della componente di $V_{PHASEMOD}$ andrà ad influenzare la tensione di uscita sommandosi con la tensione d'ingresso V_{IN} : supponendo di fornire un segnale d'ingresso ad alta frequenza e di utilizzare una $V_{PHASEMOD}$ a bassa frequenza si genererà in uscita una forma d'onda comprendente sia un segnale ad alta frequenza modulato in fase ma anche un segnale a bassa frequenza che ne modulerà l'ampiezza. Per ovviare a questo inconveniente viene utilizzato il seguente circuito che presenta esattamente gli stessi parametri di prima a sola differenza del valore di R, che ora assumerà un valore pari a:

$$R \approx r_{DS} // R_5 \quad (83)$$

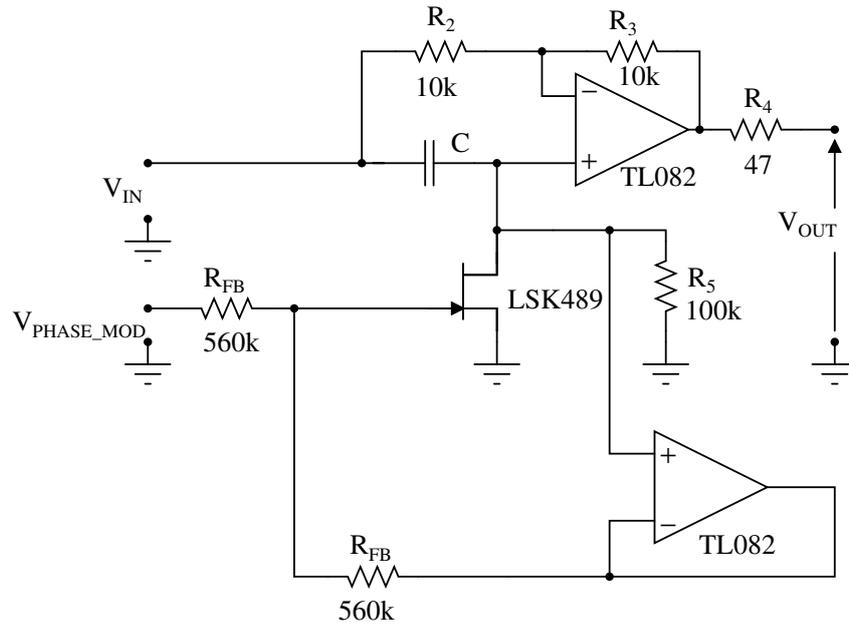


Figura 58: Circuito di Phase-Shifting con buffer

Utilizzando un amplificatore in configurazione buffer non viene solo ridotta la distorsione, viene eliminata anche la componente di $V_{PHASEMOD}$ che prima influenzava V_{OUT} . [15]

7.5 Impiego negli oscillatori

Una vasta area di impiego dei transistor ad effetto campo in configurazione resistore controllato in tensione è quella degli oscillatori, nella quale i JFET vengono utilizzati nei feedback volti a controllare automaticamente il guadagno dell'amplificatore in funzione dell'ampiezza del segnale d'uscita.

Prima di cominciare ad analizzare il comportamento e la funzione che svolge il VCR nell'oscillatore a ponte di Wien, è importante spiegare la base che permette il funzionamento di un oscillatore, cioè il criterio di Barkhausen. Il criterio di Barkhausen pone delle condizioni per il funzionamento di un oscillatore: il feedback deve essere positivo (cioè il feedback in corrente o in tensione deve essere in fase in modo da poter essere sommato con il segnale in input all'amplificatore) e il guadagno d'anello deve essere più grande dell'unità per permettere all'amplificatore di aumentare l'entità dell'oscillazione (e ovviamente un guadagno unitario per sostenere l'oscillazione terminato il transiente).

Sostanzialmente per il funzionamento di un oscillatore devono essere presenti nel circuito un amplificatore, una rete che determini la frequenza di oscillazione e una rete di feedback positiva. Per provvedere un feedback positivo ad una determinata frequenza vengono utilizzati amplificatori invertenti se è necessario uno shift della fase di 180° , amplificatori non invertenti se non è necessario alcuno shift.

7.5.1 Oscillatore a ponte di Wien con stabilizzatore d'ampiezza

Qualsiasi oscillatore armonico prende il nome dal circuito che ne determina la frequenza di oscillazione, l'oscillatore a ponte di Wien utilizza una rete ritardo-anticipo ("lead-lag") e ciò fa sì che lo spostamento di fase nel circuito sia di 0° : da quanto precedentemente affermato il feedback viene collegato al morsetto non invertente dell'amplificatore.

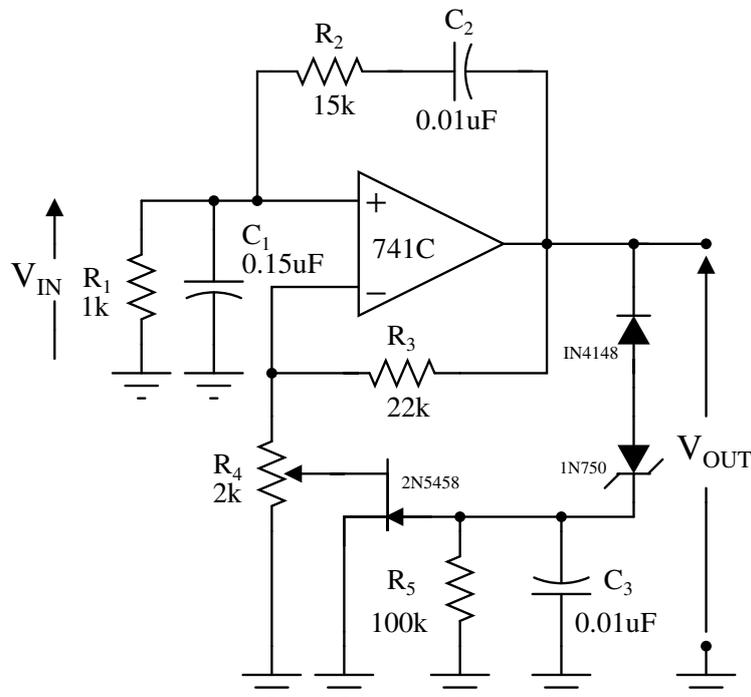


Figura 59: Oscillatore a ponte di Wien

Lo schema in Figura (59) rappresenta un oscillatore a ponte di Wien che impiega un transistor JFET configurato in modo tale da utilizzare la sua resistenza di canale r_{DS} per il controllo del guadagno di tensione dell'amplificatore non invertente.

Partendo da destra, i diodi D_1 e D_2 sono utilizzati come raddrizzatori a semionda: quando l'ampiezza del segnale di uscita diventa sufficientemente grande, quest'ultimo viene convertito in una tensione continua negativa pulsante (primo grafico di Figura (60)). Il condensatore C_3 è utilizzato come filtro per ridurre l'ondulazione (smoothing) della tensione continua e per provvedere a fornire una tensione di polarizzazione costante al gate del JFET. Il resistore R_5 , infine, è utilizzato per collegare il terminale di gate del JFET a massa quando il segnale d'uscita possiede un'ampiezza molto ridotta: questo fa in modo che r_{DS} assuma il valore più basso possibile ($r_{DS(ON)}$) e che il guadagno dell'amplificatore raggiunga il suo massimo, ovviamente maggiore dell'unità e approssimabile a circa:

$$A = \frac{V_{OUT}}{V_{IN}} \approx 1 + \frac{R_3}{r_{DS0}} \quad (84)$$

Una volta che l'ampiezza della tensione d'uscita oltrepassa un determinato limite fissato dalle tensioni di soglia dei diodi (in questo caso $\approx -(0.7V + 4.7V)$), questi entrano entrambi in conduzione aumentando (negativamente) la tensione V_{GS} , causando quindi un aumento di r_{DS} e conseguentemente facendo diminuire il guadagno d'anello. Questo meccanismo reso automatico dalla presenza del transistor prosegue finché il guadagno d'anello del circuito diventa unitario, e quindi finché l'ampiezza del segnale d'uscita non diviene stabile nel tempo.

Per quanto riguarda la frequenza di oscillazione, viene determinata da:

$$f_{OSCILLAZIONE} = \frac{1}{2\pi\sqrt{R_1R_2C_1C_2}} \quad (85)$$

Mentre il valore richiesto per mantenere un guadagno unitario è dato da:

$$\frac{1}{\beta} = A_{unitario} = \left(1 + \frac{R_2}{R_1} + \frac{C_1}{C_2}\right) \quad (86)$$

Se i resistori R_3 ed R_4 sono scelti correttamente (R_4 è un resistore variabile utilizzato per tarare il JFET, il cui funzionamento è spiegato in seguito), il guadagno di tensione $A_{UNITARIO}$ verrà raggiunto per valori di r_{DS} molto vicini a $r_{DS(ON)}$, ciò significa che V_{GS} sarà circa zero: in questo caso in uscita apparirà un picco di tensione negativa pari a:

$$V_{OUT(NEGATIVE-PEAK)} = -(V_{D1} + V_{D2}) + V_{GS} \quad (87)$$

Nella quale V_{D1} e V_{D2} sono le tensioni di soglia dei diodi.

Il resistore R_5 ed il condensatore C_3 , necessari per un corretto funzionamento del JFET, provvederanno una adeguata funzione di filtro se e solo se la loro costante di tempo è molto più grande del periodo di oscillazione, quindi:

$$R_5C_3 \gg T = 1/f_{OSCILLAZIONE} \quad (88)$$

Per quanto riguarda il transistor a canale n 2N5458 in Figura (59), questo può assumere $r_{DS(ON)}$ che spaziano da 182Ω a 667Ω , ed è stato scelto in quanto presenta una tensione di $V_{GS(OFF)}$ molto alta ($V_{GS(OFF)} \approx -7V$).

Il potenziometro R_4 viene utilizzato per migliorare le performance per ciascun transistor: supponendo di utilizzare lo stesso transistor, ma con valori diversi di $r_{DS(ON)}$ e, conseguentemente

di V_{GS} massima applicabile, i valori alla quale dobbiamo lasciar stabilizzare il circuito saranno molto diversi (ad esempio, utilizzando un 2N5458 con $r_{DS(ON)}$ da 182Ω e $V_{GSmax} = -1V$ e un altro da 667Ω e $V_{GSmax} = -7V$, se il circuito è calibrato per stabilizzarsi ad una soglia V_{GS} pari al 10% di V_{GSmax} , nel primo caso otterremo un picco negativo in uscita di $-6V$, mentre nel secondo caso un picco di $-6.5V$).

Mantenendo i valori dei componenti in Figura (59) è possibile effettuare una simulazione con il software LTSpice (In questa simulazione è stato utilizzato un valore del potenziometro di circa 200Ω , cioè quello che forniva le migliori prestazioni sia in termini di velocità di assestamento che in termini di distorsione armonica).

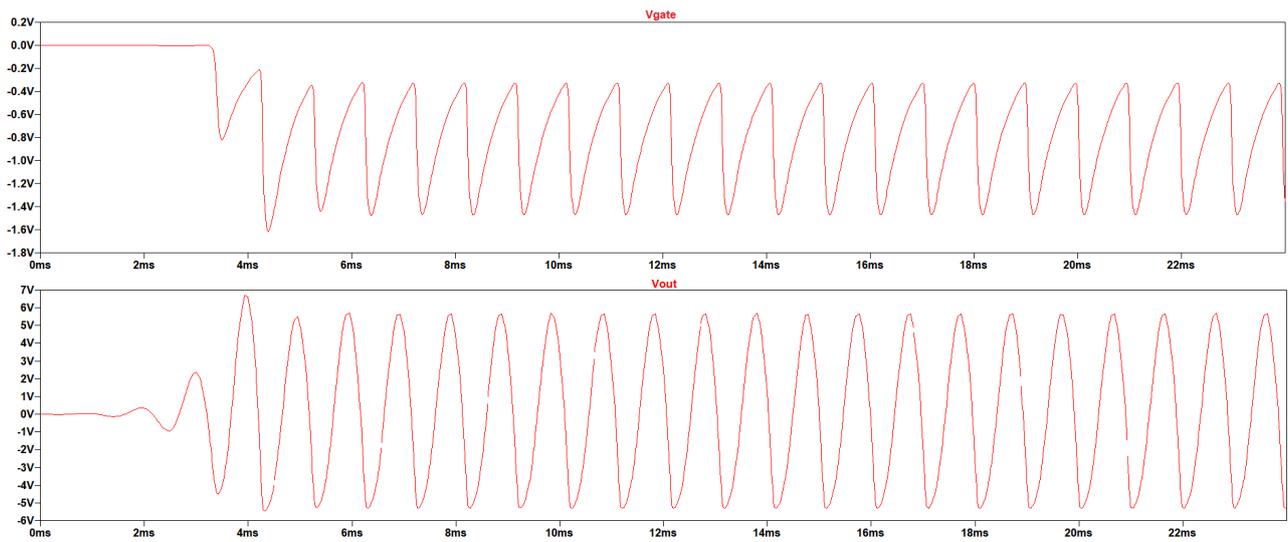


Figura 60: Simulazione della tensione al gate del transistor JFET e della tensione d'uscita nell'oscillatore a ponte di Wien di Figura (59)

Nella quale è possibile osservare un graduale aumento e una successiva diminuzione dell'ampiezza dell'onda sinusoidale dovuta ad un aggiustamento automatico del guadagno da parte del transistor JFET.

Per analizzare il comportamento dell'oscillatore a ponte di Wien è interessante effettuare anche un'analisi dello spettro armonico, riportato in Figura (61).

Utilizzando la funzione "four" di LTSpice per calcolare l'entità della distorsione si ottiene:

$$THD\% = 4.747\%$$

Valore decisamente molto alto, alla quale si porrà rimedio con il circuito del prossimo paragrafo. Attraverso questa simulazione è inoltre possibile verificare la (85), in quanto da una analisi dello spettro armonico in Figura (61) l'onda possiede una frequenza $f = 1.026kHz$, mentre la frequenza calcolata $f = 1.06kHz$.

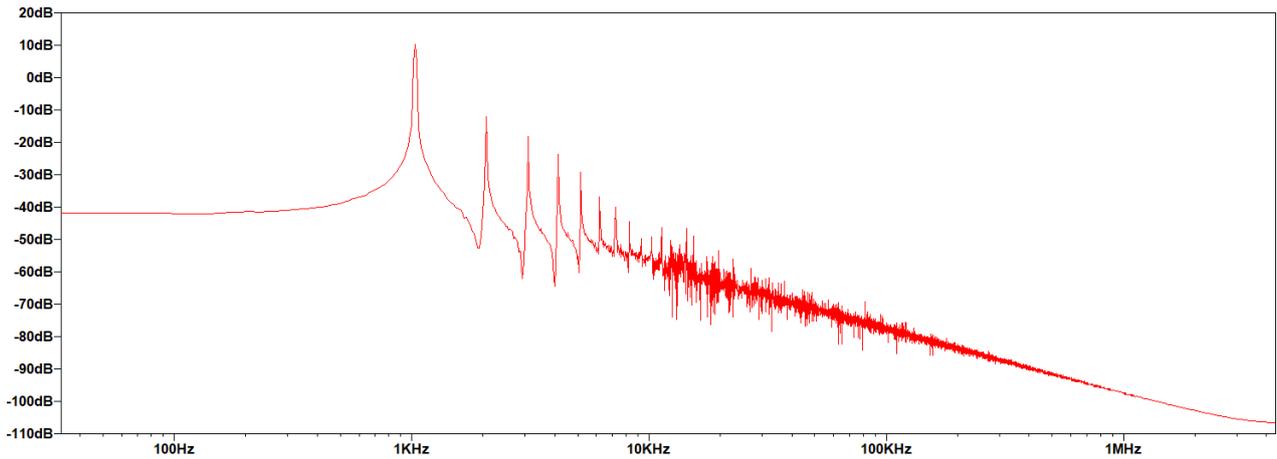


Figura 61: Spettro armonico di V_{OUT} nell'oscillatore a ponte di Wien di Figura (59)

Il valore della distorsione armonica totale è influenzato largamente dal valore del guadagno dell'amplificatore, supponendo di modificare solamente il valore di R_3 , infatti, si ottengono i seguenti andamenti:

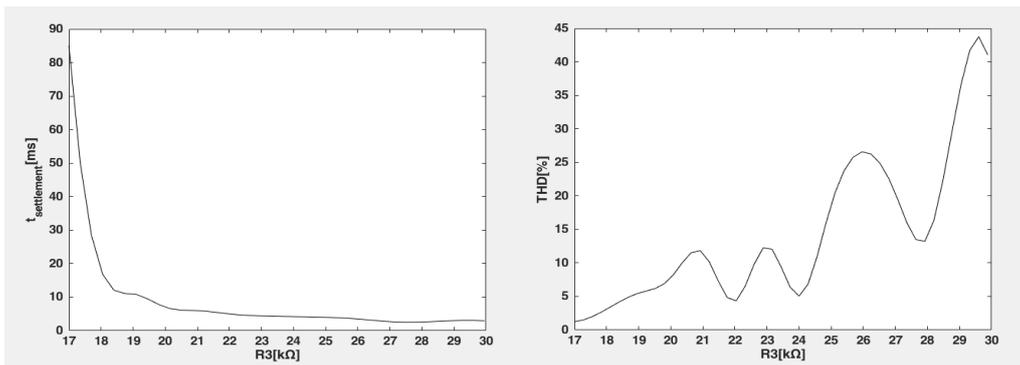


Figura 62: Andamento del tempo di assestamento e della THD nell'oscillatore a ponte di Wien di Figura (59) al variare del valore di R_3

Modificando il valore di C_3 , invece, si osserva il seguente comportamento della THD:

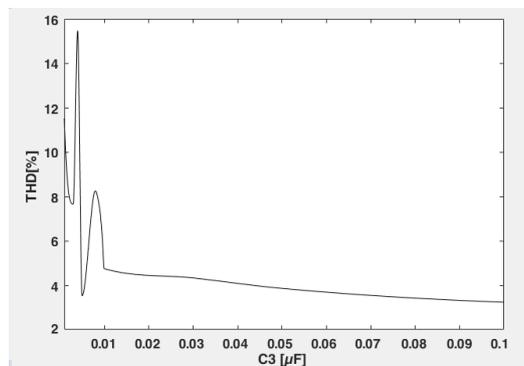


Figura 63: Andamento della THD nell'oscillatore a ponte di Wien di Figura (59) al variare del valore di C_3

7.5.1.1 Oscillatore sinusoidale a bassa distorsione armonica con stabilizzatore d'ampiezza basato sul controllo della tensione efficace

Molte applicazioni richiedono l'utilizzo di un'onda sinusoidale stabile come riferimento per la calibrazione o per effettuare delle misurazioni, ed un'ulteriore richiesta potrebbe essere inoltre il possedere una bassa distorsione armonica, caratteristica che non è sempre possibile soddisfare come ad esempio è stato osservato per l'oscillatore a ponte di Wien nella Sezione 7.5.1. [14] Viene riportato uno schema implementante un circuito che riesce a garantire una stabilità d'ampiezza dello 0,1% e contemporaneamente una distorsione armonica massima dello 0.003%.

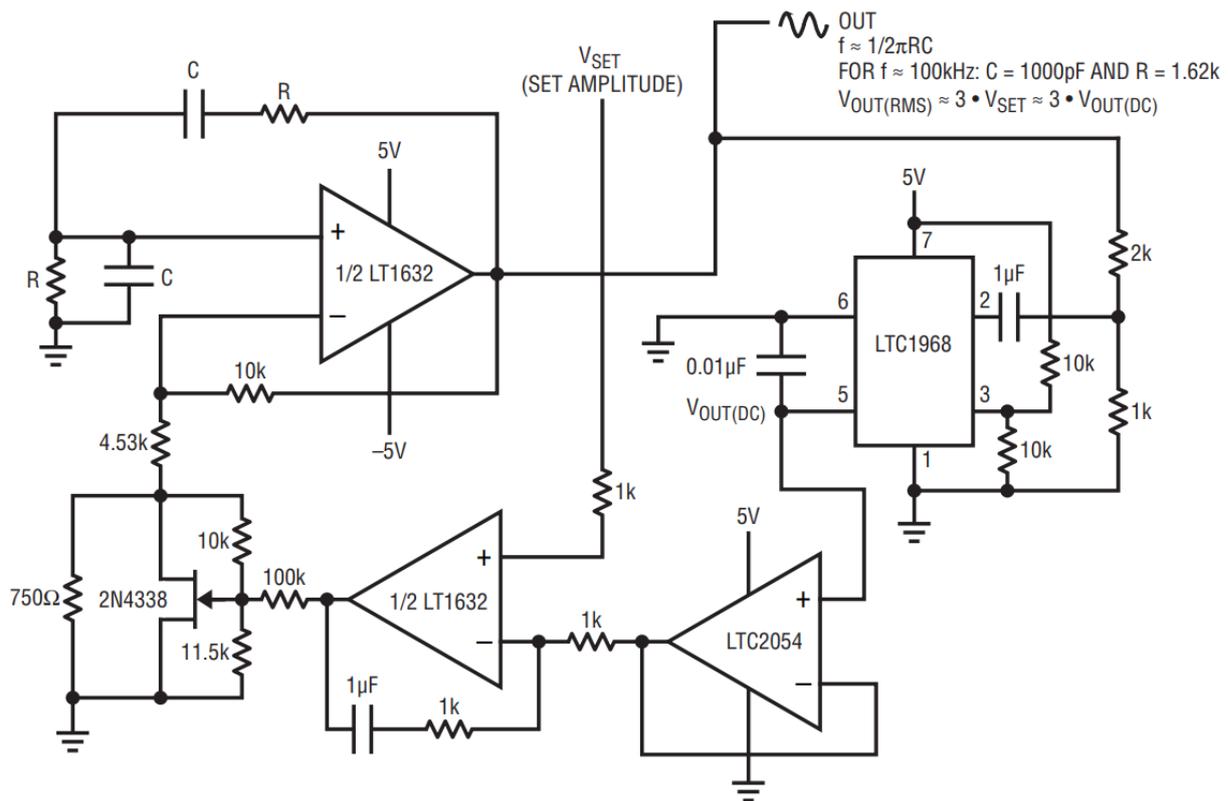


Figura 64: Implementazione circuitale di un low distortion sine wave oscillator

La base del funzionamento è equivalente a quello dell'oscillatore a ponte di Wien: l'amplificatore operazionale LT1632 è utilizzato per generare l'oscillazione; la stabilità dell'ampiezza è garantita dal dispositivo LTC1968, da un buffer e dall' LT1632 questa volta in configurazione amplificatore d'errore.

È importante notare che a differenza del circuito precedentemente illustrato la tensione V_{SET} permette di impostare il valore di tensione efficace dell'onda sinusoidale.

L'impiego del JFET continua ad essere analogo: è utilizzato come VCR per controllare il guadagno dell'oscillatore in risposta ad una variazione della tensione V_{GS} . Sono presenti due resistori collegati al terminale di gate che hanno lo scopo di compensare la modulazione del canale che potrebbe causare effetti rilevanti per quanto riguarda la distorsione armonica del circuito (Sezione 5).

Le migliori prestazioni ottenute con l'utilizzo di questo circuito sono raggiunte utilizzando il

circuito di feedback, infatti in questo caso l'LTC1968 misura costantemente il valore efficace dell'onda sinusoidale in uscita dall'oscillatore e fornisce un valore di tensione continua che corrisponde a:

$$V_{OUTDC} = \frac{V_{OUT}}{3\sqrt{2}} = \frac{V_{RMSOUT}}{3} \quad (89)$$

Al fine di evitare perdite dovute al carico viene utilizzato un LTC2054 in configurazione buffer che funge da ingresso per l'LT1632 che confronta il valore della tensione efficace con il parametro V_{SET} .

Possiamo verificare inoltre che:

$$V_{OUTLT1632} = -(I_{RC}Z_C R) + V_{SET} = -\frac{V_{BUFFER} - V_{SET}}{R} \frac{1 + sRC}{sC} + V_{SET} \quad (90)$$

Nella situazione a regime i valori di V_{BUFFER} e V_{SAT} sono uguali, si ottiene quindi:

$$V_{OUTLT1632} = V_{SET} \quad (91)$$

Mentre la situazione che richiede amplificazione massima, cioè con $V_{BUFFER} = 0$ porterà l'uscita ad un valore pari a:

$$V_{OUTLT1632_{MIN}} = \frac{V_{SET}}{R} \frac{1 + sRC}{sC} + V_{SET} \quad (92)$$

dove per valori di $\omega \gg 1$ come ad esempio accade per $f = 100\text{KHz}$ risulta

$$V_{OUTLT1632_{MAX}} = V_{SET} \left(1 + \frac{1}{R}\right) \quad (93)$$

Questo valore viene a sua volta utilizzato per pilotare la base del JFET che provvederà all'aggiustamento del guadagno: la tensione applicata al gate del transistor risulterà pari a:

$$V_{GS} = V_{OUTLT1632} \frac{r_{comp}}{100k + r_{comp}} \quad (94)$$

Nella quale r_{comp} è data da

$$r_{comp} = \frac{((750 * r_{DS}) / (r_{DS} + 750)) 11.5k / (((750 * r_{DS}) / (r_{DS} + 750)) + 11.5k)}{((750 * r_{DS}) / (r_{DS} + 750)) + 11.5k} = \frac{((750 * r_{DS} + 10k(r_{DS} + 750)) 11.5k)}{((750 * r_{DS}) + 21.5k(r_{DS} + 750))} \quad (95)$$

Possiamo concludere che l'ampiezza del segnale d'uscita a transitorio esaurito sarà pari a:

$$V_{OUT} = 3\sqrt{2}V_{OUTDC} = 3V_{SET} \quad (96)$$

7.6 Circuiti modulatori di segnale

Le configurazioni circuitali analizzate fin ora utilizzavano solamente tensioni pilotanti continue al terminale di gate, è possibile però utilizzare anche segnali sinusoidali ed ottenere dei risultati sorprendenti.

Se in ingresso al transistor come V_{GS} forniamo un'onda sinusoidale dotata di una determinata componente continua di offset, il circuito può diventare un circuito modulatore di ampiezza controllato in tensione.

È necessario tener conto in questo tipo di applicazioni anche delle capacità parassite, che potrebbero comportare effetti significativi alle alte frequenze.

7.6.1 Circuito modulatore d'ampiezza con portante in alta frequenza

Nella Figura (65) è riportato uno schema circuitale di un modulatore d'ampiezza con portante in alta frequenza. È possibile osservare che la struttura principale è quella di un partitore di tensione realizzato tra un resistore (R_2) e un transistor JFET con il circuito di feedback.

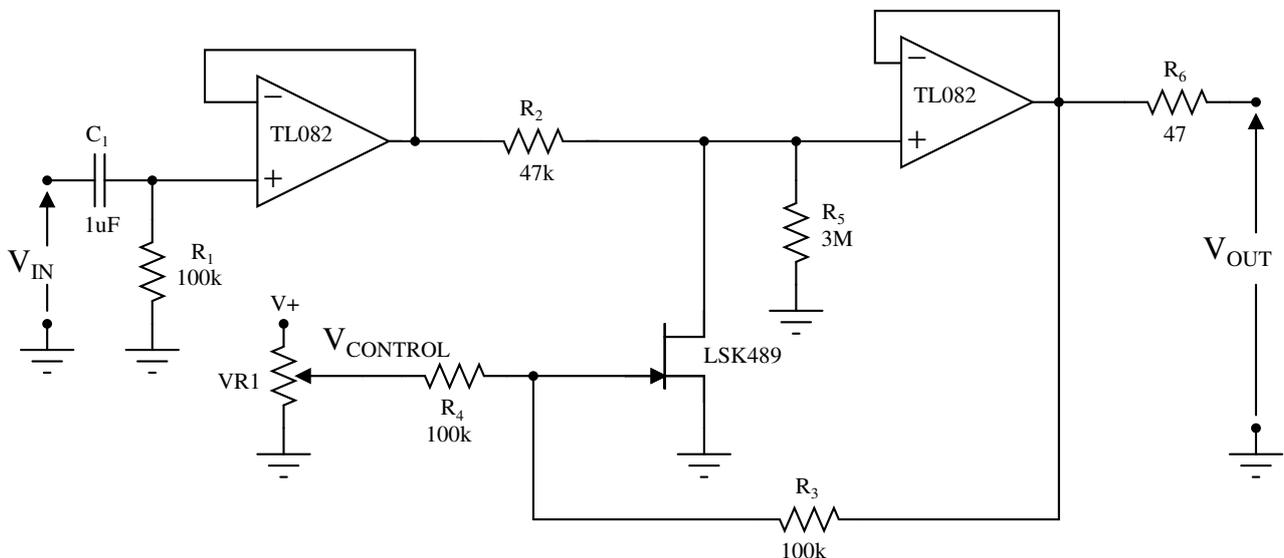


Figura 65: Circuito modulatore di segnale con portante in alta frequenza

La frequenza del segnale portante (ossia la frequenza di V_{IN}) è mantenuta rigorosamente maggiore della frequenza del segnale modulante (ossia la frequenza della tensione V_{GS} del transistor JFET).

Quando la tensione del segnale applicato al terminale di gate raggiunge il picco positivo, la resistenza di drain source diminuisce, applicando al segnale di ingresso la massima attenuazione: si ottiene quindi che nel picco positivo dell'onda sinusoidale il segnale modulato d'uscita si trova nel suo punto di minima ampiezza; viceversa nel punto di tensione minima del segnale applicato al gate, la resistenza di drain-source sarà massima, ottenendo un'attenuazione minima del segnale d'ingresso con conseguente punto di massima ampiezza del segnale d'uscita.

L'andamento di questo tipo di modulazione, che viene chiamata "modulazione di ampiezza con portante in alta frequenza" e può essere descritto attraverso la seguente relazione:

$$A_{mod} = [1 + m(t)]\cos(2\pi ft) \quad (97)$$

Dove $m(t)$ è il segnale modulante, f è la frequenza della portante ed inoltre il valore di $[1 + m(t)]$ è mantenuto sempre maggiore o uguale a zero per evitare l'insorgere di inversioni di fase o inversioni del segnale portante.

In questo tipo di modulazione l'involuppo del segnale portante ad alta frequenza assume sempre un andamento molto simile all'andamento del segnale modulante (bassa frequenza).

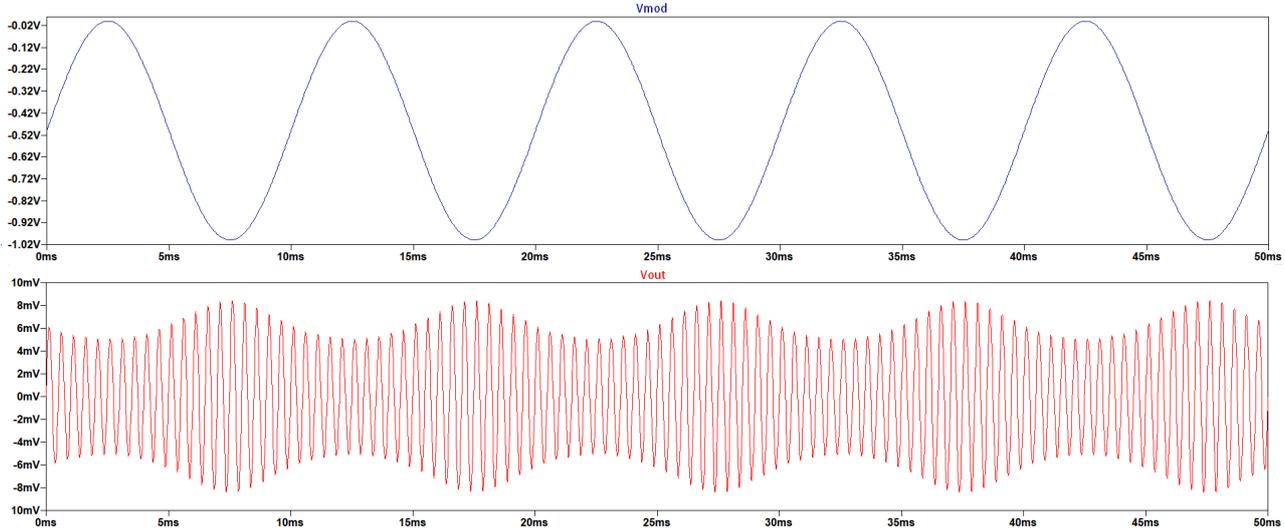


Figura 66: Relazione tra $V_{CONTROL} = V_{mod}$ e la tensione di uscita V_{OUT} nel circuito modulatore di ampiezza con portante in alta frequenza ($2kHz$) di Figura (65)

Nella simulazione di Figura (66) sono stati impostati i seguenti valori di tensione e frequenza:

$$V_{IN} = V_{PORTANTE} = 1V_{pp}, f = 2kHz$$

$$V_{CONTROL} = V_{MODULANTE} = -0.5V_{OFFSET} \pm 500mV_{pp}, f = 100Hz$$

È possibile inoltre osservare che la simulazione conferma i risultati attesi, utilizzando i dati ottenuti alla Sezione 6:

$$V_{OUTMIN} = 1V_{pp} * \frac{r_{DS0}}{r_{DS0} + 47k\Omega} \approx 4.9mV$$

Ora sapendo che $V_{GS} = \frac{V_{CONTROL}}{2}$, utilizzando la (23) si ottiene che $r_{DS} \approx 439\Omega$

$$V_{OUTMIN} = 1V_{pp} * \frac{r_{DS}}{r_{DS} + 47k\Omega} \approx 8.5mV$$

7.6.2 Double-sideband suppressed-carrier

Un altro tipo di modulazione del segnale di ingresso è quella che viene chiamata “Double-sideband suppressed-carrier”, caratterizzata da una moltiplicazione “pura” del segnale d’ingresso con un segnale $m(t)$:

$$A_{modDSSCS} = [m(t)]\cos(2\pi ft) \quad (98)$$

A differenza della precedente, questo tipo di modulazione non presenta un vero e proprio inviluppo, anche se presenta chiaramente delle relazioni soprattutto in termini di fase con il segnale modulante.

La realizzazione circuitale di questo tipo di modulazione è descritta dallo schema in Figura (67).

È chiaramente molto più complessa del circuito per la modulazione d'ampiezza con portante in alta frequenza, è infatti composta da due circuiti modulatori di ampiezza collegati ad un sommatore.

Il primo modulatore d'ampiezza è implementato attraverso il JFET a canale n "Q1A" e l'amplificatore U1B. Come descritto precedentemente, r_{DSQ1A} assume il valore più basso quando V_{MOD} è nel picco positivo, inversamente, r_{DSQ1A} assume il valore più alto quando V_{MOD} è nel picco negativo (ventre dell'onda). La polarizzazione di questo transistor può essere regolata attraverso un potenziometro $VR1$.

Per quanto riguarda l'amplificatore U1B, essendo $R_{13} \gg r_{DSQ1A}$, esso presenta un guadagno d'anello pari a

$$A_{loop} = 1 + \frac{R_{12}}{r_{DSQ1A}} \quad (99)$$

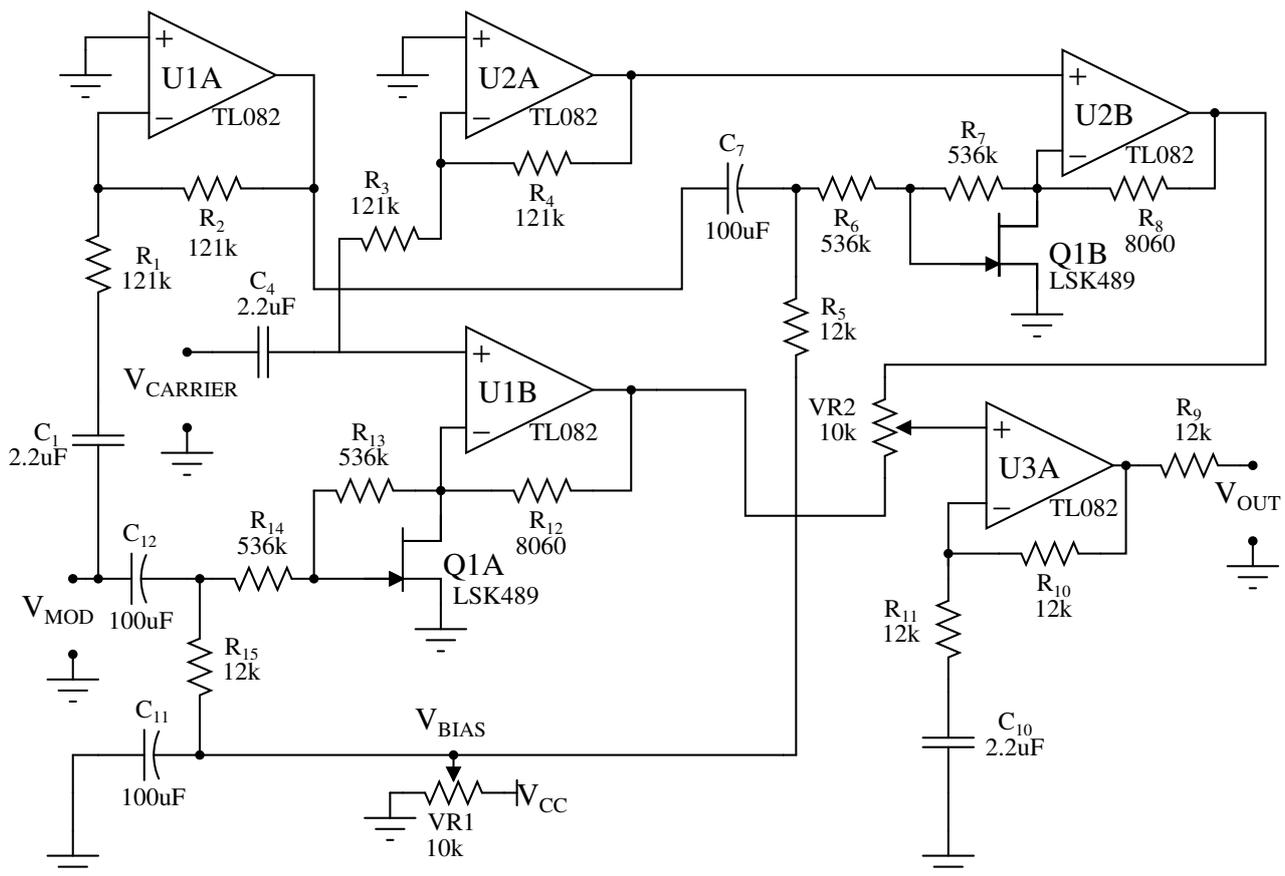


Figura 67: Circuito in configurazione Double Sideband suppressed carrier

Il valore del guadagno aumenta quando r_{DSQ1A} è al minimo, cioè quando il segnale modulante è nel picco positivo dell'onda.

Per implementare il secondo modulatore d'ampiezza è necessario che V_{MOD} e $V_{CARRIER}$ siano invertiti, per questo si utilizzano rispettivamente gli amplificatori in configurazione invertente U1A e U1B.

U1A è utilizzato per invertire V_{MOD} , che fungerà poi da ingresso per il transistor Q1B il quale ha il terminale di drain connesso a sua volta al morsetto invertente dell'amplificatore U2B.

Le uscite di entrambi gli amplificatori sono infine collegate ad un potenziometro VR2 che permette di regolare con precisione i livelli del segnale al fine di annullare la componente dovuta al segnale portante che poi andrà in ingresso ad un amplificatore invertente.

Riassumendo, in uscita dal primo e dal secondo modulatore otterremo due segnali modulati in ampiezza m_1 ed m_2 :

$$m_1 = [1 + m(t)]\cos(2\pi ft)$$

$$m_2 = [1 - m(t)](-1)\cos(2\pi ft) = [m(t) - 1]\cos(2\pi ft)$$

Sommando entrambi i segnali si ottiene:

$$m_1 + m_2 = [2m(t)]\cos(2\pi ft)$$

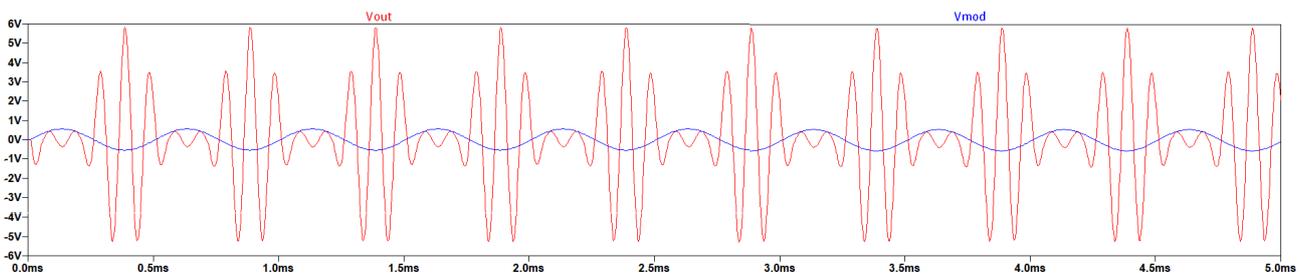


Figura 68: Tensione di controllo rapportata al segnale d'uscita nel modulatore DSSC di Figura (67)

Le forme d'onda di Figura (68) sono state ottenute dalla simulazione del circuito su LTSpice, impostando la tensione $V_{MOD} = 1.1 V_{picco-picco}$ ad una frequenza $f_{MOD} = 2kHz$, mentre $V_{CARRIER} = 400 mV_{picco-picco}$ ad una frequenza di $f_{CARRIER} = 10kHz$.

La tensione di bias è stata impostata ad un valore ottimale, cioè pari a $V_{BIAS} = -2 V$.

In Figura (68) viene rappresentata in blu la tensione V_{MOD} fornita ai capi del primo transistor Q1A, mentre in rosso possiamo osservare l'andamento di V_{OUT} .

In questo tipo di modulazione sono evidenti le relazioni di fase che intercorrono tra i due segnali: nel semiperiodo positivo del segnale modulante, il segnale portante e il segnale modulante si trovano fuori fase, i segnali si sottraggono e ne risulta una diminuzione d'ampiezza del segnale d'uscita; nel seguente semiperiodo i due segnali d'ingresso sono in fase, ed è possibile osservare un aumento dell'ampiezza del segnale. È comunque possibile invertire tale relazione (semiperiodo positivo che corrisponde ad una diminuzione dell'ampiezza) agendo sul potenziometro VR2. È importante osservare le frequenze alla quale sono stati eseguiti i test, infatti gli amplificatori operazionali del tipo TL082 sono progettati per frequenze minori di 100 kHz; se le frequenze di utilizzo dovessero oltrepassare questo limite, è necessario sostituire l'amplificatore operazionale con uno adatto ad alte frequenze.

7.7 Resistore di precisione flottante controllato in tensione

Tutte le applicazioni presentate fin ora utilizzano transistor JFET con almeno un terminale riferito a massa, ma in molte altre si necessita di dispositivi flottanti senza riferimenti fissi. I transistor JFET utilizzati nella regione ohmica e configurati in questo modo fungono quindi da resistenze flottanti ed un metodo per implementare questo tipo di configurazione è proposta in Figura (69).

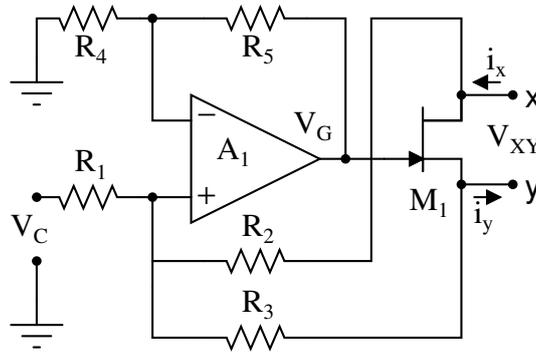


Figura 69: JFET in configurazione resistore flottante

Nella Figura (69) sono impiegati un amplificatore operazionale e cinque resistori per imporre la media tra la tensione di drain e della tensione di source nel terminale che fornirà la tensione di controllo V_C per ottenere la tensione di gate; possiamo quindi considerare che il circuito abbia un "source-drain bootstrapped" gate.

Sebbene il circuito abbia un discreto range di linearità, non possiede però una regolazione precisa del valore di resistenza in quanto quest'ultima è dipendente dai parametri geometrici e soprattutto dalla temperatura di operatività e non è quindi utilizzabile in applicazioni che richiedano resistori flottanti di precisione.

Per aumentare l'indipendenza della resistenza di canale è utile analizzare il circuito in Figura (70), che risulta riferito a massa, ma che rappresenta un punto iniziale per comporre il circuito finale.

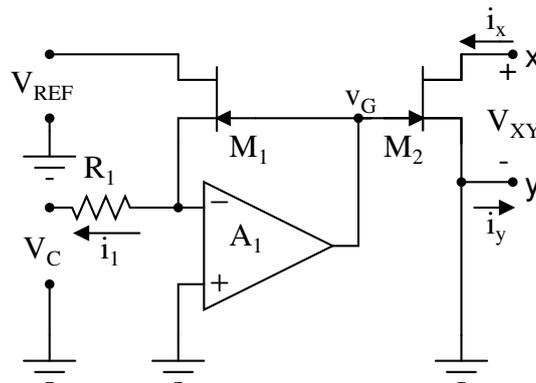


Figura 70: Eliminazione della dipendenza dei valori di resistenza di canale dovuti alle variazioni di temperatura in un transistor JFET

Il circuito presenta un amplificatore operazionale e due transistor JFET a canale n "matched" (cioè aventi le medesime condizioni operative e parametri pressoché identici) che realizzano un

resistore riferito a massa.

La peculiarità di questa configurazione è quella di utilizzare un circuito di feedback per compensare le variazioni nei parametri che si possono manifestare nel dispositivo.

Assumendo che i transistor si trovino nella regione di funzionamento ohmica, la r_{DS} del transistor M1 è data da

$$R_x = \frac{V_{REF}}{-V_C} R_1 \quad (100)$$

Il transistor si può definire "self-tracking" in quanto è in grado di compensare variazioni che si manifestano inevitabilmente nella realizzazione di ciascun dispositivo e variazioni di parametri dipendenti dalla temperatura.

Combinando gli effetti delle due configurazioni circuitali presentate fin ora (Figura (69) e Figura (70)) possiamo ora analizzare il circuito in Figura (71):

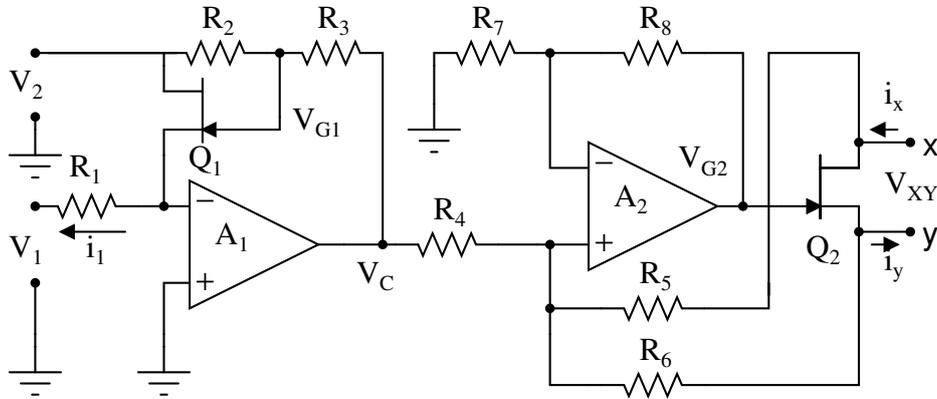


Figura 71: Resistore di precisione flottante realizzato con due matched JFET, nella quale $R_2 = R_3$, $R_4 = R_5 = R_6$, $R_7 = 2R_8$.

Il transistor Q2, in questa configurazione, svolge effettivamente la funzione di resistore flottante attraverso i terminali X e Y, e viene inoltre utilizzato un feedback negativo implementato attraverso l'amplificatore operazionale A1 per stabilizzare la resistenza di canale di Q1 contro variazioni indesiderate nei parametri del dispositivo.

Possiamo notare che entrambi i terminali di gate sono controllati dalla tensione V_C e da un feedback che fornisce la media dei valori della tensione dei terminali di drain e di source (che sostanzialmente serve ad estendere il range di linearità).

Analizzando il circuito possiamo osservare che:

$$i_1 = -\frac{V_1}{R_1} \quad (101)$$

Visto che $R_2 = R_3$, $R_4 = R_5 = R_6$, $R_7 = 2R_8$:

$$V_{G1} = \frac{V_C + V_2}{2} \quad (102)$$

$$V_{G2} = \frac{V_C + V_X + V_Y}{2} \quad (103)$$

I resistori R_5 ed R_6 , inoltre, sono selezionati come discusso nella Sezione 7.1.1 paragrafo (equazione 49), quindi di valore sufficientemente grande da non causare effetti di carico ai terminali X e Y.

Nelle ipotesi di funzionamento in regione ohmica possiamo quindi applicare la (26) ed ottenere, utilizzando le relazioni (101)(102)(103) e ricordando che $|V_{GS(OF)}| = |V_P|$:

$$V_C = 2\left(\frac{V_1 V_{P1}^2}{2I_{DSS1} R_1 V_2} + V_{P1}\right) \quad (104)$$

Per quanto riguarda il transistor Q2, invece :

$$i_D = i_X = i_Y \quad (105)$$

$$V_{DS} = V_X - V_Y \quad (106)$$

Assumendo anche per il transistor Q1 le stesse condizioni di Q2 otteniamo:

$$i_X = \frac{2I_{DSS2}}{V_{P2}^2} \left(\frac{V_C}{2 - V_{P2}} (V_X - V_Y) \right) \quad (107)$$

Valori che valgono per

$$0 \geq V_{G2} - V_Y \geq V_{P2}$$

$$0 \geq V_{G2} - V_X \geq V_{P2}$$

Che usando la (103) diventano:

$$0 \geq V_C \geq 2V_{P2}$$

$$|V_X - V_Y| \leq \min(-V_C, V_C - 2V_{P2})$$

Inoltre utilizzando ancora una volta la (103) e la (104) si ottiene:

$$i_X = 2 \frac{I_{DSS2}}{V_{P2}^2} \left[\left(\frac{V_2}{2} - V_P \right) (V_X - V_Y) \right] \quad (108)$$

$$i_X = 2 \frac{I_{DSS2}}{V_{P2}^2} \left[\frac{-V_1 V_{P1}^2}{2R_1 I_{DSS1} V_2} + V_{P1} - V_{P2} \right] (V_X - V_Y) \quad (109)$$

Ricordando infine che si tratta di transistor "matched" e quindi $I_{DSS1} = I_{DSS2}$ e $V_{P1} = V_{P2}$ si può concludere che

$$i_X = -\frac{V_1}{V_2} R_1 (V_X - V_Y) \quad (110)$$

per valori $0 \geq V_C \geq 2V_{P2}$ e $|V_X - V_Y| \leq \min(-V_C, V_C - 2V_{P2})$

Quindi il circuito opera come un resistore flottante di precisione con valore di resistenza

$$R_{XY} = r_{DSQ2} = -\frac{V_2}{V_1} R_1 \quad (111)$$

Tra le particolarità di questo circuito sono sicuramente da evidenziare la possibilità di utilizzo come "resistore controllato in corrente" utilizzando una sorgente i_1 al posto di V_1 e R_1 , oltre al fatto che questo circuito possa essere utilizzato anche come specchio di resistenza per controllare appunto la resistenza attraverso un set di porte utilizzando un controllo comune.[8] [20]

Per la verifica del funzionamento del circuito sono stati forniti come parametri di ingresso i valori $V_1 = -1V$, $V_2 = 1V$, si è scelto $R_1 = 1k\Omega$ ed il circuito è stato collegato ad un partitore

di tensione con un resistore da $1k\Omega$ in serie ad r_{DS} , che secondo quanto descritto in questo paragrafo, attraverso la (111) dovrebbe assumere proprio un valore pari a $1k\Omega$. Impostando una tensione sinusoidale al generatore collegato al terminale di $V_x = 2V_{pp}$ ed $f = 10kHz$ si ottiene ai capi della resistenza in serie il segnale in Figura (72):

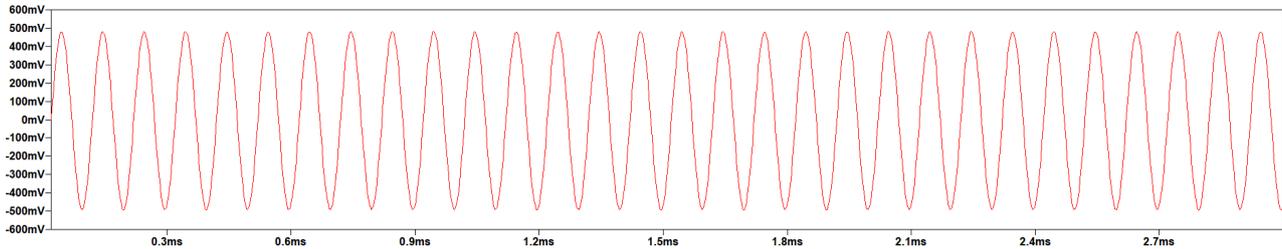


Figura 72: Segnale di uscita dal partitore di tensione che utilizza un resistore flottante

Che verifica i risultati attesi, infatti si osserva una sinusoide di ampiezza $1V_{pp}$. Rimanendo alla frequenza di $10kHz$, lo spettro armonico ai capi del JFET è illustrato nella simulazione in Figura (73):

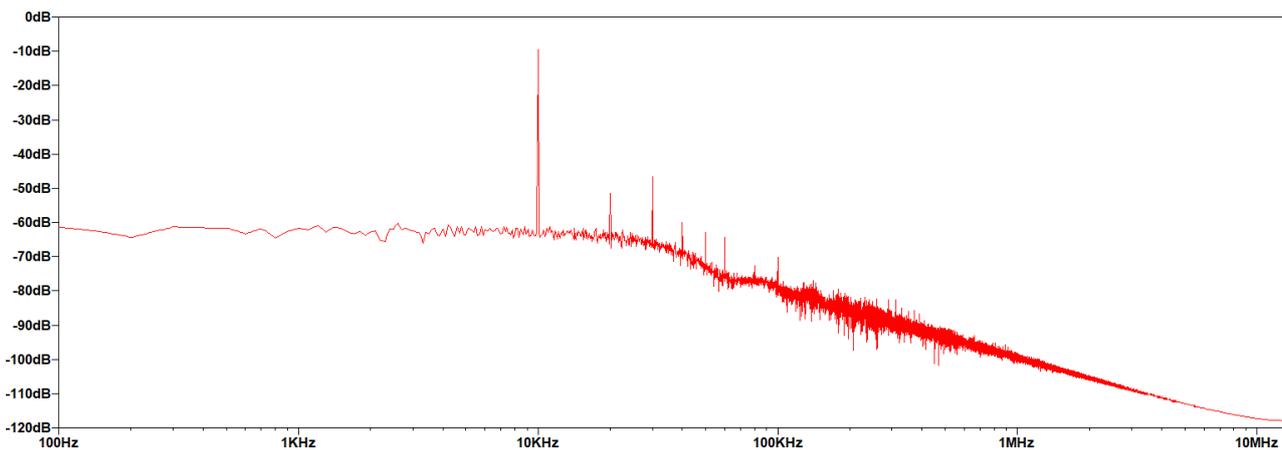


Figura 73: Analisi dello spettro armonico di V_{OUT} nel partitore di tensione che utilizza un resistore flottante

Dalla quale è possibile ottenere i valori :

$$1^{\circ} \text{ Armonica} = -9.48dB$$

$$2^{\circ} \text{ Armonica} = -52dB$$

$$3^{\circ} \text{ Armonica} = -47dB$$

Utilizzando la (34) otteniamo:

$$THD\% = 100\sqrt{10^{\left(\frac{-52-(-9.41)}{10}\right)} + 10^{\left(\frac{-47-(-9.46)}{10}\right)}} \approx 1.52\%$$

Vista la presenza di altre armoniche rilevanti oltre alla seconda ed alla terza, utilizzando la funzione "four" sul programma di simulazione LTSpice è possibile ottenere un calcolo della THD che tenga conto di molte più armoniche a frequenza multipla della fondamentale, scegliendo 250 come numero di armoniche da valutare si ottiene una $THD\% = 1.651942\%$.

7.8 Interdipendenza dei parametri

La scelta di un componente JFET dev'essere sempre compiuta consapevolmente che i parametri elettrici del dispositivo forniti non sono indipendenti tra loro.

Data una geometria realizzativa determinata dal mascheramento fotolitografico, sia $V_{GS(OFF)}$ che I_{DSS} sono ad esempio influenzate dalla conducibilità e dallo spessore del canale, che sono a loro volta determinati dalla tipologia di processo utilizzato per la creazione dei vari layer, come ad esempio la crescita epitassiale, la diffusione del canale, la diffusione del terminale di gate o dalla tecnica di ion-implantation.

I valori di $V_{GS(OFF)}$ e I_{DSS} sono inoltre influenzati anche dalle variazioni nelle operazioni di mascheramento utilizzate durante l'incisione delle celle di ossido per la diffusione che avverrà sopra al gate soprattutto in strutture con canali molto corti.

Sono indicate alcune equazioni che correlano le dimensioni geometriche ai principali parametri elettrici dei dispositivi JFET

$$g_{DS0} = \frac{K_1 W}{L} T \quad (112)$$

$$V_{GS(OFF)} = K_2 T^2 \quad (113)$$

$$I_{DSS} = \frac{K_3 W}{L} T^3 \quad (114)$$

$$I_{DSS} = K_4 \sqrt{V_{GS(OFF)}} \quad (115)$$

Dove W, L e T sono rispettivamente la larghezza, la lunghezza e lo spessore del canale e K_n costanti tipiche del dispositivo.

Supponendo che un solo parametro di questi vari ad esempio lo spessore del canale, anche tutti gli altri parametri subiranno dei cambiamenti. Lo spessore di canale è il parametro principale per quanto riguarda le relazioni tra i vari valori: dispositivi con alte $V_{GS(OFF)}$ hanno uno spessore maggiore, mentre dispositivi con spessori relativamente piccoli tendono ad avere $V_{GS(OFF)}$ più basse.

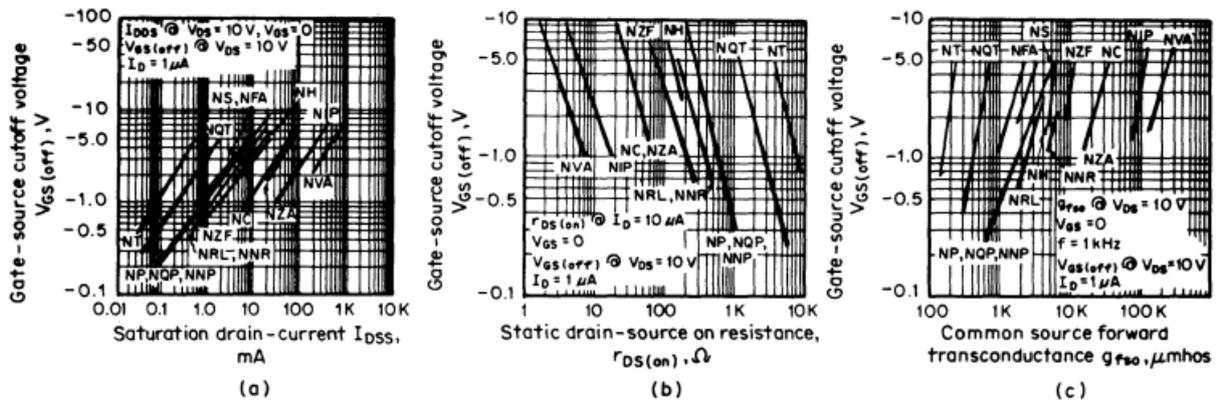


Figura 74: Interdipendenza dallo spessore del canale

Le tre figure soprastanti illustrano il comportamento delle caratteristiche in relazione allo spessore del canale di determinati dispositivi di Siliconix Incorporated. Le geometrie realizzative

sono indicate con codici di due o tre lettere (NT, NZA, NC) ed indicano un particolare design realizzativo (possono non essere uguali per tutti i produttori). La geometria più utilizzata è la NC, che con i suoi canali ragionevolmente corti fornisce un buon rapporto $\frac{g_{ds0}}{C_{iss}}$.

8 Conclusioni

I transistor JFET utilizzati in configurazione resistore controllato in tensione sono utili in moltissime applicazioni in quanto risultano semplici da utilizzare e sono in grado di fornire allo stesso tempo dei risultati molto soddisfacenti sia in termini di precisione, che in termini di rapporto segnale-rumore. I JFET progettati per questo determinato tipo di configurazione, inoltre, sono prodotti con caratteristiche anche molto diverse tra loro (ad esempio diverse dimensioni e percentuali di drogatura) il che li rende utilizzabili in circuiti per applicazioni molto differenti tra loro.

È importante infine far osservare come attraverso le configurazioni circuitali osservate nello svolgimento di questa tesi volte a controllare la resistenza e altre configurazioni utilizzate per il controllo del valore della capacità del canale sia possibile progettare interi circuiti solo utilizzando dei JFET, il che sicuramente garantisce una dimensione complessiva del circuito molto più contenuta rispetto a circuiti che utilizzano resistori e condensatori classici.

La scrittura di questa tesi mi ha permesso di mettere in gioco le capacità e le conoscenze che ho potuto apprendere e sviluppare nel corso di questi tre anni di università, è stata un'esperienza molto stimolante che mi ha fatto avvicinare ancor più al mondo dell'elettronica e confermare il mio interesse verso di essa.

La parte di simulazione attraverso il software LTSpice, inoltre, è stata a mio parere determinante in quanto mi è stato possibile osservare se, dopo la progettazione, i risultati attesi coincidessero con quelli effettivamente ottenuti dal circuito.

Personalmente mi ritengo soddisfatto del percorso che mi ha portato al completamento della scrittura di questa tesi, che sicuramente mi ha fornito una maggiore consapevolezza delle mie abilità.

9 Bibliografia

Libri

- [1] Francesco Corsi Adel S. Sedra Kenneth C. Smith. *Circuiti per la microelettronica*. OUP USA, 2019. ISBN: 0199339147.
- [4] Arthur D. Evans. *Designing with Field-Effect Transistors*. McGraw-Hill, 1981.
- [5] Stephen R. Fleeman. *Discrete and Integrated Electronics: Analysis and Design for Engineers and Engineering Technologists (English Edition) Volume 1*. 2019.
- [9] Arvin Grabel Terreni P. Jacob Millman. *Microelettronica*. McGraw-Hill Education, 1995.
- [10] Christos C.Halkias Jacob Millman. *Microelettronica*. Boringhieri, 1978.
- [16] Leonce J. Sevin. *Field-effect transistors*. McGraw-Hill, 1965.
- [17] Siliconix. *FET Handbook*. July 1977.

Articoli

- [2] P. Aronhime et al. “Quotient circuit with improved dynamic range”. In: (1991), 1061–1064 vol.2. DOI: 10.1109/MWSCAS.1991.251952.
- [3] Tadashi Matsumoto Etsuji Sugita Toyoshi Yasuda. “A Solid-State Variable Resistor Using a Junction FET”. In: *IEEE transactions on parts, hybrids, and packaging* (3 september 1976).
- [6] William Gosling. “Circuit applications of FETs, Part 111, Xpplications below pinch-off”. In: *X British Communications and Electronics* vol. 11 (December 1964).
- [7] William Gosling. “Voltage Controlled Attenuators using Field Effect Transistors”. In: *IEEE transactions on audio* Vo. AU-13, NO. 5 (2018).
- [8] Rani Holani, Prem C Pandey e Nitya Tiwari. “A JFET-based circuit for realizing a precision and linear floating voltage-controlled resistance”. In: (2014), pp. 1–5. DOI: 10.1109/INDICON.2014.7030568.
- [11] R.D. Middlebrook. “A simple derivation of field-effect transistor characteristics”. In: *Proceedings of the IEEE* 51.8 (1963), pp. 1146–1147. DOI: 10.1109/PROC.1963.2458.
- [12] K. Nay e A. Budak. “A voltage-controlled resistance with wide dynamic range and low distortion”. In: *IEEE Transactions on Circuits and Systems* 30.10 (1983), pp. 770–772. DOI: 10.1109/TCS.1983.1085290.
- [13] H.P. von Ow. “Reducing distortion in controlled attenuators using FET”. In: *Proceedings of the IEEE* 56.10 (1968), pp. 1718–1719. DOI: 10.1109/PROC.1968.6710.
- [14] Cheng-Wei Pei. “Low-Distortion Sine Wave Oscillator with Precise RMS Amplitude Stability”. In: *Linear Technology Magazine* (March 2005).
- [15] Ron Quan. “FETs as Voltage-Controlled Resistors”. In: *A guide to using FETs for voltage-controlled circuits* Part 3-4-5 (2018).

- [18] Inc Siliconx. “FETs as Voltage-Controlled Resistors”. In: *Application Note AN 73-1* (1976).
- [19] Inc Siliconx. “Voltage-controlled resistance element with superior dynamic range”. In: *U.S. Patent 5264785* (Nov. 23, 1993).
- [20] N. Tadic e D. Gobovic. “A floating, negative-resistance voltage-controlled resistor”. In: *IMTC 2001. Proceedings of the 18th IEEE Instrumentation and Measurement Technology Conference. Rediscovering Measurement in the Age of Informatics (Cat. No.01CH 37188)* 1 (2001), 437–442 vol.1.

Elenco delle figure

1	Geometria di due transistor JFET	1
2	Transistor JFET	2
3	Transistor JFET a canale n	3
4	Regione di Svuotamento asimmetrica	4
5	Regioni di funzionamento	4
6	Pinch-off del canale a V_P	4
7	Sezione di un JFET in regione di saturazione	5
8	Aumento della regione di svuotamento dovuto alla tensione V_{GS}	6
9	Sezione di un JFET nella regione ohmica (in questo caso $V_{GS} < 0$)	6
10	Separazione della regione ohmica dalla regione di saturazione per mezzo di $I_{DS} = I_{DSS}(1 - \frac{V_{GS}}{V_{GS(OFF)}})^2$	8
11	Regione ohmica del transistor JFET e andamento della corrente su un resistore	9
12	Circuito equivalente di piccolo segnale di un transistor JFET	11
13	Transistor VCR7N prima e dopo l'implementazione del feedback	14
14	r_{DS} in funzione di V_{GS} di dispositivi a diversa geometria	15
15	Capacità parassite nel transistor JFET	16
16	Circuito equivalente di piccolo segnale comprendente le capacità parassite di un transistor JFET	17
17	Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor 2N4339	19
18	Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor 2N4339	20
19	Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor 2N4338	20
20	Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor 2N4338, fissata $V_{DS} = 1mV$	21
21	Andamento della corrente I_D al variare di V_{GS} e di V_{DS} nel transistor LSK489	21
22	Andamento della resistenza di canale r_{DS} al variare di V_{GS} nel transistor LSK489, fissata $V_{DS} = 1mV$	22
23	Andamento delle capacità parassite C_{iss} e C_{rss} rispetto a $V_{GS(OFF)}$ nei transistor 2N4339 e 2N4338	22
24	Andamento delle capacità parassite C_{iss} e C_{rss} rispetto a $V_{GS(OFF)}$ nel transistor LSK489	23
25	Partitore di tensione implementato tramite un JFET in configurazione VCR	24
26	Andamento di V_{DS} (cioè V_{OUT}) rispetto a V_{GS} nel partitore di tensione per piccoli valori di V_{DS} , fissata $V_{IN} = 0.2V$ utilizzando un transistor JFET 2N4339	25
27	Relazione tra V_{OUT} e V_{GS} variando il valore di R nel partitore di tensione che utilizza un transistor JFET 2N4339	26
28	Andamento di I_D - V_{GS} (con $V_{DS} = 0.01 V$) e I_D - V_{DS} (con $V_{GS} = 0V$) utilizzando un transistor JFET 2N4339	27
29	Spettro armonico di V_{OUT} nel partitore di tensione che utilizza un transistor JFET 2N4339 con $V_{IN} = 0.1V_{picco-picco}$ $f = 1kHz$, $V_{GS} = 0V$, $R = 1k\Omega$	29
30	Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione del valore di R fissati $V_{IN} = 0.1V_{picco-picco}$ e $V_{GS} = 0V$ utilizzando un transistor JFET 2N4339	29

31	Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione lineare di V_{IN} espresso in $[V_{picco-picco}]$ fissati $V_{GS} = 0V$ e $R = 1k\Omega$ utilizzando un transistor JFET 2N4339	30
32	Andamento della THD in valore percentuale nel partitore di tensione rispetto ad una variazione lineare di V_{GS} fissati $V_{IN} = 0.1V_{pp}$ e $R = 1k\Omega$ utilizzando un transistor JFET 2N4339	30
33	Partitore di tensione con feedback	31
34	Rapporto tra I_D-V_{GS} (con $V_{DS} = 0.01 V$) e I_D-V_{DS} (con $V_{GS} = 0V$) in un partitore di tensione con feedback che utilizza un transistor JFET 2N4339, $R_1 = 1k\Omega$, $R_2 = R_3 = 470k\Omega$	32
35	Partitore di tensione con feedback con generatore di tensione flottante sul gate .	32
36	Spettro armonico di V_{OUT} nel partitore di tensione con feedback di Figura (33) con $V_{IN} = 0.1V_{picco-picco}$ $f = 1kHz$, $V_{CONTROL} = 0V$, $R = 1k\Omega$	33
37	Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione del valore di R fissati $V_{IN} = 0.1V_{picco-picco}$ e $V_{CONTROL} = 0V$	33
38	Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione lineare di V_{IN} espresso in $[V_{picco-picco}]$ fissati $V_{CONTROL} = 0V$ e $R = 1k\Omega$	34
39	Andamento della THD in valore percentuale nel partitore di tensione con feedback di Figura (33) rispetto ad una variazione lineare di V_{GS} fissati $V_{IN} = 0V_{pp}$ $f = 1kHz$ e $R = 1k\Omega$	34
40	Circuito per l'estensione del range dinamico e della linearità, chiamato anche "circuito di Nay-Budak"	35
41	Andamento linearizzato di I_D rispetto a V_{DS} in un partitore di tensione che utilizza un FET VCR4N e il circuito di Nay-Budak, fissato $a = 0.1$	36
42	Rapporto tra I_D-V_{GS} e I_D-V_{DS} in un partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339	37
43	Rapporto tra $r_{DS}-V_{DS}-V_{CONTROL}$ in un partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339	37
44	Spettro armonico di V_{OUT} nel partitore di tensione che utilizza il circuito di Nay-Budak e un JFET 2N4339	38
45	Relazione che intercorre tra il valore percentuale della THD e il valore di a fissati $V_{CONTROL} = 0V$, $R = 1k\Omega$ e $V_{IN} = 0.1V_{picco-picco}$ in un partitore di tensione che integra il circuito di Nay-Budak	39
46	Relazione tra il valore di V_{IN} espresso in $[V_{picco-picco}]$ e il valore percentuale della THD fissati $V_{CONTROL} = 0V$, $a = 0.15$ e $R = 1k\Omega$ in un partitore di tensione che integra il circuito di Nay-Budak	39
47	Circuito di regolazione lineare del guadagno dell'amplificatore TL082	40
48	Andamento della tensione $V_{CONTROL}$ e di V_{OUT} nel circuito in Figura (47) . . .	41
49	Aggiunta di un resistore R_4 per porre un limite basso al guadagno	41
50	Guadagno in funzione della tensione di controllo nello schema di Figura (47) utilizzando vari transistor JFET con una tensione d'ingresso $V_{IN} = 0.7V$	42
51	Circuito che calcola il quoziente tra le tensioni d'ingresso	43
52	Voltage Quotient Circuit nella quale è stato integrato il circuito di Nay-Budak .	44
53	Circuito ad avanzamento di fase	45

54	Circuito a ritardo di fase	45
55	Diagramma di Bode di modulo e fase del circuito ad avanzamento di fase in Figura (53)	45
56	Diagramma di Bode di modulo e fase del circuito a ritardo di fase in Figura (54)	46
57	Riduzione dei disturbi in un circuito phase-shifting	46
58	Cirucito di Phase-Shifting con buffer	47
59	Oscillatore a ponte di Wien	48
60	Simulazione della tensione al gate del transistor JFET e della tensione d'uscita nell'oscillatore a ponte di Wien di Figura (59)	50
61	Spettro armonico di V_{OUT} nell' oscillatore a ponte di Wien di Figura (59)	51
62	Andamento del tempo di assestamento e della THD nell'oscillatore a ponte di Wien di Figura (59) al variare del valore di R_3	51
63	Andamento della THD nell'oscillatore a ponte di Wien di Figura (59) al variare del valore di C_3	51
64	Implementazione circuitale di un low distortion sine wave oscillator	52
65	Circuito modulatore di segnale con portante in alta frequenza	54
66	Relazione tra $V_{CONTROL} = V_{mod}$ e la tensione di uscita V_{OUT} nel circuito mo- dulatore di ampiezza con portante in alta frequenza ($2kHz$) di Figura (65)	55
67	Circuito in configurazione Double Sideband suppressed carrier	56
68	Tensione di controllo rapportata al segnale d'uscita nel modulatore DSSC di Figura (67)	57
69	JFET in configurazione resistore flottante	58
70	Eliminazione della dipendenza dei valori di resistenza di canale dovuti alle va- riazioni di temperatura in un tranistor JFET	58
71	Resistore di precisione flottante realizzato con due matched JFET, nella quale $R_2 = R_3$, $R_4 = R_5 = R_6$, $R_7 = 2R_8$	59
72	Segnale di uscita dal partitore di tensione che utilizza un resistore flottante . . .	61
73	Analisi dello spettro armonico di V_{OUT} nel partitore di tensione che utilizza un resistore flottante	61
74	Interdipendenza dallo spessore del canale	62