



**UNIVERSITÀ
DEGLI STUDI
DI PADOVA**



**DIPARTIMENTO
DI INGEGNERIA
DELL'INFORMAZIONE**

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

**CORSO DI LAUREA IN INGEGNERIA
DELL'INFORMAZIONE**

**"ANALISI DI UN REGOLATORE DI TENSIONE LDO AD ALTA
STABILITÀ"**

Relatore: Prof. Andrea Neviani

Laureando/a: Alessandro Giordano

ANNO ACCADEMICO 2022 – 2023

Data di laurea 13/03/2023

Abstract

In questo elaborato sarà trattato lo studio di implementazioni attuali di un regolatore di tensione LDO (Low Dropout) integrato, con applicazioni in circuiti di alimentazione di dispositivi elettronici a bassa tensione. Verranno introdotti i principali parametri che caratterizzano un regolatore di tensione e motivate le scelte architettoniche da cui ne dipende il design, un'approfondita analisi della stabilità del regolatore sarà trattata e infine sarà scopo dell'elaborato presentare una possibile tecnica circuitale di compensazione per garantire un elevato margine di stabilità al dispositivo.

Indice

1	Introduzione	9
1.1	La funzione di un regolatore LDO di tensione	9
1.1.1	Campo di applicazione	9
1.1.2	Regolatore LDO	9
1.1.3	Storia e invenzione	10
1.2	Idea circuitale e principio di funzionamento	10
1.2.1	Schema a blocchi	10
1.2.2	Pass Transistor	11
1.2.3	Quiescent Current	14
1.2.4	Efficienza	14
1.2.5	Regolazione di Carico	15
1.2.6	Regolazione di Linea	17
2	Attuali implementazioni di regolatori LDO	19
2.1	Topologie Pass Transistor	19
2.2	Error Amplifier	22
2.3	Circuito di Bandgap	23
3	Stabilità nei regolatori di tensione	27
3.1	Stabilità nei sistemi Lineari	27
3.1.1	Criterio di stabilità di Nyquist	29
3.1.2	Criterio di stabilità di Bode	30
3.2	Risposta in frequenza	32
3.2.1	Determinazione dei poli del circuito	32
3.2.2	Tecniche di compensazione e limiti imposti	36

4	Tecnica di compensazione proposta	37
4.1	Partially Controlled Load Tracking	38
4.2	Power Stage with Pseudo-ESR	39
5	Analisi delle prestazioni per la soluzione proposta	41
5.1	Analisi statica	41
5.2	Analisi di stabilità	42
5.3	Analisi del PSRR	43
6	Simulazione e Analisi sperimentale	45
6.1	Risultati Sperimentali	47
7	Conclusioni	50

Elenco delle figure

1.1	Diagramma a blocchi di un regolatore LDO	11
1.2	Caratteristica I-V di un PMOS	11
1.3	Modello equivalente in zona lineare e saturazione del PMOS	12
1.4	Regioni di lavoro del regolatore LDO con PMOS in saturazione	12
1.5	Regioni di lavoro del regolatore LDO con PMOS in regione di Dropout	13
1.6	Regione di Dropout per il dispositivo <i>TPS76333(3.3VLDO)</i>	14
1.7	Corrente di quiescenza dei transistor MOS e bipolare in funzione della corrente <i>I_O</i>	15
1.8	Schema semplificato di un regolatore di tensione PMOS	16
1.9	Regolazione di carico per il regolatore di tensione <i>TPS76350 5V</i>	17
1.10	Regolazione di linea per il regolatore <i>TPS76333 – 3.3 V</i>	18
2.1	Schema a blocchi di un regolatore lineare	20
2.2	Topologie di elemento Pass Transistor implementato nei regolatori	20
2.3	Confronto tra parametri delle soluzioni implementative proposte	22
2.4	Schema circuitale di un amplificatore operazionale a coppia differenziale	22
2.5	Modello equivalente di un amplificatore operazionale	24
2.6	Circuito di Bandgap a diodo non compensato	24
2.7	Tipica implementazione di un circuito di Bandgap (BGR)	25
2.8	Rappresentazione delle parti <i>PTAT,CTAT</i> del circuito BGR	25
3.1	Schema a blocchi di un semplice sistema retro azionato	28
3.2	Rappresentazione di una generica funzione <i>T(s)</i> nel diagramma di Nyquist	30
3.3	Rappresentazione dei parametri introdotti dal criterio di Bode	31
3.4	Margine di fase e margine di guadagno in rappresentazione di Bode	32
3.5	Struttura di un tradizionale regolatore di tensione LDO	33

3.6	Rappresentazione tipica dei poli del sistema per un regolatore LDO con compensazione ESR	34
3.7	Modello ai piccoli segnali per il regolatore di tensione in Figura 3.5	35
3.8	Range di stabilità per un regolatore con compensazione ESR (<i>TPS76933 3.3V</i>)	35
4.1	Soluzione proposta – Partially Controlled Load Tracking e Power Stage with Pseudo ESR	37
5.1	Modello ai piccoli segnali del regolatore proposto nel Capitolo 4	42
5.2	Risposta in frequenza per funzione $H(s)$	43
5.3	Risposta in frequenza per funzione $H(s)$	43
6.1	Implementazione circuitale integrata del regolatore LDO proposto	45
6.2	Risultati simulazione risposta in catena aperta del regolatore	46
6.3	Relazione tra margine di fase e corrente di carico	46
6.4	Microfotografia del regolatore LDO realizzato	47
6.5	Regolazione di Linea misurata	47
6.6	Regolazione di Carico misurata	48
6.7	PSRR misurato	48
6.8	Line e Load transient response	49

Capitolo 1

Introduzione

1.1 La funzione di un regolatore LDO di tensione

1.1.1 Campo di applicazione

I regolatori di tensione sono blocchi circuitali largamente utilizzati nei sistemi di alimentazione per ogni categoria di dispositivi elettronici, appartengono alla categoria dei circuiti elettronici di potenza integrati. Il Power Management è diventato sempre più importante e necessario nei dispositivi portatili a basso consumo, per questo sono stati introdotti i regolatori di tensione LDO (low Dropout) e di conseguenza si cerca un'implementazione volta a minimizzarne i consumi ed aumentarne l'efficienza. Il regolatore di tensione si interpone tra la sorgente di alimentazione primaria in tensione continua (la cui può essere l'uscita di un trasformatore/raddrizzatore per reti domestiche, una batteria per dispositivi portatili), e il dispositivo da alimentare (o successivi blocchi di alimentazione). Viene specificatamente progettato per fornire una tensione di uscita il più possibile costante, stabile, indipendente dalla tensione in ingresso, e dalla corrente assorbita dal carico. Gli LDO vengono anche impiegati per limitare i disturbi e il rumore introdotto dalla linea di alimentazione primaria, nonché la sua instabilità, per questo si parla di Output Noise voltage (V/Hz) e power supply rejection.

1.1.2 Regolatore LDO

Un regolatore di tensione LDO (Low Drop-Out) si differenzia da un regolatore lineare per la bassa caduta di tensione tra input e output che gli permette di operare anche in condizioni di minima differenza tra tensione in ingresso e tensione in uscita, questa caratteristica dipende dall'elemento pass transistor presente nella struttura circuitale. Si differenziano invece anche dai

regolatori a commutazione (switching) i quali devono a questo fenomeno la rilevante presenza di rumore, oltre a questo rientrano comunque nella categoria di regolatori lineari in quanto viene impiegato un elemento attivo (BJT-MOSFET) in grado di comportarsi in prima approssimazione come un resistore, inoltre gli LDO vantano dimensioni più contenute dei regolatori switching non dovendo impiegare induttori che ne aumenterebbero le dimensioni. La principale differenza tra un regolatore LDO e un convertitore switching è nella dissipazione minima di potenza che i primi intrinsecamente necessitano. Come minimo i regolatori LDO dissipano una potenza pari a $(V_I - V_O)I_O$, quindi, per mantenere un'efficienza accettabile, vengono di norma usati solo quando la differenza tra V_I e V_O è piccola (nell'ordine di qualche centinaio di mV). Viceversa, i convertitori switching possono avere efficienze superiori al 90% anche per elevate differenze tra V_I e V_O . Spesso si usano in cascata, in modo da ridurre il grosso della tensione tramite un convertitore switching e regolare l'ultimo salto di tensione con un LDO, permettendo di usufruire quindi dei vantaggi che quest'ultimo introduce, come la reiezione di disturbi.

1.1.3 Storia e invenzione

IL regolatore di tensione LDO (low-dropout) compie il suo debutto il 12 Aprile, 1977 in un articolo intitolato *"Break Loose from Fixed IC Regulators"*. Questo articolo è stato scritto da Robert Dobkin, che al tempo lavorava per National Semiconductor. Per questo motivo, National Semiconductor rivendica il titolo di inventore del regolatore di tensione LDO. Dobkin lascia successivamente nel 1981 la National Semiconductor e fonda Linear Technology, dove diventa direttore tecnico.

1.2 Idea circuitale e principio di funzionamento

1.2.1 Schema a blocchi

L'idea circuitale su cui si basa l'implementazione di un regolatore di tensione è l'impiego di un amplificatore differenziale (Error Amplifier) in retroazione, un elemento pass-transistor e un riferimento stabile di tensione realizzabile tramite un bandgap reference. Ai capi del transistor viene quindi creata una caduta di tensione, la quale definisce la tensione presente in uscita, controllata opportunamente dal circuito di feedback (rappresentato in Figura 1.1) grazie all'Error Amplifier, che viene pilotato dalla retroazione. Il segnale di bandgap deve venire realizzato per essere indipendente da variazioni di temperatura e quindi rendere la regolazione indipendente da cambiamenti nelle condizioni ambientali.

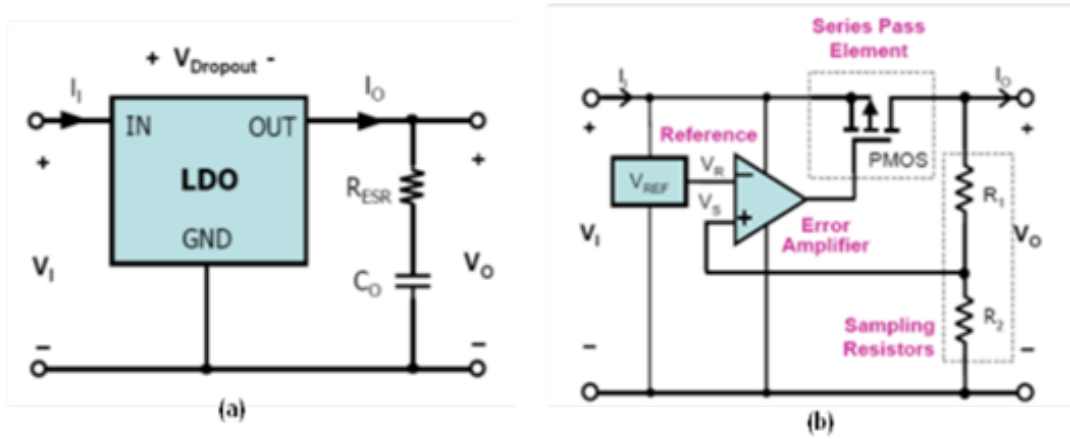


Figura 1.1: Diagramma a blocchi di un regolatore LDO

Per raggiungere le caratteristiche di stabilità necessarie ad un regolatore di tensione LDO sarà necessario introdurre poli/zeri capacitivi in uscita al regolatore, il che comporta numerose considerazioni e differenti soluzioni d'implementazione che verranno presentate nella trattazione. Il problema della stabilità, causato dal sistema retro azionato sarà discusso approfonditamente nei prossimi capitoli della trattazione, tra cui apposite tecniche di compensazione che permettano di ottenere un buon target di stabilità in vaste condizioni di carico.

1.2.2 Pass Transistor

Per descrivere la funzione dell'elemento pass transistor possiamo considerare un transistor PMOS la cui caratteristica I-V è rappresentata in Figura 1.2, la figura mostra le due regioni di funzionamento del transistor: nella regione lineare il MOS può essere approssimato da una resistenza, invece nella regione di saturazione agisce come un generatore di corrente controllato in tensione (Figura 1.3). I regolatori di tensione LDO operano solitamente nella regione di saturazione.

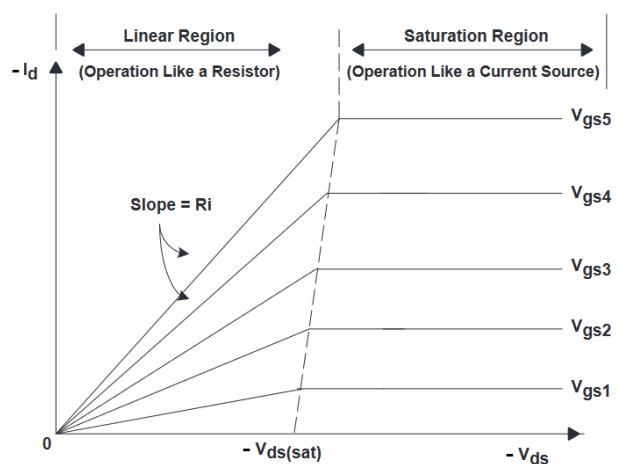


Figura 1.2: Caratteristica I-V di un PMOS

Nella Figura 1.3 (destra) viene mostrato il modello di funzionamento del pass transistor PMOS in zona di saturazione, in cui si può osservare un generatore di corrente in grado di fornire in

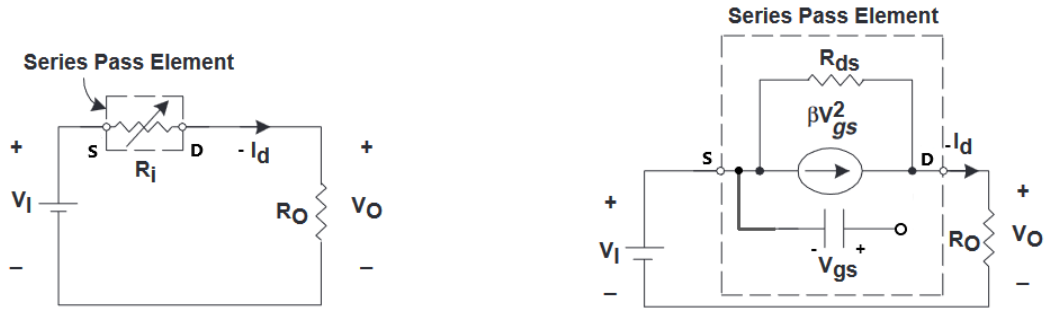


Figura 1.3: Modello equivalente in zona lineare e saturazione del PMOS

modo costante una corrente tra **source** (S) e **drain** (D) che dipende dalla differenza di tensione V_{gs} , assumendo una tensione di soglia $V_T = 0$. Si può osservare che la corrente di carico I_d , per una resistenza R_{DS} molto grande è data dalla relazione

$$I_d \cong \beta \cdot V_{gs}^2 \quad (1.1)$$

in cui β è il guadagno in corrente. V_{gs} è opportunamente controllata da un apposito circuito di controllo omesso in figura, che in funzione delle variazioni delle condizioni di carico determina la corrente di I_d del regolatore LDO. Possiamo analizzare il punto di lavoro del MOS in Figura 1.4, dove si mostra la corrente I_{ds} in funzione della tensione

$$V_{sd} = V_I - V_O \quad (1.2)$$

a sinistra viene riportata la corrente calcolata tramite (1.1) in funzione di V_{gs} .

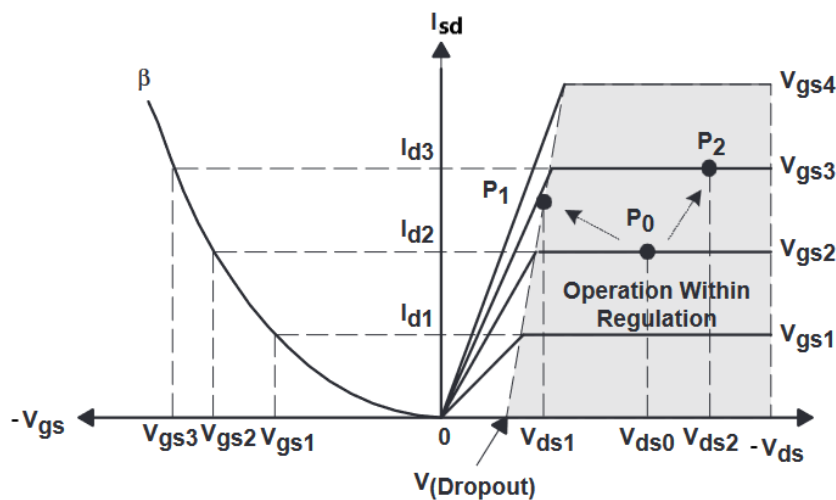


Figura 1.4: Regioni di lavoro del regolatore LDO con PMOS in saturazione

Possiamo osservare che quando la corrente di carico aumenta da I_{d2} a I_{d3} , il punto di lavoro P si sposta da P_0 verso P_2 . Dalla relazione (1.2), al decrescere di V_I , decresce anche V_{sd} portando

il PMOS in regione lineare, in cui non è in grado di fornire la corrente necessaria di carico I_{d3} , portandosi quindi in P_1 (regione di Dropout), in cui il regolatore non è in grado di mantenere la tensione di output richiesta. Il punto in cui si passa dalla regione di regolazione alla regione di Dropout è chiamato *Dropout Voltage*. Nella regione di Dropout il transistor si comporta come descritto nella Figura 1.3 (sinistra), dove il modulo della tensione di dropout dipende dalla corrente di carico e dalla resistenza R_{on} del transistor in regione lineare secondo la relazione

$$V_{do} = I_{load} \cdot R_{on} \quad (1.3)$$

La Figura 1.5 mostra il PMOS in regione di Dropout, in cui P_2 è il minimo punto di regolazione per la corrente I_{O1} , dopodiché viene eliminato l'effetto del circuito di controllo in retroazione e V_{gs} dipende esclusivamente da V_I (P_3): da qui V_{gs} decresce proporzionalmente con V_I portando il MOS nel punto P_{to} di *turnoff* in cui il transistor non permette il passaggio di corrente. Nella Figura 1.6 si evidenzia una tipica caratteristica input-output di un regolatore LDO (*TPS76333 3.3 V*), la tensione di Dropout per questo dispositivo è tipicamente $V_{do} = 330 \text{ mV}$ a $I_{load} = 150 \text{ mA}$, da $V_I \geq 3.6 \text{ V}$ si può quindi osservare la regolazione a $V_I - V_{do} = V_O = 3.6 \text{ V} - 330 \text{ mV} = 3.3 \text{ V}$

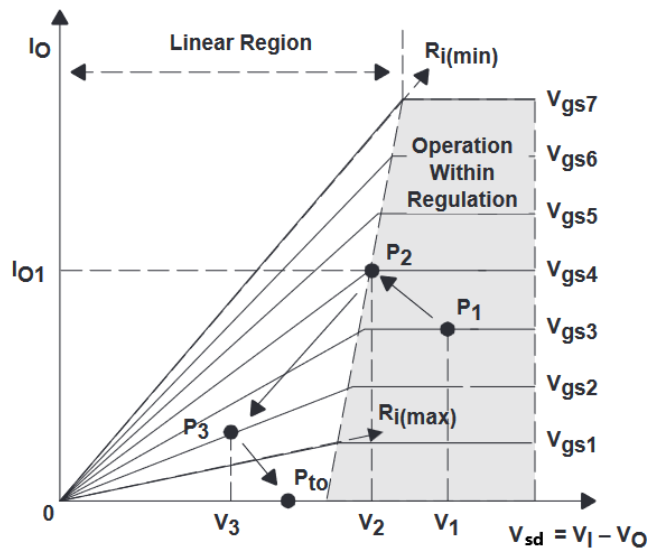


Figura 1.5: Regioni di lavoro del regolatore LDO con PMOS in regione di Dropout

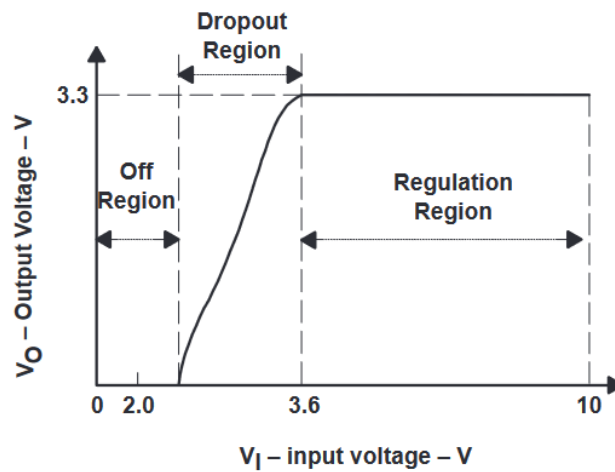


Figura 1.6: Regione di Dropout per il dispositivo *TPS76333(3.3V LDO)*

1.2.3 Quiescent Current

La Corrente di Quiescenza (Quiescent current) è la differenza tra la corrente di ingresso e la corrente di uscita del dispositivo, per la massima efficienza è necessario che questa sia minima.

$$I_q = I_I - I_O \quad (1.4)$$

I_q è uno parametri fondamentali più importanti di un regolatore di tensione LDO, consiste nelle correnti di polarizzazione del dispositivo (per il riferimento band-gap, l'Error Amplifier, ..). Nei reglatori lineari che impiegano transistor bipolari come elemento serie tra ingresso-uscita, la corrente di collettore dipende direttamente dalla corrente di base, la quale contribuisce alle correnti di polarizzazione I_q . Nei regolatori che invece impiegano transistor MOS la corrente che attraversa il gate è approssimativamente nulla e indipendente dalle condizioni di carico. Viene riportato in Figura 1.7 il confronto tra le correnti I_q dei due transistor in funzione della corrente di carico. Nelle applicazioni in cui è importante ottimizzare la gestione del consumo e il risparmio energetico, come nei dispositivi portatili alimentati a batteria, diventa estremamente importante l'uso di un elemento pass transistor controllato in tensione come il MOS, che consente di limitare significativamente questo effetto, a discapito però di altri svantaggi rispetto ai BJT, ad esempio il massimo guadagno che possono fornire.

1.2.4 Efficienza

Si può definire l'efficienza per un regolatore di tensione LDO come il rapporto tra la potenza uscente e la potenza entrante nel dispositivo (1.5), si può osservare che nel calcolo incide la Corrente di Quiescenza e la differenza di tensione $V_i - V_o$, maggiore è questa differenza e maggiore

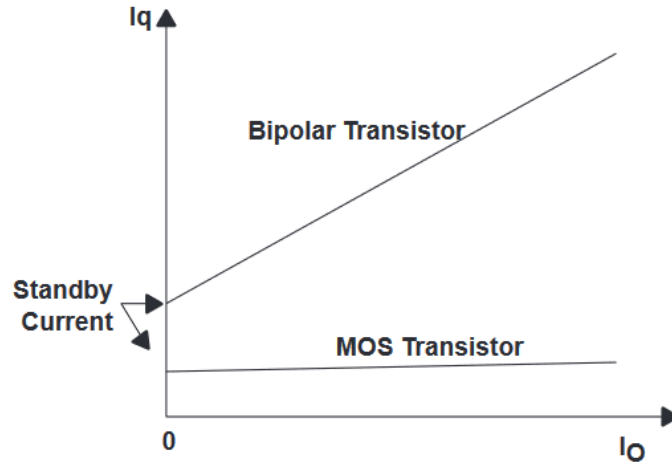


Figura 1.7: Corrente di quiescenza dei transistor MOS e bipolare in funzione della corrente I_o sarà il consumo introdotto dal regolatore.

$$\eta_{\%} = \frac{P_{out}}{P_{in}} = \frac{I_o V_o}{(I_o + I_q) V_i} \cdot 100 \quad (1.5)$$

Per avere una maggiore efficienza, oltre che la corrente di quiescenza, la differenza $V_i - V_o$ deve essere minimizzata in quanto la potenza dissipata dal regolatore sull'elemento pass transistor (ipotizzando una corrente di quiescenza nulla $I_q = 0$) ne dipende direttamente secondo la relazione (1.6)

$$P_{LDO} = (V_i - V_o) \cdot I_o \quad (1.6)$$

La differenza $V_i - V_o$ è un fattore intrinseco nel determinare l'efficienza, come descritto nei paragrafi precedenti questa differenza presenta un limite inferiore per cui oltre non è possibile garantire il corretto funzionamento del dispositivo, questa soglia è data dalla tensione di Dropout.

1.2.5 Regolazione di Carico

La regolazione di Carico permette di misurare l'abilità del dispositivo di mantenere il voltaggio d'uscita desiderato, in rapporto alle variazioni della corrente di carico.

$$Load\ regulation = \frac{\Delta V_o}{\Delta I_o} \quad (1.7)$$

Nel calcolo, la tensione in ingresso V_I è assunta costante. Analizziamo il modello del regolatore linearizzato nel punto di lavoro Q_1 Figura 1.8, g_a è la transconduttanza dell'amplificatore d'errore e β il guadagno in corrente del pass transistor nel modello ai piccoli segnali. Assumiamo

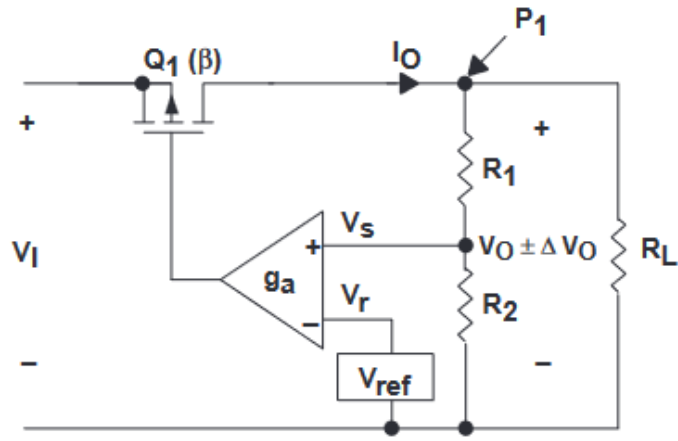


Figura 1.8: Schema semplificato di un regolatore di tensione PMOS

mo quindi per piccole variazioni di corrente ΔI_O un comportamento lineare, ΔV_O è quindi la variazione indotta dal cambiamento della corrente di carico

$$\Delta V_O = \Delta I_O \cdot R_{eq} \quad R_{eq} \cong R_L \text{ (trascurato } R_1 \text{ e } R_2) \quad (1.8)$$

avremo quindi una relazione tra la variazione di tensione rilevata dal circuito retro azionato e la variazione di corrente con cui il circuito risponde

$$\Delta I_O = \beta g_a R_F \Delta V_O = \beta g_a \frac{R_2}{R_1 + R_2} \Delta V_O \quad (1.9)$$

$R_F = \frac{R_2}{R_1 + R_2}$ è il fattore di scaling introdotto dal circuito di feedback, da qui possiamo ottenere la regolazione di carico. La corrente fornita dal regolatore deve essere sufficiente a compensare la corrente richiesta dalla variazione di carico.

$$\frac{\Delta V_O}{\Delta I_O} = \frac{1}{\beta \cdot g_a} \cdot \frac{R_1 + R_2}{R_2} \quad (1.10)$$

Possiamo osservare che la regolazione di carico dipende strettamente dal guadagno ad anello aperto del sistema, aumentandolo possiamo introdurre un miglioramento. Nella figura 1.9 sono mostrate le differenze ΔV_O e ΔI_O per il regolatore *TPS76350* – 5V.

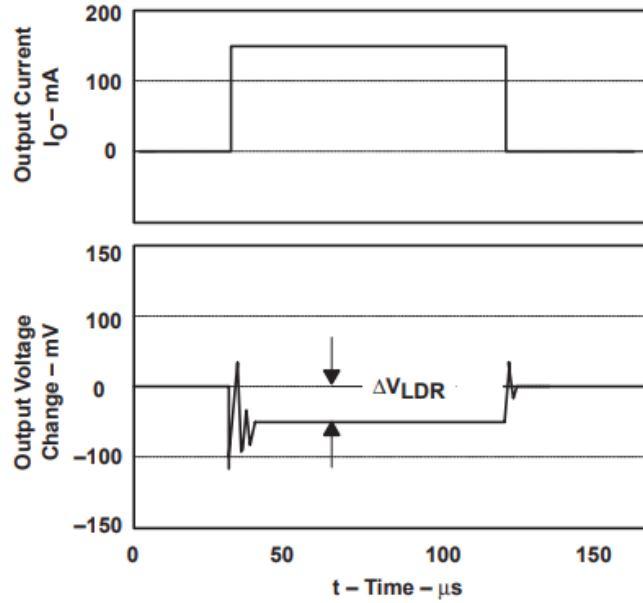


Figura 1.9: Regolazione di carico per il regolatore di tensione *TPS76350 5V*

1.2.6 Regolazione di Linea

La regolazione di Linea permette di misurare l'abilità del dispositivo di mantenere il voltaggio d'uscita desiderato, in rapporto alle variazioni della tensione di ingresso.

$$\text{Line regulation} = \frac{\Delta V_O}{\Delta V_I} \quad (1.11)$$

In riferimento alla Figura 1.8 in funzione della variazione di tensione in ingresso possiamo calcolare la nuova tensione d'uscita come segue

$$V_O = \frac{V_I R_{eq}}{R_{ds} + R_{eq}} - \Delta V_O = \frac{V_I R_{eq}}{R_{ds} + R_{eq}} - \Delta I_O R_{eq} = V_I R_{eq} R_{ds} + R_{eq} - G(V_s - V_r) R_{eq} \quad (1.12)$$

dove $G = \beta \cdot g_a$ è il guadagno d'anello aperto, sostituendo V_s (sensed voltage) nel calcolo di V_O e assumendo che $GV_s \gg 1$ otteniamo

$$V_O = \frac{(R_1 + R_2)V_I}{GR_2(R_{eq} + R_{ds})} + \frac{(R_1 + R_2)}{R_2} V_r \quad (1.13)$$

osservando che il secondo termine della somma (1.13) è un parametro stazionario che dipende da valori discreti di resistenza e dalla tensione di riferimento assunta costante, possiamo considerare solo il primo termine nel calcolo differenziale ΔV_O , abbiamo quindi determinato la regolazione di linea

$$\frac{\Delta V_O}{\Delta V_I} \cong \frac{1}{(R_L + R_{ds}) \cdot \beta g_a} \cdot \frac{R_1 + R_2}{R_2} \quad (1.14)$$

in Figura 1.10 è mostrato l'andamento della tensione d'uscita in funzione di una variazione di tensione in ingresso di 1.5 V per il regolatore ($TPS76333 - 3.3\text{ V}$), possiamo osservare che a meno di oscillazione transitoria iniziale la differenza di tensione di regolazione in uscita risulta essere dell'ordine di pochi mV . È possibile notare dalla formula ricavata come l'aumentare il guadagno in corrente ad anello aperto introduca un miglioramento nella regolazione di linea.

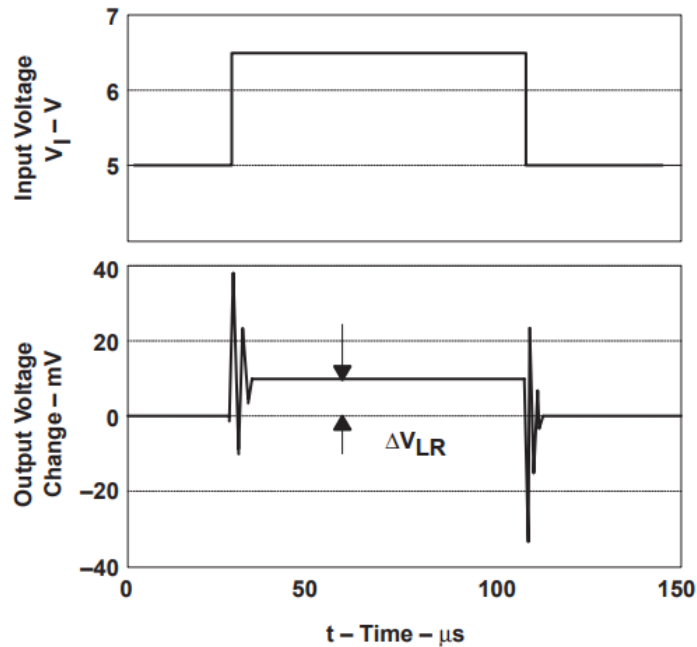


Figura 1.10: Regolazione di linea per il regolatore $TPS76333 - 3.3\text{ V}$

Capitolo 2

Attuali implementazioni di regolatori LDO

La struttura tipica di un regolatore di tensione per l'analisi in frequenza è presentata nel capitolo successivo, nel presente ci limiteremo a descrivere i principali blocchi che caratterizzano la maggior parte dei regolatori di tensione LDO. Partiremo dall'elemento Pass Transistor che svolgerà la funzione di "interruttore" controllato, passeremo all'Error Amplifier che costituirà l'elemento di controllo per l'anello in retroazione, e infine il circuito di Bandgap necessario a fornire un riferimento di tensione il più possibile stabile al circuito di controllo.

2.1 Topologie Pass Transistor

Vediamo ora le possibili implementazioni che possono costituire l'elemento Pass Transistor di un regolatore di tensione. In Figura 2.1 riportiamo lo schema a blocchi semplificato di un regolatore lineare, in cui si evidenzia la caduta di tensione V_{DO} di Dropout che caratterizza la scelta del transistor. Possiamo osservare inoltre la corrente I_{drv} di controllo, che nel caso di un Pass Transistor a MOSFET sarà approssimativamente nulla, essendo controllato in tensione. Nello schema sono evidenziate le correnti che andranno a contribuire alla Corrente di Quiescenza.

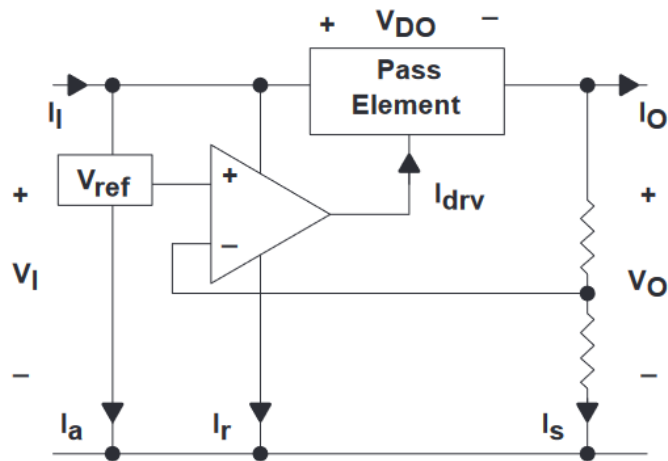


Figura 2.1: Schema a blocchi di un regolatore lineare

Le possibili implementazioni del blocco sono mostrate in Figura 2.2, notiamo che nelle tipologie NPN e Darlington viene impiegato anche un transistor bipolare PNP, e per la struttura a NMOS viene impiegato anche un transistor PMOS, questo permette di poter utilizzare in entrambi i casi una retroazione negativa nel circuito di controllo.

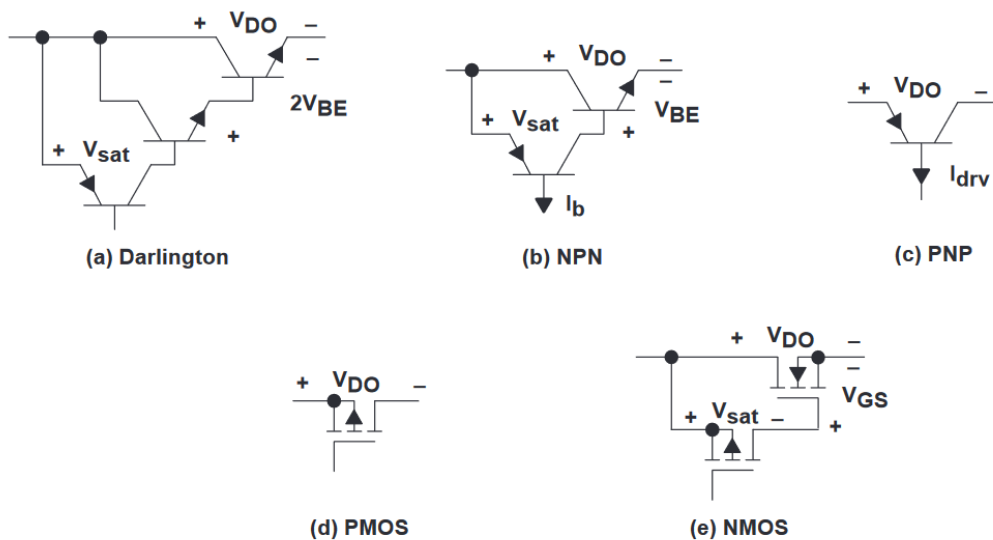


Figura 2.2: Topologie di elemento Pass Transistor implementato nei regolatori

Per le strutture a BJT NPN possiamo osservare che per far lavorare l'elemento Pass Transistor in regime corretto il potenziale sul terminale di base del transistor NPN deve essere sempre maggiore di quello all'emettitore. Quando la differenza $V_i - V_o$ è grande non si verifica questo problema, ma quando V_o si avvicina a V_i il circuito di controllo porta il transistor in zona di saturazione e quando non è più verificata la condizione $V_{BE} > V_{BEON}$ il transistor si spegne, impedendo il passaggio di corrente in uscita. Per questo possiamo calcolare la tensione di

Dropout per il regolatore NPN necessaria a mantenere la regolazione

$$V_{DO} = V_{CEsat} + V_{BE} \quad \text{per regolatori NPN} \quad (2.1)$$

in questa struttura la corrente entrante nel terminale di base del transistor NPN contribuisce alla corrente di uscita, non va quindi inclusa nel calcolo della corrente di quiescenza I_q . Per la struttura PNP invece la tensione d'emettitore è fissata a V_i , quindi rimane determinata anche la tensione $V_{EB} \geq 0$, inoltre per questo motivo la caduta di tensione V_{DO} sarà minore rispetto al caso precedente:

$$V_{DO} = V_{CEsat} \quad \text{per regolatori PNP} \quad (2.2)$$

in queste condizioni però la corrente di controllo non contribuisce in uscita, perciò avremo una I_q maggiore rispetto al caso NPN analizzato precedentemente. Nella struttura a N-MOSFET si verifica un fenomeno analogo per la tensione di dropout, per mantenere il dispositivo in conduzione per tensioni V_o prossime a V_i sarà necessario considerare una tensione $V_{GS} > V_{ON}$ che dipende da $V_o \rightarrow V_{GS} = V_G - V_o > V_{ON}$. Per la struttura a P-MOSFET invece la tensione di Dropout dipende linearmente esclusivamente dalla resistenza R_{ON} del transistor e dalla corrente di regolazione I_O

$$V_{DO} = I_O R_{ON}^1 \quad \text{per regolatori PMOS} \quad (2.3)$$

$$V_{DO} = I_O R_{ON} + V_T \quad \text{per regolatori NMOS} \quad (2.4)$$

essendo dispositivi controllati in tensione, rispetto ai BJT hanno correnti di polarizzazione trascurabili, non contribuiscono quindi alla corrente di quiescenza del regolatore. Le topologie a BJT (in particolare quella Darlington) offrono indubbiamente un gain maggiore di regolazione rispetto all'impiego di MOSFET², a discapito però di una corrente di polarizzazione ed una maggiore tensione di Dropout. Nella tabella in Figura 2.3 viene riportato un confronto delle caratteristiche della varie topologie di regolazione. In definitiva i dispositivi **maggiormente utilizzati** nei regolatori di tensione LDO sono i **regolatori a P-MOS**, questo grazie al duplice vantaggio che introducono: una tensione di Dropout V_{DO} molto bassa e una corrente di quiescenza I_q estremamente ridotta rispetto alle soluzioni a BJT.

¹ R_{ON} è la resistenza equivalente del modello del MOS

²Il guadagno corrente/tensione dipende direttamente dal rapporto larghezza/lunghezza del canale del MOSFET

PARAMETER	DARLINGTON	NPN	PNP	NMOS	PMOS
$I_{o,max}$	High	High	High	Medium	Medium
I_q	Medium	Medium	Large	Low	Low
$V_{dropout}$	$V_{sat}+2V_{be}$	$V_{sat}+V_{be}$	$V_{ce(sat)}$	$V_{sat}+V_{gs}$	$V_{SD(sat)}$
Speed	Fast	Fast	Slow	Medium	Medium

Figura 2.3: Confronto tra parametri delle soluzioni implementative proposte

2.2 Error Amplifier

In questo paragrafo discuteremo sulla tecnologia di implementazione del blocco di controllo Error Amplifier. Essendo uno dei blocchi circuitali più rilevanti dello schema (come si può osservare in Figura 1.1) per via della sua caratteristica in regime di frequenza che influenzerà notevolmente il comportamento e le limitazioni del regolatore di tensione. Il blocco Error Amplifier per un regolatore LDO è generalmente formato da un amplificatore operazionale differenziale, composto di una coppia differenziale e realizzato con tecnologia integrata. In Figura 2.4 viene riportato uno schema classico per implementare un amplificatore operazionale a transconduttanza.

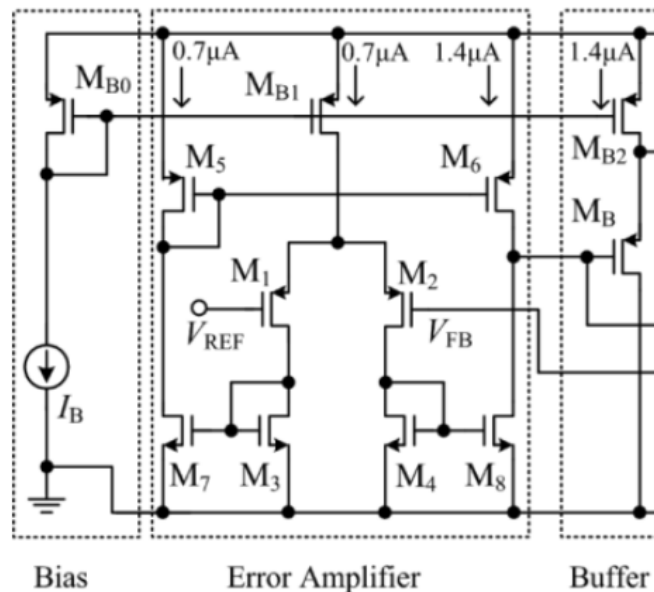


Figura 2.4: Schema circuitale di un amplificatore operazionale a coppia differenziale

La coppia differenziale composta dai MOSFET $M_{(1-4)}$ è polarizzata dallo specchio di corrente formato da M_{B0} , M_{B1} con riferimento I_B . I MOSFET $M_{(5-8)}$ convertono il segnale differenziale nel segnale di output dell'amplificatore operazionale. Per minimizzare la corrente dissipata dal circuito, il rapporto tra le dimensioni $\frac{W}{L}$ dei transistor M_5 , M_7 e quello della coppia differenziale è scelto molto inferiore confrontato con quello nello stage di uscita formato dai transistor M_6 , M_8 . Ricordiamo con la formula (2.5) la dipendenza diretta della corrente di drain i_D dalle

dimensioni del MOS in regione di saturazione e lineare.

$$i_{(DS,sat)} = \frac{1}{2}k_n' \frac{W}{L} (V_{gs} - V_{TN})^2 \quad i_{(DS,lin)} = k_n' \frac{W}{L} \left[(V_{gs} - V_{TN}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (2.5)$$

V_{REF} è il riferimento di tensione prodotto dal circuito di Bandgap e V_{FB} è la tensione proveniente dal partitore di feedback, ovvero un livello di tensione direttamente relazionato alla tensione di uscita del regolatore, normalmente dato da un partitore resistivo $V_{FB} = \frac{R_{FB1}}{R_{FB1}+R_{FB2}} V_o$.

In uscita è stato aggiunto uno stadio **buffer** in modo fornire al gate del pass transistor un cammino a bassa impedenza.

La principale caratteristica funzionale di questo blocco circuitale è la capacità di fornire un grande guadagno in uscita che permetta di controllare il gate dell'elemento pass transistor in funzione della differenza di tensione tra l'uscita del regolatore e la tensione di riferimento imposta per il circuito. L'anello di feedback introduce però la necessità di studiare ed analizzare la stabilità del circuito complessivo in regime di frequenza.

Abbiamo visto nel capitolo precedente che la regolazione di linea di un regolatore di tensione LDO dipende strettamente dal guadagno ad anello aperto dell'Error Amplifier (1.14), perciò dovremo dimensionare il circuito in modo da soddisfare le specifiche di guadagno per la reiezione del rumore nella banda di frequenza richiesta. Aumentare semplicemente il guadagno ad anello aperto però, può introdurre instabilità: questo è uno dei fattori che contribuiscono a rendere critico questo argomento.

Normalmente un amplificatore operazionale adeguatamente compensato non ha problemi di stabilità intrinseca, ma introducendo più stadi di amplificazione possiamo causare problemi di instabilità nel sistema, questo a causa della non idealità degli amplificatori che introducono capacità parassite nei nodi di interconnessione e resistenze in ingresso e in uscita reali, contro quelle del modello ideale di amplificatore operazionale. In Figura 2.5 è rappresentato il modello equivalente di un amplificatore operazionale, nel caso di implementazioni reali la resistenza in ingresso $R_{in} \neq \infty$, la resistenza in uscita $R_{out} \neq 0$ e il guadagno ad anello aperto G è limitato.

2.3 Circuito di Bandgap

La tensione V_{REF} del circuito può essere ottenuta con varie tecnologie di realizzazione di un Bangap Reference. La sfida principale di questo blocco circuitale non è solo quella di ottenere una tensione di riferimento il più possibile stabile rispetto alle variazioni della tensione di ingresso, ma anche la necessità di renderla indipendente dalle variazioni di temperatura. Prendiamo in

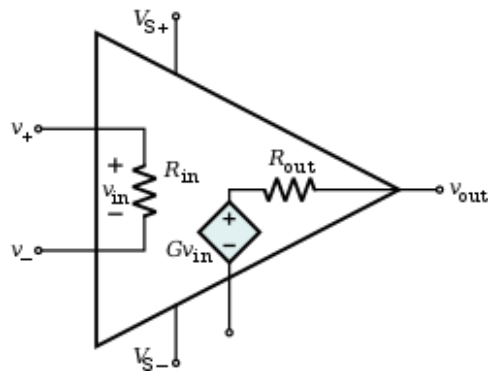


Figura 2.5: Modello equivalente di un amplificatore operazionale

campione l'equazione del diodo a giunzione in cui si può sfruttare la dipendenza esponenziale della corrente di giunzione I_D (2.6) con la tensione V_D ai capi e la tensione di soglia V_T .

$$I_D = I_S \cdot \left(\exp^{\frac{V_D}{nV_T}} - 1 \right) \quad (2.6)$$

La temperatura incide direttamente nel calcolo della tensione di soglia V_T , come evidenziato nella formula seguente

$$V_T = \frac{kT}{q} \quad q = \text{carica dell'elettrone}, k = \text{costante di Boltzmann} \quad (2.7)$$

possiamo quindi risolvere l'equazione in funzione di V_D e troviamo

$$V_D = V_T \cdot \ln \left(\frac{I_D}{I_S} + 1 \right) = \frac{kT}{q} \cdot \ln \left(\frac{I_D}{I_S} + 1 \right) \quad (2.8)$$

da questa relazione si evidenzia una dipendenza lineare tra la tensione V_D e la temperatura, e una dipendenza logaritmica con la corrente I_D tra i capi della giunzione, diventa perciò necessario implementare una tecnica di compensazione per le variazioni di temperatura. Nella Figura 2.6 è presentato lo schema di un riferimento Bandgap a diodo non compensato, al fine di comprendere il principio che caratterizza la nostra problematica. Nella trattazione non ci occuperemo diret-

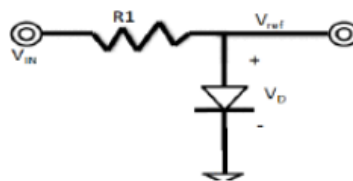


Figura 2.6: Circuito di Bandgap a diodo non compensato

tamente di progettare la struttura di Bandgap richiesta, ma ci limiteremo a fornire una soluzione

tipica. In Figura 2.7 viene riportata la struttura classica di un circuito di Bandgap. In questa soluzione l'indipendenza dalla temperatura viene raggiunta combinando l'effetto di coefficienti di temperatura di segno opposto, la cui somma è indipendente da T . Per illustrare in maniera

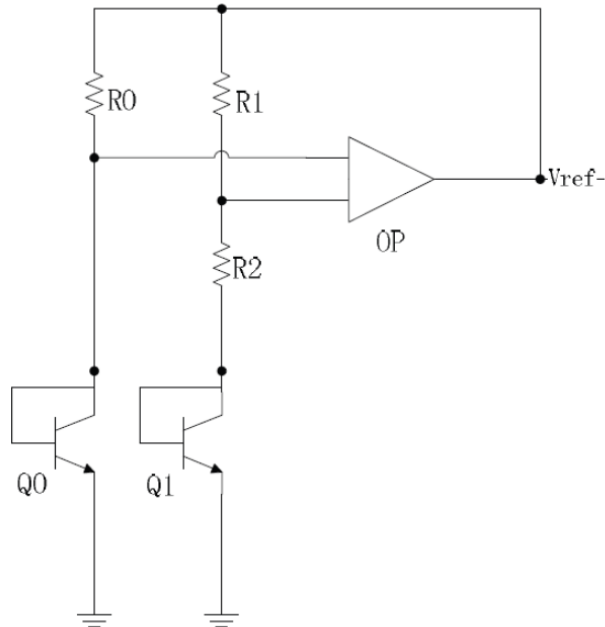


Figura 2.7: Tipica implementazione di un circuito di Bandgap (BGR)

semplice il principio di funzionamento del circuito possiamo considerare lo schema diviso in due sezioni: la parte denominata *PTAT* comprendente la caduta di tensione su R_2 e Q_1 , e la parte *CTAT* formata dalla caduta di tensione V_{BE1} al transistor Q_0 . Le due parti si caratterizzano per diversi coefficienti di variazione rispetto alla temperatura, il primo positivo e il secondo negativo: la Figura 2.8 mostra come la somma delle due tensioni fornisca un termine costante rispetto alle variazioni di temperatura.

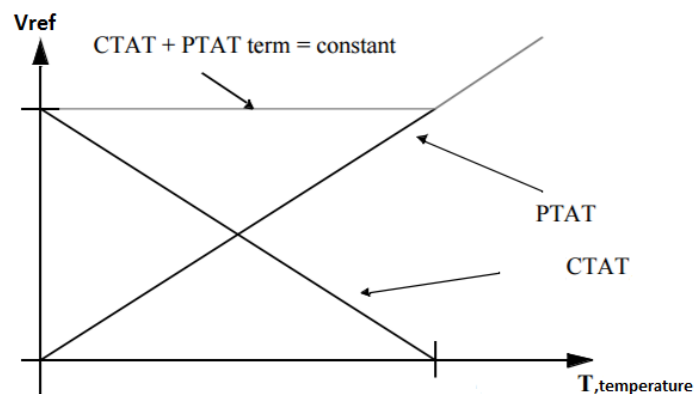


Figura 2.8: Rappresentazione delle parti *PTAT*, *CTAT* del circuito BGR

La tensione V_{ref} è data dalla seguente relazione

$$V_{ref} = V_{BE1} + \Delta V_{BE} \left(1 + \frac{R_1}{R_2} \right) \quad (2.9)$$

V_{BE1} è la tensione tra base ed emettitore di Q_1 (2.10), essa rappresenta la parte *CTAT* del circuito essendo caratterizzata da un coefficiente TC negativo, mostrato nella (2.11)

$$V_{BE1} = V_T \ln \left(\frac{I_C}{I_S} \right) \quad \text{dove} \quad I_S = bT^m \exp \left(-\frac{E_g}{kT} \right) \quad (2.10)$$

dove b è un fattore di proporzionalità, E_g è l'energia di bandgap del silicio e m è l'ordine di proporzionalità di I_S con la temperatura.

Derivando V_{BE1} rispetto alla temperatura per trovare il coefficiente di variazione rispetto alla temperatura troviamo un TC negativo.

Dalle equazioni di giunzione p-n possiamo definire la differenza tra la tensione V_{BE} (*PTAT*) dei due transistor quando essi operano a densità di correnti differenti³

$$\Delta V_{BE} = V_{BE0} - V_{BE1} = V_T \ln \left(\frac{nI_0}{I_{S0}} \right) - V_T \ln \left(\frac{I_0}{I_{S1}} \right) = V_T \ln(n) \quad \text{dove} \quad I_{S0} = I_{S1} \quad (2.11)$$

dove n è la costante di proporzionalità tra le due correnti dei BJT. Siccome la tensione ΔV_{BE} calcolata tramite la relazione (2.11) è una funzione lineare rispetto alla temperatura, è in grado di eliminare il termine di primo ordine che dipende da T nella tensione V_{BE1} . Derivando rispetto alle variazioni di temperatura i due termini *CTAT* e *PTAT* progettiamo il circuito in modo eguagliare in modulo le due quantità. Otteniamo quindi la tensione di riferimento

$$V_{ref} = V_{BE1} + V_T \ln(n) \left(1 + \frac{R_1}{R_2} \right) \quad (2.12)$$

³La densità di corrente è definita come il rapporto tra corrente di collettore I_0 e corrente di saturazione I_S

Capitolo 3

Stabilità nei regolatori di tensione

3.1 Stabilità nei sistemi Lineari

In questo capitolo ci avviciniamo allo studio in frequenza che caratterizza un regolatore di tensione LDO, a questo scopo introduciamo il significato di stabilità per i sistemi LTI (lineari tempo invarianti) e le tecniche che ci permettono di stabilirne la sua natura.

Partiremo con il cercare una funzione di trasferimento $H(s)$ per il circuito ad anello aperto del regolatore LDO, siccome non è possibile definire una funzione di trasferimento per sistemi non lineari, dovremmo considerarlo linearizzato in un punto di lavoro Q , dopodiché ne applicheremo i criteri che seguono per analizzarne le proprietà e l'eventuale instabilità.

Esistono numerose definizioni di stabilità che caratterizzano un sistema lineare tempo invariante, di seguito ne riportiamo le principali. Sia $x(t)$ la funzione che descrive l'ingresso nel nostro sistema e $y(t)$ la funzione che ne descrive l'uscita. Definiamo $G(s)$ la funzione di trasferimento associata al rapporto tra ingresso e uscita nel dominio s : $G(s) = \frac{Y(s)}{X(s)}$, dove $X(s), Y(s)$ sono le trasformate di Laplace dei segnali $x(t), y(t)$. Assumendo che il sistema sia perturbato da un ingresso non nullo, osservando $y(t)$ possiamo classificare i suoi possibili comportamenti in tre categorie:

- sistema **semplicemente stabile** se

$$\exists M_y : |y(t)| \leq M_y \forall t \geq 0 \quad (3.1)$$

nella teoria dei sistemi, per un sistema LTI questa condizione è soddisfatta se almeno uno dei poli della funzione di trasferimento $G(s)$ è semplice e a parte reale nulla, mentre i restanti devono avere parte reale negativa;

- sistema **asintoticamente stabile** se

$$\lim_{t \rightarrow \infty} |y(t)| = 0 \quad (3.2)$$

questa condizione è soddisfatta se e solo se tutti i poli della funzione di trasferimento $G(s)$ sono a parte reale negativa;

- sistema **instabile** se

$$\lim_{t \rightarrow \infty} |y(t)| = \infty \quad (3.3)$$

per avere instabilità nel sistema è sufficiente che la funzione $G(s)$ abbia almeno un polo a parte reale positiva o multiplo sull'asse immaginario.

Consideriamo il sistema retro azionato in Figura 3.1 la sua funzione di trasferimento complessiva può essere scritta nel seguente modo

$$H(s) = \frac{A(s)}{1 + A(s) \cdot \beta(s)} \quad (3.4)$$

dove $\beta(s)$ rappresenta la componente di feedback dovuta all'anello di retroazione. Gli zeri del sistema complessivo $H(s)$ sono dati dagli zeri della funzione $A(s)$, mentre i poli di $H(s)$ sono dati dagli zeri di $1 + A(s) \cdot \beta(s)$, dove $T(s) = A(s) \cdot \beta(s)$ è definito come guadagno dell'anello.

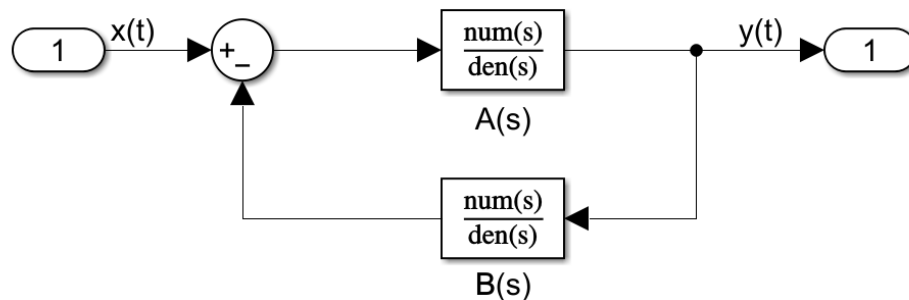


Figura 3.1: Schema a blocchi di un semplice sistema retro azionato

I principali criteri che ci permetteranno di caratterizzare la stabilità del sistema ad anello del regolatore sono presentati nei seguenti paragrafi.

3.1.1 Criterio di stabilità di Nyquist

Il criterio di Nyquist ci permette di affermare circa la stabilità di un sistema ad anello chiuso (ad esempio quello rappresentato in Figura 3.1) considerando solamente il guadagno d'anello $T(s) = A(s) \cdot \beta(s)$, non sarà quindi necessario calcolare l'intera funzione $H(s) = \frac{A(s)}{1+A(s)\beta(s)}$. Dovremo quindi plottare la funzione $T(s)$ nel dominio di Fourier $T(j\omega)$ nel piano di Nyquist per valori di $\omega \in [-\infty; +\infty]$. In Figura 3.2 è mostrato un esempio generico di rappresentazione di Nyquist.

Questo criterio deriva direttamente dal *Lemma di Cauchy* secondo il quale, data una generica funzione di variabile complessa s

$$G(s) = \frac{\prod_{i=1}^m (s - z_i)}{\prod_{i=1}^n (s - p_i)} \quad (3.5)$$

ed una qualunque curva chiusa Γ nel piano complesso, facendo percorrere ad s la generica curva Γ in senso orario e definendo

- N_{or}^G numero di rotazioni in senso orario intorno all'origine di $G(s)$
- $N_{z\Gamma}^G$ numero di zeri interni alla curva Γ
- $N_{p\Gamma}^G$ numero di poli interni alla curva Γ

vale sempre

$$N_{or}^G = N_{z\Gamma}^G - N_{p\Gamma}^G \quad (3.6)$$

essendo la $F(s) = 1 + T(s)$ la funzione i cui poli sono da categorizzare, prendendo una curva chiusa Γ che si estende con raggio $+\infty$ da $(0 - j\infty)$ a $0 + j\infty$ che racchiude quindi con una semicirconferenza tutto il semipiano destro dello spazio complesso, vale

$$N_{or}^F = N_{zd}^F - N_{pd}^F \quad (3.7)$$

dove N_{zd}^F, N_{pd}^F corrispondono rispettivamente al numero di zeri e poli nel semipiano destro di $F(s)$. Risulta evidente che gli zeri di $F(s)$ corrispondono ai poli della funzione complessiva $H(s)$ precedentemente definita.

Considerando la traslazione nell'asse reale studiamo le rotazioni attorno al punto $-1 + j0$, in queste condizioni il sistema descritto dalla funzione di trasferimento $H(s)$ risulta stabile se vale la (3.8)

$$N_{zd}^F = 0 \leftrightarrow N_{or}^F = N_{pd}^F \quad (3.8)$$

ovvero se il numero di rotazioni in senso orario del diagramma di Nyquist eguagliano il numero di poli nel semipiano destro della funzione ad anello aperto $T(s)$.

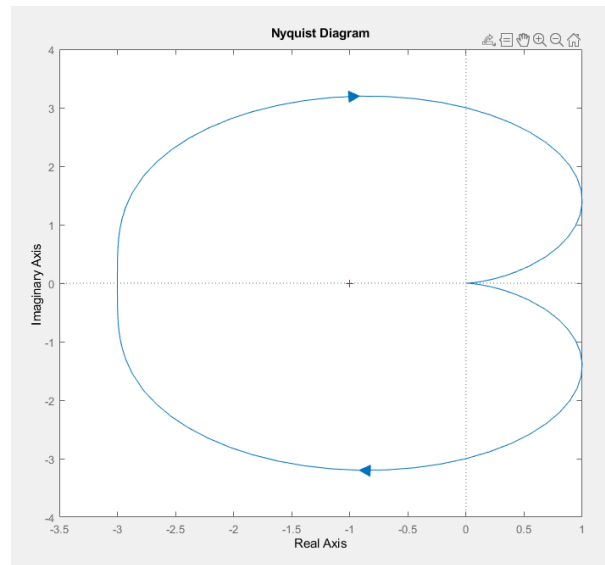


Figura 3.2: Rappresentazione di una generica funzione $T(s)$ nel diagramma di Nyquist

3.1.2 Criterio di stabilità di Bode

Anche il criterio di Bode, come quello di Nyquist permette di stabilire il tipo di stabilità o instabilità che caratterizza un sistema ad anello chiuso descritto da una funzione di trasferimento $H(s)$ guardando esclusivamente la funzione ad anello aperto $G(s)$ e la funzione di feedback $\beta(s)$.

Nel criterio di Bode vengono utilizzati gli stessi principi utilizzati dal criterio di Nyquist ma con l'introduzione di due parametri denominati "margini" che ne garantiscono una "buona" stabilità. Nel criterio di Nyquist un sistema è stabile se il suo guadagno d'anello ripotato sul piano complesso non circonda il punto $-1 + j0$, come mostrato in Figura 3.3, per il criterio di Bode definiamo le seguenti grandezze che indicano quanto $T(s) = A(s) \cdot \beta(s)$ è "distante" dall'instabilità:

- Il **marginale di guadagno** definisce il reciproco del guadagno di $T(s)$ necessario a far passare la curva in $-1 + j0$, valore che porta il sistema al limite della stabilità. È indicato come GM nella Figura 3.3;
- Il **marginale di fase** definisce il valore della fase $T(s)$ necessario a far passare la funzione $T(s)$ nel punto $-1 + j0$, portando la stabilità del sistema al suo valore limite. È indicato in Figura 3.3 con la denominazione ϕ_M .

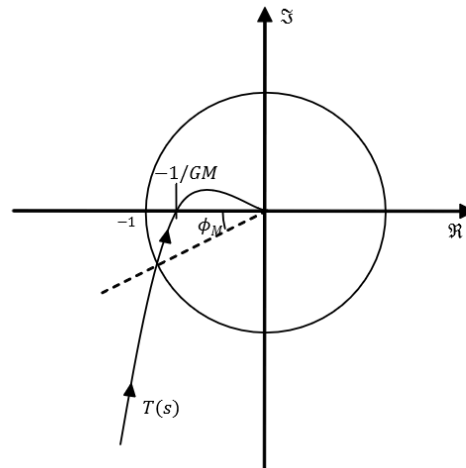


Figura 3.3: Rappresentazione dei parametri introdotti dal criterio di Bode

Il margine di guadagno e il margine di fase possono essere valutati anche tramite il diagramma di Bode, in cui viene valutata la pulsazione di taglio ω_t . Il margine di fase ϕ_M è dato dal valore nel diagramma delle fasi in corrispondenza di quando il modulo della funzione $|T(s)| = 1$ sommato di $+180^\circ$, in corrispondenza quindi della pulsazione ω_t . Il margine di guadagno invece è dato dal valore del modulo della funzione $|T(s)|$ in corrispondenza della pulsazione $\omega = -180^\circ$.

Esistono dei limiti in cui può essere applicato il criterio di Bode, solitamente la maggior parte dei sistemi LTI retro azionati soddisfano le seguenti condizioni, per questo motivo risulta essere il criterio più utilizzato per lo studio dei sistemi ad anello chiuso. Le condizioni di applicabilità del criterio di Bode sono:

- Il sistema presenta un'unica pulsazione di attraversamento dei -180° ed un'unica pulsazione di attraversamento a ω_t a 0 dB ;
- Nei sistemi in cui è presente un unico attraversamento di fase ma sono presenti attraversamenti multipli a 0 dB il sistema è da considerarsi stabile solo se per le frequenze in cui $\phi = -180^\circ - n \cdot 360^\circ$ il modulo di $T(s)$ è inferiore a 0 dB e il sistema ad anello aperto è stabile.

In Figura 3.4 è mostrato un esempio di visualizzazione dei parametri nel diagramma di Bode.

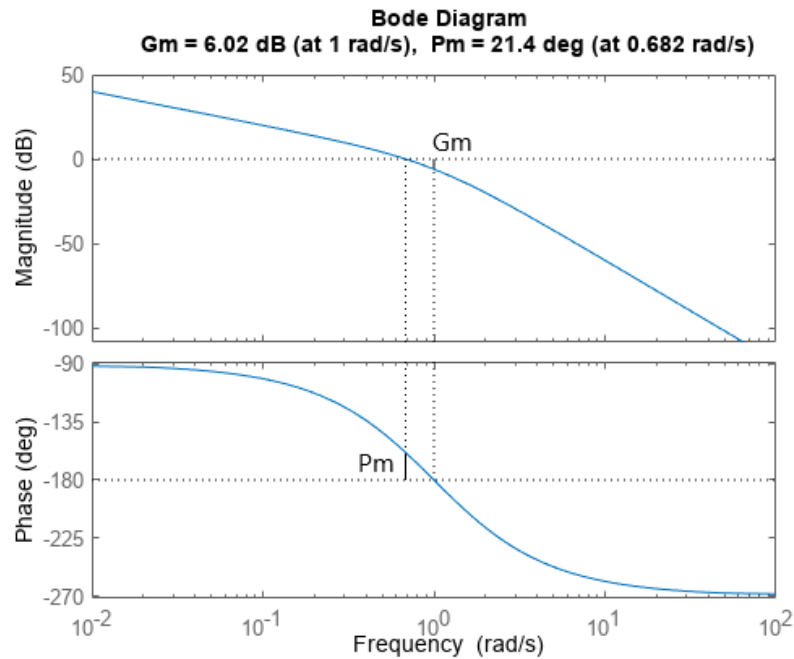


Figura 3.4: Margine di fase e margine di guadagno in rappresentazione di Bode

3.2 Risposta in frequenza

Vediamo ora il circuito di un tipico regolatore di tensione compensato con tecnica ESR, localizzeremo poli e zeri del sistema in catena chiusa e analizzeremo come questo influenzi la stabilità del sistema. Lo schema è mostrato in Figura 3.5, comprende gli elementi principali utili a determinare le caratteristiche rilevanti della risposta in frequenza, ovvero vengono impiegati due amplificatori operazionali rispettivamente A – l’Error Amplifier e B – un Buffer (implementato con una struttura generale per pilotare variabili capacità di gate di M_P). Viene impiegato un PMOS M_P come elemento pass-Transistor. Viene omessa l’implementazione del riferimento di Bandgap V_{REF} , in quanto a meno di un transitorio all’accensione, non contribuisce in modo rilevante alla risposta in frequenza del regolatore LDO.

3.2.1 Determinazione dei poli del circuito

In fase di determinazione della risposta in frequenza del sistema a feedback procediamo considerando la funzione di trasferimento del circuito ad anello aperto, utilizzando quindi i criteri presentati in precedenza per studiare la stabilità del sistema ad anello chiuso. A questo scopo possiamo interrompere il feedback nell’ingresso non invertente dell’Error Amplifier assumendo che la sua resistenza in ingresso sia $\approx \infty$.

In Figura 3.7 riportiamo lo schema equivalente del circuito ai piccoli segnali, necessaria per considerare il modello lineare valido per lo studio nella nostra applicazione è l’ipotesi che l’in-

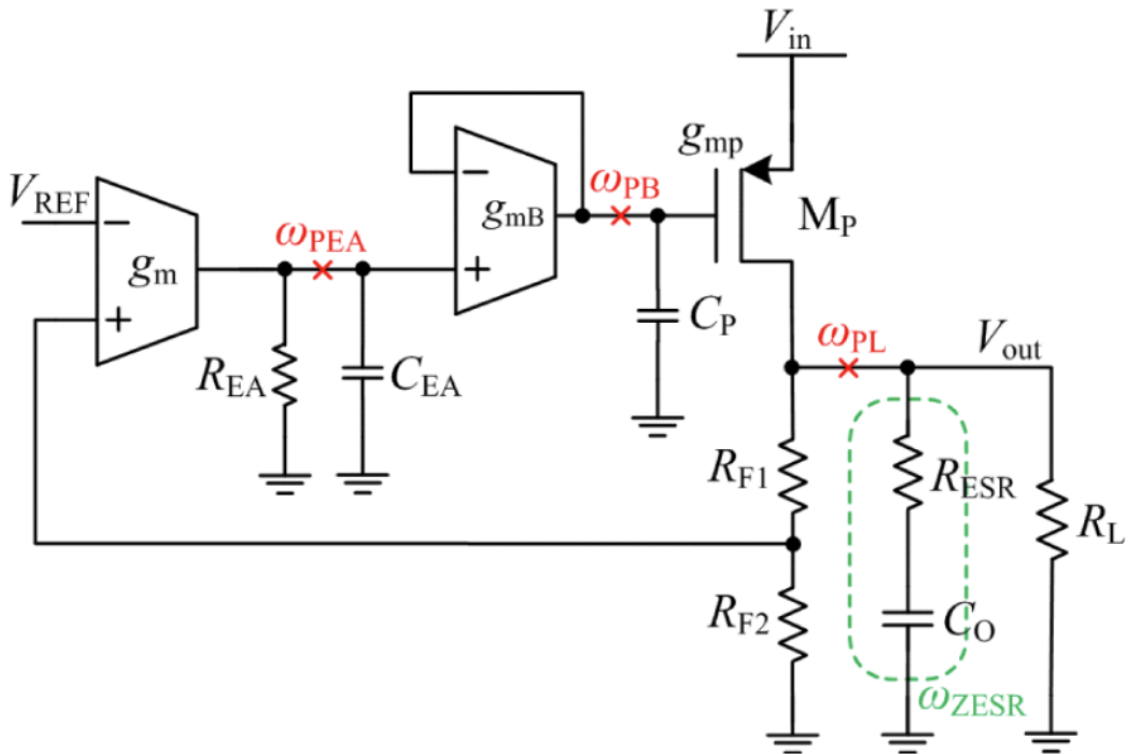


Figura 3.5: Struttura di un tradizionale regolatore di tensione LDO

gresso del circuito ad anello aperto introduca variazioni di tensione molto piccole in modulo, in modo da non invalidare i modelli assunti lineari dei blocchi circuitali dello schema. Da una prima ispezione del circuito possiamo riconoscere tre condensatori indipendenti, ciascuno dei quali introduce un polo nel sistema. Per $\omega \rightarrow \infty$ osserviamo due capacità che portano a zero il guadagno di tensione, per cui la risposta in frequenza ha numeratore di grado $m = 1$, e introdurrà quindi un solo zero nel sistema. La funzione di trasferimento del sistema sarà quindi del tipo

$$H(s) = \frac{\left(1 + \frac{s}{\omega_z}\right)}{\left(1 + \frac{s}{\omega_{PEA}}\right) \left(1 + \frac{s}{\omega_{PB}}\right) \left(1 + \frac{s}{\omega_{PL}}\right)} \quad (3.9)$$

Descriviamo ora i parametri utilizzati nel modello ai piccoli segnali del circuito, possiamo considerare le transconduttanze g_m – relativa all’Error Amplifier, g_{mB} – del Buffer e g_{mP} – transconduttanza del pass transistor PMOS; C_{EA} e C_P sono rispettivamente le capacità ai nodi dell’Error Amplifier e del Buffer; R_{EA} rappresenta l’impedenza in uscita dell’Error Amplifier; la capacità C_O al nodo d’uscita e la resistenza equivalente R_{ESR} sono introdotti per compensare la risposta in frequenza e portare in condizioni di stabilità il dispositivo. Il sistema ha quindi 3 poli e uno

zero rispettivamente calcolati secondo le seguenti espressioni

$$\omega_{PEA} = \frac{1}{R_{EA}C_{EA}} \quad (3.10)$$

$$\omega_{PB} = \frac{g_{mB}}{C_P} \quad (3.11)$$

$$\omega_{PL} = \frac{1}{(R_{ESR} + R_L // R_P // (R_{F1} + R_{F2}))C_O} \quad (3.12)$$

$$\omega_{ZESR} = \frac{1}{R_{ESR}C_{ESR}} \quad (3.13)$$

Dalle espressioni di calcolo dei poli della risposta in frequenza ad anello aperto del sistema, possiamo notare come ω_{PL} ha una stretta dipendenza dalla resistenza R_L , che risulta essere la dominante nel calcolo del parallelo che compare nella relativa formula.

Come mostrato nella Figura 3.6, in cui viene mostrato un tipico posizionamento dei poli in questione, la stabilità è ottenuta posizionando ω_{PB} dopo la pulsazione di taglio (attraversamento la soglia degli 0 dB di guadagno), a causa della dipendenza di ω_{PL} da R_L , la posizione di questo polo dipende quindi dal carico che viene applicato in uscita del regolatore, in particolare aumentando la corrente di carico, ovvero abbassando il valore di R_L (condizione di Heavy Load) si alzerà la frequenza del polo ω_{PL} portando ω_{PB} al di sopra guadagno unitario ad anello aperto in cui non saremo più in grado di garantire la stabilità del sistema.

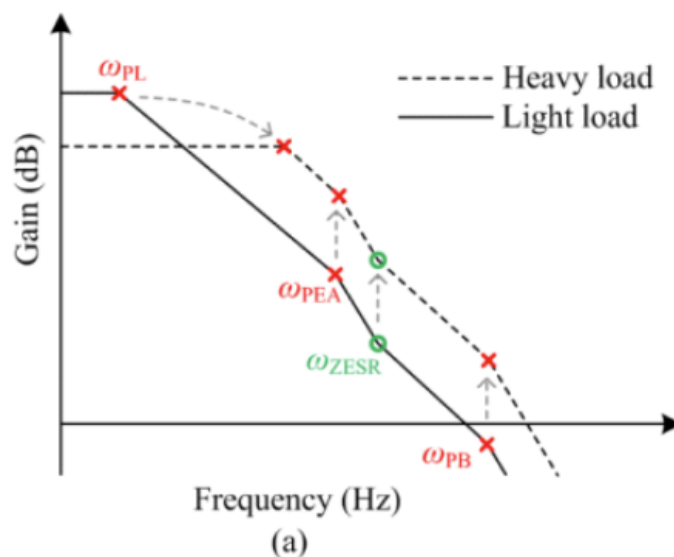


Figura 3.6: Rappresentazione tipica dei poli del sistema per un regolatore LDO con compensazione ESR

Nel dettaglio, analizziamo il rapporto tra le costanti di tempo del polo ω_{PL} e ω_{ZESR}

$$\frac{\tau_{PL}}{\tau_{ZESR}} = \frac{R_{ESR} + R_L // R_P // (R_{F1} + R_{F1})}{R_{ESR}} \cong \frac{R_{ESR} + R_L // R_P}{R_{ESR}} \quad (3.14)$$

risulta evidente che in condizioni di (Light Load) in cui $R_L \gg R_{ESR} \rightarrow \omega_{PL} \ll \omega_{ZESR}$ siccome $R_{ESR} \ll R_L // R_P$, nel caso invece (Heavy Load) $R_L \approx R_{ESR}$ il polo ω_{PL} si sposta in alta frequenza aumentando la banda.

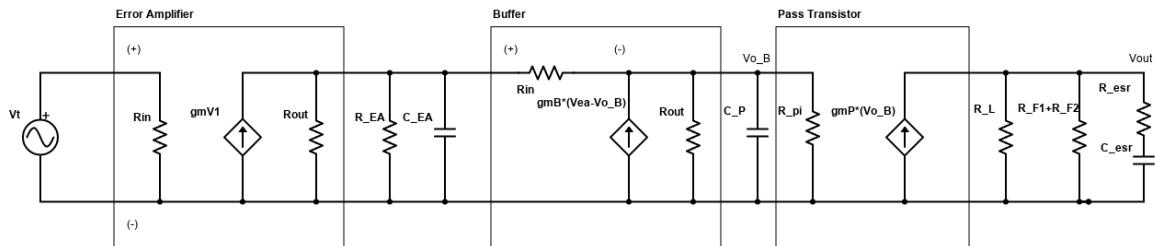


Figura 3.7: Modello ai piccoli segnali per il regolatore di tensione in Figura 3.5

Un regolatore LDO standard richiederebbe quindi la serie resistenza-capacità esterni al dispositivo al fine di poter garantire la stabilità del regolatore. Generalmente i valori di resistenza equivalente ammontano a pochi *Ohm*, un esempio numerico è mostrato in Figura 3.8 in cui viene presentato il range di stabilità per un regolatore *TI TPS76933 3.3V* LDO.

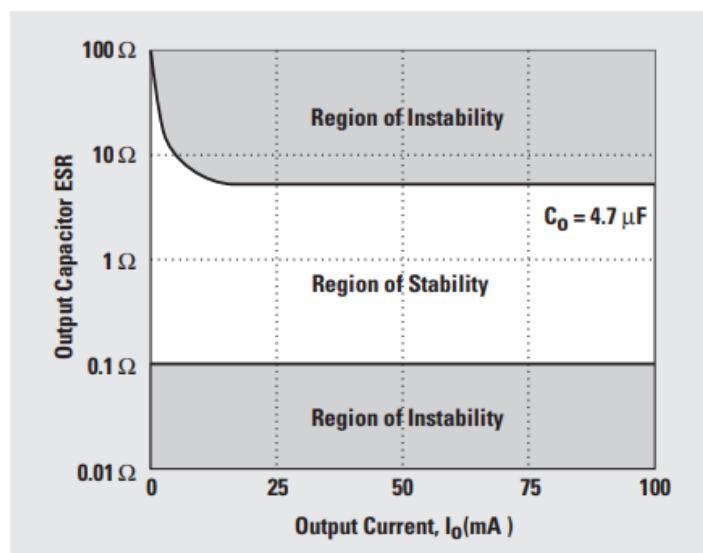


Figura 3.8: Range di stabilità per un regolatore con compensazione ESR (*TPS76933 3.3V*)

3.2.2 Tecniche di compensazione e limiti imposti

Nella struttura circuitale standard presentata nel paragrafo precedente si è utilizzata la tecnica di compensazione ESR. Nei regolatori di tensione standard la resistenza ESR è un valore intrinseco dei condensatori aggiunti esternamente secondo la direttiva del progettista del regolatore per ottenere la stabilità, questo impone un limite inferiore al valore di resistenza equivalente utilizzabile, e quindi dei vincoli sul condensatore. Per questo motivo vogliamo rendere indipendente da questi vincoli la garanzia di un buon margine di fase, inoltre questa tecnica di compensazione introduce solo uno zero posizionato in prossimità del polo ω_{PEA} introdotto dall'Error Amplifier. È facile notare come la dipendenza dal tipo di carico applicato in uscita al sistema introduce una notevole limitazione alla stabilità del sistema in quanto i margini di stabilità sono garantiti solamente per un determinato intervallo di lavoro. A questo scopo vogliamo proporre una soluzione che ci garantisce di irrobustire considerevolmente la stabilità del regolatore, preservando le caratteristiche qualitative e prestazionali del dispositivo, tra cui la bassa corrente di quiescenza.

Capitolo 4

Tecnica di compensazione proposta

Sarà argomento di questo capitolo introdurre una possibile soluzione per rafforzare la stabilità del dispositivo, cercando quindi di superare le limitazioni evidenziate nel precedente capitolo. La combinazione di due tecniche saranno applicate al circuito: un primo stage – **Partially Controlled Load Tracking** – con cui introduciamo uno zero grazie al quale compenseremo ω_{PEA} e un secondo stage – **Power Stage with Pseudo ESR** – che compenserà ω_{PB} . Presentiamo ora lo schema proposto in Figura 4.1 con la divisione in blocchi appena citata.

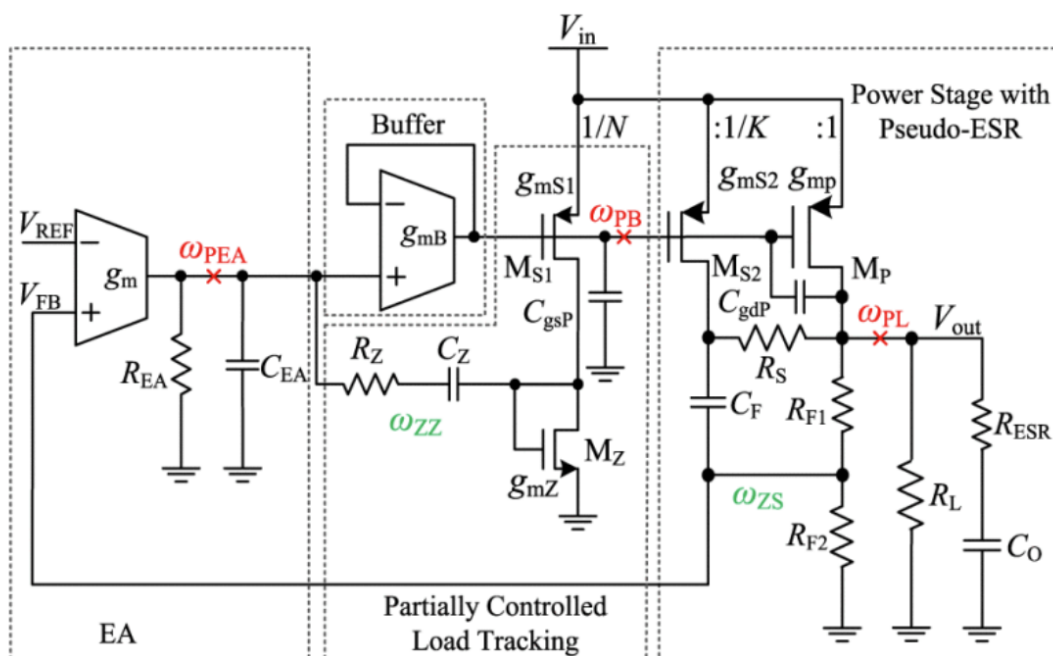


Figura 4.1: Soluzione proposta – Partially Controlled Load Tracking e Power Stage with Pseudo ESR

4.1 Partially Controlled Load Tracking

Procediamo a derivare i poli introdotti dal blocco circuitale di compensazione, analizzando quindi la resistenza in ingresso al transistor M_z nel modello ai piccoli segnali, il quale possiamo osservare è collegato in modalità diodo che garantirà il relativo funzionamento in regione di saturazione, essa è fedelmente approssimata da $\frac{1}{g_{mZ}}$. La resistenza in uscita vista dal transistor M_{s1} può essere approssimata¹ da $r_o \approx \infty$, possiamo quindi determinare la posizione dello zero generato dallo stadio *PCLT* (Partially Controlled Load Tracking)

$$\omega_{ZZ} = \frac{1}{\left(R_Z + \frac{1}{g_{mZ}}\right) \cdot C_Z} \quad (4.1)$$

Osserviamo che la corrente che scorre attraverso il transistor M_z include due contributi: uno proveniente dal nodo d'uscita dell'Error Amplifier e il secondo determinato dal transistor M_{s1} , quest'ultimo impone una corrente direttamente proporzionale a quella di carico I_o grazie al suo fattore di scaling $S_{M_{s1}} = \frac{W}{L} = \frac{1}{N \cdot S_P}$. Possiamo quindi notare che se la corrente di carico varia, la resistenza $R_{inZ} = \frac{1}{g_{mZ}}$ varia anch'essa in direzione opposta, quindi in accordi con la formula (4.1) varia di conseguenza lo zero generato da C_Z . Questo è in grado estendere la Unity Gain Bandwidth del sistema e di migliorare il margine di fase nella regione di medie frequenze del regolatore LDO, il quale vedremo essere in grado di tracciare il polo ω_{PL} in condizioni di Heavy Load, spostandosi in alta frequenza.

Nel nodo in uscita dell'Error Amplifier possiamo trascurare l'effetto di C_{EA} perché molto minore rispetto al condensatore C_Z soggetto ad effetto Miller, il cui valore capacitivo risulta essere aumentato per un fattore $k_M = 1 + \frac{g_{mS1}}{g_{mZ}}$. Per questo motivo il polo ω_{PEA} subisce una notevole modifica rispetto alla soluzione presentata nel capitolo 3, assumendo quindi la seguente forma

$$\omega_{PEA} = \frac{1}{R_{EA} \left(1 + \frac{g_{mS1}}{g_{mZ}}\right) \cdot C_Z} \quad (4.2)$$

siccome le transconduttanze variano in modo sincrono con la corrente di carico, esse liberano ω_{PEA} dall'influenza delle condizioni di carico.

¹La resistenza in uscita può essere calcolata precisamente secondo la formula per la resistenza in uscita dello stadio a source comune: $R_{out} = r_o \cdot (1 + g_m R_S)$

4.2 Power Stage with Pseudo-ESR

Lo stadio proposto introduce un condensatore C_F nella rete di feedback principale e un transistor M_{S2} con fattore di scaling proporzionale a quello del pass transistor M_P per un fattore $\frac{1}{K}$, il che permette il passaggio di una corrente K volte minore di I_o .

Possiamo notare che nella risposta in catena aperta viene introdotta una coppia zero-polo dovuta a C_F , essi sono determinati secondo le seguenti relazioni

$$\omega_{ZF} = \frac{1}{R_{F1}C_F} \quad (4.3)$$

$$\omega_{PF} = \frac{1}{(R_{F1}/R_{F2})C_F} \quad (4.4)$$

la coppia zero-polo viene progettata in modo da garantirne la reciproca cancellazione, inoltre se vengono posti all'interno della UGBW possono estenderla, se ω_{ZF} si trova inoltre in prossimità della Unity Gain Bandwidth può migliorare notevolmente il margine di fase.

Analizziamo adesso le differenze che la variazione circuitale introduce sullo zero ω_{ZESR} dovuto al condensatore esterno C_o : la nuova rete in Figura 4.1 evidenzia un contributo in corrente proveniente dal transistor M_{S2} che sotto l'ipotesi $\tau_F \gg \tau_O$ dove si assume che la costante di tempo relativa al condensatore C_F sia molto maggiore di quella di C_o , possiamo ricavare il seguente nuovo zero introdotto da C_o

$$\omega_{ZS} = \frac{1}{\left(R_S \cdot \frac{g_{mS2}}{g_{mP}} + R_{ESR}\right) \cdot C_o} \quad (4.5)$$

in cui nel calcolo abbiamo assunto che da design $R_S \ll K \cdot R_L$ e che $C_o R_S \ll C_F R_{F1}$, inoltre sapendo che $R_{ESR} \ll \frac{R_S}{K}$ possiamo semplificare come segue.

$$\omega_{ZS} = \frac{K}{R_S C_o} \quad (4.6)$$

Anche in questo caso è quindi necessaria una compensazione ESR per mezzo di C_o , è sufficiente in questo caso però adottare un condensatore ceramico a basso costo, con una resistenza equivalente ESR sufficientemente bassa, togliendo quindi il limite inferiore mostrato in Figura 3.5. Possiamo inoltre notare che la corrente proveniente da M_{S2} richiesta in questo stage di compensazione Pseudo-ESR contribuirà ad I_o , non introdurremo quindi un consumo aggiuntivo nel circuito.

In questo stage introduciamo una variazione anche nel polo in uscita al buffer ω_{PB} , che verrà

influenzato anche dalla capacità tra il gate e il drain del PMOS principale C_{gd}

$$\omega_{PB} = \frac{g_{mB}}{C_{gsP} + C_{gdP}g_{mP}R_o} \quad (4.7)$$

nella formula $R_o = R_L // R_P // (R_{F1} + R_{F2})$ è la resistenza in uscita del regolatore, in cui possiamo osservare che in condizioni di basso carico (I_o molto bassa) M_P opera in regione lineare, mentre con I_o alta lavora in regione di saturazione: nel primo caso quindi la transconduttanza g_{mP} è proporzionale a I_o e nel secondo caso a $\sqrt{I_o}$. Trascurando il valore delle resistenze di feedback osserviamo che $R_L = \frac{V_{out}}{I_o}$ e che $R_P = \frac{1}{\Delta I_o}^2$, ω_{PB} è quindi costante quando M_P lavora in regione lineare, in regione di saturazione invece si sposta lentamente in alta frequenza al crescere di I_o .

² λ è il parametro di modulazione della lunghezza di canale [11]

Capitolo 5

Analisi delle prestazioni per la soluzione proposta

Ci occupiamo in questo capitolo di analizzare le caratteristiche pratiche che caratterizzano lo schema proposto, deriveremo i parametri statici, valuteremo la stabilità influenzata dai nuovi poli e zeri in frequenza osservati nel capitolo precedente per poi analizzare la capacità del regolatore di fronteggiare il rumore di linea derivando quindi il PSRR.

5.1 Analisi statica

Con riferimento al circuito in Figura 4.1 introdotto dalla soluzione proposta nel capitolo precedente possiamo determinare il guadagno statico che caratterizza l'anello di feedback nella funzione in catena aperta per basse frequenze, essi possono essere identificati come A_{DC} e β e costituiscono il massimo fattore di guadagno che il sistema in catena aperta può avere. Come già visto nel Capitolo 1, i parametri fondamentali del regolatore vengono direttamente influenzati da queste quantità, ad esempio la Regolazione di Linea, di Carico, e come vedremo il PSRR. Possiamo derivare facilmente i parametri statici considerando il modello ai piccoli segnali mostrato in Figura 5.1, in cui le capacità devono essere sostituite con circuiti aperti.

$$A_{DC} = g_{m2}R_{EA} \cdot \frac{g_{mB}}{1 + g_{mB}(r_B//r_{B2})} \cdot (r_B//r_{B2})g_{mP}R_O \approx g_{m2}R_{EA}g_{mP}R_O \quad (5.1)$$

dove come già visto in precedenza $R_o = R_L//R_P//(R_{F1} + R_{F2})$, $r_{oS2} \rightarrow +\infty$

$$\beta = \frac{R_{F2}}{R_{F1} + R_{F2}} \quad (5.2)$$

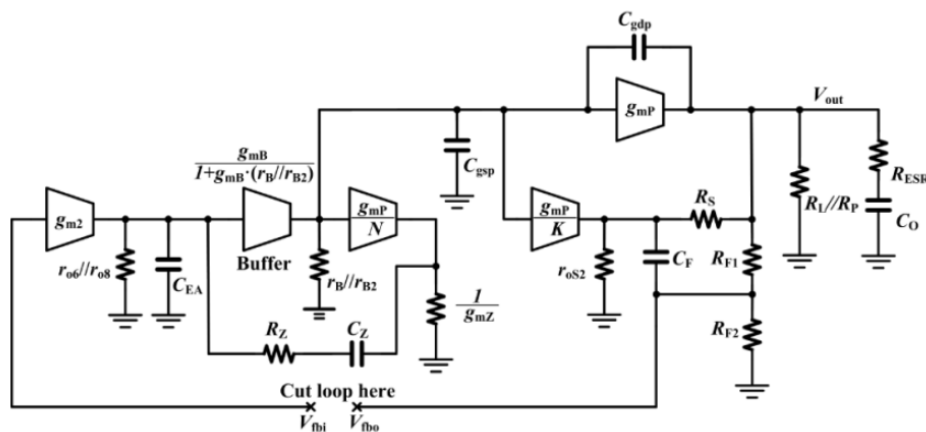


Figura 5.1: Modello ai piccoli segnali del regolatore proposto nel Capitolo 4

5.2 Analisi di stabilità

Possiamo analizzare ora la funzione di trasferimento del sistema in catena aperta $H(s)$, riassumiamo quindi la derivazione effettuata nel precedente capitolo nella seguente espressione

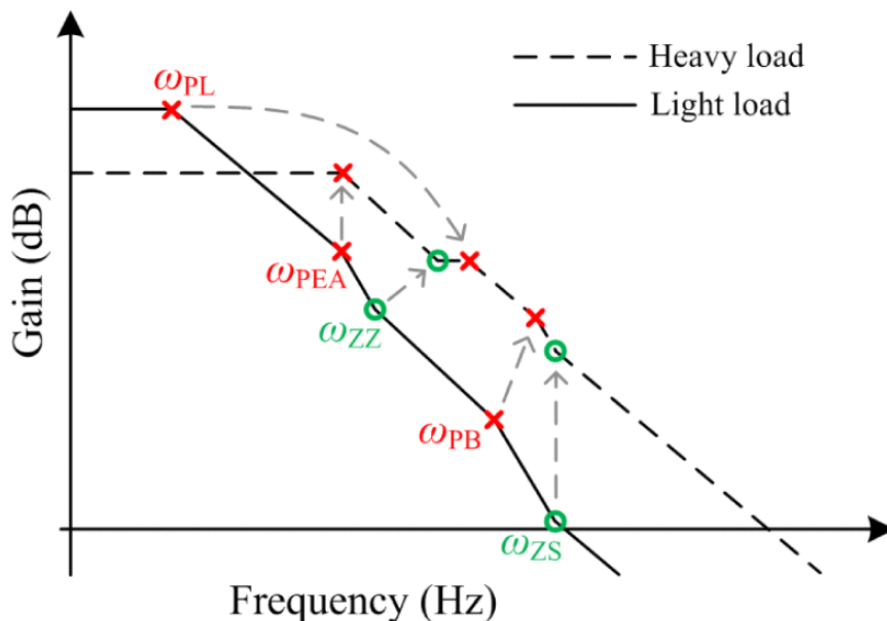
$$H(s) = A_{DC} \cdot \beta \frac{\left(1 + \frac{s}{\omega_{ZZ}}\right) \left(1 + \frac{s}{\omega_{ZS}}\right)}{\left(1 + \frac{s}{\omega_{PEA}}\right) \left(1 + \frac{s}{\omega_{PB}}\right) \left(1 + \frac{s}{\omega_{PL}}\right)} \quad (5.3)$$

A_{DC} e β sono rispettivamente il guadagno in continua e il coefficiente di feedback.

In Figura 5.2 viene rappresentata la risposta ad anello aperto nei casi (1.) “Light Load” e (2.) “Heavy Load” in cui possiamo distinguere lo spostamento che compiono i poli dipendenti dalle condizioni di carico.

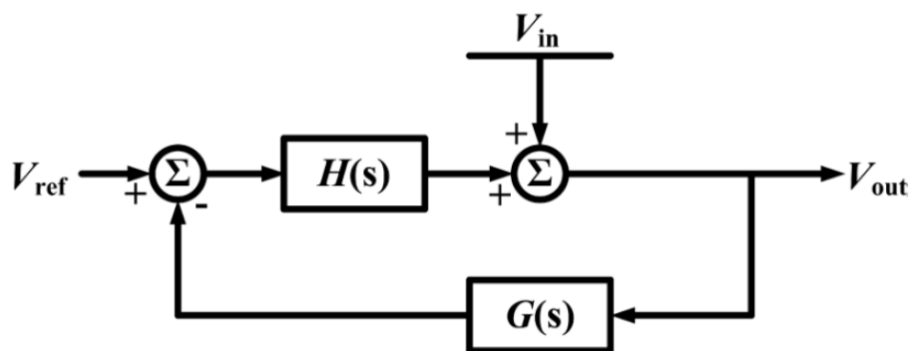
1. Nelle condizioni di carico leggero identifichiamo ω_{PL} come polo dominante, ω_{PEA} e ω_{PB} sono posizionati all’interno la UGBW, in questa situazione la stabilità viene garantita ponendo all’interno della UGBW i due zeri ω_{ZZ} e ω_{ZS} , i quali cancellano rispettivamente i due poli non dominanti;
2. In condizioni di carico elevato, il polo d’uscita ω_{PL} si porta drasticamente in alta frequenza, rendendo ω_{PEA} , costante rispetto alle variazioni di carico, il polo dominante. In questa situazione, il polo ω_{ZZ} di “load tracking” è in grado di tracciare lo spostamento di ω_{PL} cancellandolo, mentre ω_{ZS} è indipendente rispetto alle condizioni di carico e mantiene la sua prossimità con ω_{PB} .

In entrambi i casi possiamo garantire di avere un margine di fase $PM \geq 45^\circ$.

Figura 5.2: Risposta in frequenza per funzione $H(s)$

5.3 Analisi del PSRR

Il PSRR è il parametro che misura la capacità del regolatore di filtrare il rumore della sorgente V_{in} , a differenza della regolazione di linea del regolatore LDO verrà valutato in funzione della frequenza piuttosto che in regime stazionario. In riferimento allo schema generale in Figura 4.1 possiamo identificare il maggior contributo di rumore provenire dal source del pass-transistor PMOS, direttamente collegato alla sorgente V_{in} . Possiamo quindi sviluppare il modello di feedback mostrato in Figura 5.3.

Figura 5.3: Risposta in frequenza per funzione $H(s)$

La funzione di trasferimento $H(s)$ ricavata nel precedente paragrafo viene identificata come il guadagno ad anello aperto $H^{OL}(s) \equiv H(s)$ del sistema e $G(s)$ in questo caso assumerà valore unitario, siccome il contributo della rete di feedback è già incluso in $H(s)$. A questo punto possiamo ricavare il PSRR grazie alla teoria dei sistemi, possiamo quindi scrivere

$$V_{out}(s) = V_{in}(s) + (V_{ref}(s) - G(s) \cdot V_{out}(s)) \cdot H(s) \quad (5.4)$$

assumendo $V_{ref}(s)$ costante in frequenza possiamo definire il PSRR

$$PSRR = \frac{V_{out}(s)}{V_{in}(s)} = \frac{1}{1 + H(s)} \quad (5.5)$$

A bassa frequenza il valore in modulo assunto da $H(s)$ è molto maggiore di uno, possiamo quindi semplificare

$$PSRR = \frac{1}{H(s)} \quad (5.6)$$

È quindi evidente dall'espressione (5.6) che per migliorare il PSRR dobbiamo incrementare il guadagno A_{DC} del regolatore, inoltre osserviamo che lo zero dominante nel PSRR equivale al polo dominante di $H(s)$, quindi per estendere la banda del PSRR dobbiamo alzarlo il più possibile: questo però può causare instabilità nel sistema d'anello, è necessario procedere quindi con cautela per trovare un compromesso tra le due condizioni.

Capitolo 6

Simulazione e Analisi sperimentale

Nello studio citato dalla trattazione è stato implementato e realizzato il regolatore LDO proposto nel capitolo 4 in tecnologia CMOS standard a $0.18 \mu m$.

Vogliamo riportare in prima istanza i risultati derivati da una pre-simulazione effettuata sulla risposta in catena aperta in funzione della frequenza, in Figura 6.1 è riportata l'implementazione circuitale complessiva del dispositivo.

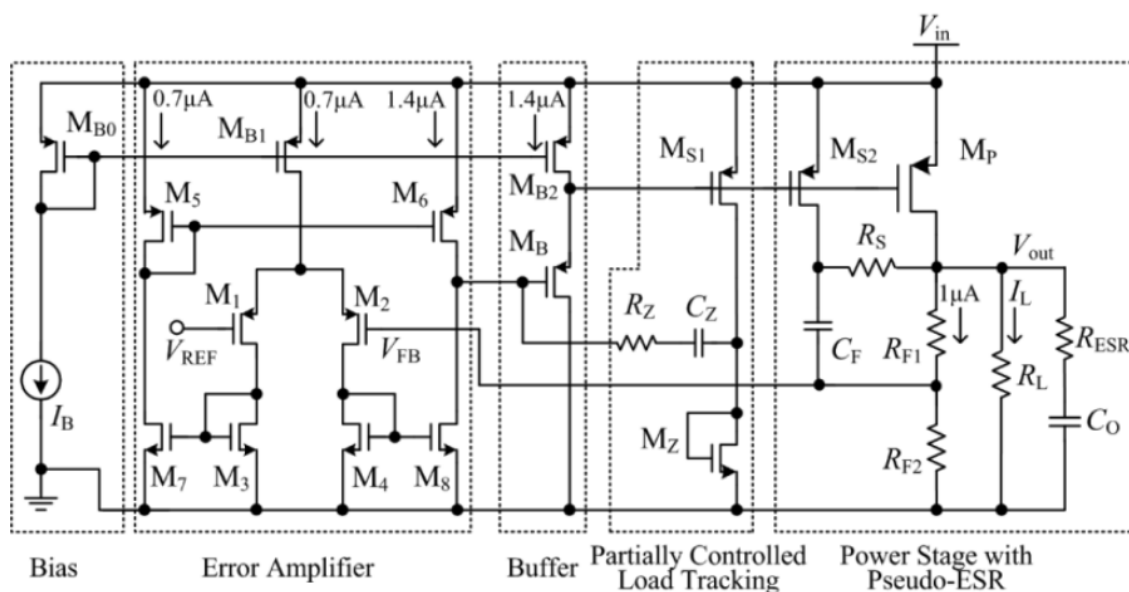


Figura 6.1: Implementazione circuitale integrata del regolatore LDO proposto

I blocchi di controllo Error Amplifier e Buffer sono stati descritti nel capitolo 2. I risultati mostrati nelle seguenti immagini Figura 6.2-6.3 sono stati ottenuti tramite il software “cadence ADE tool”, sono portate a confronto le due situazioni “Light Load” e “Heavy Load”, nello specifico rispettivamente $I_o = 1 mA$ e $I_o = 150 mA$. I risultati mostrano nel primo caso un

guadagno ad anello aperto di 89.2 dB , un margine di fase di 69.2° e un margine di guadagno di 39 dB ; nel secondo caso osserviamo 75.9 dB di guadagno, 62.1° di margine di fase e 16.2 dB di GM .

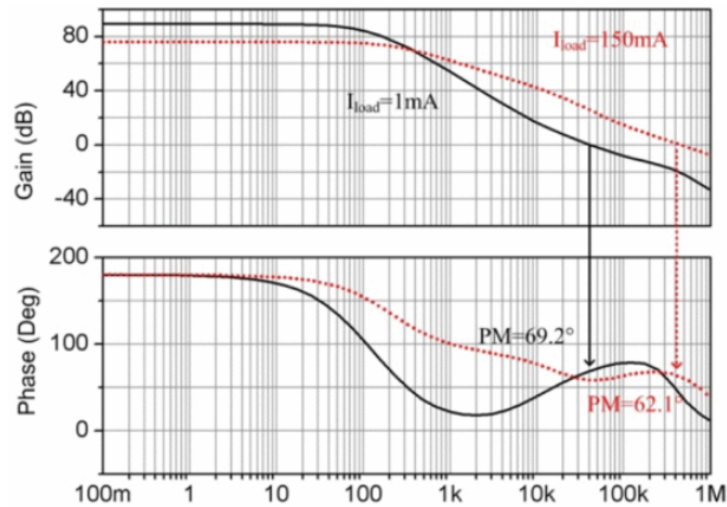


Figura 6.2: Risultati simulazione risposta in catena aperta del regolatore

Riportiamo inoltre in Figura 6.3 la relazione tra il margine di fase e la corrente I_o , non essendo una funzione monotona possiamo distinguere nel caso peggiore un margine di fase $> 60^\circ$ in grado di garantire comunque un elevato livello di stabilità per la soluzione presentata nella trattazione.

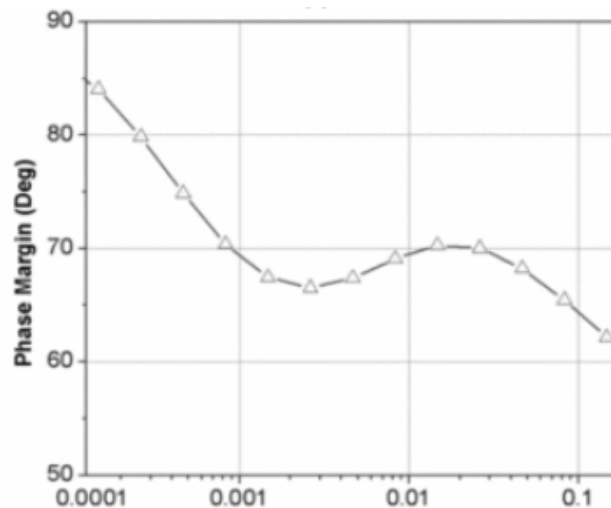


Figura 6.3: Relazione tra margine di fase e corrente di carico

Da simulazione possiamo inoltre riportare la corrente che scorre attraverso i MOSFET M_{S1} e M_{S2} rispettivamente 382 pA e 4.43 nA in condizioni di assenza di carico, e rispettivamente $13 \text{ }\mu\text{A}$ e $191 \text{ }\mu\text{A}$ in condizioni di carico massimo; la rete di feedback assorbe $1 \text{ }\mu\text{A}$. In simulazione otteniamo quindi una corrente di quiescenza complessiva di solo $5.2 \text{ }\mu\text{A}$ in assenza di carico e $18.2 \text{ }\mu\text{A}$ a 150 mA .

6.1 Risultati Sperimentali

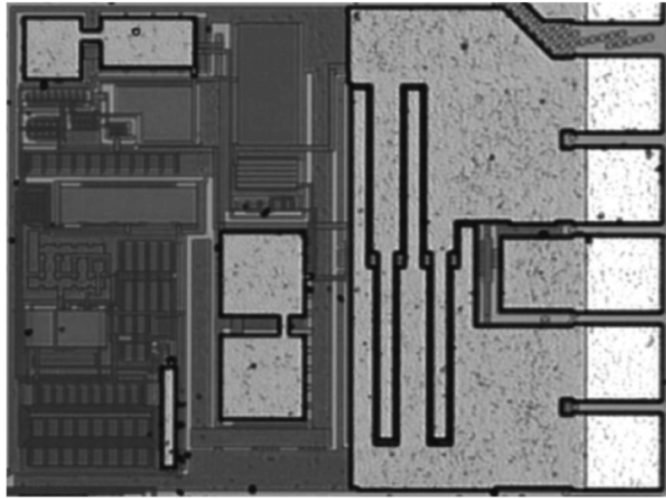


Figura 6.4: Microfotografia del regolatore LDO realizzato

L'area del dispositivo realizzato mostrato in Figura 6.4 comprende $540 \times 400 \mu m^2$, realizzato in tecnologia CMOS $0.18 \mu m^1$ con tensione di regolazione a $2.8 V$ e range di alimentazione in ingresso da 2.9 a $3.3 V$, per garantire un'elevata efficienza. Il condensatore C_o impiegato in uscita è di tipo ceramico "low-cost" del valore di $1 \mu F$. La tensione di dropout di $100 mV$ è ottenuta quando il carico è a $I_o = 150 mA$.

Di seguito vengono riportate le misurazioni della regolazione di linea, la regolazione di carico e del PSRR, rispettivamente in Figura 6.5-6.6-6.7.

Per una variazione della tensione in ingresso V_{in} da 2.9 a $3.3 V$ osserviamo in Figura 6.5 un range di variazione di V_{out} da 0.5 a $2.7 mV$ per correnti di carico tra $1 \mu A$ a $150 mA$, la regolazione di linea varia quindi da 1.25 a $6.75 mV/V$.

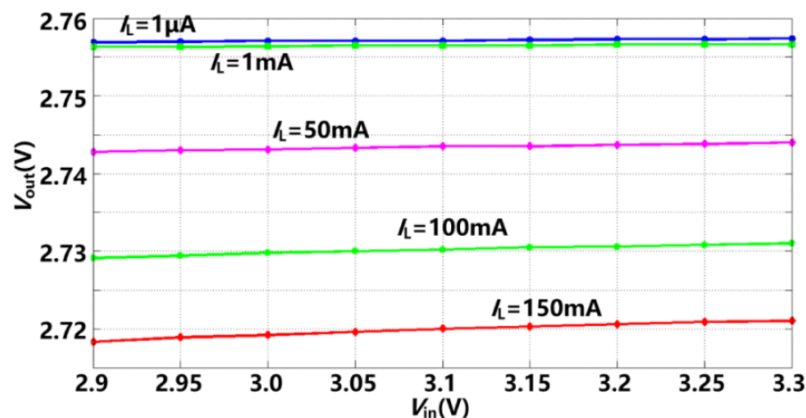


Figura 6.5: Regolazione di Linea misurata

¹Tecnologia che definisce la lunghezza minima di canale del MOSFET

Tenendo costante la tensione in ingresso $V_{in}=3.3\text{ V}$ (Figura 6.6) possiamo misurare la regolazione di carico che per una variazione della corrente di carico da 1 a 150 mA mostra una variazione di V_{out} di 38 mV : essa è quindi 0.25 mV/mA .

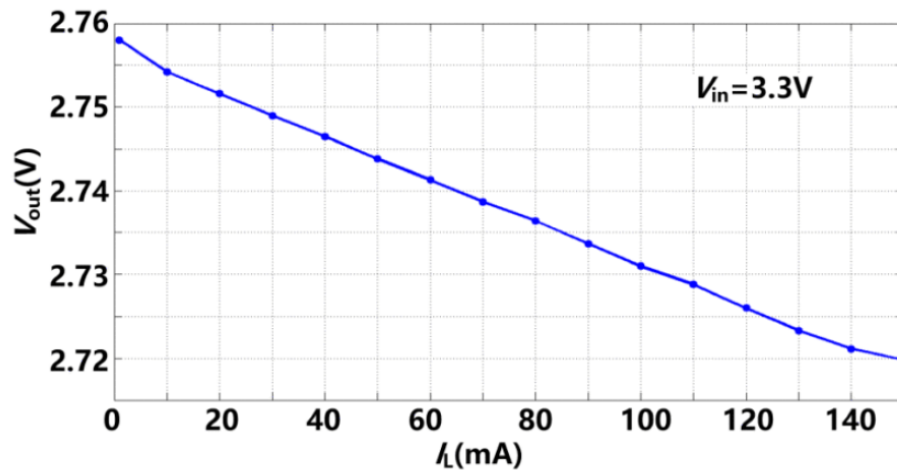


Figura 6.6: Regolazione di Carico misurata

Nel grafico in Figura 6.7 possiamo osservare il PSRR misurato in funzione della frequenza quando alimentato a 3.3 V , si può registrare un valore fino a -60 dB per frequenze inferiori a 300 Hz e corrente di carico fino a 100 mA , per frequenze superiori il PSRR tende a diminuire.

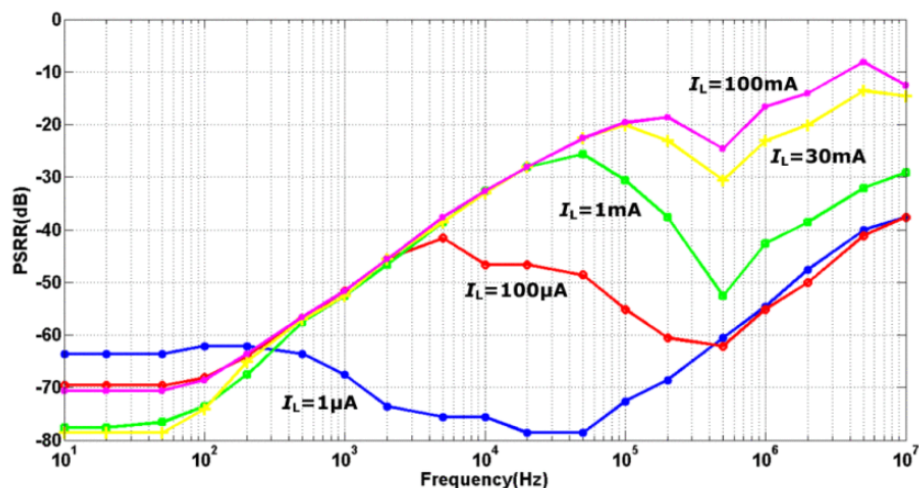


Figura 6.7: PSRR misurato

Riportiamo nelle Figure 6.8 rispettivamente la risposta dinamica al transitorio di linea e di carico

Possiamo osservare che la risposta transitoria del carico del processo step-down è più lunga di quella del processo step-up, questo perché il transistor di regolazione perde temporaneamente

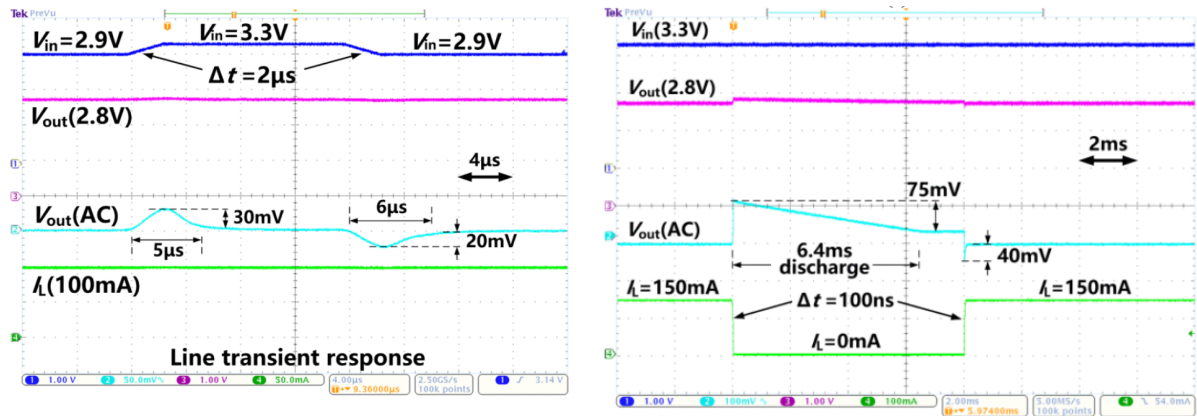


Figura 6.8: Line e Load transient response

la capacità di regolazione quando la corrente di carico scende a 0 mA. Il condensatore in uscita rilascia la carica solamente tramite la rete di feedback, per questo motivo richiede un tempo di scarica molto maggiore.

Capitolo 7

Conclusioni

Alla luce delle simulazioni e dei dati sperimentali ottenuti possiamo concludere che il regolatore implementato presenta un bassissimo consumo di corrente, per la precisione in assenza di carico la corrente di quiescenza misurata è di $5.2 \mu A$. Il regolatore è in grado di alimentare un carico massimo di $150 mA$ a $2.8 V$ in uscita, realizzato con tecnologia CMOS a $0.18 \mu m$ è in grado di accettare in ingresso una tensione dai 2.9 ai $3.3 V$. Le tecniche di compensazione “Partially controlled Load-Tracking” e “Power stage with Pseudo-ESR” si sono dimostrate essere in grado di garantire un ottimo margine di stabilità per il dispositivo per ogni condizione di carico prevista, fornendo un margine di fase superiore a 60° al caso peggiore. Il dispositivo si rivela essere quindi perfettamente adatto ad applicazioni in sistemi integrati a bassa tensione.

Bibliografia

- [1] S. Fan, H. Li, Z. Guo, and L. Geng, “A 5.2 μA quiescent current ldo regulator with high stability and wide load range for czt detectors,” *IEEE Transactions on Nuclear Science*, vol. 64, no. 4, pp. 1087–1094, 2017.
- [2] B. S. Lee, “Technical review of low dropout voltage regulator operation and performance,” *Texas instruments corporated*, August 1999.
- [3] R. Akshaya and S. Y. Siva, “Design of an improved bandgap reference in 180nm cmos process technology,” in *2017 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, pp. 521–524, 2017.
- [4] K. C. Kwok and P. Mok, “Pole-zero tracking frequency compensation for low dropout regulator,” in *2002 IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 4, pp. IV–IV, 2002.
- [5] M. kit Chan, “Design and simulation of cmos-based bandgap reference voltage with compensation circuit using 0.18 μm process technology,” *School of Electrical and Electronic Engineering of Universiti Sains Malaysia (USM)*, August 2017.
- [6] B. S. Lee, “Understanding the stable range of equivalent series resistance of an ldo regulator,” *Analog Applications Journal, Texas instruments corporated*, November 1999.
- [7] J. C. Jeff Falin, “Esr, stability, and the ldo regulator,” *Analog Applications Journal, Texas instruments corporated*, May 2002.
- [8] M. Day, “Understanding low drop out (ldo) regulators,” *Texas Instruments Portable Power Design Seminar*, 2006.
- [9] F. Verenini, “Metodologia per la valutazione della stabilità dei regolatori di tensione mediante misura di impedenza,” *Università degli studi di Padova Dipartimento di Ingegneria dell’informazione*, 2013.

- [10] B. Razavi, *Design of analog CMOS integrated circuits*. McGraw-Hill Education, 2017.
- [11] R. J. Baker, *CMOS circuit design, layout, and simulation*. Wiley, IEEE Press, 2019.