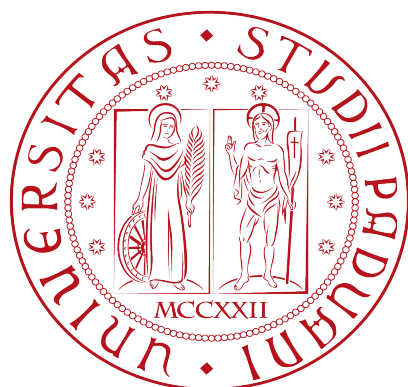


**UNIVERSITÀ DEGLI STUDI DI PADOVA**

**FACOLTÀ DI INGEGNERIA**

**DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE**

**CORSO DI LAUREA TRIENNALE IN INGEGNERIA  
ELETTRONICA**



**REALIZZAZIONE DI UN PROTOTIPO PER  
ACQUISIZIONE DI DATI DI RETE MEDIANTE  
MCP3909**

**RELATORE: PROF. PAOLO TENTI**

**LAUREANDO: GIANLUCA CONTE**

**ANNO ACCADEMICO 2010/2011**



Alla mia famiglia



# INDICE

1. Introduzione .....	7
2. Impiego di tecniche di acquisizione e di comunicazione dati .....	9
2.1. Campionamento e quantizzazione .....	9
2.2. Modulazione Sigma-Delta.....	12
2.3. Trasmissione seriale di tipo SPI .....	14
3. Descrizione MCP3909 .....	19
3.1. Canali di acquisizione .....	19
3.2. High pass filters.....	21
3.3. Modalità di funzionamento .....	21
3.3.1. Comunicazione seriale tramite protocollo SPI.....	24
3.3.1.1 Multiplier Output .....	26
3.3.1.2 Dual Channel Output .....	27
3.3.1.3 Filter Input .....	28
3.4. Configurazione del microcontrollore nella comunicazione .....	28
4. Descrizione del prototipo .....	29
4.1. Schema elettrico .....	29
4.2. Layout.....	30
4.3. Setup di prova.....	31
4.4. Realizzazione delle misure ed analisi dei dati .....	32
5. Scheda di acquisizione dati .....	37
5.1. Schema elettrico e scelte progettuali .....	37
5.2. Circuiti per l'acquisizione del valore di corrente .....	39
5.2.1. Circuito con resistenza di Shunt.....	39
5.2.2. Circuito per corrente derivante dal circuito secondario di un trasformatore amperometrico .....	40
5.2.3. Circuito realizzato con l'uso del componente LEM LTS 25 .....	42
5.3. Filtro per il segnale di tensione relativo al valore di corrente .....	44
5.4. Circuito per l'acquisizione del valore di tensione .....	45
5.5. Filtro per il segnale di acquisizione della tensione .....	46
5.6. Optoisolatori .....	49
5.7. Layout e accorgimenti realizzativi .....	51

<b>6.</b> Misure sulla scheda di acquisizione dati .....	53
<b>6.1.</b> Setup di prova e schema di collaudo .....	53
<b>6.2.</b> Misure di tensione e di corrente .....	54
<b>7.</b> Conclusioni .....	59

# CAPITOLO 1: INTRODUZIONE

Nel mercato energetico il controllo della potenza sulla rete ha sempre maggiore importanza, e in questi ambiti sistemi di acquisizione ed elaborazione dei dati mediante microcontrollore sono sempre più usati. Uno schema di principio di un sistema di acquisizione dei segnali è mostrato in figura 1.1.

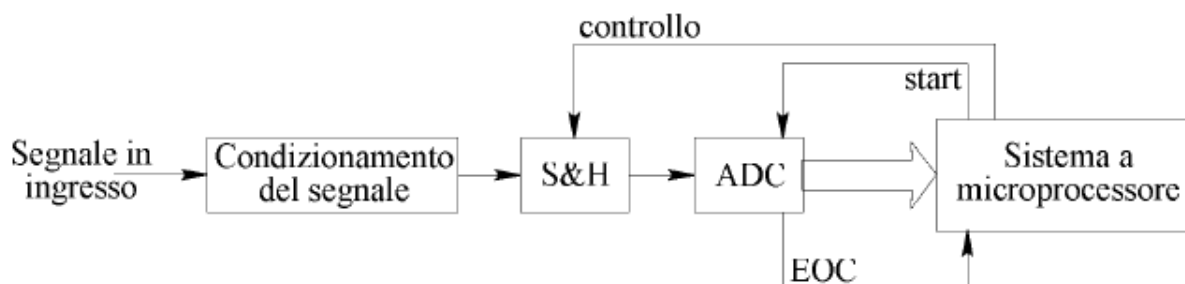


Figura 1.1: Modalità di acquisizione dei segnali analogici

Nei sistemi di acquisizione dati il segnale associato alla grandezza fisica subisce un processo di campionamento mediante circuiti sample & hold (S&H) e di quantizzazione (convertitori A/D). Queste due operazioni sono comuni a ogni tipo di segnale e sono caratterizzate, rispettivamente, dalla velocità di campionamento e dalla risoluzione del convertitore A/D.

Il progetto sviluppato in questa tesi ha come obiettivo quello di monitorare la potenza sulla rete elettrica misurando tensione e corrente sulle fasi, in modo da poter monitorare i consumi in modo preciso e continuativo. Esso prevede il condizionamento dei segnali acquisiti, cioè la trasduzione e la regolazione del livello di tensione per portarlo all'interno del range d'ingresso degli ADC, la conversione analogico-digitale mediante un circuito integrato (MCP3909) e la predisposizione del sistema per la comunicazione con un microcontrollore.

Il progetto si svolge all'interno del programma di studio sulle Smart-Grids che ha tra gli obiettivi quello di migliorare la stabilità della tensione e aumentare l'efficienza nella distribuzione della potenza all'interno di una rete elettrica di bassa tensione.

I seguenti capitoli sono così organizzati:

- nel capitolo 2 vengono illustrate le tecniche di acquisizione e di comunicazione di dati utilizzate;
- nel capitolo 3 viene descritto il circuito A/D integrato MCP3909;
- nel capitolo 4 viene descritto il prototipo per la caratterizzazione del componente MCP3909, vengono riportate le misure e analizzati i dati

- sperimentali;
- nel capitolo 5 viene descritto il sistema di acquisizione dati e la sua realizzazione;
  - nel capitolo 6 vengono riportate le misure sul sistema di acquisizione e analizzati i dati ottenuti;
  - l'ultimo capitolo riporta le conclusioni e i possibili miglioramenti futuri.



# CAPITOLO 2: IMPIEGO DI TECNICHE DI ACQUISIZIONE E DI COMUNICAZIONE DATI

In questo capitolo vengono introdotte le tecniche di conversione e di comunicazione usate nella realizzazione del progetto: la conversione analogico/digitale sigma-delta e il protocollo di comunicazione SPI.

La conversione analogico-digitale A/D è il processo di conversione di un segnale analogico in una sequenza discreta di campioni, costituito dalle fasi:

- campionamento: permette di definire una sequenza discreta di campioni rappresentanti un segnale a tempo continuo;
- quantizzazione: permette di rappresentare i differenti livelli di ampiezza dei campioni con un numero finito di valori detti livelli di quantizzazione;
- codifica: permette di associare ad ogni livello di quantizzazione un numero finito di cifre binarie.

## 2.1. Campionamento e quantizzazione

Per rappresentare in forma numerica un segnale a tempo continuo  $x(t)$  per prima cosa si esegue il campionamento di  $x(t)$  a intervalli regolari  $T$  (figura 2.1). Per garantire la ricostruzione del segnale tempo continuo a partire dai campioni  $x(nT)$ , l'intervallo di campionamento è scelto in modo tale da rispettare la condizione di Nyquist,  $T < 1/2B$  (dove  $B$  è la banda del segnale da campionare).

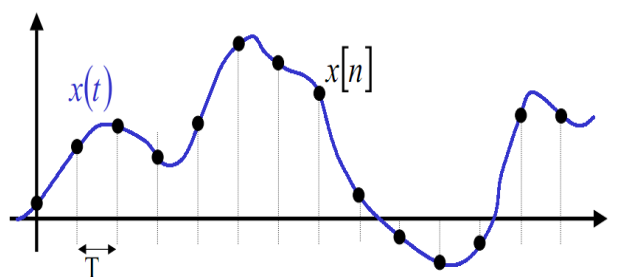


Figura 2.1: Campionamento di un segnale  $x(t)$

Ciascun campione  $x(nT)$  è un numero reale appartenente ad intervallo di ampiezze  $[V_{min}, V_{max}]$ . Per rappresentare il segnale in forma numerica si approssima il numero reale continuo  $x(nT)$  con un numero finito  $M$  di livelli compresi nell'intervallo di ampiezze. Tale operazione viene detta quantizzazione (figura 2.2).

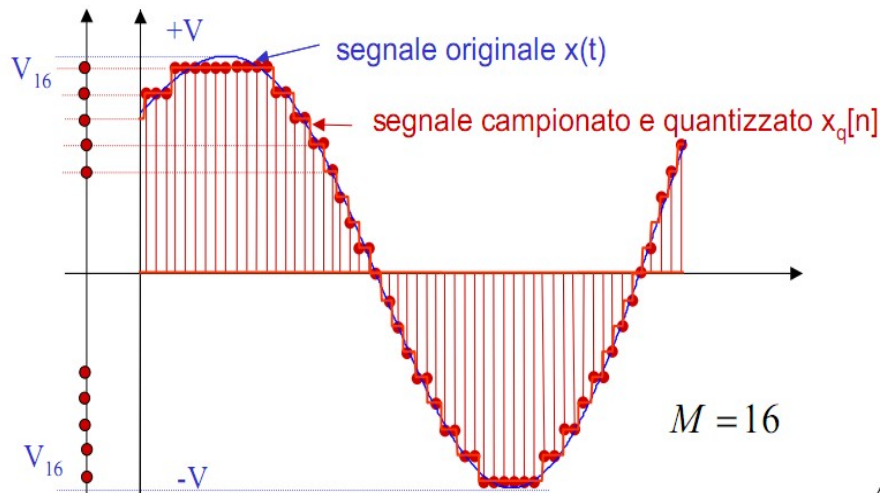


Figura 2.2: Segnale campionato e quantizzato su 16 livelli

Il quantizzatore, il cui schema è riportato in figura 2.3, è un sistema non lineare che riceve in ingresso il valore reale  $x(nT)$  e restituisce in uscita il valore più vicino a  $x(nT)$  fra gli  $M$  possibili livelli di quantizzazione  $V_1, \dots, V_M$ :

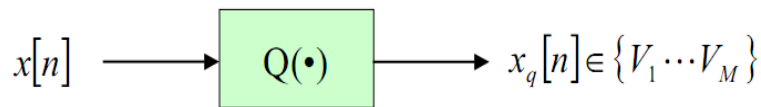


Figura 2.3: Blocco quantizzatore

La caratteristica ingresso-uscita del quantizzatore  $Q(\cdot)$  è una funzione a tratti che descrive una rampa a  $M$  livelli (figura 2.4). Nel caso di quantizzazione uniforme l'intervallo di quantizzazione  $\Delta = 2 \cdot V/M$ .

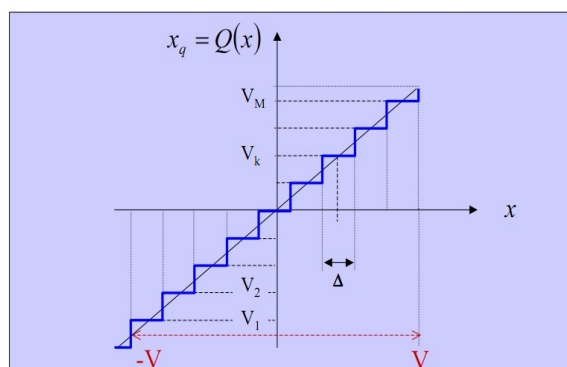


Figura 2.4: Caratteristica ingresso-uscita di un quantizzatore a  $M$  livelli

La quantizzazione introduce un errore pari a:

$$e_q[n] = x_q[n] - x[n] \quad (2.5)$$

Tale rumore può essere paragonato ad un rumore additivo chiamato appunto rumore di quantizzazione (figura 2.5).

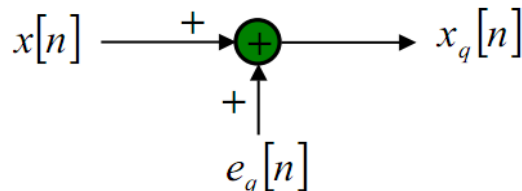


Figura 2.5: Effetto della quantizzazione sul segnale campionato

Infine i livelli di tensione quantizzati vengono codificati. Nella codifica binaria dei campioni i livelli di quantizzazione di un segnale numerico vengono rappresentati in forma binaria. Quindi  $M = 2^k$  livelli di quantizzazione vengono rappresentati con  $k$  bit. In figura 2.7 vengono illustrate le codifiche più utilizzate: codifica naturale, codifica Gray e codifica “complemento 2”.

	Codifica naturale	Codifica Gray	Codifica “complemento 2”
$v_8$	111	100	011
$v_7$	110	101	010
$v_6$	101	111	001
$v_5$	100	110	000
$v_4$	011	010	111
$v_3$	010	011	110
$v_2$	001	001	101
$v_1$	000	000	100

Figura 2.7: Esempi di codifica

La tecnica del sovra-campionamento, combinata con successive operazioni di filtraggio e decimazione, permette di ottenere un aumento di risoluzione nella conversione analogico-digitale al costo di un aumento nella iniziale velocità di campionamento richiesta. Il sovra-campionamento si limita a distribuire il rumore di quantizzazione sopra una banda di frequenze più larga, senza alterarne lo spettro. Un

aumento del numero di bit equivalenti di un sistema di conversione può essere ottenuto sagomando lo spettro del rumore di quantizzazione in modo che la maggior parte della sua potenza cada esternamente alla banda del segnale. Tali obiettivi possono essere raggiunti mediante la modulazione Sigma-Delta.

## 2.2. Modulazione Sigma-Delta

La modulazione sigma-delta è tra le tecniche più avanzate per realizzare la conversione analogico-digitale. Le caratteristiche di questo tipo di modulazione sono :

- utilizzo di frequenze di campionamento molto superiori alla frequenza di Nyquist;
- elevata risoluzione;
- linearità di conversione;
- poca sensibilità alle interferenze a cui i componenti elettronici sono soggetti;
- assenza di circuiti Sample & Hold, complessi da realizzare;
- assenza di filtri anti-aliasing;
- basso costo.

In figura 2.8 sono rappresentati gli schemi di un modulatore e di un demodulatore Sigma-Delta, nei quali  $x$  rappresenta il segnale analogico ingresso,  $y$  il segnale campionato e  $x_1$  il segnale ricostruito dal demodulatore.

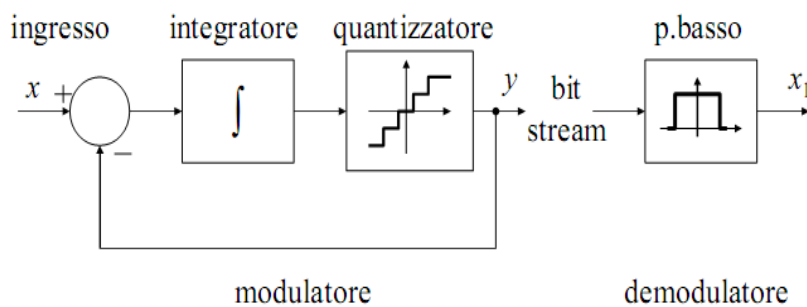


Figura 2.8: Schema di un modulatore e di un demodulatore Sigma-Delta

Il modulatore Sigma-Delta ( $\Sigma\Delta$ ) è costituito da:

- un integratore;
- un quantizzatore che effettua una discretizzazione delle ampiezze del segnale campionato, tale componente introduce un errore di quantizzazione o granulare;
- un anello di retroazione che riporta l'uscita in ingresso, minimizzando l'errore.

La differenza (delta) tra il segnale di ingresso ed il segnale di feedback è accumulata (sigma) attraverso l'integratore e ridotta ad un numero finito di livelli di quantizzazione.

Il comportamento del modulatore rispetto al segnale in ingresso è di tipo filtro passa basso mentre rispetto al rumore di quantizzazione il comportamento del modulatore è di tipo filtro passa alto.

Per lo studio di questo modulatore (Sigma-Delta del 1° ordine) bisogna passare ad un modello linearizzato che approssima il comportamento reale (figura 2.9). Per far ciò il quantizzatore è stato sostituito da una sorgente di rumore bianco additivo  $q$  e si è trascurata la correlazione tra il segnale e l'errore di quantizzazione.

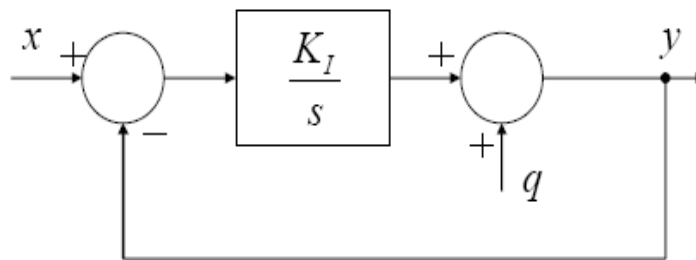


Figura 2.9: Schema linearizzato di un modulatore  $\Sigma\Delta$  del primo ordine

Il comportamento del sistema rispetto al solo segnale di ingresso è un filtro passabasso del primo ordine (equazione 2.10), per valori opportuni di  $K_I$  il filtro si comporta in maniera irrilevante rispetto al segnale di ingresso.

$$Y(s) = (K_I / (s + K_I)) * X(s) \quad (2.10)$$

Il comportamento del sistema rispetto al solo rumore di quantizzazione è un filtro passa-alto del primo ordine.

$$Y(s) = (s / (s + K_I)) * Q(s) \quad (2.11)$$

Risulta quindi:

$$Y(s) = (s/(s + K_I)) * Q(s) + (K_I/(s + K_I)) * X(s) \quad (2.12)$$

Nel caso di un modulatore del secondo ordine il modello linearizzato è riportato in figura 2.13.

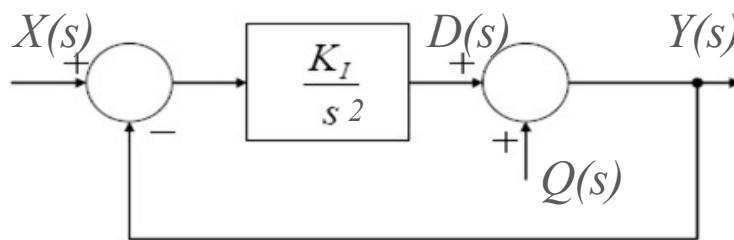


Figura 2.13: Schema linearizzato di un modulatore  $\Sigma\Delta$  del secondo ordine

La funzione di trasferimento risulta:

$$Y(s) = (s^2/(s^2 + K_1)) * Q(s) + (K_1/(s^2 + K_1)) * X(s) \quad (2.14)$$

Il comportamento del modulatore del secondo ordine rispetto al segnale di ingresso è quindi un filtro passa-basso del secondo ordine mentre rispetto al rumore di quantizzazione è un filtro passa-alto del secondo ordine.

### 2.3. Trasmissione seriale di tipo SPI

La trasmissione seriale è una modalità di comunicazione tra dispositivi digitali nella quale le informazioni sono inviate una di seguito all'altra e giungono sequenzialmente al ricevitore nello stesso ordine in cui sono state trasmesse.

Nonostante la maggior complessità architettonica e gestionale rispetto alla trasmissione parallela, la modalità seriale è una delle più diffuse in ambito informatico perché:

- richiede un minor numero di fili con conseguente riduzione dei costi
- è più tollerante rispetto alle interferenze e agli errori di trasmissione

Ovviamente, il circuito trasmissivo più semplice ha come conseguenza una maggior complessità di gestione.

Il Serial Peripheral Interface o SPI è un sistema di comunicazione seriale tra un microcontrollore e altri circuiti integrati o tra più microcontrollori.

La trasmissione avviene tra un dispositivo detto master e uno o più slave, il master controlla il bus, emette il segnale di clock e decide quando iniziare e terminare la comunicazione

Il bus SPI si definisce:

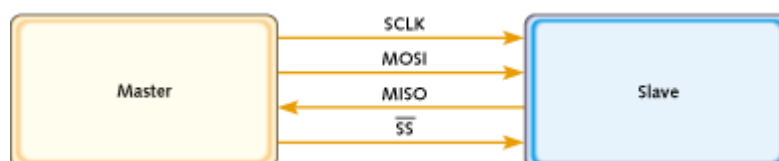
- di tipo seriale
- sincrono per la presenza di un clock che coordina la trasmissione e ricezione dei singoli bit e determina la velocità di trasmissione
- full-duplex in quanto la comunicazione può avvenire contemporaneamente in trasmissione e ricezione.

Per quanto riguarda la velocità di scambio dei dati (in pratica la frequenza del clock) non vi è un limite minimo (in quanto i dispositivi sono statici: possono mantenere se alimentati uno stato logico per un tempo indefinito) ma vi è un limite massimo che va determinato dai datasheet dei singoli dispositivi connessi e dal loro numero in quanto ogni dispositivo collegato al bus introduce sulle linee di comunicazione una capacità parassita.

Il sistema è comunemente definito a quattro fili. Con questo si intende che le linee di connessione che portano i segnali sono in genere quattro ai quali si aggiunge una connessione di riferimento (0 Vdc , GND).

Esso si basa su 4 segnali, come si può vedere dalla figura 2.15:

- SCLK – SCK: Serial Clock (emesso dal master);
- SDI – MISO: Serial Data Input, Master Input Slave Output (ingresso per il master ed uscita per lo slave);
- SDO – MOSI: Serial Data Output, Master Output Slave Input (uscita dal master);
- CS – SS: Chip Select, Slave Select, emesso dal master per scegliere con quale dispositivo slave vuole comunicare;



*Figura 2.15: Connessione tra master e slave nella comunicazione SPI*

Il segnale SCLK è il clock seriale che scandisce gli istanti di emissione e di lettura dei bit sulle linee di dati. È un segnale emesso dal master ed è quindi quest'ultimo a richiedere di volta in volta la trasmissione di una "parola". Il segnale SDI/MISO è la linea attraverso cui il dispositivo (master o slave) riceve il dato durante la comunicazione. Sullo stesso fronte di commutazione del clock il dispositivo emette, con la stessa cadenza, il suo output ponendo il dato sulla linea SDO/MOSI (linea di output di dato).

La trasmissione dei dati sul bus SPI si basa sul funzionamento dei registri a scorrimento (shift register) come illustrato in figura 2.16. Ogni dispositivo sia master che slave è dotato di un registro a scorrimento interno i cui bit vengono emessi e, contemporaneamente, immessi, rispettivamente, tramite l'uscita SDO/MOSI e l'ingresso SDI/MISO.

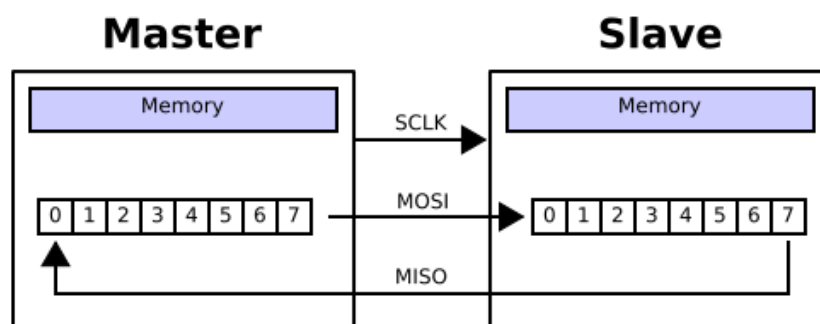


Figura 2.16: Registri a scorrimento nella comunicazione SPI

Il registro, tipicamente di 8 bit, può avere dimensione arbitraria (ma uguale per i dispositivi master e slave). Il registro a scorrimento è un'interfaccia completa mediante la quale vengono impartiti comandi e trasmessi dati che arrivano in modo seriale ma che internamente sono prelevati, a fine trasmissione, in modo parallelo. La sincronizzazione è fatta sui fronti di clock di salita o di discesa regolata da 2 parametri impostabili: CPOL e CPHA. CPOL regola la polarità del clock ovvero discrimina lo stato normale di riposo cui si porta la linea di clock quando non è attiva. Quando CPOL è impostato a 0 il clock, nel suo stato di riposo, si porta a livello logico basso, viceversa (CPOL ad 1) si porta a livello logico alto, durante il tempo di inattività. CPHA regola il fronte di clock in cui il ricevente campiona il segnale in ingresso. Se CPOL=0 allora con CPHA possiamo scegliere di campionare il dato sul fronte di discesa del segnale di clock, impostando CPHA=0, oppure sul fronte di salita, impostando CPHA ad 1. L'inverso accade se CPOL è settato ad 1. In figura 2.17 si può vedere un esempio di temporizzazione al variare del valore logico di CPOL e CPHA.



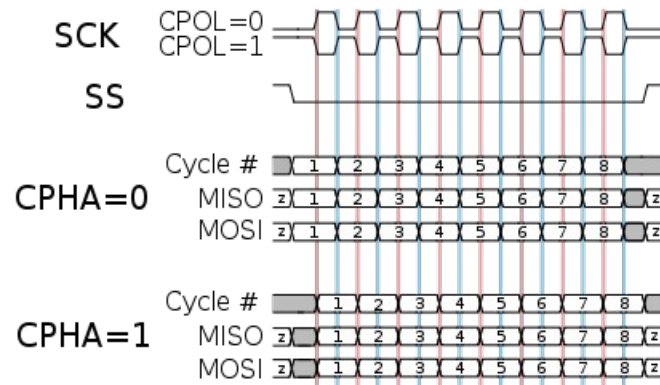


Figura 2.17: Diagramma temporale dei segnali che illustra le possibili polarità di clock e fase dei dati seriali. La comunicazione illustrata è a 8 bit

Queste opzioni, in genere, sono impostabili sul dispositivo master e permettono di adattarlo a tutte le possibili varianti di dispositivi slaves che normalmente, invece, vengono progettati per avere uno dei 4 modi di comunicazione possibili (tutte le combinazioni di CPOL e CPHA).

Il dato di output è trasmesso sempre in corrispondenza della prima transizione del clock. La comunicazione ha inizio sempre su iniziativa del dispositivo master che abilita lo slave tramite CS e successivamente impone il clock sulla linea dedicata.

Con questa procedura ha inizio lo scambio dei bit tra i due registri. Alla fine di ogni parola trasmessa il contenuto del registro dello slave sarà passato al master e viceversa.

Molti microcontrollori dispongono di un hardware dedicato per la gestione dell'SPI. Questo non è strettamente necessario per poter comunicare con un dispositivo slave SPI: in ogni caso si potrà implementare nel firmware delle funzioni dedicate alla trasmissione dei dati (che forse risulteranno più lente e occuperanno più spazio nel firmware di quelle disponibili con un blocco hardware dedicato) ma che comunque permetteranno di comunicare in modo efficiente con la periferica SPI, in quanto non vi è, nella temporizzazione dei dati, un limite di tempo massimo da rispettare.



# CAPITOLO 3: DESCRIZIONE MCP3909

Il componente MCP3909 è un dispositivo in grado di misurare la potenza attiva e supporta lo standard internazionale IEC 62053. Esso contiene al suo interno due convertitori ADC sigma-delta a 16 bit e supporta due modi di funzionamento: uscita a frequenza proporzionale alla potenza attiva e comunicazione seriale tramite protocollo SPI. Sono presenti due canali di ingresso, uno per il segnale relativo alla corrente ed uno per il segnale relativo alla tensione. In figura 3.1 è illustrato lo schema funzionale del dispositivo, i cui componenti principali vengono descritti nel seguito.

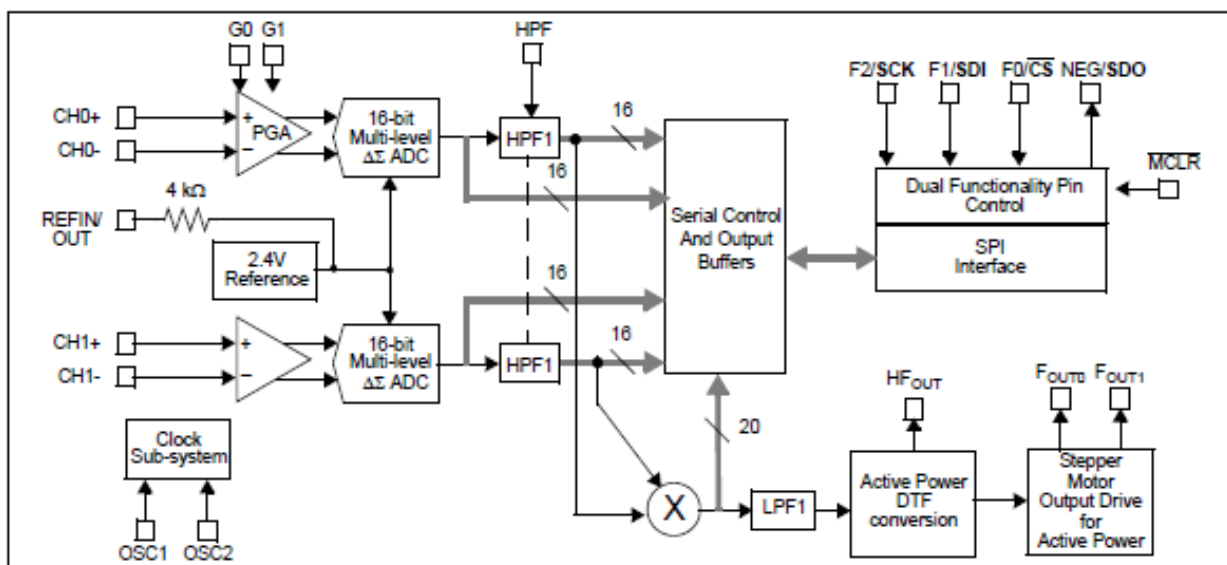


Figura 3.1: Schema funzionale del dispositivo MCP3909

## 3.1. Canali di acquisizione

L'acquisizione del segnale relativo alla corrente avviene grazie ai pin di ingresso CH0- e CH0+. In ingresso è presente un amplificatore a guadagno programmabile PGA per piccoli segnali il cui schema è mostrato in figura 3.2.

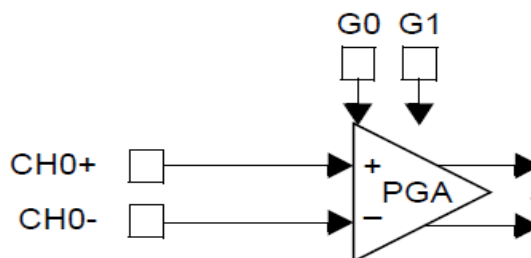


Figura 3.2: PGA in ingresso al canale 0

La linearità del canale di ingresso dipende dal guadagno del PGA, identificato con G o CHO Gain. La massima tensione differenziale in ingresso per non avere distorsione è di  $\pm 470\text{mV/G}$ . Il guadagno del PGA è scelto impostando il valore logico di due pin del dispositivo, G0 e G1 (tabella 3.3). La massima tensione dei pin CH0- e CH0+ rispetto al pin  $A_{\text{GND}}$  per avere linearità è di  $\pm 1\text{V}$ , mentre la massima tensione che può essere applicata ai pin senza provocare danni permanenti è di  $\pm 6\text{V}$ .

G1	G0	CH0 Gain	Maximum CH0 Voltage
0	0	1	$\pm 470\text{ mV}$
0	1	2	$\pm 235\text{ mV}$
1	0	8	$\pm 60\text{ mV}$
1	1	16	$\pm 30\text{ mV}$

Tabella 3.3: Modalità di selezione del guadagno del PGA

L'acquisizione del segnale relativo alla tensione avviene grazie ai pin di ingresso CH1- e CH1+ (figura 3.4).

Il limite massimo di tensione che può essere applicato tra i due pin senza che l'integrato subisca danni permanenti è di  $\pm 6\text{V}$ . La linearità è comunque definita finché la tensione differenziale è inferiore a  $\pm 660\text{mV}$  e la tensione dei pin rispetto a massa ( $A_{\text{GND}}$ ) è minore di  $\pm 1\text{V}$ .

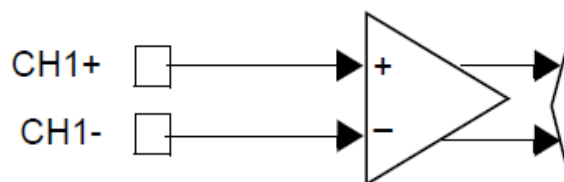


Figura 3.4: Canale di acquisizione dell segnale relativo alla tensione

Gli ADC usati nel MCP3909 per i canali di misura di corrente e tensione sono convertitori sigma-delta a 16 bit che comprendono un modulatore sigma-delta del secondo ordine e un filtro SINC del terzo ordine. I dati convertiti in uscita sono disponibili fino alla frequenza di 14 kHz ed il fattore di sovraccampionamento è 64. Il sovraccampionamento permette l'uso di un semplice filtro anti-aliasing. Durante il funzionamento normale il campionamento è continuo. Quando il pin  $\overline{\text{MCLR}}$  è impostato al valore logico '0' la conversione degli ADC è bloccata e l'uscita assume valore nullo per tutti i 16 bit (valore 0x0000h). Se la tensione in ingresso agli ADC è maggiore del range specificato, la conversione continua finché non si raggiunge il valore di saturazione (700mV per il canale 0 e 1V per il canale 1), ma la linearità in

questa regione non è specificata. Il segnale di clock è equamente distribuito tra i due canali in modo da ridurre il ritardo tra i segnali a meno di un periodo di clock.

### 3.2. High pass filters

Il valore della potenza attiva viene ricavato dalla componente continua della potenza istantanea (valore DC). Per evitare errori nel calcolo della potenza ogni componente continua presente in ingresso al canale 0 e al canale 1 viene eliminata attraverso un filtro passa alto con frequenza di taglio di 4,45 Hz la cui risposta in frequenza è mostrata in figura 3.5. Dato che il filtro passa alto introduce uno sfasamento, tale filtro è identico per ogni canale in modo che lo sfasamento sia uguale per entrambi i segnali. I due filtri passa-alto possono essere disabilitati mettendo a livello logico basso il pin HPF.

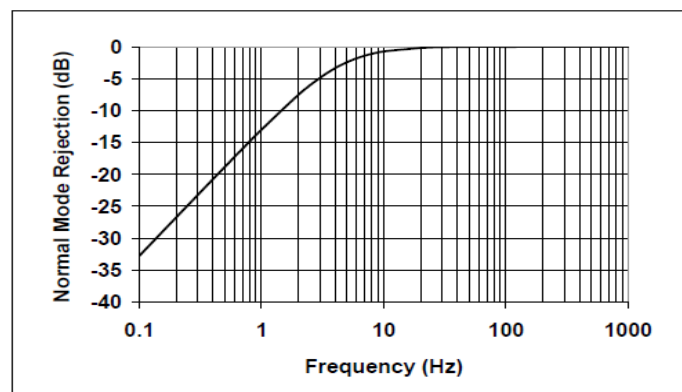


Figura 3.5: Risposta in frequenza dell'HPF

### 3.3. Modalità di funzionamento

Il dispositivo MCP3909 dispone di due possibili modi di funzionamento che possono anche operare simultaneamente:

- uscita a frequenza proporzionale alla potenza attiva;
- comunicazione seriale tramite protocollo SPI.

Nella prima modalità di funzionamento il dispositivo è il grado di generare una frequenza in uscita proporzionale alla potenza attiva (reale)  $F_{OUT0/1}$  e una frequenza più alta proporzionale alla potenza istantanea  $HF_{OUT}$ . In figura 3.6 si possono vedere i vari passaggi nella conversione e i valori delle frequenze dopo ogni passaggio.

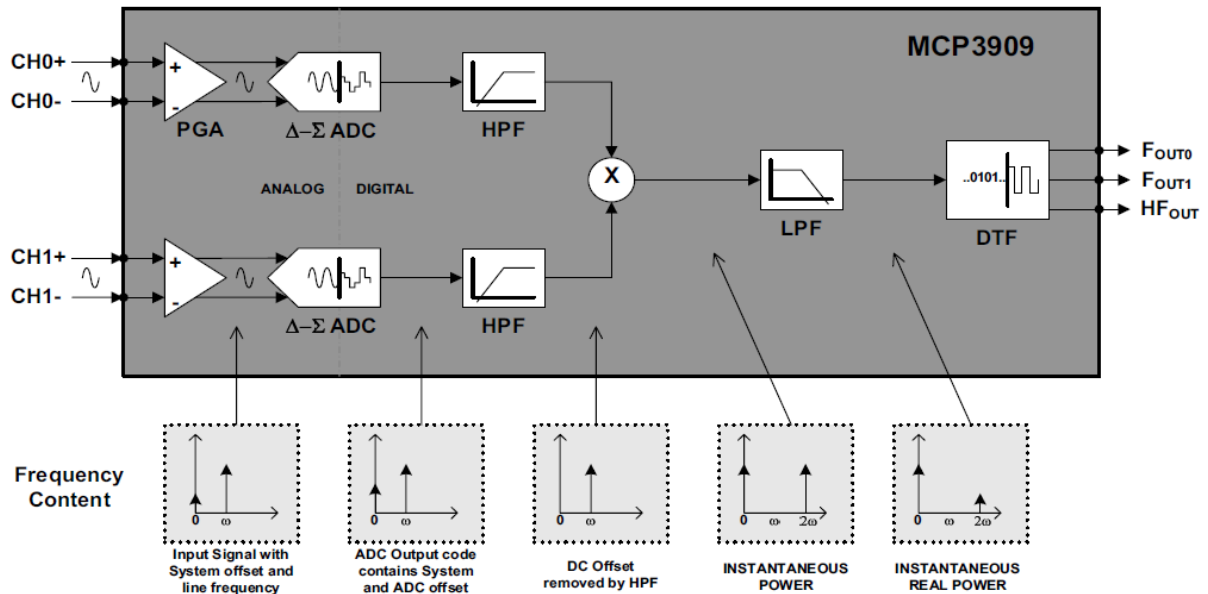


Figura 3.6: Flusso dei segnali nel calcolo della potenza attiva

I segnali prodotti dagli ADC filtrati dal filtro HPF vengono moltiplicati tra di loro. I segnali relativi alla corrente e alla tensione sono isofrequenziali a frequenza  $f$ . Questa operazione di moltiplicazione porta alla generazione di una componente a frequenza 0 (componente continua) e una componente a frequenza  $2f$ . La componente continua rappresenta la potenza attiva e quindi viene applicato un filtro passa basso (LPF) per eliminare la componente a frequenza  $2f$  il cui andamento è illustrato in figura 3.7.

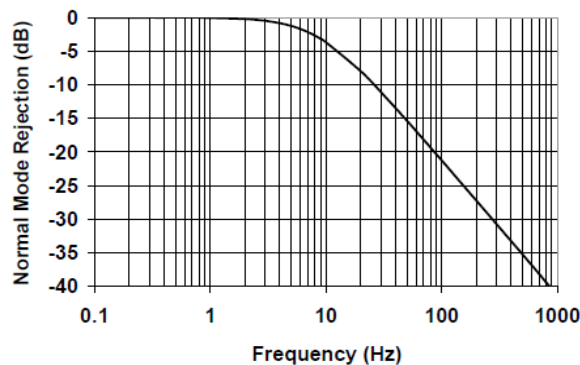


Figura 3.7: Riposta in frequenza del LPF

La frequenza di taglio di questo filtro è pari a 8,9Hz, con segnali in ingresso a frequenza 50Hz, la componente a frequenza  $2f=100\text{Hz}$  viene attenuata di un fattore maggiore a 20dB.

Sul segnale filtrato viene realizzata una DFT (Discrete Fourier Transform) per trasformare il segnale digitale in un segnale analogico con frequenza di uscita proporzionale ai dati in ingresso.

L'uscita del filtro passa basso è accumulata nel convertitore digitale-frequenza. Questo accumulo è comparato con differenti soglie digitali per  $F_{OUT0/1}$  e  $HF_{OUT}$ . Ogni volta che la soglia viene superata in uscita viene generato un impulso. La quantità equivalente di energia necessaria per la generazione di un impulso in uscita è molto più grande per  $F_{OUT0/1}$  rispetto a  $HF_{OUT}$ . Questo fa sì che il periodo di integrazione per  $F_{OUT0/1}$  sia molto più grande, in modo che il ripple di uscita causato da componenti a frequenza  $2f$  sia minimo.  $HF_{OUT}$  è destinato ad essere utilizzato per la calibrazione poiché esso fornisce un'informazione della potenza istantanea. Il più corto periodo di integrazione di  $HF_{OUT}$  fa sì che la componente a frequenza  $2f$  influisca maggiormente sull'uscita.

In uscita si ha quindi una frequenza proporzionale sulla potenza attiva in ingresso ai canali di acquisizione.

Il valore della frequenza  $F_{OUT0/1}$  è dato dalla espressione:

$$F_{OUT}(Hz) = \frac{8.06 \times V_0 \times V_1 \times G \times F_C}{(V_{REF})^2} \quad (3.8)$$

dove:

- $V_0$  e  $V_1$  sono i valori efficaci delle tensioni differenziali presenti in ingresso al canale 0 e al canale 1 rispettivamente;
- $G$  è il guadagno del PGA presente sul canale 0;
- $F_C$  è una costante che viene determinata dal valore logico dei pin F0 e F1 come riportato in tabella 3.9;
- $V_{REF}$  è il riferimento di tensione (nel nostro caso si è usato il riferimento interno di tensione e quindi questo parametro ha valore 2,4V).

F1	F0	$F_C$ (Hz)	$F_C$ (Hz) (MCLK = 3.58 MHz)	$F_{OUT}$ Frequency (Hz) with Full-Scale DC Inputs	$F_{OUT}$ Frequency (Hz) with Full-Scale AC Inputs
0	0	$MCLK/2^{21}$	1.71	0.74	0.37
0	1	$MCLK/2^{20}$	3.41	1.48	0.74
1	0	$MCLK/2^{19}$	6.83	2.96	1.48
1	1	$MCLK/2^{18}$	13.66	5.93	2.96

Tabella 3.9: Modalità di selezione del valore della costante  $F_C$

Il valore della frequenza  $HF_{OUT}$  è dato dalla espressione:

$$HF_{OUT}(Hz) = \frac{8.06 \times V_0 \times V_1 \times G \times HF_C}{(V_{REF})^2} \quad (3.10)$$

dove:

- $V_0$  e  $V_1$  sono i valori efficaci delle tensioni differenziali presenti in ingresso al canale 0 e al canale 1 rispettivamente;
- $G$  è il guadagno del PGA presente sul canale 0;
- $HF_C$  è una costante che viene determinata dal valore logico dei pin F0, F1, F2 come riportato in tabella 3.11;
- $V_{REF}$  è il riferimento di tensione (nel nostro caso si è usato il riferimento interno di tensione e quindi questo parametro ha valore 2,4V).

F2	F1	F0	$HF_C$	$HF_C$ (Hz)	$HF_C$ (Hz) (MCLK = 3.58 MHz)	$HF_{OUT}$ Frequency (Hz) with full-scale AC Inputs
0	0	0	$64 \times F_C$	$MCLK/2^{15}$	109.25	27.21
0	0	1	$32 \times F_C$	$MCLK/2^{15}$	109.25	27.21
0	1	0	$16 \times F_C$	$MCLK/2^{15}$	109.25	27.21
0	1	1	$2048 \times F_C$	$MCLK/2^7$	27968.75	6070.12
1	0	0	$128 \times F_C$	$MCLK/2^{16}$	219.51	47.42
1	0	1	$64 \times F_C$	$MCLK/2^{16}$	219.51	47.42
1	1	0	$32 \times F_C$	$MCLK/2^{16}$	219.51	47.42
1	1	1	$16 \times F_C$	$MCLK/2^{16}$	219.51	47.42

Tabella 3.11: Modalità di selezione del valore della costante  $HF_C$

Il dispositivo include anche per ognuna delle due uscite in frequenza un circuito che fa sì che frequenze in uscita al di sotto di una determinata soglia non vengano generate. Il valore della soglia è pari allo 0,0015% della massima frequenza di uscita, il cui valore dipende dal valore logico dei pin F0, F1, F2. Questa soglia è disabilitata quando i pin F0, F1, F2 hanno valore 011.

### 3.3.1. Comunicazione seriale tramite protocollo SPI

Il dispositivo MCP3909 dispone di tre possibili modalità seriali, che sono accessibili cambiando la funzionalità dei pin da NEG, F2, F1 e F0 a SDO, SCK, SDI e CS rispettivamente. Per passare alla modalità seriale è necessario inserire un comando seriale durante una finestra temporale successiva al reset del dispositivo o ad un



evento di Power-On-Reset (figura 3.12). Durante il funzionamento seriale i dati sono acquisiti dal dispositivo sul fronte di salita del segnale di clock (SCK) e inviati in uscita sul fronte di discesa.

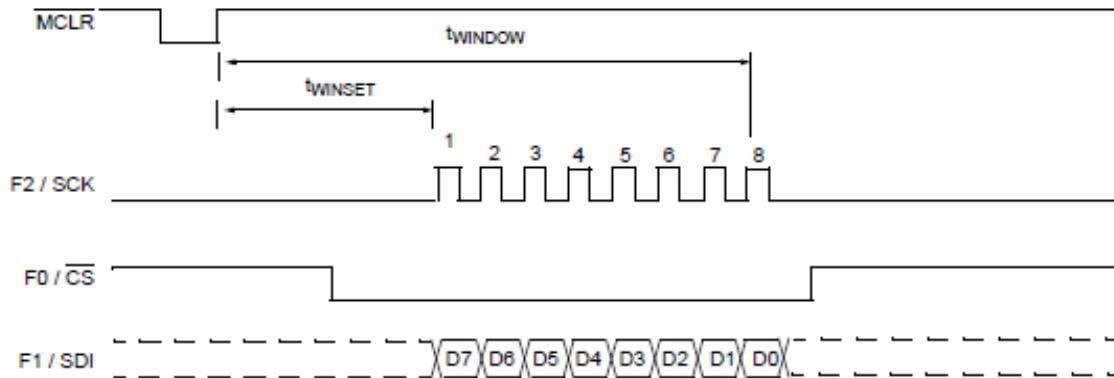


Figura 3.12: Modalità di inserimento dei comandi per la comunicazione seriale

Nella comunicazione SPI la frequenza massima di comunicazione del dispositivo è di 20 MHz. In modalità seriale tutti i blocchi del dispositivo (PGA, convertitori A/D, HPF, moltiplicatore e LPF) sono ancora operativi e permettono l'uso contemporaneo delle due modalità di funzionamento.

Le tre modalità per la comunicazione seriale forniscono i dati in complemento a 2 e sono le seguenti:

- Multiplier Output;
- Dual Channel Output;
- Filter Input.

I byte di comando per la selezione delle varie modalità sono mostrati nella tabella 3.13

Command D7.....D0	Serial Mode	Internal State of F2, F1, F0 Constants Frequency Selection During Serial Mode <sup>(1)</sup>		
		F2	F1	F0
1 0 1 0 0 0 0 1	Multiplier Output	0	F1 pin	1
1 0 1 0 1 0 0 1	Multiplier Output	1	F1 pin	1
1 0 1 0 0 1 0 0	Dual Channel Output Pre HPF1	0	F1 pin	1
1 0 1 0 1 1 0 0	Dual Channel Output Post HPF1	1	F1 pin	1
1 0 1 0 1 0 1 0	Filter Input	1	0	F0 pin
1 0 1 0 1 1 1 0	Filter Input	1	1	F0 pin
1 0 1 0 0 0 1 0	Filter Input	0	0	F0 pin
1 0 1 0 0 1 1 0	Filter Input	0	1	F0 pin

Tabella 3.13: Byte di comando per la comunicazione seriale

Poiché in modalità seriale il blocco per il calcolo della potenza attiva è ancora funzionante i valori dei pin di selezione delle costanti per l'uscita in frequenza (F2, F1, F0) possono essere cambiati in base al comando seriale inserito come mostrato in tabella 3.13.

### 3.3.1.1 Multiplier Output

Questa modalità permette di avere in uscita il risultato della moltiplicazione tra i valore dei due canali in ingresso su una parola di 20bit (19 + bit di segno) in cui il primo bit in uscita è il bit più significativo (MSB). Ogni nuova parola è disponibile alla frequenza di 14 KHz. Se il dato non viene letto esso viene sovrascritto. I dati sono disponibili in uscita sul fronte di discesa del segnale di clock SCK (figura 3.14).

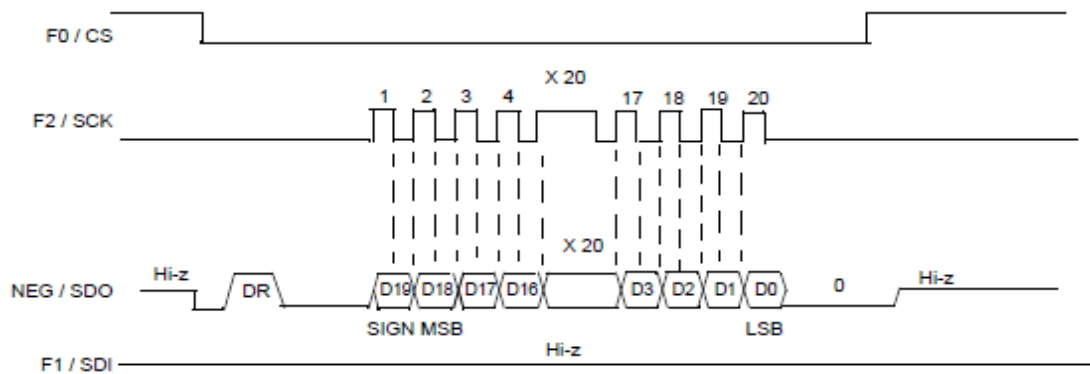


Figura 3.14: Diagramma temporare nell'uso della modalità seriale Multiplier Output

Il dato in uscita è calcolato con la seguente espressione:

$$\text{Multiplier Code} = \frac{(CH0^+ - CH0^-)(CHI^+ - CHI^-)}{V_{REF}^2} \bullet 524288 \bullet 8.06 \bullet G$$

(3.15)

e la codifica utilizzata e riportata in tabella 3.16.

Binary	Decimal
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	+524287
0 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 0	+524286
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	0
1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	-1
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	-524287
1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	-524288

Tabella 3.16: Codifica del dato in uscita nella modalità Multiplier Output

### 3.3.1.2 Dual Channel Output

Questa modalità permette di avere disponibili le singole informazioni, dei due canali di acquisizione, presenti in uscita dagli adc. L'uscita è un parola di 32 bit, 16 per ogni canale (15+1bit di segno). Il dati del canale 1 vengono forniti per primi in uscita e successivamente quelli del canale 2 (figura 3.17).

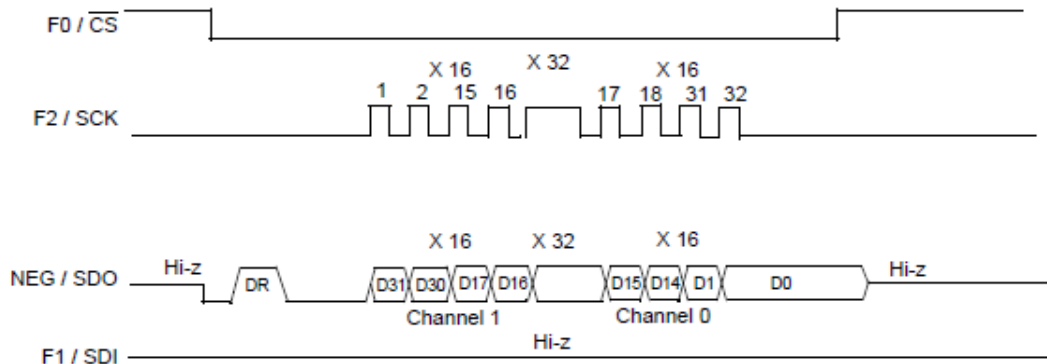


Figura 3.17: Diagramma temporale nell'uso della modalità seriale Dual Channel Output

Le espressioni 3.18 e 3.19 mostrano come i dati vengono calcolati e in tabella 3.20 è riportata la codifica dei dati.

$$\text{Channel 0 Code} = \left( \frac{V_{IN+} - V_{IN-}}{V_{REF}} \right) \times 32768 \times \left( \sqrt{8.06 \times \frac{0.66}{0.47}} \right) \times PGA \quad (3.18)$$

$$\text{Channel 1 Code} = \frac{(V_{IN+} - V_{IN-})}{V_{REF}} \times 32768 \times \left( \sqrt{8.06 \times \frac{0.47}{0.66}} \right) \quad (3.19)$$

Binary	Decimal
0 111 1111 1111 1111	+ 32,767
0 111 1111 1111 1110	+ 32,766
0 000 0000 0000 0000	0
1 111 1111 1111 1111	-1
1 000 0000 0000 0001	- 32,767
1 000 0000 0000 0000	- 32,768

Tabella 3.20: Codifica dei dati in uscita nella modalità Dual Channel Output

### 3.3.1.3 Filter Input

Questa modalità permette all'utente di inviare (mediante la linea SDI) al dispositivo MCP3909 parole da 20 bit in ingresso al filtro passa-basso LPF1, il primo bit ricevuto sarà il MSB. Essi verranno trattati come se fossero l'uscita del moltiplicatore e quindi saranno usati per il calcolo delle frequenze di uscita  $HF_{OUT}$ ,  $F_{OUT0}$ ,  $F_{OUT1}$ . La comunicazione può cominciare dopo la comparsa sulla linea SDO del data ready flag come mostrato in figura 3.21.

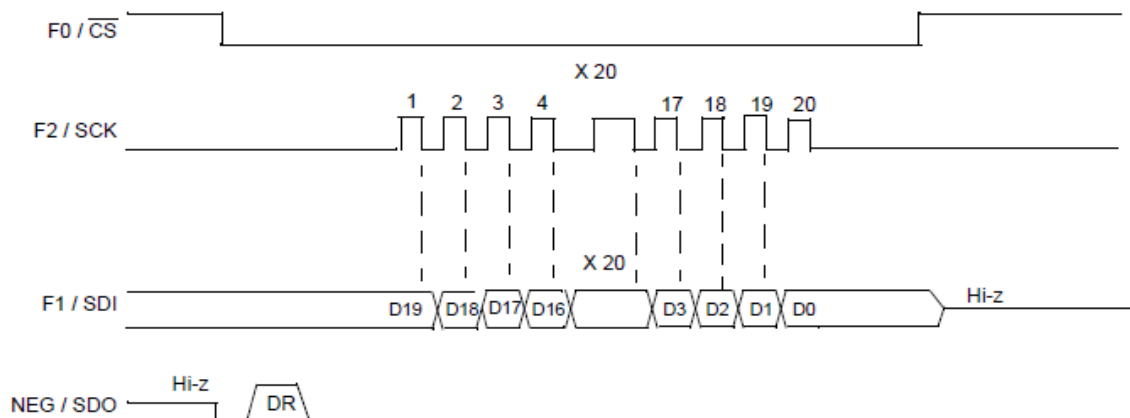


Figura 3.21: Diagramma temporale nell'uso della modalità seriale Filter Input

## 3.4. Configurazione del microcontrollore nella comunicazione

Come detto precedente i dati sono letti dal dispositivo sul fronte di discesa del clock mentre vengono inviati in uscita sul fronte di salita. Per questo motivo nella comunicazione, il microcontrollore deve essere configurato con CPOL (CKP) e CPHA (CKE) a 0 come mostrato in tabella 3.22 (vedere paragrafo 2.4).

Standard SPI Mode Terminology	PIC Control Bits State		MCP3909 Compatibility	Description
	CKP	CKE		
0,0	0	1	—	Idle state for clock is low level, transmit (from PIC) occurs from active to idle clock state
0,1	0	0	√	Idle state for clock is low level, transmit (from PIC) occurs from idle to active clock state
1,0	1	1	—	Idle state for clock is high level, transmit (from PIC) occurs from active to idle clock state
1,1	1	0	—	Idle state for clock is high level, transmit (from PIC) occurs from idle to active clock state

Tabella 3.22: Modalità di comunicazione SPI

# CAPITOLO 4: DESCRIZIONE DEL PROTOTIPO

## 4.1. Schema elettrico

Ai fini di disporre di un setup di prova preliminare, è stato realizzato un primo prototipo su cui sono presenti solamente gli elementi fondamentali per il funzionamento del MCP3909.

Lo schema elettrico è stato disegnato usando il software Capture CIS della famiglia Orcad versione 9.2 ed è riportato in figura 4.1.

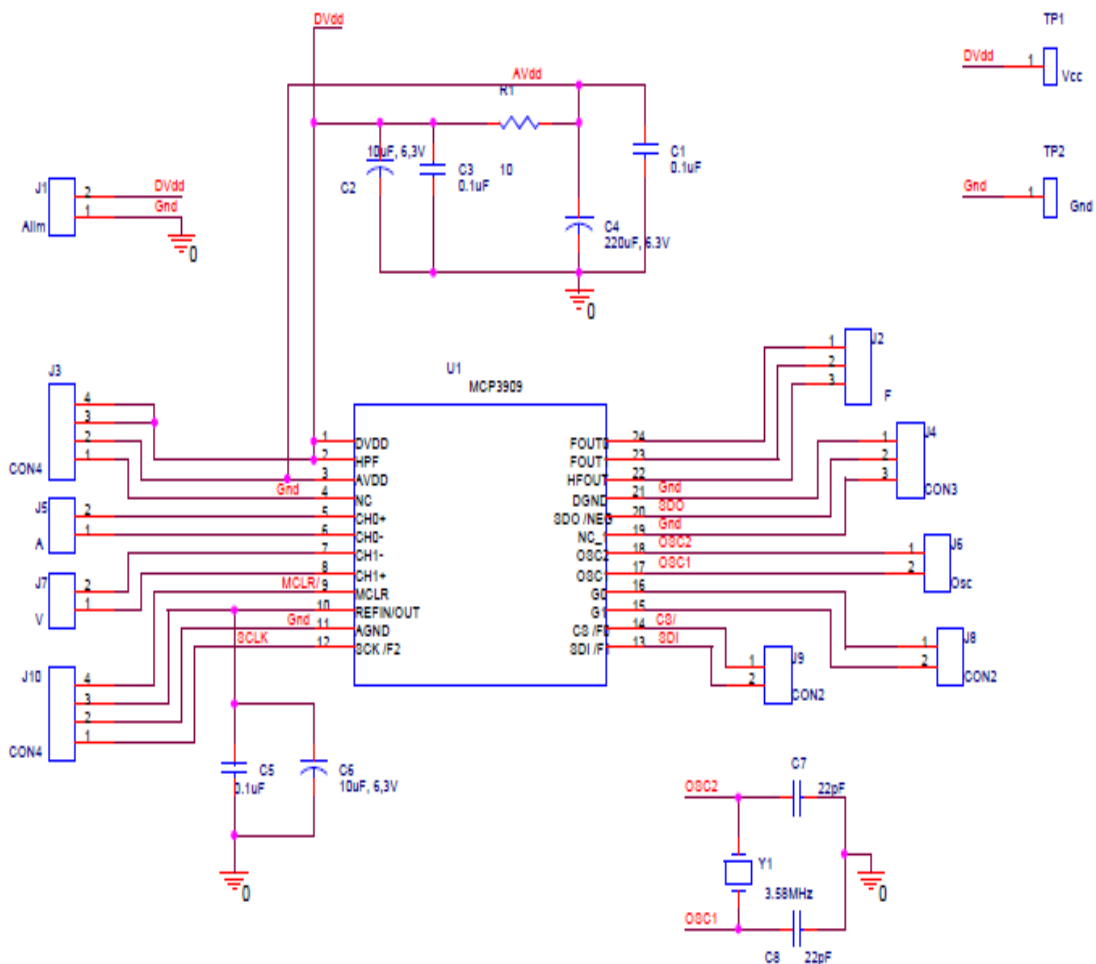


Figura 4.1: Schema elettrico del prototipo

Si può osservare che i condensatori  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$  costituiscono un filtraggio per i pin di alimentazione analogica  $AV_{DD}$  e digitale  $DV_{DD}$ . Questo filtro di bypass serve per mantenere la tensione a  $5V \pm 10\%$ .

Altri condensatori di bypass sono stati collegati tra il pin REFIN/OUT e massa (piedino  $A_{GND}$ ) poiché viene usato il riferimento interno di tensione che è pari a 2,4V.

Per il clock del circuito, che è quello usato dagli ADC nella conversione, è stato inserito un oscillatore al quarzo da 3,579545 MHz tra i due pin OSC1 e OSC2 i quali sono stati collegati a massa tramite condensatori da 22pF.

Si è cercato di rendere il più semplice possibile l'accesso ai pin dell'integrato collegando ogni pin ad un connettore. Sono stati inseriti anche dei test point per i segnali di massa e alimentazione digitale oltre ad un connettore per i cavi di alimentazione. Per questo schema quindi non si sono dovuti effettuare calcoli e dimensionamenti per componenti poiché il loro valore era specificato dal datasheet.

## 4.2. Layout

Dallo schema elettrico si è poi sviluppato il layout utilizzando il software Layout Plus della famiglia Orcad 9.2 (figura 4.2). Per semplicità si è preferito utilizzare una realizzazione a singola faccia utilizzando solamente il top layer. Si è scelto di posizionare i connettori lungo il bordo della basetta in modo da semplificare la connessione verso eventuali strumenti di misura e altri circuiti. A partire dal centro dello stampato, dove è stato piazzato il componente MCP3909, le piste si aprono radialmente aumentando gradualmente lo spessore. In figura 4.3 è proposta la foto del prototipo ultimato. Il lavoro di saldatura è stato fatto manualmente in laboratorio ed eccetto per il componente MCP3909 (le cui dimensioni sono relativamente piccole) non ha comportato problemi.

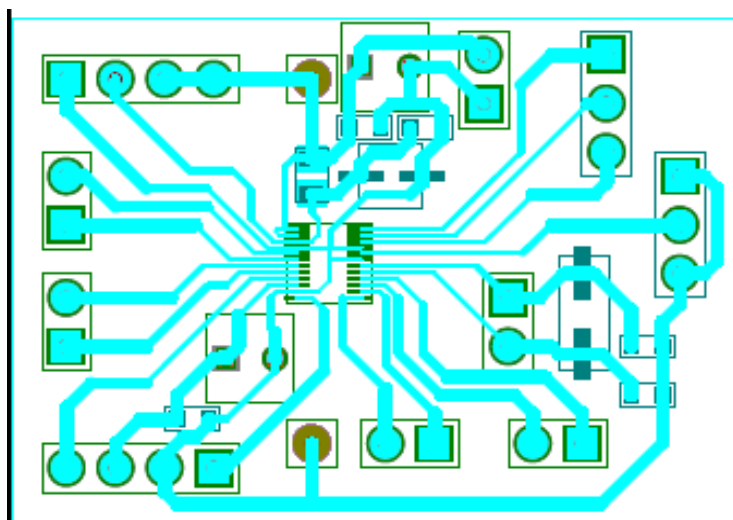


Figura 4.2: Layout del circuito

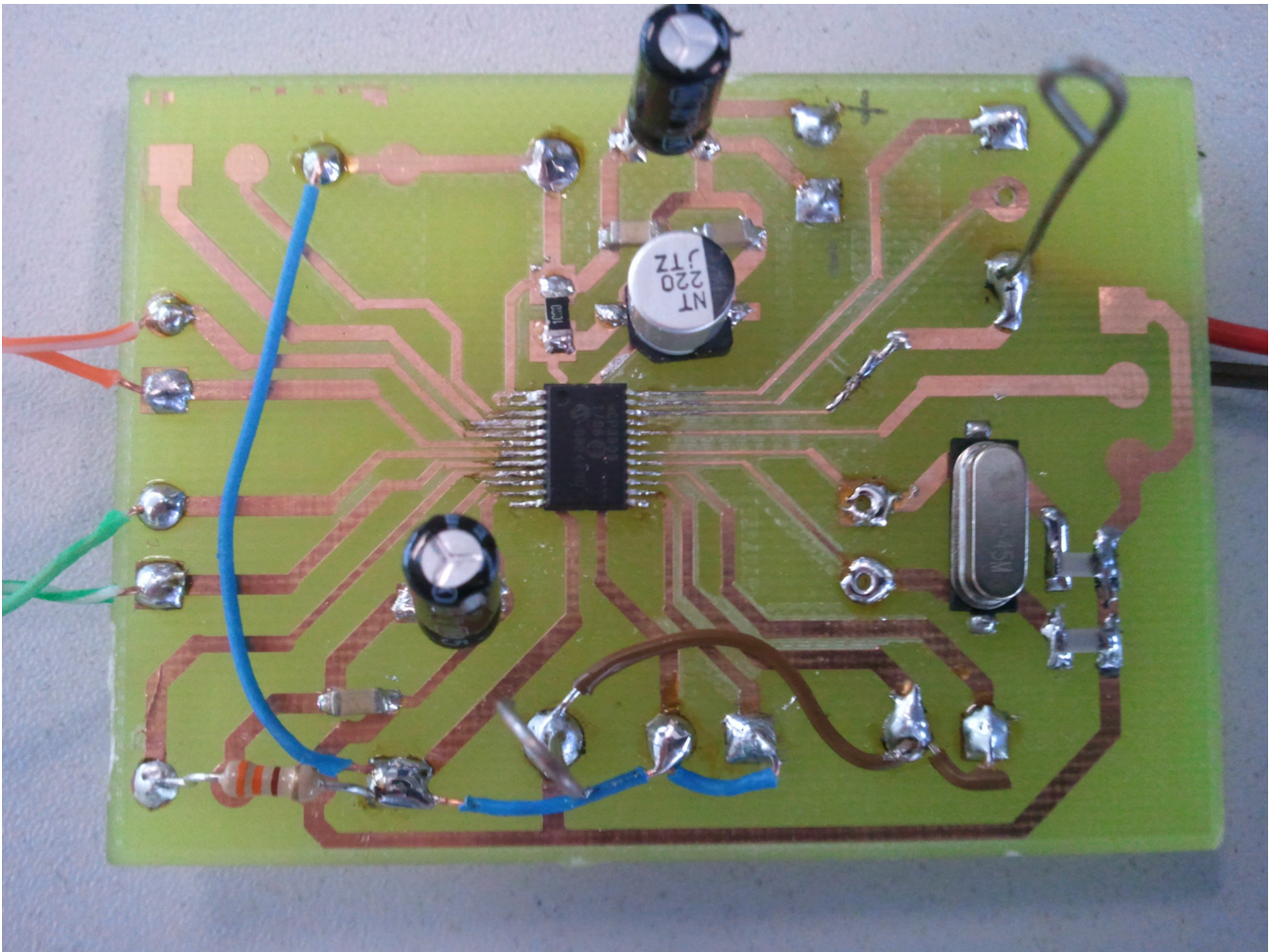


Figura 4.3: Foto del prototipo

Si può osservare dalla figura 4.3 che i connettori non sono stati saldati nel prototipo, questo perché non necessari per la caratterizzazione del dispositivo. Si è previsto invece un collegamento per la misura della frequenza  $HF_{OUT}$  dove poter collegare l'oscilloscopio.

### 4.3. Setup di prova

Per le prove sul circuito si è collegato  $G_0$  e  $G_1$  a massa in modo da portare il loro valore logico a 0. Questo per avere un range di ingresso per la tensione  $V_I$ , sul canale di ingresso della corrente, maggiore possibile. Ricordiamo infatti che con  $G_0=G_1=0$  il guadagno del PGA ( $G$ ) è pari a 1 ed il range per la tensione  $V_I = \pm 470\text{mV}$ .

Si sono collegati i pin F0, F1, F2 a  $DV_{DD}$ , imponendo quindi il loro valore logico ad 1 in modo che il valore della costante  $H_{FC}$  sia più grande possibile (218,48Hz). Con questa configurazione il range della frequenza di uscita è massimo ( $HF_{OUTmax} = 47,42\text{ Hz}$ ): tale valore di frequenza in uscita si ha quando i valori dei due canali di acquisizione sono al loro massimo valore quindi 470mV per il canale della corrente e 660mV per il canale di tensione

Inoltre il pin MCLR è stato collegato a  $DV_{DD}$  tramite una resistenza da  $330\Omega$  per abilitare gli ADC.

#### 4.4. Realizzazione delle misure ed analisi dei dati

Le prove sul circuito sono state fatte inviando ai canali di ingresso segnali sinusoidali a frequenza di rete (50Hz). I segnali inviati al dispositivo, insieme alla forma d'onda in uscita, sono stati visualizzati su un oscilloscopio in modo da poterne misurare in modo preciso ampiezza, frequenza e sfasamento, come schematicamente riportato in figura 4.4.

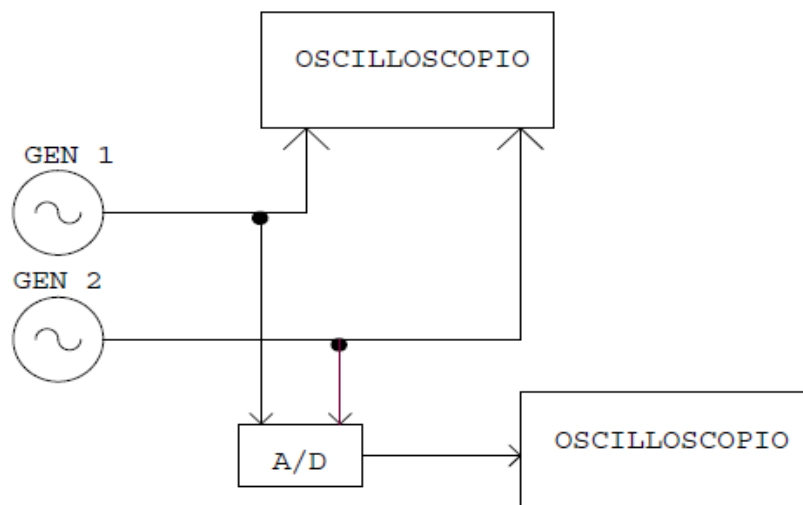


Figura 4.4: Collegamenti con la strumentazione nelle misure sul dispositivo

La potenza attiva dipende dallo sfasamento tra tensione e corrente ( $\Phi$ ) secondo l'espressione:

$$P = V * I * \cos(\Phi) \quad (4.5)$$

Con sfasamento nullo quindi la potenza dipende solamente dai valori efficaci di tensione (V) e corrente (I). Nel caso di segnali sinusoidali si ha  $V_{EFF} = V_{pk}/\sqrt{2}$ . Per tale motivo le misure sul circuito sono state svolte inizialmente con segnali in fase, variando l'ampiezza dei segnali in ingresso sia sul canale di tensione sia sul canale di corrente. In tabella 4.6 si possono vedere le misure effettuate.



$V_V$ [mV] pk	$V_I$ [mV] pk	$V_V$ [mV] efficace	$V_I$ [mV] efficace	$\Delta\phi$ [°]	$\Delta t$ [ms]	$F_{OUT}$ [Hz] Teorico	$F_{OUT}$ [Hz] Misurato	$\Delta$ [Hz]	$\Delta_{rel}$ %
100	100	70,71	70,71	0	0	1,529	1,56	0,027	1,79
100	200	70,71	141,42	0	0	3,057	3,11	0,055	1,79
100	300	70,71	212,13	0	0	4,586	4,67	0,082	1,79
200	200	141,42	141,42	0	0	6,114	6,23	0,117	1,91
300	300	212,13	212,13	0	0	13,757	14,0	0,243	1,76
400	400	282,84	282,84	0	0	24,457	24,9	0,443	1,81

Tabella 4.6: Misure con sfasamento nullo

Il valore teorico di  $F_{OUT}$  è stato calcolato mediante l'espressione,

$$HF_{OUT}(Hz) = \frac{8.06 \times V_0 \times V_1 \times G \times HF_C}{(V_{REF})^2} \quad (4.7)$$

dove  $V_0$  e  $V_1$  sono rispettivamente i valori efficaci di tensione sul canale 0 e sul canale 1. I parametri usati sono riportati nella tabella 4.8.

Clock [Hz]	3,58E+006
$G_0 = G_1$	0
$F_0 = F_1 = F_2$	1
$V_{REF}$ [V]	2,4
G	1
$H_{FC}$ [Hz]	218,48

Tabella 4.8: Valori dei parametri nel calcolo della frequenza in uscita

Dall'analisi dei dati in tabella 4.5 si può osservare come l'errore relativo percentuale sia compreso tra 1,79 % e l'1,91 %. Risulta quindi essere praticamente costante. Un errore relativo costante implica però un errore assoluto proporzionale al dato misurato. All'aumentare della potenza misurata in ingresso si ha un aumento dell'errore assoluto sul valore di frequenza in uscita. Il grafico in figura 4.9 rappresenta l'errore assoluto sulle misure in funzione della frequenza di uscita e una linea di tendenza con relativa equazione.

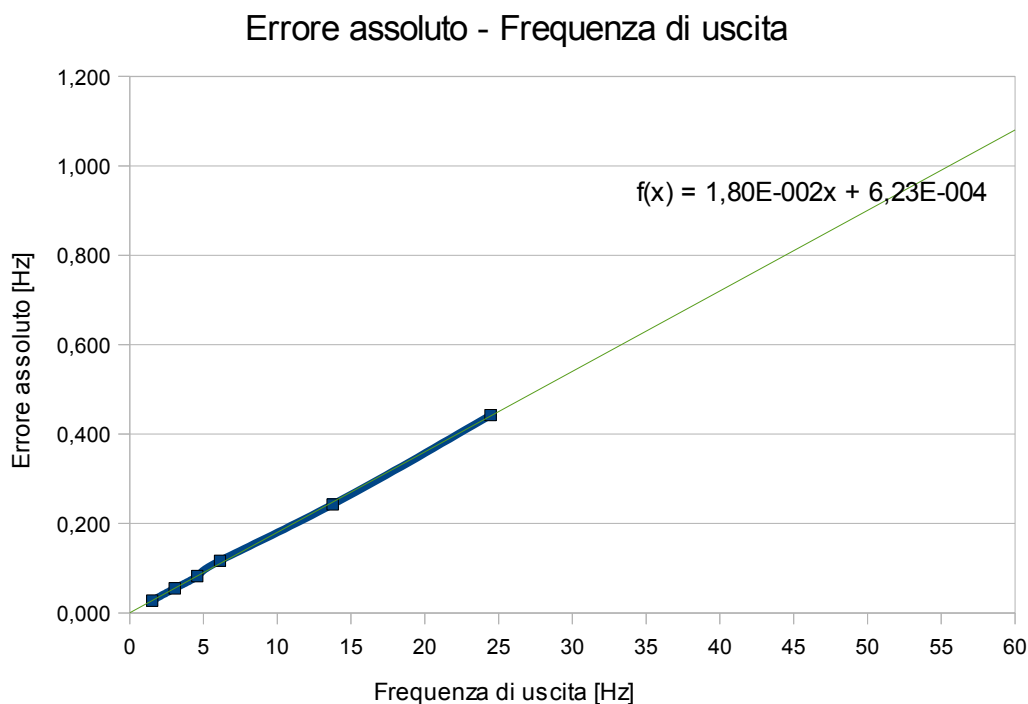


Figura 4.9: Dipendenza dell'errore assoluto dalla frequenza di uscita

Dall'equazione della linea di tendenza (trascurando il termine noto) possiamo ricavare il valore dell'errore assoluto massimo teorico che si avrà in corrispondenza della potenza massima in ingresso e quindi della frequenza massima in uscita ( $HF_{OUTmax} = 47,42$  Hz). Tale valore è pari a circa 850 mHz e, poiché la frequenza di uscita è proporzionale alla potenza misurata in ingresso, tale errore porterà ad un'errore sulla stima della potenza di circa 2,8mW, che è appunto un errore del 1,8 %.

La seconda parte di misure è stata fatta mantenendo costante l'ampiezza dei segnali in ingresso (segnali sinusoidali a frequenza 50 Hz e ampiezza 300mV) al canale 0 e al canale 1 ma variando lo sfasamento tra di essi. In tabella 4.10 sono riportati i dati.

$V_V$ [mV] pk	$V_I$ [mV] pk	$V_V$ [mV] efficace	$V_I$ [mV] efficace	$\Delta t$ [ms]	$\Delta\Phi$ [°]	$\cos\Phi$	$F_{OUT}$ [Hz] Teorico	$F_{OUT}$ [Hz] Misurato	$\Delta$ [Hz]	$\Delta_{rel}$ %
300	300	212,13	212,13	0	0	1	13,757	14	0,24	1,76
300	300	212,13	212,13	2	36	0,81	11,130	11,24	0,11	0,99
300	300	212,13	212,13	4,2	75,6	0,25	3,421	3,46	0,04	1,13
300	300	212,13	212,13	10	180	-1	-13,757	14	0,24	1,76

Tabella 4.10: Misurazioni con variazione di sfasamento

Si nota che per valori di sfasamento tra  $90^\circ$  e  $270^\circ$  il coseno assume valori negativi, di conseguenza il valore di frequenza teorico risulta essere negativo. La frequenza misurata invece assume sempre un valore positivo, per questo motivo nel caso in cui lo sfasamento tra i due segnali sia maggiore di  $90^\circ$  il pin NEG del dispositivo viene posto automaticamente al valore logico '1'. Quindi l'interrogazione del pin NEG da informazione se la potenza attiva assume valore positivo ( $-90^\circ < \Phi < 90^\circ$ ) o negativo ( $90^\circ < \Phi < 270^\circ$ ). Il valore teorico di  $HF_{OUT}$  è stato calcolato mediante l'espressione 4.7, moltiplicando il risultato per il coseno dello sfasamento.

I valori di  $G$ ,  $HF_C$  e  $V_{REF}$  sono quelli riportati in tabella 4.8.

Dall'analisi dei dati in tabella si osserva che l'errore relativo nelle misure è compreso tra lo 0,99% e l'1,76%. L'errore relativo massimo si ha per valori di  $\cos\Phi$  massimi ( $\pm 1$ ) quindi con sfasamento tra i due segnali in ingresso  $\Phi = 0^\circ$  e  $\Phi = 180^\circ$ .



# CAPITOLO 5: SCHEMA DI ACQUISIZIONE DATI

## 5.1. Schema elettrico e scelte progettuali

La scheda di acquisizione dati è sviluppata a partire dal prototipo illustrato nel capitolo 4. Lo schema elettrico di tale circuito comprende quindi tutti gli elementi del precedente schema. Oltre a tali componenti la scheda comprende anche:

- tre circuiti per l'acquisizione del valore di corrente;
- un filtro per il segnale di tensione relativo al valore di corrente (canale 0);
- un circuito per l'acquisizione del valore di tensione;
- un filtro per il segnale di tensione al canale 1;
- un insieme di optoisolatori per i segnali usati nella comunicazione;
- connettori per l'alimentazione, per i segnali di tensione e corrente da misurare e per i segnali riservati alla comunicazione.

In figura 5.1a e 5.1b è riportato lo schema elettrico completo della scheda di acquisizione dati e sono mostrate le varie sezioni che lo compongono. In seguito ogni parte è studiata nel dettaglio.

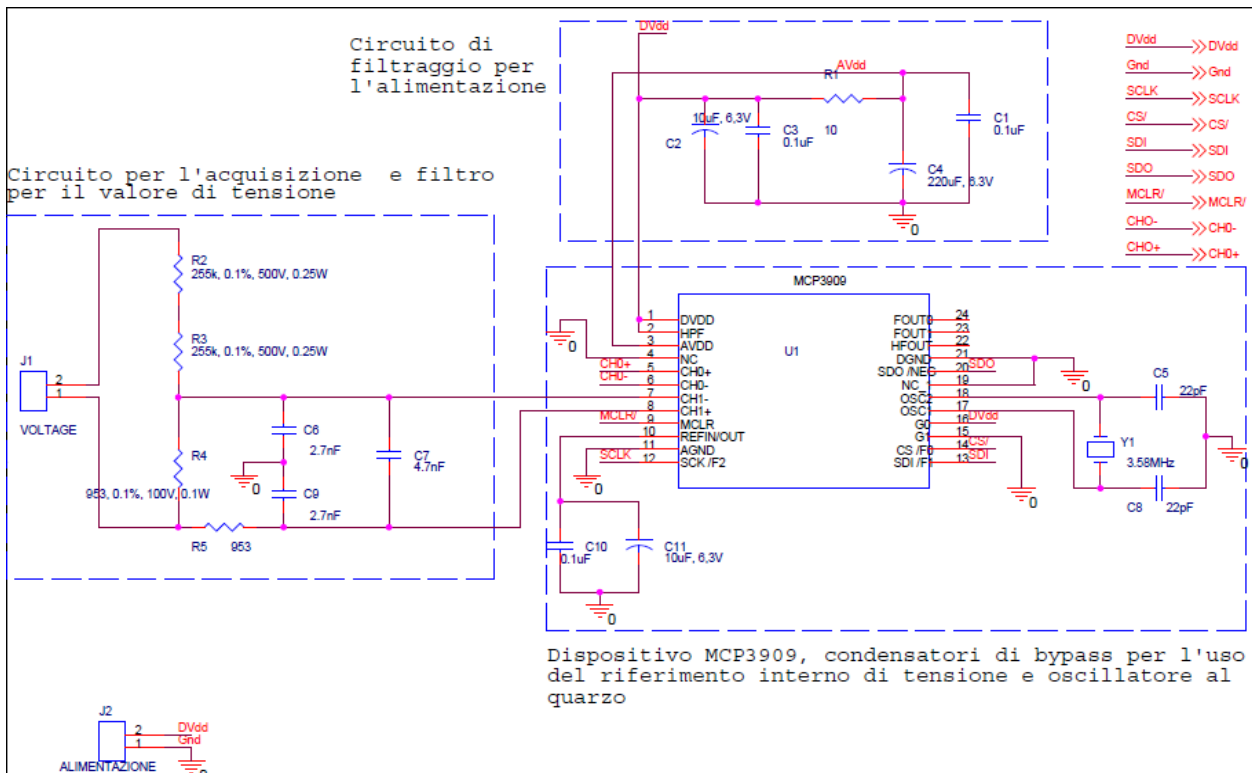


Figura 5.1a: Schema elettrico del dispositivo MCP3909, del circuito per l'acquisizione della tensione e del filtro anti-aliasing

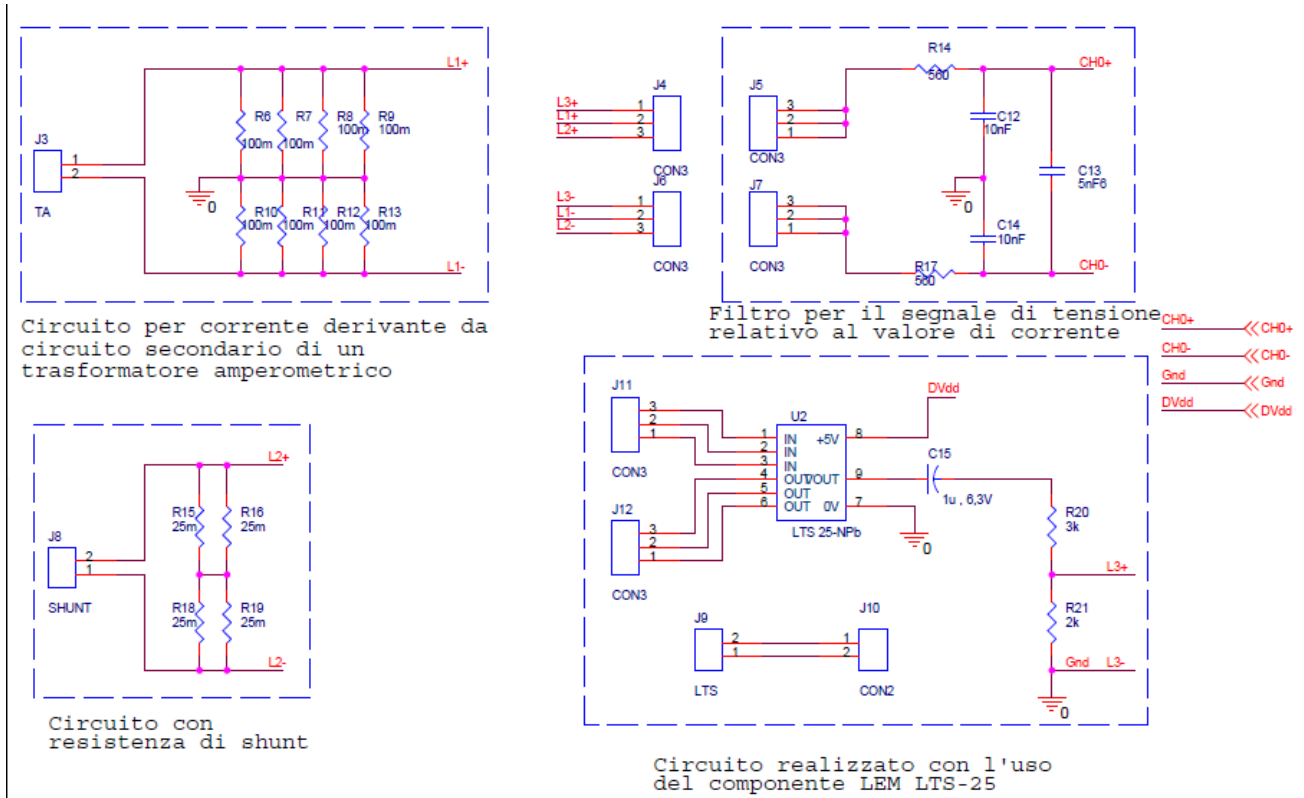


Figura 5.1b: Circuiti per l'acquisizione del valore di corrente e filtro anti-aliasing

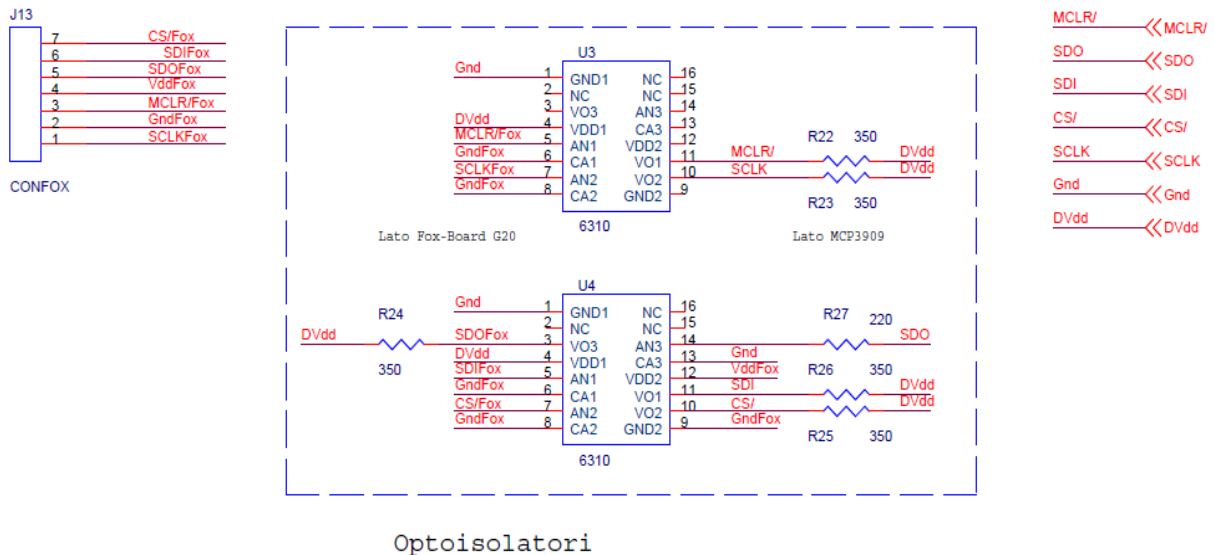


Figura 5.1c: Schema elettrico del collegamento degli optoisolatori

A differenza del prototipo descritto nel capitolo 4, sul circuito si è collegato  $G_0$  a  $DV_{DD}$  e  $G_1$  a massa, in questo modo si è impostato il guadagno del PGA  $G = 2$  e il range di ingresso per la tensione  $V_I$ , sul canale di ingresso della corrente  $V_I =$

$\pm 235\text{mV}$  ( $470\text{mV/G}$ ). Si è quindi scelta una configurazione intermedia che consente l'acquisizione di piccoli segnali che possono provenire per esempio da resistenze di shunt.

## 5.2. Circuiti per l'acquisizione del valore di corrente

La funzione principale di questi circuiti è quella di effettuare una trasduzione da un segnale di corrente ad uno di tensione di opportuno valore. Ricordiamo infatti che con la configurazione scelta sul canale 0, canale per l'acquisizione del segnale di tensione relativo alla corrente, la massima tensione  $V_I$  è di  $\pm 235\text{mV}$ . Si sono sviluppati tre circuiti per l'acquisizione della corrente:

- circuito con resistenza di shunt
- circuito per corrente derivante dal circuito secondario di un trasformatore amperometrico
- circuito realizzato con l'uso del componente LEM LTS 25

### 5.2.1. Circuito con resistenza di Shunt

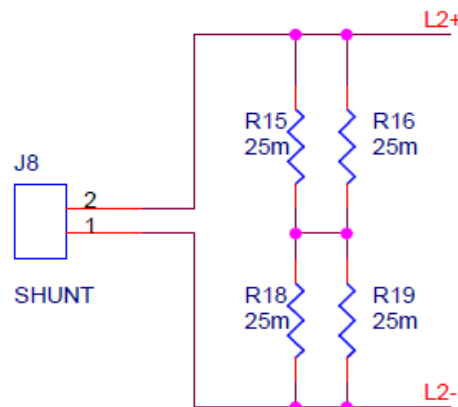


Figura 5.2: Circuito di acquisizione con resistenza di shunt

Per il dimensionamento delle resistenza di shunt si è scelto il valore di corrente massimo misurabile pari a  $\pm 10\text{A}$  e lo schema elettrico è mostrato in figura 5.2.

Per avere in uscita un valore di tensione massimo di  $235\text{mV}$  il valore della resistenza deve essere pari a:

$$R_{SHUNT} = V_I / I = 235\text{mV} / 10\text{A} = 23,5\text{ m}\Omega \quad (5.3)$$

Si è scelto di utilizzare una resistenza di shunt da  $25\text{m}\Omega$ , il valore più vicino a quello

calcolato. Con questo valore la corrente massima misurabile  $I_{MAX}$  è pari a:

$$I_{MAX} = V_{I_{max}} / R_{SHUNT} = 235\text{mV} / 25\text{m}\Omega = 9,4\text{ A} \quad (5.4)$$

Un valore superiore di corrente porterà inizialmente in una zona di non linearità degli ADC e successivamente alla loro saturazione.

La potenza massima che questa resistenza deve dissipare è pari a:

$$P_{DISSmax} = (I_{EFFmax})^2 * R_{SHUNT} = (10\text{A} / \sqrt{2})^2 * 25\text{m}\Omega = 1,25\text{ W} \quad (5.5)$$

Si è scelto di sostituire una singola resistenza da  $25\text{m}\Omega$  con quattro resistenze da  $25\text{m}\Omega$  connesse due a due in parallelo e poi in serie tra di loro come mostrato nello schema di figura 5.2. In questo modo la corrente che circola su ciascuna resistenza è metà di quella da misurare, di conseguenza la potenza che ogni resistenza deve dissipare risulta essere un quarto di quella precedentemente calcolata e quindi:

$$P_{DISSmax} = (I_{EFFmax})^2 * R_{SHUNT} = (5\text{A} / \sqrt{2})^2 * 25\text{m}\Omega = 0,3125\text{ W} \quad (5.6)$$

Le resistenze scelte sono da  $25\text{m}\Omega$ ,  $2\text{W}$ ,  $1\%$ . Il valore di potenza che queste resistenze possono dissipare è maggiore di quello calcolato, questo perché nella scelta dei componenti non sempre si trova sul mercato il componente che rispecchia tutte le caratteristiche di progetto e si deve quindi trovare quella maggiormente compatibile. Nel nostro caso le resistenze scelte sono sovradimensionate rispetto alla potenza che dovranno realmente dissipare.

### 5.2.2. Circuito per corrente derivante dal circuito secondario di un trasformatore amperometrico

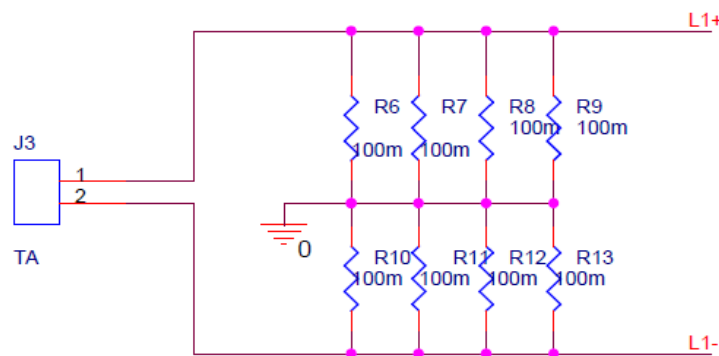


Figura 5.7: Schema del circuito per corrente derivante dal circuito secondario di un trasformatore amperometrico



Il circuito in figura 5.7 è stato pensato e dimensionato per misurare una corrente derivante dal secondario di un trasformatore amperometrico con valore massimo di 5A. Questo circuito dovrà avere come massima tensione di uscita  $\pm 235\text{mV}$  quando la corrente in ingresso è pari  $\pm 5\text{A}$ . Il valore di resistenza quindi sarà pari a:

$$R_{TA} = V_I / I = 235\text{mV} / 5\text{A} = 47\text{m}\Omega \quad (5.8)$$

La potenza dissipata da tale resistenza può essere calcolata secondo la formula(5.9):

$$P_{DISSmax} = (I_{EFFmax})^2 * R_{TA} = (5\text{A} / \sqrt{2})^2 * 47\text{m}\Omega = 0,5875\text{ W} \quad (5.9)$$

Si è costruita una rete di resistenze mettendo in serie due paralleli di 4 resistenze da  $100\text{m}\Omega$ , in questo modo si è ridotta la potenza che ciascuna resistenza dovrà dissipare. Il valore equivalente di resistenza è di  $50\text{m}\Omega$ . La corrente massima misurabile quindi è pari a:

$$I_{MAX} = V_{Imax} / R_{TA} = 235\text{mV} / 50\text{m}\Omega = 4,7\text{ A} \quad (5.10)$$

La potenza che ciascuna resistenza da  $100\text{m}\Omega$  deve dissipare è stata calcolata considerando che su ogni resistenza circola un quarto della corrente da misurare.

$$P_{DISSmax} = (I_{EFFmax})^2 * R_{TA} = (5\text{A} / (4 * \sqrt{2}))^2 * 100\text{m}\Omega = 78,125\text{ mW} \quad (5.11)$$

Le resistenze scelte quindi sono resistenze da  $100\text{m}\Omega$ , 3W, 5%. Come per le resistenze di shunt il valore di potenza che esse possono dissipare è maggiore di quello richiesto da progetto, il motivo di sovradimensionamento è lo stesso descritto nel paragrafo 5.2.1.

### 5.2.3. Circuito realizzato con l'uso del dispositivo LEM Its 25

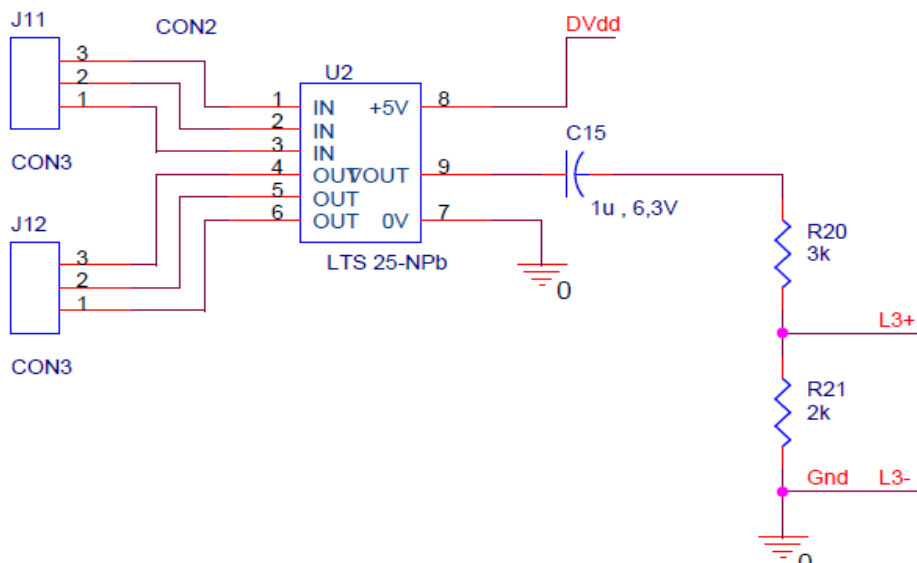


Figura 5.12: Circuito realizzato con l'uso del componente lem Its 25

Il componente LEM LTS 25 è un trasduttore di corrente con isolamento galvanico tra circuito primario (ad alta potenza) e circuito secondario. Esso genera in uscita una tensione  $V_{OUT}$  proporzionale alla corrente sul circuito primario ( $I_P$ ) ed ha tre possibili configurazioni che permettono di decidere la massima corrente nominale al primario ( $I_{PN} = \pm 8A, \pm 12A, \pm 25A$ ). Il figura 5.12 viene riportato lo schema elettrico del circuito, realizzato con tale componente, per l'acquisizione del valore di corrente. I connettori J11 e J12 sono stati inseriti per poter scegliere la configurazione più adatta al valore di corrente che il circuito dovrà misurare. La tensione di uscita segue la seguente relazione:

$$V_{OUT} = 2,5 \pm (0,625 * I_P / I_{PN}) \quad \text{per } I_{PN} = \pm 25A \quad (5.13)$$

e la relazione:

$$V_{OUT} = 2,5 \pm (0,600 * I_P / I_{PN}) \quad \text{per } I_{PN} = \pm 8A \text{ o } \pm 12A \quad (5.14)$$

In figura 5.15 è rappresentata la caratteristica ingresso-uscita del dispositivo.

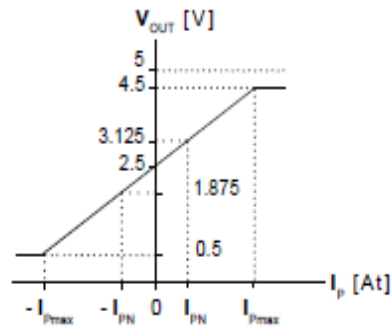


Figura 5.15: Caratteristica ingresso-uscita del dispositivo Lem Lts 25

La configurazione del componente, ovvero la scelta della corrente nominale, viene fatta collegando opportunamente i pin dall' 1 al 6 come mostrato in tabella 5.16.

Number of primary turns	Primary nominal r.m.s. current $I_{pN}$ [A]	Nominal output voltage $V_{OUT}$ [V]	Primary resistance $R_p$ [m $\Omega$ ]	Primary insertion inductance $L_p$ [ $\mu$ H]	Recommended connections
1	$\pm 25$	$2.5 \pm 0.625$	0.18	0.013	
2	$\pm 12$	$2.5 \pm 0.600$	0.81	0.05	
3	$\pm 8$	$2.5 \pm 0.600$	1.62	0.12	

Tabella 5.16: Configurazioni del dispositivo

Il range della tensione di uscita del componente va da  $(2,5-0,625)V$  a  $(2,5+0,625)V$ , si è quindi dovuto inserire un circuito di condizionamento del segnale per portare la tensione nel range ammesso per il canale 0 ( $-235mV$ ,  $+235mV$ ).

Come prima cosa si è tolta la componente continua inserendo un condensatore da  $1\mu F$  (C15), tale condensatore è in pratica un filtro passa basso. Una volta eliminata la componente continua si è dovuto attenuare il segnale con un partitore resistivo in modo che la tensione misurata fosse nel range previsto. Il valore delle resistenze  $R_{20}$  e  $R_{21}$  è stato calcolato quindi nel seguente modo:

$$V_{CH0} = V_{OUT} * (R_{21} / (R_{21} + R_{20})) \quad (5.17)$$

$$R_{21} / (R_{21} + R_{20}) = V_{CH0} / V_{OUT} = 235mV / 600mV = 0,39 \quad (5.18)$$

Si sono scelti i valori di  $R_{21} = 2,2 k\Omega$  e  $R_{20} = 3,3 k\Omega$ , con tali valori il rapporto è 0,4.

### 5.3. Filtro per il segnale di tensione relativo al valore di corrente

La frequenza di campionamento degli ADC è di  $14 \cdot 64 = 896 \text{ kHz}$ , dove 64 è il fattore di sovracampionamento. Il campionamento a frequenza  $f_s$  nel dominio nel tempo porta in frequenza ad una ripetizione periodica di periodo  $f_s$ . L'uso di ADC sigma-delta, grazie al sovracampionamento, porta come vantaggio un rilassamento dei parametri del filtro anti-aliasing necessario appunto per la corretta ricostruzione del segnale campionato. Si è inserito quindi un filtro passa-basso con frequenza di taglio  $14 \text{ kHz}$  per limitare la banda del segnale in ingresso (figura 5.19).

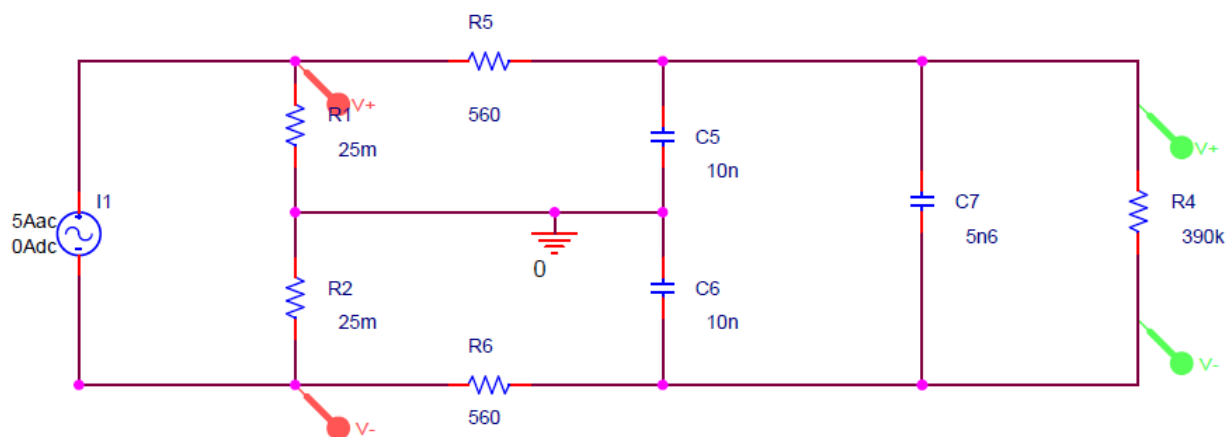


Figura 5.19: Schema per lo studio del filtro anti-aliasing

Si è usato il simulatore Pspice della famiglia Orcad per la studio della risposta in frequenza del filtro e il circuito su cui sono state fatte le simulazioni è mostrato in figura 5.20. Come indicato nel datasheet del componente nella simulazione si è tenuto conto della resistenza di ingresso del canale 0 il cui valore minimo è di  $390 \text{ k}\Omega$ . In figura 5.20 invece si può vedere come la frequenza di taglio (cioè la frequenza in cui il guadagno scende di  $3 \text{ dB}$ ) è  $14,289 \text{ kHz}$ .

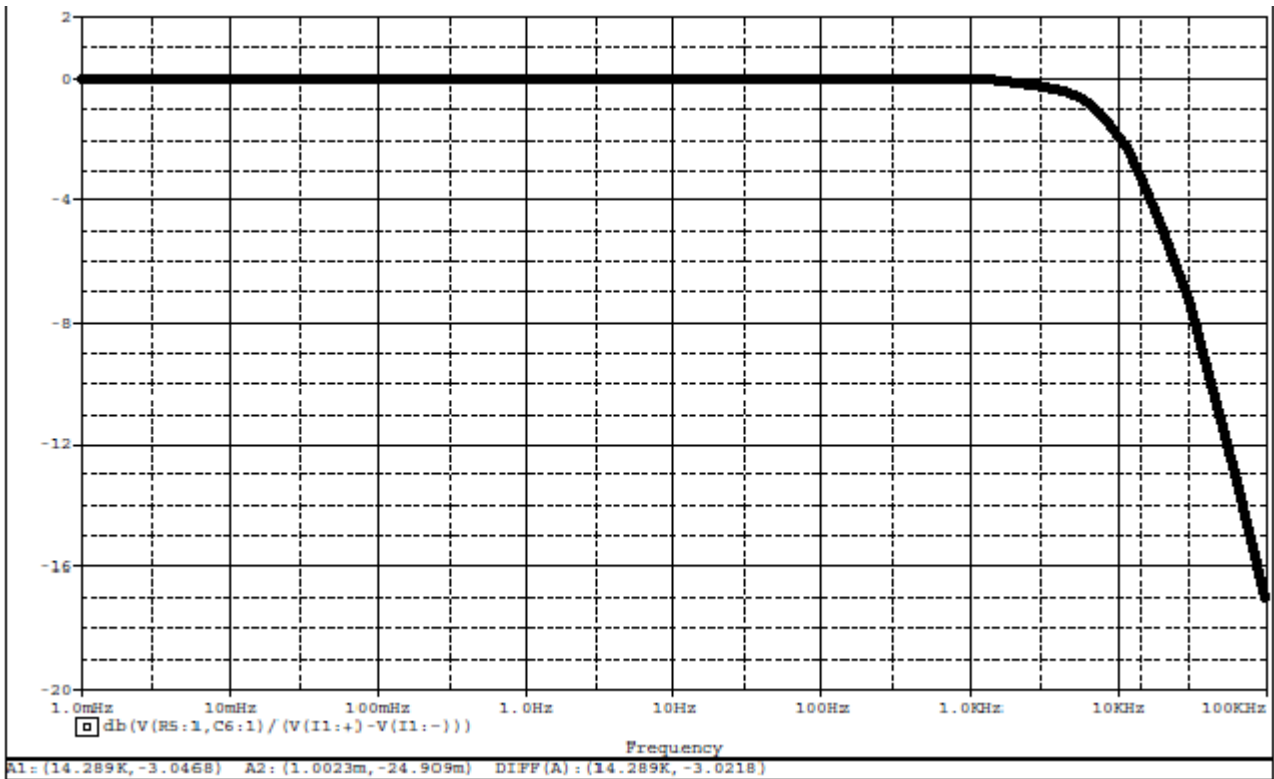


Figura 5.20: Risposta in frequenza del filtro anti-aliasing

#### 5.4. Circuito per l'acquisizione del valore di tensione

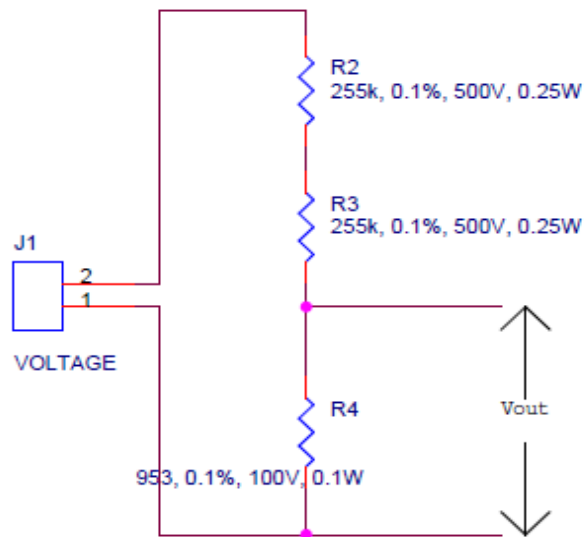


Figura 5.21: Circuito per l'acquisizione della tensione

Il circuito di acquisizione di tensione deve acquisire la tensione monofase di rete 230V e dare in uscita una tensione massima di  $\pm 660\text{mV}$  in modo che possa essere convertita dall' ADC. La tensione di rete in condizioni normali è compresa tra circa  $-325\text{V}$  e  $+325\text{V}$  ( $\pm 230 \cdot \sqrt{2}$ ). Il circuito di acquisizione quindi è costituito da un partitore di tensione che porta il range di tensione da  $\pm 325\text{V}$  a  $\pm 600\text{mV}$  in modo che eventuali picchi di tensione possano essere misurati. I calcoli effettuati per il dimensionamento delle resistenze sono mostrati nelle formule 5.22 e 5.23.

$$V_{OUT} = V_{ING} * R_2 / (R_1 + R_2) \quad (5.22)$$

$$(R_1 / R_2) = (V_{ING} / V_{OUT}) - 1 = 325\text{V} / 600\text{mV} - 1 = 540 \quad (5.23)$$

I valori di resistenza scelti sono  $R_1 = 510\text{k}\Omega$  e  $R_2 = 953\Omega$ , con questi valori il rapporto  $R_1/R_2$  è 535. La tensione massima misurabile, prima della saturazione, si ricava dalla formula e vale  $353,8\text{V}$ ; con questo valore la tensione sulla resistenza  $R_2$  è di  $660\text{mV}$ . Come si può vedere la maggior parte della caduta di tensione si ha sulla resistenza da  $510\text{k}\Omega$ . In condizioni normali la potenza che tale resistenza dovrà dissipare è pari a:

$$P_{DISS} = V^2 / R = (V_{INEFF} * R_1 / (R_1 + R_2))^2 / R_1 = (230 * 510 * 10^3 / (510 * 10^3 + 953))^2 / 510 * 10^3 = 103\text{mW} \quad (5.24)$$

La ricerca di un componente con tali caratteristiche ha portato alla scelta di usare due resistenze in serie da  $255\text{k}\Omega$  in modo che la tensione e quindi la potenza su ciascuna resistenza fosse metà di quella che si avrebbe avuto sulla singola resistenza da  $510\text{k}\Omega$ . Le resistenze sono state scelte in modo che potessero sopportare un'alta tensione ( $500\text{V}$ ) ma anche in modo che l'accuratezza fosse dello  $0,1\%$  in modo che la misura fosse il più possibile corretta.

## 5.5. Filtro per il segnale di acquisizione della tensione

Come per il segnale al canale 0 anche al canale 1 è stato inserito un filtro passa basso con frequenza di taglio di  $14\text{kHz}$ . Sono state fatte delle simulazioni con il simulatore Pspice della famiglia Orcad per la simulazione della risposta in frequenza del filtro, in figura 5.25 è riportato lo schema elettrico utilizzato. Si è inoltre simulato la presenza in ingresso di un picco di tensione fino a  $3000\text{V}$  (figura 5.27), questo porterebbe una differenza di potenziale tra i pin CH1+ e CH1- di circa  $6\text{V}$ . Questo è puramente un limite teorico, in pratica la tensione massima che il circuito potrà sopportare in ingresso è data dal fatto che le due resistenze da  $255\text{k}\Omega$  possono sopportare ai loro capi un massimo di  $500\text{V}$  ciascuna. Il valore della massima tensione in ingresso è quindi  $1000\text{V}$ . Con questa tensione in ingresso sul canale 1 la

d.d.p è 1,86 V. Il valore di tensione riferito a massa per le due linee sarà minore di 1V vista la presenza del collegamento a massa tra i due condensatori.

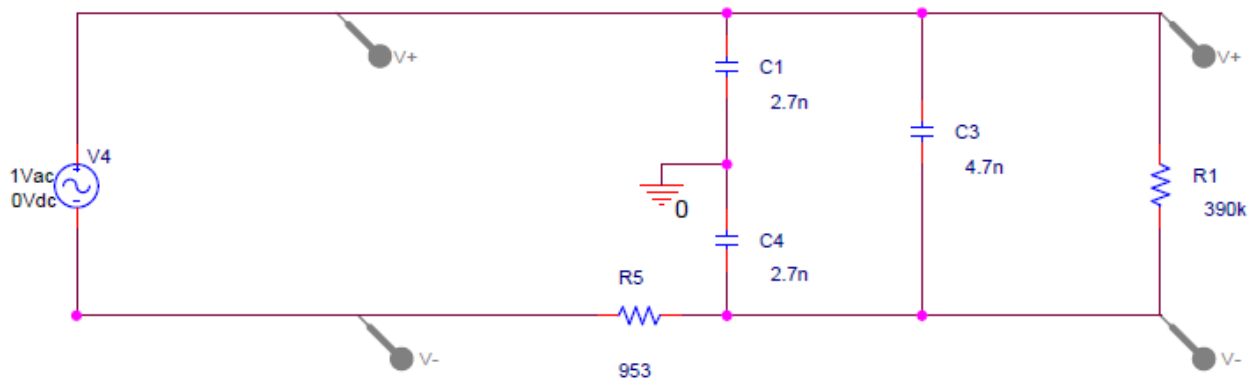


Figura 5.25: Circuito per la simulazione della risposta in frequenza

In figura 5.26 è visualizzata la risposta in frequenza del filtro e come si può vedere la frequenza di taglio è circa 14kHz, come da progetto.

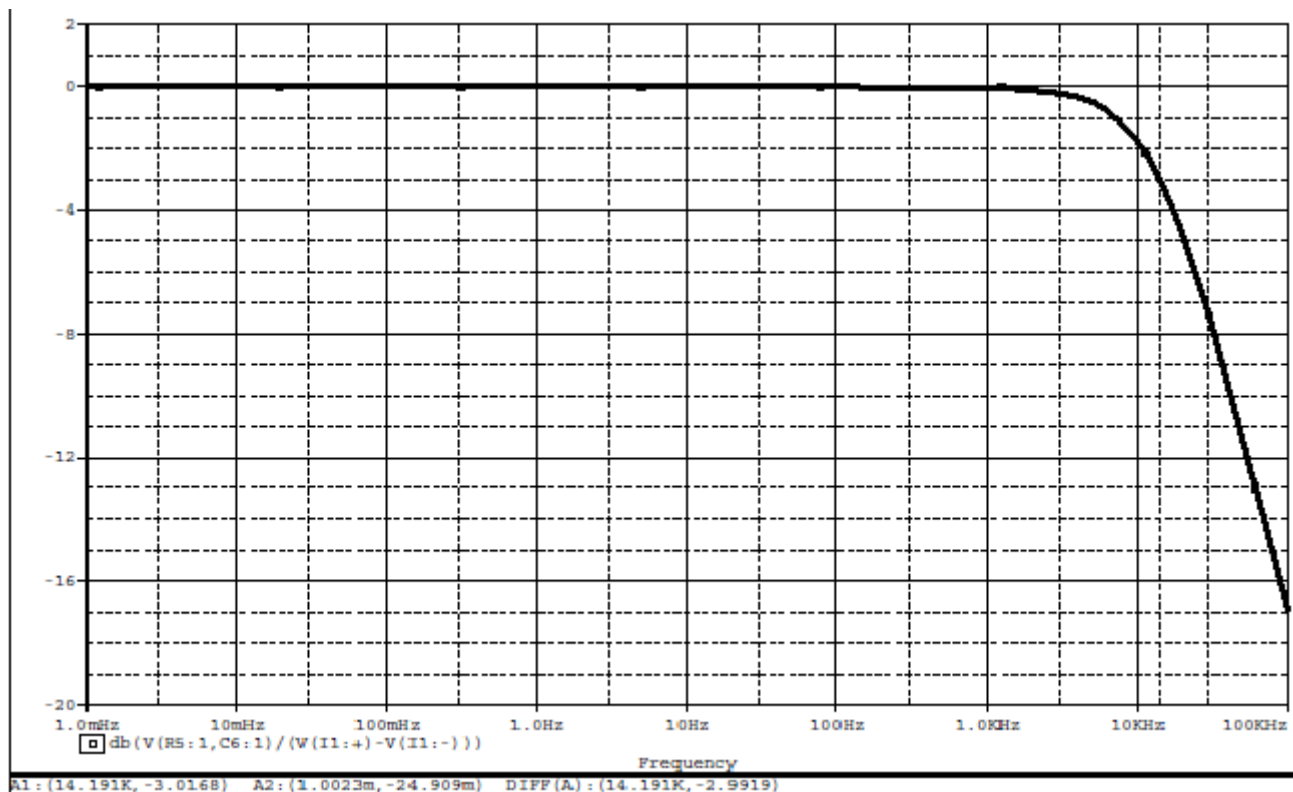


Figura 5.26: Risposta in frequenza del filtro al canale 1

In figura 5.28 è visualizzata la risposta del sistema ad una sollecitazione di tensione di 3000V. L'impulso di tensione ha durata 5ms e tempo di salita e di discesa di 1 ms.

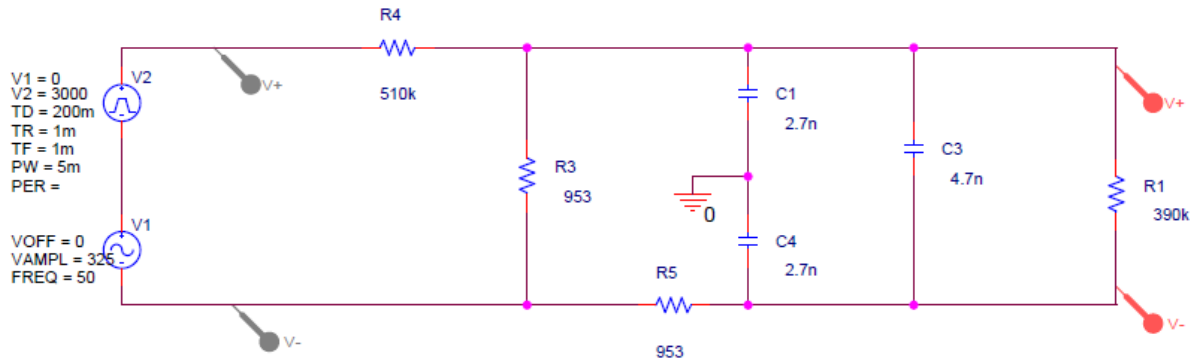


Figura 5.27: Circuito per la simulazione del picco di tensione in ingresso

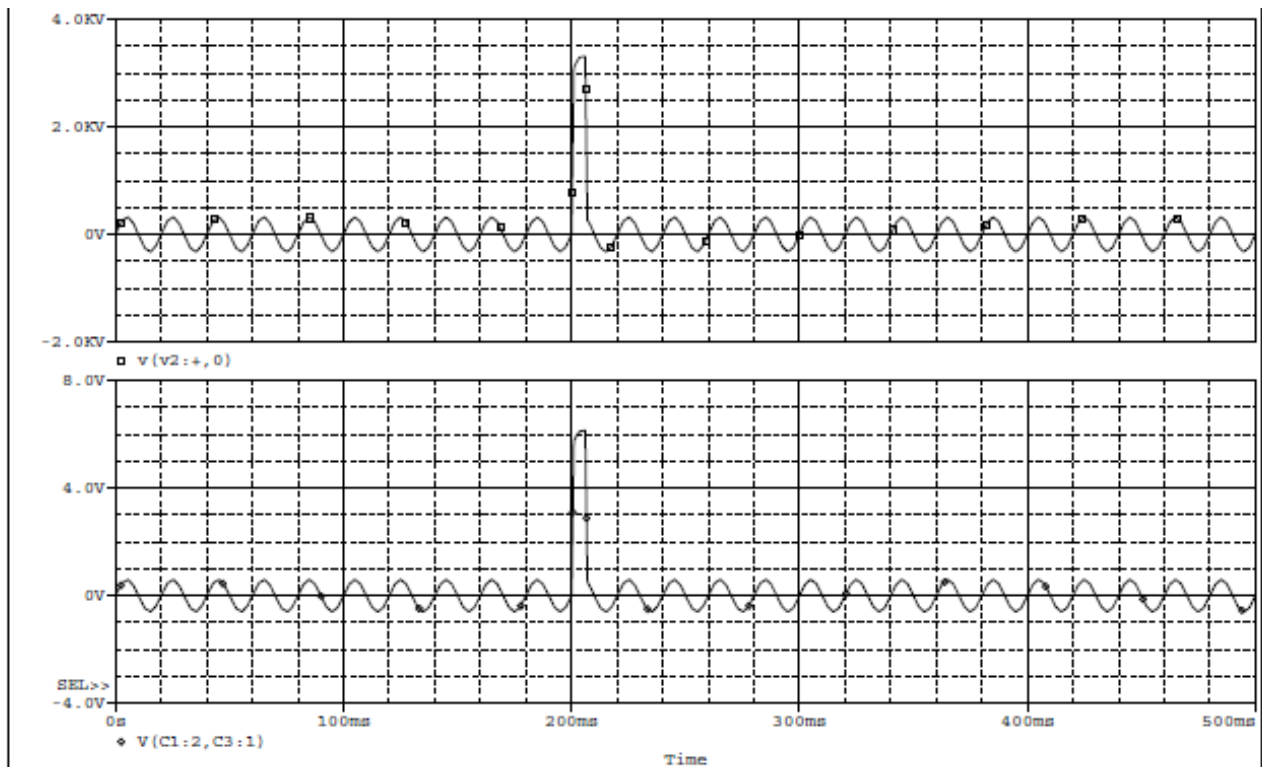


Figura 5.28: Risposta del sistema ad un picco di tensione in ingresso fino a 3000 V



## 5.6. Optoisolatori

Il componente MCP3909 come spiegato in precedenza può comunicare in modo seriale attraverso il protocollo SPI.

I pin usati per la comunicazione seriale sono: NEG/SDO, F2/SCK, F1/SDI, F0/ $\overline{CS}$  e il pin MCLR.

Visto che la scheda di acquisizione lavora su valori di tensione e corrente elevati si è deciso di isolare galvanicamente il collegamento tra la scheda stessa e il microcontrollore che sarà usato per gestire la comunicazione. Questo isolamento è stato fatto mediante l'utilizzo di optoisolatori. Nello scegliere gli optoisolatori si è considerata la massima velocità di comunicazione che il microcontrollore è il dispositivo MCP3909 sono in grado di raggiungere. Il componente MCP3909 fornisce i dati convertiti in uscita ogni 14kHz. Durante questo lasso di tempo i dati degli adc (16bit per canale 0 e 16 bit per canale 1) devono essere letti. La frequenza di comunicazione minima quindi è quindi pari a  $14 \times 32 = 448\text{kHz}$ , la massima invece è pari a 20Mhz. Si sono scelti optoisolatori la cui massima frequenza di utilizzo è di 15MBd(Mbit per secondo) e bi-direzionali, visto che il flusso dei segnali è in entrambe le direzioni. Essendo bidirezionali il circuito integrato avrà due differenti alimentazioni, una proveniente dalla scheda di acquisizione dati ed una proveniente dal microcontrollore usato per la comunicazione. Gli optoisolatori scelti sono ACSL 6310 di Avago Technologies (figura 5.29).

ACSL-6310 - Triple-Ch, Bi-Dir (2/1)

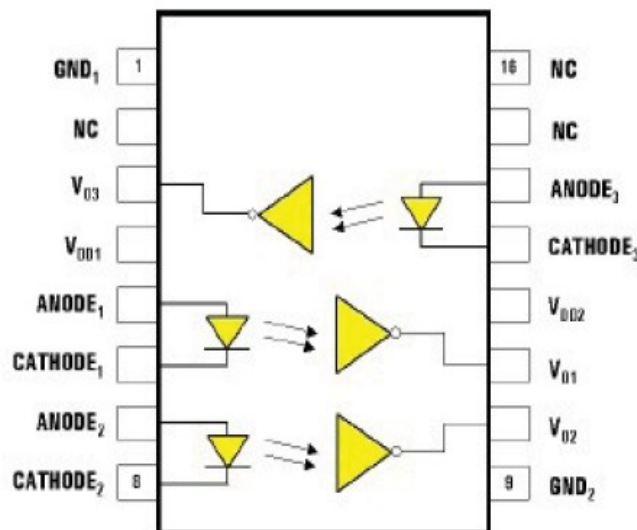


Figura 5.29: Schema interno del dispositivo ACSL 6310

Nello schema di figura 5.30 viene mostrato il collegamento degli optoisolatori in cui sono presenti le resistenze di limitazione della corrente per i diodi e le resistenze di pull-up come richiesto dal datasheet.

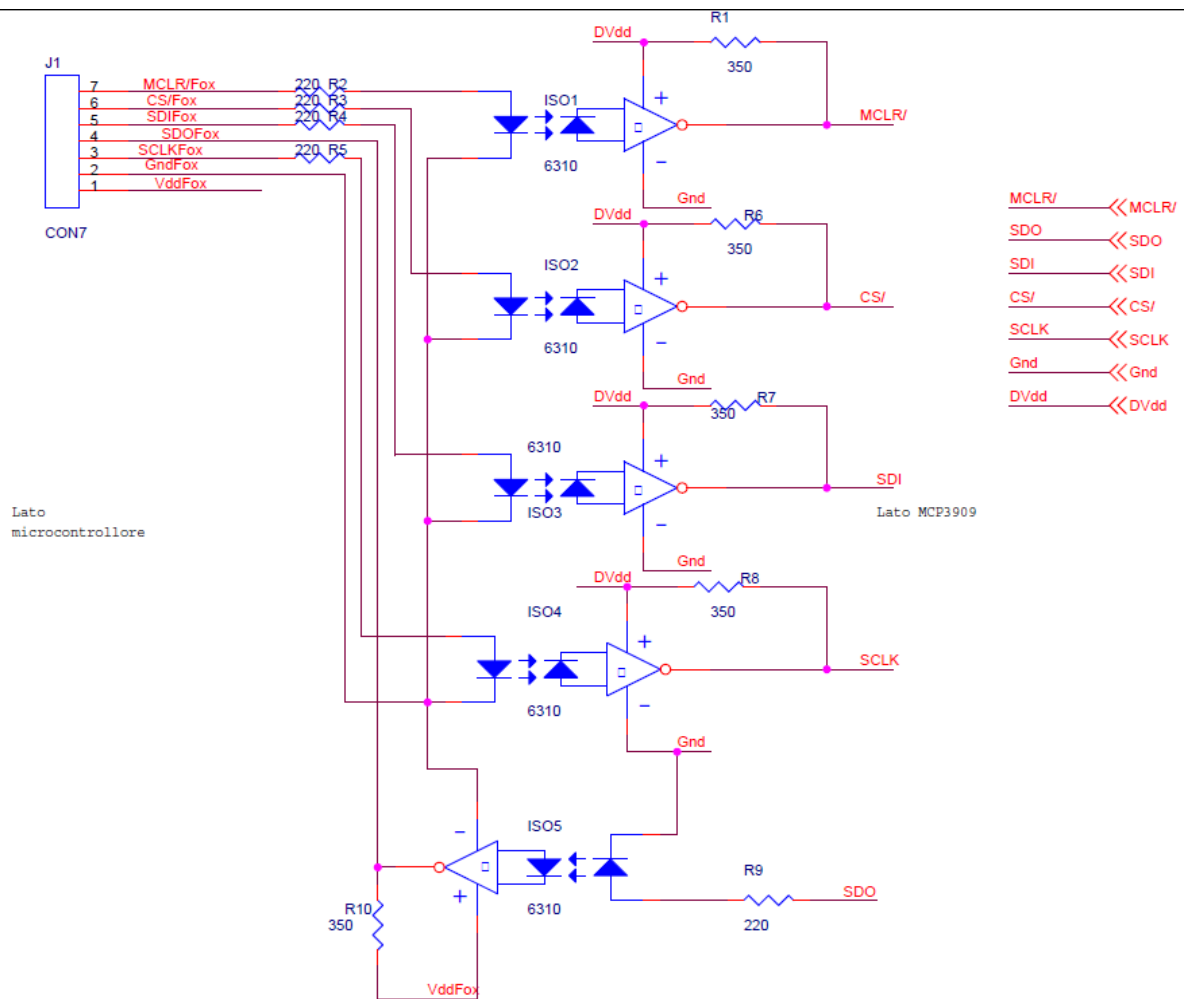


Figura 5.30: Collegamento degli optoisolatori

## 5.7. Layout e accorgimenti realizzativi

Dallo schema elettrico si è poi passato al layout utilizzando il software Layout Plus della famiglia Orcad 9.2. Il circuito è stato realizzato su doppia faccia. In figura 5.31 e 5.32 sono riportati il lato superiore(TOP) e inferiore dello stampato (BOTTOM).

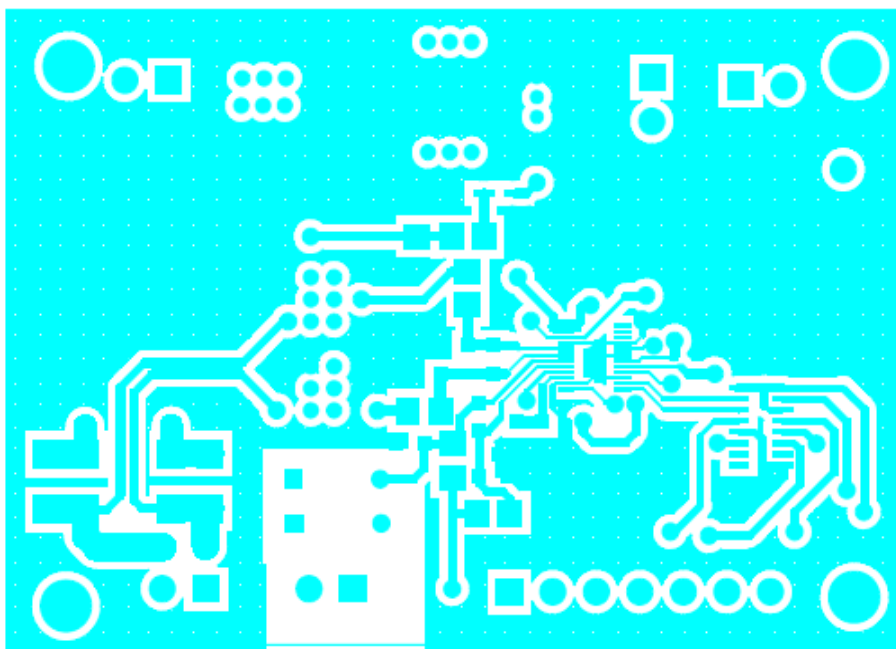


Figura 5.31: Lato TOP dello stampato

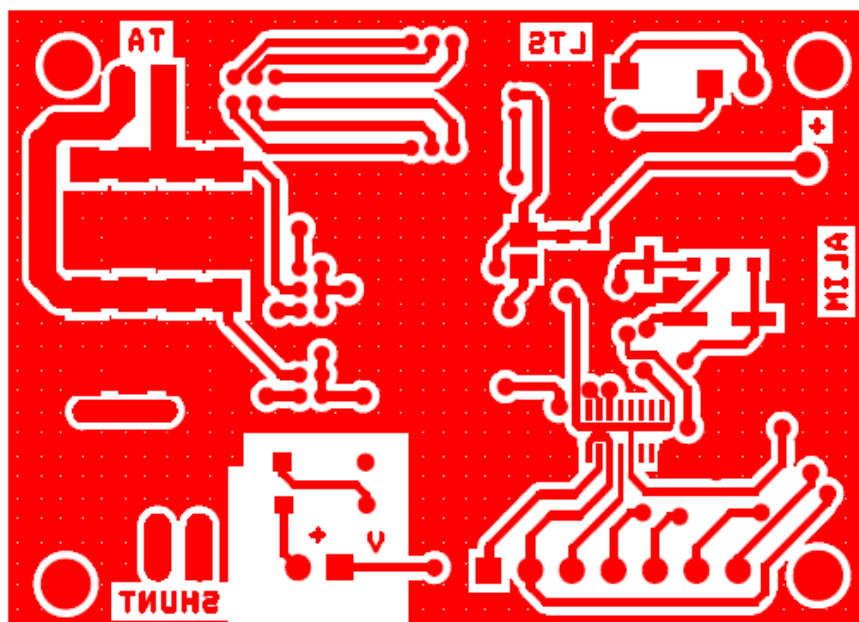


Figura 5.32: Lato BOTTOM dello stampato

Come si può vedere si è deciso di utilizzare un piano di massa su entrambi i lati dello stampato. In questo modo si è potuto evitare il tracciamento di alcune piste per il collegamento di massa in quanto esso è fatto dal piano.

Nel piazzamento dei componenti si sono seguite le seguenti regole:

- minimizzazione della lunghezza delle piste che portano i segnali di tensione all'ingresso dei convertitori analogici digitali;
- minimizzazione della distanza tra dispositivo MCP3909 e la sua sezione di alimentazione.

La larghezza delle piste è variabile, normalmente la larghezza è stata impostata a 35 mills ma per le piste di collegamento con i pin dei circuiti integrati si è ridotta fino a 15 mills. Inoltre per le piste in cui la corrente può raggiungere i 5 e i 10 Ampere la larghezza è stata impostata 150 mills in modo da ridurre la resistenza per unità di lunghezza.

Le piste che sono collegate direttamente alla tensione di rete sono state distanziate dal piano di massa per aumentare l'isolamento ed evitare possibile scariche.

Tutti i connettori sono stati disposti lungo il bordo dello stampato per rendere più agevole il collegamento verso l'esterno con strumenti di misura e con il microcontrollore che sarà usato nella comunicazione.

# CAPITOLO 6: MISURE SULLA SCHEDA DI ACQUISIZIONE DATI

In questo capitolo sono riportate e descritte le operazioni svolte per il collaudo della scheda di acquisizione dati e il setup utilizzato per il componente MCP3909.

## 6.1. Setup di prova e schema di collaudo

Per le misure sul circuito è stato utilizzato un trasformatore multi-uscita con rapporti spire  $N=300/50=6$ ,  $N=300/60=5$  e  $N=300/75=4$ . Il trasformatore in fase di collaudo è necessario per isolare galvanicamente il circuito dalla rete elettrica e per abbassare il valore di tensione in ingresso al circuito. Si è utilizzato un carico puramente resistivo costituito da una resistenza di potenza da  $73\Omega$ . In figura 6.1 è illustrato lo schema utilizzato per il collaudo della scheda di acquisizione dati.

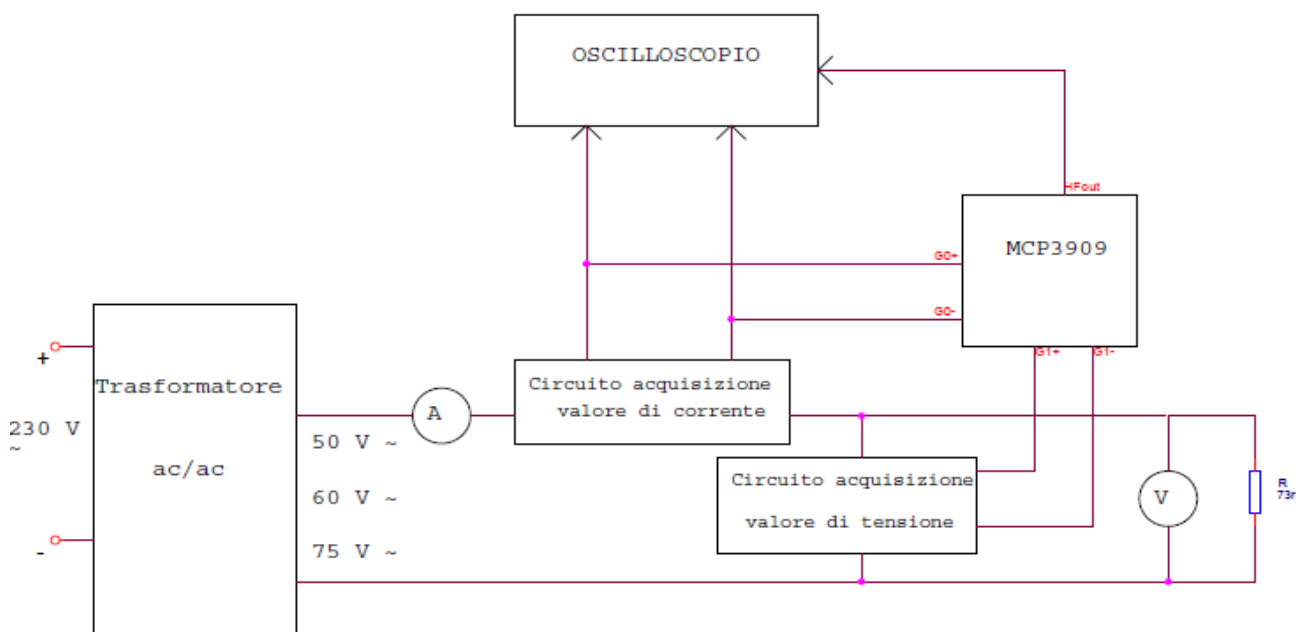


Figura 6.2: Schema di collaudo della scheda di acquisizione dati

I valori efficaci di tensione e corrente sono misurati con multimetri digitali mentre all'oscilloscopio sono riportati i valori di tensione generati dai circuiti di condizionamento, cioè quelli in ingresso ai canali di acquisizione. Inoltre all'oscilloscopio è visualizzato il segnale  $HF_{OUT}$  proveniente dal dispositivo MCP3909.

Poiché il primario del trasformatore è stato collegato alla tensione di rete, il valore efficace della tensione nelle tre uscite al secondario è pari a 38,33V (N=6), 46V (N=5) e 57,5V (N=4) come mostrato in tabella 6.2.

Tensione Primario		N1/N2	Tensione Secondario	
Vp	Vp		Vs	Vs
[V]	[V]		[V]	[V]
efficace	pk		efficace	pk
230	325,27	4	57,5	81,32
230	325,27	5	46	65,05
230	325,27	6	38,33	54,21

Tabella 6.2: Valori di tensione al secondario del trasformatore

Il circuito per l'acquisizione della tensione è stato dimensionato per misurare una tensione di rete il cui valore è compreso tra  $\pm 325V$  ( $\pm 230 \cdot \sqrt{2}$ ).

Per aumentare la sensibilità del circuito di acquisizione della tensione si è cortocircuitata una delle resistenze da 255K $\Omega$ . In questo modo sulla resistenza da 953 $\Omega$  cade il 3,72% della tensione da misurare (come si può vedere dalla relazione 6.3) e la tensione all'ingresso del canale 1 rientra nel range specificato.

$$V_V = V_{RETE} * 953 / (953 + 255 \cdot 10^3) = V_{RETE} * 3,72 \cdot 10^{-3} \quad (6.3)$$

Come nel prototipo descritto nel capitolo 4, per il collaudo e le misure sulla scheda di acquisizione dati, si è imposto il valore logico dei pin F0, F1, F2 alto, collegandoli a DV<sub>DD</sub>. Il guadagno (G) dell'amplificatore in ingresso al canale 0 è stato impostato al valore 2 collegando i pin G0 e G1 rispettivamente a DV<sub>DD</sub> e Gnd. In questo modo il range di ingresso al canale 0 è pari a  $\pm 235mV$ .

Con questa configurazione il valore della costante H<sub>FC</sub> è impostata al valore 218,48Hz e il range della frequenza di uscita è massimo (HF<sub>OUTmax</sub> = 47,42 Hz). Tale valore di frequenza in uscita si ha quando i valori delle tensioni dei due canali di acquisizione sono al loro massimo valore, quindi:  $\pm 235mV$  per il canale della corrente e  $\pm 660mV$  per il canale di tensione. Il valore del pin MCLR è stato impostato a valore logico alto in modo da abilitare gli ADC.

## 6.2. Misure di tensione e di corrente

Le misure sul circuito per l'acquisizione del valore di corrente con resistenza di shunt sono state fatte variando la tensione sul carico (cambiando l'uscita del trasformatore) e di conseguenza variando la corrente da misurare. In tabella 6.4 sono riportate le misure realizzate sul circuito.

Vs	Vs	Is	Is	V <sub>v</sub>	V <sub>i</sub>	F <sub>OUT</sub>	F <sub>OUT</sub>
[V]	[V]	[A]	[A]	[V]	[V]	[Hz]	[Hz]
efficace	pk	efficace	pk	efficace	efficace	Teorico	Misurato
38,53	54,49	0,52	0,74	0,143	0,0135	1,14	1,490
45,9	64,91	0,62	0,88	0,171	0,0155	1,62	2,130
57,17	80,85	0,78	1,1	0,213	0,0211	2,54	3,260

Tabella 6.4: Misure sul circuito con resistenza di shunt

Il valore teorico di  $F_{OUT}$  è stato calcolato con l'espressione 4.7. I valori dei parametri sono riportati in tabella 4.8 ad eccezione del guadagno dell'amplificatore operazionale (G) in ingresso al canale 0 il cui valore, come precedentemente illustrato, è stato impostato al valore 2. Il carico è puramente resistivo e quindi non introduce sfasamento tra tensione e corrente; la formula per il calcolo della frequenza non deve quindi essere corretta.

Come si osserva dalla tabella 6.4, la frequenza misurata in uscita è maggiore del valore teorico; ciò può essere causato dal fatto che la tensione all'ingresso del canale di corrente è disturbata. Tale disturbo (riportato in figura 6.5) è a frequenza di 1,4 KHz, non può essere eliminato dal filtro anti aliasing e quindi contribuisce al calcolo della potenza e della frequenza di uscita.

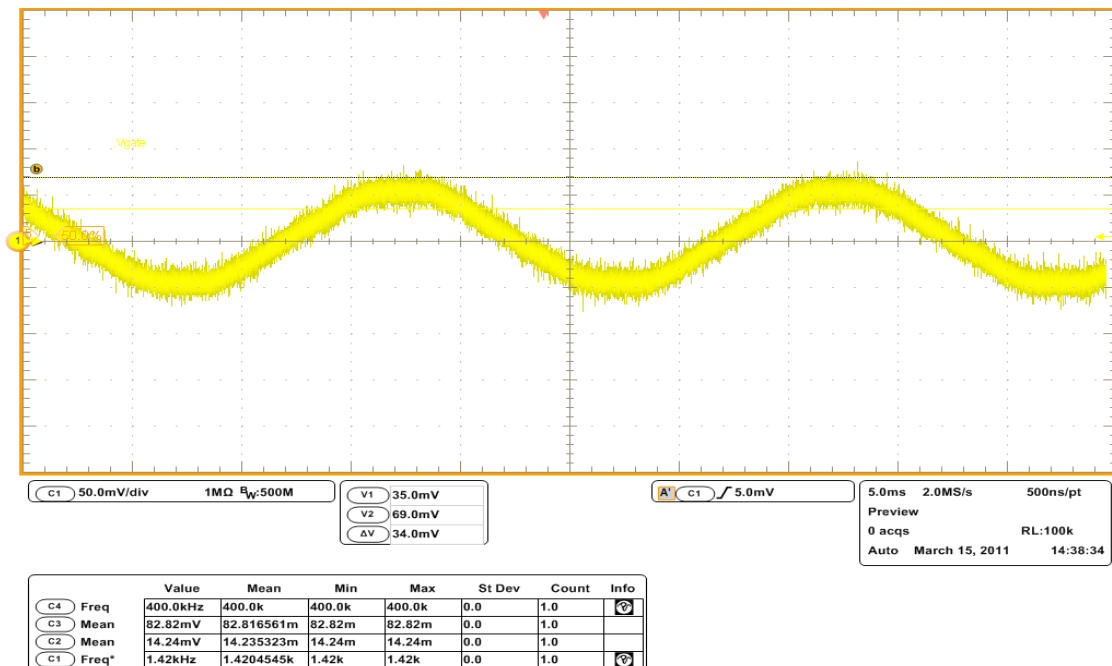


Figura 6.5: Segnale di tensione su resistenza di shunt

Nel collaudo del circuito per corrente derivante dal circuito secondario di un trasformatore amperometrico è stato utilizzato un trasformatore amperometrico (TA) con rapporto spire  $N=80/5=20$ . Il valore della massima corrente in uscita è pari a 5A. Per avere in ingresso al canale di acquisizione 0 una tensione dell'ordine della decina di milliAmpere si è fatto in modo che il valore della corrente di uscita al secondario del trasformatore fosse dell'ordine dell'ampere. Non avendo a disposizione uno strumento in grado di generare una corrente alternata di 20A, al primario è stato aumentato il numero di spire e conseguentemente la corrente percepita dal TA. Il valore di corrente percepito dal trasformatore risulta essere dato dalla corrente circolante su una singola spira moltiplicato per il numero di spire. In tabella 6.6 sono riportati i valori di corrente al primario (corrente percepita) e al secondario nei due casi (numero di spire al primario pari a 17 e 33).

$I_s$ [A]	N° aw.	$I_1$ [A]	N1/N2	$I_2$ [A]
efficace		efficace		efficace
0,77	17	13,09	16	0,82
0,77	33	25,41	16	1,59

Tabella 6.6: Correnti al primario e al secondario nel trasformatore amperometrico

I valori di tensione misurati sui canali di ingresso 0 e 1 e la frequenza di uscita teorica e misurata sono riportati in tabella 6.7.

$V_s$ [V] efficace	$I_s$ [A] efficace	$I_2$ [A] efficace	$V_v$ [V] efficace	$V_1$ [V] efficace	$F_{OUT}$ [Hz] Teorico	$F_{OUT}$ [Hz] Misurato
57,3	0,77	0,82	0,213	0,042	5,48	5,34
57,3	0,77	1,59	0,213	0,078	10,17	10,03

Tabella 6.7: Misure sul circuito con trasformatore amperometrico

$I_2$  rappresenta la corrente al secondario del trasformatore amperometrico che è quella che attraversa il circuito resistivo. Il valore  $F_{OUT}$  teorico è stato calcolato attraverso la formula 4.7. I valori misurati di frequenza sono vicini ai valori teorici calcolati, questo poichè il valore di tensione sul circuito per la misura della corrente è minormente disturbato rispetto a quello che si ha con l'utilizzo della resistenza di shunt.

In figura 6.8 e 6.9 sono riportate delle immagini acquisite dall'oscilloscopio durante le misure in cui si può vedere la tensione al canale di ingresso 0 (canale per l'acquisizione della corrente) e il segnale ad onda rettangolare con frequenza proporzionale alla potenza attiva al pin  $HF_{OUT}$ .



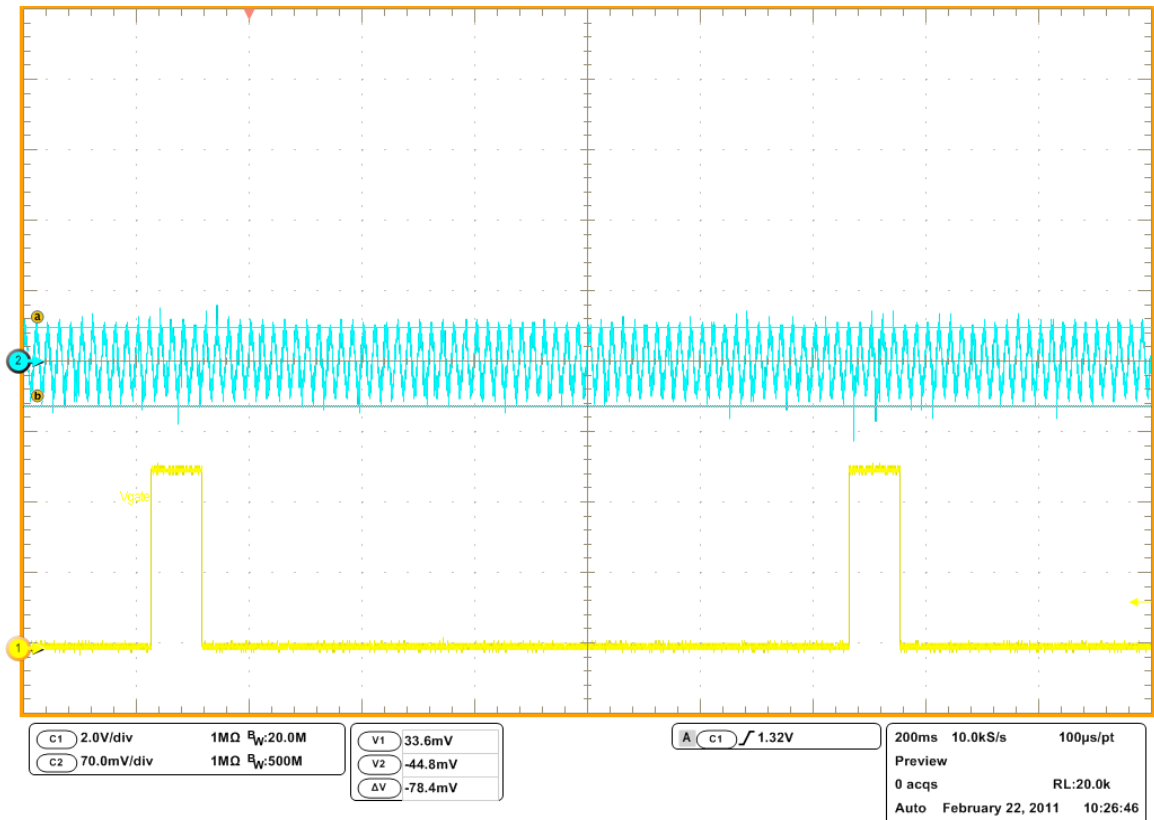


Figura 6.8: Schermata acquisita dall'oscilloscopio in cui sono presenti la tensione sul canale 0 e il segnale ad onda rettangolare sul pin HFout

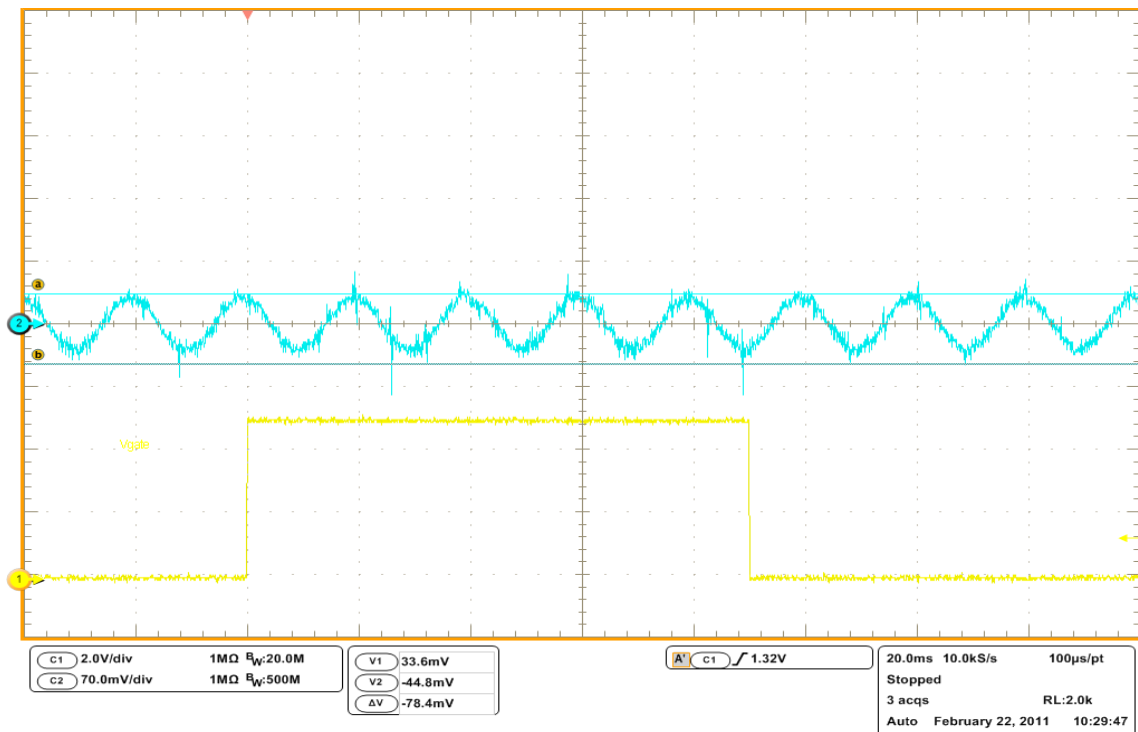


Figura 6.9: Schermata acquisita dall'oscilloscopio in cui sono presenti la tensione sul canale 0 e il segnale ad onda rettangolare sul pin HFout

Nelle misure sul circuito con LEM Its 25 si è accertato che il dispositivo genera in uscita un segnale di tensione centrato attorno a 2,5V la cui ampiezza dipende dal valore di corrente da misurare.

## CAPITOLO 7: CONCLUSIONI

In questo lavoro di tesi è stato sviluppato un prototipo per l'acquisizione dei valori di tensione e corrente su una rete monofase, il calcolo della potenza tramite il dispositivo MCP3909, che si è rivelato uno strumento efficace per monitorare la potenza elettrica di rete.

I sistemi per l'acquisizione della corrente si sono rivelati sensibili ai disturbi e quindi le misure di corrente non sono risultate sempre precise, mentre il sistema di acquisizione della tensione è risultato preciso. I risultati sperimentali comunque si sono rivelati in linea con quelli teorici.

Gli sviluppi futuri dovranno migliorare i sistemi di acquisizione della corrente, riducendo i disturbi evidenziati, implementare una rete di taratura per i sistemi di misura e un sistema di comunicazione dei dati convertiti dagli ADC verso un microcontrollore tramite protocollo SPI.