



UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

Corso di laurea in ingegneria dell'informazione

TITOLO DELLA TESI

STATO DELL'ARTE NELLA REALIZZAZIONE INTEGRATA DI CONVERTITORI
A/D DI TIPO SAR

Laureando:

Marco Dal Molin

Relatore:

Professor Andrea Neviani

Indice

1	Generalità	1
2	Introduzione ai DAC	2
2.1	Caratteristiche	3
2.2	Implementazione circuitale	5
3	Introduzione agli ADC	6
3.1	Caratteristiche	6
3.2	Implementazione circuitale	8
3.3	Ulteriori importanti caratteristiche	10
4	Analog-to-digital converter con registro ad approssimazioni successive	12
5	Stato dell'arte	16
5.1	Dei convertitori A/D in generale	16
5.2	Degli ADC di tipo SAR	18
A Circuiti sample&hold		29
Bibliografia		33

Elenco delle figure

1	Schema a blocchi di un digital-to-analog converter a 4 bit.	2
2	Caratteristica ingresso-uscita di un DAC a 3 bit con errori.	3
3	Esempio di andamento dell'errore di quantizzazione.	7
4	Tipico schema a blocchi di un ADC di tipo SAR.	12
5	Esempio di implementazione a redistribuzione di carica di un ADC unipolare a 5 bit.	13
6	Implementazione a redistribuzione di carica di un ADC a 5 bit con segno.	14
7	Convertitore A/D ad approssimazioni successive ibrido.	15
8	Andamento nel tempo della cifra di merito di Walden.	17
9	Evoluzione della seconda figura di merito (termica).	17
10	Paragone tra le diverse tecniche di realizzazione dell'array di condensatori all'interno del digital-to-analog converter.	18
11	Architettura del SAR ADC con comparatore a tre livelli.	20
12	Visualizzazione schematica dell'ADC asincrono.	21
13	Struttura dell'ADC con finestra di bypass.	23
14	Motivo dell'utilizzo di ADC SAR a "charge redistribution".	24
15	Metodo adottato per il "riciclo" della carica nell'array di condensatori del DAC.	25
16	Vantaggi dell'utilizzo di MOSFET ad alta e bassa tensione di soglia (b) rispetto ad un apparecchio fornito di soli transistor a bassa $V_{th}(a)$	27
A.1	Realizzazione basilare di un circuito sample&hold.	30
A.2	Sample-and-hold con amplificatore operazionale e retroazione.	31
A.3	Circuito modificato ulteriormente.	31
A.4	S&H con operazionale in configurazione di passa-basso invertente.	32

1 Generalità

I convertitori che si occupano della conversione di segnali a tempo continuo, ossia analogici, a segnali a tempo discreto o digitali, e viceversa, sono oramai utilizzati in quasi ogni tipo di dispositivo che vada a fare da interfaccia tra il mondo reale e quello quantizzato. Una prima importante distinzione può esser fatta tra:

- Convertitori alla frequenza di Nyquist (Nyquist-Rate)
- Convertitori a sovracampionamento (Oversampling)

I primi lavorano a frequenze del segnale di poco maggiori a quella di Nyquist (da 3 a 20 volte) ed hanno una corrispondenza biunivoca tra ingresso e uscita, associando quindi rispettivamente ad ogni parola d'ingresso (per un DAC), o valore discreto (per un ADC), un valore quantizzato o una sequenza di bit. I secondi, invece, operano con frequenze notevolmente superiori (da 20 a 500 volte quella di Nyquist) ottenendo così il vantaggio di utilizzare filtri anti-aliasing di semplice realizzazione ed incrementare il rapporto segnale-rumore grazie al sovracampionamento. Sono inoltre identificati dal tasso di sovracampionamento che è il rapporto tra la frequenza di campionamento e la frequenza di Nyquist (due volte la frequenza massima del segnale nello spettro).

Ciascuno di questi ha i propri vantaggi e svantaggi a seconda dell'applicazione su cui si vogliono implementare. Ad ogni modo sono tutti composti da numerosi bipoli passivi ed un certo numero (in genere uno o più) di comparatori e amplificatori operazionali, quest'ultimi svolgono una azione fondamentale per il completo funzionamento del sistema. Inizialmente si vedranno i convertitori D/A, con relative generalità e caratteristiche, poi gli ADC, poichè nella maggior parte dei casi questi hanno al loro interno un DAC, indispensabile per il loro funzionamento.

2 Introduzione ai DAC

Un convertitore digitale-analogico è un dispositivo che, data in ingresso una sequenza di bit, fornisce come uscita un valore (generalmente in tensione) il quale dipende sia dall'ingresso che da una costante di riferimento e una di fondo scala. Per praticità nelle formule seguenti si utilizzerà come simbolo K generico ad indicare indistintamente una tensione o una corrente. Chiamato B_i il valore associato all'ennupla di bit d'ingresso,

$$B_i = b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \dots + b_{n-1} 2^{-n}$$

K_{ref} , un valore di riferimento e K_{os} la costante di offset, il valore d'uscita k_o si ottiene come:

$$k_o = B_i K_{ref} + K_{os}$$

Da notare che i vari b_i possono essere "0" o "1" ed al bit b_0 viene dato il nome di bit più significativo (MSB) mentre b_{n-1} è chiamato bit meno significativo (LSB), per ovvie ragioni.

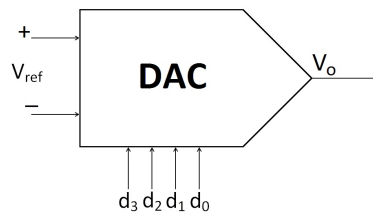


Figura 1: Schema a blocchi di un digital-to-analog converter a 4 bit.

Normalmente è utile definire una nuova unità di misura in questo campo detta LSB, che è proprio pari al valore del bit meno significativo; K_{LSB} che indica la variazione di valore che si ha al variare di un LSB:

$$1LSB = \frac{1}{2^n} \Rightarrow K_{LSB} = \frac{K_{ref}}{2^n}$$

In tal modo le varie caratteristiche dei convertitori e le variazioni dei valori possono esser espresse come multipli di questa unità fondamentale.

2.1 Caratteristiche

Un DAC per esser considerato ideale deve avere valore d'offset nullo, inoltre ogni qual volta un bit d'ingresso cambia il suo valore, l'uscita deve differire di un LSB rispetto alla precedente. Come mostrato dalla figura seguente,

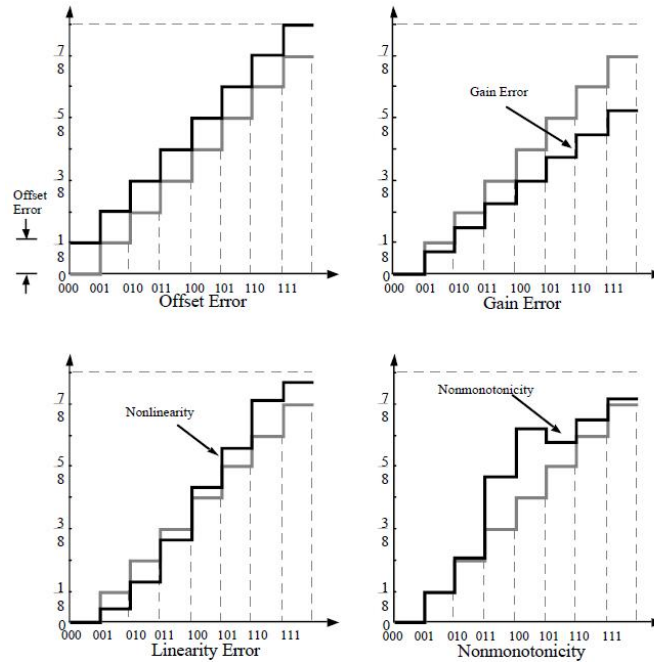


Figura 2: Caratteristica ingresso-uscita di un DAC a 3 bit con errori.

si può anche notare la peculiarità che il massimo valore d'uscita, corrispondente alla sequenza di bit 111, non raggiunge mai il valore di fondo scala, ma è sempre minore di questo di 1 LSB.

Nota: il massimo valore d'uscita del convertitore è

$$K_{ref} - LSB = K_{ref} \left(1 - \frac{1}{2^n}\right)$$

se a questo valore si fa il limite per $n \rightarrow \infty$ si ottiene che il valore di fondo scala è K_{ref} . Quindi solo un DAC ideale permette il raggiungimento in uscita del più alto valore ottenibile.

Nella figura si notano esempi di errori classici che ora chiariremo. Le caratteristiche fondamentali sono:

Risoluzione - è il numero dei diversi livelli d'output corrispondenti alle diverse parole di bit in ingresso (risoluzione a 6 bit $\rightarrow 2^6$ valori d'uscita). In alcuni testi è indicata come la più piccola variazione possibile (nel caso ideale) della grandezza d'uscita.

Accuratezza - è definita come la peggior differenza tra il valore atteso e quello reale; questa grandezza include gli errori di offset, di guadagno e di linearità.

Errore d'offset - è il valore non nullo in uscita quando all'ingresso si presenta la sequenza nulla di bit (in figura).

Errore di guadagno - si caratterizza per la deviazione di pendenza della retta che interseca i vari punti della curva ingresso-uscita rispetto a quella ideale (anche questo visualizzato in figura).

Errore di linearità integrale - stima la deviazione di pendenza della caratteristica di trasferimento del dispositivo rispetto ad una linea retta presa come riferimento. Questa linea retta può essere quella che interpola nel modo migliore i valori d'uscita (in questo caso si indica come best-fit) oppure quella passante per il punto iniziale e per quello finale (endpoint). Questo errore si valuta togliendo preliminarmente gli errori di offset e di guadagno ed è indicato in frazioni di LSB.

Errore di linearità differenziale - indica la differenza tra l'incremento del valore d'uscita e quello ideale di un LSB quando l'ingresso cambia di un bit. Infatti, se l'ingresso effettua questa variazione, idealmente l'uscita dovrebbe modificarsi di un LSB rispetto al valore precedente, questo non sempre accade e nei casi in cui ciò non accada lo scarto è sempre indicato in frazioni di LSB.

Monotonicità - questa caratteristica si presenta quando, per ogni incremento dell'ingresso, si manifesta un incremento dell'uscita; a livello grafico è immediata la conclusione, poichè la caratteristica di trasferimento è strettamente crescente. In caso contrario, il DAC si dice non monotono.

Settling time o tempo di assestamento - il tempo impiegato affinché l'uscita si assesti nell'intorno del valore finale (solitamente l'intorno non è maggiore di un LSB).

Frequenza di campionamento - la frequenza alla quale i campioni possono essere continuamente convertiti, di norma l'inverso del settling time. Viene espressa in migliaia o più campioni al secondo (kS/s o MS/s ...)

Stabilità - raramente menzionata, indica quanto il dispositivo in questione sia sensibile a fattori esterni; quali temperatura, tensione di alimentazione, età ecc ...

2.2 Implementazione circuitale

Dal momento che esistono svariati modi di realizzare un digital-to-analog converter (utilizzando MOS o BJT a seconda dell'applicazione), in questa tesi se ne vedranno brevemente solo alcuni. I principali tipi di DAC sono:

- a resistori pesati (o scalati), di facile realizzazione, utilizza un amplificatore operazionale in configurazione di sommatore invertente, dove i vari ingressi sono delle resistenze con valori che a partire dall'LSB raddoppiano bit per bit fino al MSB. I principali problemi di questa modalità sono in primo luogo quello di mantenere i rapporti tra tutte le resistenze costanti nel tempo, e in secondo luogo quello di necessitare di un grande intervallo per le grandezze delle resistenze nel caso in cui il DAC abbia un'elevata risoluzione.
- con rete R-2R, rispetto alla struttura appena descritta, ha il vantaggio di non richiedere un ampio range per i valori dei resistori richiedendone solamente un paio, come appunto suggerito dal nome.
- con rete R-2R inversa, questa configurazione viene adottata quando si vogliono evitare errori di linearità che possono essere presenti nelle precedenti realizzazioni.
- a capacità commutata, utilizza una rete di condensatori scalati e possiede il vantaggio di avere come unica potenza statica dissipata quella dell'amplificatore operazionale. Tuttavia a causa dei condensatori è presente una potenza dinamica. Questa realizzazione è simile al DAC con implementazione R-2R.

3 Introduzione agli ADC

Un analog-to-digital converter svolge la funzione inversa dei convertitori D/A finora visti, ossia tramuta un segnale analogico in una sequenza di bit che può poi esser ceduta ad un generico sistema digitale. Concettualmente, un convertitore generico può esser suddiviso in più blocchi: per prima cosa un filtro anti-aliasing che serve ad evitare l'omonimo fenomeno in frequenza. Poichè però non è possibile trasformare direttamente un segnale generico, segue quindi un circuito *sample&hold* (vedi appendice A) che campiona punto per punto l'ingresso, ogni valore campionato può poi esser convertito, tramite un quantizzatore, in un'ennupla di "0" e "1". Questa può presentarsi in diversi standard di rappresentazione: binario, in complemento a due, termometrico e in codice di Gray, ciascuno con i suoi vantaggi di semplicità, robustezza agli errori in trasmissione, facile implementazione ecc ...

Dato il campione d'ingresso K_i , il valore di riferimento K_{ref} e la parola d'uscita con valore $B_o = b_02^{-1} + b_12^{-2} + b_22^{-3} + \dots + b_{n-1}2^{-n}$, l'equazione che descrive il funzionamento del dispositivo è:

$$K_{ref}B_o = K_i + e_q,$$

dove il valore di e_q è compreso tra i -0.5 LSB e i 0.5 LSB.

3.1 Caratteristiche

L'equazione appena vista introduce uno dei parametri più importanti, ossia l'errore di quantizzazione, che indica lo scarto che si ha nella rappresentazione (tramite ennupla di bit) del campione d'ingresso a causa del limitato numero di valori rappresentabili. Se i bit in uscita fossero infiniti, l'errore sarebbe zero, poichè sarebbe possibile rappresentare qualsiasi valore d'ingresso in forma binaria. Indicati con K_q il valore quantizzato dell'ingresso, ossia $K_q = B_oK_{ref}$, ed e_q l'errore in questione, quest'ultimo si definisce come:

$$e_q = K_i - K_q \quad \text{o} \quad e_q = K_q - K_i$$

Per caratterizzarlo in modo più completo si possono seguire diverse strade. La prima prevede un approccio deterministico che valuta il valore quadratico medio in questo modo:

$$e_{q(rms)} = \left(\frac{1}{T} \int_{-\frac{T}{2}}^{\frac{T}{2}} e_q^2 dt \right)^{\frac{1}{2}} = \dots = \frac{K_{LSB}}{\sqrt{12}}$$

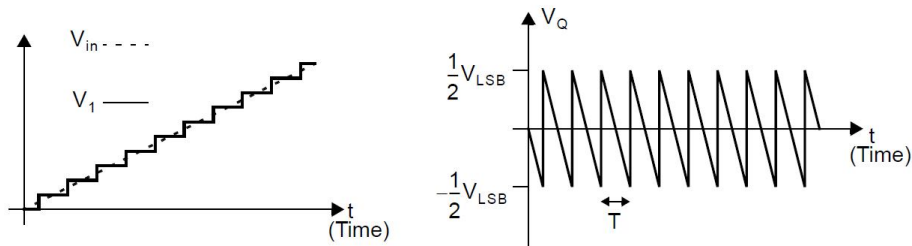


Figura 3: Esempio di andamento dell'errore di quantizzazione.

Per una chiara comprensione dell'andamento dell'errore si assume come ingresso una rampa lineare e si indica con T il periodo dell'onda a "dente di sega" che ne risulta.

Un secondo modo possibile sfrutta la probabilità ed è per questo chiamato approccio stocastico. Considerando l'errore di quantizzazione come una variabile aleatoria uniforme tra $-0.5K_{LSB}$ e $0.5K_{LSB}$ se ne può calcolare il root mean square come sopra:

$$e_q \sim U\left(-\frac{K_{LSB}}{2}, \frac{K_{LSB}}{2}\right) \quad e_{q(rms)} = \left(\int_{-\infty}^{\infty} x^2 f_q(x) dx\right)^{\frac{1}{2}}$$

Dall'equazione risulta lo stesso valore calcolato sopra, dove $f_q(x)$ è la densità di probabilità dell'errore di quantizzazione.

Come per i convertitori D/A, ulteriori errori importanti sono:

Errore d'offset - è la differenza (valutata orizzontalmente) costante esistente tra la caratteristica d'uscita reale del convertitore e quella ideale.

Errore di guadagno - indica lo scarto orizzontale esistente tra la caratteristica attuale e quella ideale per ogni transizione.

Errore di linearità integrale - stima la differenza verticale tra la caratteristica reale e quella ideale.

Errore di linearità differenziale - similmente ai DAC, in ogni transizione si dovrebbe avere un gradino verticale di un LSB; quando ciò non avviene si verifica questo errore che definisce la differenza tra l'ampiezza effettiva del gradino e un LSB.

Per altre caratteristiche si faccia riferimento a quelle dei digital-to-analog converter poichè sono simili. Ad eccezione della risoluzione che in questo

contesto indica la più piccola variazione del segnale analogico che può essere “percepita” dall’ADC.

3.2 Implementazione circuitale

Anche qui vi sono i modi più svariati per realizzare un convertitore, tuttavia la maggior parte sfrutta un confronto tra il valore campionato e un valore variabile che tende ad approssimare il più possibile o, nel caso migliore, centrare l’ingresso. Vedremo una breve descrizione dei vari tipi esistenti per concentrare in seguito l’attenzione sul dispositivo ad approssimazioni successive.

- a contatore, è uno dei modi più semplici per realizzare un analog-to-digital converter per i pochi componenti utilizzati. L’uscita del DAC usato viene incrementata, tramite un contatore, di uno step ad ogni colpo di clock, e viene messa a confronto con il campione da trasformare. Solo quando l’uscita del DAC supera il valore d’ingresso, il processo si ferma. Dal momento che con un incremento crescente si deve fare il confronto dopo ogni conteggio, la semplicità si paga con la lentezza, essendo necessari, nel peggiore dei casi, ben $2n$ cicli di clock per l’intera trasformazione (con n numero di bit del convertitore).
- integrativo a singola rampa, utilizza un segnale a rampa lineare, solitamente realizzato tramite un integratore, sempre confrontato con il valore da convertire. Alla partenza della rampa si avvia un contatore che si ferma una volta superato l’ingresso. Poi si costruisce l’uscita sapendola direttamente proporzionale (tramite una qualche costante) al numero memorizzato nel contatore. Questo tipo è scarsamente utilizzato dato che la pendenza della rampa è proporzionale a V_R/RC , che già di per sé è un limite, senza contare il fatto che una variazione dei parametri dei componenti provoca ricadute non accettabili nel suo funzionamento.
- integrativo a doppia rampa, migliore rispetto al precedente sfrutta il confronto tra due rampe distinte. Inizialmente il valore d’ingresso viene integrato per un determinato intervallo di tempo, alla fine di questo poi si integra una tensione di riferimento e successivamente si sfrutta il fatto che i due integrali siano uguali. Data l’alta risoluzione, questo tipo di implementazione è spesso usato, sebbene sia piuttosto lento.
- flash, questo tipo assicura da un lato una velocità elevata, dall’altro una complessità non indifferente. Lo si capisce bene dalla realizzazione circuitale utilizzando per un dispositivo a n bit un numero di comparatori

pari a 2^n . Per questo la complessità aumenta esponenzialmente al crescere del numero di bit, mentre la risoluzione si ferma a 8-10 bit..

Il funzionamento: la tensione di riferimento è scalata tramite una serie di resistenze, dove tra una resistenza e la successiva vi è l'ingresso ad un comparatore il cui secondo morsetto è collegato al valore d'ingresso. Le uscite dei comparatori sono inserite in una rete logica che ha il compito di formalizzare la sequenza in uscita.

- Delta-Sigma, questo convertitore è molto usato perchè permette di ottenere risoluzioni elevate (fino a 20 bit) senza essere troppo complicato da implementare. Nel più semplice dei casi è costituito da un sommatore, un integratore, un ADC, un DAC e un filtro digitale noto come decimatore. Il dispositivo campiona l'ingresso ad alta frequenza e integra la differenza tra la tensione da trasformare e l'uscita del convertitore D/A. Questo valore viene elaborato dall'ADC che a sua volta lo trasferisce al decimatore; il filtro ha il compito di aumentare la risoluzione e diminuire l'errore di quantizzazione, ottenendo così in uscita una sequenza con elevata risoluzione del valore campionato precedentemente.

3.3 Ulteriori importanti caratteristiche

Oltre alle caratteristiche classiche prima elencate e agli errori comuni dei dispositivi ci sono altre specifiche fondamentali che garantiscono all'interessato una comprensione piena delle potenzialità del convertitore.

Un valore spesso utilizzato nel valutare apparecchi elettronici e per le telecomunicazioni è l'SNR (Signal to Noise Ratio) che in questo caso, come vedremo, serve alla determinazione di un importante valore. Riprendendo le considerazioni fatte riguardo l'errore di quantizzazione e assumendo che il segnale d'ingresso sia una sinusoide con valori tra 0 e K_{ref} , calcolando l'SNR in dB risulta:

$$SNR = 20 \log \left(\frac{K_{i(rms)}}{e_{q(rms)}} \right) = 20 \log \left(\frac{\frac{K_{ref}}{2\sqrt{12}}}{\frac{K_{LSB}}{\sqrt{12}}} \right) = 6.02n + 1.76 \quad dB$$

dove n è il numero di bit del convertitore.

Un secondo parametro utile è il THD (Total Harmonic Distortion) che permette di stabilire quanto un dispositivo vada ad interferire nelle varie componenti armoniche in frequenza. Vi sono diversi modi per stimarlo; uno di essi è:

$$THD = \sqrt{\frac{V_{f2}^2 + V_{f3}^2 + \dots + V_{fn}^2}{V_{f1}^2}}$$

dove i V_{fi} sono le ampiezze delle varie componenti armoniche (V_{f1} l'ampiezza della fondamentale, V_{f2} quella della seconda armonica e così via).

Da queste due grandezze se ne può ricavare una terza definita come SINAD o SNDR (Signal to Noise and Distortion Ratio), che combina le precedenti in questo modo:

$$SNDR = -20 \log \left(\sqrt{10^{-\frac{SNR}{10}} + 10^{-\frac{THD}{10}}} \right)$$

Ora si può introdurre un'ulteriore quantità spesso utilizzata nel confronto e nella caratterizzazione di convertitori dal punto di vista dinamico, ossia:

$$ENOB = \frac{SNDR_{dB} - 1.76}{6.02},$$

con ENOB che sta per "effective number of bits". Dal nome si intuisce che un dispositivo con un effettivo numero di bit pari a n è equivalente ad un ADC ideale con quel numero di bit.

In qualche testo si trova anche l'ERBW, Effective Resolution Band Width, che

indica la banda di frequenze del segnale d'ingresso che il convertitore trasforma senza perdere la linearità. In altre parole, la massima frequenza del segnale analogico di input dove il SINAD è decrementato di 3 dB o l'ENOB di mezzo bit.

I parametri sopra elencati permettono di definire una quantità indispensabile nel confronto dei convertitori analogico/digitali, la cifra, o figura di merito (FOM). Questa non è una caratteristica dei soli convertitori: viene infatti utilizzata frequentemente nell'ingegneria, sia per paragonare classi di dispositivi, che per tener ben presente l'evoluzione nello stato dell'arte delle diverse architetture. Per i convertitori A/D vi sono almeno un paio di cifre di merito rilevanti da tenere in considerazione.

$$[1] \quad FOM_1 = \frac{P}{2^{ENOB} f_s} \qquad [2] \quad FOM_2 = \frac{P}{2^{2ENOB} f_s}$$

La prima e più classica è nota in letteratura come FOM di Walden e rapporta la potenza dissipata con la potenza del numero effettivo di bit moltiplicato per la frequenza di campionamento. Questa figura di merito ha una preferenza per i dispositivi a bassa potenza rispetto a quelli con alta risoluzione, quindi per migliorarla sarebbe sufficiente abbassare la dissipazione di potenza anziché aumentare il numero di bit. Per questo motivo si è iniziato ad utilizzare una seconda cifra di merito, nota come termica (Thermal FOM). La [2] permette un miglior confronto di dispositivi ad alta risoluzione rispetto alla Walden's FOM. Entrambe vanno a calcolare l'energia dissipata per ciclo di conversione, per questo la loro unità di misura è J/c.s. (joule per conversion step), anche se normalmente si utilizzano sottomultipli per meglio rappresentare i valori in gioco. Sebbene siano utilizzate spesso queste due in alcuni casi è presente una modifica alla [2] ed in molti articoli per paragonare i dispositivi con l'attuale stato dell' arte si fa riferimento a:

$$[3] \quad FOM_3 = \frac{P}{2^{2ENOB} \min\{2ERBW, f_s\}}$$

che tiene conto del caso in cui la frequenza di campionamento fosse superiore al doppio dell'ERBW.

4 Analog-to-digital converter con registro ad approssimazioni successive

Il convertitore analogico digitale di tipo SAR (Successive Approximation Register) è uno dei metodi più conosciuti di realizzazione circuitale, grazie alla sua semplicità e all'ottimo compromesso tra velocità e risoluzione. Inoltre, come vedremo, il suo pregio principale è l'efficienza energetica, caratteristica fondamentale per tutte le applicazioni portatili alimentate a batteria e non solo, vista la crescente importanza data al risparmio energetico di questi tempi. Lo schema circuitale, vedi figura, è costituito da tre blocchi fondamentali (quattro se si considera un blocco per il campionamento): un comparatore, un convertitore D/A e un registro con logica di controllo. Quest'ultimo ha lo scopo

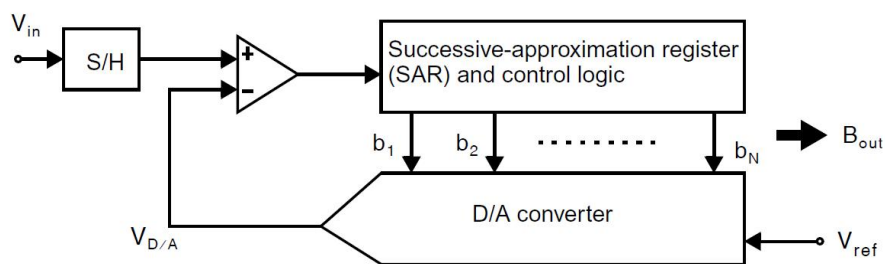


Figura 4: Tipico schema a blocchi di un ADC di tipo SAR.

di memorizzare i bit già settati ad un valore definitivo e di fornire al DAC una sequenza specifica di bit. Il convertitore D/A li tramuterà in un valore analogico che verrà poi confrontato, tramite il comparatore, con il valore campionato all'ingresso. L'algoritmo per la determinazione dell'ennupla di bit rappresentante il valore analogico segue il procedimento simile a quello di una normale ricerca dicotomica, oppure, a livello concettuale, quello per la ricerca di una parola in un qualsiasi dizionario. Ovvero:

- Si stabilisce se il valore è superiore o meno alla metà del fondo scala.
- Si determina in quale quarto del valore di fondo scala si trova.
- Determinato il quarto lo si divide a metà e ci si domanda in quale dei due ottavi si posiziona e così via.

A livello fisico accade questo:

il registro setta il MSB a "1" (mentre i restanti sono a zero) e fornisce al convertitore D/A questa sequenza in ingresso. Il DAC la converte nel valore analogico (che è la metà del valore di fondo scala) e questo viene comparato

con il campione d'ingresso. Se $K_i > K_{DAC}$, il primo bit viene lasciato a "1"; se ciò non accade si setta a "0". In tal modo si è stabilito se il valore che dovrà "rappresentare" l'ingresso si trova tra 0 e 0.5 volte il valore di fondo scala o tra 0.5 e 1. A questo punto il registro pone a "1" il secondo bit della sequenza (lasciando il MSB al valore appena determinato) e si ripete tutto il procedimento fino alla comparazione, stavolta se il MSB è a "1" stabilisce se la sequenza genera un numero tra 0.5 e 0.75 o tra 0.75 e 1 mentre se è a "0" tra 0 e 0.25 o tra 0.25 e 0.5 del valore di fondo scala. Determinato anche il secondo bit si procede settando a "1" il terzo bit e ripetendo l'intero percorso. Quando si arriva ad aver stabilito l'ultimo bit, un segnale facente capo alla logica del registro avvisa della conclusione dell'operazione di conversione, memorizzando l'ennupla di bit e settandoli poi tutti a zero per far ripartire l'intero processo con un nuovo campione. Un altro punto di forza è il ridotto numero di impulsi di clock per realizzare la conversione: la determinazione di un bit richiede infatti un singolo colpo di clock e quindi per n bit ne bastano solo n .

Vediamo ora una possibile realizzazione pratica utilizzata nei primi tipi di convertitori, che per la sua semplicità è particolarmente utile per la comprensione della logica del dispositivo. La figura 5 mostra un ADC di tipo SAR

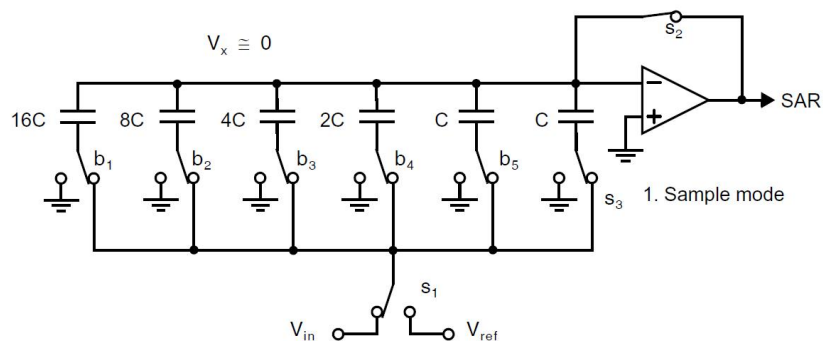


Figura 5: Esempio di implementazione a redistribuzione di carica di un ADC unipolare a 5 bit.

unipolare a 5 bit e a redistribuzione di carica; l'implementazione è essenziale, l'array di condensatori svolge il ruolo di sample&hold e di DAC, il comparatore è costituito dall'amplificatore operazionale e il registro con logica di retroazione, non visualizzato. L'algoritmo di conversione si struttura di tre passi base:

- Sample mode
- Hold mode
- Bit cycling

Si inizia con l'architettura nella configurazione di figura 5. La prima fase è quella di campionamento in cui tutti i condensatori sono caricati alla tensione d'ingresso, il valore che dovrà poi esser convertito in formato binario. Il comparatore viene resettato tramite S_2 . Una volta cancellato il valore precedente, S_2 apre, i b_i si chiudono verso massa e S_1 si connette a V_{ref} . Siamo nella fase di "hold". Ora inizia la procedura di bit cycling: il condensatore che rappresenta il MSB, quello da $16C$, viene collegato tramite b_1 a V_{ref} , in tal modo al nodo x è presente la tensione $V_x = -V_{in} + V_{ref}/2$. Se questa fosse minore di zero il comparatore avrebbe in uscita l'uno logico, cosa che starebbe a significare per il registro SAR che $V_{in} > V_{ref}/2$. Quindi questo condensatore sarebbe lasciato connesso a V_{ref} per indicare che b_1 è considerato "1". Stabilito il valore del MSB si ripete il ragionamento con b_2 per determinare il valor logico del secondo bit più significativo. Si continua poi con il terzo e via via con i seguenti, in modo che dopo aver ripetuto il procedimento n volte si ottiene il valore d'ingresso convertito.

Questo schema circuitale può anche esser modificato per ottenere un convertitore con segno (campiona e converte segnali che oscillano tra valori positivi e negativi), considerando il MSB come bit rappresentante la polarità del campione.

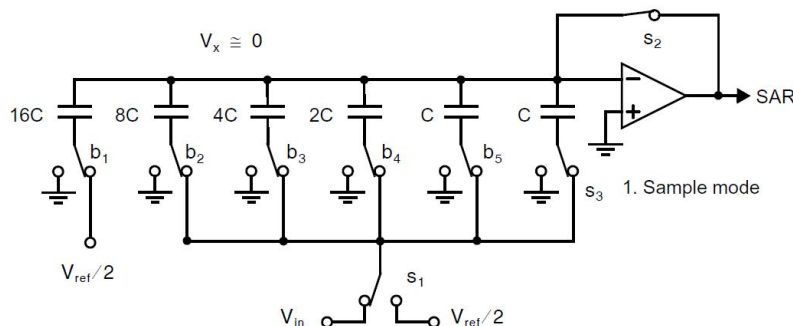


Figura 6: Implementazione a redistribuzione di carica di un ADC a 5 bit con segno.

I passi del procedimento sono gli stessi e l'algoritmo è simile. Nella fase di campionamento si caricano tutti i condensatori, eccetto quello di taglia più grossa che è connesso a V_{ref} per la determinazione del segno. Successivamente si collegano (tramite gli interruttori $b_2 - b_5$) i rispettivi condensatori a massa in modo tale che la tensione al nodo x sia di $-V_{in}/2$, che, sommandosi poi alla tensione del condensatore da $16C$ fa sì che il bit di segno si determini sempli-

cemente tramite l'uscita del comparatore. Posto a "1" se il valore d'ingresso è positivo, "0" altrimenti. Il bit cycling procede come per il caso unipolare, partendo da b_2 fino a quando non si sono determinati tutti i bit. Una diversa strategia di approssimazione successiva è quella utilizzata nel circuito circuito ibrido di resistori-condensatori visualizzato in figura 7.

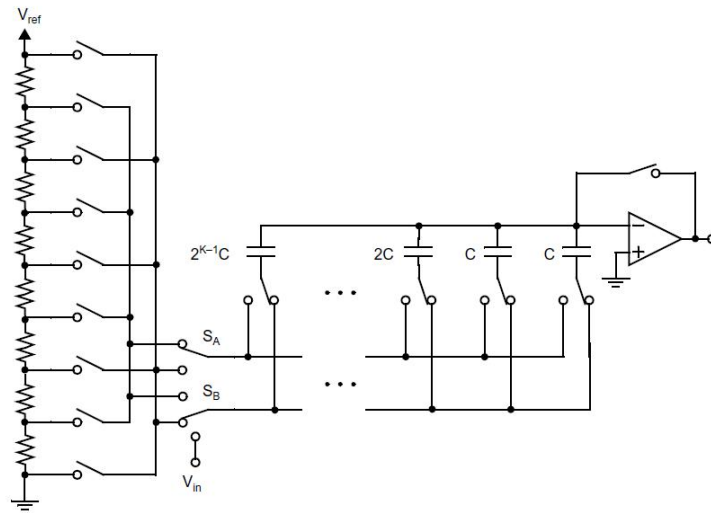


Figura 7: Convertitore A/D ad approssimazioni successive ibrido.

La tecnica utilizzata è diversa da quella vista negli esempi precedenti, in quanto viene utilizzata la scala di resistori per attuare l'algoritmo. Come prima cosa si caricano tutti i condensatori al valore da convertire, togliendo il comparatore dallo stato di "reset", poi si cercano i due nodi tra i resistori che hanno una tensione l'uno maggiore e l'altro minore di quella del valore in ingresso. I due bus, facenti capo a S_A e a S_B , vengono connessi ai due diversi nodi e tutti i condensatori collegati, tramite il bus specifico, al nodo con tensione minore. Ora inizia il meccanismo di approssimazione successiva: il primo condensatore (da sinistra) viene connesso al nodo con tensione maggiore, se il comparatore ha come uscita un valore logico alto, il condensatore torna alla situazione di partenza, mentre, se è presente un valore logico basso si considera il MSB a "1" e si lascia il condensatore collegato al nodo con tensione maggiore. Questo procedimento si ripete per ogni bit fino a quando non si conosce l'ennupla completa. Il vantaggio di questa realizzazione circuitale è che, essendo la stringa di resistori monotona, il convertitore risulta intrinsecamente monotono se lo è anche l'array di condensatori.

5 Stato dell'arte

Ora si vedrà di capire e chiarire come si sono evoluti i convertitori analogico-digitali negli anni, e ci si concentrerà poi sull'attuale conoscenza scientifica riguardo ad un sottogruppo di questi, ovvero quelli con registro ad approssimazioni successive.

5.1 Dei convertitori A/D in generale

Dalla comparsa dei primi convertitori negli anni '70 ad oggi, c'è stata una impressionante evoluzione in tutte le loro caratteristiche, fortemente incoraggiata dallo sviluppo tecnologico, in particolare quello dei semiconduttori. Nulla sarebbe stato possibile se gli studi svolti in tutti questi anni non fossero stati accompagnati da una tecnologia sempre più avanzata. Inoltre, la progressiva richiesta di circuiti non più strutturati a parte, ma integrati all'interno di schede maggiormente complesse, quelli chiamati System on a Chip (SoC), ha via via stimolato la ricerca ad orientarsi verso la riduzione (in termini di area) dei dispositivi e l'efficienza energetica di questi, senza però dimenticare di svilupparne le risoluzioni e correggerne gli errori associati.

Per quanto riguarda la miniaturizzazione, comparando i convertitori negli anni si vede che a partire dalla fine degli anni '80 fino al 1995 le dimensioni della tecnologia CMOS utilizzata, inizialmente di migliaia di nanometri per la lunghezza di canale, si dimezzano ogni 5.4 anni per poi subire un'ulteriore scaling dimezzandosi ogni 3.7 anni. Di media, attualmente, si utilizzano dispositivi sui 40 nm ma l'andamento suggerisce una possibile implementazione a 5 nm entro il 2020. Questo fenomeno per motivi evidenti è stato accompagnato anche con la diminuzione della tensione d'alimentazione. Questa se fino al 1985 era bloccata a 5 V, è andata poi dimezzandosi ogni 5.1 anni ed ora si assesta intorno ai 200 mV, il che farebbe presagire la comparsa dispositivi a tensioni inferiori ai 40 mV negli anni venturi.

Anche la risoluzione (che verrà in seguito intesa come il numero effettivo di bit) e la frequenza di campionamento possono essere valutati parallelamente. Per un convertitore con almeno 4 bit si è assistito per i primi quindici anni ad un aumento con fattore 5, saturato poi ad un aumento con fattore uno, passando comunque dalle decine di migliaia di campioni al secondo all'ordine dei GS/s. Pure per l'incremento dell'ENOB vi è stato un fenomeno di saturazione che però non ha colpito quella classe di dispositivi con frequenze di campionamento superiori a un GS/s.

Vediamo ora un'ultima considerazione riguardo la figura di merito, distinguendo quella classica da quella termica. Quella di Walden in origine composta da

ordini di decine di nJ dimezza circa ogni due anni a causa di qualche rallentamento qua e là, arrivando alle attuali decine di fJ e facendo prevedere per il 2020 una FOM di frazioni di fJ. Come si può visualizzare nella sottostante figura.

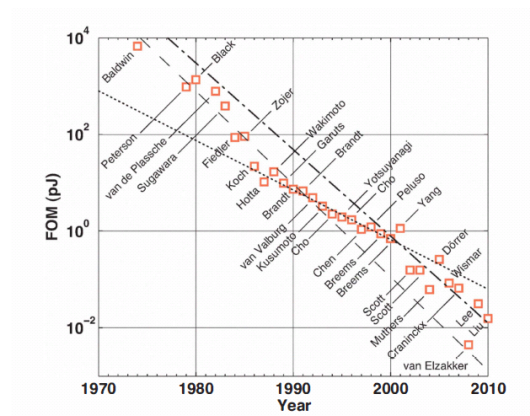


Figura 8: Andamento nel tempo della cifra di merito di Walden.

La cifra di merito termica, invece, si dimezza ogni 15 mesi per poi subire una saturazione dopo l'anno 2000, passando dalle decine di pJ ai centesimi di fJ, per non dire qualche aJ. La saturazione di questa figura nell'ultima decina d'anni suggerisce il cambio d'interesse della comunità scientifica, inizialmente focalizzata verso il miglioramento dell'SNDR (e quindi della risoluzione), mentre ora maggiormente orientata sul tema dell'efficienza energetica.

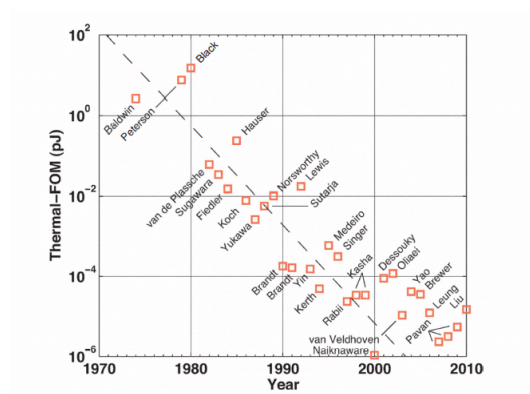


Figura 9: Evoluzione della seconda figura di merito (termica).

5.2 Degli ADC di tipo SAR

Proprio l'efficienza energetica ha dato una spinta continua al progresso degli analog-to-digital converter con registro ad approssimazioni successive, dato che da questo punto di vista sono tra i convertitori più performanti in assoluto. Ora si vedranno alcune caratteristiche dei circuiti più significativi e recenti, che possono dare un'idea di quale sia il livello raggiunto da questa tecnica. Per iniziare, il lavoro [7] illustra un ADC con una risoluzione riconfigurabile e una potenza che varia in modo dipendente a quest'ultima. Il dispositivo è stato implementato con un processo CMOS da 65 nm, può lavorare con un numero di bit che varia da 5 a 10, settando anche la tensione di alimentazione, che è compresa nell'intervallo [0.4-1] V. Inoltre, il funzionamento è relativamente semplice ed eseguito per passi: reset del DAC, campionamento, bit cycling e fase di "sleep" (questa modalità, molto utilizzata, permette un notevole risparmio energetico, evitando la dissipazione di potenza del segnale di clock). Il vero punto di forza di questo convertitore è la tecnologia con la quale è stato realizzato il DAC al suo interno. Nella maggior parte dei casi, infatti, è il convertitore digitale-analogico interno al circuito il principale responsabile del dispendio energetico, anche per il fatto di esser realizzato spesso con un amplificatore operazionale. Per tal motivo diventa una delle parti principali da migliorare. Nell'articolo di Yip e Chandrakasan è stato scelto di realizzare il DAC di tipo capacitivo (come nella maggior parte dei casi), poichè, rispetto alla modalità resistiva, consuma solamente potenza dinamica ed è più adatto per applicazioni a bassa potenza con tensione di alimentazione modificabile.

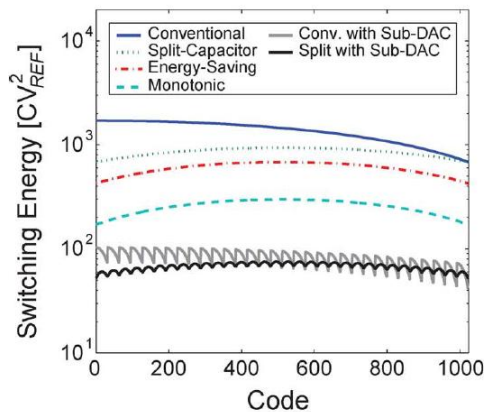


Figura 10: Paragone tra le diverse tecniche di realizzazione dell'array di condensatori all'interno del digital-to-analog converter.

La realizzazione è una composizione di almeno un paio di idee come l'utilizzo di un "split-capacitor array" e di un secondo DAC interno al primo, definito sub-DAC. Rispetto ad una realizzazione con un array di condensatori convenzionale (come in figura), questo permette un risparmio d'energia in commutazione (valutata come CV_{ref}^2) che aumenta esponenzialmente con la risoluzione, avendo una riduzione di energia, nel totale, di un fattore 2.6 per i 5 bit e di 20.3 per la risoluzione a 10 bit. Per rendere completa l'efficienza energetica, anche successivamente alla riconfigurazione della risoluzione è stato scelto di disaccoppiare settori di condensatori tramite degli interruttori comandati da un codice termometrico. Il convertitore arriva quindi a dissipare nel caso peggiore e con la massima risoluzione $2.77 \mu\text{W}$, riuscendo a lavorare con una frequenza di campionamento tra i 5 kS/s fino ad un massimo di 2 MS/s, in modo da ottenere un miglioramento della FOM per un ampio range di frequenze di campionamento e numero di bit, garantendo con configurazione a 10 bit, a 0.55 V una figura di merito di 22.4 fJ/c.s. e un SNDR di 55 dB.

Diversamente da quanto appena visto, in [6] invece, la tecnica con la quale si è scelto di realizzare il DAC del convertitore analogico-digitale è un array di condensatori scalati, multipli di una capacità, usata come unità, a "charge sharing" e non a "charge redistribution". Questo lavoro utilizza una tecnologia CMOS da 90 nm, una tensione di alimentazione di 1 V e una frequenza di campionamento di 1 MS/s. La prima parte interessante di questo dispositivo è la ridotta tensione che viene utilizzata per precaricare i condensatori del DAC, la quale è mediamente di 182 mV e permette un notevole risparmio d'energia in precarica, essendo l'energia necessaria per caricare un condensatore pari al quadrato della tensione (CV^2). La seconda idea importante di questa implementazione è la calibrazione automatica sulla tensione di precarica appena citata. Infatti, qual si voglia variazione delle caratteristiche fisiche, anche la più piccola, andrebbe ad influenzare negativamente l'intero processo. Allora i ricercatori hanno messo appunto un controllo a retroazione che viene realizzato nella parte di sample&hold per mantenere il range di 1 volt e adeguare la tensione di precarica al valore corretto. La prima delle due modifiche porta ad un risparmio energetico del 20% rispetto alla precarica fino alla tensione di alimentazione, mentre la seconda permette un ottimo controllo sull'imprevedibilità delle variazioni parametriche. Tramite tutto ciò, si ottiene un buon convertitore a 10 bit di risoluzione, a bassa potenza, che consegue una FOM di 2.87 fJ/c.s..

Un'altra realizzazione interessante è quella presente nell'articolo [8], che presenta un convertitore analogico-digitale a bassa tensione di alimentazione fornito di un comparatore a tre livelli in tecnologia CMOS a 40 nm. Il concetto chiave risiede nel fatto che il comparatore a tre livelli permette di migliorare la riso-

luzione dell'ADC senza necessariamente incrementare quella del convertitore digitale-analogico interno, comportando una capacità intrinseca del DAC minore a parità di risoluzione.

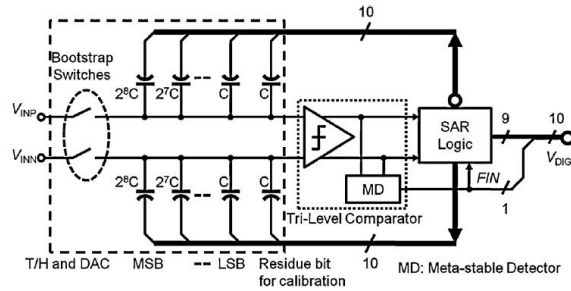


Figura 11: Architettura del SAR ADC con comparatore a tre livelli.

Una conseguenza immediata di questo è una minor potenza dissipata e un minor settling time. La differenza rispetto ad un comparatore “classico” è che questo non si limita a riconoscere le soglie di decisione “alto” o “basso”, ma identifica anche una terza soglia intermedia compresa tra $-1/4V_{DAC}$ e $1/4V_{DAC}$. Nel ciclo di funzionamento, se l’uscita del comparatore rivela un valore logico certo allora si procede con la classica ricerca binaria e l’usuale algoritmo di conversione, mentre se è presente un valore intermedio significa che la tensione d’ingresso è troppo vicina al valore di riferimento di quello step nell’approssimazione successiva. Conseguentemente si salta il resto del ciclo di conversione affiancando al codice un bit “1” proveniente da un segnale di controllo (meta-stable detector). L’ADC può poi concludere la conversione normalmente o nel modo introdotto dal comparatore a tre livelli. In altre parole, se la conversione non termina in un certo tempo, il convertitore entra in uno stato meta-stabile e il rivelatore relativo si attiva per completare il lavoro iniziato. Il comparatore a tre livelli diventa il fulcro del funzionamento: infatti, se il segnale d’ingresso non fosse sufficientemente grande in ampiezza, in un comparatore convenzionale si cadrebbe in uno stato d’incertezza che porterebbe facilmente a degli errori. In questo proposto invece, la meta-stabilità è utilizzata per rendere l’algoritmo efficace e l’ADC veloce e compatto. Per di più un sistema di calibrazione stocastico del livello di riferimento intermedio lo rende affidabile. Come si era già capito, il modo più diretto di abbattere il consumo di potenza è diminuire la capacità interna al DAC, per quanto possibile viste le restrizioni dovute al rumore termico. Vi sono diverse soluzioni attuabili; quella presa in considerazione in questo articolo utilizza una capacità unita costituita da una

capacità principale da 0.4 fF e una secondaria da 0.1 fF. Quelle secondarie sono interconnesse tra loro grazie ad un multiplexer comandato da operazioni digitali; tramite un procedimento di calibrazione si stabilisce il modo in cui collegare le sub-capacità. Queste idee contribuiscono ad un notevole risparmio energetico e alla possibilità di utilizzare una singola tensione di alimentazione pari a 0.5 V, rendendo la potenza dissipata dal dispositivo di 1.2 μW ad una frequenza di 1.1 MHz, con una cifra di merito totale di 6.3 fJ/c.s. e ottenendo un SNDR di 46.8 dB. In particolare poi il comparatore a tre livelli permette di ridurre gli errori di linearità (DNL e INL) di un fattore 10.

Negli ultimi anni si sono visti crescere notevolmente il mercato e le applicazioni ruotanti attorno alle reti radio a bassa potenza (Bluetooth o wireless in genere) per il loro utilizzo nel campo industriale, medico e scientifico. Per tal motivo, in [5] si tratta un convertitore asincrono creato proprio per questo tipo di operazioni. La struttura di questo ADC si compone di un sample&hold, un DAC e un nodo sommatore integrati insieme in una rete di condensatori e interruttori nonché la parte a cui verrà data una maggior attenzione, ossia la logica asincrona di controllo (molto utilizzata come si vedrà di seguito).

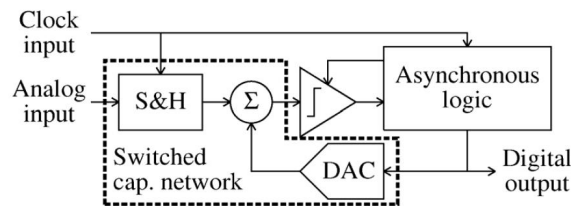


Figura 12: Visualizzazione schematica dell'ADC asincrono.

Lo “switched capacitor network” è costituito da condensatori da 0.5 fF, realizzati appositamente per cercare di limitare la potenza analogica dissipata, e occupa un'area totale di 160 μm x 45 μm . La logica asincrona, invece, è stata introdotta per ridurre la complessità della logica digitale e ridurre il consumo di potenza rispetto ad una implementazione standard. Inoltre, la modalità asincrona permette di utilizzare clock a frequenze più basse, permettendo un dispendio energetico minore. Un ulteriore vantaggio della logica asincrona è che questa permette ad ogni step di venire eseguito solo dopo la fine di quello precedente, riconoscendolo tramite un test, non rendendo necessario un clock che esegua la sincronizzazione dei passi di conversione. La realizzazione è stata fatta utilizzando la logica dinamica che, a differenza di quella complementare,

permette di utilizzare un minor numero di transistor per la stessa funzione. Un'altra tecnica utilizzata per ottimizzare il risparmio energetico è limitare il più possibile le correnti di perdita. Queste infatti diventano preponderanti a basse frequenze di campionamento e perciò si sceglie di minimizzarle nel periodo di standby. Queste diverse tecniche portano ad avere un ADC a bassissimo consumo di potenza, con una risoluzione di 8 bit, che dissipa $26.3 \mu\text{W}$ (a 1 V di alimentazione e 10.24 MS/s) ed in standby soli 6 nW , realizzando una FOM di 12 fJ/c.s. . Inoltre, grazie al design dinamico e alle ridotte perdite, l'efficienza viene mantenuta anche a frequenze di campionamento inferiori, dell'ordine dei kS/s .

Altro esempio di architettura asincrona è quella proposta da un team cinese dell'IEEE nell'articolo [10] che, tuttavia, si differenzia totalmente per il resto dell'implementazione. Questo lavoro presenta un convertitore SAR combinato con un CDC (capacitance-to-digital converter) in modo da esser utilizzato come unico dispositivo in una rete di sensori, così da poter trattare differenti quantità fisiche. L'ADC è realizzato con tecnologia CMOS a $0.18 \mu\text{m}$, a 11 bit e con frequenza di campionamento di 200 kS/s . Il consumo di potenza è limitato a $9.2 \mu\text{W}$ (per una tensione di 1.4 V) o a $6.7 \mu\text{W}$ (a 1.2 V), ottenendo in quest'ultima modalità un SNDR di 67.59 dB e una figura di merito di 18.8 fJ/c.s. . L'origine di queste prestazioni è da ricercare nell'implementazione del convertitore. I passi di lavoro sono i seguenti: l'ADC converte il campione d'ingresso nel valore digitale ad 11 bit, il CDC misura la capacità incognita a cui è connesso, avviene la calibrazione per l'offset del comparatore e infine si entra nella fase di "sleep". Come si era visto precedentemente, la logica asincrona permette un buon risparmio energetico, poichè se l'architettura fosse sincrona la frequenza di conversione dovrebbe, per un ADC a n bit, essere almeno $n+1$ volte maggiore della frequenza di campionamento. Dato che questo non deve necessariamente accadere in caso di circuito asincrono e dato che la potenza dinamica dissipata è proporzionale alla frequenza, si comprende l'energia risparmiata a parità di risoluzione e frequenza di campionamento. Un secondo motivo di efficienza energetica deriva dal comparatore dinamico rigenerativo utilizzato, che garantisce una potenza statica pari a zero. Rispetto ad un comparatore classico a due stage, che soffre di disturbi per accoppiamenti capacitivi all'ingresso e problemi d'offset, quello utilizzato risolve il primo problema con un'architettura differenziale e il secondo con due transistor posti in ingresso. Al drain dei quali si collega una capacità di carico che permette una riduzione dell'offset.

In [11] poi è realizzata una tecnica innovativa per diminuire lo spreco energetico di una configurazione convenzionale. L'articolo propone un ADC con architettura differenziale dove però, se durante i vari step di conversione la

differenza tra tensione d'ingresso positiva e quella negativa risulta già essere minore di un valore prestabilito, i seguenti passi non vengono effettuati. La tecnica in questione, durante la conversione, realizza un intervallo temporale definito “finestra di bypass” nella quale, se avviene ciò che è stato descritto precedentemente, gli step seguenti vengono bypassati realizzando un risparmio energetico. In tal modo non diventano necessari gli n confronti di un SAR ADC classico. L'architettura del convertitore è visualizzata in figura,

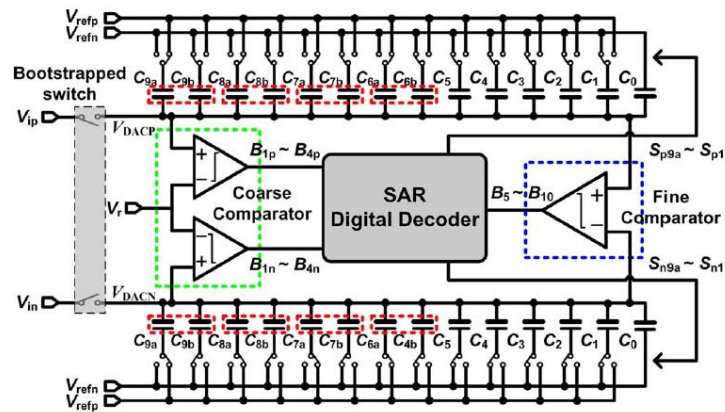


Figura 13: Struttura dell'ADC con finestra di bypass.

e si compone di tre comparatori, due array di condensatori e una logica di controllo. Come si può vedere, sono presenti due comparatori (coarse comparator) e una tensione di riferimento (V_r) supplementari in confronto a un convertitore base; deve essere inoltre presente un'ulteriore logica di controllo per realizzare l'algoritmo descritto. Fortunatamente quest'ultima è di facile implementazione e permette numerosi vantaggi: il “bypass window” permette il dimezzamento della potenza dissipata, riduce gli errori di linearità, tollera bene l'offset del comparatore e gli errori di assestamento del DAC. La realizzazione, fabbricata con processo a $0.18 \mu\text{m}$ CMOS, con 11 bit di risoluzione, porta ad avere (a una frequenza di campionamento 200 kS/s e un'alimentazione a 0.6 V) un consumo di poco più superiore a $1 \mu\text{W}$, nel caso peggiore, e una cifra di merito di 8.03 fJ/c.s. , la quale è comparabile con ADC implementati a 65 nm . Il circuito riesce a lavorare fino ad una frequenza di 1 MS/s archiviando, in questo caso, un SNDR di 57.97 dB . Le prestazioni elencate fanno del convertitore uno strumento adatto ad applicazioni biomediche, che richiedono risoluzioni medie e frequenze di campionamento moderate, dato che il limitato dispendio energetico consente alle piccole batterie di durare mediamente svariati anni.

Un secondo esempio importante che dimostra l'importanza degli ADC in ambito medico è il lavoro portato a termine da tre membri dell'IEEE [13] sulla realizzazione di un sensore neurale integrato. Il progetto vede la creazione di un sensore, situato all'interno della corteccia cerebrale e composto da 96 celle elementari ciascuna con all'interno un analog-to-digital converter, che monitora i segnali neuronali per poi comprenderli, elaborarli e attivare attuatori meccanici che aiutino il paziente affetto da disturbi a muoversi. Senza dubbio è necessario un ottimo connubio tra la bassa energia impiegata e il conseguente riscaldamento minimo dei tessuti circostanti, quindi si necessita di dispositivi altamente specializzati per questa mansione. Una prima caratteristica dei convertitori utilizzati è la risoluzione variabile, da 3 a 8 bit, in modo da essere modificata a seconda del contenuto dei singoli segnali elettrici provenienti dagli elettrodi impiantati. Il sensore usa ADC SAR con DAC a redistribuzione di carica e il motivo è ancora una volta l'efficienza energetica rispetto ad altri tipi di circuiti. Come si può vedere dalla figura 12, i convertitori che utilizzano questa tecnologia dissipano una potenza (normalizzata alla frequenza di campionamento) nettamente minore per analog-to-digital converter a risoluzioni medio-alte.

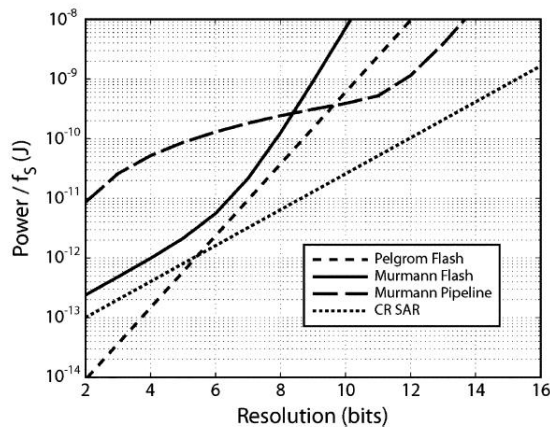


Figura 14: Motivo dell'utilizzo di ADC SAR a "charge redistribution".

Tuttavia, dal grafico qui ci si potrebbe chiedere perchè non si utilizzino sempre e solo architetture con questa tecnologia. I motivi principali sono i seguenti: in primo luogo, l'area dell'array dei condensatori utilizzati cresce esponenzialmente con il numero di bit in gioco, mentre in secondo luogo il tempo per la carica/scarica di troppi condensatori limiterebbe la velocità del convertitore.

Tornando sull'implementazione, nel DAC la risoluzione viene variata in modo semplice: sono presenti cinque segnali di selezione (collegati ad altrettanti interruttori) che indicano selettivamente i condensatori da utilizzare. Se il condensatore del MSB non deve essere utilizzato per ottenere un segnale digitale con un bit in meno, il relativo interruttore, comandato dalla logica di controllo, lo disabilita, riducendo capacità ed energia consumata. Risulta che per ogni bit sottratto la capacità totale si dimezza e la potenza della logica di controllo diminuisce linearmente. La restante struttura adopera un comparatore realizzato con un semplice latch resettabile e la logica SAR costruita a blocchi, così da poter spegnere un blocco se il bit a cui fa riferimento viene escluso per la nuova risoluzione adottata. Le caratteristiche misurate sono: un consumo di potenza di $0.23 \mu\text{W}$ per 3 bit e $0.9 \mu\text{W}$ per 8 bit ad una frequenza di campionamento di 100 kS/s , ottenendo una FOM di 48 fJ/c.s. (a 8 bit), senza includere la modifica della risoluzione. Gli errori INL e DNL sono in modulo minori di 0.5 LSB e, nel caso si includesse la riconfigurazione del numero di bit, la cifra di merito si abbassa a 21 fJ/c.s. , aumentando ulteriormente l'efficienza del circuito. Il consumo medio totale del sensore composto dei 96 ADC è di $38 \mu\text{W}$, il che lo rende ideale per l'obiettivo definito inizialmente.

Tornando momentaneamente nell'ambito applicativo delle reti di sensori, l'articolo [20] tratta un ADC di tipo SAR con un'ottima figura di merito e una interessante tecnica per risparmiare energia nel digital-to-analog converter a "charge redistribution". Come si era visto precedentemente, caricare i condensatori del DAC fino alla tensione di alimentazione, direttamente da quest'ultima comporta un dispendio energetico che si cerca di evitare; per tal motivo, in questo lavoro vengono utilizzati due condensatori aggiuntivi che servono a "riciclare" la carica presente nella batteria di condensatori standard.

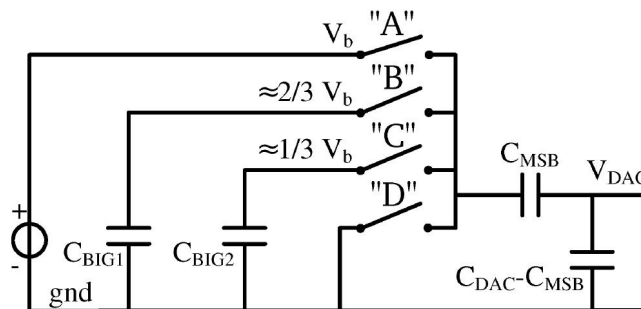


Figura 15: Metodo adottato per il "riciclo" della carica nell'array di condensatori del DAC.

Infatti, i due condensatori C_{BIG1} e C_{BIG2} , di taglia maggiore, hanno il compito di appoggiare gli altri condensatori che servono alla determinazione dell'ennupla di bit per dissipare meno potenza. Supponendo si debba scaricare il MSB dalla tensione V_b e che i condensatori d'appoggio siano già caricati come in figura, gli interruttori chiudono nell'ordine B, C, D. Così facendo, una parte della carica presente nel MSB viene immagazzinata, per poi esser riutilizzata in una seguente carica. Ovvero, volendo ricaricare il MSB, prima chiude l'interruttore C, poi B ed infine A, in modo da non prelevare tutta la carica (e la conseguente energia) dall'alimentazione ma riutilizzare quella stoccata precedentemente. Questo metodo è utilizzato per la determinazione dei primi tre bit più significativi. Gli interruttori A e B sono implementati con dei pMOS mentre C e D con nMOS. Un'altra differenza rispetto ai circuiti visti precedentemente risiede nella logica utilizzata per la temporizzazione del circuito. Solitamente, come visto, un SAR ADC necessita di un controllo di clock esterno, in modo che il clock interno lavori a multipli della frequenza di campionamento, ma questo non sempre è disponibile. Il controllore utilizzato in questo lavoro è integrato e basato su una linea di ritardi, implementato tramite convertitori e porte logiche. Questo fa sì che il meccanismo di temporizzazione e il ritardo del singolo elemento non sia preciso, ma ciò non influenza l'accuratezza del convertitore. Questo ADC, implementato con processo CMOS a 65nm, 10 bit di risoluzione e una frequenza di campionamento di 1 MS/s, realizza un SNDR di 54.4 dB e una FOM media di 4.42 fJ/c.s. con una deviazione standard di 0.24 fJ/c.s.. La tensione di alimentazione è di 1-1.3 V e l'area del chip risulta di $115 \times 225 \mu m^2$, buona parte occupata dai grossi condensatori d'appoggio. Un altro esempio utile nelle reti di sensori è il lavoro proposto in [21], dove si presenta un convertitore a 10 bit a bassa tensione di alimentazione e figura di merito, e bassissimo consumo di potenza. Il prototipo, lavorando ad una frequenza di 100 kS/s a 0.35 V, dissipa 170 nW ottenendo una cifra di merito di 3.2 fJ/c.s. con un SNDR di 56.3 dB. I motivi di queste prestazioni sono dovute alla riduzione delle perdite nella commutazione per il campionamento e a una logica di controllo differenziale. Infatti, il primo (Leakage Reduction Sample Switch) combinato con una pompa di carica minimizza le perdite mentre la logica differenziale diminuisce la potenza dissipata nella parte digitale. L'ultimo articolo preso in considerazione tratta un'idea innovativa che merita attenzione. Il lavoro [14], si occupa di un convertitore realizzato in tecnologia CMOS a 40 nm che dissipa solamente 650 pW, con una tensione d'alimentazione di 0.5 V a una frequenza di 0.1 kS/s. Il motivo di questo ridottissimo dispendio energetico è la riduzione delle correnti di perdita, lo standby automatico e la logica asincrona. La parte analogica e digitale dei dispositivi è stata realizzata con MOSFET a bassa tensione di soglia per aumentare la velocità

del sistema, mentre transistor MOS con un'alta tensione di soglia sono stati inseriti tra le masse per cercare di azzerare le correnti di perdita. A tal proposito, la figura 16, indica come la potenza dissipata dell'intero circuito venga ridimensionata e come questa si ridistribuisce nei vari blocchi fondamentali del convertitore.

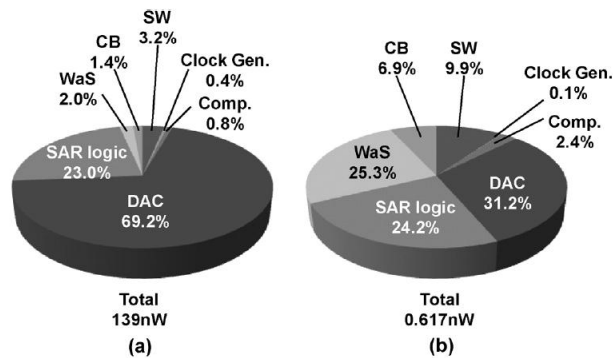


Figura 16: Vantaggi dell'utilizzo di MOSFET ad alta e bassa tensione di soglia (b) rispetto ad un apparecchio fornito di soli transistor a bassa V_{th} (a).

Un potenziamento del “power gating” (non rifornire ciò che non è in uso), sia per la parte digitale che per quella analogica, ed una logica puramente asincrona completano il quadro. Grazie a quest'ultima, inoltre, il convertitore può lavorare per un ampio intervallo di frequenze poichè il clock interno è indipendente dal tasso di campionamento. Tutto ciò permette di ridurre la potenza statica dissipata del 98% e di realizzare un dispositivo con una tensione d'alimentazione compresa nell'intervallo [0.4-0.7] V, con frequenze di campionamento tra 0.1 kS/s e 4 MS/s. Le migliori prestazioni sono comunque ottenute a 20 kS/s con 0.5 V in ingresso, per una cifra di merito di 5.2 fJ/c.s..

Dopo aver visto solo alcune della miriade di possibili realizzazioni di convertitori ADC di tipo SAR con una parte delle loro caratteristiche, ora si prova a fornire un sommario dello stato di quest'arte. Per quanto riguarda la lunghezza di canale della tecnologia CMOS con la quale vengono realizzati i dispositivi, si nota che la grandezza è dell'ordine delle decine di nm e in particolare ricorrono di frequente implementazioni a 180-130-90-65 nm, fino a 40 nm, prediligendo maggiormente i 90 nm.

Sulla tensione di alimentazione i risultati sono leggermente diversi rispetto alla restante maggioranza dei convertitori, in quanto si osservano per lo più tensio-

ni limitate all'intervallo [0.4 - 1.6] V. Un gran numero di convertitori utilizzano tensioni di 0.9-1 V, mentre valori inferiori sono limitati a casi particolari e sono adoperati più raramente.

La risoluzione quasi sempre adottata, come si nota dagli articoli presi in considerazione, è di 8-10 bit, dato che per un numero di bit minori si hanno pochi casi di realizzazione e per risoluzioni più elevate si tende a preferire convertitori a sovracampionamento che sono più adatti a tale ruolo.

Se poi si guardano le frequenze di campionamento usuali, si nota che l'ordine di grandezza più comune sono i MS/s. Pochi sono i convertitori che utilizzano frequenze di decine o centinaia di kS/s, mentre molti lavorano sulle decine o centinaia di MS/s. Inoltre, l'utilizzo di GS/s è limitato a pochissimi casi poichè, come per la risoluzione, altissime frequenze di campionamento sono riservate agli ADC quali i Delta-Sigma che hanno proprio come loro caratteristica quella di lavorare ad alti tassi di campionamento.

Si vedrà adesso quello per cui i convertitori A/D di tipo SAR sono famosi e sfruttati: la potenza dissipata. Avendo la maggior parte di questi circuiti una struttura semplice e un ridotto numero di amplificatori operazionali (responsabili di una grossa percentuale del dispendio energetico) rispetto ad altre realizzazioni, sono uno strumento perfetto per le applicazioni particolarmente delicate dal punto di vista energetico. Molte implementazioni integrate vengono fatte su sensori biomedici, come visto, che devono monitorare la salute del paziente in loco e che quindi non possono avere un rifornimento continuo d'energia elettrica se non per un periodo di tempo limitato come quello fornito dalle batterie elettrochimiche. La potenza dissipata per questa tipologia varia dalle centinaia di nW alle poche decine di μ W, che, come si nota, sono sufficientemente parsimoniosi energeticamente. Anche se alcuni convertitori di questo tipo possono arrivare a dissipare alcuni mW di potenza, essi sono meno utilizzati e lasciati ad applicazioni meno delicate.

In conclusione non ci si può esimere da uno sguardo allo stato dell' arte della figura di merito, che viene calcolata come chiarito nella parte dedicata. La cifra di merito attuale è delle poche decine di fJ/c.s. e in particolare si attesta intorno ai 40 fJ/c.s., anche se il continuo progresso tecnologico e la continua spinta per la ricerca di applicazioni a basso consumo di energia fanno presagire un calo non indifferente per i prossimi anni.

Appendice A

Circuiti sample&hold

Questa classe di circuiti (chiamati anche “track&hold”), come dice il nome, ha lo scopo (fondamentale per gli ADC) di campionare il segnale analogico posto loro in ingresso e mantenere costante il valore campionato al fine di rendere possibile la conversione in formato digitale. Le due caratteristiche principali di questi apparecchi sono:

- il tempo di acquisizione t_a .
- il tempo di assestamento t_s .

Il primo indica quanto a lungo il dispositivo deve restare nella fase di “sample” per far sì che venga campionato correttamente il valore del segnale analogico d’ingresso, mentre il secondo indica il tempo trascorso dalla fine della prima fase (o dall’inizio della fase di “hold”) fino a quando il valore memorizzato si è stabilizzato definitivamente all’interno di una fascia d’errore e sarebbe quindi pronto ad esser utilizzato.

Il tempo minimo di campionamento possibile sarebbe

$$T_{S\&H} = t_a + t_s,$$

e di conseguenza la massima frequenza di campionamento per l’ADC risulterebbe:

$$f_{S\&H} = \frac{1}{T_{S\&H}}$$

Nel dimensionamento del circuito si deve poi prestare attenzione ad altri numerosi fattori:

- l’isolamento del valore campionato dall’ingresso, infatti, quest’ultimo potrebbe influenzare significativamente il dato memorizzato.

- le correnti di perdita, che diminuiscono il valore campionato.
- lo “jitter” d’apertura, è un errore che si verifica nell’apertura dal dispositivo atto a campionare. Infatti, in particolare per segnali ad alte frequenze, il segnale in ingresso varia molto rapidamente e l’interruttore deve isolare velocemente l’input dal resto del circuito per evitare che il valore campionato non sia quello all’istante stabilito.
- l’errore di piedistallo, indica quando nel passaggio dalla fase di “sample” alla fase di “hold” il valore campionato non è esattamente uguale al segnale in ingresso, per un lieve ritardo dei dispositivi.

Per realizzare nel modo più semplice il dispositivo potrebbe essere sufficiente possedere due soli “oggetti”: un elemento di memorizzazione (come un condensatore) e un interruttore (nella disposizione di figura).

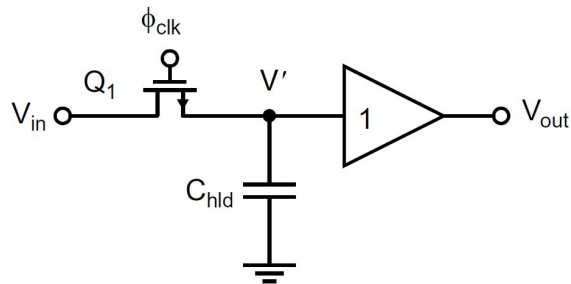


Figura A.1: Realizzazione basilare di un circuito sample&hold.

Tuttavia, a questo circuito si possono fare ampi miglioramenti, dato che durante il passaggio da campionamento a mantenimento, la tensione V' cala poiché le cariche negative presenti nel canale dell’nMOS si riversano sul condensatore C_{hld} . Questa variazione permane fino a quando non si entra nuovamente in una fase di “sample” e introduce un errore di linearità non desiderato. Per tentare di eliminare questo fenomeno si potrebbe inserire al posto del MOS a canale n un gate di trasmissione. Così facendo, se le dimensioni dell’nMOS e quelle del pMOS sono uguali, le cariche introdotte dai due si elidono essendo

di polarità opposta. Se questa soluzione sembra essere adeguata, nella pratica è difficilmente possibile, poichè, il momento di apertura dei due MOS non è detto sia esattamente lo stesso e nel caso la tensione d'ingresso fosse più vicina a quella d'alimentazione (alla massa) la carica nel pMOS (nMOS) sarebbe maggiore di quella immagazzinata dall'altro dispositivo, causando un aumento (diminuzione) del valore campionato.

Una modifica migliore viene effettuata utilizzando un amplificatore operazionale e la retroazione.

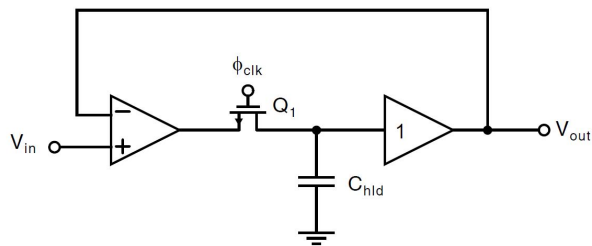


Figura A.2: Sample-and-hold con amplificatore operazionale e retroazione.

I vantaggi sono un aumento dell'impedenza d'ingresso del circuito, migliorando così l'isolamento dall'ingresso, e la retroazione permette una diminuzione notevole dell'errore d'offset del buffer posto dopo il condensatore. Sfortunatamente questi si pagano con una minor velocità del circuito. Infatti, si deve garantire la stabilità del sistema ad anello chiuso e, l'amplificatore operazionale quando torna al campionamento impiega del tempo per adeguare la sua tensione d'uscita al segnale variabile. Un'altra modifica valida è quella di figura A.3.

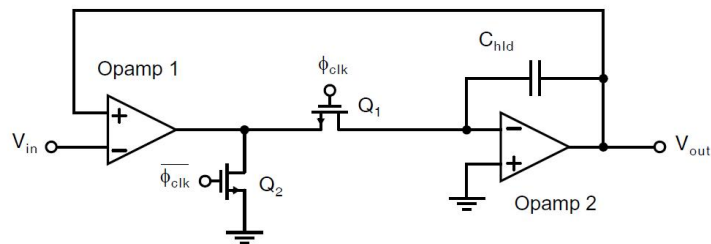


Figura A.3: Circuito modificato ulteriormente.

In questa diversa configurazione la carica iniettata nel condensatore per colpa

di Q_1 cambierebbe il valore memorizzato, ma verrebbe trattato come un errore d'offset e quindi ridotto dalla retroazione. Quindi la carica iniettata modifica il valore senza introdurre distorsione. In più l'interruttore Q_2 , che collega a massa l'uscita del primo amplificatore nella fase di "hold", diminuisce il tempo di ques'ultimo per il ritorno alla fase di "sample" e migliora l'isolamento. Tuttavia, l'aumento di velocità è limitato, come visto prima, per garantire la stabilità. Essendo il circuito più complesso, con due amplificatori operazionali e la resistenza intrinseca di Q_1 , non deve esserci instabilità nella fase di campionamento.

Un ultimo esempio di implementazione, realizzabile in tecnologia CMOS, utilizza un amplificatore operazionale in configurazione di passa-basso invertente.

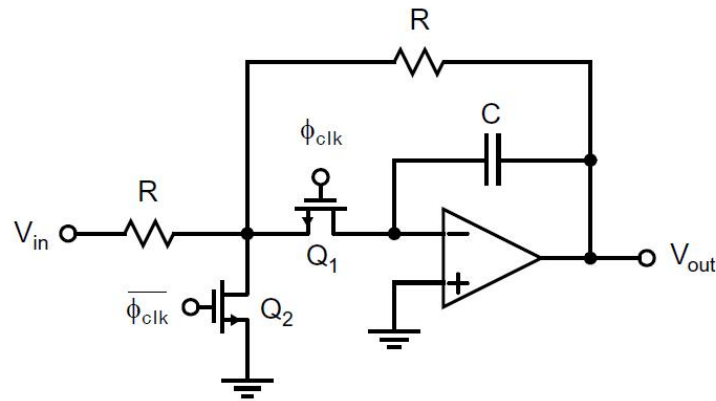


Figura A.4: S&H con operazionale in configurazione di passa-basso invertente.

In questo caso Q_1 agisce come interruttore di campionamento e quando non è chiuso Q_2 ha il compito di collegare a massa il nodo comune per limitare una retroazione del segnale e fare in modo che il nodo centrale sia il più vicino possibile al segnale d'ingresso in modo che si impieghi minor tempo per tornare nella fase di "track". Questo circuito può esser migliorato ulteriormente ponendo un condensatore in parallelo al resistore d'ingresso, in questo modo è stato dimostrato che il dispositivo aumenta la velocità del circuito.

Bibliografia

- [1] - David A. Johns, Ken Martin, “analog integrated circuit design”, John Wiley & sons, Inc.
- [2] - Richard C. Jaeger, Travis N. Blalock, “Microelettronica”, Mc Graw-Hill.
- [3] - Phillip E. Allen, Douglas R. Holberg, “CMOS Analog Circuit Design”, Oxford University Press.
- [4] - Nevio Benvenuto, Michele Zorzi, “Principles of Communications Networks and Systems”, John Wiley & sons, Ltd.
- [5] - Pieter J. A. Harpe, Cui Zhou, Yu Bi, Nick P. van derMeijs, Xiaoyan Wang, Kathleen Philips, Guido Dolmans, Harmke de Groot, “A 26 μ W 8 bit 10 MS/s Asynchronous SAR ADC for Low Energy Radios”, IEEE J. Solid-State Circuits, vol. 46, no. 7, July 2011.
- [6] - Taimur Rabuske, Jorge Fernandez, Fábio Rabuske, Cesar Rodrigues, Marcelino B. dos Santos, “A Self-Calibrated 10-bit MSps SAR ADC with Reduced-Voltage Charge-Sharing DAC”, IEEE 2013.
- [7] - Marcus Yip, Anantha P. Chandrakasan, “A Resolution-Reconfigurable 5-to-10-Bit 0.4-to-1 V Power Scalable SAR ADC for Sensor Applications”, IEEE J. Solid-State Circuits, vol. 48, no. 6, June 2013.
- [8] - Akira Shikata, Ryota Sekimoto, Tadahiro Kuroda, Hiroki Ishikuro, “A 0.5 V 1.1 MS/sec 6.3 fJ/Conversion-Step SAR-ADC With Tri-Level Comparator in 40 nm CMOS”, IEEE J. Solid-State Circuits, vol. 47, no. 4, April 2012.

- [9] - Guan-Ying Huang, Soon-Jyh Chang, Chun-Cheng Liu, and Ying-Zu Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure", *IEEE J. Solid-State Circuits*, vol. 45, no. 4, April 2010.
- [10] - Hui Jiang, Ziqiang Wang, Liyuan Liu, Chun Zhang, Zhihua Wang, "A Combined Low Power SAR Capacitance-to-Digital / Analog-to-Digital Converter for Multisensory System", *IEEE* 2012.
- [11] - Guan-Ying Huang, Soon-Jyh Chang, Chun-Cheng Liu and Ying-Zu Lin, "A 1- μ W 10-bit 200-kS/s SAR ADC With a Bypass Window for Biomedical Applications", *IEEE J. Solid-State Circuits*, vol. 47, no. 11, November 2012.
- [12] - J. Rabaey, A. Chandrakasan, B. Nolic, "Circuiti integrati digitali", Prentice Hall.
- [13] - Stephen O'Driscoll, Krishna V. Shenoy and Teresa H. Meng, Fellow, "Adaptive Resolution ADC Array for an Implantable Neural Sensor", *IEEE Transactions on biomedical circuits and systems*, vol. 5, no. 2, April 2011.
- [14] - Akira Shikata, Ryota Sekimoto, Tadahiro Kuroda, Hiroki Ishikuro, "A 0.5-V 5.2-fJ/Conversion-Step Full Asynchronous SAR ADC With Leakage Power Reduction Down to 650 pW by Boosted Self-Power Gating in 40-nm CMOS", *IEEE J. Solid-State Circuits*, vol. 48, no. 11, November 2012.
- [15] - Bengt E. Jonsson, "A Survey of A/D-Converter Performance Evolution", *IEEE* 2010.
- [16] - R.H. Walden, "Analog-to-Digital Converter Technology Comparison", *IEEE* 1994.
- [17] - Robert H. Walden, "Analog-to-Digital Converter Survey and Analysis", *IEEE Journal on selected areas in communications*, vol. 17, no. 4, April 1999.
- [18] - B. Murmann, "A/D Converter Trends: Power Dissipation, Scaling and Digitally Assisted Architectures", *IEEE* 2008 (CICC).

[19] - B. Murmann, "ADC performance survey 1997-2011", [Online]. Available: <http://www.stanford.edu/~murmam/adcsurvey.html>

[20] - Michiel van Elzaker, Ed van Tuijl, Paul Geraedts, Daniel Schinkel, Eric A. M. Klumperink and Bram Nauta, "A 10-bit Charge-Redistribution ADC Consuming 1.9 μW at 1 MS/s", IEEE J. Solid-State Circuits, vol. 45, no. 5, May 2010.

[21] - Hung-Yen Tai, Hung-Wei Chen and Hsin-Shu Chen, "A 3.2fJ/c.-s. 0.35V 10b 100KS/s SAR ADC in 90nm CMOS", IEEE 2012.

[22] - Akira Matsuzawa, "Essence and Technology Direction of ADC Design", IEEE 2012.