



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE

CORSO DI LAUREA IN INGEGNERIA ELETTRONICA

Studio e progettazione di un amplificatore multistadio per applicazioni audio

Relatore

Prof. Meneghini Matteo

Laureando

Bano Massimo

Matricola

2041797

ANNO ACCADEMICO 2023-2024

Data di laurea 18/07/2024

A famiglia ed amici

Abstract

La seguente tesi si pone come obiettivo quello di sviluppare un'amplificatore per applicazioni audio: si partirà con una panoramica generale sul ruolo degli amplificatori e i loro campi di applicazione e, inoltre, verranno esposte le caratteristiche elettriche che questo progetto si pone di raggiungere.

Successivamente si procederà a richiamare concetti teorici fondamentali di elettronica analogica quali: struttura e funzionamento dei transistor bipolari (BJT) e ad effetto di campo (MOSFET). In particolare si approfondirà le zone di funzionamento dei dispositivi in questione e alcuni parametri che ne permettono lo studio linearizzato di essi. Inoltre si elencheranno alcune configurazioni tipiche di amplificatori a singolo transistor, discutendone pregi e difetti

In seguito si dimensionerà l'amplificatore, il quale a sua volta è stato diviso in 3 amplificatori a singolo stadio raccontando per ognuno il processo di ragionamento svolto attraverso le equazioni viste nei capitoli precedenti.

Una volta finito il dimensionamento, verranno analizzate le simulazioni eseguite attraverso il software di analisi circuitale LTSpice, verificando la veridicità dei calcoli precedentemente svolti e proponendo aggiustamenti al circuito di partenza nel caso si ritenesse opportuno.

Infine si realizzerà fisicamente il circuito in laboratorio, andando anche qui a vedere i punti di lavoro dei singoli dispositivi e verificandone il funzionamento corretto prima di procedere alla realizzazione fisica su scheda PCB tramite il software CAD Autodesk Fusion 360.

Indice

1	Introduzione	1
2	Obiettivi di progetto	3
2.1	Tensione di alimentazione e potenza in uscita	3
2.2	Carico e classe di funzionamento	3
3	Il transistor come amplificatore	5
3.1	Il BJT	5
3.1.1	Il modello ai piccoli segnali	6
3.2	Il MOSFET	7
3.2.1	il modello ai piccoli segnali	8
3.3	Configurazioni di amplificatori a singolo transistor	9
3.3.1	Vantaggi e svantaggi delle varie configurazioni	9
4	Dimensionamento	13
4.1	Sezionamento guadagno	13
4.2	Stadio drain comune	14
4.3	Stadio emettitore comune con resistenza di degenerazione	15
4.4	Stadio source comune	17
4.5	Capacità di accoppiamento e bypass	19
4.6	Schema complessivo	19
5	Analisi al simulatore	21
5.1	Simulazione DC	21
5.2	Analisi AC singoli stadi	22
5.3	Simulazione AC amplificatore	26
5.4	Analisi THD	27

6	Test in laboratorio	29
6.1	Test su breadboard	29
6.2	Realizzazione PCB	31
6.2.1	Test PCB	32
7	Conclusioni	33
	Bibliografia	35

Elenco delle figure

2.1	Esempio di diffusore da 8Ω	4
2.2	Schema di principio di un amplificatore in classe A	4
3.1	Caratteristica di uscita del transistor BJT	6
3.2	Modello ai piccoli segnali del transistor BJT [1]	6
3.3	Modello ai piccoli segnali del MOSFET	8
3.4	Esempio di rete di polarizzazione	9
3.5	Esempio di un amplificatore ad emettitore comune	10
4.1	Schema a blocchi dell'amplificatore multistadio	14
4.2	Schema circuitale stadio drain comune	15
4.3	Schema circuitale stadio emettitore comune con resistenza di emettitore	16
4.4	Schema circuitale stadio source comune	18
4.5	Schema circuitale completo	20
5.1	Circuito per simulazione primo stadio	23
5.2	Segnale di ingresso e uscita allo stadio CS	23
5.3	Circuito simulazione secondo stadio	24
5.4	Segnale di ingresso (verde) e uscita (blu) dello stadio CER	24
5.5	Circuito simulazione stadio finale	25
5.6	Segnale di ingresso (verde) e di uscita (blu) dello stadio finale	25
5.7	Circuito completo simulato su <i>LTSpice</i>	26
5.8	Ingresso (verde) e uscita (blu) dell'amplificatore multistadio	26
5.9	FFT del segnale in figura 5.8	27
5.10	Risultato analisi THD	28
6.1	Prove su banco del stadio di ingresso	30
6.2	Andamento tensioni di ingresso e uscita con 2 stadi in cascata	30
6.3	Misure v_{in} e v_{out} dell'amplificatore	31
6.4	Realizzazione su PCB dell'amplificatore	32

Capitolo 1

Introduzione

L'amplificatore elettronico è un dispositivo che, dato un segnale all'ingresso, ne produce uno in uscita che rispecchia l'andamento di quello in ingresso ma con un potenza maggiore rispetto a quella di partenza. Questa potenza fornita in uscita viene prelevata da una sorgente esterna, l'*alimentazione*. Generalmente esistono vari tipi di amplificatori:

- Amplificatore di tensione
- Amplificatore di corrente
- Amplificatore di trans-impedenza
- Amplificatore di trans-ammettenza

In questa tesi si andrà a valutare il primo.

Un parametro importante di un amplificatore è il *guadagno*, definito come segue:

$$A_v = \frac{v_{out}}{v_{in}} \quad (1.1)$$

Generalmente viene indicato in **dB** ma, nel nostro caso, per semplicità di calcolo verrà considerato solamente il numero puro.

All'interno dell'amplificatore vi è un componente attivo, per esempio una valvola termo-ionica o un transistor, che grazie a caratteristiche particolari dovute alla sua costruzione fisica, riesce a rendere maggiore l'ampiezza del segnale in ingresso; i precedenti dispositivi vanno opportunamente messi nelle condizioni di lavorare a particolari tensioni e correnti: questo viene fatto circondando il dispositivo con una rete di componenti passivi, tipicamente resistenze e condensatori. Il circuito in questione viene detto *circuito di polarizzazione*.

Una caratteristica che distingue vari amplificatori di varie fasce di prezzo è il THD, *Total Harmonic Distortion*: è un parametro che quantifica quanto il segnale in uscita viene distorto

rispetto al segnale di ingresso, ovvero quanto viene modificato lo spettro dell'input rispetto l'output, andando a togliere o aggiungere armoniche a varie frequenze. In modo rudimentale per vedere ciò è confrontare le due forme d'onda e verificare che esse abbiano lo stesso esatto andamento, al netto del guadagno impresso dal circuito.

La prima applicazione che viene in mente pensando ad un amplificatore è in campo audio, per amplificare il segnale riprodotto da uno strumento che altrimenti, non riuscirebbe a fornire una potenza necessaria ad uno o più altoparlanti; sarà questa l'applicazione sviluppata in questo elaborato.

Un'altra applicazione dove gli amplificatori hanno un ruolo fondamentale è quello delle telecomunicazioni, dove è necessario amplificare il segnale in modo da renderlo abbastanza potente da poter essere trasmesso ad una precisa distanza attraverso un'antenna trasmittente. In modo duale a quanto appena detto, siccome il mezzo trasmissivo è, per natura, un mezzo che attenua la potenza del segnale, al ricevitore sarà di nuovo necessario uno stadio di amplificazione affinché il segnale abbia potenza necessaria per essere analizzato adeguatamente.

Capitolo 2

Obiettivi di progetto

Partiamo con l'elencare i dati di targa che avrà l'amplificatore multistadio in questione:

Caratteristica	Valore
Potenza in uscita	1[W]
Tensione di alimentazione	12[V]
Ampiezza tensione di ingresso	100[mV]
Classe di funzionamento	Classe A
Carico	8[Ω]

Tabella 2.1: Vincoli di progetto

Procediamo ora nello spiegare perchè sono state fatte queste scelte:

2.1 Tensione di alimentazione e potenza in uscita

La tensione di alimentazione a prima vista potrebbe sembrare molto bassa ma, il fine di questo amplificatore, è anche quello di essere facilmente utilizzabile sia in laboratorio che eventualmente a casa, dove tensione relativamente alte (superiori a 20V) non sono sempre facilmente accessibili.

Il lato negativo è che questa valore sarà il principale limite delle prestazioni del circuito: viene scelta una potenza di uscita modesta, in quanto, raggiungere valori maggiori richiederebbe schemi di maggiore complessità.

2.2 Carico e classe di funzionamento

Come carico è stato scelto un valore commerciale, che quindi risulta facilmente reperibile: i valori tipici di impedenza dei diffusori (esempio in figura 2.1) sono 4 Ω, 8 Ω e 16 Ω .



Figura 2.1: Esempio di diffusore da 8 Ω

Per quanto riguarda la classe di funzionamento, è stata scelta la *Classe A* per semplicità realizzativa, nonostante sia poco efficiente: un amplificatore in classe A infatti è caratterizzato da alte perdite di potenza lungo il circuito che quindi non viene trasmessa al carico.

La sua efficienza presenta un limite superiore:

$$\eta_A \leq 25\% \quad (2.1)$$

Che confrontato con altri amplificatori di potenza come il classe B, il quale raggiunge efficienze del 75%, risulta molto basso.

Lo schema di principio dell'amplificatore in classe A è il seguente:

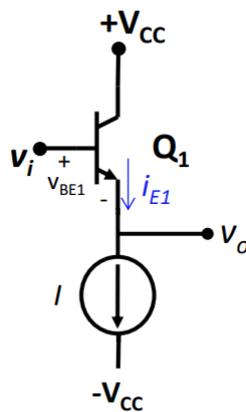


Figura 2.2: Schema di principio di un amplificatore in classe A

Capitolo 3

Il transistor come amplificatore

3.1 Il BJT

L'elemento principe di questo progetto è sicuramente il *transistor*, nella sua configurazione di amplificatore.

Un transistor, in particolare un transistor BJT (*Bipolar Junction Transistor*) può lavorare in 4 regioni diverse, come riportato in tabella 3.1, dove la distinzione viene fatta in base alle possibili polarizzazioni delle 2 giunzioni che compongono il transistor BJT

J_{BE}	J_{BC}	Zona di funzionamento	Applicazione
attiva	attiva	Saturazione	Interruttore ON
attiva	inversa	Attiva diretta	Amplificatore
inversa	attiva	Attiva inversa	Non usata
inversa	inversa	Interdizione	Interruttore OFF

Tabella 3.1: Zona di funzionamento del transistor [1]

La regione che ci interessa è la ZAD, *Zona attiva diretta*: per far lavorare il transistor in questa regione è necessario che vengano rispettati i seguenti vincoli:

- $I_B > 0$
- $V_{CE} > V_{CE_{sat}}$

Il motivo di queste disuguaglianze esula dall'argomento di questa tesi, si rimanda a libri di testo sull'argomento [1].

3.1.1 Il modello ai piccoli segnali

Il modello ai piccoli segnali è un modello che permette di linearizzare il funzionamento del transistor stesso: infatti, se andiamo a valutare la caratteristica di funzionamento (figura 3.1) notiamo che il BJT è un dispositivo non lineare.

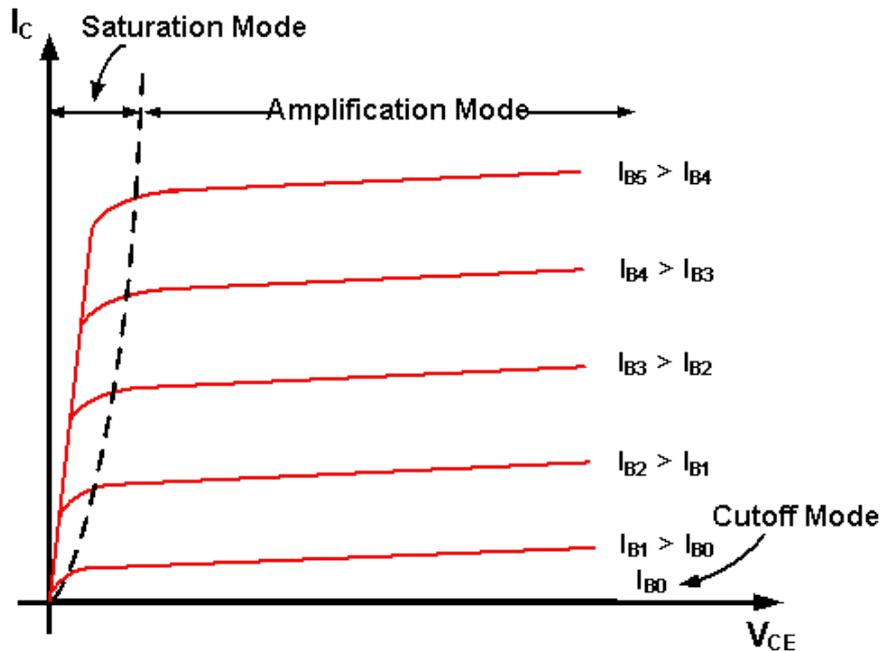


Figura 3.1: Caratteristica di uscita del transistor BJT

Il modello ai piccoli segnali ci viene in aiuto in ciò. *Sotto ipotesi di piccole variazioni dell'ingresso* il BJT può essere visto come un doppio bipolo così composto:

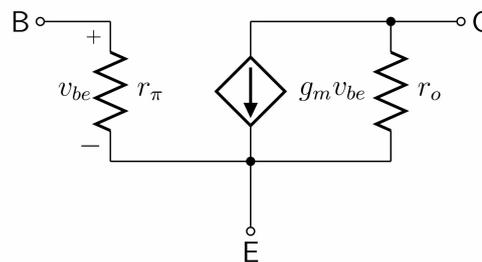


Figura 3.2: Modello ai piccoli segnali del transistor BJT [1]

I parametri che caratterizzano il modello ai piccoli segnali sono strettamente legati al *punto di riposo* del BJT ovvero ai valori di tensione e corrente quando in ingresso non ho variazioni.

I parametri in questione sono:

- transconduttanza g_m

- resistenza in ingresso r_π
- resistenza di uscita r_0

Per quanto riguarda la *transconduttanza* vale la seguente relazione:

$$g_m = \frac{|I_C|}{V_T} \quad (3.1)$$

dove V_T è il *potenziale termico* che vale circa 26 mV . Passando invece alla resistenza di ingresso, è così calcolata:

$$r_\pi = \frac{\beta_0}{g_m} \quad (3.2)$$

con β_0 definito come il *guadagno di corrente ai piccoli segnali*. Per semplicità durante i nostri calcoli faremo l'ipotesi che $\beta_0 = \beta_F$, ipotesi che è comunque veritiera in molte situazioni.

Per quanto riguarda l'ultimo paramentre r_0 , è anche detta *resistenza di Early* perché è dovuta all'*effetto Early*¹; nella maggior parte dei casi questa resistenza assume un valore molto elevato, dell'ordine delle centinaia di $k\Omega$, quindi non verrà considerata nel progetto. Per completezza, indichiamo come viene calcolata:

$$r_0 = \frac{V_A + V_{CE}}{|I_C|} \quad (3.3)$$

dove V_A è la tensione di Early, caratteristica del singolo transistor.

3.2 II MOSFET

Come vedremo più avanti, in questa tesi verranno utilizzati anche i transistor MOS (*Metal Oxide Semiconductor*) che presentano un funzionamento analogo a quello del transistor BJT anche se attraverso modalità di pilotaggio diverse: infatti, il transistor BJT era comandato in *corrente*, in particolare attraverso la corrente di base mentre il MOS viene comandato attraverso la tensione V_{GS} , ovvero la differenza di potenziale presente fra il terminale di *gate* e *source*.

Per il MOS la zona utile al funzionamento in zona di saturazione è la *zona di saturazione*, la quale è raggiunta se:

- $V_{DS} > V_{GS} - V_t$
- $V_{GS} > V_t$

Dove V_t è la tensione necessaria alla creazione del canale fra *drain* e *source*. Per approfondimenti sulla struttura del transistor MOS si rimanda a libri in merito [1].

¹E' un effetto che porta il transistor a non avere una caratteristica piatta come in figura 3.1 ma leggermente inclinate verso l'alto. Esso è dovuto alla costruzione fisica del transistor

In queste condizioni, la i_D , ovvero la corrente che entra nel terminale di *drain*, è così calcolata:

$$i_D = k_n(v_{GS} - V_t)^2 \quad (3.4)$$

con k_n definito come *fattore di corrente*. Un modo alternativo per calcolare i_D è il seguente

$$i_D = I_{DSS} \left(\frac{v_{GS}}{V_t} - 1 \right)^2 \quad (3.5)$$

dove $I_{DSS} = k_n V_t^2$ è la corrente di *drain* quando il terminale di *gate* è cortocircuitato; nei datasheet viene fornita come parametro costruttivo del componente mentre è più difficile trovare indicato k_n .

3.2.1 il modello ai piccoli segnali

Per quanto riguarda il modello ai piccoli segnali del transistor MOS, il suo schema elettrico risulta molto simile a quello già visto per il transistor BJT.

La differenza sostanziale è che, data la struttura fisica del MOS, il terminale di *gate* risulta completamente isolato dagli altri terminali quindi la resistenza di ingresso del modello sarà *infinita* e questo sarà un grande vantaggio nel progetto dell'amplificatore.

Vediamo in figura 3.3 il modello ai piccoli segnali del MOSFET.

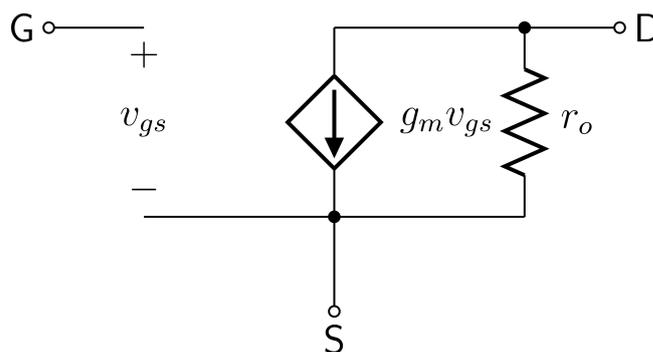


Figura 3.3: Modello ai piccoli segnali del MOSFET

Trascurando la resistenza di uscita, anche qui dovuta ad un analogo dell'Effetto Early, l'unico parametro che rimane da essere calcolato è la *transconduttanza*:

$$g_m = \frac{2I_D}{V_{GS} - V_t} \quad (3.6)$$

3.3 Configurazioni di amplificatori a singolo transistor

Come precedentemente illustrato, il transistor affinché funga da amplificatore necessita di essere messo nelle condizioni di *ZAD*: per fare ciò si va a progettare la rete di polarizzazione ovvero si dimensionano le resistenze affinché si abbia un corretto punto di riposo. Un esempio di circuito di polarizzazione è riportato in figura 3.4.

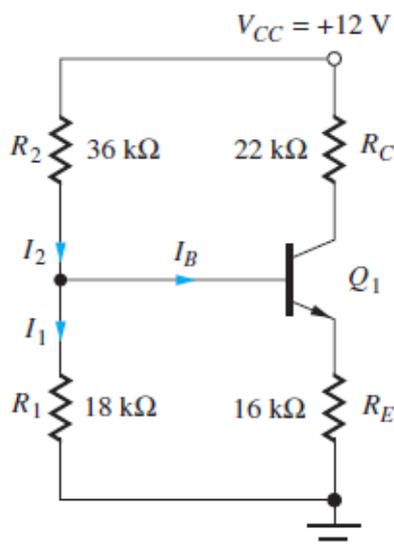


Figura 3.4: Esempio di rete di polarizzazione

3.3.1 Vantaggi e svantaggi delle varie configurazioni

Esistono varie topologie di amplificatori a singolo transistor, ognuna delle quali presenta vantaggi e svantaggi; la singola topologia prende il nome dal terminale del transistor che viene messo in comune fra ingresso ed uscita: per fare un esempio, lo stadio *emettitore comune* è caratterizzato dall'aver il segnale di ingresso collegato alla *base*, il segnale di uscita collegato al *collettore* mentre il terminale messo in comune è appunto l'*emettitore*. Lo schema è riportato in figura 3.5.

Le topologie possibili sono quindi:

- Emettitore comune
- Collettore comune
- Base comune

Esistono configurazioni analoghe anche per i transistor MOS, dove cambiano solamente i nomi dei terminali: avremo quindi *drain comune*, *source comune* e *gate comune*.

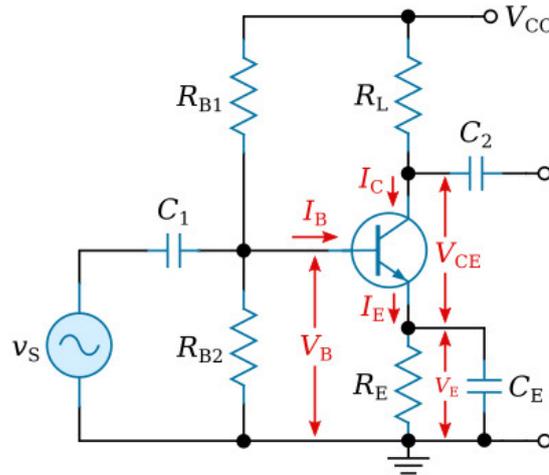


Figura 3.5: Esempio di un amplificatore ad emettitore comune

Riportiamo qui sotto le caratteristiche di ogni stadio: in tabella 3.2 ci si riferisce ai BJT² mentre in tabella 3.3 ai MOSFET³.

	CE	CC	CB
Guadagno di tensione	$-\frac{g_m R_C}{1+g_m R_E}$	1	$g_m R_C$
Resistenza di ingresso	$r_\pi(1+g_m R_E)$	$(\beta_0 + 1)r_\pi$	$\frac{1}{g_m}$
Resistenza di uscita	R_C	$\frac{1}{g_m}$	R_C

Tabella 3.2: Tabella riassuntiva caratteristiche stadi a BJT [2]

	CS	CD	CG
Guadagno di tensione	$-\frac{g_m R_D}{1+g_m R_S}$	1	$g_m R_D$
Resistenza di ingresso	∞	∞	$\frac{1}{g_m}$
Resistenza di uscita	R_D	$\frac{1}{g_m}$	R_D

Tabella 3.3: Tabella riassuntiva caratteristiche stadi a MOSFET [2]

Analizzando le tabelle possiamo notare che lo stadio che si presta più ad amplificare il segnale è il *common emitter* o il *common source* in quanto, oltre ad un guadagno di tensione relativamente alto presentano una buona resistenza in ingresso e una resistenza in uscita relativamente bassa. Per quanto riguarda la configurazione *common collector* o *common drain*,

²Come stadio CE è stato considerata $R_E \neq 0$. Inoltre il guadagno di tensione è considerato *a vuoto*

³Il guadagno di tensione in tabella 3.2 e tabella 3.3 è *a vuoto* mentre le configurazioni CE/CS sono considerate con *resistenza di degenerazione* nulla.

essa si presta più ad essere usata come *buffer*, avendo guadagno unitario, resistenza in ingresso elevata (infinita per la versione a MOSFET) e resistenza in uscita molto bassa. Questi due configurazioni saranno le topologie scelte per lo sviluppo di questo progetto, in particolare si è scelto il *common emitter*, il *common source* e il *common drain*.

Capitolo 4

Dimensionamento

Come visto nel capitolo precedente andremo ad utilizzare le tre seguenti topologie:

- Common source
- Common emitter
- Common drain

Andando a rivedere i vincoli di progetto (tabella 2.1), vediamo ora quanto guadagno di tensione dovrà avere il nostro amplificatore: partiamo dal calcolare la corrente sul carico necessaria a raggiungere $1W$ di potenza

$$P = R \cdot I^2 \rightarrow I = \sqrt{\frac{P}{R}} = \sqrt{\frac{1}{8}} \simeq 355mA \quad (4.1)$$

Tramite la legge di Ohm, ci ricaviamo la tensione sul carico

$$V = R \cdot I \rightarrow V = 8 \cdot 355 \cdot 10^{-3} \simeq 2.83V \quad (4.2)$$

Quindi il guadagno di tensione dovrà essere:

$$A_V = \frac{V_{OUT}}{V_{IN}} = \frac{2.83}{0.1} = 28.3 \quad (4.3)$$

Per semplicità di calcolo, considereremo $A = 30$.

4.1 Sezionamento guadagno

Dato che il nostro circuito sarà, per motivi pratici, semplice dal punto di vista circuitale, raggiungere un'amplificazione di un fattore 30 con un singolo stadio è molto difficile: motivo per

cui si è scelto di suddividere l'amplificatore in **3 stadi**, come riportato nello schema a blocchi in figura 4.1

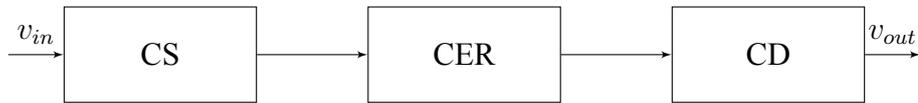


Figura 4.1: Schema a blocchi dell'amplificatore multistadio

Analizziamo gli stadi partendo dall'ingresso: il primo stadio, in configurazione *common source* ha come principale compito quello di prelevare il segnale in ingresso senza sovraccaricare ciò che lui stesso ha a monte: il motivo principale per cui è stato scelto nella sua versione a MOSFET è l'infinita resistenza di ingresso che deriva proprio dalla costruzione fisica del transistor stesso. Questo stadio viene sfruttato inoltre per fornire una prima amplificazione di un fattore 1.5 al segnale.

Come secondo stadio troviamo un *common emitter* con *resistenza di degenerazione*, il quale, come visto in tabella 3.2, risulta ottimo per amplificare: si dimensiona questo stadio affinché fornisca un guadagno di 20.

Come stadio di uscita viene scelto un *common drain*, detto anche *source follower* in quanto il terminale di *source* segue pari pari l'andamento della tensione in ingresso. Come precedentemente visto nella tabella 3.3, questa configurazione risulta ottimale come *buffer* ovvero presenta una infinita resistenza in ingresso (evitando di influire il guadagno degli stadi precedenti) e una bassa resistenza in uscita, risultando per il carico un *generatore ideale* di tensione. Il guadagno risulta unitario ma non è un problema in quanto si è raggiunto il valore di 30 già con i precedenti due stadi. Procediamo ora a dimensionare i singoli stadi, partendo dallo stadio di uscita e andando a ritroso fino all'ingresso.

4.2 Stadio drain comune

Lo schema è riportato in figura 4.2.

Come MOSFET è stato scelto un IRF530 [3], un MOSFET di potenza della *Vishay Siliconix* con una corrente di drain massima pari a $I_{D_{MAX}} = 14A$. Come scelta progettuale, imponiamo che la I_S venga ripartita in egual misura fra il R_L e R_{S_2} ; questo implica che:

$$I_S \geq 750 \text{ mA} \quad (4.4)$$

Scegliamo $I_S = 1 A$. Imponiamo inoltre che $V_{DS} \simeq \frac{V_{CC}}{2}$ in modo tale da stare lontani dalla zona ohmica ed essere sicuri di essere in saturazione; quindi questo implicherà che $V_S = 4 V$.

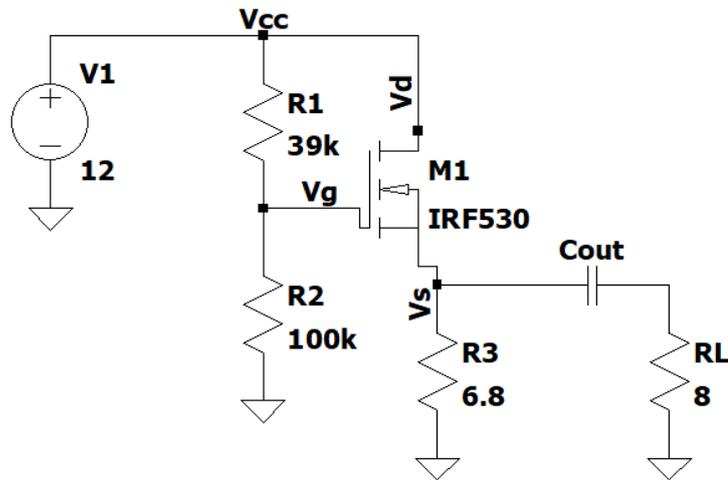


Figura 4.2: Schema circuitale stadio drain comune

Possiamo ora calcolarci la resistenza di *source*:

$$R_{S_2} = \frac{V_S}{I_S} \simeq 6 \Omega \quad (4.5)$$

quindi, controllando i valori commerciali, scegliamo $R_{S_2} \rightarrow 6.8 \Omega$. Sapendo che $I_D = I_S$ possiamo valutare la potenza dissipata dal transistor che risulta:

$$P_{diss} = V_{DS} \cdot I_D = (12 - 4) \cdot 1 = 8 W \quad (4.6)$$

ampiamente nel range di funzionamento del MOSFET scelto.

Valutando il datasheet [3], una possibile scelta di V_{GS} può essere $V_{GS} = 4.5 V$ il che porta a fissare $V_G = 8.5 V$. Fissato ciò possiamo calcolare i valori delle resistenze di polarizzazione:

$$V_G = \frac{V_{CC} R_6}{R_5 + R_6} \Rightarrow R_5 = \frac{V_{CC} R_6 - V_G R_6}{V_G} \quad (4.7)$$

Fissato $R_6 = 100 k\Omega$ otteniamo $R_5 = 39 k\Omega$. Entrambi sono valori commerciali.

4.3 Stadio emettitore comune con resistenza di degenerazione

Passiamo ora allo stadio centrale dell'amplificatore, ovvero quello che si occupa più di tutti di amplificare il segnale; come transistor BJT è stato scelto un 2N2222[4] della *ON Semiconductor*, essendo un transistor ottimo per applicazioni audio a bassa potenza.

Lo schema dello stadio è il seguente:

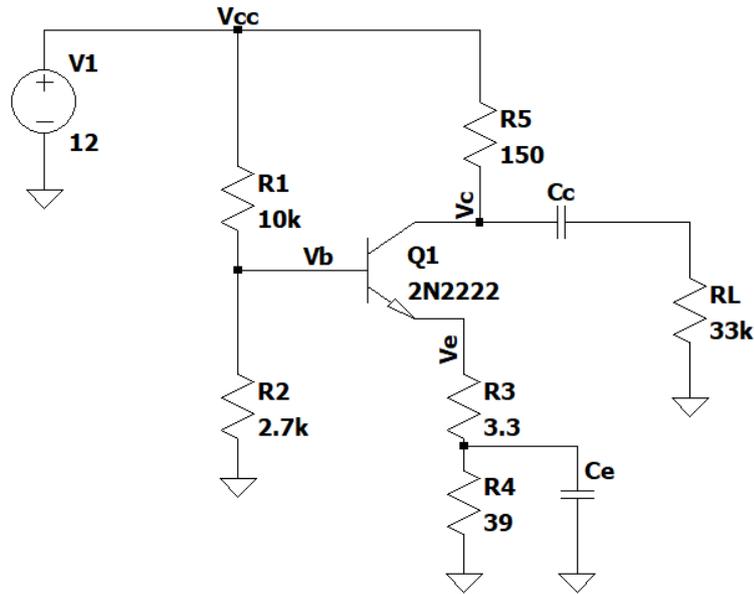


Figura 4.3: Schema circuitale stadio emettitore comune con resistenza di emettitore

Come si può notare è presente un carico, ovvero la rete di polarizzazione del CD

$$R_L = R_5 // R_6 \simeq 33k\Omega \quad (4.8)$$

Non dobbiamo preoccuparci della resistenza di ingresso del CD in quanto, sebbene vada in parallelo quando si considerano i *piccoli segnali* essa è per costruzione infinita. Inoltre sono presenti due resistenze di emettitore, di cui una messa in parallelo ad una capacità di bypass: questo perchè alle volte torna utile lasciare una piccola resistenza di emettitore per stabilizzare la polarizzazione all'aumentare della temperatura di esercizio.

Come fatto precedentemente, imponiamo $V_{CE} = \frac{V_{CC}}{2}$, questo implica che:

$$I_{C_{MAX}} = \frac{P_{D_{MAX}}}{V_{CE}} \simeq 100 mA \quad (4.9)$$

dove $P_{D_{MAX}}$ è la potenza massima dissipabile da parte del transistor[4], pari a $625 mW$ a 25° . Imponiamo $I_C = 50 mA$ mentre $V_C = 8 V$, $V_E = 2 V$.

Possiamo calcolare ora la resistenza di collettore:

$$R_C = \frac{V_{CC} - V_C}{I_C} = 80 \Omega \Rightarrow 82\Omega \text{ valore comm.} \quad (4.10)$$

Dall'espressione del guadagno (vedi tabella 3.2) e ricordando che questo stadio dovrà avere un guadagno $A_V = -20$ (guadagno negativo perchè è uno stadio invertente) troviamo la R_{E1}

$$A_V = \frac{-g_m \cdot R_C // R_L}{1 + g_m R_{E_1}} \quad (4.11)$$

ma $R_L \gg R_C \Rightarrow R_C // R_L \simeq R_C$, quindi:

$$A_v \simeq \frac{-g_m \cdot R_C}{1 + g_m R_{E_1}} \Rightarrow R_{E_1} = \frac{-g_m R_C - A_V}{A_V g_m} \simeq 3.5 \Omega \quad (4.12)$$

il cui valore commerciale più vicino è $R_{E_1} = 3.3 \Omega$. Sapendo che $|I_E| \simeq |I_C|$ possiamo trovare la seconda resistenza di emettitore come segue:

$$I_E = \frac{V_E}{R_{E_1} + R_{E_2}} \Rightarrow R_{E_2} = \frac{V_E - R_{E_1} I_E}{I_E} = 39 \Omega \text{ valore comm.} \quad (4.13)$$

Dal datasheet [4] possiamo dedurre che avremo le seguenti caratteristiche:

- $\beta_F \simeq 250$
- $V_{BEON} \simeq 0.6 V$

di conseguenza la $I_B = \frac{I_C}{\beta_F} \simeq 0.2 mA$

Successivamente imponiamo che $I_{R_3} \simeq I_{R_4} \gg I_B$, ad esempio $I_{R_3} = I_{R_4} = \frac{I_C}{50} \simeq 1 mA$. Fatto ciò, concludiamo il dimensionamento dello stadio trovando le resistenze di polarizzazione della base:

$$R_3 = \frac{V_{CC} - V_{BE} + (R_{E_1} + R_{E_2}) I_E}{I_{R_3}} \simeq 9.4 k\Omega \Rightarrow 10 k\Omega \text{ valore comm.} \quad (4.14a)$$

$$R_4 = \frac{V_{BE} - (R_{E_1} + R_{E_2}) I_E}{I_{R_4}} \simeq 2.6 k\Omega \Rightarrow 2.7 k\Omega \text{ valore comm.} \quad (4.14b)$$

4.4 Stadio source comune

Ultimo stadio che ci rimane da dimensionare è appunto lo stadio di ingresso, in configurazione *source comune*, realizzato con un 2N7000 [5], un MOSFET adatto a lavorare a tensioni basse e ad alte frequenze. Lo schema in cui è implementato è riportato in figura 4.4

Anche in questo caso è presente un carico, ovvero la rete di polarizzazione del CER in parallelo (valutando i *piccoli segnali*) alla sua resistenza d'ingresso:

$$R_L = (R_3 // R_4) // R_{inCER} \quad (4.15)$$

con R_{inCER} calcolata come in tabella 3.1, ovvero:

$$R_{inCER} = r_\pi (1 + g_m R_{E_1}) \simeq 2.5 k\Omega \Rightarrow R_L \simeq 1111 \Omega \quad (4.16)$$

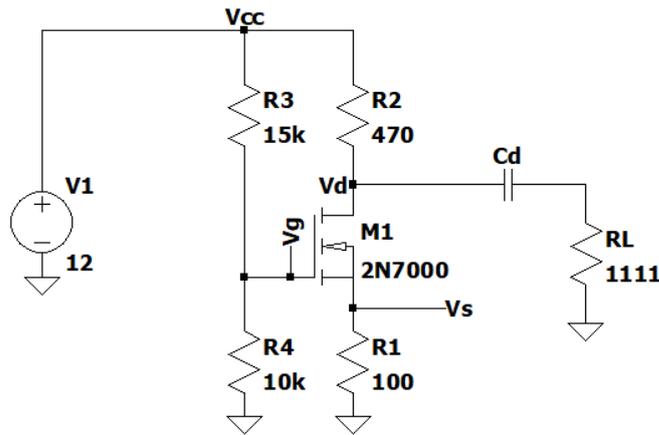


Figura 4.4: Schema circuitale stadio source comune

Anche qui, per essere sicuri di far lavorare il MOSFET in saturazione, posizioniamo V_{DS} in modo tale che sia *a metà* della tensione di alimentazione, ovvero $V_{DS} = \frac{V_{CC}}{2} = 6V$. Questo ci permette di valutare quanta corrente far scorrere nel transistor, infatti dal datasheet[5] vediamo che:

$$P_{D_{max}} = 830 \text{ mW} \Rightarrow I_{D_{max}} = \frac{P_{D_{max}}}{V_{DS}} \simeq 139 \text{ mA} \quad (4.17)$$

Per sicurezza imporranno $I_D = 10 \text{ mA}$, infatti valori maggiori richiederebbero una V_{GS} ancora più alta.

Sapendo che vale $I_D = I_S$ e imponendo $V_D = 7V$ e $V_S = 1V$ troviamo R_S e R_D come segue:

$$R_S = \frac{V_S}{I_S} = 100 \Omega \text{ valore comm.} \quad (4.18a)$$

$$R_D = \frac{V_{CC} - V_D}{I_D} = 500 \Omega \Rightarrow 470 \Omega \text{ valore comm.} \quad (4.18b)$$

Procediamo ora a trovare la V_{GS} necessaria; prima però ci serve il valore della *transconduttanza* per avere una amplificazione desiderata di $A_V = -1.5$:

$$A_V = \frac{-g_m R_L // R_D}{1 + g_m R_S} \Rightarrow g_m = \frac{-A_V}{R_S A_V + R_L // R_D} \simeq 10.4 \cdot 10^{-3} \text{ S} \quad (4.19)$$

Quindi, sapendo la relazione fra V_{GS} e g_m (vedi equazione 3.6) troviamo:

$$V_{GS} = \frac{2I_D + V_t g_m}{g_m} = 4.1 \text{ V} \Rightarrow V_G = 5.1 \text{ V} \quad (4.20)$$

Dove $V_t \simeq 2.1 V$ [5]. Concludiamo lo stadio calcolando R_1 e R_2

$$R_1 = \frac{V_{CC}R_2 - R_2V_G}{V_G} \quad (4.21)$$

fisso $R_2 = 10 k\Omega$ e ottengo $R_1 \simeq 13.5 k\Omega \Rightarrow 15 k\Omega$ valore comm.

4.5 Capacità di accoppiamento e bypass

Per concludere il dimensionamento dell'amplificatore multistadio è ora necessario procedere al dimensionamento delle capacità di *bypass* e di *accoppiamento*: le prime sono necessarie se vogliamo evitare che una resistenza, fondamentale per la polarizzazione, influisca il comportamento ai piccoli segnali mentre le seconde servono ad evitare che la polarizzazione di uno stadio venga influenzata da ciò che lui ha a monte.

In linea di principio è noto che la banda audio udibile all'orecchio umano va dai $20 Hz$ ai $20 kHz$, in questo caso scegliamo come frequenza di taglio per i nostri filtri RC: $f_t = 500 Hz \Rightarrow \omega_t = 1000\pi rad/s$. Per quanto riguarda l'ingresso, il filtro passa - alto sarà composto da C_{in} e $R_1//R_2$ Quindi:

$$\omega_t \leq \frac{1}{C_{in} \cdot \frac{R_1R_2}{R_1+R_2}} \Rightarrow C_{in} \geq \frac{1}{\omega_t \cdot \frac{R_1R_2}{R_1+R_2}} \simeq 55 nF \Rightarrow C_{in} = 100 nF \text{ valore comm.} \quad (4.22)$$

In modo analogo calcoliamo C_d , C_c , C_{out} e C_e :

$$C_d \geq \frac{1}{\omega_t(R_3//R_4)//R_{inCER}} = 286 nF \Rightarrow 470 nF \text{ valore comm.} \quad (4.23a)$$

$$C_c \geq \frac{1}{\omega_t(R_5//R_6)} = 9.6 nF \Rightarrow 10 nF \text{ valore comm.} \quad (4.23b)$$

$$C_{out} \geq \frac{1}{\omega_t R_L} = 39.8 \mu F \Rightarrow 47 \mu F \text{ valore comm.} \quad (4.23c)$$

$$C_e \geq \frac{1}{\omega_t R_{E2}} = 8.6 \mu F \Rightarrow 10 \mu F \text{ valore comm.} \quad (4.23d)$$

4.6 Schema complessivo

Lo schema complessivo di tutti e tre i stadi appena dimensionamenti è riportato in figura 4.5

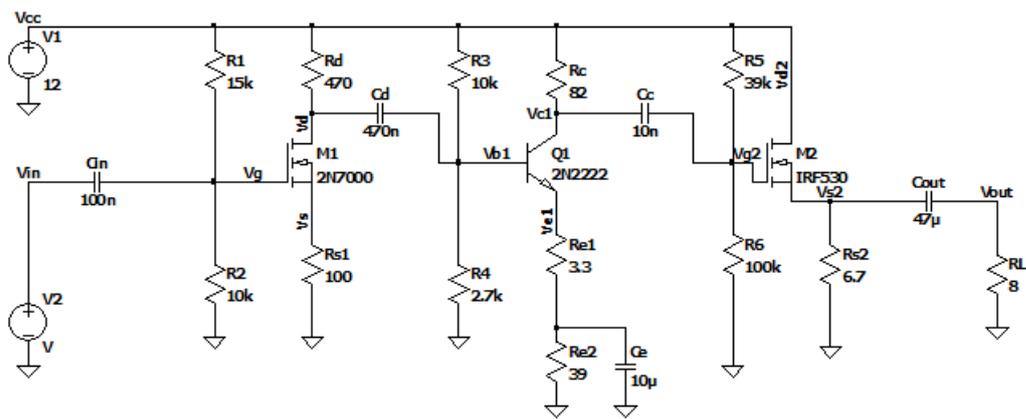


Figura 4.5: Schema circuitale completo

Capitolo 5

Analisi al simulatore

Dopo aver provveduto a dimensionare l'amplificatore multistadio è buona pratica, prima di realizzarlo fisicamente, simularlo su un qualche software apposito, nel nostro caso si tratta di *LTSpice*. LTSpice è un software di simulazione di elettronica analogica completamente gratuito, distribuito dalla *Analog Electronics*: ogni componente viene descritto attraverso dei modelli matematici in cui vengono riportati alcuni parametri; nei transistor BJT, per esempio, compaiono β_F , varie capacità intrinseche e molto altro.

In questo capitolo verrà fatta sia un'analisi in *continua* che un'analisi in regime *alternato*: la prima serve a verificare che il *punto di lavoro* di ogni singolo stadio sia quello effettivamente voluto. Dalla seconda analisi invece, avremo un riscontro sull'amplificazione dei singoli stadi e sulla purezza delle forme d'onda in uscita.

5.1 Simulazione DC

Stadio source comune

Partiamo dallo stadio di ingresso a source comune. Come valori di punto di lavoro abbiamo:

- $V_{DS} = 6 V$
- $I_D = 10 mA$

L'analisi ha dato i seguenti risultati:

- $V_{DS} \simeq 4.1 V$
- $I_D \simeq 14 mA$

La I_D è in un range ottimale mentre la V_{DS} ha bisogno di un aggiustamento: viene proposto quindi di ridurre la caduta sulla resistenza R_D andando ad abbassare il suo valore da $470\ \Omega$ a $330\ \Omega$.

Così facendo la tensione V_{DS} si è portata a circa $6\ V$.

Stadio emettitore comune

Dal dimensionamento sappiamo che:

- $V_{CE} = 6\ V$
- $I_C = 50\ mA$

L'analisi della polarizzazione ha dato i seguenti risultati:

- $V_{CE} \simeq 7.8\ V$
- $I_C \simeq 34\ mA$

Al fine di abbassare la V_{CE} viene cambiato il valore di R_C , passando a $150\ \Omega$. In questo modo $V_{CE} \simeq 6.5\ V$ mentre la I_C è rimasta pressoché inalterata.

Stadio drain comune

Il dimensionamento ha portato ai seguenti risultati:

- $V_{DS} = 6\ V$
- $I_D = 1\ A$

Simulando invece, otteniamo:

- $V_{DS} \simeq 7.8\ V$
- $I_D \simeq 0.6\ A$

Per il momento, non vengono variati i componenti: si vedrà in fase di test della PCB se servirà o meno variare i valori.

5.2 Analisi AC singoli stadi

Provvediamo ora a verificare il funzionamento dei vari stadi andando a stimolarli con un segnale sinusoidale di ampiezza $100\ mV$ e frequenza arbitraria, purché sia in *banda audio*.

Stadio source comune

Forniamo in ingresso il segnale precedentemente descritto e valutiamo la forma d'onda in uscita.

Il circuito implementato è il seguente:

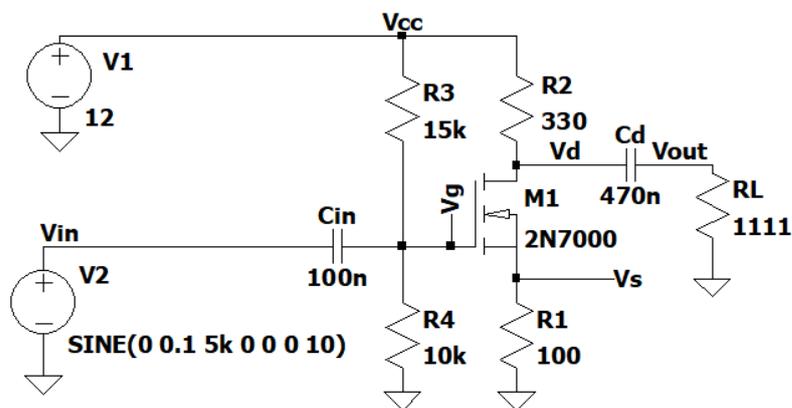


Figura 5.1: Circuito per simulazione primo stadio

Tramite la simulazione *.tran* di *LTSpice* andiamo a valutare il rapporto fra segnale in ingresso e uscita per trovare il guadagno dello stadio in analisi. In figura 5.2 possiamo vedere entrambi i segnali: in verde la v_{in} mentre in blu la v_{out}

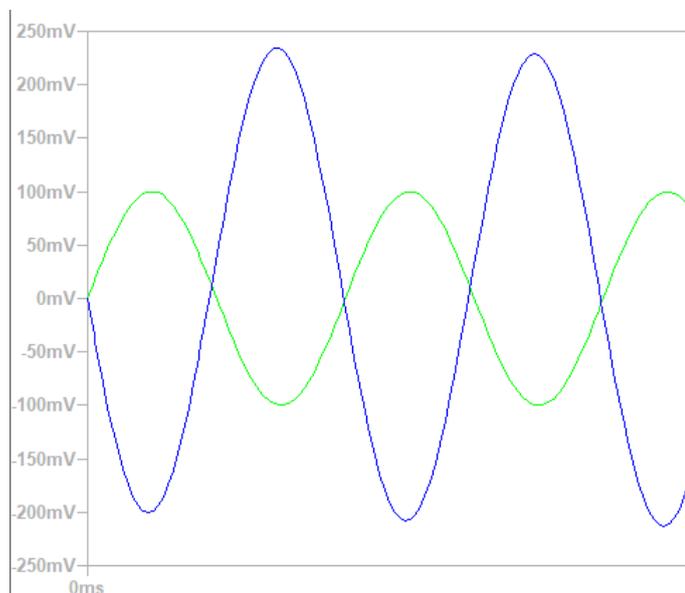


Figura 5.2: Segnale di ingresso e uscita allo stadio CS

Si può notare che $v_{out} \simeq 230 \text{ mV}$ quindi il guadagno risulta $|G| \simeq 2.3$, leggermente superiore rispetto il guadagno teorico di 1,5.

Stadio emettitore comune

Per il secondo stadio, il circuito simulato è riportato in figura

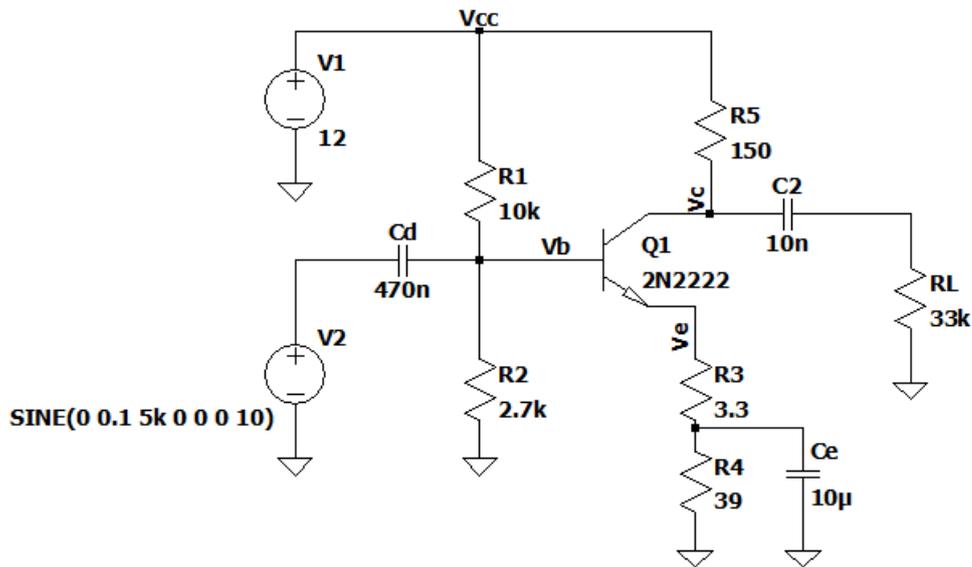


Figura 5.3: Circuito simulazione secondo stadio

Anche qui il guadagno è maggiore di quello per cui è stato dimensionato lo stadio: infatti ci si aspettava un guadagno pari a $|G| = 20$ mentre, dato che $v_{out} \simeq 2.4 V$ (vedi figura 5.4), risulta $|G| \simeq 24$. Questo potrebbe essere dovuto alle approssimazioni fatte sul calcolo della resistenza di carico R_L .

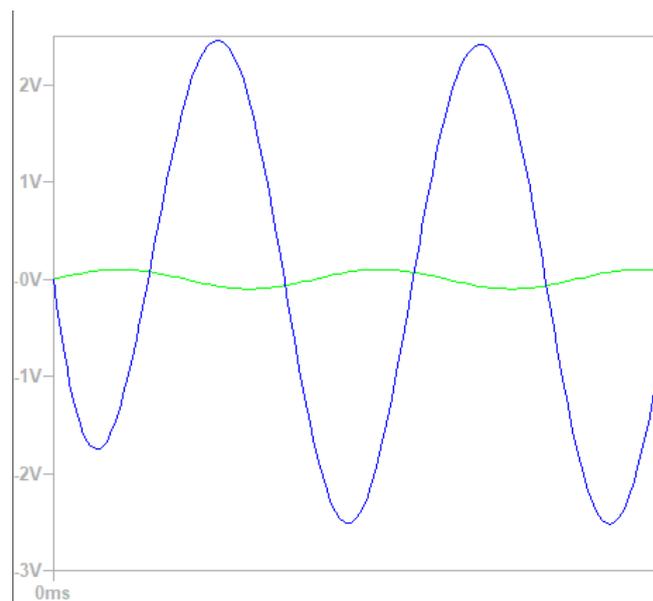


Figura 5.4: Segnale di ingresso (verde) e uscita (blu) dello stadio CER

Stadio drain comune

Vediamo infine come si comporta in termini di guadagno lo stadio finale: ricordiamo che è stadio dimensionato affinché $|G| = 1$. Il circuito simulato è il seguente:

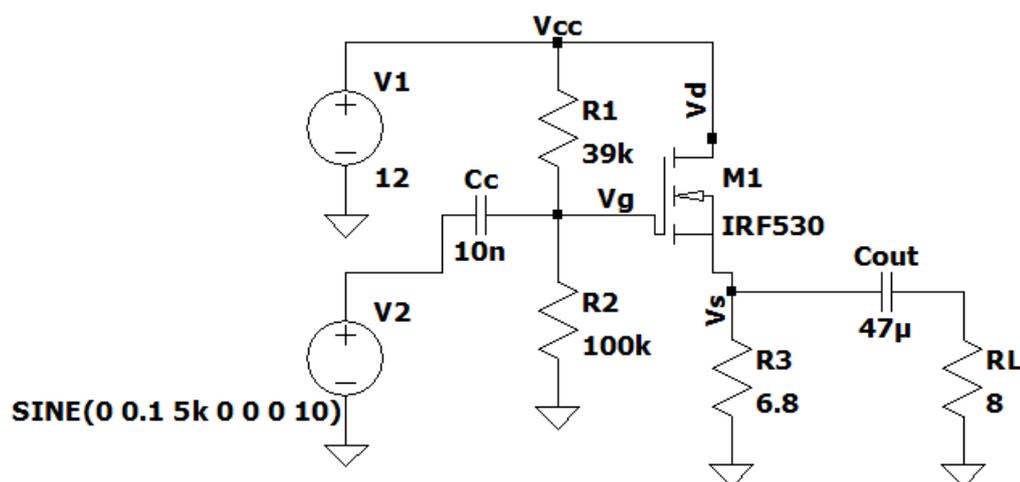


Figura 5.5: Circuito simulazione stadio finale

Come si può notare dalla figura 5.6, il guadagno del segnale è leggermente minore di 1, circa 0.8. Visti i guadagni leggermente superiori degli stadi precedenti possiamo considerare accettabile questo risultato.

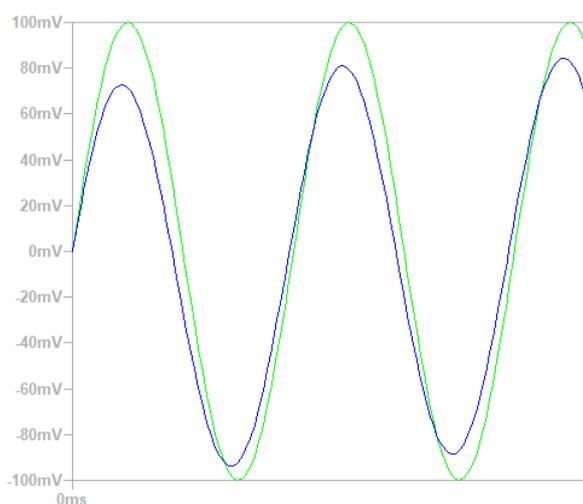


Figura 5.6: Segnale di ingresso (verde) e di uscita (blu) dello stadio finale

5.3 Simulazione AC amplificatore

Per concludere le analisi al simulatore, andiamo a concatenare i 3 stadi nella configurazione scelta e vediamo come questi si comportano.

Il circuito implementato è quello in figura 5.7, il quale risulta modificato rispetto alla figura 4.5 a seguito delle modifiche fatte in fase di simulazione DC; è stato inoltre variato il condensatore C_c passando a $1\ \mu F$ in quanto questo limitava l'ampiezza massima in uscita.

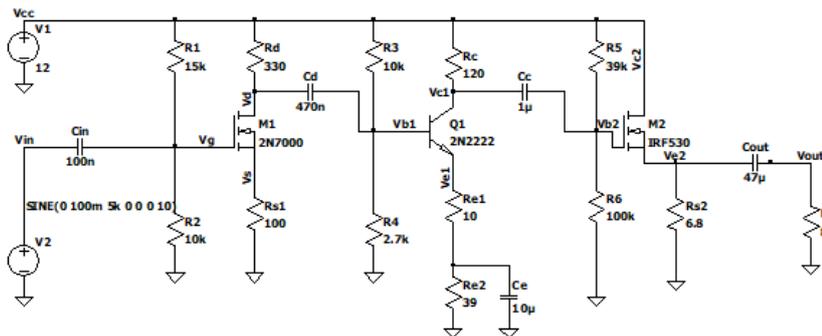


Figura 5.7: Circuito completo simulato su *LTSpice*

La forma d'onda d'uscita è invece riportata qui sotto:

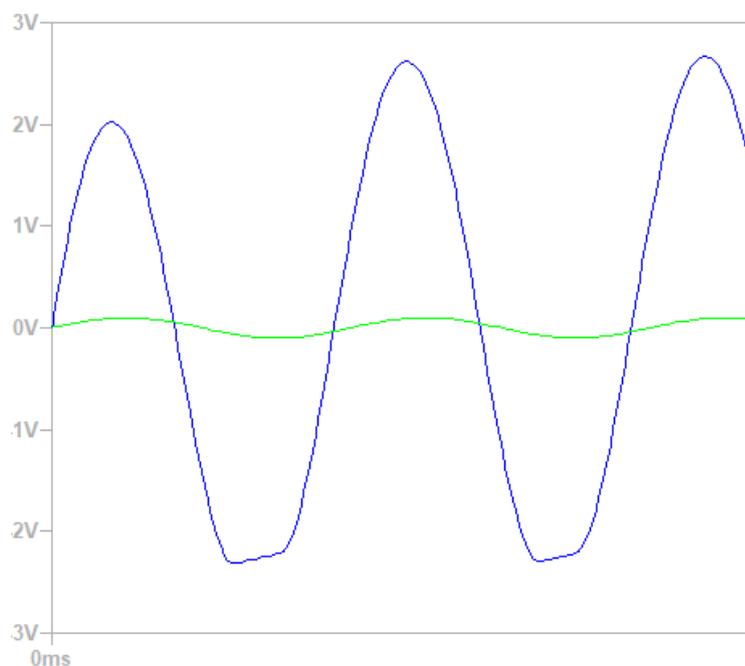


Figura 5.8: Ingresso (verde) e uscita (blu) dell'amplificatore multistadio

Come si può notare, l'ampiezza della tensione in uscita è circa $2,6\ V$ quindi $|G| \simeq 26$ ed inoltre la forma d'onda presenta un leggero fenomeno di *clipping* nella semionda negativa. A

seguito di varie prove è stato notato che, affinché sparisca questo fenomeno, sarebbe necessario diminuire il guadagno dell'amplificatore.

Per il momento si è scelto di mantenere questo circuito senza modifiche, in fase di test su breadboard si provvederà a valutare eventuali cambiamenti.

5.4 Analisi THD

Come precedentemente detto, un parametro fondamentale per un amplificatore è il *Total Harmonic Distortion*: il parametro è così calcolato:

$$THD = \frac{\sqrt{\sum_{i=2}^N V_i^2}}{V_1} \quad (5.1)$$

dove i vari V_i sono le ampiezze delle armoniche del segnale in uscita.

Tramite la direttiva `.four 5k V(Vout) LTspice` è in grado di fornire la THD del nodo indicato, in questo caso V_{out} (si veda figura 4.5). All'interno della direttiva va riportata anche la frequenza della fondamentale: nel nostro caso corrisponde a 5 kHz, ovvero la frequenza del segnale in ingresso scelto. Affinché lo strumento funzioni a dovere, è necessario graficare un numero elevato di periodi di segnale: in questo caso si è scelto 250 periodi.

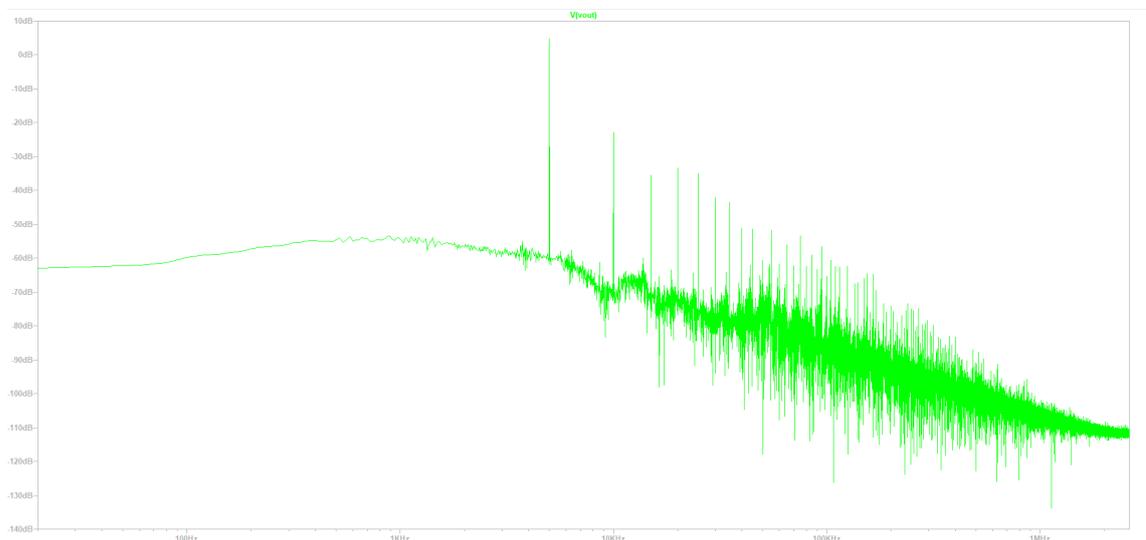


Figura 5.9: FFT del segnale in figura 5.8

Come si può osservare il THD (figura 5.10) risultante non è dei migliori, infatti un THD del 4.4% è molto alto se si considera che, in campo *hi-fi*, questo valore è ben al di sotto dell'1%; d'altra parte il risultato non ci sorprende in quanto in figura 5.8 si può notare come la sinusoi-

de sia abbastanza deformata e questo viene inoltre confermato dalla FFT in figura 5.9, dove abbiamo dei picchi di ampiezza a varie frequenze multiple della fondamentale.

Harmonic Number	Frequency [Hz]	Fourier Component	Normalized Component	Phase [degree]	Normalized Phase [deg]
1	5,000e+3	2,488e+0	1,000e+0	68.03°	0.00°
2	1,000e+4	9,168e-2	3,685e-2	128.57°	60.54°
3	1,500e+4	2,984e-2	1,199e-2	-50.19°	-118.21°
4	2,000e+4	3,555e-2	1,429e-2	-66.84°	-134.87°
5	2,500e+4	2,521e-2	1,013e-2	-159.02°	-227.05°
6	3,000e+4	1,007e-2	4,048e-3	54.21°	-13.82°
7	3,500e+4	1,405e-2	5,648e-3	-62.12°	-130.15°
8	4,000e+4	4,734e-3	1,903e-3	-91.26°	-159.29°
9	4,500e+4	8,150e-3	3,276e-3	-118.12°	-186.15°

Partial Harmonic Distortion: 4.325751%
Total Harmonic Distortion: 4.374456%

Total elapsed time: 0.451 seconds.

Figura 5.10: Risultato analisi THD

Capitolo 6

Test in laboratorio

Una volta constatato il corretto funzionamento dell'amplificatore, procediamo a realizzarlo fisicamente: prima su scheda di breadboard e poi su scheda PCB.

6.1 Test su breadboard

Il test verrà svolto in questo modo: verrà montato uno stadio alla volta e ne verrà verificato il guadagno¹. Il segnale fornito in ingresso sarà di questo tipo:

$$v_{in} = 100 \cdot \sin(2\pi \cdot 5 \cdot 10^3) [mV] \quad (6.1)$$

Misure stadio di ingresso

Montiamo solo lo stadio di ingresso e verifichiamo che all'uscita ci sia $|G| \simeq 1.5$. In figura 6.1 vediamo le misure effettuate con l'oscilloscopio.

Come possiamo notare, l'ampiezza del segnale di uscita è di circa $350 mV \Rightarrow |G| \simeq 3.5$, un valore ragionevole se consideriamo che non vi è carico all'uscita dello stadio al momento.

Procediamo ora a collegare in cascata il secondo stadio, ad *emettitore comune*.

Misure con primo e secondo stadio

Collegando anche il secondo stadio, il guadagno raggiunge il valore massimo per cui è stato progettato questo amplificatore, ovvero 30. Ricordiamo infatti che, lo stadio di uscita a *source comune*, presenta guadagno unitario.

Applicando il segnale di ingresso riportato nella 6.1, vediamo in figura 6.2 l'andamento della tensione di ingresso e uscita.

¹Tutte le misure sono state effettuate non applicando un carico all'uscita degli stadi

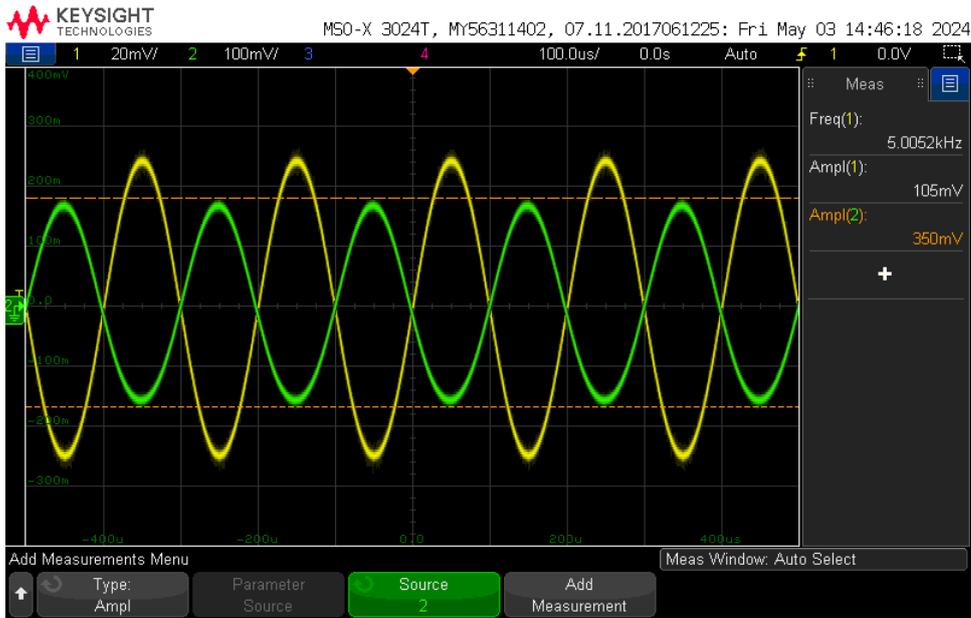


Figura 6.1: Prove su banco del stadio di ingresso

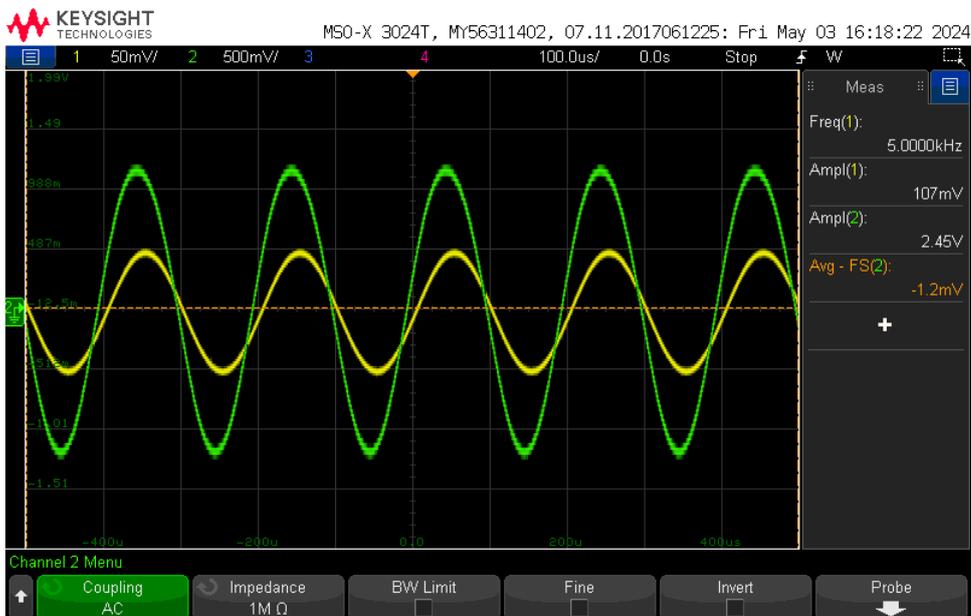


Figura 6.2: Andamento tensioni di ingresso e uscita con 2 stadi in cascata

L'ampiezza del segnale di uscita si porta a circa 2.45 V , comportando di fatto un guadagno di 24.5; questo valore è leggermente inferiore a quanto visto al simulatore e al valore per cui si ha dimensionato il circuito. Viene, in ogni caso, ritenuto un valore accettabile e si prosegue con il collegare lo stadio finale.

Misure con amplificatore completo

Le misure effettuate tramite oscilloscopio vengono riportate in figura 6.3.

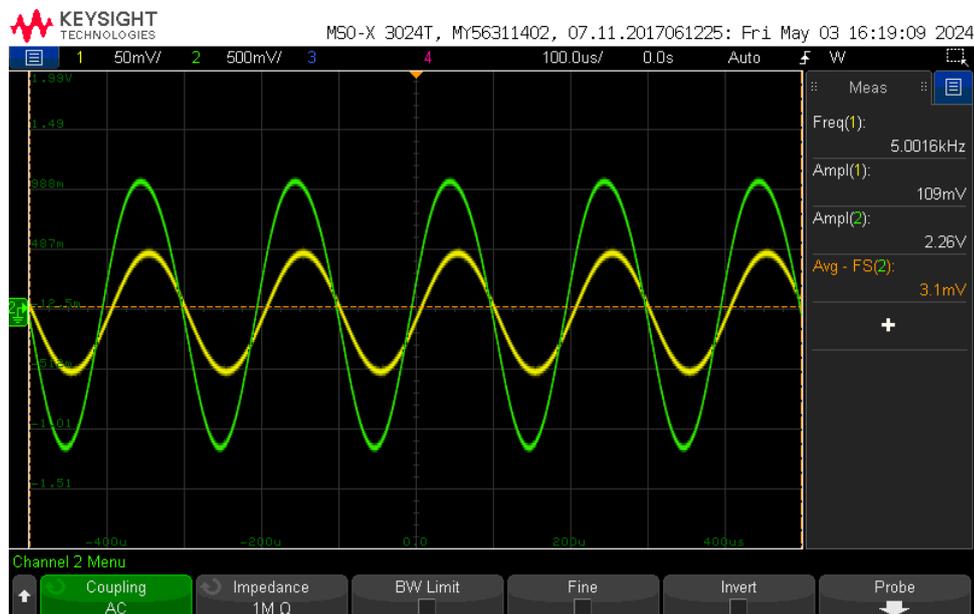


Figura 6.3: Misure v_{in} e v_{out} dell'amplificatore

Come era prevedibile, il guadagno è calato leggermente portandosi a poco meno di 23. Per questa prova in laboratorio è stato usato un IRF630 a dispetto del IRF530 utilizzato nelle simulazioni su *LTSpice*: entrambi i MOSFET hanno funzionamento analogo e quindi non ha inficito sul risultato finale. Altra differenza rispetto al circuito in figura 4.5 è la R_s : come si nota dalle simulazioni, questa resistenza è soggetta ad una corrente considerevole che porta a dissipare circa 2.5 W; in laboratorio non era presente una resistenza del valore di 6.8Ω con questo taglio di potenza, quindi la scelta è ricaduta su una resistenza da 8Ω in grado di sopportare 3 W. Questa scelta porta a cambiare di poco il punto di lavoro del MOSFET e quindi influenza il guadagno.

6.2 Realizzazione PCB

Conclusa la fase di testing su breadboard è il momento di realizzare il layout circuitale per produrre fisicamente una PCB (*Printed Circuit Board*); per fare ciò è stato usato il software *Fusion 360* di *Autodesk*: il software in questione permette di realizzare il circuito a livello di schematico e riportarlo direttamente su scheda PCB, legando le due "viste". Il risultato finale della scheda è riportato in figura 6.4.

Sono state fatte alcune aggiunte rispetto allo schema iniziale:

- Un connettore jack femmina per l'alimentazione

- Un connettore jack audio femmina per fornire il segnale di ingresso
- Potenziometro in ingresso per la regolazione del volume
- LED per segnalare per indicare che la scheda è attiva

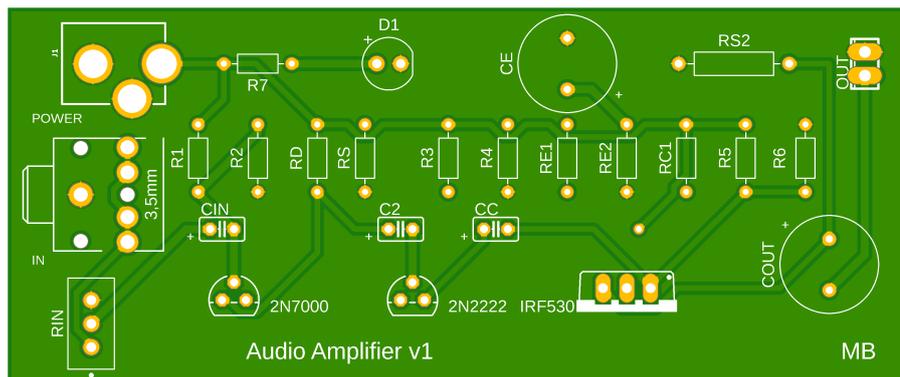


Figura 6.4: Realizzazione su PCB dell'amplificatore

6.2.1 Test PCB

A seguito dei primi test è stato notato che lo stadio finale, composto dall'IRF530 e dalle sue resistenze di polarizzazione, andava a generare una I_D maggiore rispetto al dimensionamento e alle simulazioni: dato che non è stato possibile variare il dimensionamento in potenza della resistenza R_{S_2} è stato scelto di abbassare la V_{GS} invertendo i valori di R_5 e R_6 . Questo ha causato un leggero abbassamento del guadagno, portandolo a circa 23.

Andando a misurare i vari pin dei transistor per valutarne i punti di lavoro si nota come essi siano rimasti invariati rispetto alle prove su breadboard eseguite precedentemente.

E' stato inoltre previsto un dissipatore per lo stadio finale data l'elevata potenza che deve dissipare.

Capitolo 7

Conclusioni

Questa tesi è stata ideata applicare ad un caso reale le conoscenze acquisite durante questi tre anni di studi di microelettronica ed elettronica analogica: si è deciso di usare un approccio prettamente teorico ovvero partendo dallo schema elettrico ai piccoli segnali (ove possibile) e dalla polarizzazione dello stadio, fino a raggiungere i singoli obiettivi del singolo stadio. Man mano si è reso necessario un adattamento alle caratteristiche reali dei dispositivi attivi, in quanto non rispecchiano a pieno il loro modello teorico.

Inizialmente ci si è posti come obiettivo principale quello di progettare un amplificatore audio multistadio in grado di raggiungere un guadagno complessivo pari a 30 (ricavato dalla potenza che volevamo avere in uscita, ovvero 1W), utilizzando solamente un'alimentazione di 12V e tre stadi di amplificazione a singolo transistor.

Nonostante molte modifiche apportate nella trasposizione fra schema elettrico teorico e pratico siamo riusciti a raggiungere, in parte, questi obiettivi: il guadagno, infatti, risulta leggermente minore (23 a fronte di 30 inizialmente previsto) e questo ricade sulla potenza in uscita, anch'essa leggermente inferiore a quanto previsto, circa 0,7W.

Vi sono state alcune difficoltà nella fase di test su breadboard in quanto i datasheet su cui ci siamo basati per fare il dimensionamento non rispecchiavano appieno i componenti poi effettivamente utilizzati: per evitare ciò sarebbe stato meglio scegliere un componente di un specifico produttore e basarsi sul datasheet da lui fornito in modo da essere certi delle caratteristiche del dispositivo.

Una miglioria che potrebbe essere attuata è l'innalzamento a 15V della tensione di alimentazione, in modo da poter spingere ancora più in su la potenza in uscita: questa potrebbe essere attuata molto velocemente mantenendo gli stessi componenti e andando solo a variare i punti di lavoro (e quindi i valori delle resistenze) ma comporterebbe un assorbimento cospicuo di potenza dall'alimentazione dato che, per forza di cose, il classe A non è efficiente.

Per avere un'amplificatore migliore in termini di efficienza bisognerebbe cambiare lo stadio

finale, introducendo una topologia *push - pull* o, ancora meglio, un classe AB: questo permetterebbe di aumentare ulteriormente l'amplificazione in uscita senza dover aumentare la tensione di alimentazione.

Bibliografia

- [1] L. Rossetto, *Lezioni di Elettronica analogica - Fondamenti*. Società Editrice Esculapio, 2023.
- [2] A. S. Sedra e K. C. Smith, *Microelectronic Circuits*. Oxford University Press, 2017.
- [3] *Power MOSFET*, IRF530, Rev. C, Vishay Siliconix, ago. 2021.
- [4] *Amplifier Transistor*, 2N2222, Rev. 11AM, ON Semiconductor, mar. 2007.
- [5] *N-Channel Enhancement Mode Field Effect Transistor*, 2N7000, Rev. A1, Fairchild Semiconductor, nov. 1995.