

Università di Padova

Facoltà di Ingegneria



Corso di Laurea Specialistica in Ingegneria Elettronica

PROGETTO DI UN PLL BASATO SU UN OSCILLATORE AD ANELLO PER LA
VII BANDA WCDMA

Relatore: Prof. Andrea Gerosa
Laureando: Giovanni Steffan

Anno Accademico 2009/2010

Alla mia famiglia

Indice

1	Introduzione	1
2	Phase Locked Loop	3
2.1	Type-I PLL	3
2.2	Type-II PLL: CPPLL	5
2.3	Third-order loop	10
3	Phase-Frequency Detector: Esempi e Confronto	12
3.1	Principali non-idealità nei PFD	12
3.2	Confronto tra possibili soluzioni circuitali per la realizzazione di un PFD	15
4	Charge-Pump: Esempi e Confronto	19
4.1	Reference Spur	19
4.2	Soluzioni circuitali per la realizzazione di una single-ended charge pump	21
5	VCO Basati su Oscillatori ad Anello	25
5.1	Introduzione agli oscillatori	25
5.2	Tipi di oscillatori nei circuiti integrati	26
5.2.1	Oscillatori LC	26
5.2.2	Relaxation oscillators	27
5.2.3	Oscillatori ad anello	27
5.3	Introduzione agli oscillatori ad anello	29
5.4	Oscillatori ad anello single-ended	31
5.5	Oscillatori ad anello differenziali	31
5.6	Oscillatori ad anello differenziali a due stadi	34
5.7	Rumore di fase nei VCO	38
5.7.1	Analisi dei fenomeni che causano il rumore di fase	39
5.7.2	Modelli di calcolo del rumore di fase	42
6	Progetto di un PLL Basato su Oscillatore ad Anello per la VII Banda WCDMA	46
6.1	Progetto del VCO	48
6.2	Scelta parametri PLL	58
6.3	PFDCP	59
6.4	Clock Divider	63
6.4.1	Clock divider by 2	63
6.4.2	Clock Divider by 3	67
6.5	Simulazione PLL	67

Indice

6.6	Analisi e simulazione del rumore di fase	78
6.6.1	Rumore di fase generato dal PFD/CP	78
6.6.2	Rumore di fase generato dal filtro	79
6.6.3	Rumore di fase generato dal VCO	79
6.6.4	Rumore di fase generato dai divisori	80
6.6.5	Rumore di fase in ingresso	80
7	Conclusioni e possibili sviluppi futuri	94

Elenco delle figure

2.1	PLL	3
2.2	XOR PD	4
2.3	PLL linear model	5
2.4	Type-I PLL step response	5
2.5	funzionamento PFD	6
2.6	diagramma di stato del PFD	6
2.7	implementazione PFD e funzionamento del circuito	7
2.8	PFD+CP	7
2.9	CPPLL	8
2.10	Aggiunta resistenza	9
2.11	PLL con divisore di frequenza nella rete di feedback	9
2.12	Luogo delle radici di $D(z)$	10
2.13	third-order loop CPPLL	11
3.1	risposta PFD per piccole differenze di fase	13
3.2	effetto della <i>dead-zone</i> nella charge pump	13
3.3	jitter in uscita causato dalla dead zone	13
3.4	charge pump con interruttori reali	13
3.5	effetto del ritardo tra \bar{Q}_A e Q_B	14
3.6	bilanciamento dei tempi di propagazione mediante l'inserimento di un gate di trasmissione	14
3.7	DFF latch based (a), CMOS PFD (b)	15
3.8	Standard PFD	15
3.9	DFF TSPC	16
3.10	TSPC PFD	17
3.11	precharge PFD (a), non-clock PFD (b)	18
4.1	charge-injection	20
4.2	20
4.3	single-ended charge pumps: switch in drain (a), switch in gate (b), switch in source(c)	22
4.4	CP con amplificatore (a), current-steering CP (b), NMOS current-steering CP (c)	23
4.5	CP senza charge sharing	24
4.6	cascode CP	24
5.1	schema blocchi oscillatore	25

Elenco delle figure

5.2	parallelo LC (a), oscillatore Colpitts (b)	26
5.3	varactor-diodes LC VCO	27
5.4	relaxation oscillator	28
5.5	ring-oscillator	29
5.6	modello lineare ring oscillator	29
5.7	current starved inverter	31
5.8	ring oscillator con numero pari di stadi	32
5.9	simple differential pair delay-cell (a), Maneatis delay-cell (b)	33
5.10	iniezione del rumore nei saturated type ring oscillator	33
5.11	two stage ring oscillator	34
5.12	two stage ring oscillator linear model	34
5.13	delay cell con resistenza negativa	35
5.14	modello linearizzato	36
5.15	controllo mediante carico variabile (a), controllo mediante M_1 (b)	37
5.16	Andamento di $1/\tau$ in funzione di $V_{control}$	37
5.17	latch-strength control	38
5.18	spettro oscillatore ideale e spettro oscillatore reale	39
5.19	reciprocal mixing	40
5.20	effetto rumore di fase in trasmissione(a), leakage canali (b)	40
5.21	rumore sull'uscita del VCO	41
5.22	additive noise shaping	42
5.23		43
5.24	Q nei ring oscillator	44
6.1	GSM blocking mask	47
6.2	schema a blocchi del circuito realizzato	47
6.3	VCO (a), delay-cell (b)	48
6.4	K_{vco}	50
6.5	analisi corner	51
6.6	uscita VCO single ended	52
6.7	uscita VCO differenziale	53
6.8	correnti M_2, M_3	54
6.9	correnti M_2, M_4	55
6.10	Phase Noise	56
6.11	segnale in uscita dal buffer	57
6.12	diagramma di Bode di $H(s)$ e $T(s)$	60
6.13	TSPC PFD	61
6.14	charge pump e filtro	62
6.15	circuito per test PFDCP	63
6.16	segnali di controllo degli interruttori	64
6.17	mismatch tra le correnti	65
6.18	clock divider by 2	66
6.19	TSPC clock divider by 2	66
6.20	clock divider by 3	67

Elenco delle figure

6.21	TSPC clock divider by 3	68
6.22	segnali in ingresso ed in uscita al clock divider by 2. Il segnale in ingresso è stato traslato per una migliore visualizzazione.	69
6.23	segnali in ingresso ed in uscita al clock divider by 3. Il segnale in ingresso è stato traslato per una migliore visualizzazione.	70
6.24	segnale in ingresso e segnale in uscita dal PLL. Il segnale di ingresso è stato traslato per una migliore visualizzazione	72
6.25	segnali in ingresso al phase-frequency detector	73
6.26	transitorio tensione $V_{control}$ per $f_{ref} = 1.8GHz \rightarrow 2GHz$	74
6.27	transitorio segnale in uscita per $f_{ref} = 1.8GHz \rightarrow 2GHz$	75
6.28	transitorio tensione $V_{control}$ per $f_{ref} = 2GHz \rightarrow 1.8GHz$	76
6.29	transitorio segnal in uscita per $f_{ref} = 2GHz \rightarrow 1.8GHz$	77
6.30	modello lineare PLL con aggiunta sorgenti di rumore	78
6.31	psd rumore corrente PFDCP	82
6.32	contributo al rumore di fase in uscita prodotto dal PFDCP	83
6.33	psd rumore riltro	84
6.34	contributo rumore di fase del filtro	85
6.35	rumore fase VCO (curva rossa), rumore fase VCO in uscita al PLL (curva blu)	86
6.36	rumore di fase clock divider by 3 (curva rossa), rumore di fase clock divider by 3 in uscita al PLL (curva blu)	87
6.37	confronto tra i contributi di rumore	88
6.38	confronto tra rumore di fase calcolato e rumore di fase simulato con Cadence	89
6.39	confronto tra rumore di fase calcolato e rumore di fase simulato con Cadence	90
6.40	rumore di fase segnale di riferimento	91
6.41	confronto tra i contributi di rumore in uscita al PLL	92
6.42	rumore di fase in uscita al PLL	93

Elenco delle tabelle

6.1	specifiche rumore di fase GSM (a), specifiche rumore di fase (b)	47
6.2	dimensioni transistor delay-cell	49
6.3	ring oscillator benchmarking	58
6.4	dimensioni transistor phase-frequency detector	62
6.5	dimensioni transistor charge pump	62
6.6	dimensioni transistor DFF clock divider	63

Ringraziamenti

Giunto al termine di questo lavoro, e prima dell'inizio di un nuovo capitolo della mia vita, desidero ringraziare ed esprimere la mia riconoscenza a tutte le persone che mi hanno supportato e sopportato durante la stesura della tesi ed in questi anni.

In primo luogo ringrazio il mio relatore, il prof. Andrea Gerosa, per i consigli, la disponibilità ed il tempo concessomi in questi mesi di lavoro.

Il mio ringraziamento più grande ed il mio affetto va alla mia famiglia per avermi sempre sostenuto in ogni circostanza, incoraggiando le mie scelte e spingendomi ad allargare i miei orizzonti.

Desidero infine ringraziare tutti gli amici incontrati in questi anni, ed in particolare seppia con cui non ho mai passato un momento di noia, pascolo per avermi perso l'ipod in macchina, cesco per averlo ritrovato, dianax aka regular bonzi welles aka regular meistes, burri e libio e le grate del mirafiori, la michi che ha tanta pazienza, gio, fox, il canguro ed il bad man who controls the camp, edobeons e quei jingle che ancora mi trovo a cantare, corri e l'accappatoio per gli anni in appartamento, simone ed il momà, la cate per le serate padovane prima e veneziane poi, racca, la betta chiara ed il manz per le partite a risiko tutti contro, toio ed il messaggio del venerdì "domani calcetto ore 14 s.francesco ci sei?", bud per gli anni in banco insieme in cui abbiamo sempre battuto livio e gio (tranne con sist ma non per colpa mia), la perox e le versioni di latino, tommy da re, la anna la sissi e la barbara, la vexia anche se non mangia la carne, la isa per la compagnia in Da soprattutto in questi ultimi giorni, zampy, nicola e ricky e l'angolo della pompa, ciocci, la stefania, francinotto, albi e macho...

1 Introduzione

Questi ultimi trent'anni sono stati caratterizzati da uno sviluppo esplosivo, quasi fantascientifico, del settore delle comunicazioni, grazie allo sviluppo della telefonia mobile e di internet. Basti pensare che nel 2007, a trentaquattro anni dal primo modello commerciale, è stato stimato che nel mondo fossero operativi oltre quattro miliardi di cellulari. I primi telefoni cellulari sono entrati in commercio verso la metà degli anni ottanta. Si basavano su una modulazione analogica, e non permettevano di trasmettere segnali differenti dal semplice segnale vocale. Nel 1991 nasce la seconda generazione di cellulari, basata sullo standard GSM. Il GSM, a differenza degli standard precedenti effettua una modulazione digitale del segnale, e permette anche l'invio e la ricezione di segnali differenti dal segnale vocale (come gli SMS). Nel 2001 nasce la terza generazione, basata sul protocollo di comunicazione WCDMA, che permette l'utilizzo del cellulare anche per inviare e ricevere foto o filmati digitali, effettuare videochiamate, navigare in internet e spedire e-mail. I cellulari ormai non sono più dei semplici telefoni con cui avvisare un amico che faremo tardi o fissare un appuntamento di lavoro, ma sono dei dispositivi che ci permettono, ovunque ci troviamo, di scattare foto, ascoltare musica, giocare a videogiochi, navigare in internet...

I cellulari devono quindi essere in grado di soddisfare le specifiche imposte dai vari standard utilizzati (GSM, UMTS, Bluetooth, IEEE802.11a-b-g-e). Per ridurre i costi di produzione continui sforzi sono stati compiuti per riuscire ad integrare in un unico chip un dispositivo in grado ricoprire le richieste dei vari standard. Uno degli ostacoli maggiori riscontrato in questo senso è dato dalla progettazione del sintetizzatore di frequenza. I diversi standard sono nati per utilizzi differenti tra loro, e di conseguenza lavorano a frequenze diverse richiedendo specifiche diverse. Attualmente la soluzione più utilizzata consiste nell'utilizzare dei sintetizzatori di frequenza basati su oscillatori LC in grado di soddisfare le specifiche imposte dai vari standard. Tali dispositivi sono però molto costosi, poichè è difficile costruire degli induttori integrati di elevata qualità. La soluzione proposta in questa tesi consiste invece nell'utilizzare un ring-oscillator based PLL che, sfruttando la portante del GSM1800, generi una portante adatta ad essere utilizzata in una banda diversa, rispettando ovviamente le specifiche imposte dallo standard operante in quella banda. A differenza degli oscillatori LC i ring oscillator sono molto economici, poichè costituiti solamente da transistor, ma non hanno la stessa purezza spettrale. Questa tesi si propone quindi di studiare la possibilità di utilizzare dei ring-oscillator per le applicazioni RF.

Verrà quindi progettato un PLL che moltiplichi per $3/2$ la portante generata da un sintetizzatore di frequenza per il GSM1800. In questo modo si ottiene un segnale adatto per coprire la VII banda WCDMA, che in futuro verrà utilizzata come estensione delle attuali bande UMTS. Nel secondo capitolo della tesi verranno brevemente illustrati i

1 Introduzione

principi di funzionamento dei PLL, al fine di ricavare delle relazioni utili in fase progettuale. Nei capitoli tre e quattro verranno mostrate e confrontate architetture diverse per la realizzazione del phase frequency detector e della charge pump. Nel quinto capitolo verrà analizzato il funzionamento dei ring oscillator e saranno presentate alcune soluzioni circuitali. Nel capitolo sei verrà infine progettato il PLL e saranno analizzate le sue prestazioni.

2 Phase Locked Loop

I PLL sono oggi divenuti dei componenti fondamentali nei ricevitori/trasmittitori ed in tutte quelle applicazioni in cui si necessita di un segnale di una data frequenza. I primi PLL furono realizzati intorno al 1930 per migliorare la ricezione nelle prime televisioni. Nel 1965 vengono realizzati i primi PLL completamente integrati, utilizzando solamente componenti analogici.

In questo capitolo vengono analizzati i componenti principali dei PLL e le loro caratteristiche.

2.1 Type-I PLL

Un PLL (*phase-locked loop*) è un circuito a retroazione che sincronizza l'uscita di un oscillatore con quella di un segnale di riferimento. L'errore di fase, ovvero la differenza tra la fase del segnale di riferimento e la fase del segnale di feedback, viene mantenuta costante. Se l'errore di fase aumenta, allora il sistema risponde aumentando o diminuendo la frequenza di oscillazione dell'oscillatore in modo tale da risincronizzare i segnali. La fase del segnale di uscita quindi insegue la fase del segnale in ingresso per mezzo di variazioni della frequenza di oscillazione.

La figura 2.1 mostra lo schema a blocchi di un PLL. Il sistema è costituito da un *phase-detector* (PD), un filtro passa-basso ed un oscillatore controllato in tensione (VCO). Il PD riceve in ingresso il segnale di riferimento ed il segnale di feedback, generando in uscita un segnale V il cui valore medio \bar{V} è proporzionale alla loro differenza di fase $\Delta\Phi$. Esiste quindi una relazione lineare tra \bar{V} e $\Delta\Phi$. Esistono molteplici realizzazioni possibili del PD: ad esempio può essere utilizzata una porta XOR. Come è possibile osservare in figura 2.2 una porta XOR genera una serie di impulsi il cui valore medio è proporzionale alla differenza di fase tra i segnali in ingresso. L'uscita del PD viene dunque filtrata per ridurre il ripple di tensione e mandata in ingresso al VCO. Questo blocco risponde generando un segnale periodico la cui frequenza è proporzionale al segnale in ingresso.

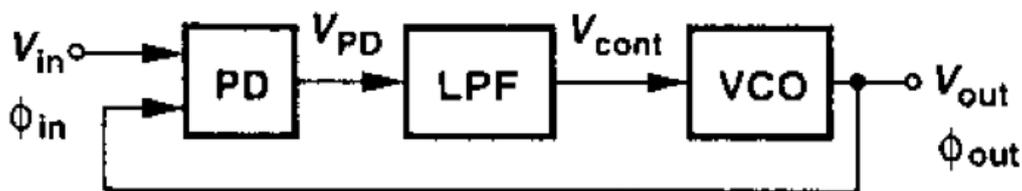


Figura 2.1: PLL

2 Phase Locked Loop

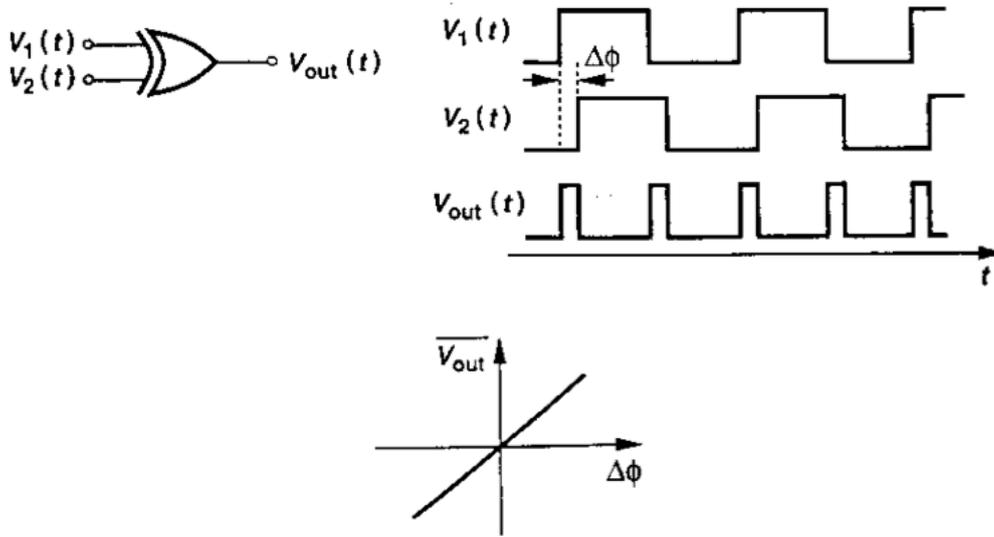


Figura 2.2: XOR PD

Il sistema in figura 2.1 non è lineare, ma può essere linearizzato nel dominio della fase una volta portato in condizione di *lock-state*, ovvero quando i segnali di ingresso ed uscita risultano sincronizzati. In questo modo è possibile studiare l'effetto di piccole variazioni della fase dei segnali. Come accennato sopra, esiste una relazione lineare tra il valore medio del segnale in uscita dal PD e l'errore di fase in ingresso. Questo blocco è quindi modellizzabile come un guadagno K_{PD} . Il VCO invece risponde producendo un'oscillazione la cui frequenza è proporzionale al segnale di ingresso. Indicando con ω_{fr} la pulsazione di oscillazione per un ingresso nullo (*free-running*) e supponendo un guadagno lineare $K_{vco} = [rad/s/V]$ tra la tensione di ingresso e la pulsazione in uscita risulta quindi:

$$\omega_{out} = \omega_{fr} + K_{vco} \cdot v_{cont} \quad (2.1)$$

$$V_{out} = A \cos \left[\omega_{fr} t + \int_{-\infty}^t v_{cont}(t) dt \right] \quad (2.2)$$

$$\frac{\Phi_{out}}{V_{cont}}(s) = \frac{K_{vco}}{s} \quad (2.3)$$

La figura 2.3 mostra il modello lineare della fase di un PLL. La fdt ad anello aperto risulta:

$$H_{open-loop}(s) = \frac{K_{PD} K_{vco}}{s(1 + \frac{s}{\omega_{LPF}})} \quad (2.4)$$

e presenta un polo nell'origine ed uno polo ad $s = -\omega_{LPF}$. Dato il fattore di feedback unitario, $H_{open-loop}(s)$ coincide con il guadagno d'anello $T(s)$. Poichè il guadagno d'anello presenta un polo nell'origine, ci si riferisce a questo sistema come *Type-I PLL*. La

2 Phase Locked Loop

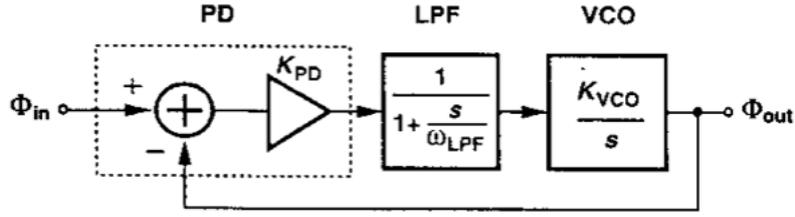


Figura 2.3: PLL linear model

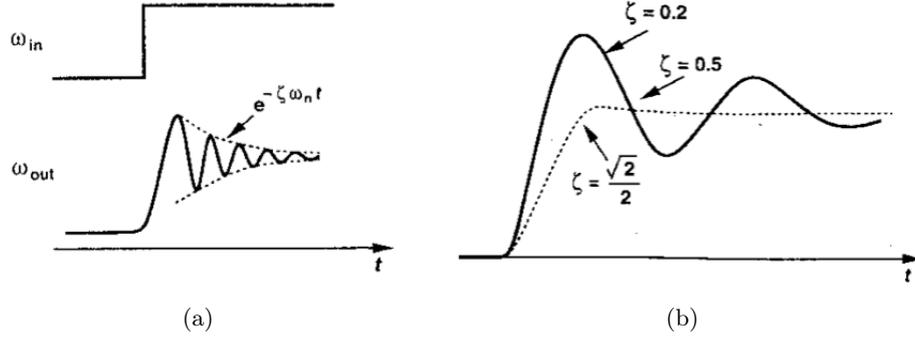


Figura 2.4: Type-I PLL step response

fdt ad anello chiuso vale:

$$H(s) = \frac{K_{PD}K_{vco}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{vco}} = \frac{\omega_n^2}{s^2 + 2\xi s\omega_n + \omega_n^2} \quad (2.5)$$

con

$$\omega_n = \sqrt{\omega_{LPF}K} \quad (2.6)$$

$$\xi = \frac{1}{2} \sqrt{\frac{\omega_n}{K}} \quad (2.7)$$

dove $K = K_{PD}K_{vco}$. La banda del sistema risulta proporzionale al guadagno K , mentre invece il fattore di smorzamento è inversamente proporzionale a K . I parametri K, ξ, ω_n sono vincolati da un solo grado di libertà, poichè fissato un parametro gli altri due non sono indipendenti. Aumentando K quindi aumenta la banda del sistema ma diminuisce il margine di fase, per cui aumentano la durata dei transitori e l'ampiezza delle sovraelongazioni. La figura 2.4 mostra la risposta al gradino di un *Type-I* PLL: l'ampiezza dell'oscillazione e la durata del transitorio sono funzioni di ξ .

2.2 Type-II PLL: CPPLL

I *Type-I* PLL di solito vengono realizzati con componenti discreti. Nei circuiti integrati si preferisce ricorrere ad un *Type-II* PLL, realizzato mediante un *Phase-Frequency Detector*

2 Phase Locked Loop

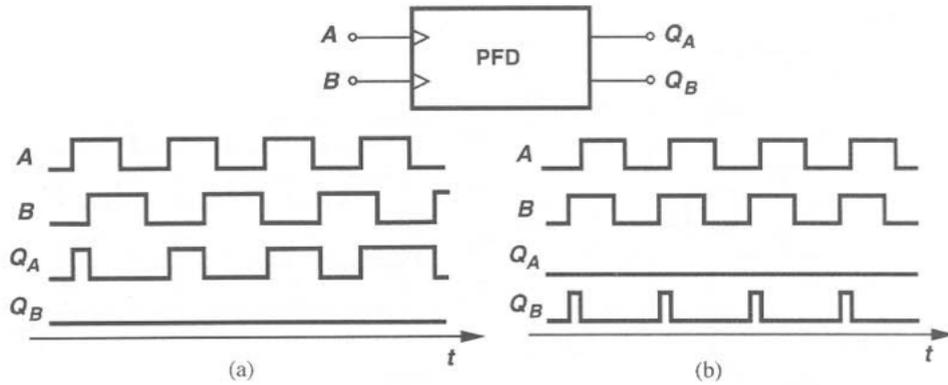


Figura 2.5: funzionamento PFD

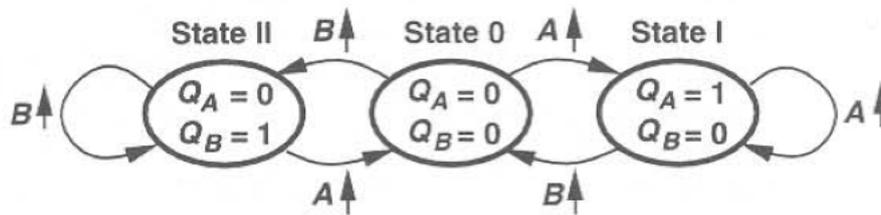


Figura 2.6: diagramma di stato del PFD

(PFD), ovvero un circuito che impone una differenza di fase nulla (e non semplicemente costante) tra il segnale di riferimento ed il segnale di feedback. A differenza di un PD, un PFD genera due uscite che non sono complementari. La figura 2.5 mostra il funzionamento di un PFD. Supponiamo che $\omega_A > \omega_B$. Allora il PFD produrrà degli impulsi positivi sul segnale Q_A mentre $Q_B = 0$. Se invece $\omega_A < \omega_B$ è l'uscita Q_B a portarsi ad uno, mentre Q_A rimane a zero. Se invece la differenza di fase e di frequenza tra i segnali A e B è nulla, nessun evento viene prodotto in uscita e quindi $Q_A = Q_B = 0$. La figura 2.6 mostra il diagramma di stato del PFD: si noti come per passare dallo stato II allo stato I o viceversa sia necessario passare per lo stato 0. La più semplice realizzazione di un PFD è costituita da due flip-flop positive-edge triggered di tipo D in cui l'ingresso D è sempre collegato al valore logico "1". L'ingresso del clock è invece pilotato dal segnale di riferimento nel DFF-A e dal segnale di feedback nel DFF-B. Una porta logica AND pilotata da Q_A e Q_B attiva il reset dei flip-flop qualora le uscite valessero contemporaneamente uno. Supponiamo che $\omega_A > \omega_B$ e quindi che il segnale A commuti da zero ad uno prima del segnale B . L'uscita Q_A commuta quindi da zero ad uno mentre l'uscita Q_B rimane a zero fino a quando anche B non commuta da zero ad uno. In questo modo si forma un impulso sul segnale Q_A che dura fino a quando $Q_B = 0$. Quando anche Q_B si porta ad uno, allora si attiva il reset del flip-flop e le uscite si portano entrambe a zero. Dato il ritardo dovuto alla propagazione dei segnali

2 Phase Locked Loop

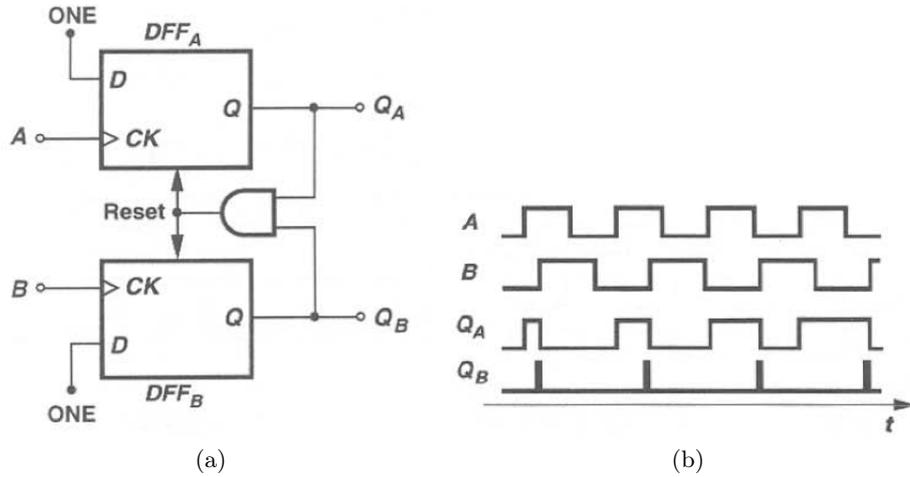


Figura 2.7: implementazione PFD e funzionamento del circuito

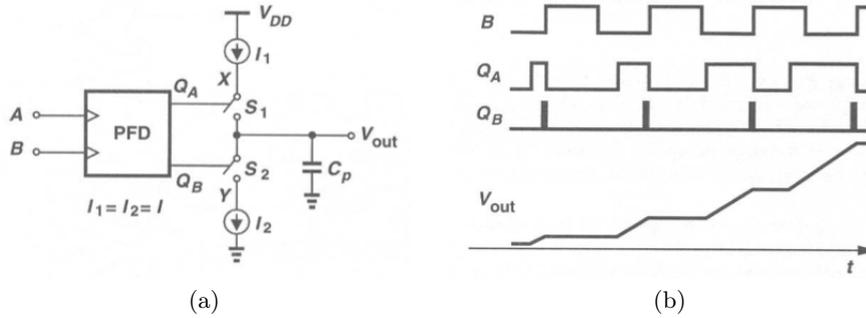


Figura 2.8: PFD+CP

attraverso le porte logiche, esiste un istante in cui entrambe le uscite sono alte. La figura 2.7 mostra lo schema di un PFD ed il suo funzionamento.

Per fornire un segnale in grado di controllare il VCO, l'uscita del PFD deve essere convertita in una tensione. Tale conversione può essere realizzata in diversi modi. Ad esempio è possibile collegare un amplificatore differenziale alle uscite del PFD. Nei circuiti integrati comunque si preferisce ricorrere ad una *charge-pump* (CP). Come possibile osservare in figura 2.8, una CP è semplicemente composta a due generatori di corrente separati dalla capacità in uscita da due interruttori controllati dai segnali in uscita dal PFD. Quando Q_A o Q_B assumono valore logico uno, l'uscita viene collegata ad uno dei due generatori di corrente. In questo modo la tensione ai capi del condensatore varia a causa dell'iniezione/sottrazione di pacchetti di carica. Quando invece $Q_A = Q_B = 0$ nessuna corrente scorre nella capacità, che mantiene quindi costante la tensione ai sui capi.

2 Phase Locked Loop

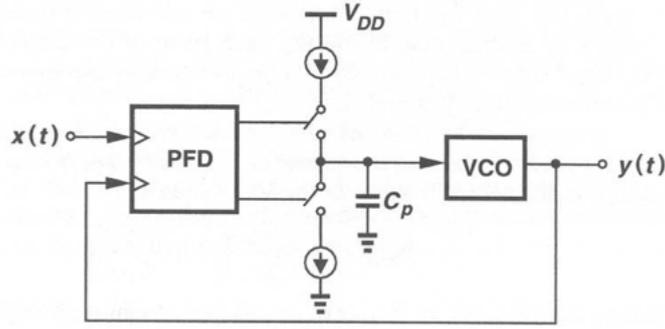


Figura 2.9: CPPLL

È facile intuire che la risposta ad una differenza di fase costante all'ingresso del PFD+CP è una rampa (fig 2.8b). Questo indica che la fdt tra ingresso ed uscita del PFD+CP contiene un polo nell'origine. Il circuito è un sistema tempo-variante, tuttavia supponendo che la banda sia sufficientemente più piccola della frequenza di ingresso, il PFD+CP è modellizzabile come un integratore dal guadagno

$$K_{pfdcp} = \frac{I}{2\pi C_p} \quad (2.8)$$

dove I è la corrente erogata dai generatori e C_p il valore della capacità. La fdt ad anello chiuso del sistema in figura 2.9 risulta quindi

$$H(s) = \frac{\frac{K_{pfdcp}}{s} \frac{K_{vco}}{s}}{1 + \frac{K_{pfdcp}}{s} \frac{K_{vco}}{s}} = \frac{K_{pfdcp} K_{vco}}{s^2 + K_{pfdcp} K_{vco}} \quad (2.9)$$

Il guadagno d'anello vale

$$T(s) = \frac{K_{pfdcp} K_{vco}}{s^2} \quad (2.10)$$

e presenta due poli nell'origine, da cui il nome *Type-II* PLL. La (2.10) presenta due poli nell'origine e quindi la (2.14) ha margine di fase nullo. Per stabilizzare il sistema è necessario quindi introdurre uno zero, ad esempio aggiungendo una resistenza R in serie a C_p . La (2.9) si modifica quindi in

$$H(s) = \frac{\frac{I}{2\pi C_p} K_{vco} (RC_p s + 1)}{s^2 + \frac{I}{2\pi} K_{vco} R s + \frac{I}{2\pi C_p} K_{vco}} \quad (2.11)$$

che presenta due poli ed uno zero ad $\omega_z = -1/RC_p$. Le (2.6), (2.7) si modificano in

$$\omega_n = \sqrt{\frac{I K_{vco}}{2\pi C_p}} = \sqrt{K} \quad (2.12)$$

$$\xi = \frac{R}{2} \sqrt{\frac{I C_p K_{vco}}{2\pi}} = \frac{\tau_z \omega_n}{2} \quad (2.13)$$

2 Phase Locked Loop

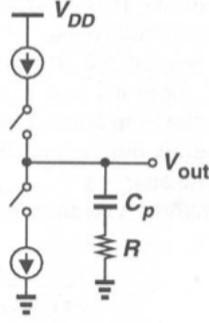


Figura 2.10: Aggiunta resistenza

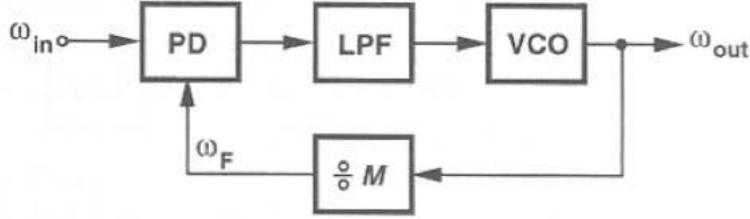


Figura 2.11: PLL con divisore di frequenza nella rete di feedback

con $K = K_{pfdcp}K_{vco}$ e $\tau_z = RC_p$. Solo la (2.13) dipende da R , e quindi banda e smorzamento non sono più due specifiche vincolate e contrastanti, come nel caso del *type-I* PLL.

Fino ad ora si è supposto un fattore di feedback unitario. In questo modo l'onda generata dal PLL assume la stessa frequenza del segnale di riferimento. Inserendo un divisore di frequenza nella rete di feedback è invece possibile ottenere in uscita un segnale la cui frequenza è M volte maggiore di quella del segnale in ingresso (fig 2.11). In questo caso le (2.12),(2.13) si modificano in:

$$\omega_n = \sqrt{\frac{IK_{vco}}{2\pi C_p} \frac{1}{M}} \quad (2.14)$$

$$\xi = \frac{R}{2} \sqrt{\frac{IC_p K_{vco}}{2\pi} \frac{1}{M}} \quad (2.15)$$

Rimane comunque valida l'indipendenza della banda del sistema dal coefficiente di smorzamento.

Il modello linearizzato di un *Type-II* PLL prevede che il sistema sia stabile per ogni valore del guadagno K , poichè il guadagno d'anello presenta due poli nell'origine ed uno zero e quindi la fase non superamai i -180° . In realtà, essendo $\omega_n \propto K$, aumentando K viene meno l'ipotesi di tempo-invarianza del sistema. Di fatto il sistema diviene instabile per valori di K (e quindi di ω_n) troppo elevati. In [4] viene eseguita un'analisi a tempo discreto di un PLL. L'analisi si basa sul fatto che, pur essendo un sistema tempo

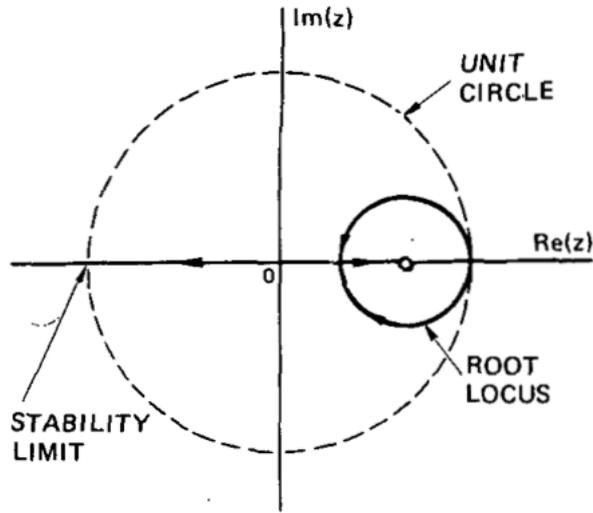


Figura 2.12: Luogo delle radici di $D(z)$

variante, tra due eventi consecutivi in ingresso, il PFD+CP ed il filtro formano una rete lineare e tempo invariante descrivibile da un'equazione differenziale lineare a coefficienti costanti. Perciò, noto lo stato del sistema all'inizio dell'intervallo, è possibile ricavare lo stato del sistema alla fine dell'intervallo. La soluzione ricavata viene poi utilizzata come condizione iniziale per l'intervallo successivo. Procedendo in questo modo, è possibile ricavare l'equazione caratteristica (ovvero il denominatore della fdt ad anello chiuso) nel dominio z , che risulta:

$$D(z) = (z - 1)^2 + (z - 1) \frac{2\pi K\tau_z}{\omega_i\tau_z} \left[1 + \frac{2\pi}{\omega_i\tau_z} \right] + \frac{4\pi^2 K\tau_z}{\omega_i^2\tau_z^2} \quad (2.16)$$

dove ω_i è la pulsazione del segnale di riferimento. La figura mostra il luogo delle radici al variare di $K\tau_z$. Per

$$\omega_n > \frac{\omega_{in}^2}{\pi(RC_p\omega_{in} + \pi)} \quad (2.17)$$

gli zeri della (2.16) (ovvero i poli della fdt ad anello chiuso) escono dal cerchio unitario e divengono quindi instabili. Generalmente ponendo $\omega_n < \omega_i/10$ tale limite viene rispettato ed il modello lineare tempo-invariante approssima bene i risultati reali.

2.3 Third-order loop

Come spiegato in precedenza, nel CPPLL la tensione di controllo del VCO viene controllata tramite l'iniezione di pacchetti di carica nel filtro. La tensione V_{cont} varia quindi impulsivamente, soprattutto in risposta a sensibili differenze di fase in ingresso. Inoltre mismatch tra le correnti I_1 e I_2 , iniezioni di carica dovute alle non idealità degli interruttori ed altri fenomeni che meglio verranno analizzati in seguito, causano un ripple di

2 Phase Locked Loop

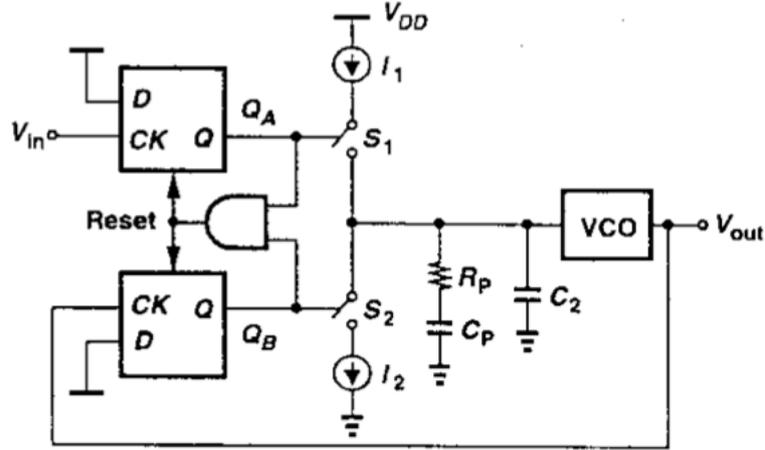


Figura 2.13: third-order loop CPPLL

tensione su V_{cont} che degrada il segnale in uscita. Per ovviare questo problema bisogna aumentare l'ordine del filtro, inserendo una capacità C_2 in parallelo, come mostrato in figura 2.13. Indicando con $b = 1 + C_p/C_2$ la fdt tra la corrente in ingresso al filtro e la tensione V_{cont} vale:

$$Z_f(s) = \left(\frac{b-1}{b} \right) \frac{s\tau_z + 1}{sC_p(s\frac{\tau_z}{b} + 1)} \quad (2.18)$$

mentre la (2.11) diviene:

$$H(s) = K \left(\frac{b-1}{b} \right) \frac{s\tau_z + 1}{s^3 \frac{\tau_z}{b} + s^2 + s \frac{b-1}{b} \tau_z K + K \frac{b-1}{b}} \quad (2.19)$$

Nel guadagno d'anello la capacità C_2 introduce un ulteriore polo in $s = -\frac{b}{\tau_z}$. Se $b \gg 1$ e quindi $C_p \gg C_2$, allora la posizione dei poli dominanti rimane all'incirca invariata, così come le prestazioni del sistema. Al diminuire di b il polo aggiuntivo si avvicina ai poli dominanti del sistema, riducendo il margine di fase. In [4] vengono riportati i luoghi delle radici al variare di b e tratte le seguenti conclusioni: per b grande e bande piccole il polo aggiuntivo si trova a frequenze elevate e non influisce sulle prestazioni del sistema. Aumentando la banda però ciò non risulta più vero, e la risposta al gradino può presentare sovraelongazioni. Per $b < 9$ i poli non percorrono traiettorie sull'asse reale ed il sistema presenta quindi sovraelongazioni, indipendentemente dal valore della banda. Infine, per $b < 1$ (ma ciò è possibile utilizzando solo un filtro attivo), il sistema è sempre instabile.

3 Phase-Frequency Detector: Esempi e Confronto

Nella prima parte del capitolo vengono presentate le principali non idealità dei PFD. Nella seconda parte del capitolo vengono presentati e confrontati diverse realizzazioni possibili dei PFD.

3.1 Principali non-idealità nei PFD

La figura 2.7 mostra lo schema ed il principio di funzionamento di un PFD. Come spiegato in precedenza, nel caso in cui i segnali in ingresso siano sfasati, il sistema risponde con degli impulsi su Q_A o Q_B di durata proporzionale all'errore di fase. La figura 3.1 mostra la risposta del PFD per piccole differenze di fase tra i segnali in ingresso. Il sistema dovrebbe generare degli impulsi di brevissima durata ma, a causa dei tempi di salita e discesa finiti, l'impulso non riesce a raggiungere completamente il livello logico alto e quindi l'interruttore della CP non viene acceso. È quindi possibile definire un errore di fase minimo ϕ_0 tale che per $|\phi| < \phi_0$ la CP non inietta corrente nel filtro (figura 3.2). Questo errore minimo viene chiamato *dead-zone*. Poichè tale errore non viene corretto, il segnale in uscita al PLL è affetto da jitter ogni qual volta che $|\phi| < \phi_0$ (figura 3.3). Di conseguenza la velocità di risposta risulta una specifica fondamentale nella progettazione di un PFD, soprattutto nelle applicazioni in cui il PLL debba generare segnali a frequenza elevata o molto precisi.

La figura 3.4 mostra un PFD che pilota una charge pump in cui gli interruttori sono stati sostituiti da un pmos nella rete di pull-up, e da un nmos nella rete di pull-down. Poichè il pmos viene acceso e spento con una tensione inversa rispetto ad un nmos, viene inserito un invertitore tra il nodo Q_A ed il gate del pmos. L'inserimento dell'invertitore però causa delle differenze nei tempi di propagazione dei segnali. Come precedentemente spiegato, il tempo di propagazione non nullo dei segnali attraverso le porte logiche fa sì che in condizioni di *lock* esistano dei brevi istanti in cui $Q_A = Q_B = 1$, e quindi in cui entrambi gli interruttori risultano chiusi. Supponendo nullo il mismatch tra le correnti erogate dai generatori, se gli interruttori si chiudessero e si riaprissero nel medesimo istante, nessuna corrente verrebbe iniettata nel filtro. La figura 3.5 mostra l'effetto della differenza dei tempi di propagazione dei segnali di controllo degli interruttori sulla corrente iniettata nel filtro e la tensione V_{cont} . La corrente iniettata varia da $+I$ a $-I$. Questo causa un ripple sulla tensione di controllo del VCO. Per ridurre questo fenomeno è importante bilanciare i tempi di propagazione dei segnali. In figura 3.6 un gate di trasmissione è stato inserito tra l'uscita Q_B del PFD e l'interruttore per bilanciare i tempi di propagazione dei segnali.

3 Phase-Frequency Detector: Esempi e Confronto

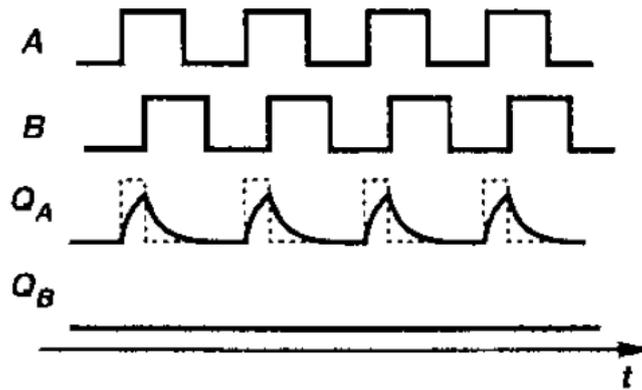


Figura 3.1: risposta PFD per piccole differenze di fase

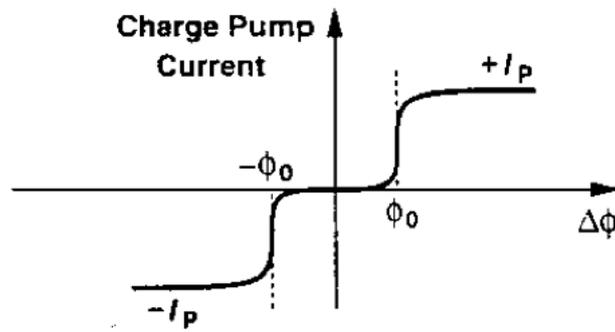


Figura 3.2: effetto della *dead-zone* nella charge pump

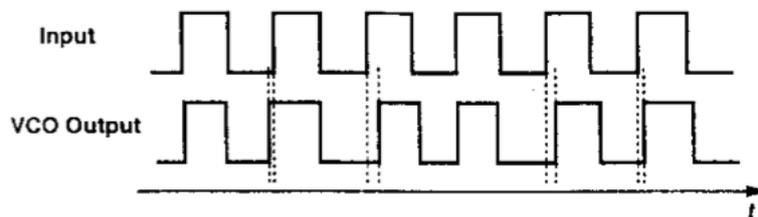


Figura 3.3: jitter in uscita causato dalla dead zone

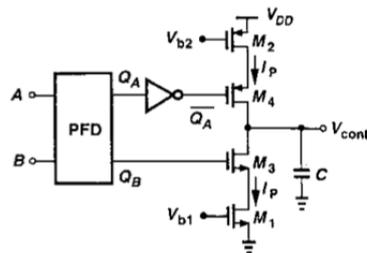


Figura 3.4: charge pump con interruttori reali

3 Phase-Frequency Detector: Esempi e Confronto

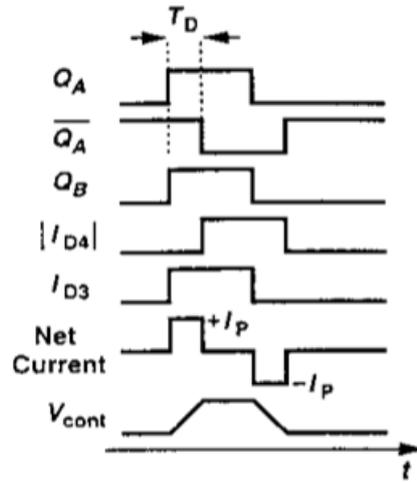


Figura 3.5: effetto del ritardo tra \bar{Q}_A e Q_B

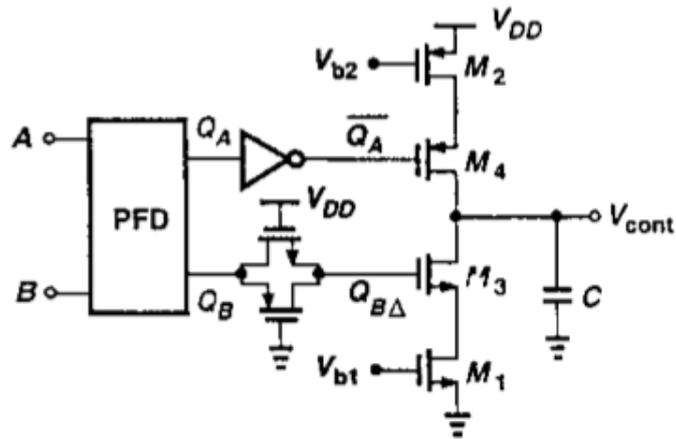


Figura 3.6: bilanciamento dei tempi di propagazione mediante l'inserimento di un gate di trasmissione

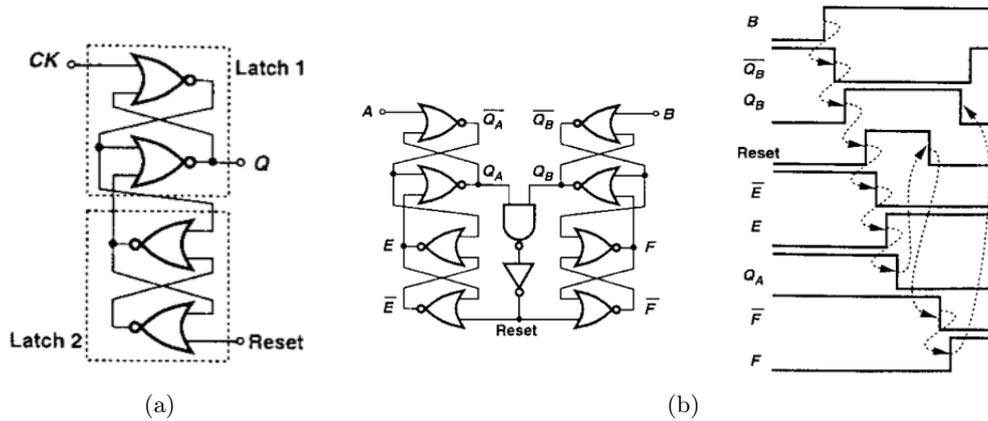


Figura 3.7: DFF latch based (a), CMOS PFD (b)

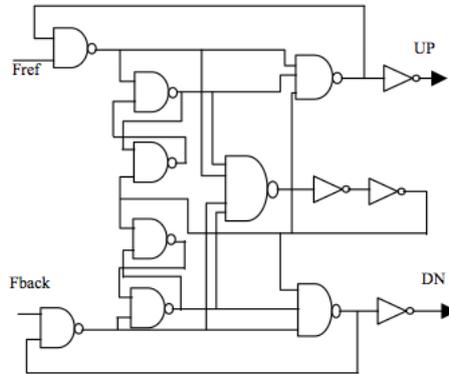


Figura 3.8: Standard PFD

3.2 Confronto tra possibili soluzioni circuitali per la realizzazione di un PFD

Esistono differenti soluzioni per realizzare un phase-frequency detector. La figura 3.7 mostra una possibile realizzazione di un PFD in logica CMOS ed il suo funzionamento [1]. I flip flop sono realizzati utilizzando due latch SR. Come è possibile osservare, a causa delle numerose porte logiche, il tempo di propagazione risulta elevato. Il circuito non è quindi adatto per operare a frequenze elevate, ma presenta delle buone prestazioni per frequenze più basse, data la robustezza della logica CMOS ed il basso consumo di potenza. La figura 3.8 mostra una realizzazione alternativa del PFD sempre basate sulla logica CMOS [5].

La logica TSPC permette di realizzare dei DFF con ingresso $D = 1$ utilizzando solo sei transistor. In questo modo è quindi possibile ridurre il consumo di potenza pur garantendo una risposta veloce del circuito alle transizioni dei segnali in ingresso [7].

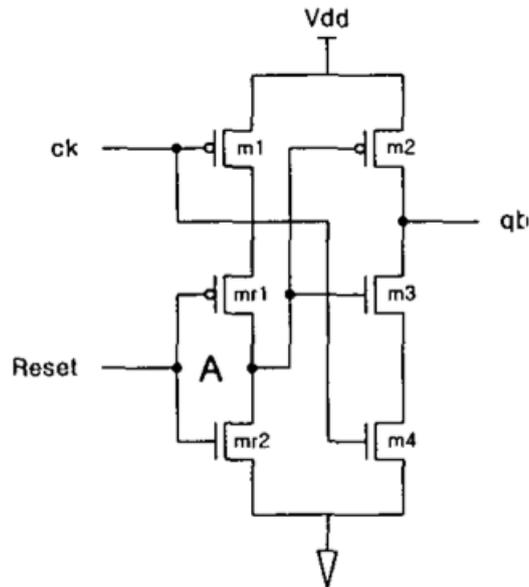


Figura 3.9: DFF TSPC

La figura 3.9 mostra lo schema circuitale del flip-flop in logica TSPC. In questo schema non viene fornita l'uscita diretta ma quella negata. Analizziamo il funzionamento del circuito. Quando sia il segnale di clock che il reset valgono zero, il nodo A è caricato a Vdd attraverso i mos m1 ed mr1. Il nodo di uscita qb risulta quindi scollegato sia da Vdd che dalla massa (poichè m2 ed m4 sono spenti) e mantiene quindi il suo valore logico. All'arrivo del fronte di salita del segnale di clock, qb viene connesso a massa attraverso m3 ed m4. Eventuali altre commutazioni sul segnale di clock non producono variazioni su qb: fino a quando il segnale di reset vale zero infatti, il nodo A rimane caricato a Vdd anche nel caso in cui m1 venga spento. Di conseguenza m2 rimane spento e qb scarico. Quando invece il segnale di reset assume il valore logico uno, il nodo A viene connesso a massa attraverso mr2 e quindi m3 si spegne, m2 si accende e qb caricato a Vdd. La figura 6.13 mostra la realizzazione completa del PFD. Al fine di minimizzare il tempo di propagazione del segnale di reset ed aumentare quindi la velocità del circuito, la porta AND è stata sostituita da una porta logica NOR a rapporto pilotata dai segnali negati.

La figura 3.11a mostra un *precharge-type* PFD [8]. In questa configurazione i DFF ricevono in ingresso sia il segnale di riferimento che il segnale di feedback. La porta logica AND per l'attivazione del reset è integrata nei DFF. Una volta raggiunta la condizione di *lock-state*, il circuito si dimostra estremamente veloce, minimizzando quindi i tempi morti. Rispetto agli altri PFD presentati però, questo circuito richiede un transitorio più lungo per sincronizzare il segnale di uscita con il segnale di riferimento.

La figura 3.11b mostra il *non-clock* PFD (ncPFD) [9]. Il circuito non presenta *dead-zone*, ed è quindi indicato per applicazioni che richiedono un basso jitter in uscita. A differenza degli altri schemi presentati però, richiede in ingresso segnali con duty-cycle del 50%.

3 Phase-Frequency Detector: Esempi e Confronto

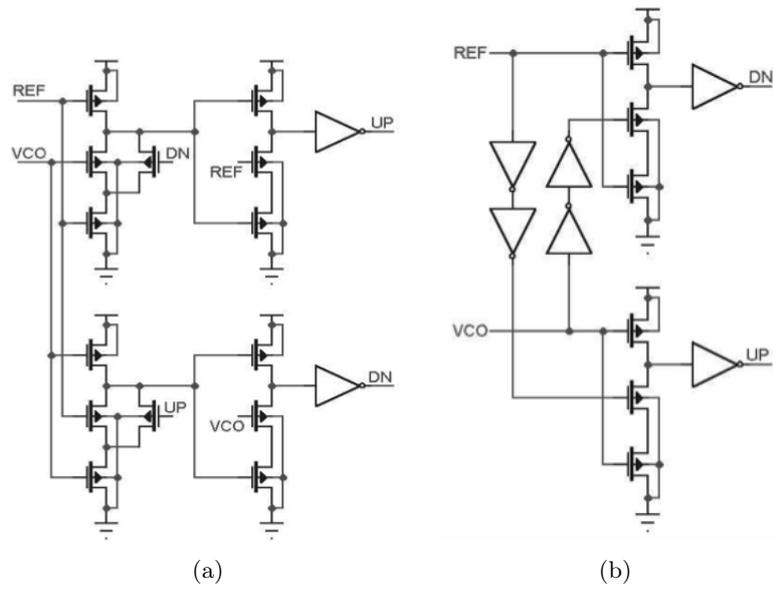


Figura 3.11: precharge PFD (a), non-clock PFD (b)

In [5] viene eseguito un confronto tra le diverse topologie presentate. Il PFD basato su DFF TSPC raggiunge i risultati migliori per velocità, occupazione d'area e rumore in uscita.

4 Charge-Pump: Esempi e Confronto

Nella prima parte del capitolo viene analizzato il fenomeno dei *reference spur*. Nella seconda parte del capitolo vengono invece illustrate le principali configurazioni delle single-ended charge-pump.

4.1 Reference Spur

Come accennato in precedenza, il tempo di propagazione finito dei segnali attraverso le porte logiche del PFD, causa in condizione di *lock-state* dei brevi impulsi sulle uscite Q_A e Q_B . Supponiamo che questi impulsi abbiano la stessa durata e la stessa posizione temporale, e che I_1 sia perfettamente uguale ad I_2 . Allora nessuna corrente viene iniettata nel filtro e quindi V_{cont} rimane costante. In realtà, a causa di differenze nei tempi di propagazione dei segnali, mismatch tra I_1 ed I_2 e correnti di leakage, una corrente non nulla viene iniettata nel filtro. Ciò causa un ripple di tensione su V_{cont} anche in condizione di *lock-state*. In figura 4.1 viene mostrata una CP in cui gli interruttori sono stati sostituiti da un pmos ed un nmos. Durante l'accensione/spegnimento degli interruttori, le capacità parassite degli mos vengono caricate/scaricate. A causa del diverso valore tra le capacità del pmos e del nmos, delle piccole correnti vengono iniettate nel filtro (*charge injection*). Questo fenomeno si somma quindi a quelli descritti precedentemente.

Questi fenomeni causano la comparsa nello spettro del segnale in uscita dal PLL di toni posizionati a $f_{out} \pm f_{ref}$, e sono quindi chiamati *reference spur*. Per capire l'origine di questo fenomeno supponiamo che il PLL sia in *lock*, e che sulla tensione di controllo del VCO compaia un piccolo ripple periodico $g(t)$. Come mostrato in figura 4.2, approssimiamo quindi il ripple su V_{cont} come un impulso di tensione di altezza ΔV e durata Δt [1]. In uscita al VCO otteniamo

$$\begin{aligned} v_{out}(t) &= V_o \cos \left(\omega_{fr} t + K_{vco} \int V_{cont} dt \right) = \\ &= V_o \cos \left(\omega_{fr} t + K_{vco} \int g(t) dt + K_{vco} \int V_1 dt \right) \end{aligned} \quad (4.1)$$

Espressa in serie di Fourier, $g(t)$ diviene:

$$g(t) = \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{ref} t + \theta_n) \quad (4.2)$$

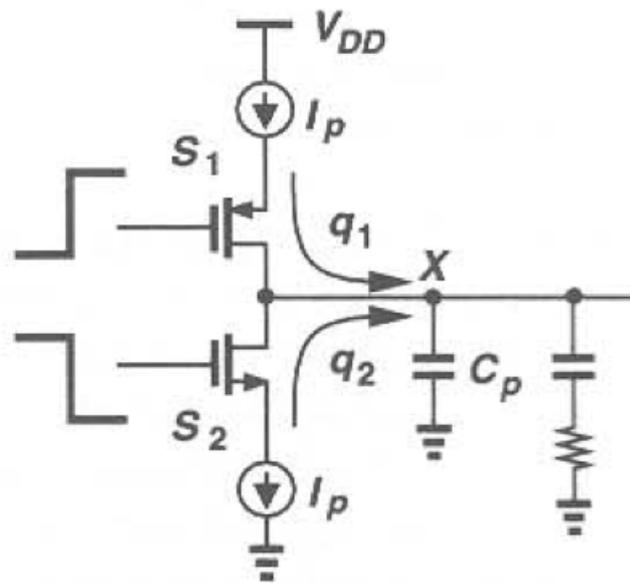


Figura 4.1: charge-injection

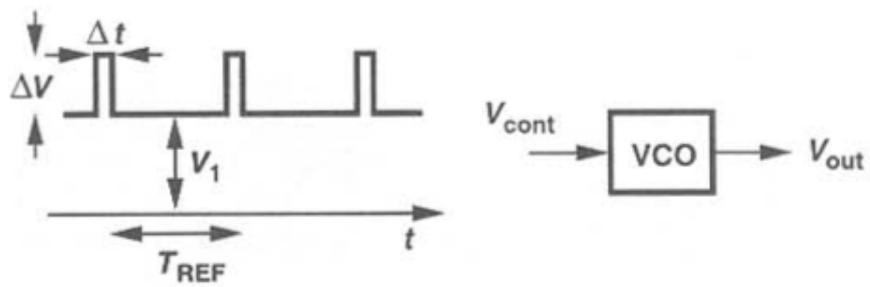


Figura 4.2

che sostituita nella (4.1) produce:

$$v_{out}(t) \approx V_0 \cos \left(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_1 \right) t - K_{vco} \left[V_0 \sum_{n \neq 0} \frac{a_n}{n \omega_{ref}} \sin(n \omega_{ref} t + \theta_n) \right] \sin \left(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_1 \right) t \quad (4.3)$$

che indica la comparsa dei *reference spur* posizionati a $f_{out} \pm f_{ref}$.

I reference spur causano problemi soprattutto se cadono nella banda di interesse. In [10] viene approfondita l'analisi del fenomeno per un *type II third order loop* PLL, distinguendo tra il contributo dovuto alle correnti di leakage da quello dovuto invece al mismatch tra I_1 ed I_2 . Indicando con I_{leak} il valore della corrente di leakage iniettata nel filtro, l'offset sulla fase causato da tali correnti vale

$$\phi_{\varepsilon, leak} = 2\pi \frac{I_{leak}}{I} \quad (4.4)$$

L'ampiezza del tono in uscita (in dBc/Hz) vale:

$$P_r = 20 \log \left[\frac{1}{\sqrt{2}} \frac{f_{BW}}{f_{ref}} M \phi_{\varepsilon, leak} \right] - 20 \log \left(\frac{f_{ref}}{f_p} \right) \quad (4.5)$$

dove $f_{BW} = \frac{IRK_{vco}}{2\pi M}$, con M valore del modulo del divisore nella rete di feedback, e f_p è la frequenza a cui è posizionato il polo del filtro. L'offset causato invece dal mismatch tra le correnti vale invece

$$\phi_{\varepsilon, mis} = 2\pi \frac{\Delta t_{on}}{T_{REF}} \frac{\Delta i}{I} \quad (4.6)$$

dove Δt_{on} è la durata dell'intervallo in cui i segnali in uscita dal PFD sono entrambi alti, e $\Delta i = |I_1 - I_2|$. Sostituendo la (4.6) nella (4.5) si ottiene l'ampiezza del tono in uscita (in dBc/Hz) dovuta al mismatch tra le correnti. Le correnti di leakage dipendono dalla qualità del dispositivo fabbricato. Di conseguenza l'ampiezza del reference spur dovuto a questo fenomeno è difficilmente controllabile. L'ampiezza del tono dovuto al mismatch tra le correnti dipende sia da Δi che da Δt_{on} . Migliorando il matching tra le correnti ed utilizzando un PFD estremamente veloce è quindi possibile ridurre l'ampiezza.

In [11] vengono infine analizzati i fenomeni di charge-injection dovuti alla corrente che scorre attraverso il gate ed il drain dei mosfet utilizzati come interruttori durante transizioni della tensione di gate. L'ampiezza delle correnti iniettate dipende dalla velocità di variazione della tensione (dV_g/dt) e dalle capacità parassite del dispositivo. La riduzione delle dimensioni degli interruttori riduce l'ampiezza di tali correnti e quindi il ripple da queste generato.

4.2 Soluzioni circuitali per la realizzazione di una single-ended charge pump

Al fine di ridurre i fenomeni descritti precedentemente, le specifiche di progetto di una CP sono:

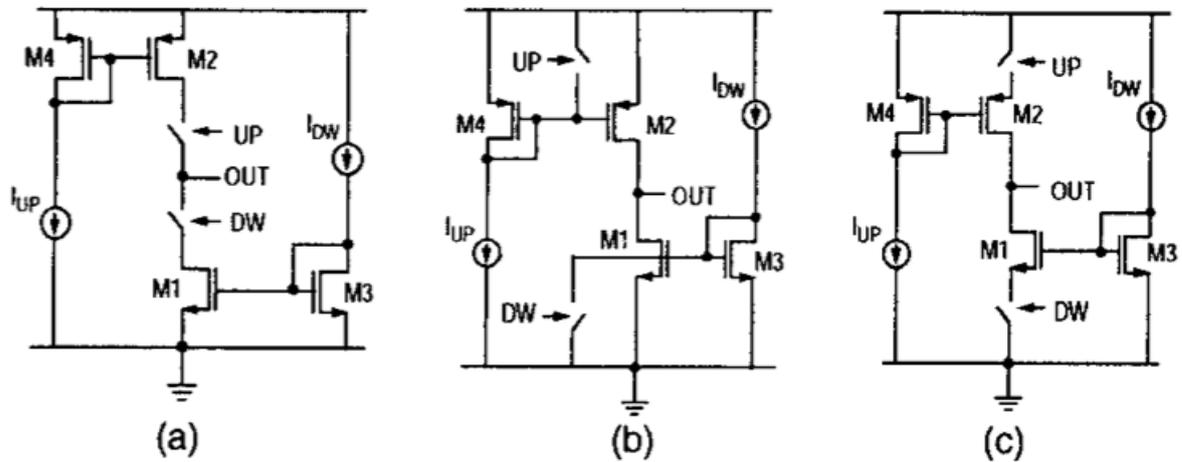


Figura 4.3: single-ended charge pumps: switch in drain (a), switch in gate (b), switch in source(c)

- Uguali correnti di carica/scarica ($I_1 = I_2$)
- Riduzione dell'iniezione di carica e del clock-feedthrough sul nodo di uscita

Le single-ended CP sono una soluzione altamente utilizzata dato il loro basso consumo di potenza ed una architettura relativamente semplice. La figura 4.3 mostra le tre tipologie base per realizzare una CP [10]. La prima configurazione viene chiamata *switch in drain*, poichè il drain degli interruttori è collegato all'uscita. Consideriamo la rete di pull-down: quando l'interruttore viene spento, la capacità di drain di M1 viene completamente scaricata e la tensione tra drain e source si annulla. Quando l'interruttore viene acceso M1 non si trova quindi in saturazione ma in regione lineare, e vi rimane fino a quando la tensione tra il drain ed il source non supera la V_{ov} . Durante questo periodo si generano dei picchi di corrente. Una situazione simile si presenta sulla rete di pull-up. Questo circuito è quindi caratterizzato da extracorrenti all'apertura e alla chiusura degli interruttori. Consideriamo la rete di pull-down del circuito in figura 4.3b. Quando l'interruttore viene acceso, la tensione V_{gs} di M1 viene portata a massa e quindi M1 si spegne. In questo modo la capacità di drain non viene scaricata completamente, e quando nuovamente acceso il mos entra subito in saturazione, riducendo i picchi di corrente. Questa configurazione viene generalmente poco utilizzata, poichè è più lenta delle altre: M3 è chiuso a diodo e quindi si trova sempre in saturazione se $V_{gs} > V_{th}$. Le dimensioni dell'interruttore devono essere quindi molto maggiori di quelle di M3 affinché la corrente scorra attraverso l'interruttore una volta acceso, spegnendo così M3 ed M1. Il PFD deve pilotare una capacità elevata e quindi i tempi di salita e di discesa dei segnali aumentano. Infine in figura 4.3c gli interruttori non vengono collegati direttamente sull'uscita, ma sono collegati alla massa o a V_{dd} . In questo modo M1 ed M2 rimangono in saturazione anche quando gli interruttori sono aperti. Non sono richieste grosse dimensioni per gli

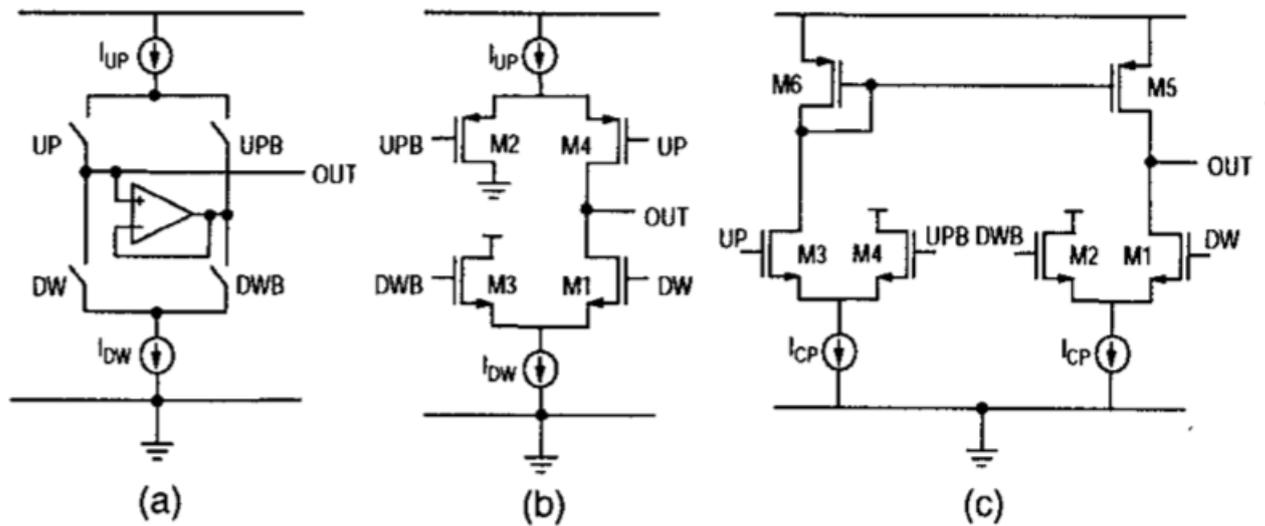


Figura 4.4: CP con amplificatore (a), current-steering CP (b), NMOS current-steering CP (c)

interruttori, e quindi questa configurazione risulta più veloce rispetto a quella in figura 4.3b.

La configurazione in figura 4.3a può essere migliorata al fine di ridurre i picchi di corrente. La figura 4.4 mostra le modifiche apportabili. Queste configurazioni utilizzano anche i segnali complementari, al fine di offrire un percorso alternativo alle correnti quando l'uscita della CP è scollegata. In questo modo i mos utilizzati per gli specchi di corrente rimangono sempre ben saturi, riducendo quindi il charge-sharing presente nella configurazione di figura 4.3a. Il circuito in figura 4.4c utilizza solamente nmos come interruttori al fine di evitare il mismatch tra nmos e pmos. I circuiti riportati in figura 4.4 permettono di raggiungere elevate velocità e ridurre il rumore in uscita, ma a spese di un aumento della potenza dissipata.

Nel circuito di figura 4.5 gli switch non sono collegati al nodo di uscita [12]. In questo modo il problema del charge-sharing e del clock feedthrough viene eliminato. Tuttavia questa configurazione risulta più lenta rispetto alle precedenti, poichè i transistor collegati in uscita non sono soggetti ad uno spegnimento forzato.

I circuiti riportati in questo paragrafo si basano su specchi di corrente a singolo transistor. Naturalmente è possibile utilizzare specchi di corrente cascode che, a causa della resistenza di uscita elevata, offrono un rapporto più preciso con la corrente di riferimento. La figura 4.6 mostra un esempio di *switch in drain cascode* CP. Gli specchi cascode però riducono l'escursione del segnale in uscita, e non possono essere utilizzati in caso di tensioni di alimentazioni ridotte (come in questa tesi).

È infine raccomandabile utilizzare una L non minima. In questo modo si migliora il matching tra i componenti e si riduce il rumore flicker generato dai dispositivi.

4 Charge-Pump: Esempi e Confronto

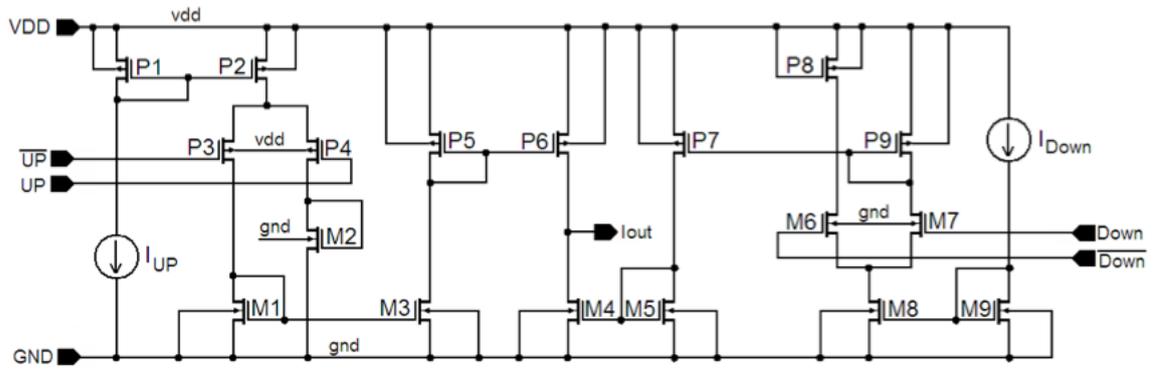


Figura 4.5: CP senza charge sharing

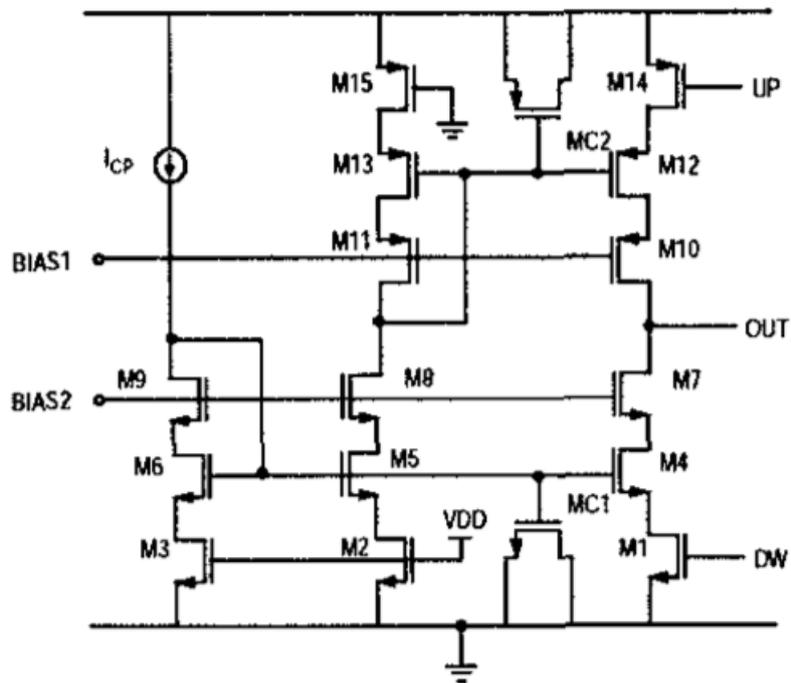


Figura 4.6: cascode CP

5 VCO Basati su Oscillatori ad Anello

5.1 Introduzione agli oscillatori

Un oscillatore è un sistema che sfrutta una retroazione positiva per generare un'uscita periodica. Un'oscillatore è un sistema autonomo, ovvero presenta un'uscita ben definita anche in assenza di segnali in ingresso. Un *Voltage Controlled Oscillator* è un oscillatore in cui la frequenza di oscillazione è controllabile mediante una tensione V_{cont} .

Gli oscillatori sono sistemi altamente non lineari. L'analisi lineare non conduce a risultati precisi, ma permette di ricavare delle condizioni necessarie affinché si possa instaurare un'oscillazione stabile. La figura 5.1 mostra lo schema a blocchi di un oscillatore: è costituito da un amplificatore e da un filtro notch (*frequency selective network*) chiusi in feedback positivo. La fdt del sistema risulta quindi

$$H(s) = \frac{Y(s)}{X(s)} = \frac{A(s)}{1 - A(s)\alpha(s)} \quad (5.1)$$

Affinchè nel circuito si instauri una oscillazione alla frequenza f_0 devono essere soddisfatte due condizioni note come *Criterio di Barkhausen*:

1. il guadagno deve essere unitario

$$|H(j\omega_0)| = 1 \quad (5.2)$$

2. per risposte positive

$$\angle H(j\omega_0) = 0 \quad (5.3)$$

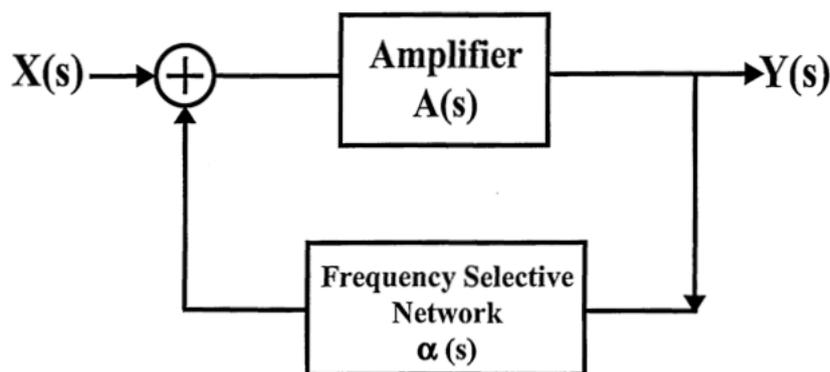


Figura 5.1: schema blocchi oscillatore

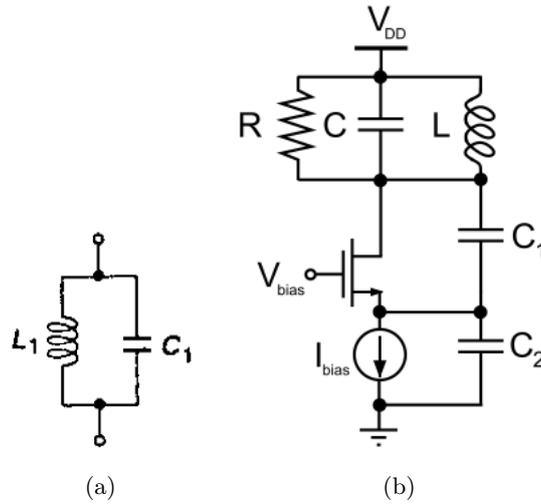


Figura 5.2: parallelo LC (a), oscillatore Colpitts (b)

per risposte negative invece

$$\angle H(j\omega_0) = 180^\circ \quad (5.4)$$

Il criterio di Barkhausen è condizione necessaria ma non sufficiente. Garantisce quindi che, una volta instaurata l'oscillazione, il sistema continuerà ad oscillare se le (5.2), (5.3) sono rispettate, ma non assicura l'innescarsi dell'oscillazione. In pratica, il feedback positivo amplifica il rumore del circuito e la *frequency selective network* permette l'amplificazione solo di una determinata frequenza. Nel circuito si instaura quindi un'oscillazione di ampiezza crescente. L'ampiezza dell'onda continua quindi a crescere fino a quando il guadagno non satura a causa delle non linearità.

5.2 Tipi di oscillatori nei circuiti integrati

Nei circuiti integrati si possono distinguere tre principali categorie di oscillatori:

- LC oscillators
- relaxation oscillators
- ring oscillators

5.2.1 Oscillatori LC

Gli oscillatori LC sono costituiti da un amplificatore ed un a rete LC. Una rete LC come quella mostrata in figura 5.2a oscilla alla frequenza $\omega_0 = \sqrt{L_1 C_1}$. In realtà a causa delle resistenze parassite, l'oscillazione si smorza nel tempo, ed è quindi necessario un elemento attivo per mantenere costante l'ampiezza del segnale (figura 5.2b).

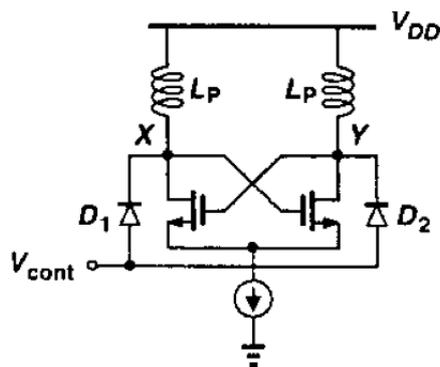


Figura 5.3: varactor-diodes LC VCO

La frequenza di oscillazione di un oscillatore LC dipende quindi dai valori di capacità ed induttanza utilizzati, almeno fino a quando le non idealità del sistema possono essere trascurate. Variando questi valori è quindi possibile controllare la frequenza di oscillazione. Poiché non risulta possibile variare il valore dell'induttanza, solo la capacità viene fatta variare, grazie all'utilizzo dei *varactors*. Un varactors è una capacità il cui valore dipende da una tensione. Una semplice giunzione pn può essere utilizzata come varactor (figura 5.3).

Gli oscillatori LC producono un segnale di elevata purezza spettrale, caratterizzato da un rumore di fase molto basso. Sono però costosi, poiché la fabbricazione di induttori integrati complica notevolmente il processo di fabbricazione richiedendo delle fasi aggiuntive e le induttanze occupano un'area elevata. Inoltre il tuning-range del VCO è limitato.

5.2.2 Relaxation oscillators

La figura 5.4 mostra un esempio di *relaxation oscillator*. In ogni periodo, la capacità viene caricata e scaricata. Utilizzando un varactor è possibile realizzare un VCO.

Questo tipo di oscillatori vengono utilizzati principalmente in bassa frequenza.

5.2.3 Oscillatori ad anello

I ring oscillator sono costituiti da una catena chiusa di amplificatori. A differenza degli oscillatori LC, i ring-oscillators non richiedono complicazioni del processo di fabbricazione e sono quindi meno costosi. Occupano un'area minore ed hanno un tuning-range più elevato (possono coprire bande di diversi *GHz*). Inoltre permettono di estrarre fasi diverse del segnale. Il rumore di fase è però elevato e le prestazioni sono inferiori gli LC.

La scelta del tipo di oscillatore dipende dal tipo di applicazione. Nei sistemi di comunicazione ad RF i segnali viaggiano per lunghe distanze attraverso l'etere, che è un mezzo caratterizzato da perdite elevate. Di conseguenza il ricevitore deve avere bassi livelli di rumore per ridurre il BER (*bit-error rate*) del segnale. Nei sistemi di comunicazione RF

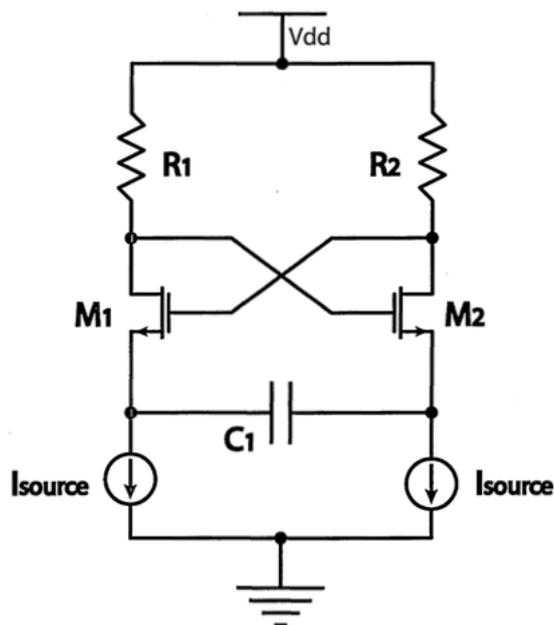


Figura 5.4: relaxation oscillator

vengono quindi utilizzati oscillatori LC, dato il loro basso rumore di fase. Le fibre ottiche sono invece un mezzo quasi-ideale, in cui la potenza del segnale ricevuto è circa pari a quella del segnale trasmesso. Ciò rilassa molto le specifiche di rumore del ricevitore, ed è possibile utilizzare un ring oscillator. Anche i generatori di clock nei microprocessori, nei DSP e nelle memorie utilizzano ring oscillator.

Esistono altri parametri da considerare durante la scelta e la progettazione di un oscillatore. Primo su tutti la frequenza di oscillazione. Il progetto di oscillatori ad elevata frequenza è complicato da numerosi fattori. La velocità dei transistor dipende dalle caratteristiche del processo di fabbricazione. Tecnologie molto scalate permettono di raggiungere frequenze di transito elevate, ma i dispositivi sono più sensibili alla variazione dei parametri di fabbricazione. Anche il rumore di fase aumenta al crescere della frequenza. All'aumentare della frequenza infatti, il periodo diminuisce e quindi il jitter aumenta. Il consumo di potenza aumenta al crescere della frequenza. Il consumo di potenza è importante soprattutto nelle applicazioni alimentate a batteria. Generalmente però aumentando il consumo di potenza migliora il rapporto segnale-rumore e quindi il rumore di fase diminuisce.

Bisogna inoltre tenere conto della stabilità del circuito rispetto alle variazioni dei parametri del processo di fabbricazione e della temperatura. In particolare, le applicazioni per uso militare impongono specifiche molto restrittive.

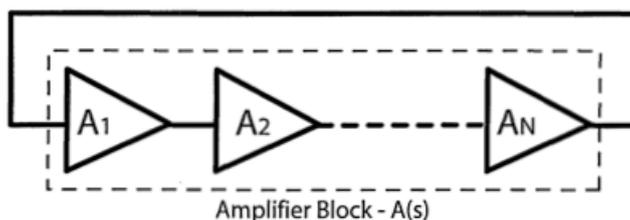


Figura 5.5: ring-oscillator

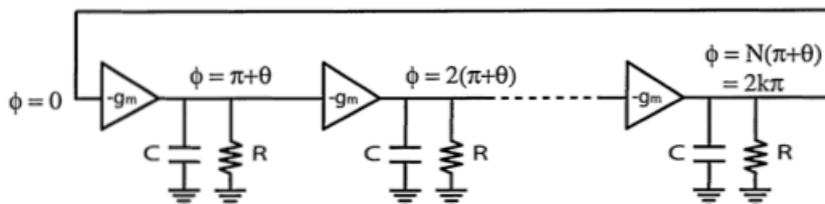


Figura 5.6: modello lineare ring oscillator

5.3 Introduzione agli oscillatori ad anello

Un ring oscillator è costituito da una cascata di N amplificatori invertenti (*delay-cell*) in cui l'uscita dell'ultimo stadio va in ingresso al primo stadio, come mostrato in figura 5.5. Il segnale quindi si propaga attraverso la catena ritornando al punto di partenza con polarità opposta. Nelle strutture single-ended N deve essere dispari, mentre nelle architetture differenziali è possibile utilizzare un numero pari di stadi. Indicato con T_d il tempo di propagazione del segnale attraverso una delay-cell, la frequenza di oscillazione vale

$$f_o = \frac{1}{2NT_d} \quad (5.5)$$

Analizziamo il sistema nel dominio della frequenza. Il guadagno d'anello del sistema in figura 5.5 vale

$$T(s) = A_1(s)A_2(s)\dots A_N(s) = A^N(s) \quad (5.6)$$

supponendo di utilizzare amplificatori uguali. Per le condizioni di Barkhausen, lo sfasamento totale deve essere multiplo di 2π , perciò lo sfasamento introdotto da ogni stadio dovrà essere pari a $2k\pi/N$, con k intero. Applicando le (5.2), (5.3) risulta

$$\angle A(j\omega_0) = \frac{2k\pi}{N} \quad (5.7)$$

$$|A(j\omega_0)|^N = 1 \quad (5.8)$$

La figura mostra l'equivalente lineare ai piccoli segnali del sistema in figura 5.5. Ogni amplificatore è stato sostituito da una transconduttanza $-g_m$ ed un carico RC . Ogni stadio fornisce quindi uno sfasamento pari a $(\pi + \theta)$. Il termine π è lo sfasamento dato

5 VCO Basati su Oscillatori ad Anello

dal guadagno invertente, mentre il termine θ è introdotto dal carico RC . Sostituendo lo sfasamento nella (5.7) si ricava

$$\theta = \pm \frac{\pi}{N} \quad (5.9)$$

Il guadagno di una singola cella mostrata in figura 5.6 vale

$$A(j\omega) = \frac{-g_m R}{1 + j\omega RC} \quad (5.10)$$

Sostituendo la (5.10) nella (5.7) si ricava

$$\angle A(j\omega_0) = -\arctan(RC\omega) \pm \theta \quad (5.11)$$

e poichè

$$\angle A(j\omega_0) = -(\pi + \omega) \quad (5.12)$$

risulta

$$\arctan(RC\omega_0) = \theta \quad (5.13)$$

da cui

$$\omega_0 = \frac{\tan \theta}{RC} \quad (5.14)$$

La condizione sulla fase non pone vincoli particolari, poichè in generale il sistema si autoassesta alla frequenza $f_0 = \omega_0/2\pi$ una volta chiuso in anello. Applichiamo ora la condizione sul guadagno. Risulta

$$\left(\frac{g_m R}{\sqrt{1 + RC\omega_0}} \right)^N = 1 \quad (5.15)$$

da cui, ponendo $RC\omega_0 = \tan \theta$, si ricava

$$(g_m R)^N = \left(\sqrt{1 + \tan \theta} \right)^N = \frac{1}{\cos^N \theta} \quad (5.16)$$

Poichè g_m , R e θ sono tutte quantità positive per come sono state definite, la condizione di Barkhausen sul guadagno viene rispettata se

$$g_m R \geq \frac{1}{\cos \theta} \quad (5.17)$$

Per un ring oscillator con tre stadi la (5.2) viene rispettata se $g_m R \geq 2$. Per $N = 4$ se $g_m R \geq \sqrt{2}$. Al crescere del numero di stadi diminuisce quindi il guadagno richiesto e risulta più facile mantenere un'oscillazione stabile. Dalla (5.17) non sembrerebbe possibile implementare un ring oscillator utilizzando solo due stadi. In realtà ciò non è vero. La (5.17) si basa sul modello di figura 5.6, in cui ogni amplificatore è modellizzato come un amplificatore a singolo polo. Sfruttando i poli non dominanti degli amplificatori è invece possibile realizzare un oscillatore a due stadi. È comunque richiesto un guadagno elevato.

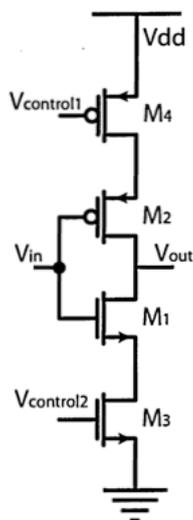


Figura 5.7: current starved inverter

5.4 Oscillatori ad anello single-ended

Un ring oscillator single-ended è semplicemente costituito da una catena di N dispari invertitori CMOS, in cui l'uscita dell'ultimo invertitore viene riportata in ingresso al primo. Questa configurazione non permette di controllare la frequenza di oscillazione. Consideriamo il circuito in figura 5.7, detto *current starved inverter*, che mostra un invertitore a cui sono stati aggiunti i mos M3 ed M4. Variando le tensioni $V_{control1}$ e $V_{control2}$ è possibile modificare i tempi di salita e di discesa del segnale, e quindi il tempo di propagazione T_d . Sostituendo quindi gli invertitori con dei *current starved inverter* è possibile realizzare un VCO.

I vantaggi di un current starved based VCO sono la sua semplicità, l'escursione logica completa del segnale e la possibilità di raggiungere elevate frequenze di oscillazione. Essendo una architettura single ended però, è sensibile al rumore di modo comune ed in particolare al ripple della tensione di alimentazione ed ai disturbi nel substrato. Inoltre, una volta realizzato, il duty-cycle non risulta del 50%. Per questi motivi è preferibile utilizzare una architettura differenziale. Il current starved inverter based VCO e più in generale il ring oscillator ad invertitori, viene comunque utilizzato come circuito di confronto e per testare le prestazioni di una data tecnologia.

5.5 Oscillatori ad anello differenziali

A differenza delle architetture single ended, nelle architetture differenziali i disturbi di modo comune sono fortemente attenuati. Le architetture differenziali forniscono inoltre un duty-cycle del 50% e permettono di utilizzare un numero pari di stadi. La figura 5.8 mostra un ring oscillator con $N = 4$: l'incrocio dei fili corrisponde ad una inversione della

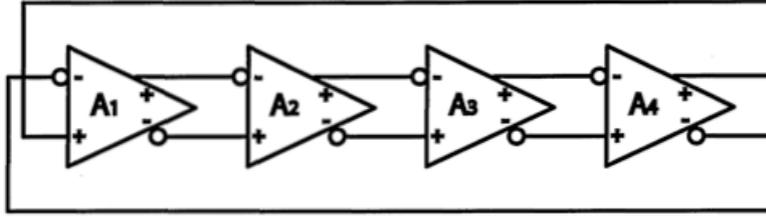


Figura 5.8: ring oscillator con numero pari di stadi

polarità del segnale, e quindi fornisce uno sfasamento di 180° . Il vantaggio di utilizzare un numero pari di stadi consiste nel fatto che è possibile estrarre direttamente due segnali sfasati di 90° .

I ring oscillator possono essere divisi in due categorie, chiamate *non-saturated type* e *saturated type*, a seconda del comportamento dei transistor della delay-cell [13]. Nel primo caso i segnali in uscita dalle varie celle non hanno una escursione logica completa, ma compiono delle piccole oscillazioni attorno ad un punto di equilibrio. La cella funziona quindi come un amplificatore lineare, ed i transistor sono sempre accesi. La figura 5.9 mostra due esempi di non-saturated type delay cell. Nella cella di figura 5.9a variando $V_{control}$ varia la polarizzazione dell'amplificatore e quindi il suo guadagno. Nella figura 5.9b variando V_{bp} varia la resistenza al piccolo segnale dei pmos [14]. In questo modo è possibile controllare la frequenza di oscillazione. Gli oscillatori saturated-type sono ben descritti dall'analisi lineare. Nei non-saturated type ring oscillator invece i segnali in uscita compiono un'escursione logica completa (ovvero oscillano tra 0 e V_{dd}). I transistor funzionano quindi come degli interruttori e non come amplificatori, e vengono quindi accesi/spenti in ogni periodo. L'analisi lineare non fornisce una descrizione precisa per questo tipo di oscillatori, ma è comunque un utile approccio per comprenderne il funzionamento. I saturated-type sono caratterizzati da un rumore di fase più basso rispetto ai non-saturated. Nei non-saturated type i transistor sono sempre accesi e di conseguenza iniettano continuamente rumore in uscita. Nei saturated type invece i transistor sono accesi solo per una frazione ΔT del periodo T , e solo in questo tempo iniettano rumore in uscita. La figura 5.10 illustra questo fenomeno: il rumore termico prodotto dai dispositivi viene modellizzato come un generatore di corrente in parallelo al transistor. Solo quando il transistor è acceso inietta rumore. L'analisi del rumore nei saturated type ring oscillator è molto complicata, poichè il rumore in uscita viene descritto da un processo aleatorio ciclostazionario. Tuttavia si può affermare che il rumore prodotto in uscita da ogni transistor è proporzionale alla durata del tempo per cui è acceso [13], ovvero

$$P_{noise} \propto \frac{\Delta T}{T} \quad (5.18)$$

Riducendo ΔT dei dispositivi critici si ottiene una riduzione del rumore totale in uscita.

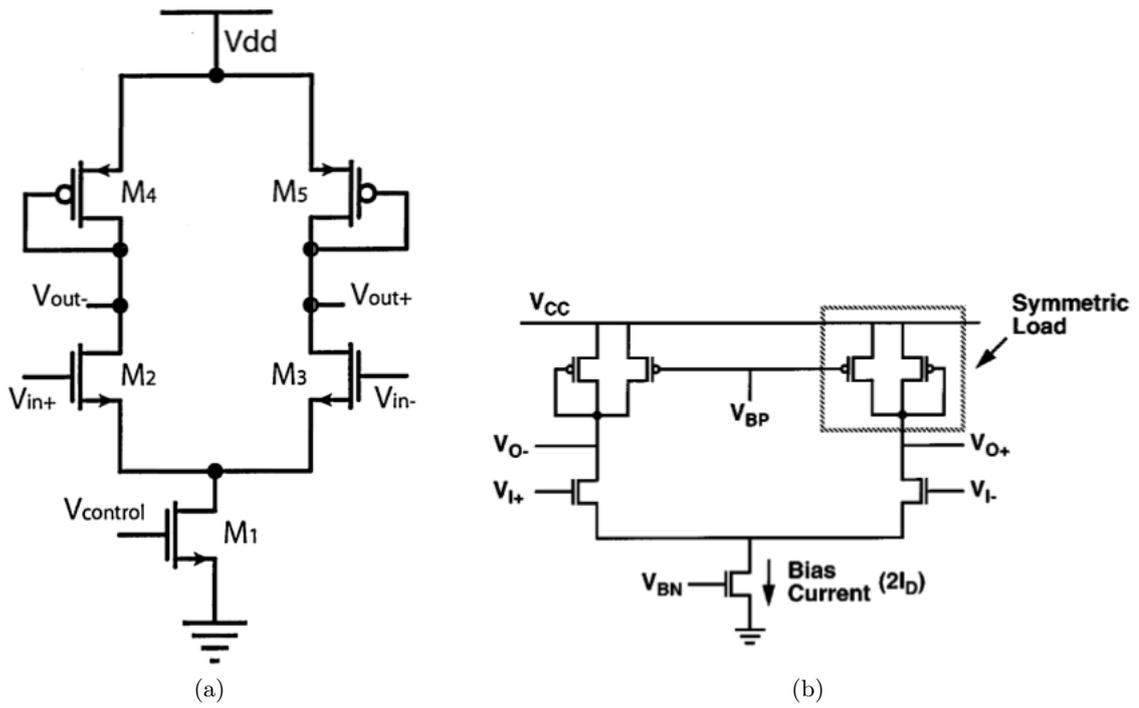


Figura 5.9: simple differential pair delay-cell (a), Maneatis delay-cell (b)

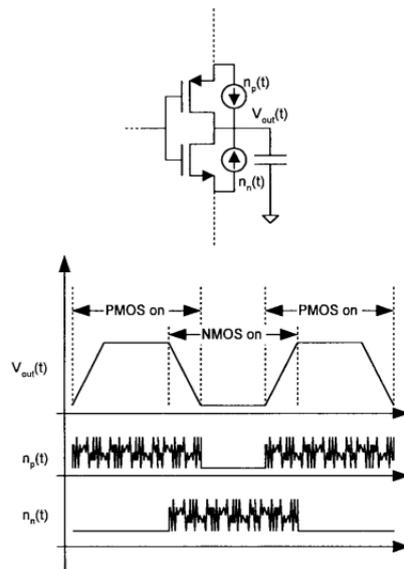


Figura 5.10: iniezione del rumore nei saturated type ring oscillator

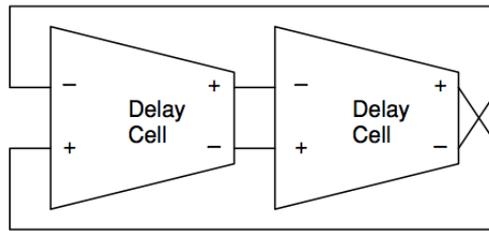


Figura 5.11: two stage ring oscillator

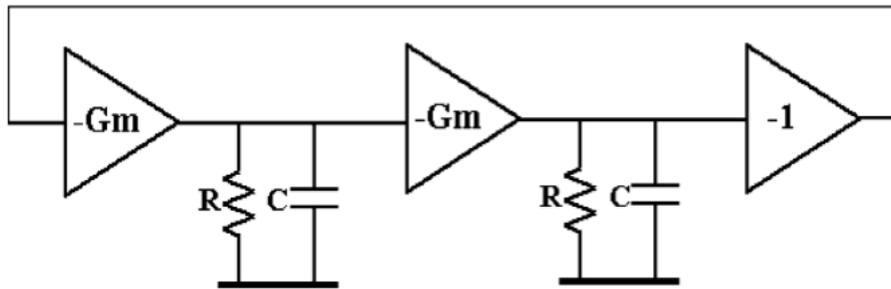


Figura 5.12: two stage ring oscillator linear model

Assumendo quindi una escursione logica completa, il tempo di propagazione dei segnali attraverso una cella può essere espresso come

$$T_d = \frac{C_L V_{dd}}{I} \quad (5.19)$$

dove C_L è la capacità al nodo di uscita e I la corrente media che scorre nella cella. La frequenza di oscillazione di un ring oscillator ad N stadi vale quindi

$$f_0 = \frac{1}{2NT_d} = \frac{I}{2NC_L V_{dd}} \quad (5.20)$$

5.6 Oscillatori ad anello differenziali a due stadi

In figura 5.11 viene mostrato un oscillatore a due stadi ed in figura 5.12 il suo equivalente modello lineare. Ogni stadio è stato linearizzato come una transconduttanza $-G_m$ ed un carico RC [15, 16]. La moltiplicazione per -1 modella invece l'incrocio dei fili necessario per l'ulteriore sfasamento dei segnali. La funzione di trasferimento ad anello aperto risulta

$$H(j\omega) = -\left(\frac{-G_m R}{1 + jRC\omega}\right)^2 \quad (5.21)$$

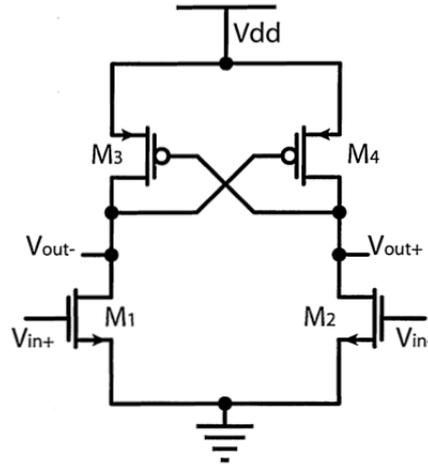


Figura 5.13: delay cell con resistenza negativa

Per il criterio di Barkhausen, alla pulsazione ω_0 il guadagno deve essere unitario, per cui

$$|H(j\omega_0)| = \frac{(GmR)^2}{1 + (RC\omega_0)^2} = 1 \quad (5.22)$$

Supponendo

$$RC\omega_0 \gg 1 \quad (5.23)$$

e quindi

$$GmR \gg 1 \quad (5.24)$$

è possibile ricavare la frequenza di oscillazione del sistema, che risulta

$$f_0 = \frac{1}{2\pi} \frac{Gm}{C} \quad (5.25)$$

Per la (5.24) è quindi necessario un elevato guadagno Gm affinché nel circuito si possa instaurare un'oscillazione stabile. Questo richiede un elevato consumo di corrente, e di conseguenza un elevato consumo di potenza e di area.

In figura 5.13 viene mostrata una delay cell il cui carico è composto da una coppia differenziale incrociata, che nel modello linearizzato di figura 5.14 è rappresentata da una resistenza negativa $Rn = -1/g_{mp4}$. La resistenza equivalente è data dal parallelo tra la resistenza positiva e quella negativa:

$$Rq = \frac{R \cdot Rn}{R + Rn} = \frac{R}{1 - g_{mp4}R} \quad (5.26)$$

Il nuovo guadagno d'anello è

$$H(j\omega) = -\left(\frac{-Gm}{1 + jRqC\omega}\right)^2 \quad (5.27)$$

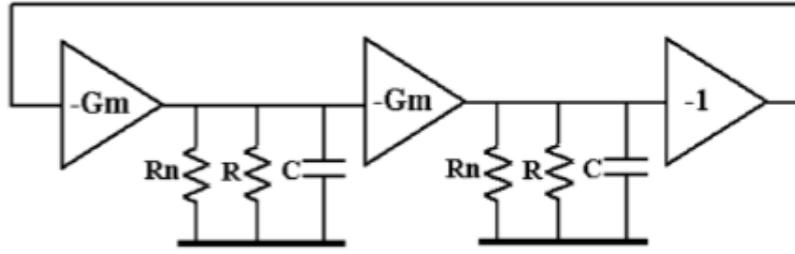


Figura 5.14: modello linearizzato

da cui, applicando come sopra il criterio di Barkhausen è possibile ricavare la frequenza di oscillazione, che coincide con la (5.25), ma sotto le ipotesi che

$$Gm \gg \frac{1}{|Rq|} = \left| \frac{1}{R} - g_{mp4} \right| \quad (5.28)$$

Ponendo quindi $g_{mp4} \approx 1/R$ è possibile massimizzare la frequenza di oscillazione mantenendo basso il consumo di potenza.

Il circuito in figura 5.13 non permette di controllare la frequenza di oscillazione. Esistono tre modi differenti per realizzare un VCO partendo da questa cella. Il primo consiste nel aggiungere una carico variabile tra le uscite come mostrato in figura 5.15a.

Il secondo metodo consiste invece nel aggiungere il transistor M_1 in coda come mostrato in figura 5.15b [16, 15]. A prima vista la cella sembrerebbe un semplice amplificatore differenziale. Il transistor M_1 però è polarizzato in triodo e non in saturazione. M_1 non funge quindi da specchio di corrente per la polarizzazione della cella, ma da resistenza controllata dalla tensione $V_{control}$. Al variare della resistenza variano quindi i tempi di propagazione del segnale, ed in particolare il tempo di discesa. In questo modo è possibile controllare la frequenza di oscillazione. Supponiamo il nodo di uscita della cella caricato a V_{dd} ed analizziamo la scarica della capacità del nodo di uscita della cella attraverso i mos M_2 ed M_1 . Supponiamo che M_2 sia in saturazione mentre M_1 sia invece in triodo. Possiamo quindi sostituire i due mos con due resistenze equivalente del valore

$$R_2 = \frac{3}{4} \frac{V_{dd}}{I_{dsat}} \left(1 - \frac{7}{9} \lambda \right) \quad (5.29)$$

$$R_1 = \frac{1}{k'_n \left(\frac{W_1}{L} \right) (V_{ctrl} - V_{tn})} \quad (5.30)$$

La scarica della capacità attraverso i mos assume un andamento esponenziale, la cui costante di tempo vale

$$\tau = (R_2 + R_1) \cdot C_{out} \quad (5.31)$$

Poichè tale circuito corrisponde alla scarica di un ramo del circuito in figura, la frequenza di oscillazione risulterà proporzionale ad $1/\tau$. La figura 5.16 mostra l'andamento di $1/\tau$ in funzione di $V_{control}$. Il guadagno K_{vco} dipende dal rapporto tra i fattori di forma di M_1 ed

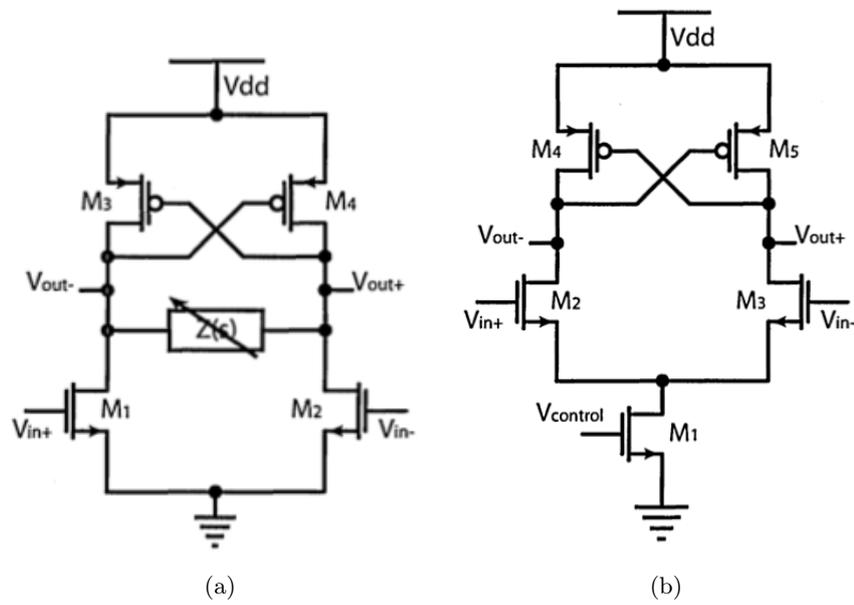


Figura 5.15: controllo mediante carico variabile (a), controllo mediante M_1 (b)

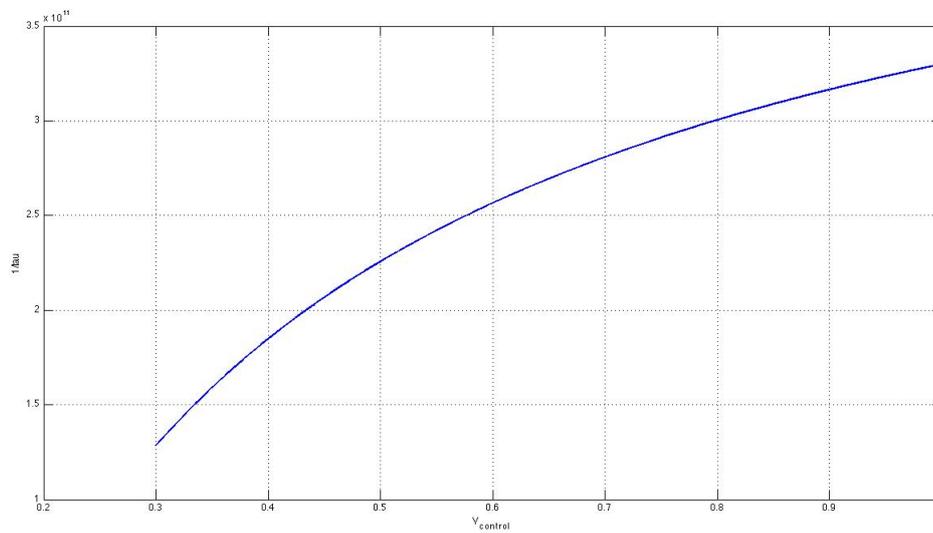


Figura 5.16: Andamento di $1/\tau$ in funzione di $V_{control}$

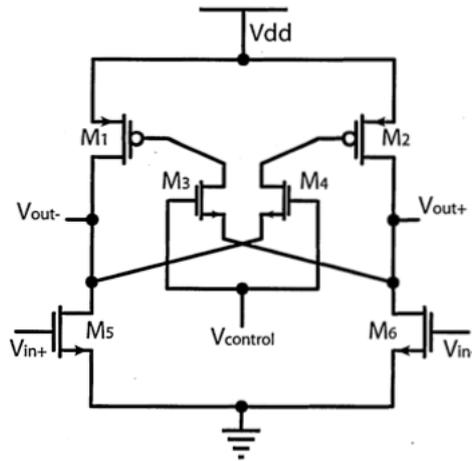


Figura 5.17: latch-strength control

M_2 . Poichè $R_1 \propto 1/Z_1$, aumentando Z_1 la resistenza R_1 diminuisce. Di conseguenza, se $Z_1 > Z_2$, variando $V_{control}$ si ottengono piccole variazioni della frequenza di oscillazione, poichè $R_1(V_{control}) + R_2$ è dominato dal valore di R_2 . Il guadagno K_{vco} è quindi basso. Per $Z_1 < Z_2$ invece il guadagno aumenta.

Infine è possibile controllare la frequenza di oscillazione mediante l'inserimento di due nmos sul latch del circuito, come mostrato in figura 5.17 [13, 19]. I mos M_3, M_4 controllano la massima tensione che cade sul gate di M_1, M_2 . La tensione massima sui gate di M_1 ed M_2 è infatti pari a $V_{g1,2max} = V_{control} - V_{tn3,4}$. Al crescere di $V_{control}$ aumenta quindi la massima tensione che cade sui pmos e quindi si riduce la corrente che scorre in essi. A differenza delle soluzioni precedenti quindi questa cella presenta un guadagno K_{vco} negativo. Il tuning-range della cella dipende dalle dimensioni di M_3, M_4 una volta fissate le dimensioni di M_1, M_2, M_5, M_6 . Tenendo fissa la tensione $V_{control}$, aumentando le dimensioni di M_3 ed M_4 diminuisce la loro resistenza. In questo modo la carica/scarica dei gate di M_1 ed M_2 è più veloce ed il tuning-range aumenta (almeno fino quando la capacità di M_3, M_4 non diviene troppo grande). Tenendo M_3, M_4 di dimensioni ridotte si ottiene un guadagno ridotto ma più lineare.

Le delay-cell sono state presentate in riferimento ad un VCO a due stadi. Nulla vieta però di utilizzare questi circuiti in oscillatori con un numero di stadi superiori. Anzi, il circuito di figura 5.17 risulta poco stabile per $N = 2$, e mostra invece una buona stabilità per $N > 2$. Il circuito di figura 5.15b invece si dimostra molto stabile anche per $N = 2$.

5.7 Rumore di fase nei VCO

A causa del rumore generato dai dispositivi, l'ampiezza e la fase del segnale generato dall'oscillatore non sono costanti, ma soggette a continue variazioni rispetto al loro valore nominale. Nella maggior parte dei casi, i disturbi sull'ampiezza sono trascurabili, poichè soppressi dalle non linearità dell'oscillatore stesso. I disturbi sulla frequenza di oscilla-

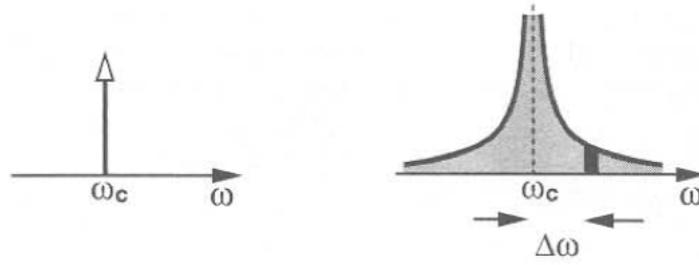


Figura 5.18: spettro oscillatore ideale e spettro oscillatore reale

zione sono la causa invece del rumore di fase (dominio della frequenza) e del jitter (dominio del tempo).

Il segnale generato dall'oscillatore è esprimibile come

$$x(t) = A \cos(\omega_c t + \phi_n(t)) \quad (5.32)$$

dove $\phi_n(t)$ è un processo aleatorio che provoca un disturbo sulla fase e quindi sul periodo del segnale generato. $\phi_n(t)$ viene chiamato *rumore di fase*. Supponiamo che $|\phi_n(t)| \ll 1$. La (5.32) diviene allora

$$x(t) = A \cos \omega_c t - A \phi_n(t) \sin \omega_c t \quad (5.33)$$

che indica come lo spettro di $\phi_n(t)$ sia traslato a $\pm f_c$. A causa del rumore di fase quindi, lo spettro del segnale generato dall'oscillatore non è costituito da un'unica riga spettrale alla frequenza $f_c = \omega_c/(2\pi)$, ma assume un andamento a campana come quello mostrato in figura 5.18.

Il rumore di fase SSB viene espresso in dBc/Hz e definito come

$$\mathcal{L}(\Delta\omega) = 10 \log \left[\frac{P_{sideband}(\omega_c + \Delta\omega, 1Hz)}{P_c} \right] \quad (5.34)$$

dove P_c è la potenza del carrier, e $P_{sideband}(\omega_c + \Delta\omega, 1Hz)$ rappresenta la potenza del rumore di fase alla distanza $\Delta\omega$ da ω_c integrato su una banda di 1Hz, come mostrato in figura 5.18.

La figura 5.19 mostra l'effetto del rumore di fase su un segnale ricevuto in presenza di un interferer. Come è possibile osservare, sia il segnale desiderato che il disturbo vengono riportati in banda base. A causa del rumore di fase il disturbo si sovrappone al segnale utile (*reciprocal mixing*). La figura 5.20 mostra invece l'effetto del rumore di fase in trasmissione. Se il rumore di fase è troppo elevato lo spettro del carrier si allarga, causando leakage sugli altri canali. Supponiamo inoltre di voler ricevere un segnale debole mentre viene trasmesso un segnale di potenza elevata. Se il rumore di fase del segnale trasmesso è troppo elevato, il suo spettro si sovrappone al segnale da ricevere.

5.7.1 Analisi dei fenomeni che causano il rumore di fase

Il rumore termico ed il rumore flicker generato dai dispositivi sono la causa del rumore di fase dell'oscillatore. In [20] vengono analizzati i fenomeni che trasformano il rumore

5 VCO Basati su Oscillatori ad Anello

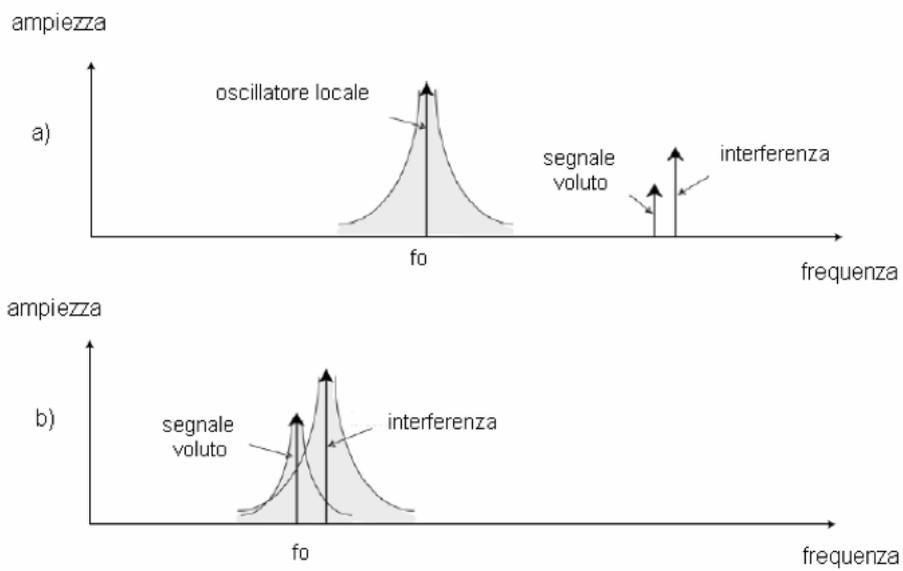
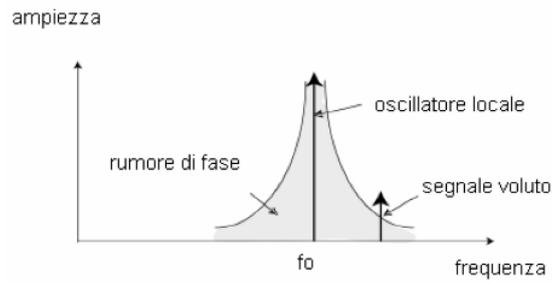
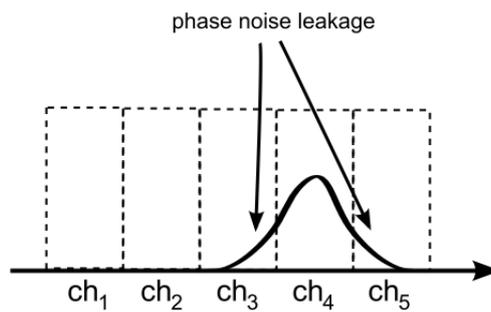


Figura 5.19: reciprocal mixing



(a)



(b)

Figura 5.20: effetto rumore di fase in trasmissione(a), leakage canali (b)

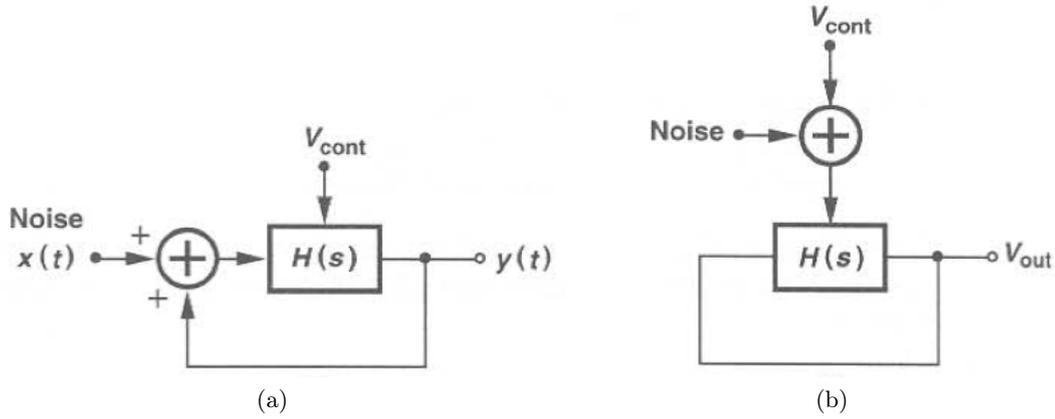


Figura 5.21: rumore sull'uscita del VCO

termico ed il rumore $1/f$ in rumore di fase, distinguendo due meccanismi principali, chiamati *additive noise* e *low-frequency multiplicative noise*.

Analizziamo il rumore additivo. La figura 5.21a mostra lo schema a blocchi di un VCO, in cui vengono evidenziati la tensione di controllo ed una sorgente di rumore. La fdt tra l'uscita del VCO ed il rumore vale

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 - H(s)} \quad (5.35)$$

In un intorno sufficientemente piccolo della pulsazione di oscillazione ω_0 , $H(j\omega)$ può essere linearizzato. Per Taylor risulta dunque

$$H(j\omega) = H(j\omega_0) + \Delta\omega \frac{dH}{d\omega} \quad (5.36)$$

Poichè $H(j\omega_0) = 1$ per la (5.2), e supponendo

$$\left| \Delta\omega \frac{dH}{d\omega} \right| \ll 1 \quad (5.37)$$

la (5.35) diviene

$$\frac{Y}{X}(\omega_0 + \Delta\omega) = \frac{-1}{\Delta\omega \frac{dH}{d\omega}} \quad (5.38)$$

e quindi la psd del rumore vicino a ω_0 , come mostrato in figura, compare in uscita moltiplicata per la *noise shaping function*

$$\left| \frac{Y}{X} [j(\omega_0 + \Delta\omega)] \right|^2 = \frac{1}{(\Delta\omega)^2 \left| \frac{dH}{d\omega} \right|^2} \quad (5.39)$$

Poichè il rumore flicker è dominante solo per frequenze relativamente basse, il rumore oggetto di questa breve analisi è quindi principalmente il rumore termico.

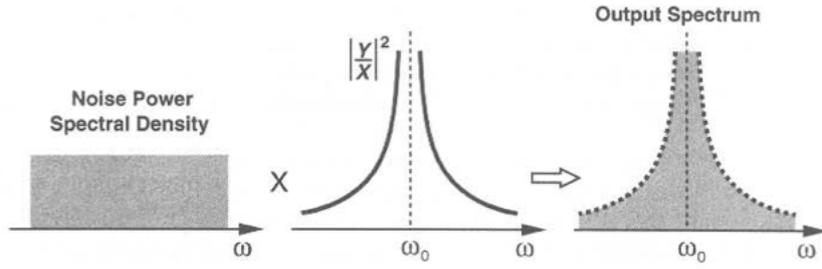


Figura 5.22: additive noise shaping

Analizziamo ora il rumore moltiplicativo. La figura 5.21b mostra nuovamente lo schema a blocchi di un VCO. Questa volta però viene considerato il rumore sulla tensione di controllo ed il suo effetto sulla fase del segnale in uscita. Il rumore su V_{cont} viene modulato dal VCO e traslato alla pulsazione ω_0 . Questo fenomeno può quindi essere immaginato come una modulazione FM in cui il rumore in bassa frequenza, e quindi il rumore flicker dei transistor, viene ripiegato attorno ad ω_0 . Per quantificare questo fenomeno, consideriamo una componente di rumore sinusoidale di ampiezza V_n alla pulsazione $\omega_n \ll \omega_0$. Indicato con K_{vco} il guadagno del VCO, il segnale in uscita risulta

$$v_{out}(t) = A_0 \cos \omega_0 t + \frac{A_0 V_m K_{vco}}{2\omega_n} [\cos(\omega_0 + \omega_n)t - \cos(\omega_0 - \omega_n)t] \quad (5.40)$$

che indica come le componenti di rumore ad ω_n vengano traslate a $\omega_0 \pm \omega_n$. Si noti inoltre che al crescere di ω_n come questo effetto tenda a ridursi, e quindi come sia il rumore vicino a DC (e quindi il rumore flicker) la principale fonte di rumore di fase vicino ad ω_0 .

5.7.2 Modelli di calcolo del rumore di fase

Nel 1966 Leeson [23] ricava una formula in grado di descrivere l'andamento del rumore di fase SSB di un oscillatore LC:

$$\begin{aligned} \mathcal{L}(\Delta\omega) &= 10 \log \left\{ S_{\Delta\theta}(\Delta\omega) \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \right\} = \\ &= 10 \log \left\{ \left(\frac{\alpha}{\Delta\omega} + \frac{2FkT}{P_c} \right) \left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right] \right\} \quad (5.41) \end{aligned}$$

dove $S_{\Delta\theta}(\Delta\omega)$ è lo spettro del rumore in ingresso e $\left[1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right]$ è la noise shaping function. $S_{\Delta\theta}(\Delta\omega)$ è composto da due componenti: $\frac{\alpha}{\Delta\omega}$ che modella il rumore flicker e $\frac{2FkT}{P_c}$ che modella invece il rumore termico. Q è il fattore di qualità del carico, k è la costante di Boltzmann, T la temperatura, α il coefficiente del rumore flicker ed

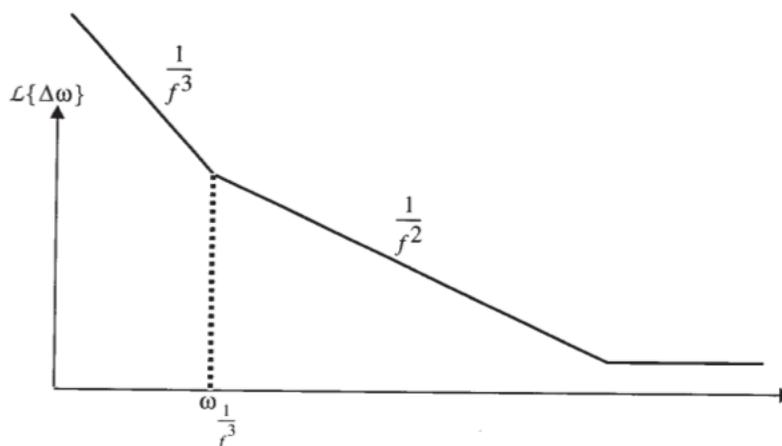


Figura 5.23

F un parametro empirico chiamato *excess noise factor*. L'andamento della (5.41) può essere diviso in tre regioni distinte. In prossimità di ω_0 la (5.41) ha una pendenza di -30dB/decade . In questa regione il rumore flicker è il contributo dominante al rumore di fase. Al crescere di $\Delta\omega$ la pendenza diminuisce e si porta a -20dB/decade . In questa regione il rumore termico è il contributo dominante. Infine, per $\Delta\omega + \omega_0 \gg \omega_0$, la (5.41) si appiattisce, ed il rumore di fase coincide con il ground di rumore del circuito. La figura 5.23 mostra $\mathcal{L}(\Delta\omega)$ l'andamento di al variare di $\Delta\omega$.

Leeson ricava la (5.41) più sulla base di considerazioni empiriche che teoriche. In [20] Razavi giunge alle stesse conclusioni partendo dal modello linearizzato di un oscillatore. In particolare, Razavi estende la formula di Leeson ai ring oscillator. Per un oscillatore con tank *RLC* si possono dare tre definizioni equivalenti del fattore di qualità:

- Q è il rapporto tra la frequenza di risonanza del tank e la banda misurata a -3dB

$$Q = \frac{\omega_0}{\Delta\omega_0} \quad (5.42)$$

- Q è 2π -volte il rapporto tra l'energia immagazzinata e l'energia dissipata nel tank in ogni periodo

$$Q = 2\pi \frac{\text{Energy Stored}}{\text{Energy Dissipated}} \quad (5.43)$$

- Q è la misura di quanto il feedback si oppone alle variazioni della frequenza di oscillazione

$$Q = \frac{\omega_0}{2} \frac{d\Phi}{d\omega} \quad (5.44)$$

con Φ fase della fdt ad anello aperto

Nessuna di queste definizioni però è applicabile ad un ring oscillator. Razavi introduce quindi una nuova definizione di fattore di qualità valida anche per i ring oscillator [20].

5 VCO Basati su Oscillatori ad Anello

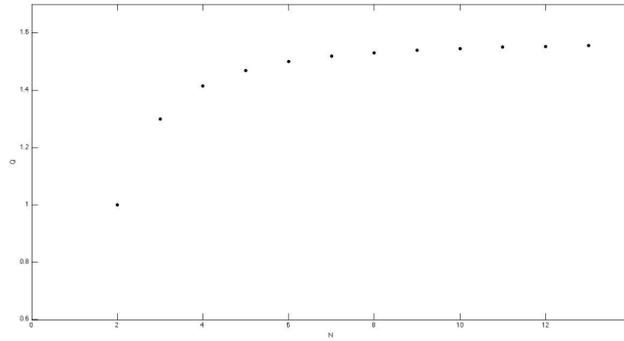


Figura 5.24: Q nei ring oscillator

Eguagliando la (5.39) con la noise shaping function della (5.41), ricava:

$$Q = \frac{\omega_0}{2} \sqrt{\left(\frac{dA}{d\omega}\right)^2 + \left(\frac{d\Phi}{d\omega}\right)^2} \quad (5.45)$$

dove A e Φ sono rispettivamente il modulo e la fase della fdt ad anello aperto dell'oscillatore. Sostituendo la (5.45) nella (5.41) è quindi possibile utilizzare la formula di Leeson per il calcolo del rumore di fase nei ring oscillator. Utilizzando il modello lineare presentato nei capitoli precedenti è possibile ricavare il valore di Q in funzione del numero di stadi N . Risulta:

$$Q(N) = \frac{N}{2} \sin\left(\frac{\pi}{N}\right) \quad (5.46)$$

La figura 5.24 riporta Q in funzione di N . Come è possibile osservare Q aumenta con l'aumentare del numero di stadi, ma la funzione è limitata. Le attuali tecnologie di fabbricazione permettono di costruire oscillatori LC con un fattore di merito superiore ad 80. Il modello di Razavi evidenzia quindi la superiore purezza spettrale degli oscillatori LC rispetto ad ai ring oscillator.

L'analisi compiuta da Razavi si basa sull'ipotesi che il sistema sia linearizzabile. Nel capitolo precedente si era distinto tra i non-saturated type VCO ed i saturated type VCO, dimostrando come l'analisi lineare non fosse adatta per questi ultimi. Il modello di Razavi quindi non fornisce risultati precisi per questo tipo di oscillatori, soprattutto per $N > 4$. In [21], viene presentato un modello in grado di calcolare il rumore di fase anche in sistemi non lineari.

I modelli matematici presentati sopra sono complicati da utilizzare. Tramite l'uso del simulatore circuitale *Cadence Virtuoso Spectre* è possibile calcolare in pochi minuti il rumore di fase di un oscillatore. I modelli matematici rimangono comunque di grande aiuto in fase progettuale, poichè evidenziano su quali parametri agire per ridurre il rumore di fase. In particolare in [24] vengono ricavate delle espressioni valide per il calcolo del rumore di fase in un oscillatore differenziale, distinguendo tra il contributo del rumore

termico ed il contributo del rumore flicker. Risulta:

$$\mathcal{L}(\Delta\omega)_{thermal} \propto \frac{kT}{I} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad (5.47)$$

$$\mathcal{L}(\Delta\omega)_{flicker} \propto \frac{K_f}{WL} \frac{\omega_0^2}{\Delta\omega^3} \quad (5.48)$$

Aumentando il consumo di corrente si riduce quindi il rumore di fase. Ciò è spiegabile con il fatto che aumentando il consumo di corrente aumenta la potenza del segnale e quindi il rapporto segnale-rumore migliora. Aumentando l'area dei dispositivi si riduce il rumore flicker. I modelli forniscono anche delle indicazioni sulla scelta del numero di stadi da utilizzare. Come spiegato nei capitoli precedenti, nei saturated-type VCO, i dispositivi rimangono accesi solo per una frazione ΔT del periodo T . Solo durante questo tempo ΔT quindi i transistor iniettano rumore in uscita [21, 13]. Utilizzando un numero di stadi elevati il tempo ΔT per cui un dato dispositivo rimane acceso viene ridotto. Ne consegue quindi che il rumore iniettato da un dato componente diminuisce, ma il numero delle sorgenti di rumore aumenta e quindi non sempre aumentando N il rumore di fase diminuisce. A parità di consumi risulta conveniente utilizzare un numero basso di stadi massimizzando il consumo di corrente per stadio e le dimensioni dei dispositivi, ma garantendo uno swing logico completo dei segnali.

6 Progetto di un PLL Basato su Oscillatore ad Anello per la VII Banda WCDMA

Scopo di questa tesi è progettare un PLL che moltiplichi per $3/2$ il segnale generato da un sintetizzatore di frequenza per lo standard GSM1800. In questo modo si ottiene un segnale adatto per coprire la VII banda WCDMA, che in futuro verrà utilizzata come estensione delle attuali bande UMTS. La caratteristica principale di questo lavoro è l'impiego di un CMOS ring oscillator based VCO. Rispetto agli oscillatori LC, i ring oscillator hanno un rumore di fase elevato, che li rende poco adatti per applicazioni RF, ma sono molto meno costosi. Questa tesi si propone quindi di valutare la possibilità di utilizzo dei ring oscillator per applicazioni RF.

La scelta del GSM1800 come segnale di riferimento è data dal fatto che lo standard GSM impone delle specifiche rigide sul rumore di fase. Il GSM utilizza canali di 200KHz. Per ridurre il leakage tra i canali ed evitare distorsioni dei segnali vengono quindi imposte delle specifiche molto rigide sul rumore di fase. La figura 6.1 mostra il test che un ricevitore deve rispettare per rispettare le specifiche imposte dal GSM: un segnale con potenza di -99dBm è ricevuto insieme ad un blocker (la cui potenza aumenta allontanandosi dalla frequenza del segnale desiderato). A causa dei fenomeni di intermodulazione, parte del blocker viene ripiegata sul segnale. Per superare il test, la potenza del blocker ripiegata nella banda del segnale utile deve essere minore di quella del rumore di ground, ovvero:

$$PN_{\Delta f} + P_{CW} + 10 \log(200\text{KHz}) < \text{noise floor} \quad (6.1)$$

dove $PN_{\Delta f}$ è il rumore di fase a $f_0 + \Delta f$ e P_{CW} la potenza del blocker [31]. La tabella 6.1a riporta le specifiche riferite al rumore di fase [29]. Lo standard UMTS utilizza invece canali di 5MHz, e quindi non impone specifiche così rigide sul rumore di fase. Le specifiche del sintetizzatore di frequenza dipendono anche dalle prestazioni degli altri componenti del ricetrasmittitore. Basandoci su [29, 40, 38, 39] è possibile ricavare delle indicazioni sul profilo del rumore di fase. La tabella 6.1b riporta tali limiti.

In un PLL il rumore di fase dell'uscita è dominato in bassa frequenza dal rumore di fase del riferimento, ed in alta frequenza dal rumore di fase del VCO. Nel nostro caso quindi dovremmo riuscire ad ottenere un segnale con rumore di fase simile a quello del GSM, e quindi adatto per soddisfare le specifiche dell'UMTS.

La figura 6.2 mostra lo schema a blocchi del circuito che verrà realizzato: il segnale generato da un sintetizzatore di frequenza per il GSM, in grado di coprire la banda 3.3GHz-3.6GHz (assumiamo che venga generata una frequenza doppia per ridurre il leakage tra i canali e facilitare la creazione di due segnali in quadratura), viene diviso per

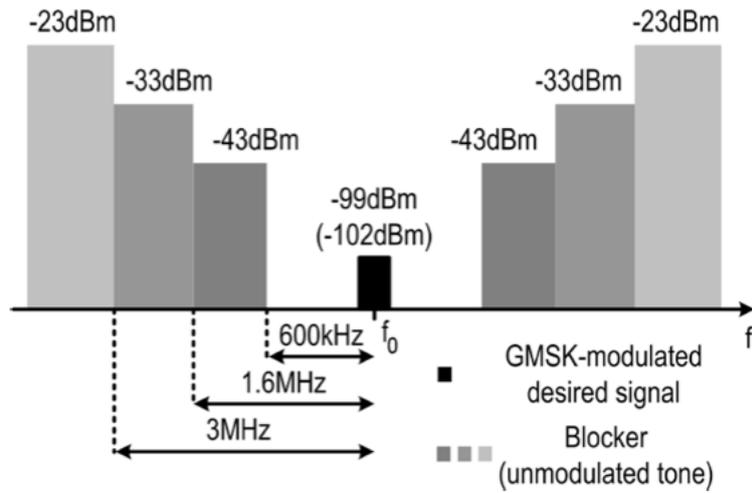


Figura 6.1: GSM blocking mask

Frequency Offset (MHz)	Phase Noise (dBc/Hz)
0.6	-122
1.6	-132
3	-139

(a)

Frequency Offset (MHz)	Phase Noise (dBc/Hz)
3	-120
10	-132
15	-144

(b)

Tabella 6.1: specifiche rumore di fase GSM (a), specifiche rumore di fase (b)

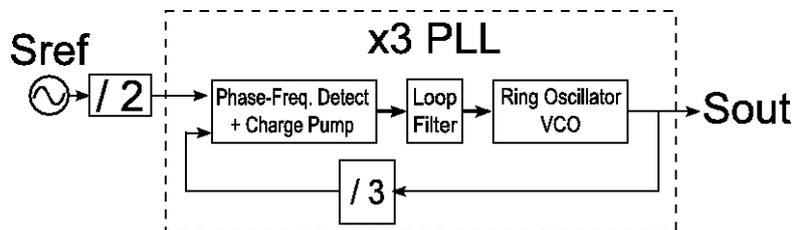


Figura 6.2: schema a blocchi del circuito realizzato

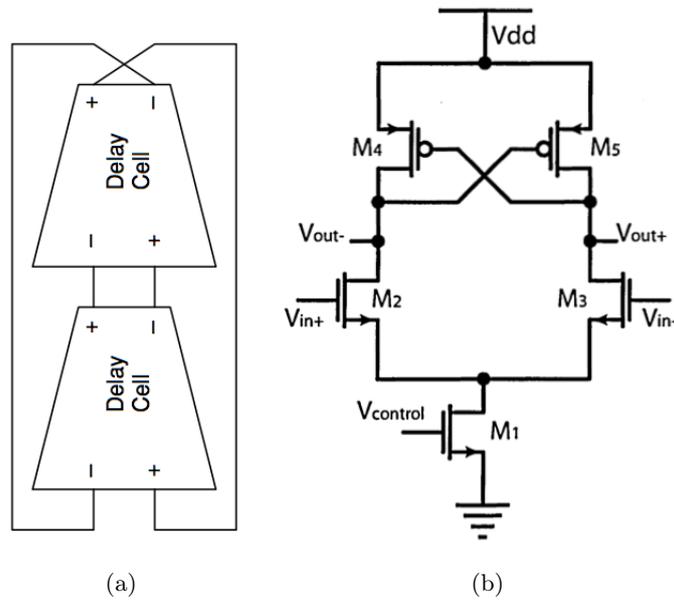


Figura 6.3: VCO (a), delay-cell (b)

due e poi moltiplicato per tre attraverso il PLL. In questo modo si ottiene in uscita un segnale in grado di coprire un range di frequenze compreso tra 5.4GHz e 5.6GHz. Dividendo ulteriormente per due la frequenza del segnale generato si ottiene un segnale in grado di coprire la VII banda WCDMA (2.5GHz-2.690GHz) . Il circuito verrà realizzato nella tecnologia UMC90, che prevede una tensione di alimentazione V_{dd} pari ad 1V.

6.1 Progetto del VCO

Il VCO è il blocco cruciale dell'intero PLL, poichè le sue prestazioni influenzeranno la scelta delle caratteristiche degli altri componenti del circuito. Decidiamo di realizzare un VCO a due stadi utilizzando la cella di figura 5.15b, che riportiamo in figura 6.3b per comodità. Il PLL dovrà essere in grado di coprire la banda compresa tra (4.9GHz-5.6GHz), e quindi anche il VCO dovrà essere in grado di coprire tale banda.

Come spiegato nei capitoli precedenti, la frequenza di oscillazione può essere espressa come

$$f_0 = \frac{1}{2NT_D} = \frac{I}{4C_L V_{dd}} \quad (6.2)$$

dove N è il numero di stadi ($N = 2$), T_D è il tempo di propagazione dei segnali attraverso la cella, I è la corrente media che scorre nella cella, C_L è il carico capacitivo al nodo di uscita, e V_{dd} l'ampiezza picco-picco dell'oscillazione (si assume quindi un'escursione logica completa del segnale). Poichè in prima approssimazione, I e C_L sono proporzionali alla W dei dispositivi, aumentando o diminuendo di uno stesso fattore le dimensioni dei

	W	L
M_1	$20\mu m$	$120nm$
M_2, M_3	$10\mu m$	$120nm$
M_4, M_5	$10\mu m$	$120nm$

Tabella 6.2: dimensioni transistor delay-cell

transistor della cella la frequenza di oscillazione non cambia. Ovviamente riducendo la dimensione dei transistor, si riducono le correnti e quindi il consumo di potenza. Il rumore di fase, ed in particolare il rumore di fase dovuto al rumore termico, è però inversamente proporzionale alla corrente che scorre nella cella [24]. Di conseguenza la scelta della dimensione dei dispositivi è stata effettuata cercando un buon compromesso tra il consumo di potenza ed il rumore di fase. In tabella 6.2 vengono riportate le dimensioni dei dispositivi utilizzati. La figura 6.4 riporta il guadagno K_{vco} del VCO realizzato. Il guadagno risulta molto elevato, poiché il range di frequenze richiesto viene coperto con una variazione di circa $20mV$ della $V_{control}$. Risulta spontaneo domandarsi se non fosse stato più corretto polarizzare M_1 in regione di triodo profonda, lavorando con una $V_{control}$ più levata. Un guadagno elevato è dettato dalla necessità di garantire la copertura della banda anche nei casi limitedelle corner “ff” e “tt”, come è possibile osservare in figura 6.5.

Le figure 6.6, 6.7 mostrano rispettivamente l’oscillazione della tensione di uscita single ended e differenziale. Le figure 6.8, 6.9 mostrano rispettivamente le correnti nei mos M_2 ed M_3 e nei mos M_2 ed M_4 durante il funzionamento. La figura 6.10 mostra infine il rumore di fase. I grafici sono stati ottenuti con una tensione $V_{control} = 0.45V$, a cui corrisponde una frequenza di oscillazione di $5.22GHz$. Il consumo di potenza è di $2.52mW$. I segnali in uscita dall’oscillatore vengono quindi resi single-ended e bufferizzati tramite una catena di invertitori, al fine di garantire un segnale oscillante tra 0 e V_{dd} e massimizzare la pendenza dei fronti di salita e di discesa. La figura 6.11 mostra il segnale in uscita dal buffer. Il consumo di potenza del VCO con le uscite bufferizzate risulta di $4.2mW$.

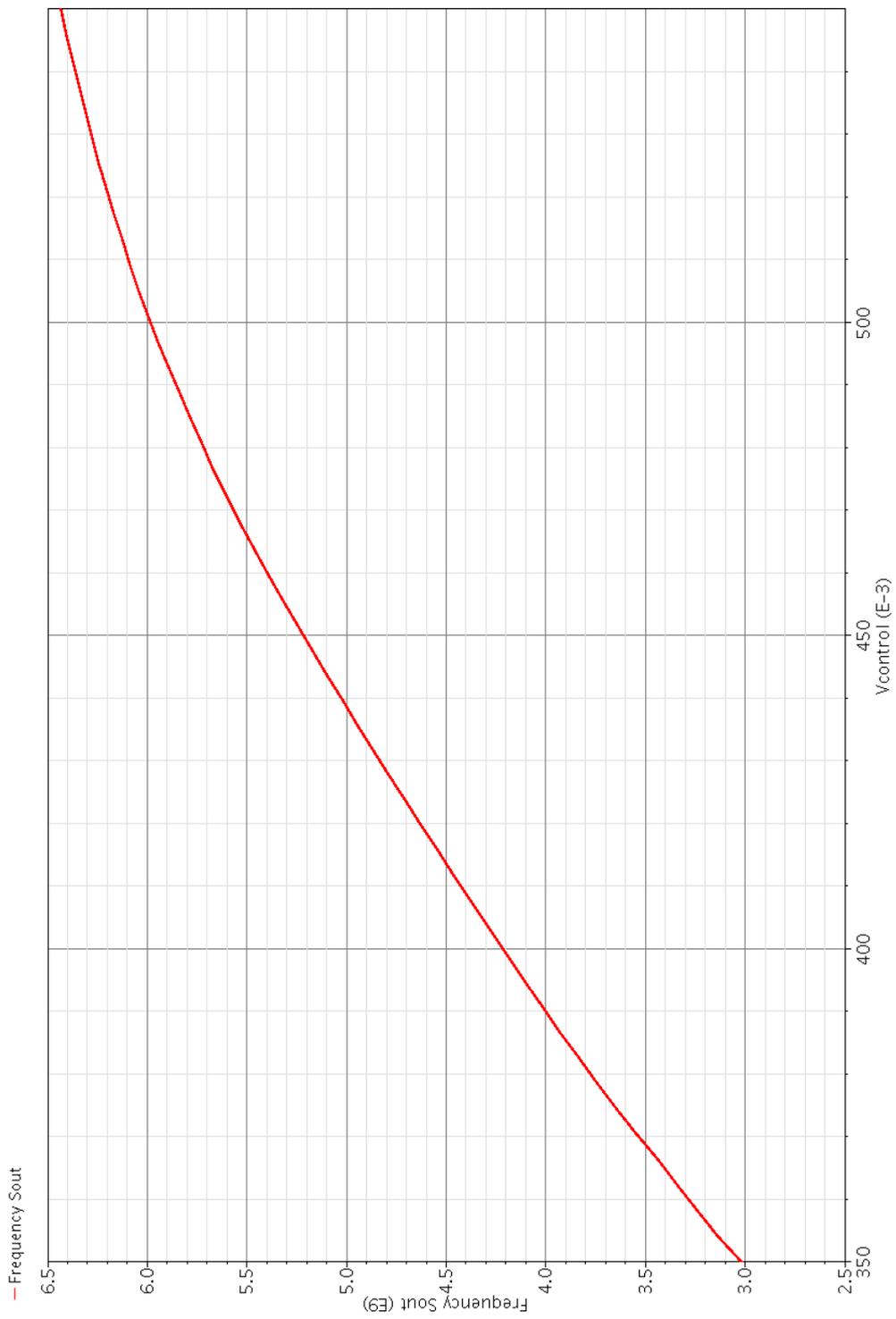


Figura 6.4: K_{vco}

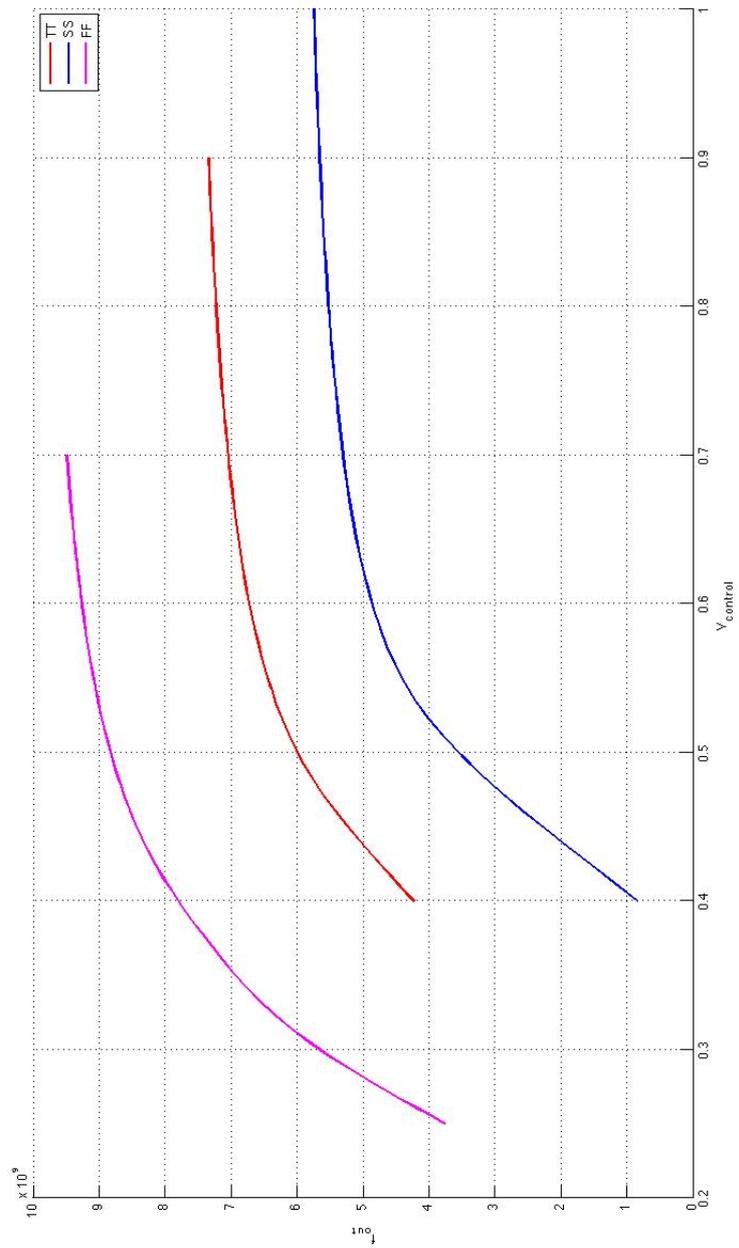


Figura 6.5: analisi corner

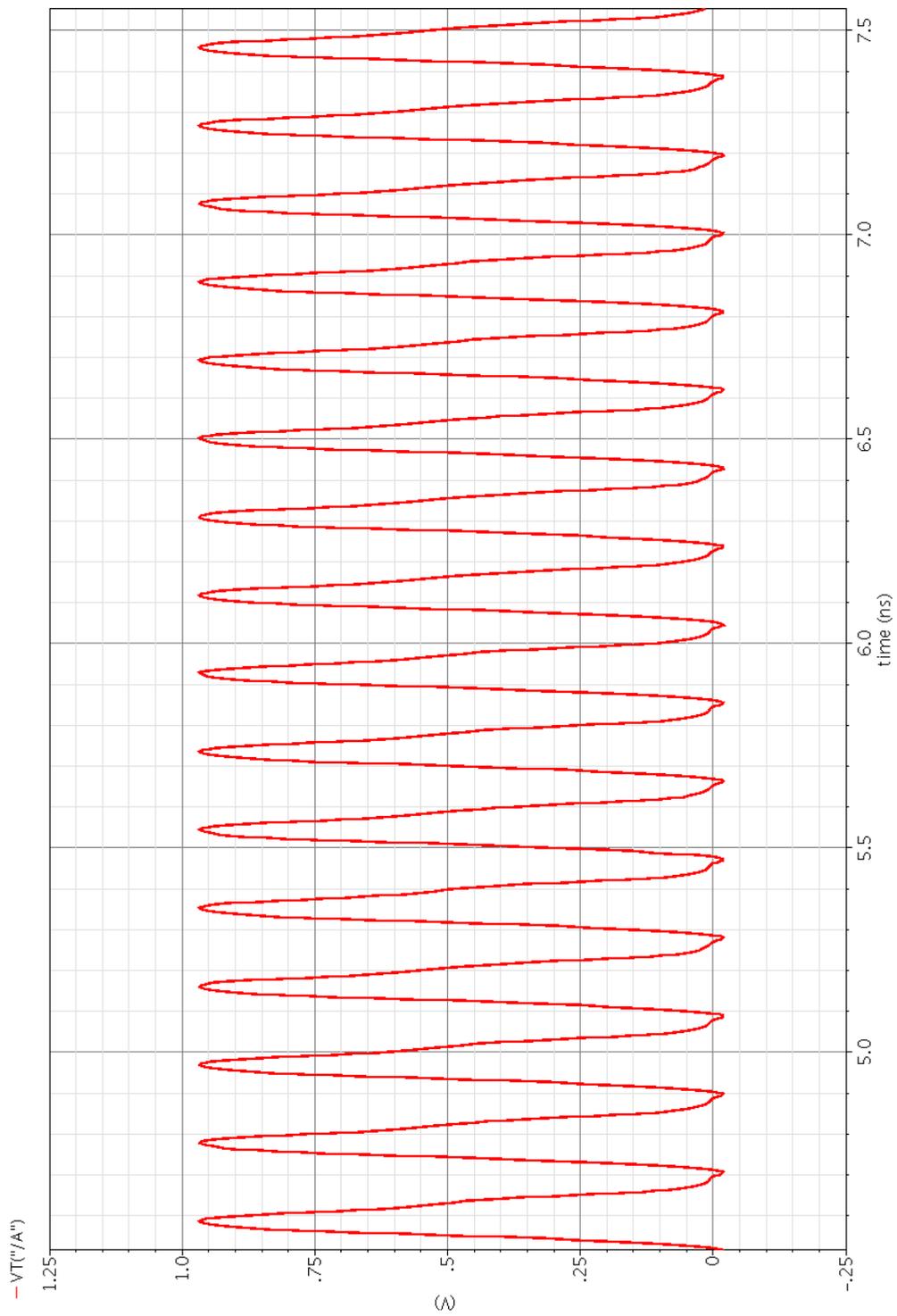


Figura 6.6: uscita VCO single ended

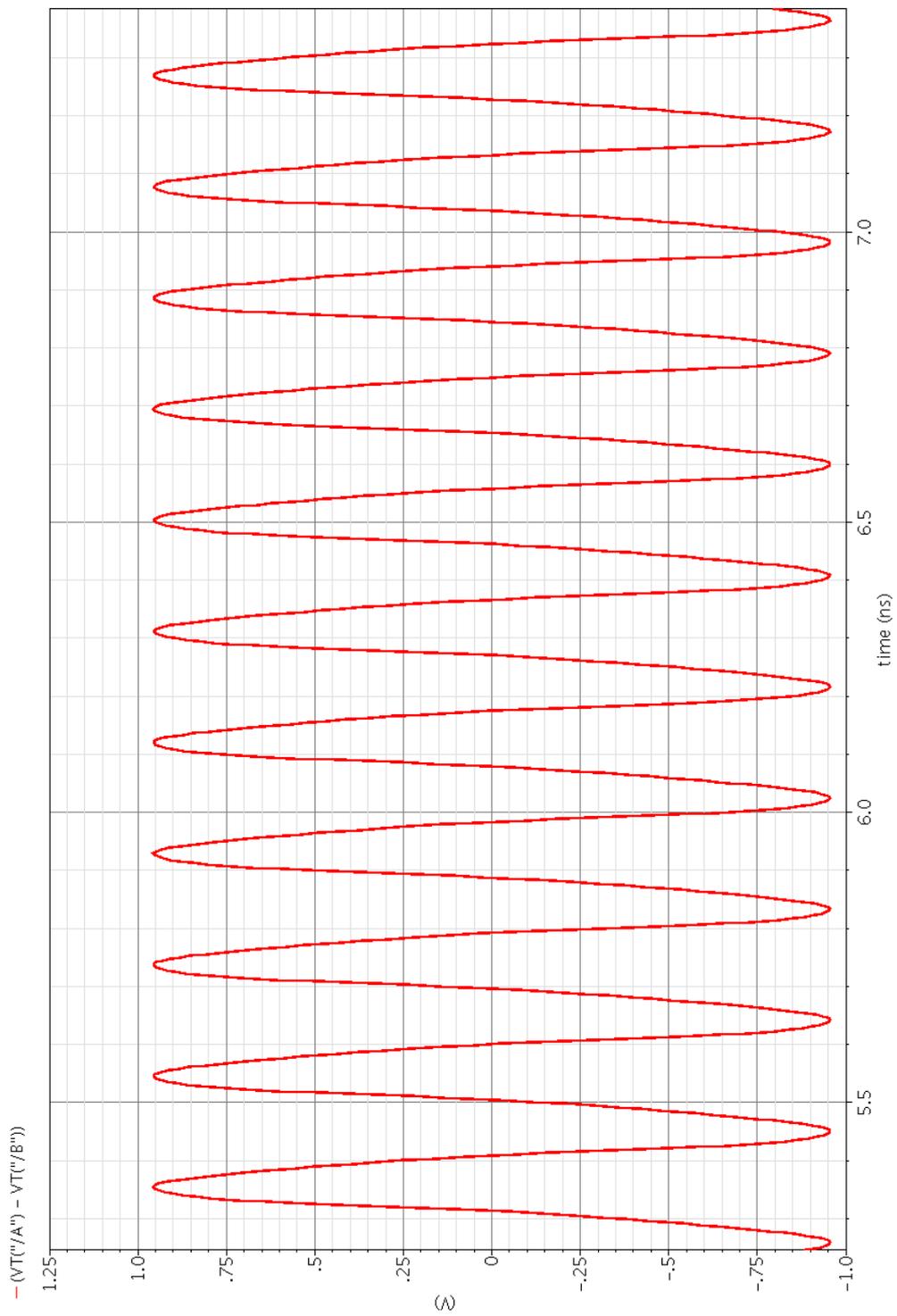


Figura 6.7: uscita VCO differenziale

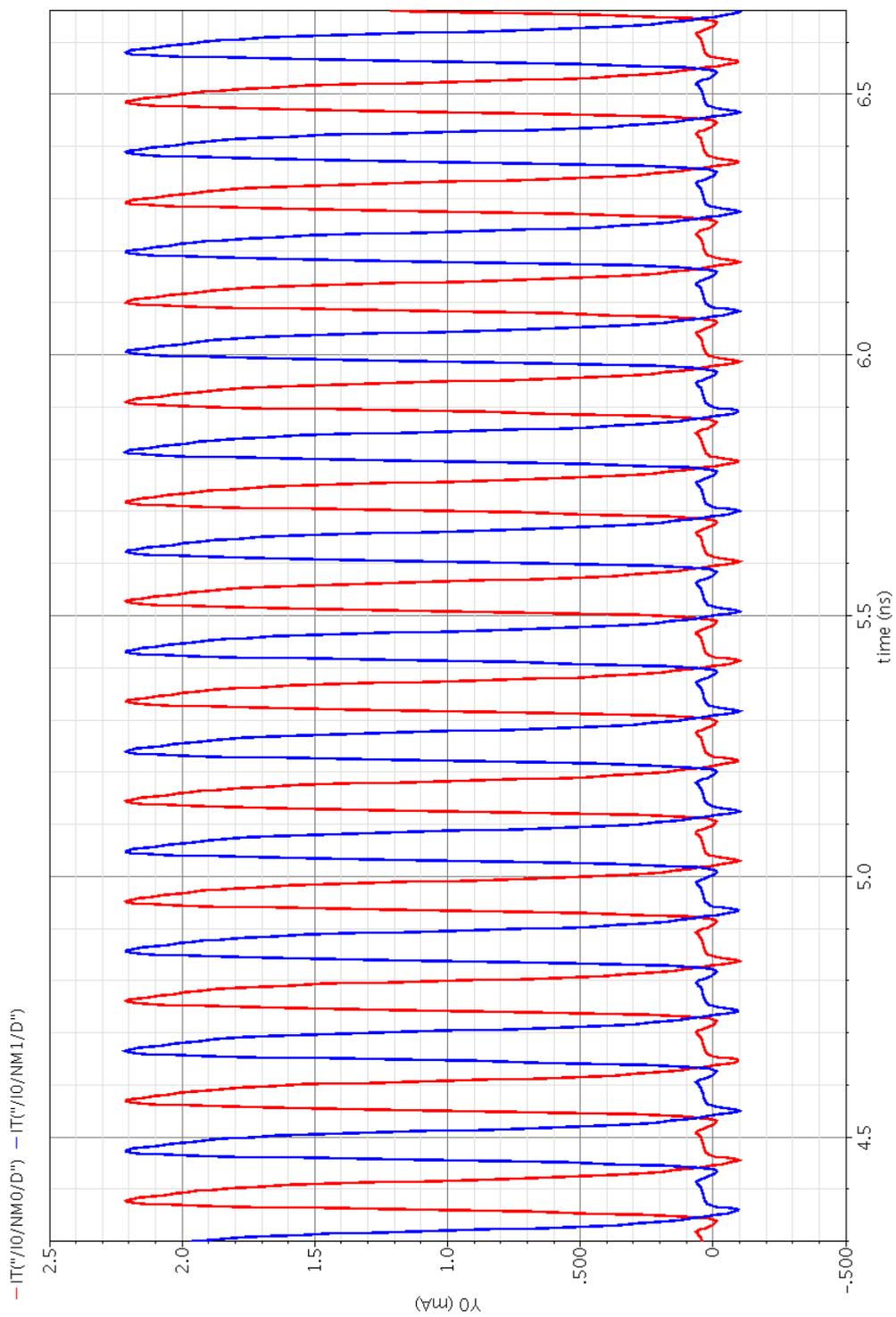


Figura 6.8: correnti M_2 , M_3

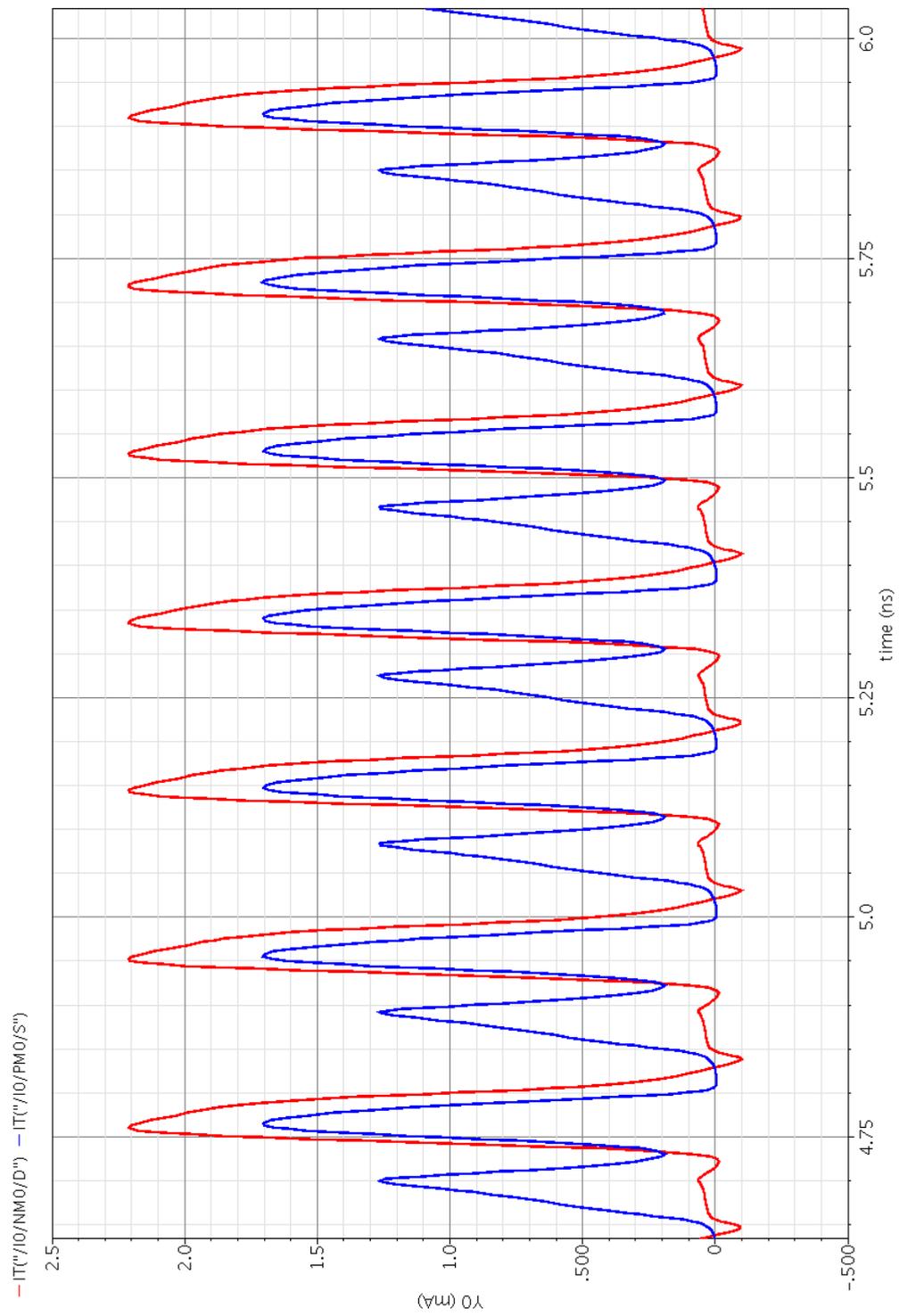


Figura 6.9: correnti M_2 , M_4

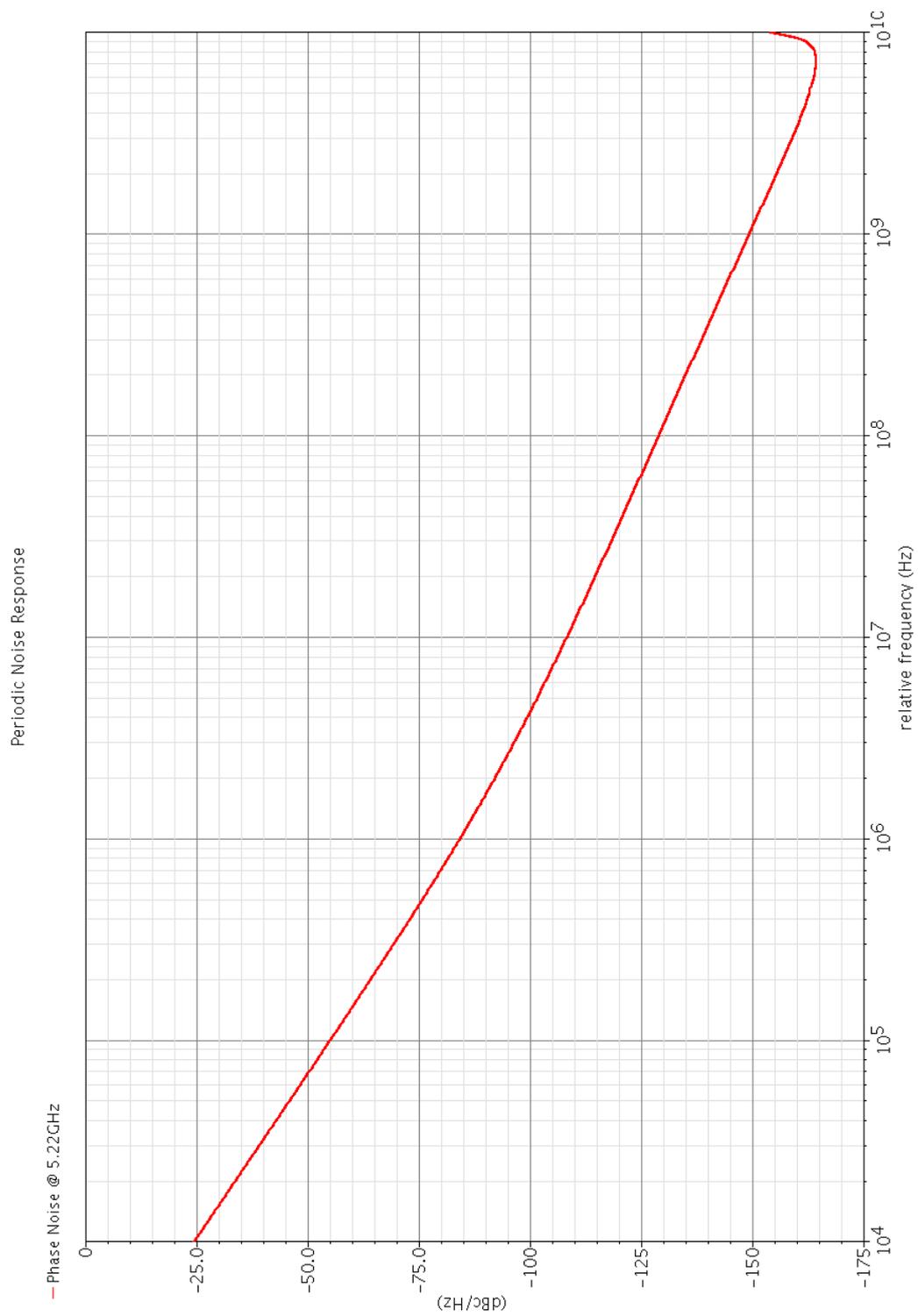


Figura 6.10: Phase Noise

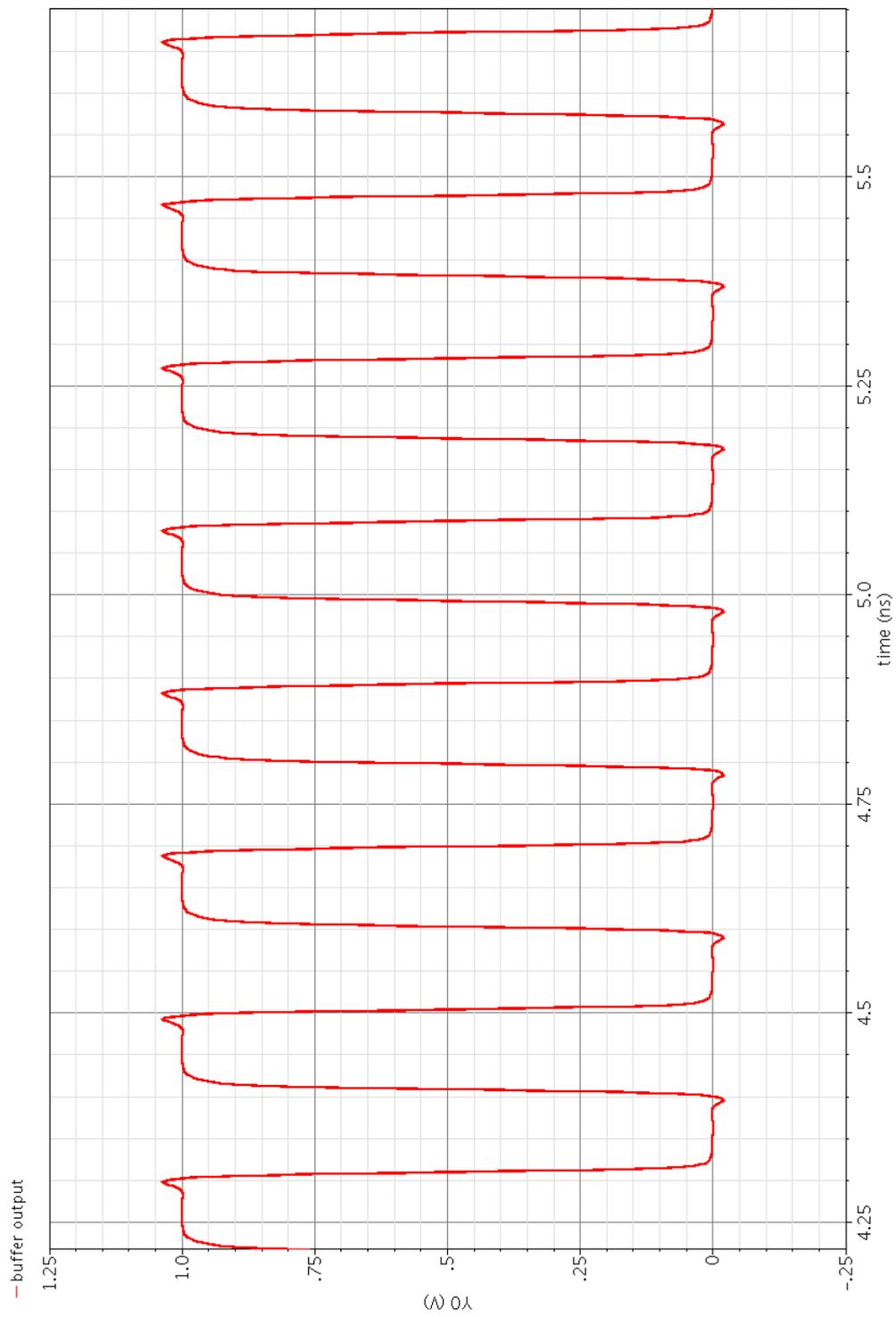


Figura 6.11: segnale in uscita dal buffer

Reference	f_0	Δf	P	$\mathcal{L}(\Delta f)$	FOM	TR	N	Process
	GHz	MHz	mW	dBc/Hz		%		
This Work	5.22	10	2.52	-109.4	159.74	150.8	2	UMC90
This Work	5.22	1	2.52	-84.98	155.34	150.8	2	UMC90
[15]	5.65	1	5	-88.4	156.5	139.4	2	UMC130
[16]	6	10	2.4	-112.3	164	160	2	UMC130
[17, 18]	5.79	1	-	-99.5	-	14	3	TSMC180
[13]	0.9	0.6	30	-117	165.8	46.2	4	CMOS 0.6 μ m
[41]	5	1	135	-85	137.7	113	2	TSMC180
[22]	5.43	1	80	-98.5	154.2	25	4	CMOS 0.25 μ m

Tabella 6.3: ring oscillator benchmarking

La tabella confronta le prestazioni del VCO progettato con quelle di altri lavori. Vengono confrontati la frequenza di oscillazione, il rumore di fase, il consumo di potenza. Tali parametri vengono confrontati tramite la figura di merito *power-frequency-normalized FOM*, definita come:

$$FOM = 10 \log \left[\left(\frac{f_0}{\Delta f} \right)^2 \frac{1}{P(mW)} \right] - \mathcal{L}(\Delta f) \quad (6.3)$$

dove f_0 è la frequenza di oscillazione, Δf l'offset a cui viene misurato il rumore di fase, $\mathcal{L}(\Delta f)$ il rumore di fase e $P(mW)$ la potenza in milliwatt. Viene inoltre riportato il tuning-range ed il processo di fabbricazione utilizzato.

Le prestazioni, in termini di frequenza di oscillazione, consumo di potenza e rumore di fase, sono simili a quelle a descritte in [15] e [16], che sono i lavori su cui ci si è principalmente basati durante la progettazione dell'oscillatore. In [17, 18] si realizza un ring oscillator a tre stadi utilizzando la cella di figura 5.17, ottenendo in simulazione un rumore di fase pari a -99.5 dBc/Hz ad un offset di 1 MHz dalla frequenza di 5.79 GHz. Tali risultati sul rumore di fase sono però ottenuti a discapito del consumo di potenza, che è molto maggiore rispetto a quello utilizzato in questa tesi. In [22] viene presentato un oscillatore a $f_0 = 5.43$ GHz che presenta un rumore di fase di -98.5 dBc/Hz ad un offset di 1 MHz. Anche in questo caso però il consumo di potenza è molto maggiore di quello utilizzato in questa tesi. L'oscillatore in [13] mostra un livello di fase molto basso. La frequenza di oscillazione è però di 900 MHz.

6.2 Scelta parametri PLL

Per raggiungere le prestazioni richieste in termini di rumore di fase (ovvero $PN < 140$ dBc/Hz) è necessario massimizzare la banda del PLL. Come spiegato nei capitoli precedenti però, esiste un limite imposto dalla (2.17). Generalmente, imponendo una banda passante pari ad un decimo della frequenza di ingresso tale limite non viene superato. Imponiamo quindi una banda passante pari 180 MHz. La fdt ingresso/uscita nel dominio della fase

è

$$H(s) = \frac{K}{2} \frac{s\tau_z + 1}{s^2 + 2s\xi\omega_n + \omega_n^2} \quad (6.4)$$

con

$$K = K_{pf dcp} K_{vco} \quad (6.5)$$

$$\tau_z = RC \quad (6.6)$$

$$\omega_n = \sqrt{\frac{IK_{vco}}{2\pi CN}} \quad (6.7)$$

$$\xi = \frac{R}{2} \sqrt{\frac{ICK_{vco}}{2\pi N}} \quad (6.8)$$

Poichè K_{vco} è imposto dal VCO, $N = 3$ è il valor del modulo del divisore d'anello, dalle (6.7), (6.8) ricaviamo $I = 960\mu A$, $C = 5pF$, $R = 300\Omega$. Per ridurre il ripple sulla tensione $V_{control}$ inseriamo un'ulteriore capacità C_3 nel filtro, in modo da realizzare un PLL del terzo ordine, come dscritto nei capitoli precedenti. L'inserimento di C_3 però riduce il margine di fase del sistema. Per mantenere un margine di fase sufficiente ($> 45^\circ$) imponiamo $C_3 = C/20 = 250fF$. La fdt ingresso/uscita del sistema vale quindi

$$H(s) = \frac{K}{2} \frac{b-1}{b} \frac{s \cdot \tau_z + 1}{s^3 \frac{\tau_z}{b} + s^2 + s\tau_z \frac{K}{3} \frac{b-1}{b} + \frac{K}{3} \frac{b-1}{b}} \quad (6.9)$$

dove $b = 1 + C/C_3$, come definito nel primo capitolo. La figura 6.12 mostrano rispettivamente la fdt $H(s)$ ed il guadagno d'anello $T(s)$.

6.3 PFDCP

Per la realizzazione del PFD si è deciso di utilizzare il circuito in figura 3.10, che è basato sulla logica TSPC. Come precedentemente spiegato infatti, questa architettura ha il vantaggio di realizzare i comparatori di fase utilizzando pochi transistor. In questo modo è quindi possibile ridurre il consumo di potenza pur garantendo una risposta veloce alle transizioni dei segnali in ingresso. Inoltre non è necessario che gli ingressi abbiano un duty-cycle del 50%, poichè si utilizza solo il clock diretto ed il sistema è edge triggered. La figura 6.13 riporta lo schema del phase-frequency detector, mentre in tabella 6.4 vengono riportate le dimensioni dei transistor.

La figura 6.14 mostra la soluzione scelta per la realizzazione della charge pump (*current steering charge pump*). I mos M2 ed M3 permettono alla corrente di scorrere quando M1 ed M4 sono spenti. In questo modo i mos utilizzati per la realizzazione degli specchi rimangono sempre saturi. A causa del ridotto valore della tensione di alimentazione non risulta possibile utilizzare specchi cascode. Il rapporto tra le correnti in MP2 ed MP1 è di uno a dieci. In tabella 6.5 vengono riportate le dimensioni dei dispositivi.

La figura 6.15 mostra il circuito utilizzato per il test del PFDCP. Per simulare la condizione di *lock* del PLL un generatore ad onda quadra con frequenza pari a $1.8GHz$ viene collegato ad entrambi gli ingressi, mentre la tensione in uscita viene mantenuta costante

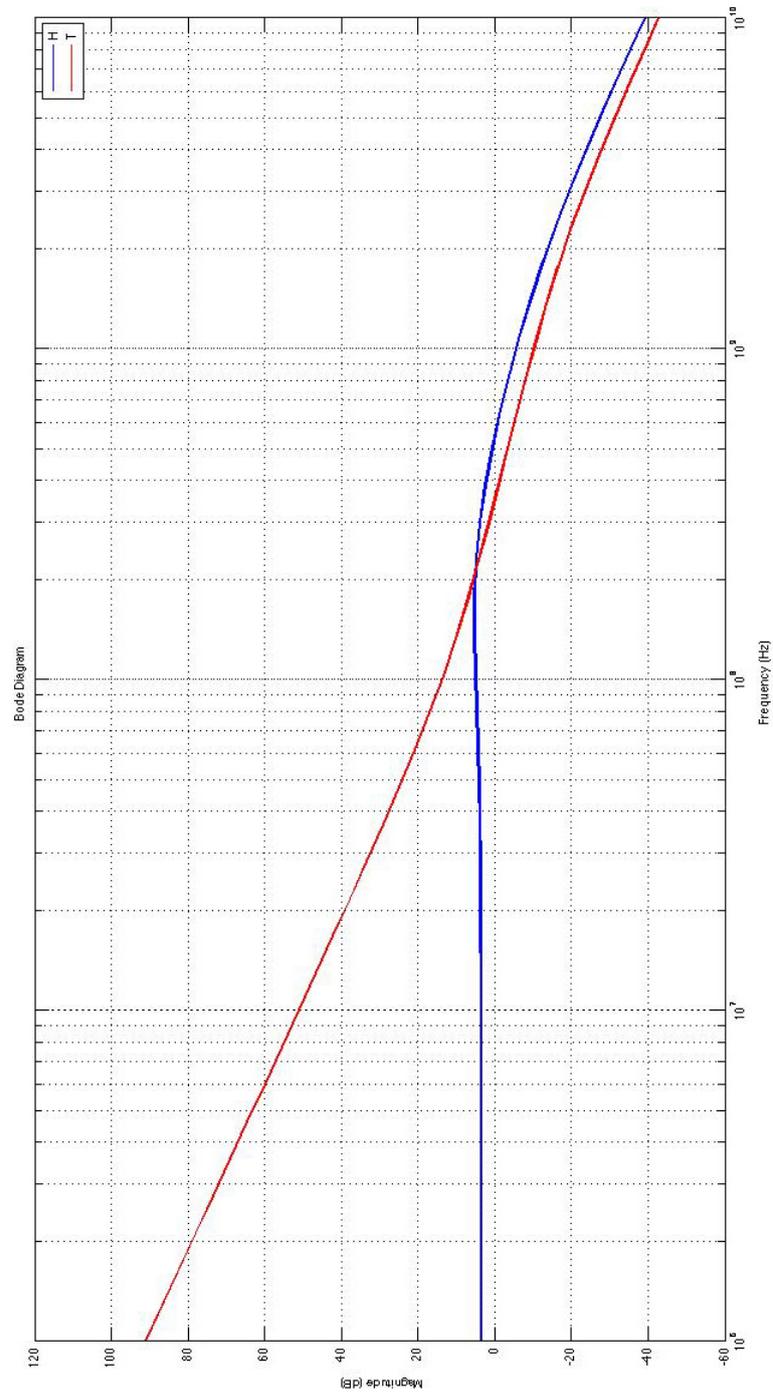


Figura 6.12: diagramma di Bode di $H(s)$ e $T(s)$

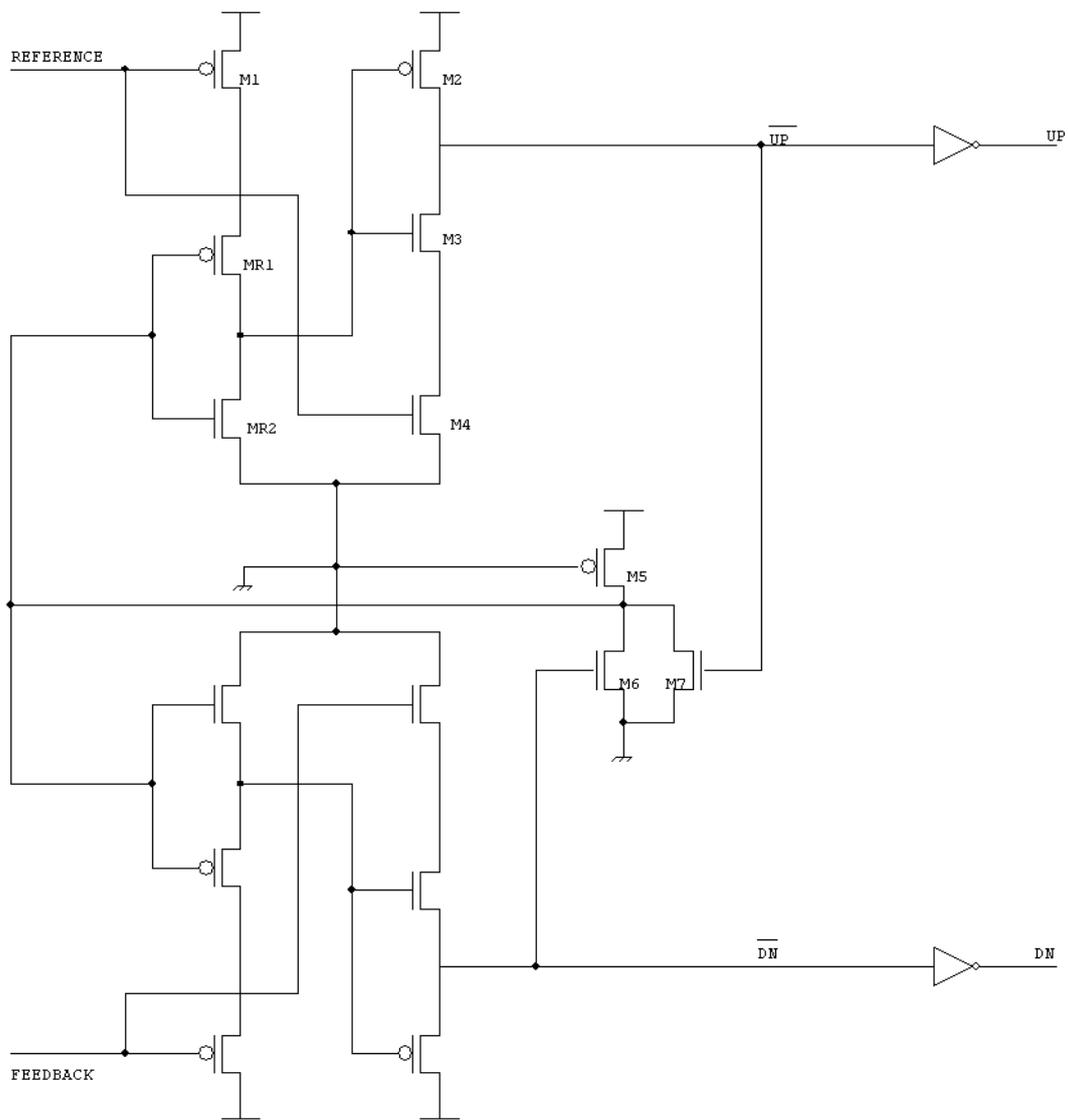


Figura 6.13: TSPC PFD

	W	L
M1	$2\mu m$	$80nm$
M2	$2\mu m$	$80nm$
M3	$2\mu m$	$80nm$
M4	$1.5\mu m$	$80nm$
MR1	$1\mu m$	$80nm$
MR2	$1\mu m$	$80nm$
M5	$800nm$	$80nm$
M6	$1\mu m$	$80nm$
M7	$1\mu m$	$80nm$

Tabella 6.4: dimensioni transistor phase-frequency detector

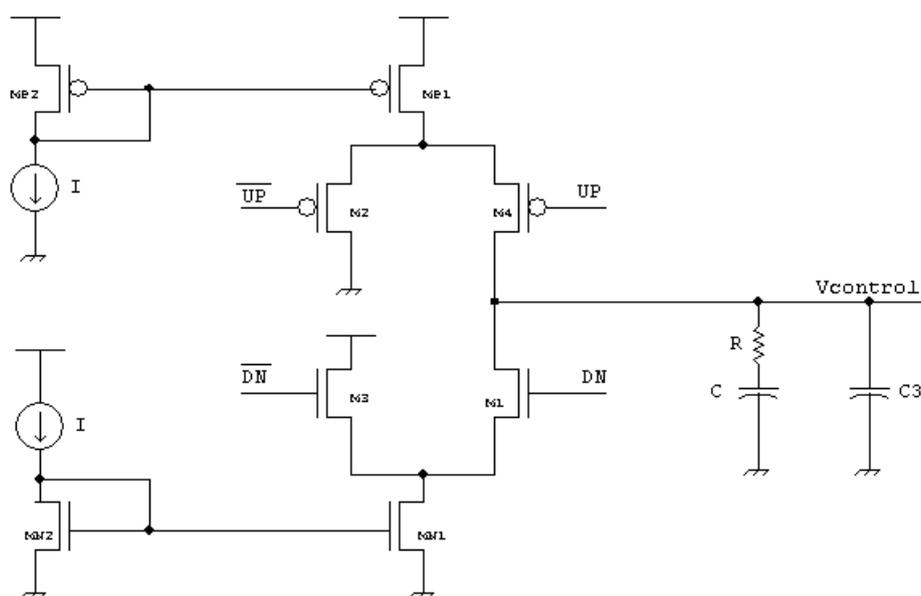


Figura 6.14: charge pump e filtro

	W	L
M1, M4	$10\mu m$	$80nm$
M2, M3	$2\mu m$	$80nm$
MP1	$56\mu m$	$200nm$
MP2	$5.6\mu m$	$200nm$
MN1	$15\mu m$	$200nm$
MN2	$1.5\mu m$	$200nm$

Tabella 6.5: dimensioni transistor charge pump

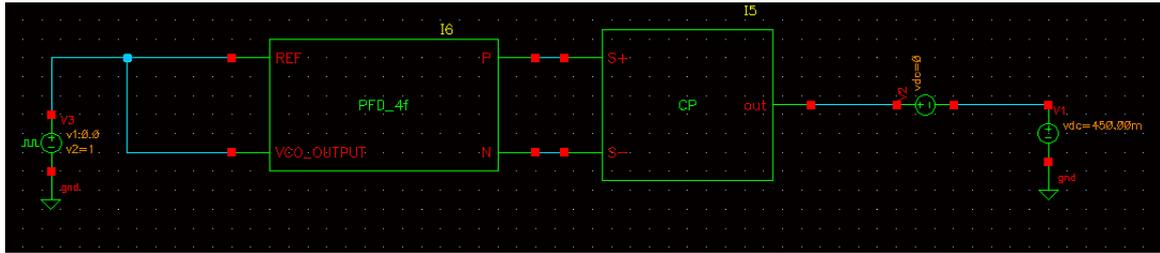


Figura 6.15: circuito per test PFDCP

	W	L
MP1	$2\mu m$	$80nm$
MP2	$4\mu m$	$80nm$
MP3	$2\mu m$	$80nm$
MP4	$1\mu m$	$80nm$
MN1	$1\mu m$	$80nm$
MN2	$2.3\mu m$	$80nm$
MN3	$900nm$	$80nm$
MN4	$2\mu m$	$80nm$
MN5	$500nm$	$80nm$

Tabella 6.6: dimensioni transistor DFF clock divider

a $0.45V$. La figura 6.16 mostra i segnali di UP e DN che comandano gli interruttori della CP. La figura 6.17 mostra invece il mismatch tra la corrente nel pmos e la corrente nel nmos durante l'istante prima del reset in cui $UP=DN=1$. Il consumo di potenza del PFDCP risulta pari a $1.23mW$.

6.4 Clock Divider

Il circuito riceve in ingresso un segnale alla frequenza di $3.6GHz$ e genera in uscita un segnale alla frequenza di $5.4GHz$. La moltiplicazione per $3/2$ viene effettuata dividendo per due il segnale in ingresso ed inserendo un divisore module tre nella rete di feedback del PLL.

6.4.1 Clock divider by 2

La figura 6.18 mostra lo schema a blocchi di un circuito in grado di dividere per due la frequenza dell'onda in ingresso. È semplicemente costituito da un flip-flop positive edge triggered in cui l'uscita \overline{Q} è chiusa in feedback sull'ingresso D. Esistono diverse realizzazioni fisiche del circuito. La logica TSPC permette di realizzare flip-flop edge triggered utilizzando solo il segnale di clock diretto [32]. In figura 6.19 viene mostrato il circuito realizzato, ed in tabella 6.6 vengono riportate le dimensioni dei transistor.

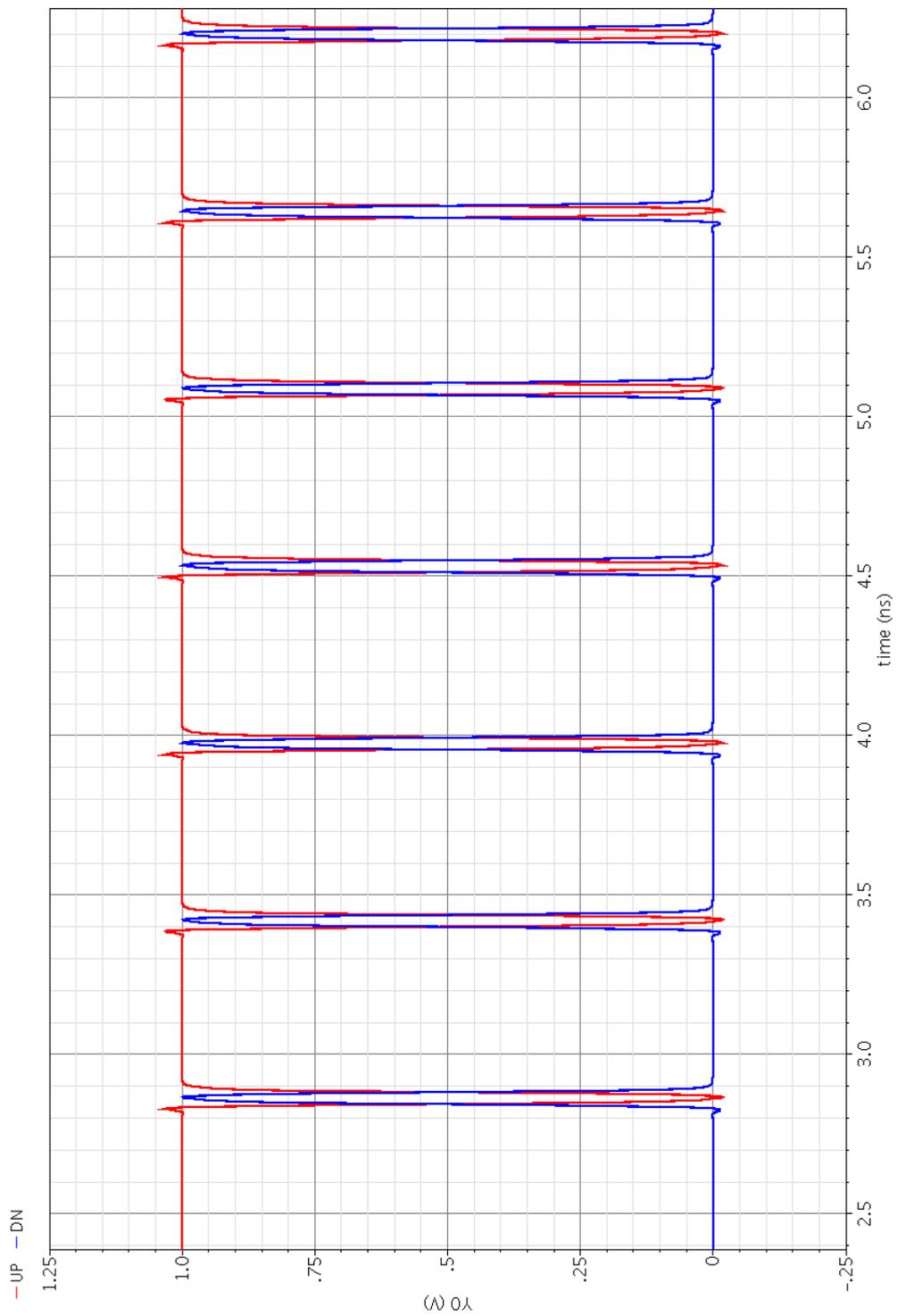


Figura 6.16: segnali di controllo degli interruttori

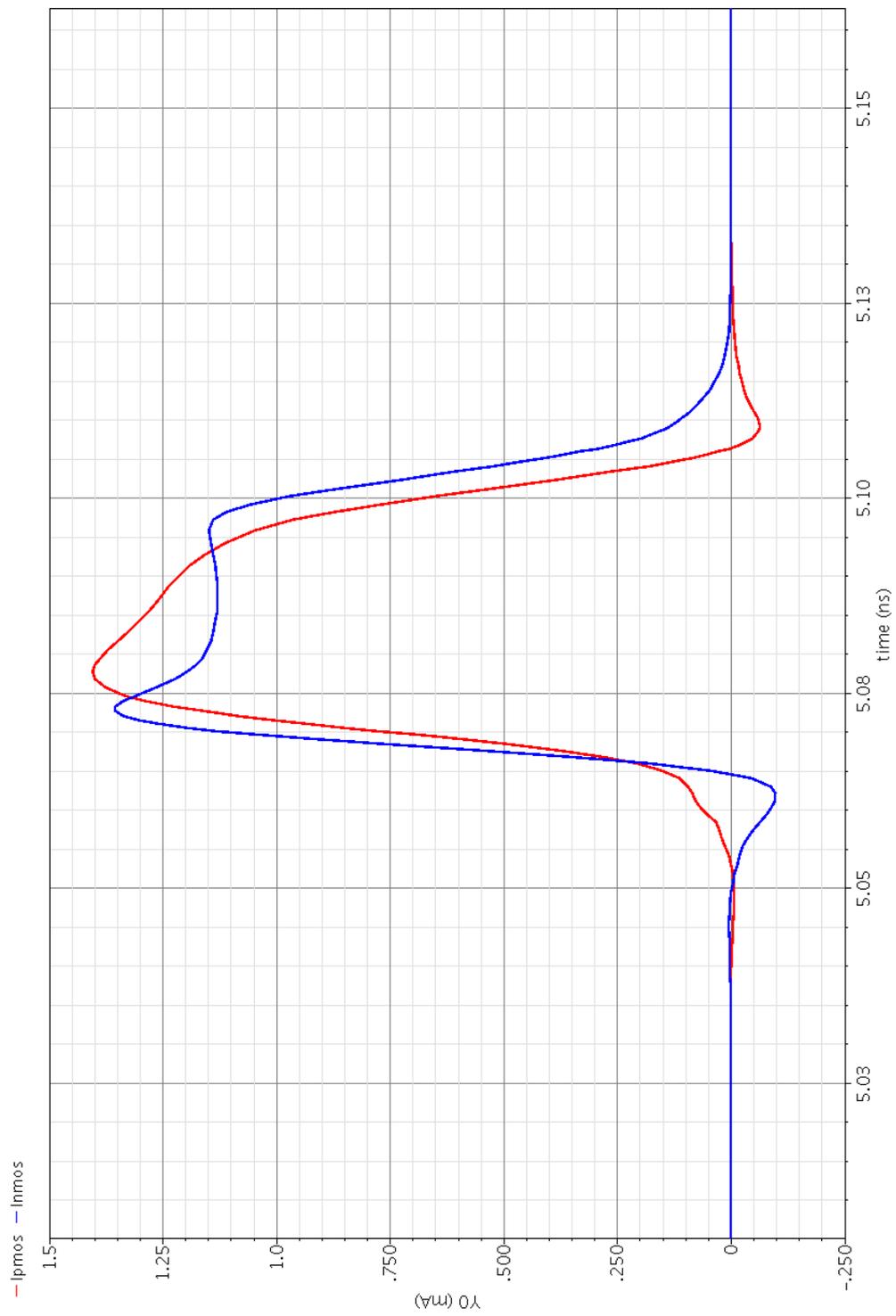


Figura 6.17: mismatch tra le correnti

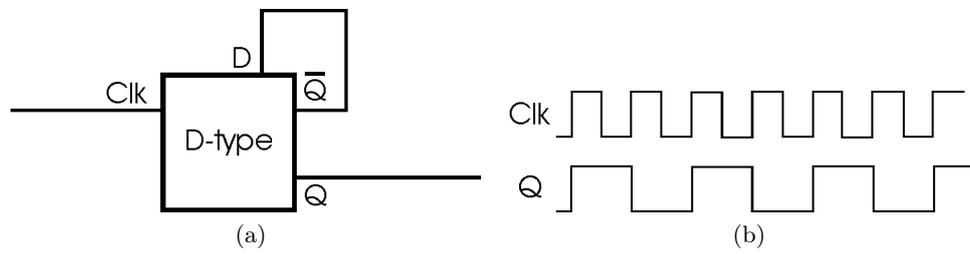


Figura 6.18: clock divider by 2

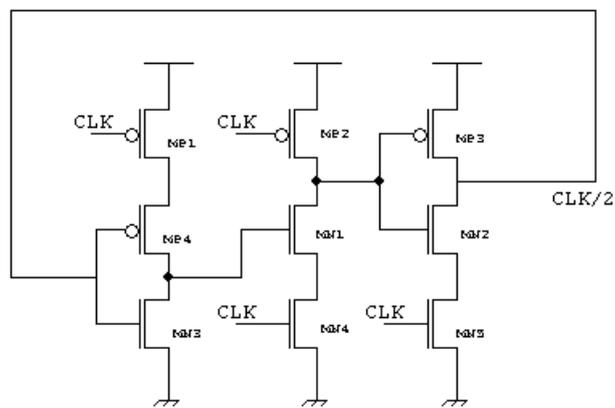


Figura 6.19: TSPC clock divider by 2

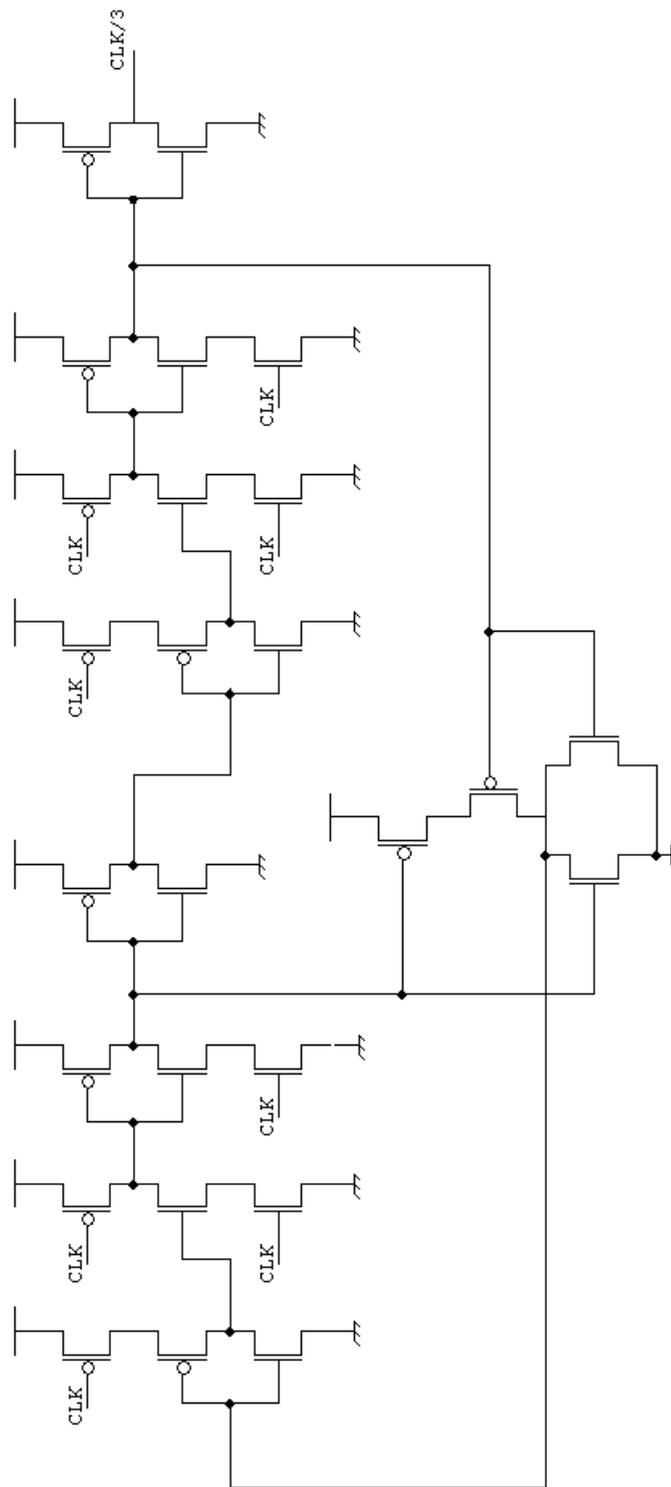


Figura 6.21: TSPC clock divider by 3

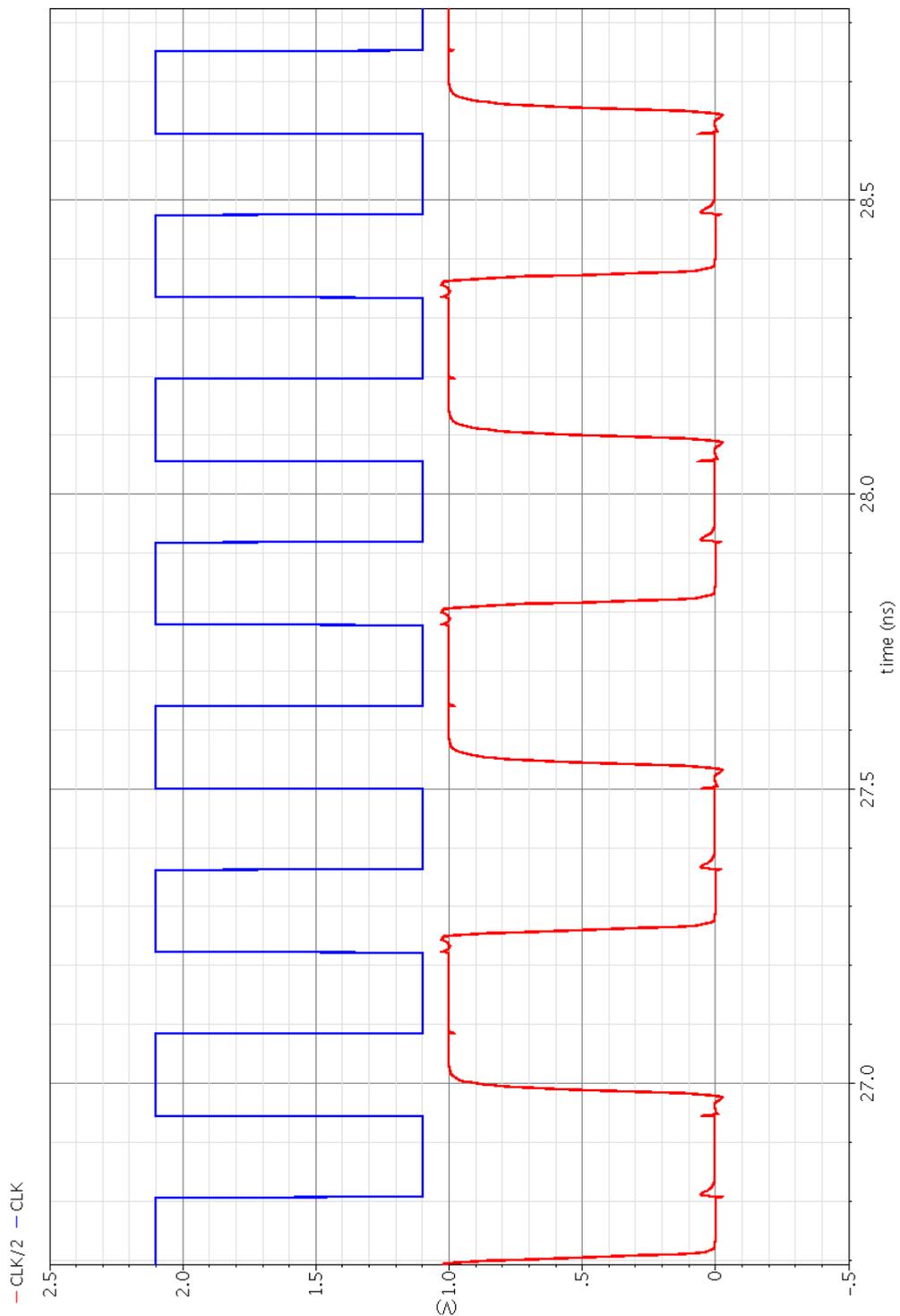


Figura 6.22: segnali in ingresso ed in uscita al clock divider by 2. Il segnale in ingresso è stato traslato per una migliore visualizzazione.

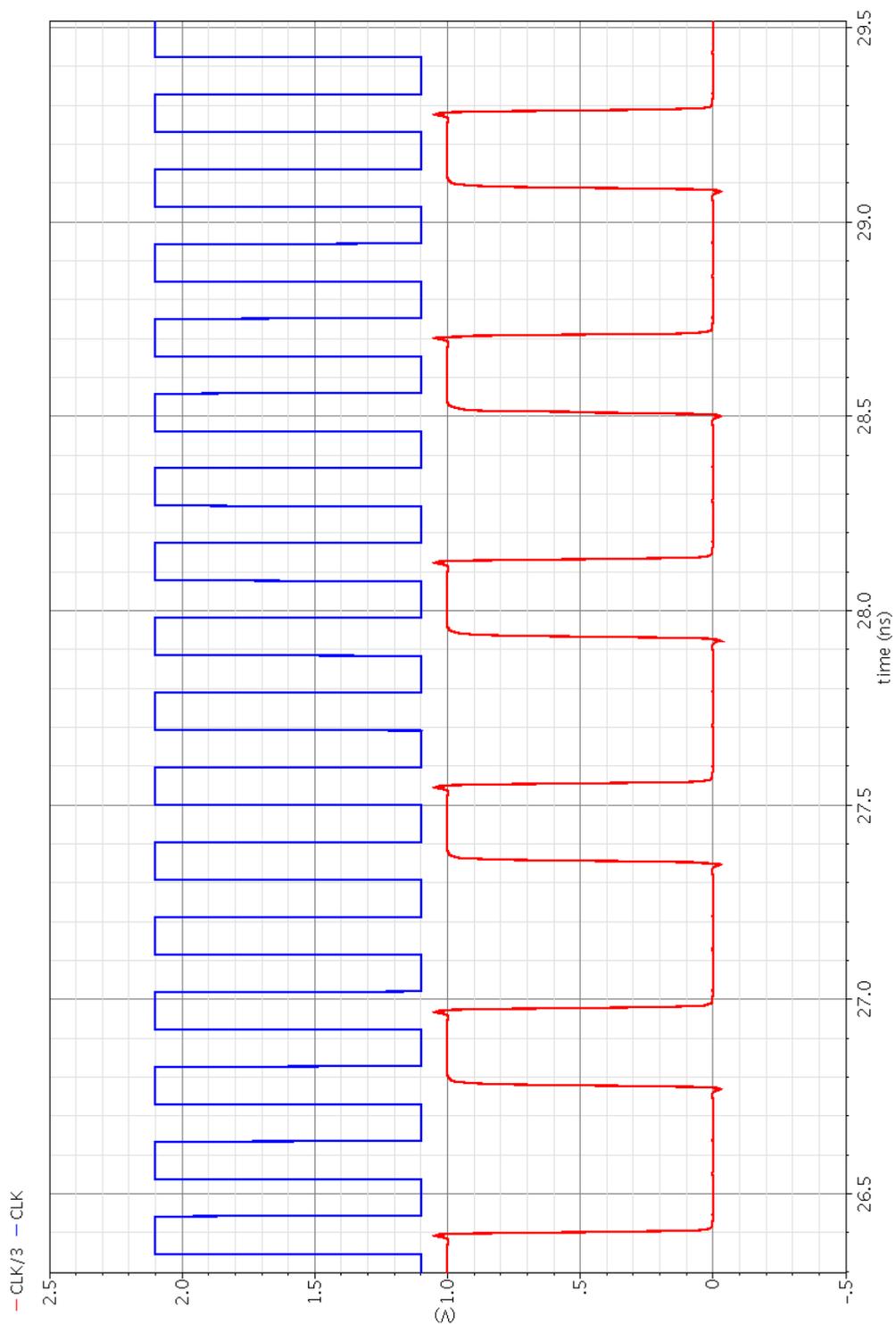


Figura 6.23: segnali in ingresso ed in uscita al clock divider by 3. Il segnale in ingresso è stato traslato per una migliore visualizzazione.

6 Progetto di un PLL Basato su Oscillatore ad Anello per la VII Banda WCDMA

varia da 3.6GHz a 4GHz . Le figure 6.26, 6.27 mostrano rispettivamente il transitorio della $V_{control}$ e del segnale in uscita. Nella seconda simulazione invece passa da 4GHz a 3.6GHz . Le figure 6.28 6.29 mostrano rispettivamente il transitorio della $V_{control}$ e del segnale in uscita.

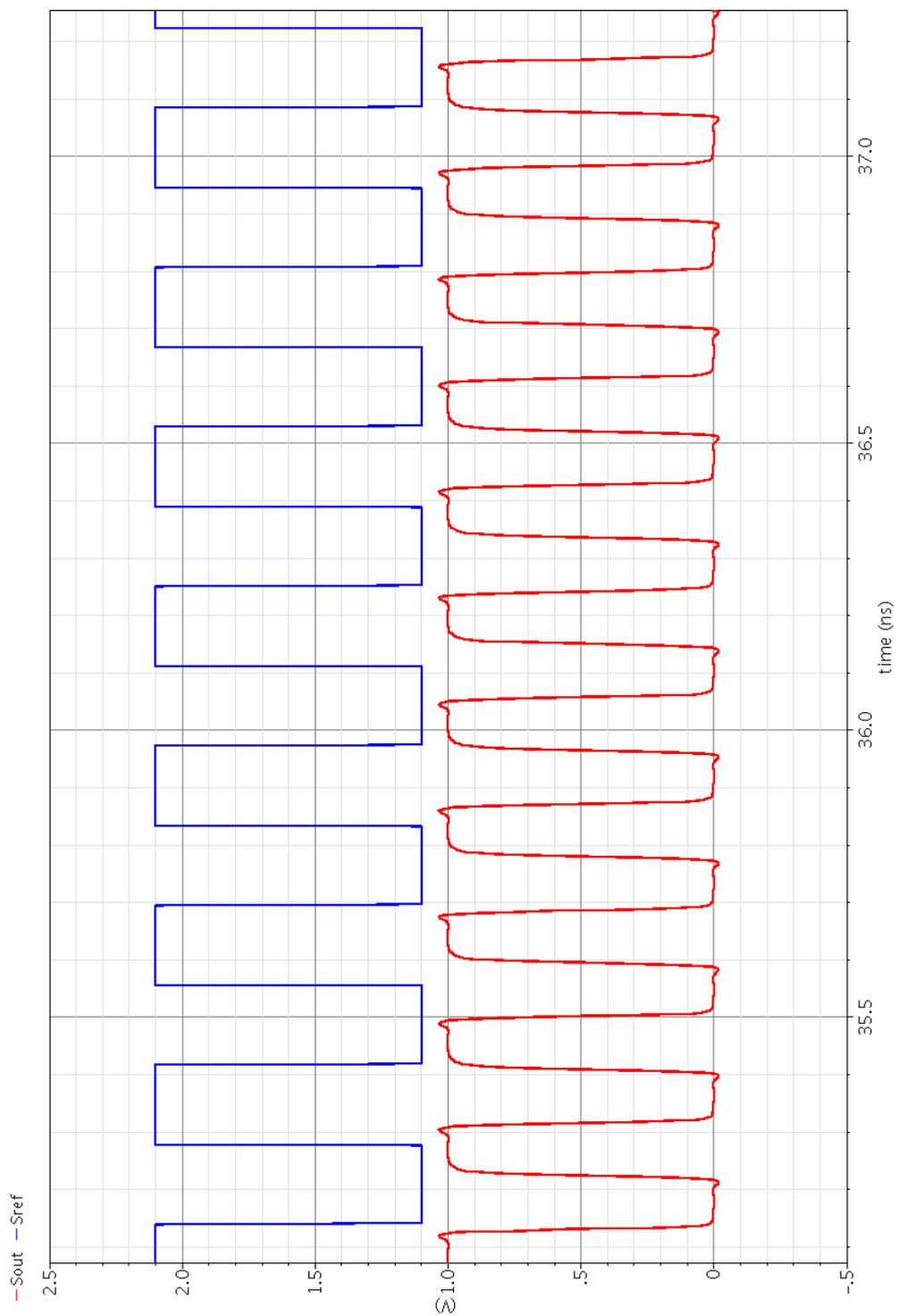


Figura 6.24: segnale in ingresso e segnale in uscita dal PLL. Il segnale di ingresso è stato traslato per una migliore visualizzazione

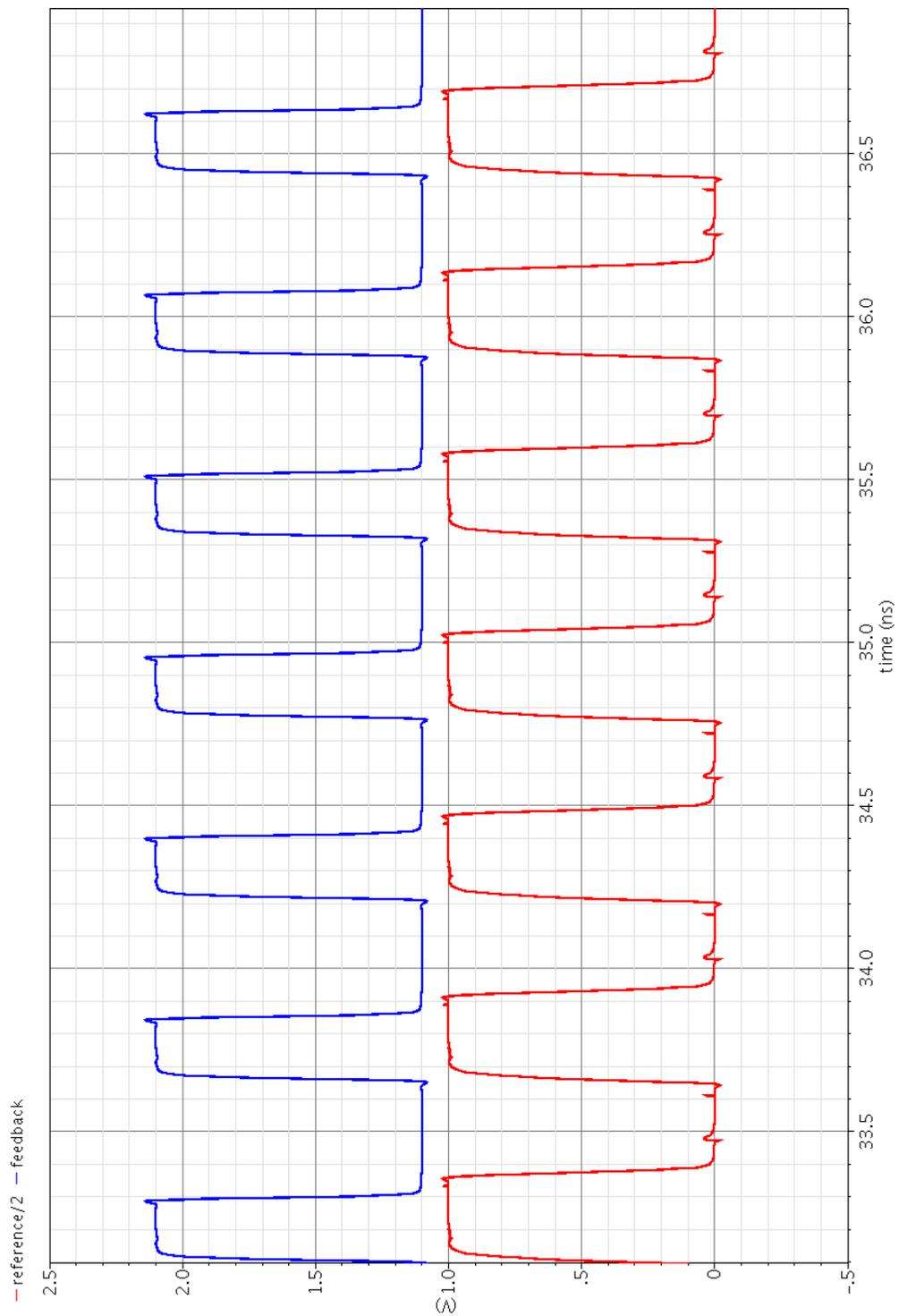


Figura 6.25: segnali in ingresso al phase-frequency detector

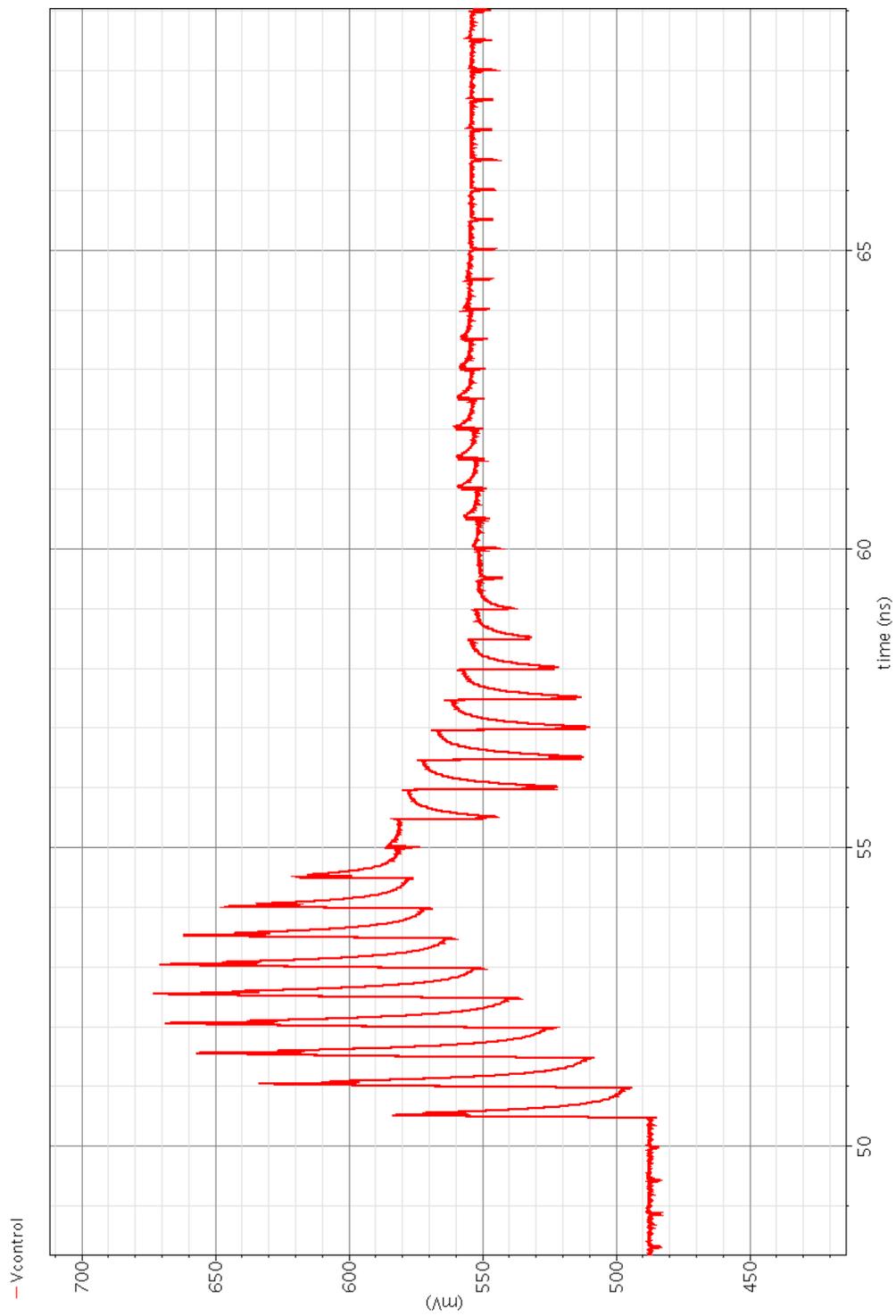


Figura 6.26: transitorio tensione $V_{control}$ per $f_{ref} = 1.8GHz \rightarrow 2GHz$

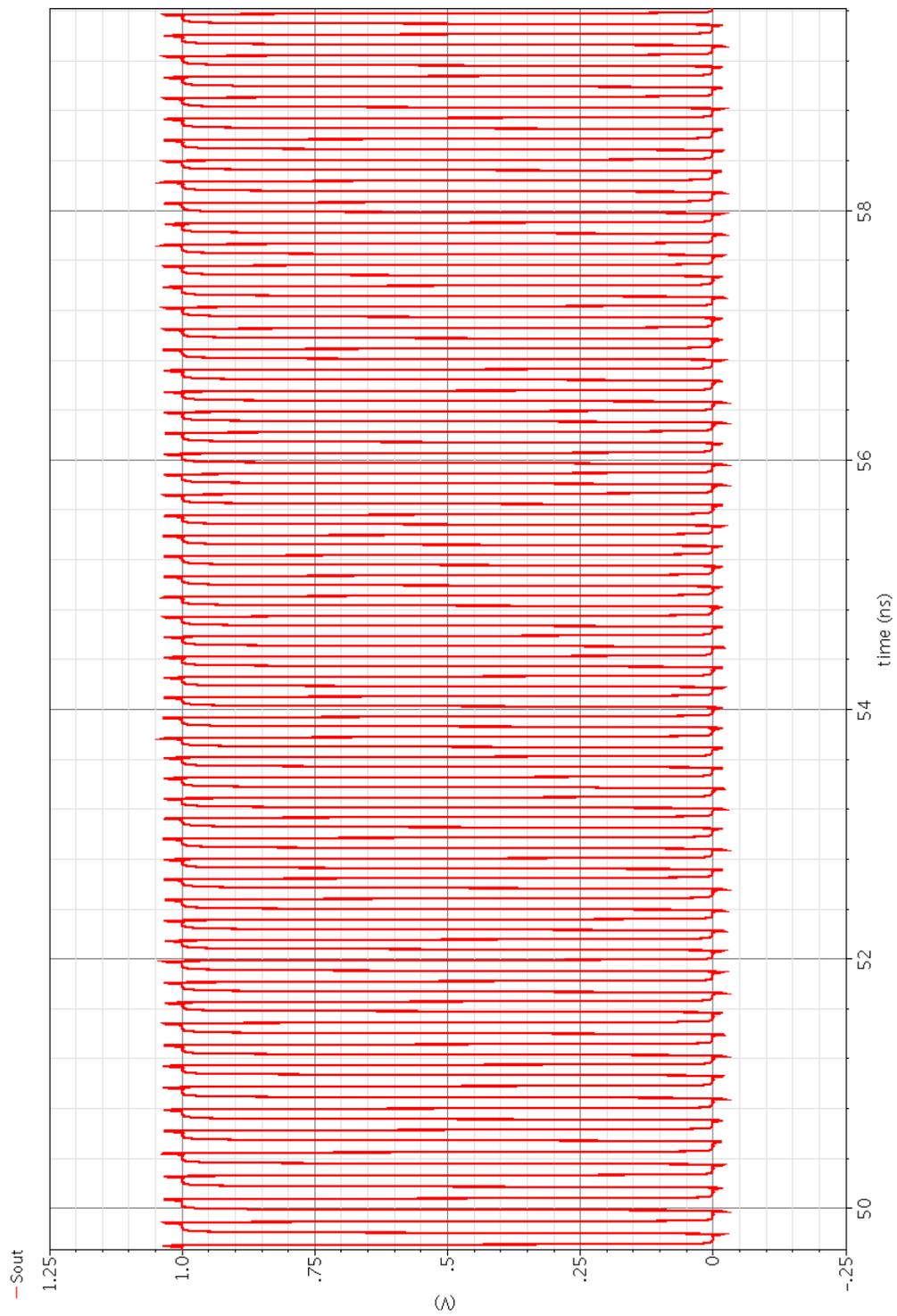


Figura 6.27: transitorio segnale in uscita per $f_{ref} = 1.8GHz \rightarrow 2GHz$

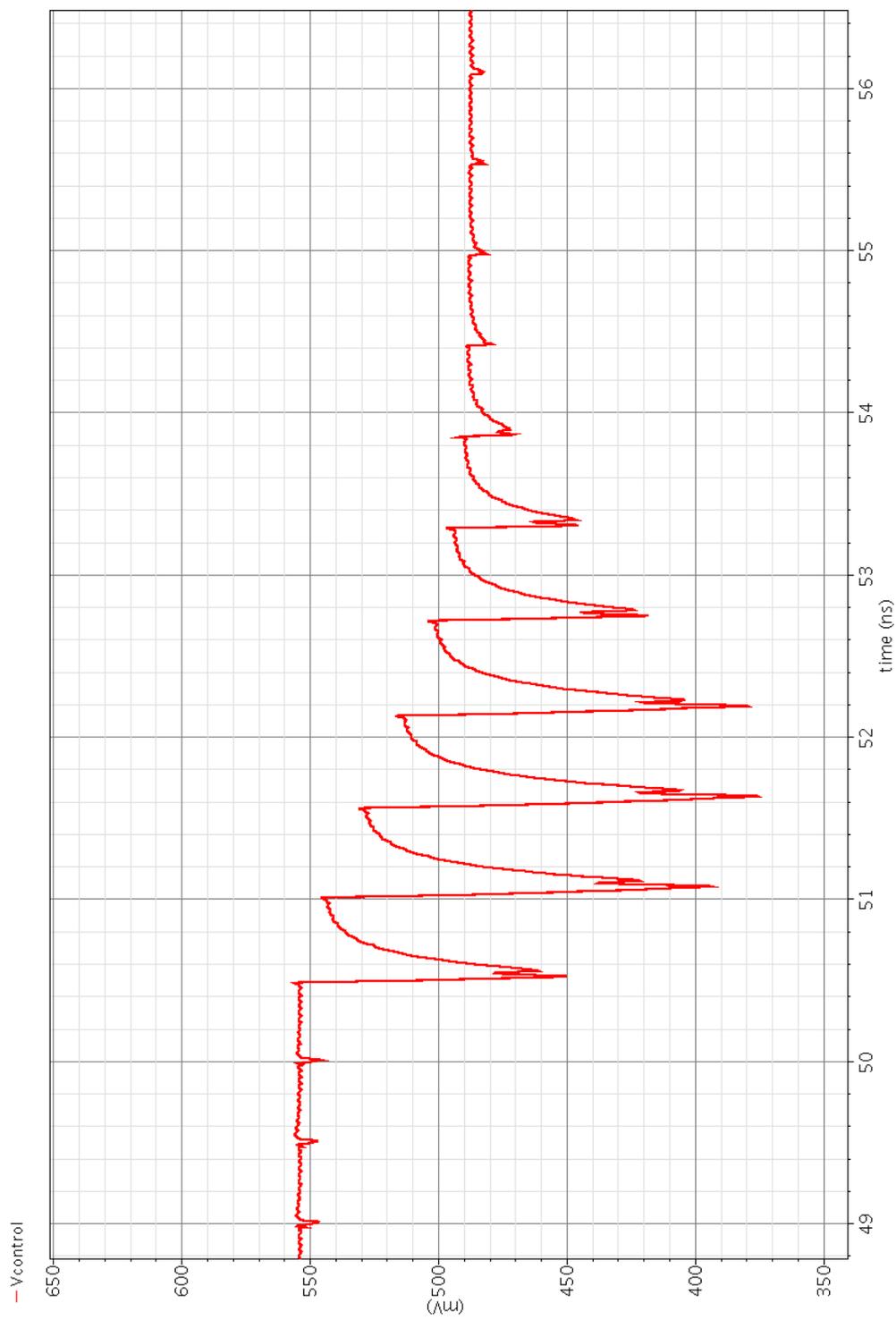


Figura 6.28: transitorio tensione $V_{control}$ per $f_{ref} = 2GHz \rightarrow 1.8GHz$

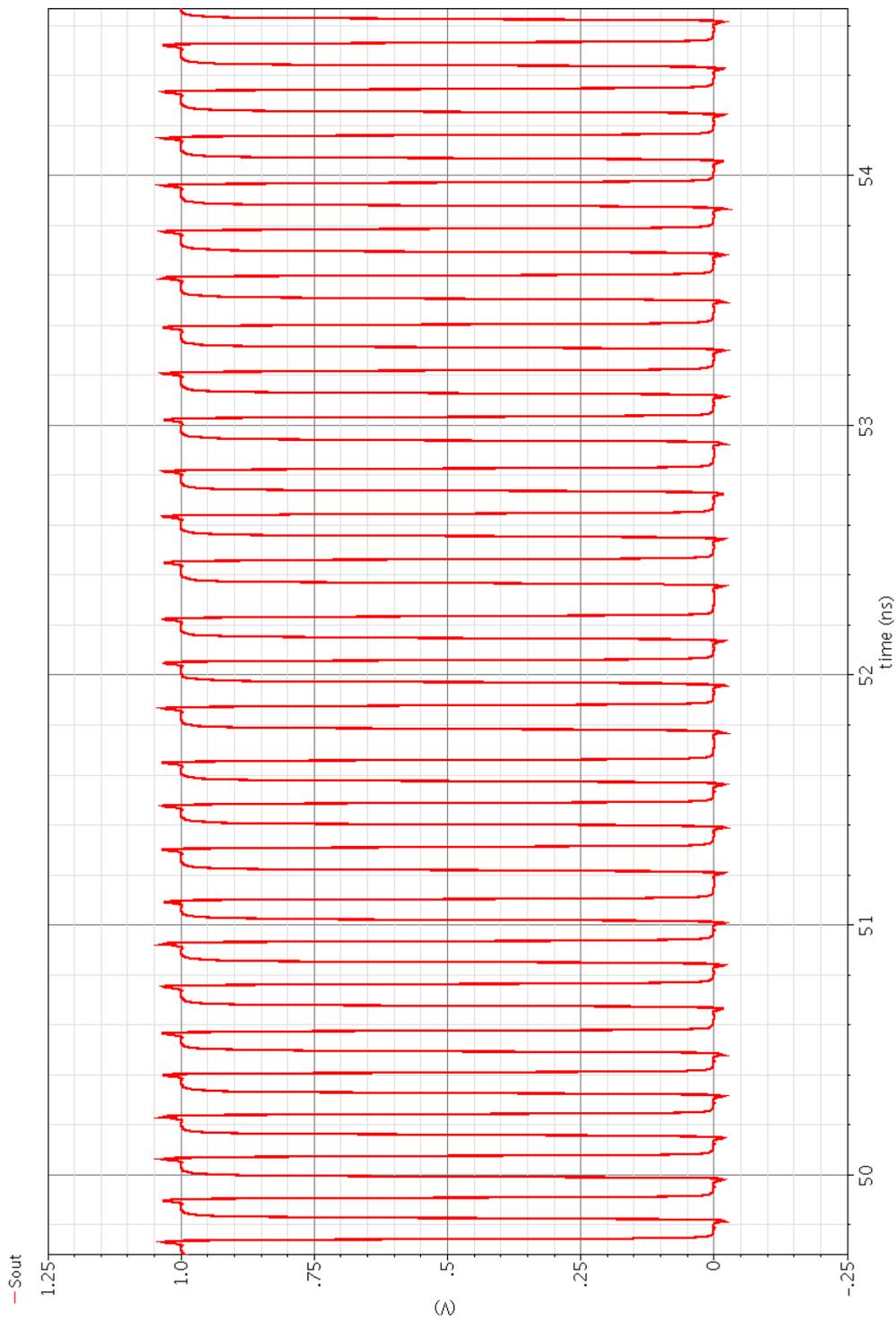


Figura 6.29: transitorio signal in uscita per $f_{ref} = 2GHz \rightarrow 1.8GHz$

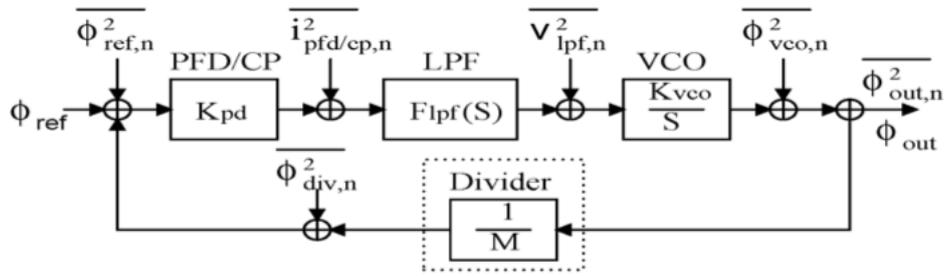


Figura 6.30: modello lineare PLL con aggiunta sorgenti di rumore

6.6 Analisi e simulazione del rumore di fase

L'analisi del rumore di fase in uscita da un PLL è di fondamentale importanza. Mediante l'uso combinato dell'analisi *ps* e *pnoise*, *Cadence Virtuoso Spectre RF* è in grado di simulare il rumore di un intero PLL. Tuttavia i tempi di calcolo richiesti sono molto lunghi, poichè in un PLL coesistono segnali a frequenza diversa. Il tempo richiesto da Spectre RF per calcolare il rumore in un PLL è proporzionale al numero delle equazioni richieste per rappresentare l'intero circuito, moltiplicato sia per il numero di punti richiesti per rappresentare una soluzione periodica che per il numero di punti in cui viene suddivisa la banda di interesse. Di fatto la simulazione diretta di PLL con modulo superiore a dieci richiede tempi di calcolo eccessivamente lunghi [25].

Per analizzare il rumore in uscita conviene quindi riferirsi al modello linearizzato della fase [25, 26, 27, 28, 29]. Utilizzando Spectre RF è possibile calcolare agevolmente la densità spettrale di potenza all'uscita di ogni blocco. Ottenuti i contributi di ogni singolo blocco, la pds del rumore in uscita è data dalla somma delle varie componenti riportate in uscita. La figura 6.30 mostra il modello lineare della fase di un PLL con l'aggiunta delle sorgenti di rumore. Si noti che la figura non indica solamente il punto in cui un particolare rumore viene iniettato, ma anche la natura del rumore stesso. Il rumore dell'ingresso, del VCO e dei divisori di frequenza compare direttamente come rumore di fase. Il PFDCP ed il filtro producono rispettivamente una corrente ed una tensione di rumore che vengono convertite dal VCO in rumore di fase.

6.6.1 Rumore di fase generato dal PFD/CP

Per simulare il rumore generato dal phase-frequency detector e dalla charge pump si è ricorso nuovamente al circuito di figura 6.15, in cui la condizione di lock del PLL viene simulata collegando ad entrambi gli ingressi un generatore ad onda quadra e mantenendo costante la tensione in uscita. La corrente di rumore in uscita viene misurata attraverso una sonda. La corrente di rumore generata dal PFDCP causa un ripple sulla tensione $V_{control}$, e sono quindi le componenti in bassa frequenza a venir ripiegate nella banda di interesse.

La funzione di trasferimento tra il rumore prodotto dal PFD/CP e l'uscita del PLL vale:

$$H_{pfdcp}(s) = \frac{1}{K_{pfdcp}} \frac{K_{pfdcp} F_{lpf}(s) \frac{K_{vco}}{s}}{1 + \frac{K_{pfdcp} K_{vco} F_{lpf}(s) \frac{1}{s}}{3}} \quad (6.10)$$

Il rumore prodotto dal phase-frequency detector e dalla charge pump subisce quindi un filtraggio passa-basso. Il contributo di rumore fornito quindi da questo blocco in uscita vale

$$\Phi_{pfdcp}^2 = i_{pfdcp}^2 \cdot |H_{pfdcp}|^2 \quad (6.11)$$

Le figure 6.31, 6.32 mostrano rispettivamente il rumore generato dal PFDCP e il rumore generato dal PFDCP riportato in uscita al PLL.

6.6.2 Rumore di fase generato dal filtro

In un filtro passivo come quello utilizzato, la resistenza è l'unico elemento che genera rumore. Il rumore prodotto dalla resistenza è filtrato dal filtro stesso e compare in uscita al blocco come sorgente di rumore V_{lpf}^2 . Tale rumore viene poi riportato in uscita tramite la fdt passa-banda

$$H_{fil}(s) = \frac{\frac{K_{vco}}{s}}{1 + \frac{K_{pfdcp} K_{vco} F_{lpf}(s) \frac{1}{s}}{M}} \quad (6.12)$$

Ricordando che una resistenza R può essere modellizzata come una resistenza ideale (ovvero che non produce rumore) con in parallelo ad un generatore di corrente $i_n^2 = 4K_B T/R$, con K_B costante di Boltzmann e T temperatura assoluta, la psd del rumore del filtro in uscita vale

$$\Phi_{fil}^2 = i_n^2 \cdot \left| \frac{V_{ctrl}}{i_n} \right|^2 \cdot |H_{fil}|^2 \quad (6.13)$$

con

$$\frac{V_{control}}{i_n}(s) = -\frac{R}{sRC_3 + \left(1 + \frac{C_3}{C}\right)} \quad (6.14)$$

Anche il rumore prodotto dal filtro si presenta come un disturbo sulla tensione di controllo del VCO, e sono quindi le componenti a più bassa frequenza a fornire il contributo di rumore maggiore.

Le figure 6.33, 6.34 mostrano il rumore generato dal filtro ed il rumore riportato in uscita al PLL.

6.6.3 Rumore di fase generato dal VCO

Il rumore di fase prodotto dal VCO, a differenza del rumore generato dal filtro e del rumore generato dal PFD/CP, compare direttamente come rumore di fase in uscita, filtrato dalla fdt passa-alto

$$H_{vco}(s) = \frac{1}{1 + \frac{K_{pfdcp} K_{vco} F_{lpf}(s) \frac{1}{s}}{3}} \quad (6.15)$$

Risulta quindi

$$\Phi_{vco,out}^2 = \Phi_{vco}^2 |H_{vco}|^2 \quad (6.16)$$

La figura 6.35 mostra il rumore di fase del VCO ed il rumore riportato in uscita al PLL.

6.6.4 Rumore di fase generato dai divisori

Il rumore di fase prodotto dal divisore di frequenza nella rete di feedback del PLL viene filtrato dalla fdt ingresso/uscita $2H(s)$. Risulta quindi

$$\Phi_{ldiv,out}^2 = \Phi_{ldiv}^2 |H|^2 \quad (6.17)$$

Il rumore di fase prodotto dal divisore di frequenza in ingresso viene filtrato dalla fdt ingresso/uscita $2H(s)$. Tale rumore non viene preso in considerazione perchè coperto dal rumore di fase del segnale di riferimento

La figura 6.36 riporta il rumore di fase del divisore per 3 ed il contributo di tale rumore in uscita.

La figura 6.37 mostra tutti i contributi di rumore e la loro somma. Come è possibile osservare, in bassa frequenza il rumore di fase dominante è quello prodotto dal PFDCP, mentre a frequenze più elevate è il rumore prodotto dal VCO a risultare dominante. Queste simulazioni non tengono però conto del rumore del segnale di riferimento. Sono state anche eseguite delle simulazioni tramite Cadence Spectre del rumore di fase del PLL. Ciò è stato possibile per via del rapporto non elevato tra la frequenza dell'onda in uscita e quella del segnale di riferimento. La figura 6.38 confronta i risultati teorici con quelli ottenuti tramite la simulazione diretta. Come è possibile osservare i dati teorici approssimano bene quelli simulati, soprattutto in bassa frequenza. Al crescere della frequenza le due curve si sparano, raggiungendo una differenza massima di 3dBc/Hz. Tale scostamento è dovuto a due fattori: le non idealità del sistema, ed in particolare alla non linearità del guadagno K_{vco} , ed il valore della corrente I erogata dalla charge pump. Come è possibile osservare dalla figura 6.17, la corrente media è superiore a quella prevista. La figura 6.39 confronta il rumore di fase simulato tramite Cadence con quello teorico una volta aggiustato il valore della corrente erogata dalla charge-pump, avendo posto $I = 1.1mA$.

6.6.5 Rumore di fase in ingresso

Il rumore di fase sul segnale di riferimento compare in uscita filtrato dalla fdt ingresso/uscita $H(s)$. La fdt $H(s)$ è una fdt del tipo passabasso. Il rumore di fase in uscita dal PLL è quindi dominato in bassa frequenza dal rumore del segnale di riferimento, mentre in alta frequenza è dominato dal rumore del VCO.

Sono state infine eseguite delle simulazioni utilizzando come riferimento un segnale dotato del rumore di fase simile a quello dei segnali utilizzati per il GSM1800. Per modellizzare tale rumore ci si è basati su [31, 36, 37, 29]. La figura 6.40 mostra il rumore di fase dell'onda in ingresso, mentre la figura mostra l'effetto del rumore in

ingresso riportato in uscita al PLL: in bassa frequenza il rumore del riferimento è il contributo dominante. Intorno ai $6MHz$ il rumore è dominato dal rumore del PFDCP. Per $f > 180MHz$ il rumore in uscita è dovuto principalmente al VCO. Come spiegato in precedenza, il PLL genera una che è doppia rispetto a quella della banda di interesse, al fine di ridurre il leakage tra i canali e facilitare la progettazione di un circuito in grado di estrarre due segnali in quadratura precisi. L'uscita del PLL subisce quindi una ulteriore divisione per due prima di giungere al mixer. La figura 6.42 riporta il rumore di fase totale dopo tale divisione. I risultati ottenuti sono simili a quelli riportati in [31, 29, 38, 39, 40], e possono essere quindi ritenuti soddisfacenti. Questi risultati sono stati ottenuti utilizzando le fdt e non con simulazione diretta mediante Spectre.

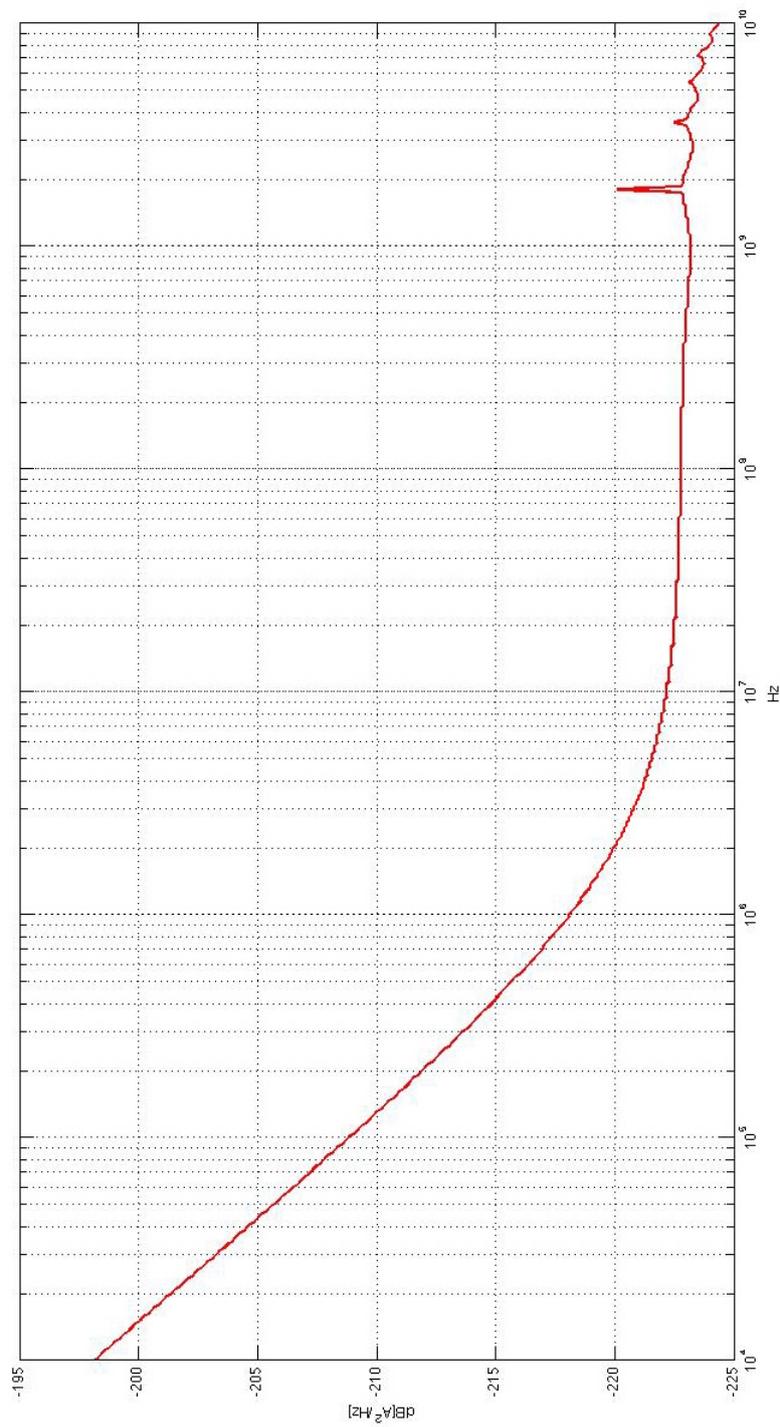


Figura 6.31: psd rumore corrente PFDCP

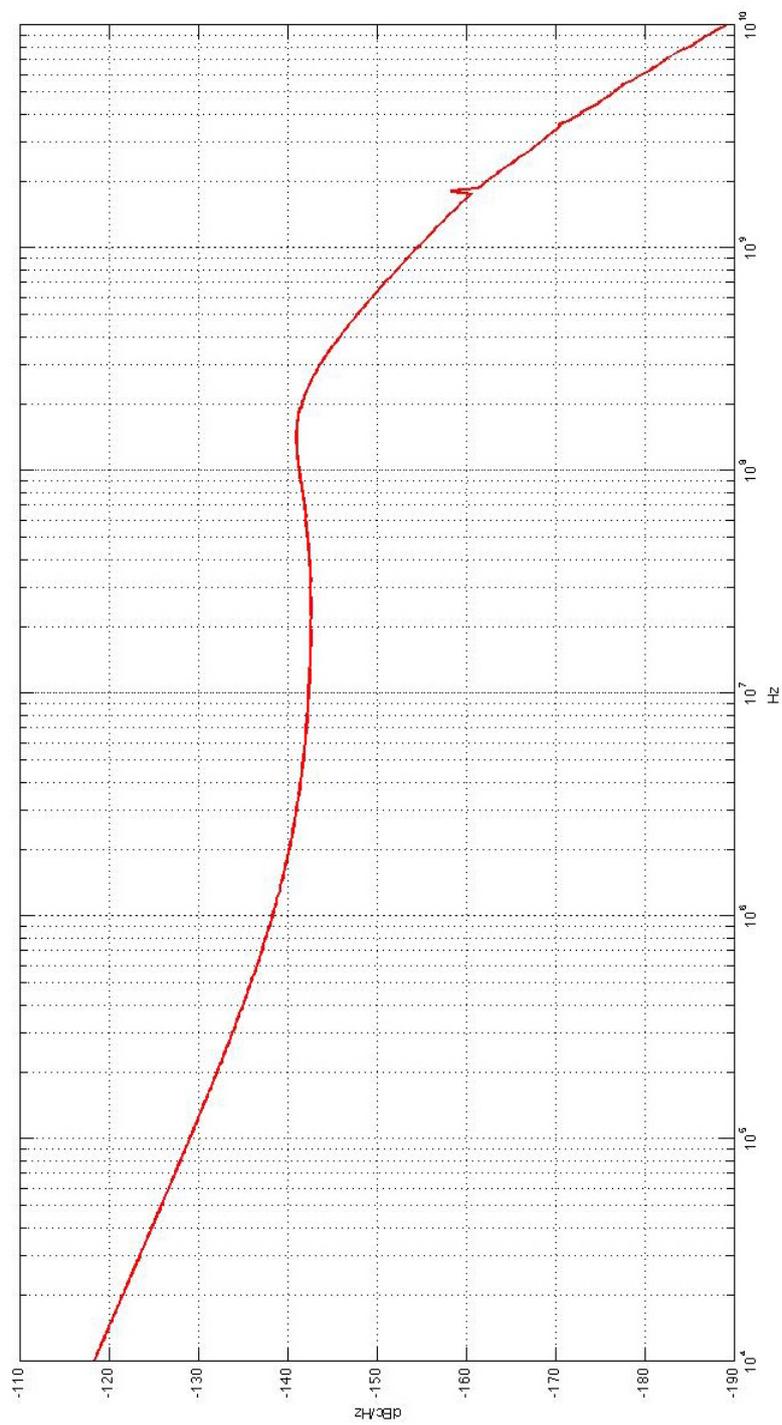


Figura 6.32: contributo al rumore di fase in uscita prodotto dal PFDCP

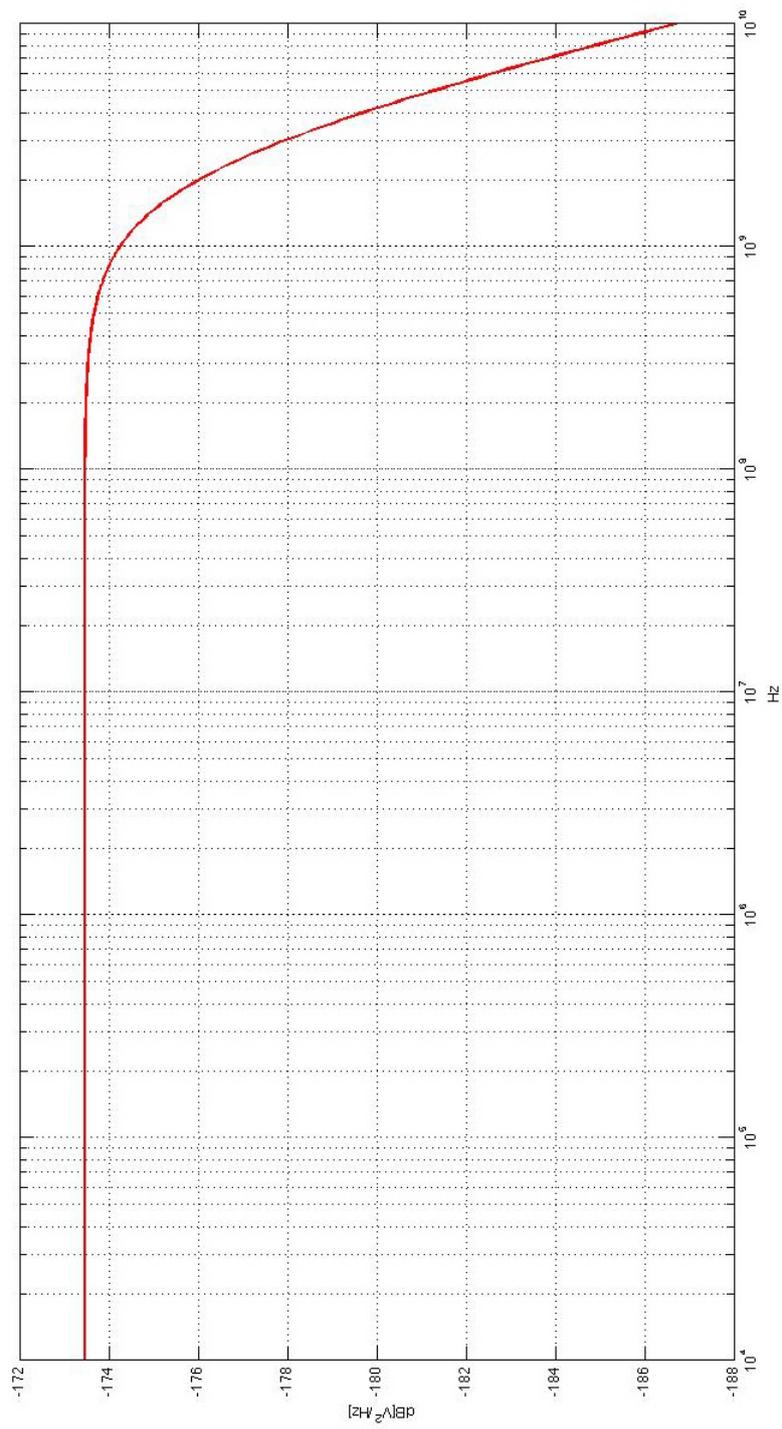


Figura 6.33: psd rumore riltro

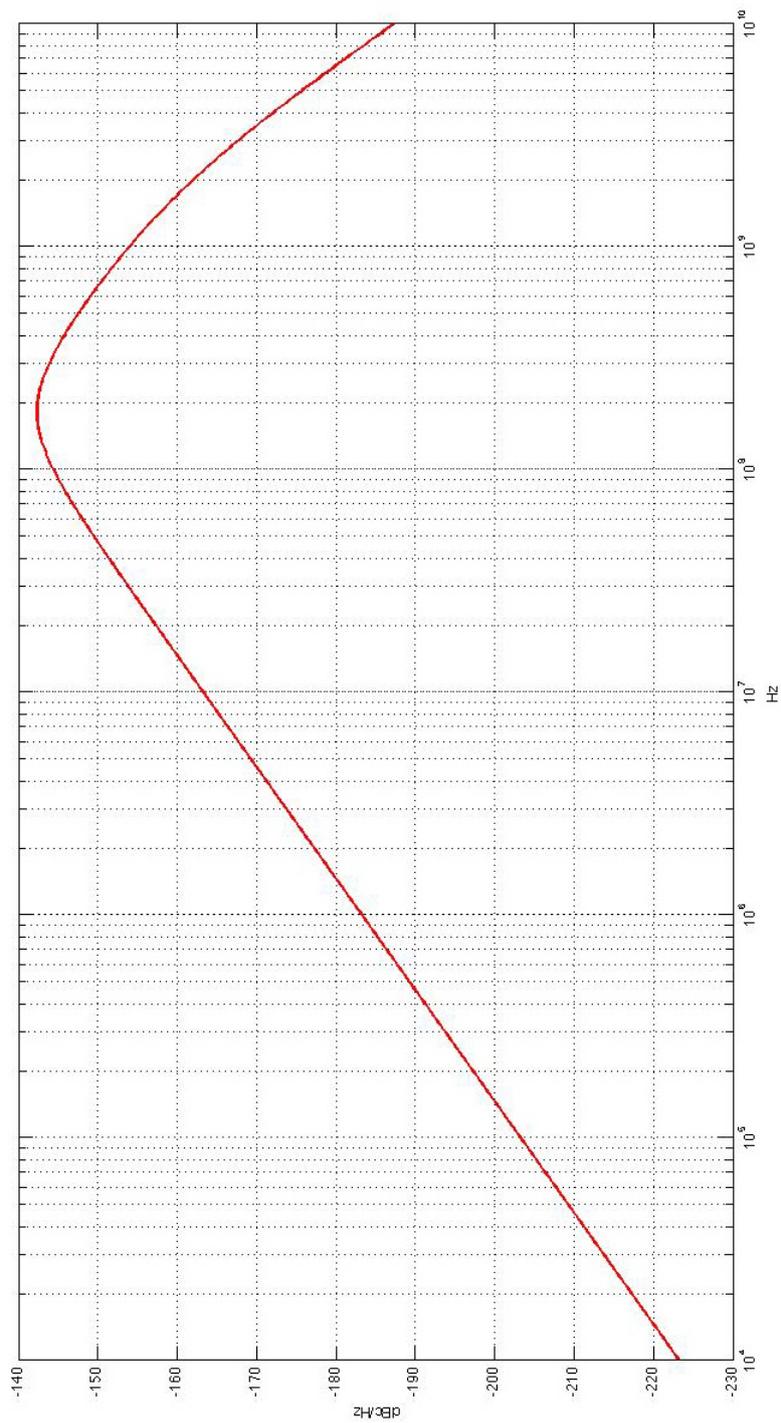


Figura 6.34: contributo rumore di fase del filtro

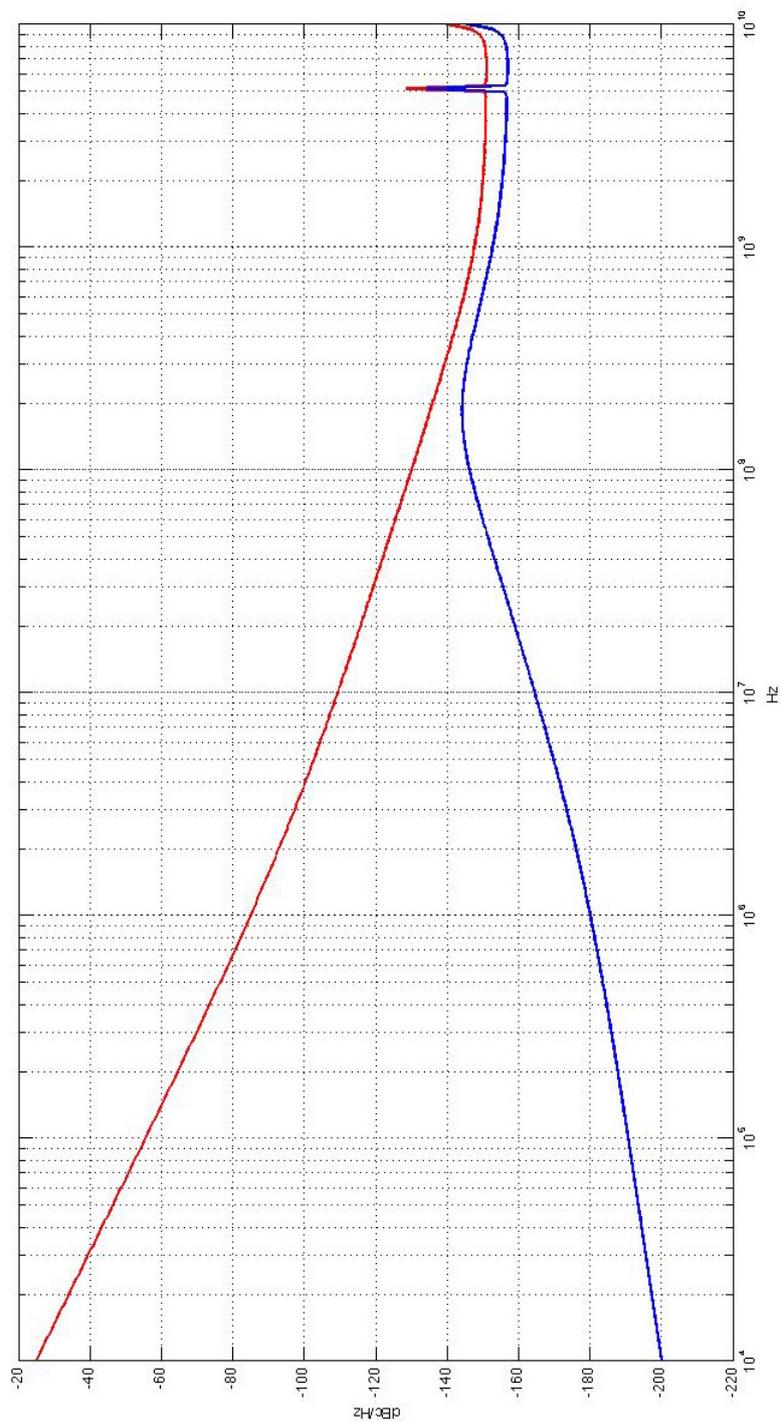


Figura 6.35: rumore fase VCO (curva rossa), rumore fase VCO in uscita al PLL (curva blu)

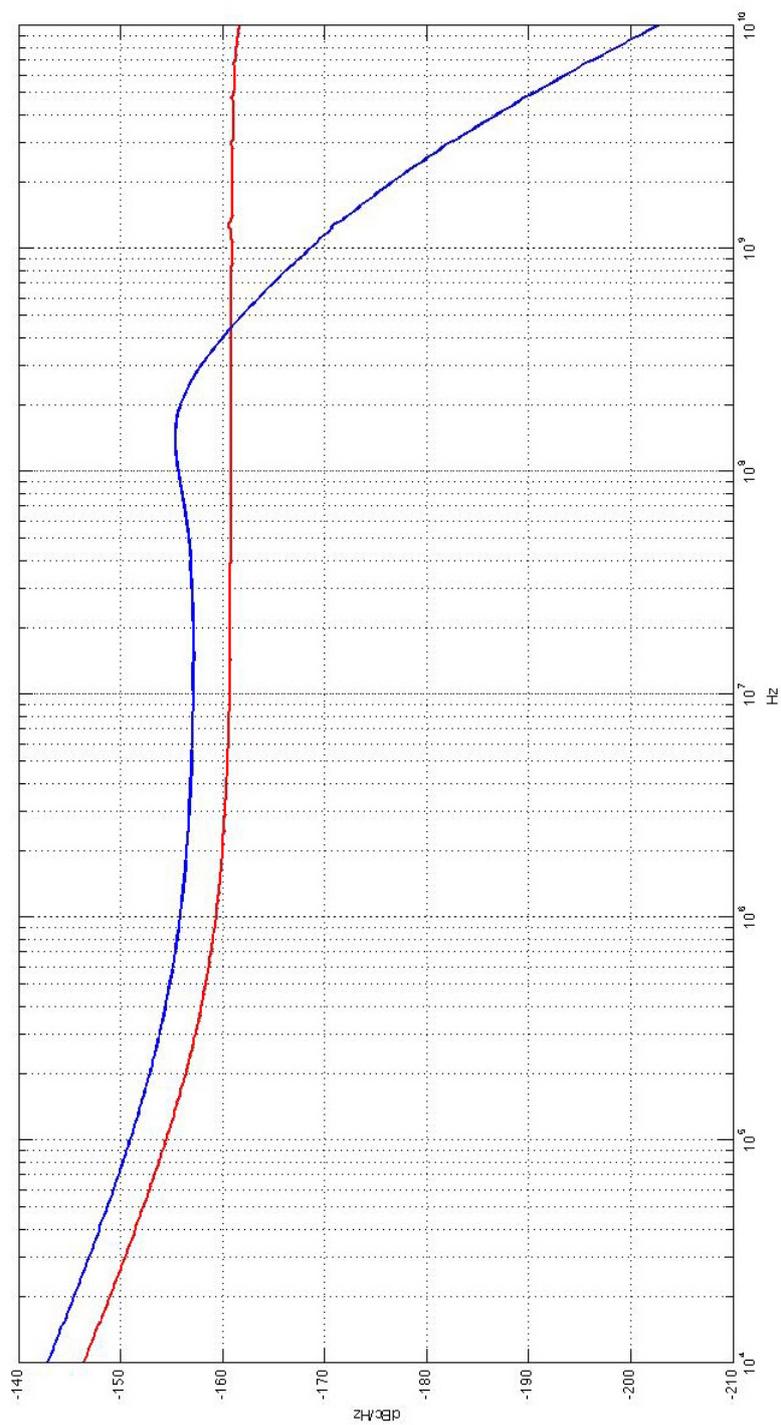


Figura 6.36: rumore di fase clock divider by 3 (curva rossa), rumore di fase clock divider by 3 in uscita al PLL (curva blu)

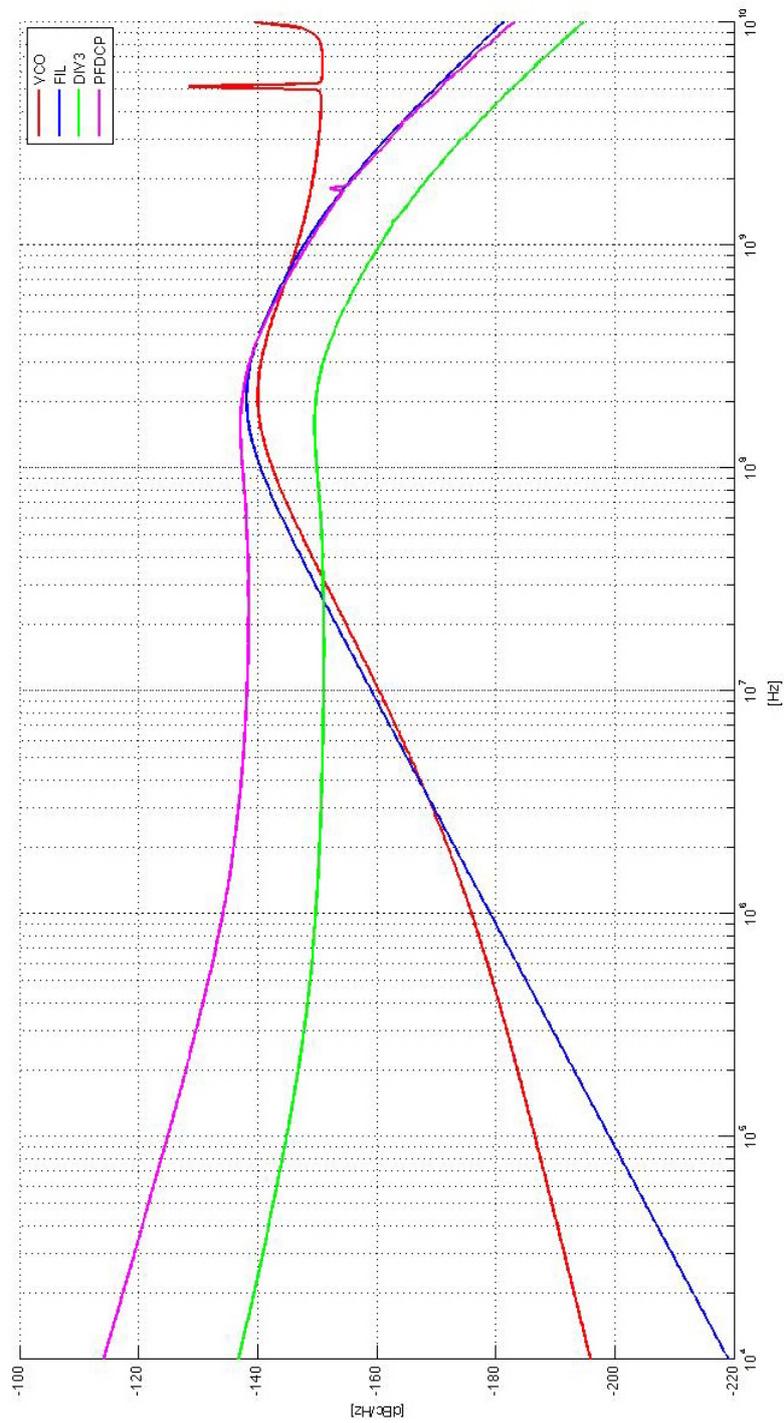


Figura 6.37: confronto tra i contributi di rumore

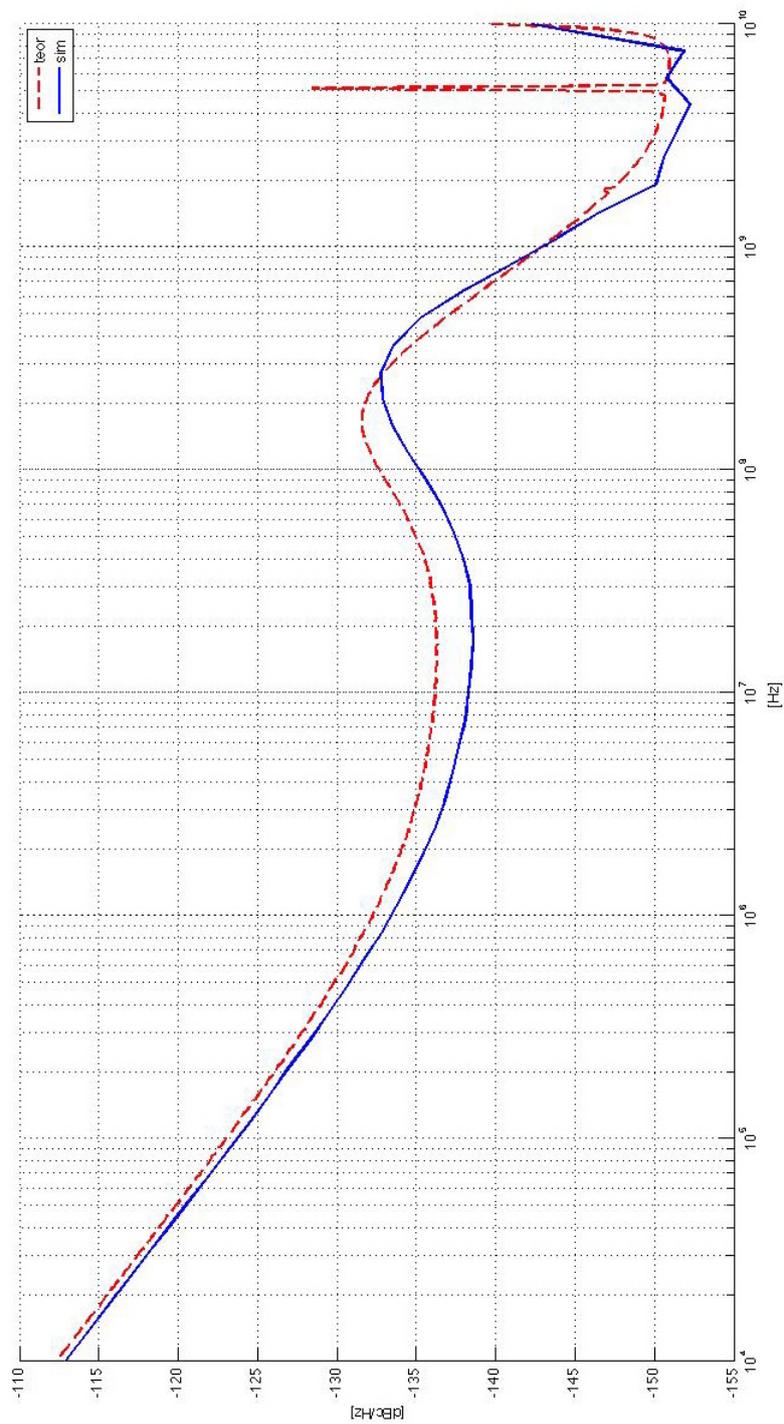


Figura 6.38: confronto tra rumore di fase calcolato e rumore di fase simulato con Cadence

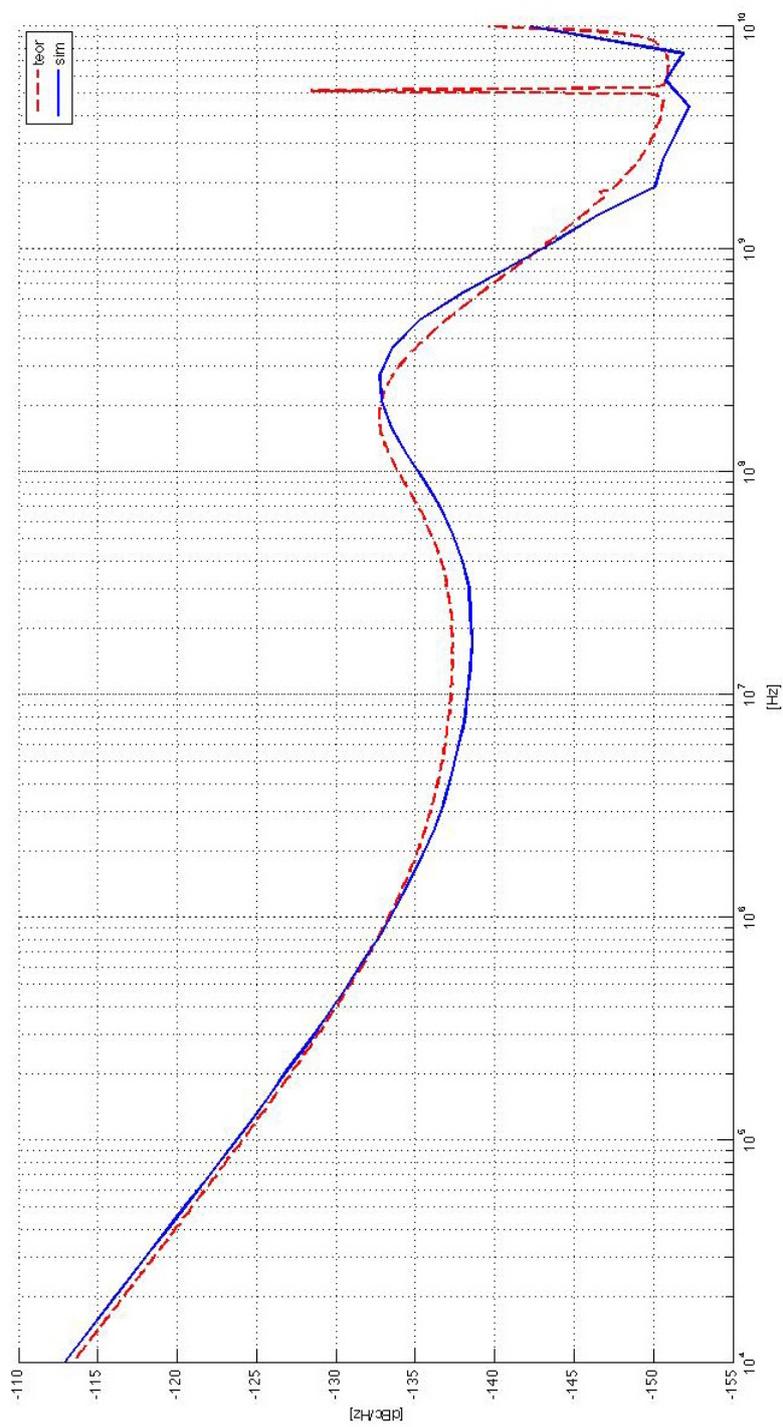


Figura 6.39: confronto tra rumore di fase calcolato e rumore di fase simulato con Cadence

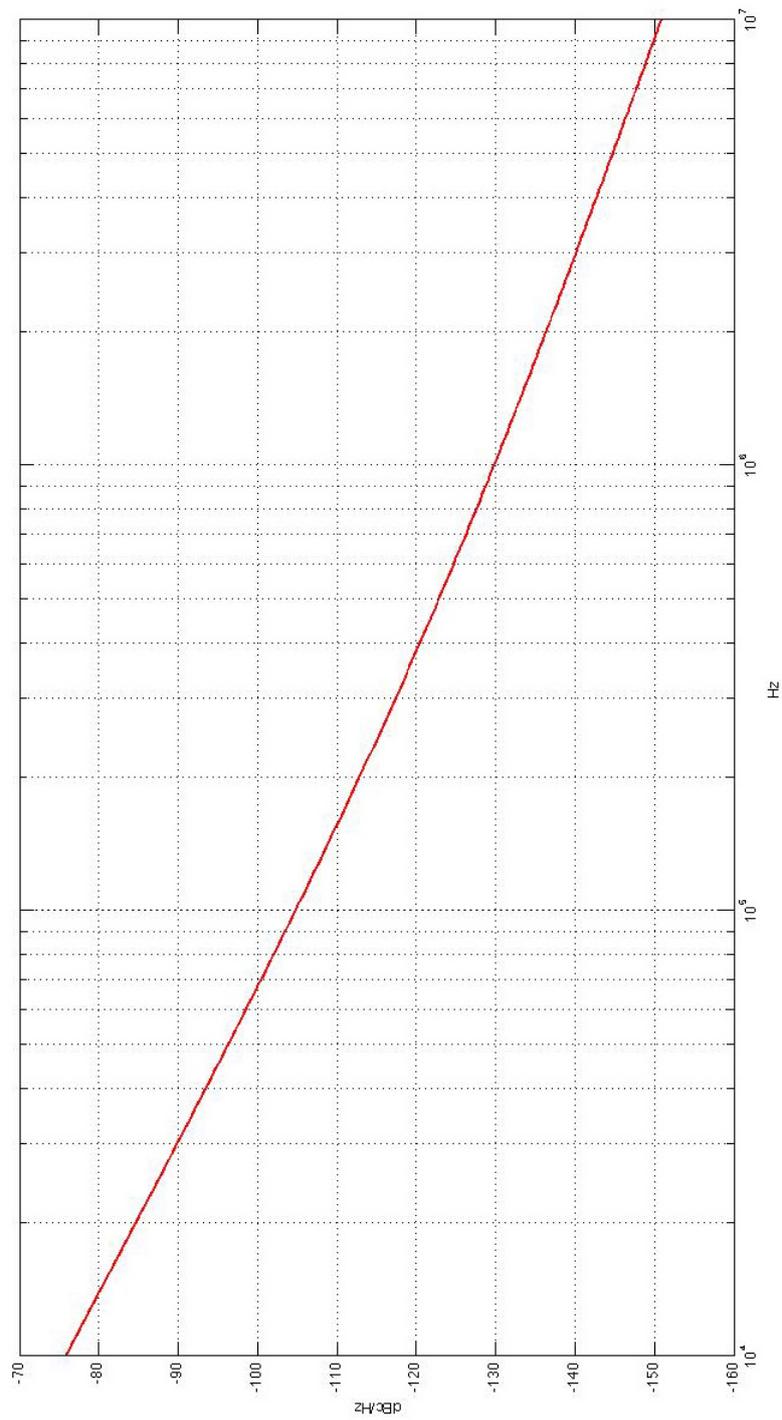


Figura 6.40: rumore di fase segnale di riferimento

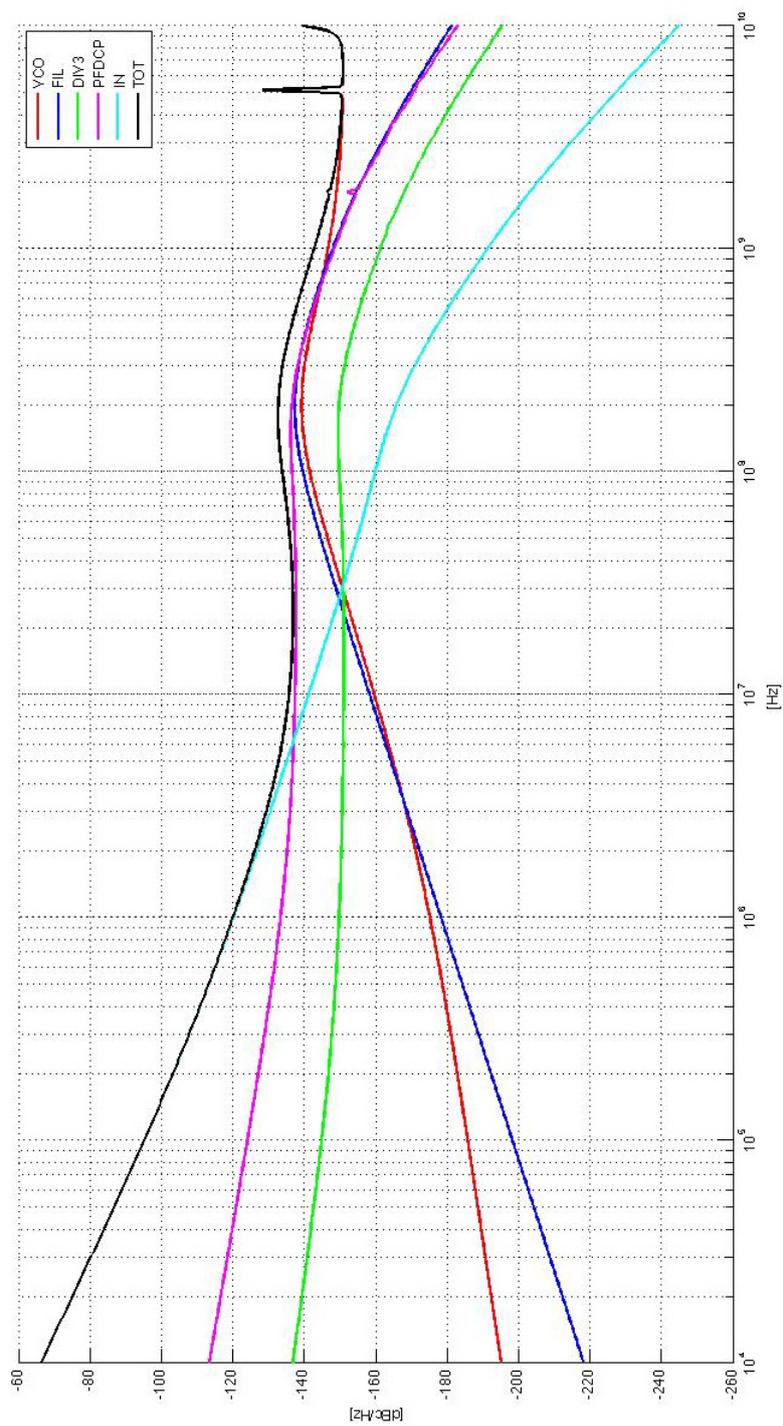


Figura 6.41: confronto tra i contributi di rumore in uscita al PLL

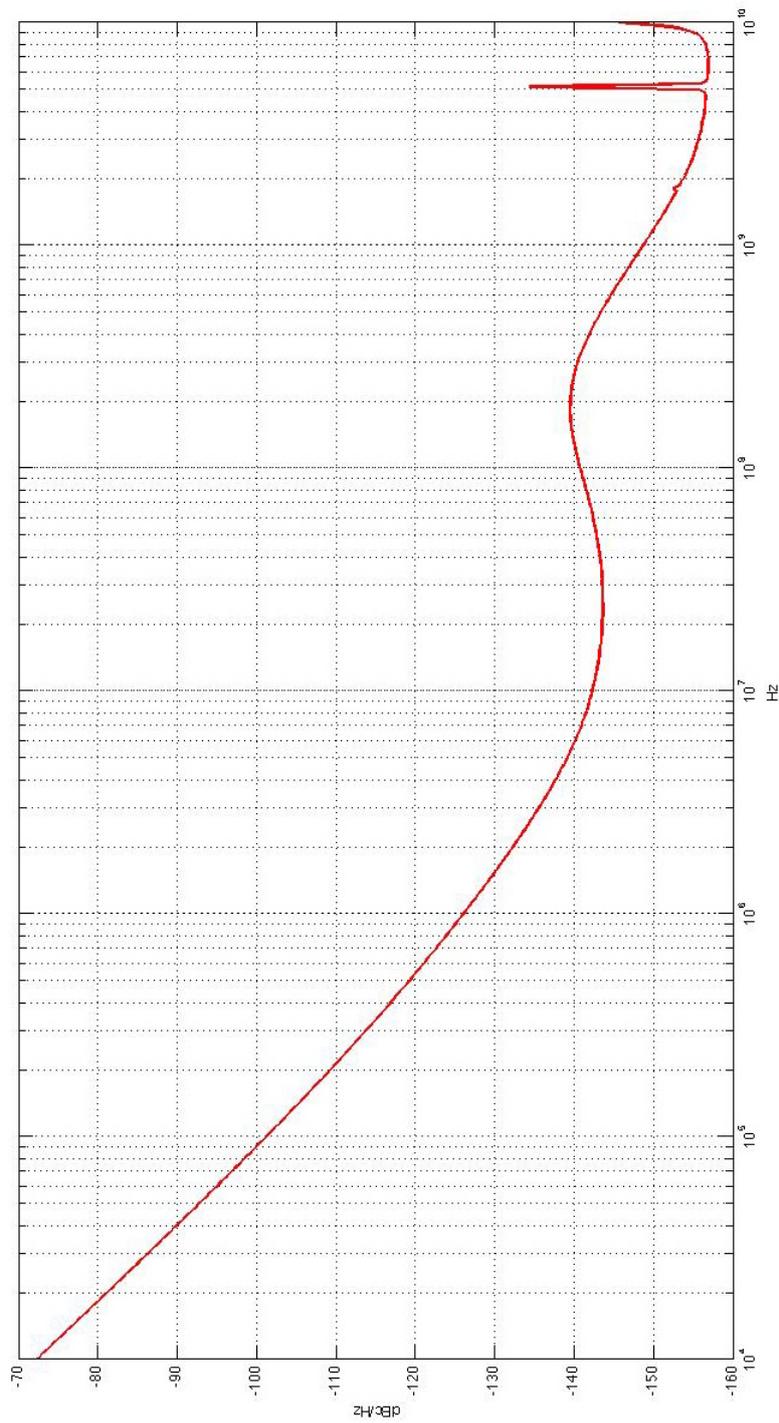


Figura 6.42: rumore di fase in uscita al PLL

7 Conclusioni e possibili sviluppi futuri

In questa tesi è stato progettato un PLL che riceve in ingresso la portante del GSM1800 e la moltiplica per $3/2$. In questo modo il segnale di uscita assume una frequenza di 5.4GHz, utile quindi per essere utilizzato due segnali in quadratura a 2.7GHz per coprire la VII banda WCDMA. Le prestazioni del PLL realizzato sono simili a quelle dei lavori presentati in [31, 29, 38, 39, 40]. La figura 6.42 mostra il profilo del rumore di fase in uscita al PLL: il rumore di fase raggiunge i $-145dBc/Hz$, ma poi risale a $-140dBc/Hz$ a causa del rumore di fase prodotto dal VCO, dal filtro e dal PFDCP. Migliorando le prestazioni dell'oscillatore si ritiene sia possibile eliminare questo aumento del rumore di fase in alta frequenza.

Le difficoltà maggiori incontrate durante lo sviluppo della tesi sono state causate dall'elevato valore del guadagno K_{vco} . Un guadagno così elevato ha infatti complicato la scelta dei parametri degli altri componenti del PLL, ed in particolare del filtro poichè il rumore prodotto dal filtro compare in uscita moltiplicato proprio per K_{vco} . Utilizzare un guadagno così elevato è stata una scelta imposta dalla dipendenza delle prestazioni dell'oscillatore dalle variazioni del processo di fabbricazione. Come mostra la figura 6.5 infatti, un guadagno elevato è necessario per garantire la copertura della banda anche nei casi estremi delle corner FF ed SS. Per risolvere questo problema si potrebbe studiare una architettura che desensibilizzi l'oscillatore dalla variazione parametri del processo di fabbricazione. Si potrebbe inoltre riprogettare il PLL utilizzando una tecnologia differente, che in particolare consenta l'utilizzo di una tensione di alimentazione maggiore.

Bibliografia

- [1] B. Razavi, *RF Microelectronics*, Prentice Hall
- [2] B. Razavi, *Design of Analog CMOS Integrated Circuits*, Mc-Graw Hill
- [3] T. H. Lee, *The Design of CMOS Radio-Frequency Integrated Circuits*, Cambridge University Press
- [4] F. M. Gardner, *Charge-Pump Phase-Lock Loops*, IEEE Transaction on Communications, Vol. com-28, no. 11, November 1980
- [5] K. Arshak, O. Abubaker, E. Jafer, *Design and Simulation Difference Types CMOS Phase Frequency Detector for high speed and low jitter PLL*, Proceedings of the Fifth IEEE International Caracas Conference on Devices, Circuits and Systems, November 2004
- [6] F. M. Gardner, *Phase Accuracy of Charge Pump PLL's*, IEEE Transaction on Communications, vol. com-30, no. 10, October 1982
- [7] W. H. Lee, J. D. Cho, S. D. Lee, *A High Speed and Low Power Phase-Frequency Detector and Charge-Pump*, Proceedings of the ASP-DAC'99. Asia and South Pacific Design Automation Conference, January 1999
- [8] G.B Lee, P.K. Chan, L. Siek, *A CMOS phase frequency detector for charge pump phase-locked loop*, Midwest Symposium on Circuits and Systems, 1999
- [9] H. O. Johansson, *A Simple Precharged CMOS Phase Frequency Detector*, IEEE Journal of Solid-State Circuits, vol. 33, no. 2, February 1998
- [10] W. Rhee, *Design of High-Performance CMOS Charge Pumps in Phase-Locked Loops*, Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, 1999
- [11] K. D. Feng, J. C. Lee, *Spark Current in Charge Pump of Phase Lock Loop*, IEEE 2005 Custom Integrated Circuits Conference
- [12] S. Milicevic, L. MacEachern, *A Phase-Frequency Detector and a Charge Pump Design for PLL Applications*, IEEE International Symposium on Circuits and Systems, ISCAS 2008, May 2008
- [13] C. H. Park, B. Kim, *A Low-Noise, 900-Mz VCO in 0.6- μ m CMOS*, IEEE Journal of Solid-State Circuits, vol. 34, no. 5, May 1999

Bibliografia

- [14] J. G. Maneatis, *Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques*, IEEE Journal of Solid-State Circuits, vol. 31, no. 11, November 1996
- [15] B. Fahs, W. Y. Ali-Ahmad, P. Gamand, *A Two-Stage Ring Oscillator in 0.13 μ m CMOS for UWB Impulse Radio*, IEEE Transactions on Microwave and Techniques, vol. 57, no. 5, May 2009
- [16] C. L. Li, J. Lin, *A 1-9 GHz Linear-Wide-Tuning-Range Quadrature Ring Oscillator in 130 nm CMOS for Non-Contact Vital Sign Radar Application*, IEEE Microwave and Wireless Components Letter, vol. 20, no. 1, January 2010
- [17] Y. A. Eken, J. P. Uyemura, *A 5.9 GHz Voltage-Controlled Ring-Oscillator in 0.18 μ m CMOS*, IEEE Journal of Solid-State Circuits, vol. 39, no. 1, January 2004
- [18] Y. A. Eken, *High Frequency Voltage Controlled Ring Oscillators in Standard CMOS*, Ph. D. Dissertation, Georgia Institute of Technology, November 2003
- [19] D. A. Badillo, S. Kiaei, *Comparison of Contemporary CMOS Ring Oscillators*, Radio Frequency Integrated Circuits Symposium, Digest of Paper. 2004 IEEE, June 2004
- [20] B. Razavi, *A Study of Phase Noise in CMOS Oscillators*, IEEE Journal of Solid-State Circuits, vol. 31, no. 3, March 1996
- [21] T. H. Lee, A. Hajimiri, *Oscillator Phase Noise: A Tutorial*, IEEE Journal of Solid-State Circuits, vol. 35, no. 3, March 2000
- [22] A. Hajimiri, S. Limotyrakis, T. H. Lee, *Jitter and Phase Noise in Ring Oscillator*, IEEE Journal of Solid-State Circuits, vol. 34, no. 6, June 1999
- [23] D. B. Leeson, *A Simple Model of Feedback Oscillator Noise Spectrum*, Proc IEEE, vol. 54, pp 329-330, February 1966
- [24] A. A. Abidi, *Phase Noise and Jitter in CMOS Ring Oscillators*, IEEE Journal of Solid-State Circuits, vol. 41, no. 8, August 2006
- [25] K. Kundert, *Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers*, www.designers-guide.org
- [26] Y. W. Kim, J. D. Yu, *Phase Noise Model of Single Loop Frequency Synthesizer*, IEEE Transaction on Broadcasting, vol. 54, no. 1, March 2008
- [27] X. He, W. Kong, R. Newcomb, M. Peckerar, *Design and Modelling of a Low Phase Noise PLL Frequency Synthesizer*, 8th International Conference on Solid-State and Integrate Circuits Technology, 2006
- [28] Z. Brezovic, V. Kudjak, *PLL phase-noise modeling by PC*, 19th International Conference Radioelektronika, April 2009

Bibliografia

- [29] V. Valenta, G. Baudoin, M. Villegas, *Phase Noise Analysis of PLL Based Frequency Synthesizer for Multi-Radio Mobile Terminals*, 3rd International Conference on Cognitive Radio Oriented Wireless Networks and Communications, CrownCom 2008, May 2008
- [30] P. V. Brennan, I. Thompson, *Phase/frequency detector phase noise contribution in PLL frequency synthesiser*, Electronics Letters, vol 37, Issue 15, July 2009
- [31] M. Brendolini, P. Rossi, D. Manstretta, F. Svelto, *Toward Multistandard Mobile Terminals-Fully Integrated Receivers Requirements and Architectures*, IEEE Transaction on Microwave Theory and Techniques, vol. 35, no. 3, March 2005
- [32] P. Norin, *A Wide Band Low Power Single Ended Divide by Two Circuit*
- [33] C. Chang, Y. E. Chen, *A CMOS True Single-Phase-Clock Divider With Differential Outputs*, IEEE Microwave and Wireless Components Letters, vol. 19, no. 12, December 2009
- [34] C. Petty, P. Shockman, *Odd Number Divide By Counters With 50% outputs and Synchronous Clocks*, Product Applications ON Semiconductor, <http://onsemi.com>
- [35] M. Ikebe, J. Motohisa, E. Sano, *A 0.18 μ m 3GHz True Single Phase Clocking Divider-by-3 Circuit*, Proceeding of the 7th WSEAS International Conference on Circuits, Systems, Electronics, Control and Signal Processing (CSECS'08)
- [36] J. Craninckx, M. Steyaert, H. Miyakawa, *A Fully Integrated Spiral-LC CMOS VCO Set with Prescaler for GSM and DCS-1800 System*, Proceedings of the IEEE 1997 Custom Integrated Circuits Conference, 1997
- [37] I. Rovira, P. Sivonen, S. Rintamaki, M. Honkanen, *Highly Linear TX IF-Chip for Multicarrier GSM 900 and 1800 Base Station*, the 2001 IEEE International Symposium on Circuits and Systems, 2001
- [38] A. Koukab, Y. Lei, M. J. Declercq, *A GSM-GPRS/UMTS FDD-TDD/WLAN 802.11a-b-g Multi-Standard Carrier Generation System*, IEEE Journal of Solid-State Circuits, vol. 41, no. 7, July 2006
- [39] Y. Tang, A. Aktas, M. Ismail, S. Bibyk, *A Fully Integrated Dual-Mode Frequency Synthesizer for GSM and Wideband CDMA in 0.5 μ m CMOS*, Proceedings of the 44th IEEE 2001 Midwest Symposium on Circuits and Systems, 2001
- [40] F. Badets, L. Camino, S. Dedieu, D. Belot, S. Rieubon, T. Divel, P. Cerisier, *A Multimode GSM/DCS/WCDMA Double Loop Frequency Synthesizer*, Asian Solid-State Circuits Conference, November 2005
- [41] A. Rezayee, K. Martin, *A coupled two-stage ring oscillator*, Proceedings of the 44th IEEE Midwest Symposium on Circuits and Systems, MWSCAS 2001, 2001