



UNIVERSITÀ
DEGLI STUDI
DI PADOVA



DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE
CORSO DI LAUREA IN INGEGNERIA ELETTRONICA

Progetto e layout di un amplificatore operazionale di transconduttanza di Miller integrato

Relatore: Prof. Bevilacqua Andrea

Laureando: Scanferla Angelo

ANNO ACCADEMICO 2023-2024

Data di laurea 12/11/2024

Sommario

Il presente lavoro di tesi si concentra sul progetto e layout di un amplificatore operazionale di transconduttanza di Miller integrato, con l'obiettivo di soddisfare le seguenti specifiche di progetto: ottenere un guadagno minimo di 34dB ad anello aperto, garantire un consumo di corrente inferiore a 1mA, massimizzare la larghezza di banda dell'amplificatore retroazionato in configurazione di buffer a guadagno unitario. Tramite simulazioni è stato validato il design proposto, per poi passare alla fase di realizzazione del layout integrato. Ciò è stato possibile utilizzando il software Cadence Virtuoso.

Indice

1	Introduzione	1
2	Analisi del circuito OTA di Miller	3
2.1	Specchio di corrente a pMOS	4
2.2	Amplificatore differenziale con carico attivo	6
2.3	Amplificatore a source comune	7
2.4	Guadagno dell'OTA	8
2.5	Risposta in frequenza	9
3	Progettazione	13
3.1	Dimensionamento	14
3.2	Risultati simulazioni	16
4	Layout	21
4.1	Considerazioni pre-layout	21
4.2	Layout	22
4.3	Risultati simulazioni post-layout	24
5	Conclusioni	27

Elenco delle figure

2.1	Circuito completo dell'OTA	3
2.2	Specchio a pMOS, polarizza i due stadi di amplificazione	5
2.3	Modello ai piccoli segnali dello specchio di corrente	6
2.4	primo stadio OTA	6
2.5	(a) Secondo stadio dell'OTA; (b) modello ai piccoli segnali dello stadio CS con carico attivo	8
2.6	Modello ai piccoli segnali dell'OTA	9
3.1	Tabella dei parametri della tecnologia CMOS UMC 130	14
3.2	Dimensioni MOSFET dalla teoria	15
3.3	Dimensioni MOSFET dopo aver usato il software	15
3.4	Tabelle con tutti i parametri calcolati	16
3.5	Schematico dell'OTA realizzato su CADENCE Virtuoso	17
3.6	Diagramma di Bode di modo differenziale (a) e di modo comune(b) in open-loop	18
3.7	Diagramma di Bode di modo differenziale (a) e risposta al gradino(b) in configurazione di buffer	19
3.8	Circuiti di testbench utilizzati per effettuare le simulazioni: (a) open-loop e (b) buffer	20
4.1	Dispositivi dummy.	21
4.2	Cella di layout dell'OTA.	22
4.3	Layer di Silicio e M1	23
4.4	Layer di M2 e M3	23
4.5	Diagramma di Bode di modo differenziale (a) e modo comune(b) in open-loop post-layout	25
4.6	Diagramma di Bode di modo differenziale (a) e risposta al gradino(b) in configurazione di buffer post-layout	26

Capitolo 1

Introduzione

L'amplificatore OTA (Operational Transconductance Amplifier) con configurazione Miller è un componente fondamentale nell'elettronica analogica, caratterizzato dalla sua capacità di migliorare le prestazioni dei circuiti grazie all'applicazione del teorema di Miller. Questo dispositivo converte segnali di tensione in correnti proporzionali, risultando utile in molte applicazioni, tra cui le comunicazioni e i circuiti integrati, dove è richiesta alta linearità e bassa distorsione.

Nel corso della mia ricerca, ho studiato e progettato un amplificatore di questo tipo, affrontando vari aspetti dalla simulazione alla realizzazione del layout e alle simulazioni post-layout.

Ogni fase ha messo in evidenza le sfide e le soluzioni tecniche legate a questo amplificatore, con particolare attenzione alla configurazione di Miller, che migliora la risposta in frequenza e la stabilità del circuito.

Questa tesi riflette il mio percorso di apprendimento, analizzando le scelte progettuali e il loro impatto sulle prestazioni finali dell'amplificatore. L'amplificatore a transconduttanza di Miller si rivela quindi un elemento essenziale nei circuiti elettronici, rappresentando un'importante area di studio e applicazione nell'ingegneria elettronica.

Capitolo 2

Analisi del circuito OTA di Miller

In questa prima fase analizzeremo la struttura e il funzionamento dell'amplificatore a transconduttanza di Miller, per poi passare alla progettazione e alle considerazioni necessarie per la realizzazione del layout.

Il circuito è composto da otto transistor ad effetto di campo, MOSFET, cinque dei quali sono di

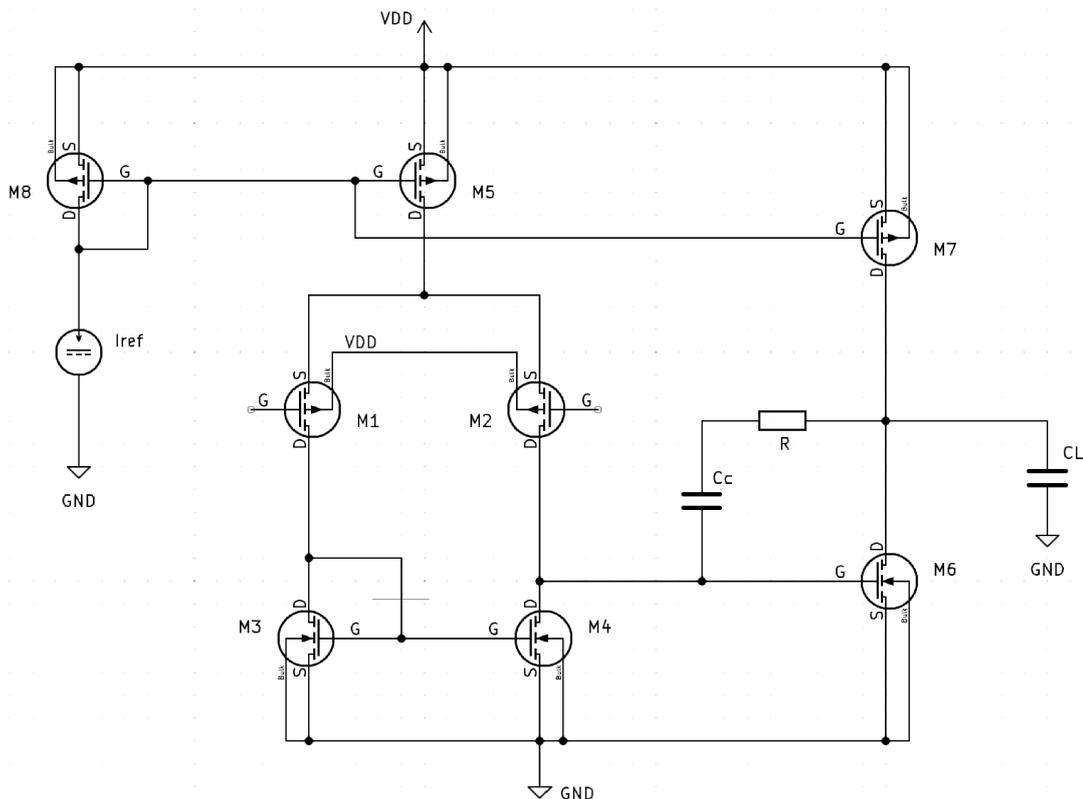


Figura 2.1: Circuito completo dell'OTA

tipo pMOS enhancement e tre nMOS enhancement. I transistor M8, M5 e M7 costituiscono uno specchio di corrente necessario alla polarizzazione dei due stadi di amplificazione. Lo specchio

è alimentato da una corrente di riferimento I_{REF} che può essere generata all'interno o anche esterno al chip (come nel nostro caso). Lo stadio d'ingresso è fornito dalla coppia differenziale M1 e M2, che presenta un carico attivo costituito dallo specchio di corrente M3-M4. Questo primo stadio esegue la conversione del segnale d'ingresso da differenziale a single-ended. Il secondo stadio è un amplificatore a source comune formato da M6 con un carico attivo costituito da M7. Questo stadio è la parte centrale del circuito in cui viene effettuata la compensazione in frequenza dell'amplificatore. La capacità $C_C // C_{GD6}$, vista all'ingresso del secondo stadio, interagisce con la resistenza totale introducendo un polo dominante, cosicché il modulo del guadagno ad anello aperto presenti una pendenza di $-20 \frac{dB}{dec}$ fino a $0dB$. Quindi la capacità di compensazione C_C (nello schema è presente anche una resistenza R in serie a C_C , il suo scopo verrà discusso in seguito), tra l'uscita e l'ingresso del secondo stadio, ci garantisce la stabilità dell'amplificatore quando usato in configurazione con retroazione negativa.

2.1 Specchio di corrente a pMOS

Nell'elettronica analogica integrata gli specchi di corrente hanno un ruolo essenziale. La loro capacità di fornire un controllo preciso della corrente indipendentemente dalle variazioni di tensioni e dalle condizioni operative del circuito, sono caratteristiche fondamentali nella progettazione di circuiti integrati. Questi dispositivi permettono di isolare efficacemente i vari stadi di amplificazione (nel caso di un amplificatore), riducendo così interferenze e aumentando la stabilità del punto operativo dei singoli transistor. La loro implementazione semplifica il design, riducendo il numero di componenti necessari e consentendo una maggiore integrazione in chip.

La corrente I_{REF} , generata esternamente al chip o da un circuito apposito interno, è molto stabile e precisa. Gli specchi di corrente permettono di replicare questa corrente in diverse parti del circuito senza dover ripetere la generazione di I_{REF} per ogni stadio di amplificazione.

Poiché i gate dei MOSFET non assorbono corrente, tutta la corrente I_{REF} fluisce nel drain di M8, si osservi che $V_{GS8} = V_{DS8}$, ciò implica che M8 lavora in saturazione ($|V_{DS}| \geq |V_{GS} - V_t|$), quindi (trascurando l'effetto di canale corto):

$$I_{D8} = \frac{1}{2} k'_p \left(\frac{W}{L} \right)_8 (V_{GS8} - V_{t_p})^2 = I_{REF} \quad (2.1)$$

dove si noti che $V_{GS8} = V_{GS5} = V_{GS7}$ e assumendo che anche M5 e M7 operino in saturazione (trascurando l'effetto di canale corto):

$$I_{D5} = \frac{1}{2} k'_p \left(\frac{W}{L} \right)_5 (V_{GS5} - V_{t_p})^2 \quad (2.2)$$

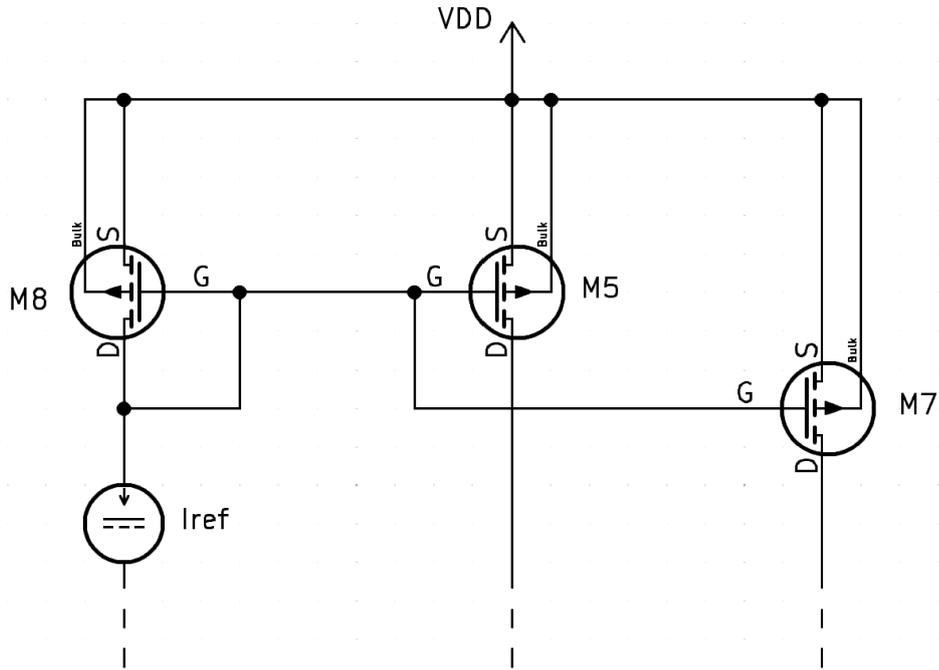


Figura 2.2: Specchio a pMOS, polarizza i due stadi di amplificazione

$$I_{D7} = \frac{1}{2} k'_p \left(\frac{W}{L} \right)_7 (V_{GS7} - V_{t_p})^2 \quad (2.3)$$

Le correnti di drain di M5 e M7 rappresentano le due correnti d'uscita dello specchio e mettendo in relazione le due correnti d'uscita con la corrente di ingresso I_{REF} otteniamo un rapporto, che dipende esclusivamente dalle dimensioni geometriche dei transistor, detto *rapporto di specchio*:

$$\frac{I_{D5}}{I_{D8}} = \frac{(W/L)_5}{(W/L)_8} \quad (2.4)$$

$$\frac{I_{D7}}{I_{D8}} = \frac{(W/L)_7}{(W/L)_8} \quad (2.5)$$

e quindi lo specchio di corrente non è altro che un amplificatore di corrente dove A_I è il rapporto di specchio.

Considerando il modello ai piccoli segnali del MOSFET possiamo ricavarci il valore della resistenza d'uscita dello specchio di corrente.

Per definizione

$$R_{out} = \left. \frac{V_{out}}{I_{out}} \right|_{v_{in}=0} \quad (2.6)$$

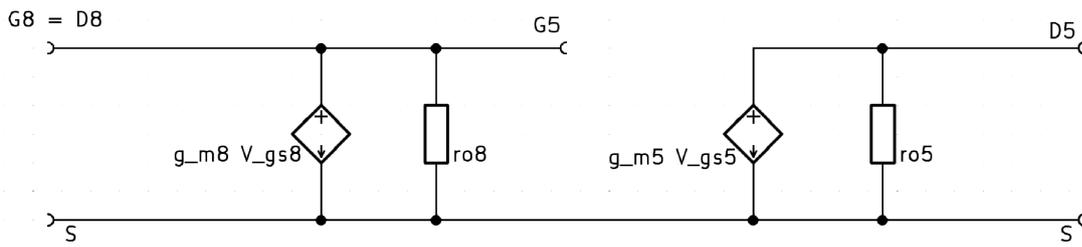


Figura 2.3: Modello ai piccoli segnali dello specchio di corrente

prendendo in esame la coppia M8-M5 (stesso ragionamento vale per M8-M7) è rapido verificare che $R_{out} = r_{o5}$ ($= r_{o7}$ nel caso della coppia M8-M7) poichè $v_{gs5} = v_{gs8} = v_{in} = 0$.

2.2 Amplificatore differenziale con carico attivo

La coppia differenziale M1-M2 viene polarizzata dalla corrente I_{D5} , che viene erogata da M5. Lo specchio di corrente formato dai transistor M3-M4 costituisce il carico attivo dello stadio di amplificazione. Ipotizzando un matching perfetto tra M1-M2 e tra M3-M4 e sotto l'ipotesi che

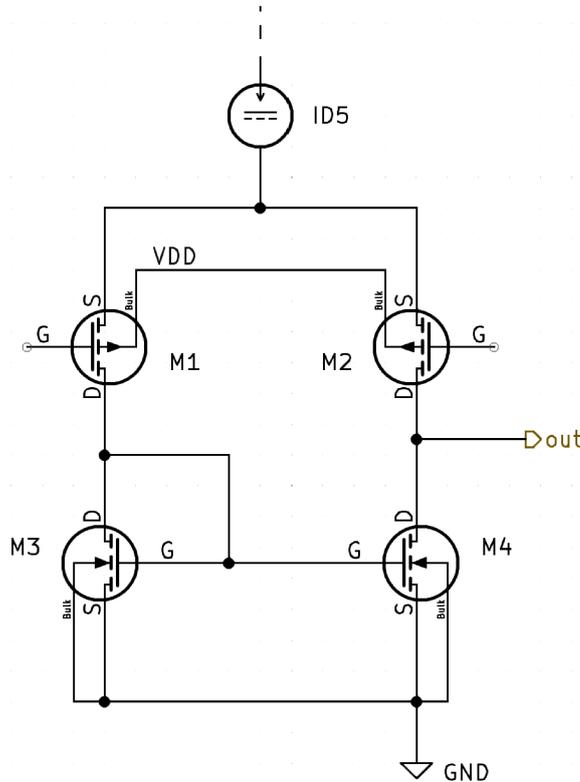


Figura 2.4: primo stadio OTA

tutti i transistor operino in saturazione, la corrente di polarizzazione si divide equamente nei due

transistor M1 e M2,

$$I_{D1} = I_{D2} = \frac{I_{D5}}{2} \quad (2.7)$$

$$I_{D1} = -I_{D3} = -I_{D4} = I_{D2} \quad (2.8)$$

Considerando questo lo stato di equilibrio, la componente DC della corrente d'uscita, che andrebbe verso il carico o verso lo stadio di amplificazione successivo, risulta nulla poichè la corrente entrante nel drain di M2 e quella entrante nel drain di M4 si bilanciano. La tensione sul nodo d'uscita sarà $V_O = V_{SS} + V_{GS3}$. Se il segnale di input è di tipo differenziale (trascurando l'effetto di canale corto) avremo una $V_{G1} = +v_{id}/2$ e $V_{G2} = -v_{id}/2$, ne consegue che la corrente $i_{D1} = g_{m1}v_{gs1} = g_{m1}v_{id}/2$ mentre $i_{D2} = g_{m2}v_{gs2} = -g_{m1}v_{id}/2$, essendo $M1 = M2$, allora $g_{m1} = g_{m2}$ e quindi $i = i_{D1} = -i_{D2}$. Per costruzione $i_{D1} = -i_{D3} = -i_{D4}$, e quindi la corrente d'uscita $i_{out} = -i_{D2} - i_{D4} = 2i$.

Possiamo notare come questa configurazione di stadio d'ingresso possieda la caratteristica di "cancellare" la componente continua (o di modo comune) e di raddoppiare quella di modo differenziale.

Guadagno di modo differenziale Considerando ora le resistenze r_o dei MOSFET, possiamo ricavarci il guadagno di modo differenziale del primo stadio dell'OTA. Sarà sufficiente ricavarci, dalle relative definizioni, prima la transconduttanza G_m e poi la resistenza d'uscita R_{out} :

$$G_m = \left. \frac{i_{out}}{v_{id}} \right|_{v_{out}=0} = g_{m2} \quad (2.9)$$

$$R_{out} = \left. \frac{v_{out}}{i_{out}} \right|_{v_{id}=0} = r_{o2} // r_{o4} \quad (2.10)$$

Quindi il guadagno di modo differenziale

$$A_{vd1} = -G_m \cdot R_{out} = -g_{m2} \cdot (r_{o2} // r_{o4}) \quad (2.11)$$

2.3 Amplificatore a source comune

Il secondo stadio dell'OTA di Miller è composto da un amplificatore a source comune, M6, con un carico attivo, M7. M7 funge da generatore di corrente reale, quindi possiede una sua resistenza d'uscita finita, r_{o7} . Osservando il modello ai piccoli segnali la $R_{out} = r_{o6} // r_{o7}$ e quindi il guadagno

$$A_{vd2} = -g_{m6} \cdot (r_{o6} // r_{o7}) \quad (2.12)$$

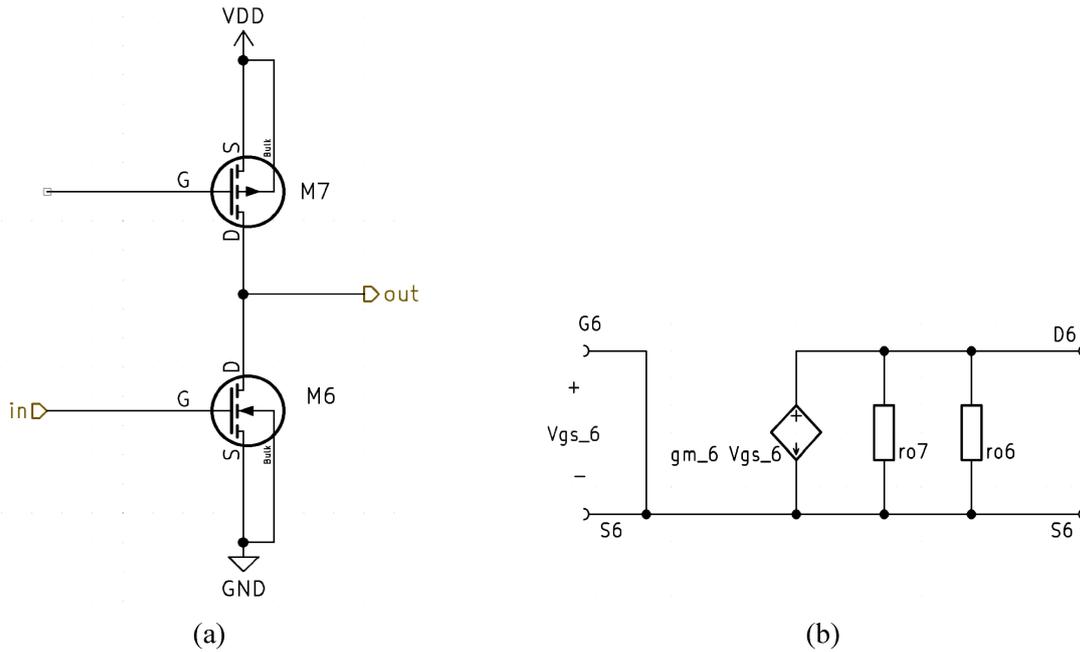


Figura 2.5: (a) Secondo stadio dell'OTA; (b) modello ai piccoli segnali dello stadio CS con carico attivo

La presenza di M7 riduce il guadagno in tensione dello stadio. Il contributo del generatore di $g_{m7}v_{gs7}$ non viene preso in considerazione, la tensione $V_{gs7} = V_{GS7} + v_{gs7}$ ha solo componente continua e quindi $v_{gs7} = 0$.

2.4 Guadagno dell'OTA

Consideriamo il circuito equivalente ai piccoli segnali per l'OTA di Miller, includendo anche le capacità.

La $R_{in} = \infty$ per costruzione, la resistenza $R_1 = r_{o2}/r_{o4}$ che corrisponde alla resistenza d'uscita dello stadio differenziale e $R_2 = r_{o6}/r_{o7}$ è la resistenza d'uscita del secondo stadio.

Il guadagno di modo differenziale dell'amplificatore in banda:

$$A_{vd}|_{MD} = A_{vd1} \cdot A_{vd2} = g_{m2}(r_{o2}/r_{o4}) \cdot g_{m6}(r_{o6}/r_{o7}) \quad (2.13)$$

Il CMRR è determinato dal primo stadio, che come abbiamo visto in precedenza tende ad annullare le correnti di modo comune e a raddoppiare quelle di modo differenziale:

$$CMRR|_{dB} = 20 \log_{10} \left(\frac{|A_{vd1}|}{|A_{cm1}|} \right) = 20 \log_{10} [g_{m2}(r_{o2}/r_{o4}) \cdot 2g_{m3}r_{o5}] \quad (2.14)$$

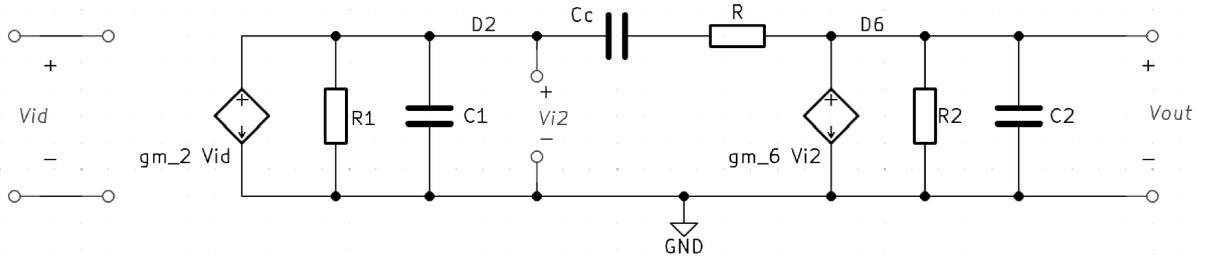


Figura 2.6: Modello ai piccoli segnali dell'OTA

2.5 Risposta in frequenza

Le capacità C_1 e C_2 rappresentano rispettivamente le capacità totali tra il nodo d'uscita e massa del primo stadio e tra il nodo d'uscita e massa del secondo stadio

$$C_1 = C_{gd2} + C_{db2} + C_{gd4} + C_{db4} + C_{gs6} \quad (2.15)$$

$$C_2 = C_{db6} + C_{db7} + C_{gd7} + C_L \quad (2.16)$$

Dal modello ai piccoli segnali ci ricaviamo la funzione di trasferimento $A_v(s) = \frac{V_{out}(s)}{V_{id}(s)}$ (in una prima valutazione la resistenza R in serie a C_C verrà considerata cortocircuitata, quindi $R = 0$) per studiare come si comporta il circuito al variare della frequenza del segnale d'ingresso V_{id} .

Dal nodo D_2 :

$$g_{m2}V_{id} + V_{i2} \left(\frac{1}{R_1} + sC_1 \right) + (V_{i2} - V_{out}) sC_C = 0 \quad (2.17)$$

Dal nodo D_6 :

$$g_{m6}V_{i2} + V_{out} \left(\frac{1}{R_2} + sC_2 \right) + (V_{out} - V_{i2}) sC_C = 0 \quad (2.18)$$

e quindi la funzione di trasferimento dell'OTA:

$$\frac{V_{out}(s)}{V_{id}(s)} = \frac{g_{m2}(g_{m6} - sC_C) R_1 R_2}{1 + s[C_1 R_1 + C_2 R_2 + C_C(g_{m6} R_1 R_2 + R_1 + R_2)] + s^2[C_1 C_2 + C_C(C_1 + C_2)] R_1 R_2} \quad (2.19)$$

In continua e quindi per $s|_{\omega=0} = j\omega|_{\omega=0} = 0$, avremmo che

$$\frac{V_{out}(0)}{V_{id}(0)} = g_{m2} R_1 \cdot g_{m6} R_2 \quad (2.20)$$

che corrisponde al guadagno trovato in precedenza.

Esiste uno zero: $g_{m6} - sC_C = 0 \iff \omega_z = g_{m6}/C_C$ con $\omega_z = 2\pi f_z$

Esistono due poli: ω_{p1} e ω_{p2} , il denominatore $D(s)$ della FDT possiamo scriverlo come:

$$D(s) = \left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) = 1 + s \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}}\right) + \frac{s^2}{\omega_{p1}\omega_{p2}} \quad (2.21)$$

Assumendo un polo dominante, ad esempio ω_{p1} e quindi $\omega_{p1} \ll \omega_{p2}$, possiamo scrivere

$$D(s) \approx 1 + \frac{s}{\omega_{p1}} + \frac{s^2}{\omega_{p1}\omega_{p2}} \quad (2.22)$$

Nel nostro caso il polo dominante risulta essere proprio ω_{p1} .

$$\omega_{p1} = \frac{1}{R_1 [C_1 + C_C(1 + g_{m6}R_2)] + R_2(C_2 + C_C)} \quad (2.23)$$

In genere: $R_1 \sim R_2$, $C_1 \ll C_C$ e $C_1 \ll g_{m6}R_2$ ne consegue

$$\omega_{p1} \approx \frac{1}{R_1 C_C g_{m6} R_2} \quad (2.24)$$

Per trovare ω_{p2} eguagliamo il denominatore di (2.19) all'equazione (2.21) e sostituiamo il valore di ω_{p1} :

$$\omega_{p2} = \frac{g_{m6}C_C}{C_1 C_2 + C_C(C_1 + c_2)} \quad (2.25)$$

Essendo $C_L \in C_2$ e molto elevata rispetto alle capacità interne del MOSFET, possiamo dire affermare che $C_1 \ll C_2$ e seguendo lo stesso ragionamento fatto per il polo dominante $C_1 \ll C_C$, allora

$$\omega_{p2} \approx \frac{g_{m6}}{C_2} \quad (2.26)$$

Per soddisfare la condizione di stabilità per l'operazionale retroazionato negativamente, quindi avere un guadagno uniforme di -20 dB/dec fino a 0 dB , il valore di C_C deve essere tale che $\omega_{p1} \cdot A_v(0)$ risulti pari alla di guadagno unitario f_t con $\omega_t = 2\pi f_t$:

$$\omega_t = \omega_{p1} \cdot g_{m2}R_1 g_{m6}R_2 \approx \frac{g_{m2}}{C_C} \quad (2.27)$$

Inoltre deve soddisfare le condizioni: $\omega_t < \omega_z = g_{m6}/C_C$ e $\omega_t < \omega_{p2} \approx g_{m6}/C_2$.

Margine di fase Per garantire la stabilità dell'amplificatore nella configurazione di *close loop* ed evitare che ci siano oscillazioni o nel caso di una risposta transitoria che non ci siano overshoot e ringing, è necessario avere un margine di fase adeguato. Essendo per costruzione $\omega_{p1} \ll \omega_t < \omega_{p2}$, la fase $\angle A_v(j\omega_t) > 90^\circ$, dobbiamo garantire che $\angle A_v(j\omega_t) < 180^\circ$. Siano

$$\angle A_v(j\omega_{p2}) = -\arctan\left(\frac{f_t}{f_{p2}}\right) \quad \text{e} \quad \angle A_v(j\omega_z) = -\arctan\left(\frac{f_t}{f_z}\right) \quad (2.28)$$

Quindi

$$\angle A_v(j\omega_t) = 90^\circ + \arctan\left(\frac{f_t}{f_{p2}}\right) + \arctan\left(\frac{f_t}{f_z}\right) \quad (2.29)$$

e il margine di fase

$$\phi = 180^\circ - \angle A_v(j\omega_t) = 90^\circ - \arctan\left(\frac{f_t}{f_{p2}}\right) - \arctan\left(\frac{f_t}{f_z}\right) \quad (2.30)$$

Trattazione della resistenza R in serie alla capacità di compensazione C_C . Come possiamo notare da (2.30), lo zero (essendo instabile) aggiunge un ritardo di fase addizionale. Aggiungendo la resistenza R in serie a C_C , si può spostare facilmente lo zero in modo tale che abbia meno effetto sul nodo d'uscita. Sostituendo nella FDT trovata in precedenza l'impedenza della compensazione $1/(sC_C)$ con l'impedenza della C_C serie R , cioè $R + 1/(sC_C)$ è facile trovare l'influenza della resistenza sullo zero. Si ricava che

$$sRC_Cg_{m6} + g_{m6} - sC_C = 0 \quad (2.31)$$

e quindi

$$s = j\omega_z = \frac{1}{C_C \left(\frac{1}{g_{m6}} - R \right)} \quad (2.32)$$

e notiamo che per $R = 1/g_{m6}$, $s \rightarrow \infty$

Capitolo 3

Progettazione

L'amplificatore operazionale di trasconduttanza di Miller è stato progettato rispettando le seguenti specifiche:

- guadagno di tensione $A_{vd} > 34 \text{ dB}$ ad anello aperto;
- consumo di corrente $< 1 \text{ mA}$;
- capacità di carico $C_L = 3 \text{ pF}$;
- massimizzazione della banda in configurazione di buffer a guadagno unitario.

Per rispettare queste specifiche è necessario conoscere i parametri della tecnologia CMOS impiegata, nel nostro caso è stata utilizzata la UMC 130nm, con i seguenti parametri:

- tensione di alimentazione pari a $V_{DD} = 1.2 \text{ V}$
- lunghezza minima di canale dei dispositivi è $L_{min} = 120 \text{ nm}$

Il modello per i calcoli manuali valido in saturazione:

$$I_D = \frac{1}{2} k' \frac{W}{L} \frac{V_{OV}^2}{1 + \theta V_{OV}}, \quad \text{con } \theta \approx \theta_0 + \frac{\theta_1}{L} \quad (3.1)$$

$$C_{gs} = \frac{2}{3} C_{ox} W L + C_{GS_0} W, \quad C_{gd} = C_{GD_0} W, \quad C_{db} = C_{jd} W \quad (3.2)$$

$$r_o = \frac{\eta L}{I_D} \quad (3.3)$$

	k' A/V ²	thetao 1/V	theta1 m/V	Cox F/m ²	Cgs0 F/m	Cgd F/m	Cjd F/m	n ₋ V/m	Vt V
nMOS	470,0E-6	0,57	85,0E-9	11,2E-3	320,0E-12	320,0E-12	450,0E-12	11,0E+6	370,00E-3
pMOS	100,0E-6	0,54	18,0E-9	11,2E-3	320,0E-12	320,0E-12	700,0E-12	15,0E+6	-330,00E-3

Figura 3.1: Tabella dei parametri della tecnologia CMOS UMC 130

3.1 Dimensionamento

Iniziamo il dimensionamento dei MOSFET calcolando il guadagno di modo differenziale. Dalla teoria vista nel capitolo precedente:

$$A_{v_d} = g_{m_2}(r_{o_2} // r_{o_4}) \cdot g_{m_6}(r_{o_6} // r_{o_7}) > 34 \text{ dB} \quad (3.4)$$

Facendo le seguenti sostituzioni

$$g_{m_i} = \frac{2I_{D_i}}{V_i^*} \quad r_{o_i} = \frac{\eta L_i}{I_{D_i}} \quad (3.5)$$

e ipotizzando che tutti i pMOS abbiano la stessa lunghezza di canale L_p e lo stesso coefficiente η_p ; tutti gli nMOS abbiano la stessa lunghezza L_n e η_n tali che $\eta_p L_p = \eta_n L_n$ e che le resistenze d'uscita $r_{o_2} = r_{o_4}$ e $r_{o_7} = r_{o_6}$. Allora

$$A_{v_d} = \left(\frac{\eta_n L_n}{V^*} \right)^2 = \left(\frac{\eta_p L_p}{V^*} \right)^2 \simeq 145 \text{ V/V} \quad (3.6)$$

$$A_{v_d}|_{dB} \simeq 43 \text{ dB}$$

Optando per la lunghezza minima della tecnologia per i pMOS, $L_p = 120 \text{ nm}$, è facile ricavarsi che $L_n \simeq 163.6 \text{ nm} \simeq 165 \text{ nm}$ e utilizzando una $V^* = 150 \text{ mV}$ ($|V^*| \geq |V_{ov}|$ tiene conto degli effetti di canale corto). Osserviamo che per costruzione $I_{D_2} = I_{D_4}$ e $I_{D_7} = I_{D_6}$.

Possiamo anche ricavarci il guadagno di modo comune, dato dallo stadio d'ingresso:

$$A_{v_c} \simeq -\frac{1}{2g_{m_3}r_{o_5}} \quad (3.7)$$

e quindi possiamo ricavarci il CMMR dalle equazione (2.14):

$$CMMR|_{dB} \approx 20 \log_{10} \left[2 \cdot \left(\frac{\eta_p L_p}{V^*} \right)^2 \right] \approx 49 \text{ dB} \quad (3.8)$$

Determinata la lunghezza dei MOSFET possiamo ora determinare la larghezza:

$$I_{D_i} = \frac{1}{2} k' \left(\frac{W}{L} \right)_i V^{*2} \iff \left(\frac{W}{L} \right)_i = \frac{2I_{D_i}}{k' \cdot V^{*2}} \quad (3.9)$$

Siano $I_{ref} = I_{D_8} = 100\mu A$ $I_{D_5} = 150\mu A$ $I_{D_7} = 600\mu A$

La corrente totale assorbita dal circuito $I_{TOT} = 850\mu A < 1mA$.

	W/L	L [m]	W [m]
M1	66,7E+0	120,00E-09	8,00E-06
M2	66,7E+0	120,00E-09	8,00E-06
M3	14,2E+0	165,00E-09	2,34E-06
M4	14,2E+0	165,00E-09	2,34E-06
M5	48,0E+0	120,00E-09	5,76E-06
M6	113,5E+0	165,00E-09	18,72E-06
M7	192,0E+0	120,00E-09	23,04E-06
M8	32,0E+0	120,00E-09	3,84E-06

Figura 3.2: Dimensioni MOSFET dalla teoria

Effettuando delle simulazioni tramite il software, molto più accurato rispetto ai calcoli, ci accorgiamo che il circuito non risulta polarizzato nel migliore dei modi. Tramite piccole modifiche, verificate tramite simulazioni, troviamo un buon compromesso con le dimensioni:

	W/L	L [m]	W [m]
M1	61,67E+00	120,00E-09	7,40E-06
M2	61,67E+00	120,00E-09	7,40E-06
M3	13,33E+00	165,00E-09	2,20E-06
M4	13,33E+00	165,00E-09	2,20E-06
M5	50,00E+00	120,00E-09	6,00E-06
M6	106,67E+00	165,00E-09	17,600E-06
M7	200,00E+00	120,00E-09	24,00E-06
M8	33,33E+00	120,00E-09	4,00E-06

Figura 3.3: Dimensioni MOSFET dopo aver usato il software

La corrente totale risulta inferiore a quella precedente, poiché le correnti su M5 e M7 si sono abbassate: $I_{D_5} \simeq 128.4\mu A$ e $I_{D_7} \simeq 578.3\mu A$, quindi $I_{TOT} \simeq 806.7\mu A$. Dalle formule ricavate precedentemente possiamo ora determinare il polo dominante f_{p1} , la frequenza di transizione f_t , l'impedenza di compensazione data dalla capacità C_C e dalla resistenza R .

Osservazioni. Per i pMOS dello specchio di polarizzazione (M5, M7 e M8) è stata scelta una $V^* = 250 mV$, più elevata rispetto agli altri MOSFET del circuito ($V^* = 150 mV$) per migliorare il matching dei dispositivi, dato che la polarizzazione degli stadi di amplificazione

	W/L	L [m]	W [m]	C _{gs} [F]	C _{gd} [F]	C _{db} [F]	g _m [A/V]
M1	61,67E+0	120,00E-9	7,40E-6	9,00E-15	2,37E-15	5,18E-15	855,93E-6
M2	61,67E+0	120,00E-9	7,40E-6	9,00E-15	2,37E-15	5,18E-15	855,93E-6
M3	13,33E+0	165,00E-9	2,20E-6	3,41E-15	704,00E-18	990,00E-18	855,93E-6
M4	13,33E+0	165,00E-9	2,20E-6	3,41E-15	704,00E-18	990,00E-18	855,93E-6
M5	50,00E+0	120,00E-9	6,00E-6	7,30E-15	1,92E-15	4,20E-15	1,03E-3
M6	106,67E+0	165,00E-9	17,60E-6	27,32E-15	5,63E-15	7,92E-15	7,71E-3
M7	200,00E+0	120,00E-9	24,00E-6	29,18E-15	7,68E-15	16,80E-15	4,63E-3
M8	33,33E+0	120,00E-9	4,00E-6	4,86E-15	1,28E-15	2,80E-15	800,00E-6

(a)

C _l [F]	C ₁ [F]	C ₂ [F]	C _c [F]	R [ohm]	f _{p1} [Hz]	f _t [Hz]
3E-12	36,56E-15	3,03E-12	924,91E-15	129,70E+0	4,31E+6	147,28E+6

(b)

Figura 3.4: Tabelle con tutti i parametri calcolati

è strettamente correlata alla loro dimensione. La V^* più bassa tende ad aumentare il valore del rapporto g_m/I_D e ad avere uno swing in uscita maggiore. Si noti come un valore elevato di g_{m6} influisca positivamente nell'aumentare la banda del circuito in configurazione di buffer con retroazione negativa, come si desume dall'equazione (2.27). Per il dimensionamento della rete di compensazione è stato considerato un margine di fase di 70° , quindi si avrà un OTA molto stabile, di contro avrà una banda limitata.

3.2 Risultati simulazioni

Tramite il software possiamo ottenere dei risultati più accurati e affidabili, poiché effettua le simulazioni utilizzando modelli di dispositivo accurati e parametrizzati, che prendono in considerazione le caratteristiche fisiche e le variabilità dei componenti, come temperatura, processo di fabbricazione e interazioni tra gli elementi. Questi modelli sono in grado di rilevare comportamenti non lineari ed effetti secondari che con i calcoli manuali vengono spesso trascurati. I calcoli sono necessari per una conoscenza del principio di funzionamento del circuito e del suo comportamento.

Per la polarizzazione del circuito è stato utilizzato un generatore di corrente DC, $I_{ref} = 100 \mu A$, e una tensione continua, $V_{CM} = 355 mV$. Il valore minimo di V_{CM} deve essere tale da mantenere in saturazione la coppia differenziale M1-M2, mentre il suo valore massimo deve mantenere

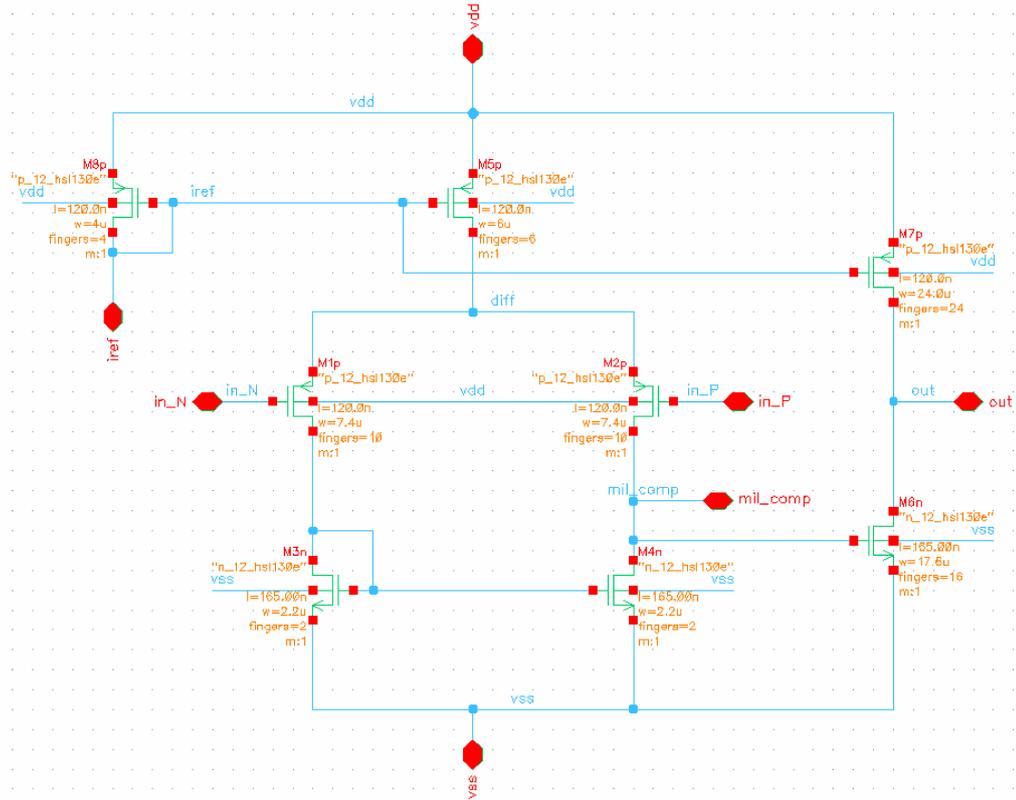


Figura 3.5: Schematico dell'OTA realizzato su CADENCE Virtuoso

in saturazione transistor M5.

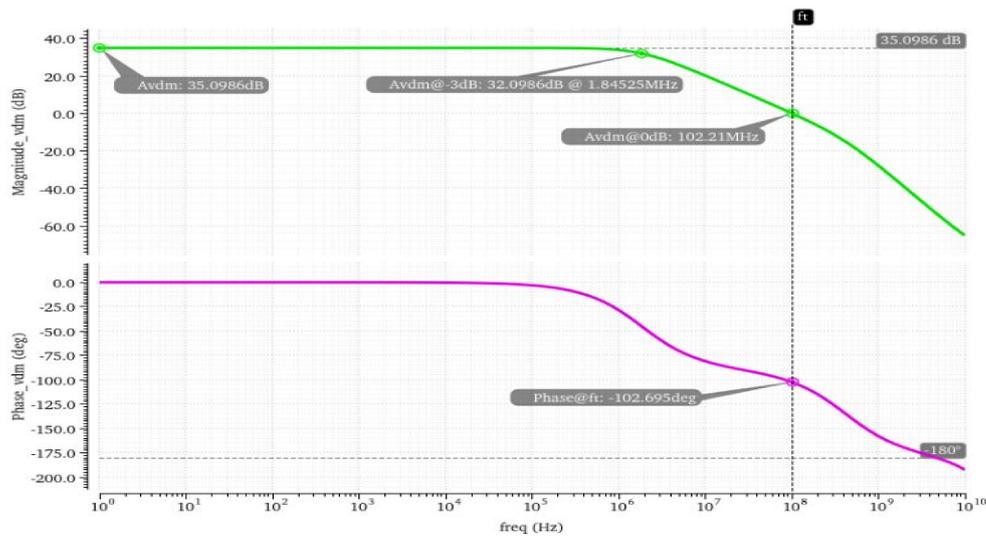
$$V_{CM} \geq V_{D_1} - |V_{t_p}| = -V_{SS} + V_{GS_3} - V_{t_p} = -V_{SS} + V_{OV_3} + V_{t_n} - |V_{t_p}| \quad (3.10)$$

$$V_{CM} \leq -V_{DS_5} + V_{GS_1} = V_{DD} - V_{D_5} - |V_{OV_1}| - |V_{t_p}| = V_{DD} - |V_{OV_5}| - |V_{OV_1}| - |V_{t_p}| \quad (3.11)$$

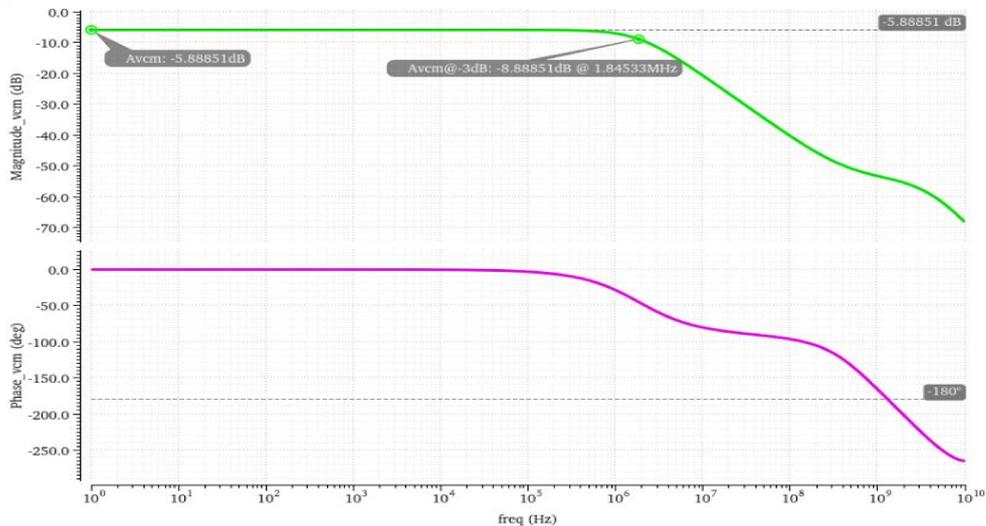
Quindi nel nostro caso:

$$0.290V \leq V_{CM} \leq 0.420V \iff V_{CM} \simeq 0,355V \quad (3.12)$$

Configurazione open loop. Le simulazioni AC, per la configurazione di openLoop, sono state effettuate sia in modo differenziale che in modo comune. Si noti come i risultati analitici trovati precedentemente differiscano rispetto a quelli trovati tramite simulazioni. Possiamo osservare come il guadagno di modo differenziale sia abbastanza inferiore rispetto a quello calcolato $A_{v_d} = 43 \text{ dB}$ contro $A_{v_dSIM} = 35.09 \text{ dB}$. È presente una differenza anche tra il polo dominante di circa 3 MHz , dai diagrammi di Bode delle simulazioni possiamo ricavarci il $CMRR|_{dB} = A_{v_dSIM} - A_{v_cSIM} \simeq 41 \text{ dB}$ contro i 49 dB trovati dalla teoria. Analogamente vale per il margine di fase e la frequenza di transizione.



(a)



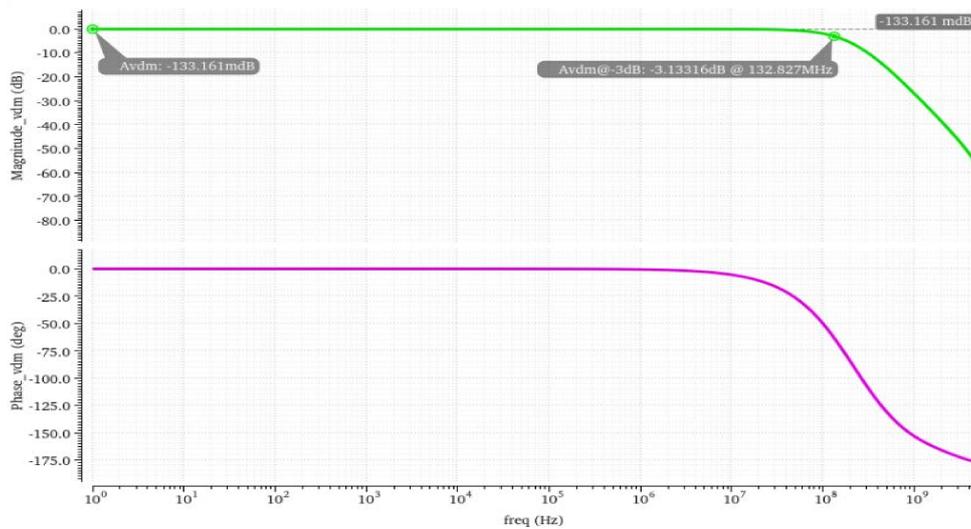
(b)

Figura 3.6: Diagramma di Bode di modo differenziale (a) e di modo comune(b) in open-loop

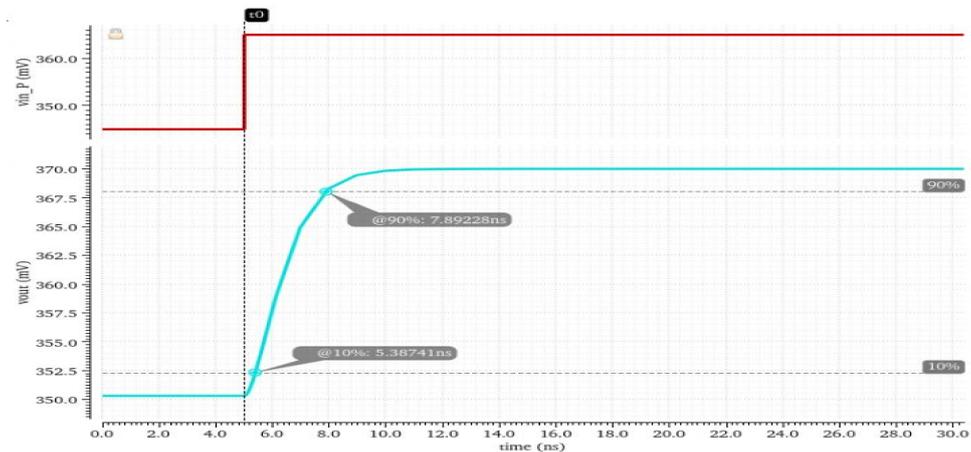
Configurazione di buffer. In questa configurazione osserviamo che il guadagno non è strettamente unitario, ma è considerabile come se lo fosse, poichè il guadagno ottenuto

$$A_{v \text{ buffer}} \Big|_{dB} \simeq -0.133 \text{ dB} \iff A_{v \text{ buffer}} \simeq 1.015 \simeq 1 \quad (3.13)$$

La banda, pari a 132.8 MHz , si avvicina a quella calcolata, $f_t \simeq 147 \text{ MHz}$. L'OTA da noi dimensionato presenta un margine di fase elevato ($\simeq 70^\circ$), ciò per garantire una massima stabilità. Infatti possiamo notare come la risposta al gradino risulti pulita senza la presenza di overshoot e ringing. Quindi possiamo affermare che la capacità di carico $C_L = 3 \text{ pF}$ è ben gestita, probabilmente si potrebbe velocizzare ulteriormente l'operazionale, al momento $t_{rise} \simeq 2.5 \text{ ns}$.



(a)

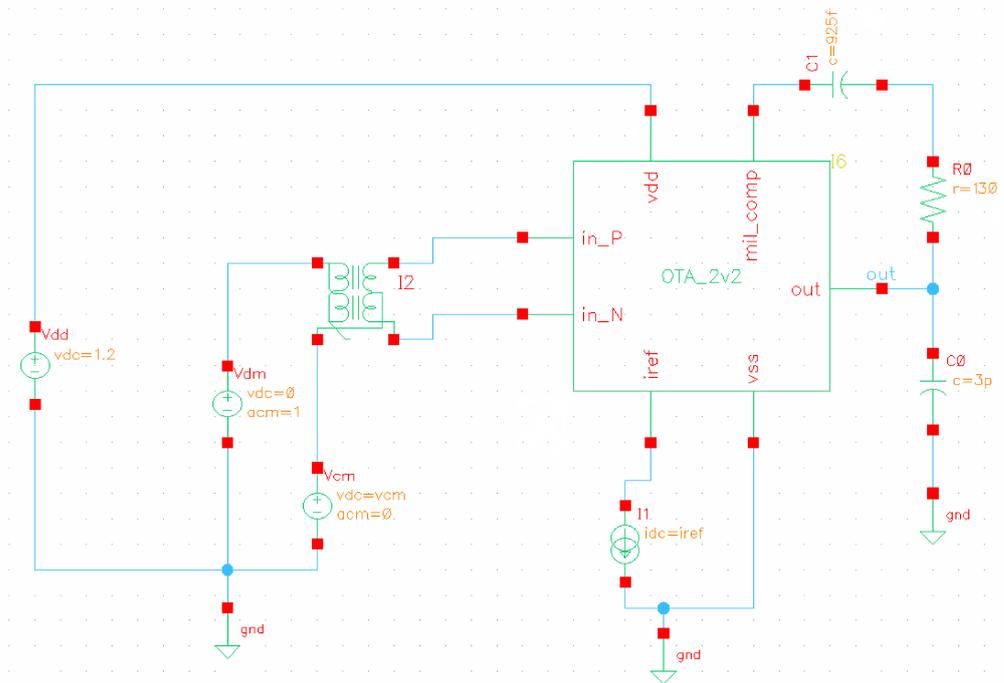


(b)

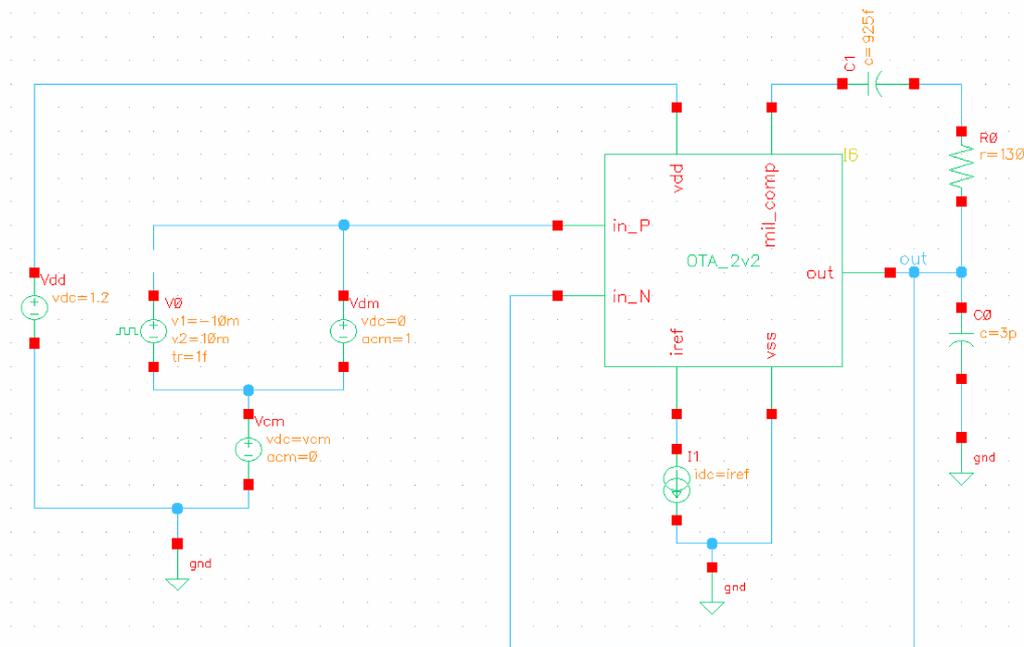
Figura 3.7: Diagramma di Bode di modo differenziale (a) e risposta al gradino(b) in configurazione di buffer

Per effettuare le simulazioni è necessario realizzare dei circuiti, detti di testbench, in cui si interfaccia il circuito dell'OTA con l'ambiente esterno (alimentazione, riferimenti di tensione/corrente, componenti passivi, ecc.).

La rete di compensazione è posta esternamente alla cella del circuito dell'OTA. Si può notare come per la configurazione "open-loop" è necessario dividere i due segnali di modo differenziale e di modo comune. Invece per il circuito in configurazione di buffer è sufficiente collegare l'uscita all'ingresso invertente (retroazione negativa) e l'ingresso non invertente ai segnali voluti.



(a)



(b)

Figura 3.8: Circuiti di testbench utilizzati per effettuare le simulazioni: (a) open-loop e (b) buffer

Capitolo 4

Layout

4.1 Considerazioni pre-layout

Per realizzare un layout di un circuito analogico, essendo i MOSFET, generalmente, di grandi dimensioni, tipicamente si utilizza un layout *multifinger*, consiste nell'utilizzo di più "fingers" paralleli per creare i dispositivi. In base alla tecnologia esistono dei parametri da rispettare (lunghezza di canale, larghezza, dimensione minima dei fingers, ecc), per

costruire un fedele layout del circuito dimensionato e simulato è necessario che tutte queste caratteristiche vengano rispettate. Inoltre è cosa buona e giusta che le dimensioni dei MOSFET siano multipli dei parametri minimi di layout. Queste considerazioni sono state implicitamente tenute in considerazione durante la fase di dimensionamento (motivo per cui le dimensioni Fig:3.3 hanno numeri facilmente divisibili rispetto a quelle calcolate Fig:3.2).

Più transistor vengono raggruppati in stack, così da migliorare il matching tra dispositivi, soprattutto in quelle configurazioni in cui è indispensabile avere transistor identici tra loro o con rapportature di larghezza precise (ad esempio per la coppia differenziale e per gli specchi di corrente). Un'ulteriore attenzione per favorire il matching è l'utilizzo di dispo-

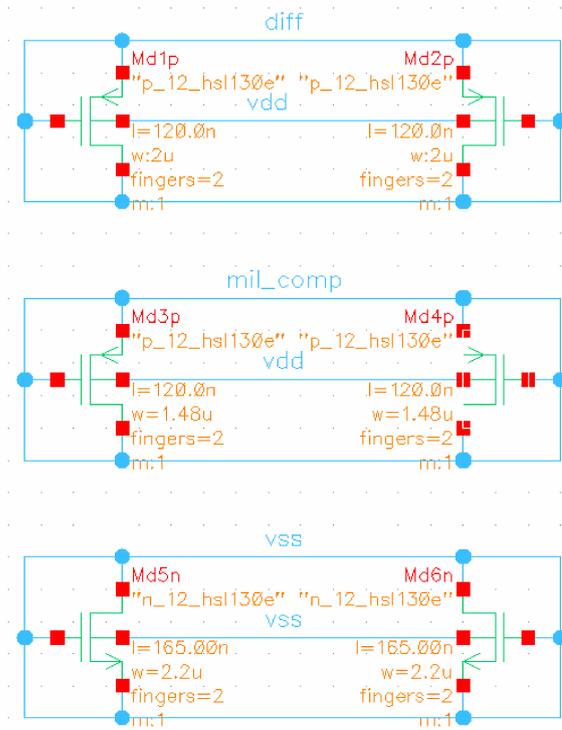


Figura 4.1: Dispositivi dummy.

sitivi *dummy*, non hanno una funzionalità all'interno del circuito (quindi trasparenti), ma hanno un ruolo solo in fase di layout. La definizione del circuito integrato dipende dall'*etching* (fase di costruzione dell'integrato): processo non isotropo; le imperfezioni riguardano principalmente i bordi delle forme geometriche. I dummy attenuano questo problema, si inseriscono all'estremità dello stack.

4.2 Layout

La cella realizzata ha area totale $20\mu m \times 30\mu m$, in cui sono contenuti gli otto MOSFET e le relative interconnessioni, la rete di compensazione data da C_C e R sono esterne alla cella di layout realizzata.

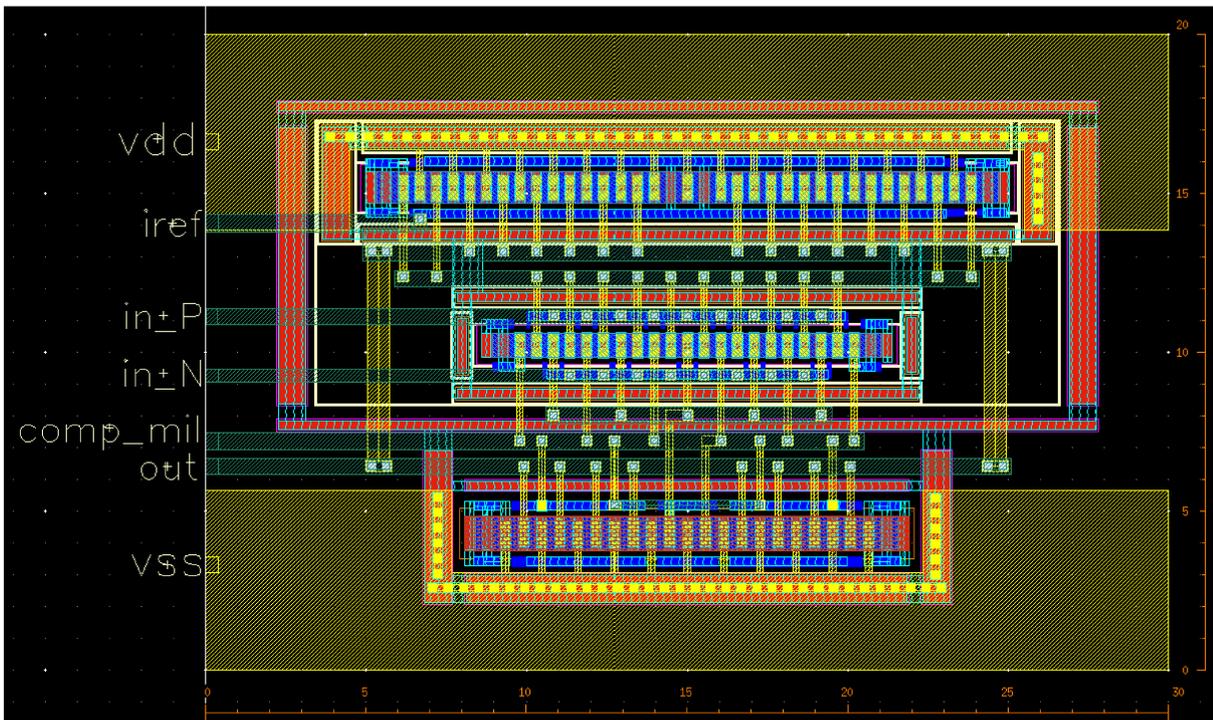


Figura 4.2: Cella di layout dell'OTA.

Partendo dall'alto: lo stack più grande rappresenta lo specchio pMOS formato dai transistor M5, M7 e M8; la coppia differenziale è lo stack centrale, anch'esso a transistor pMOS, questi due stack sono racchiusi da una regione di N-Well, poichè il substrato è di tipo P e per realizzare i pMos è necessario un substrato di tipo N; lo stack inferiore contiene tutti gli nMOS del circuito (M3, M4 e M6). Lo stack a nMOS poteva essere diviso in due: uno stack dello specchio nMOS

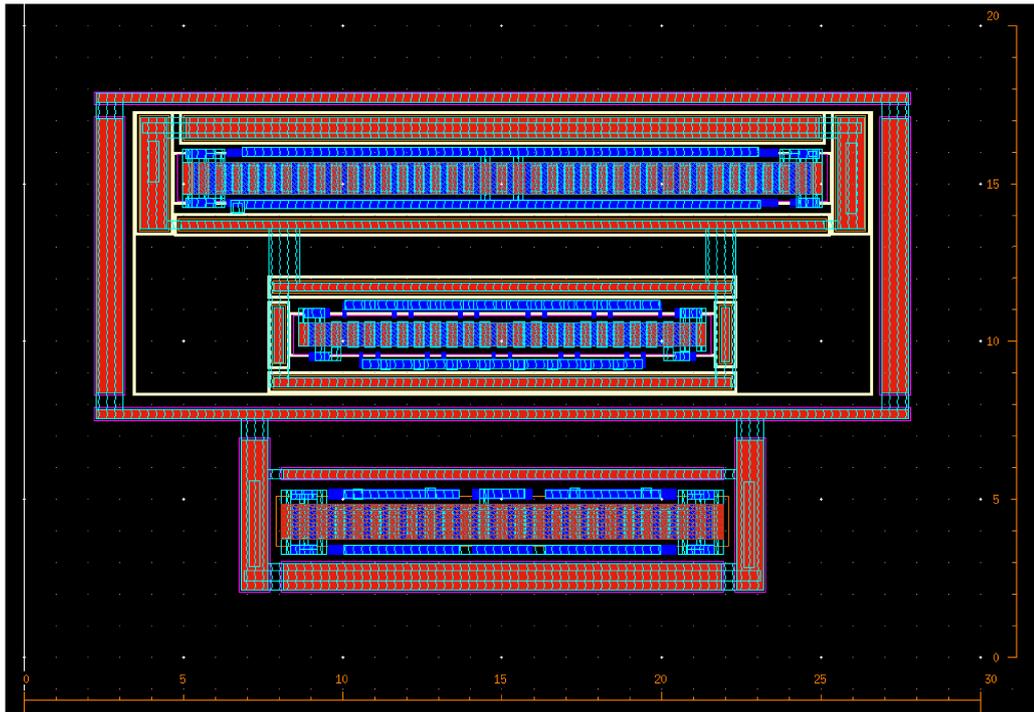


Figura 4.3: Layer di Silicio e M1

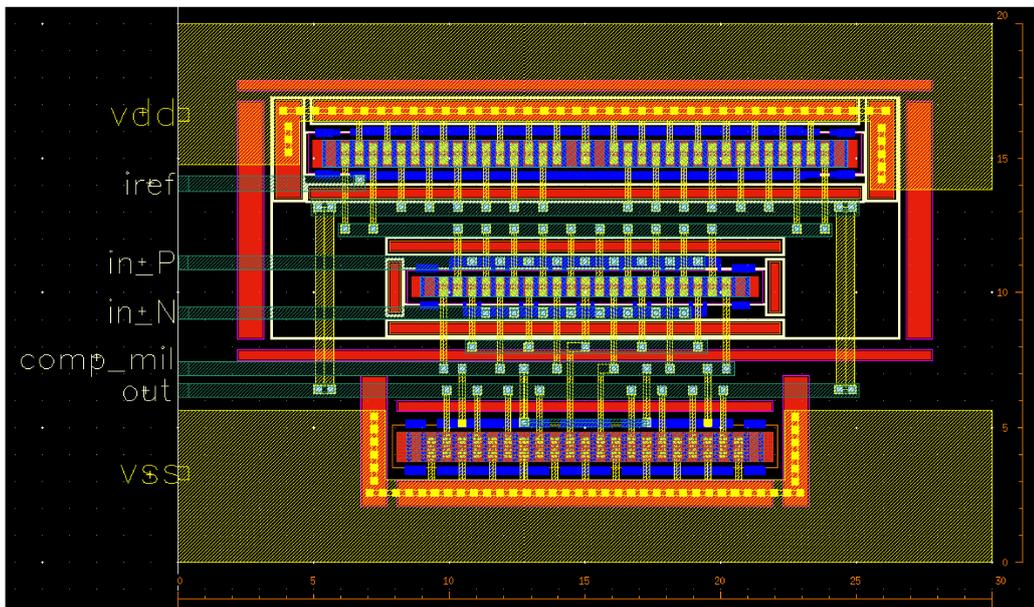


Figura 4.4: Layer di M2 e M3

e uno stack per M6, ma per compattezza, simmetria e diminuzione delle interconnessioni si è preferito optare per uno stack unico. Questa scelta permette di diminuire la presenza di parassiti. Come si evince dall'immagini di layout, possiamo notare come il layer M1 (Metal 1) è stato utilizzato per i contatti di N-Well, per diminuire la resistenza del polisilicio (in blu) utilizzato per i gate. In Fig:4.3 si può osservare il rettangolo di N-Well che contiene i due stack dei pMOS.

In Fig:4.4 notiamo come le interconnessioni in M2 (Metal 2) sono state utilizzate per fare sono collegamenti in verticale, escluse le piste di alimentazione (Vdd e Vss); mentre in M3 (Metal 3) ci sono le interconnessioni orizzontali e i pin utili per potersi interfacciare con l'esterno, o eventualmente con altre celle presenti nell'integrato (in caso questa cella venga utilizzata in un sistema integrato più complesso, costituito da più celle interfacciate tra loro).

4.3 Risultati simulazioni post-layout

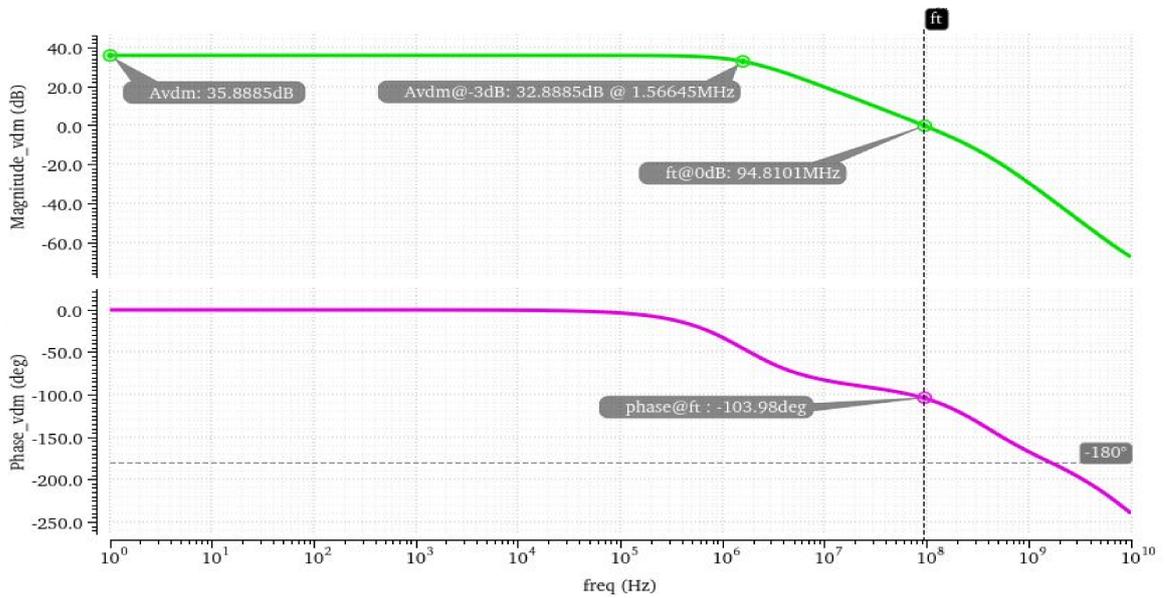
Una volta realizzato il layout è necessario controllare la sua correttezza utilizzando la *design rule check*, verificano che le regole di layout della tecnologia siano rispettate, e il *layout vs schematic*, verifica che il layout e lo schematico rappresentino lo stesso circuito.

Superate queste verifiche, è possibile estrarre i parassiti introdotti dal layout per poi verificare tramite simulazioni come si comporterà il circuito fisico realizzato su silicio.

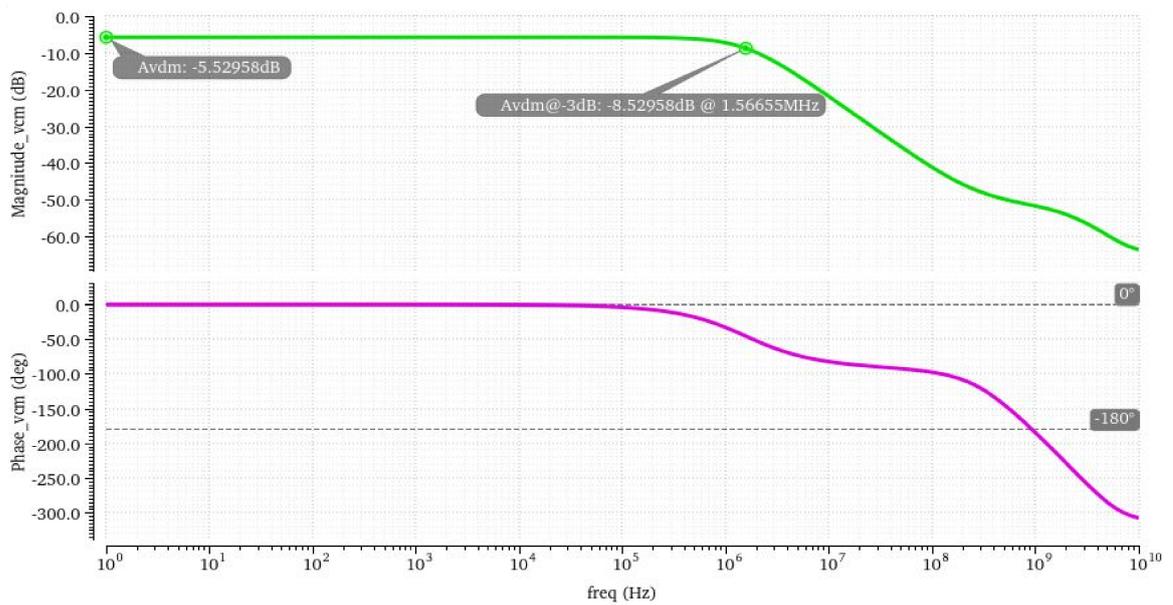
Configurazione di open-loop. Dalla Fig:4.5 osserviamo come non ci siano grosse differenze dalle simulazioni pre-layout, ovviamente, la banda delle due configurazioni è diminuita leggermente, ciò è dovuto alla presenza dei parassiti. Il guadagno in open-loop è aumentato leggermente, ciò potrebbe essere dovuto alla leggera variazione di dimensione subita da M3 e M4 in fase di layout, poichè la loro larghezza non era un preciso multiplo della dimensione minima di finger.

Configurazione di buffer. Dalla Fig:4.6 notiamo che anche in questa configurazione la banda passante subisce una sottile diminuzione. Il guadagno aumenta leggermente, avvicinandosi ancora di più al guadagno unitario, ma con una differenza più che trascurabile tra pre e post-layout ($|A_{v_{PRE}} - A_{v_{POST}}| \simeq 0.001 V/V$).

Il tempo di salita alla risposta al gradino aumenta di $\simeq 0.2ns$, anche qui non particolarmente rilevante.

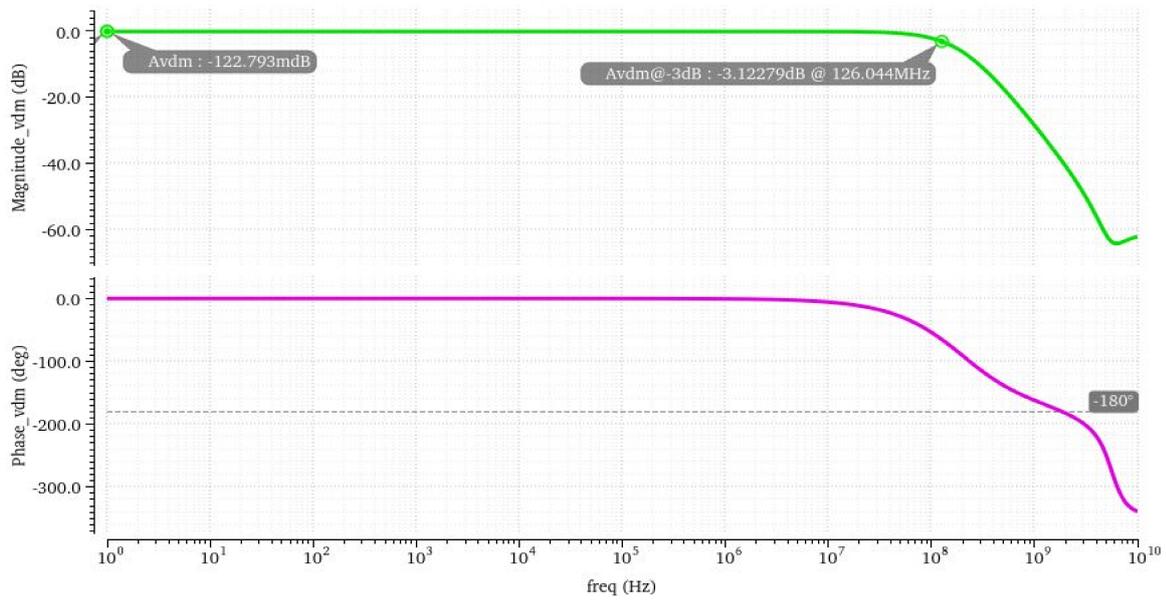


(a)

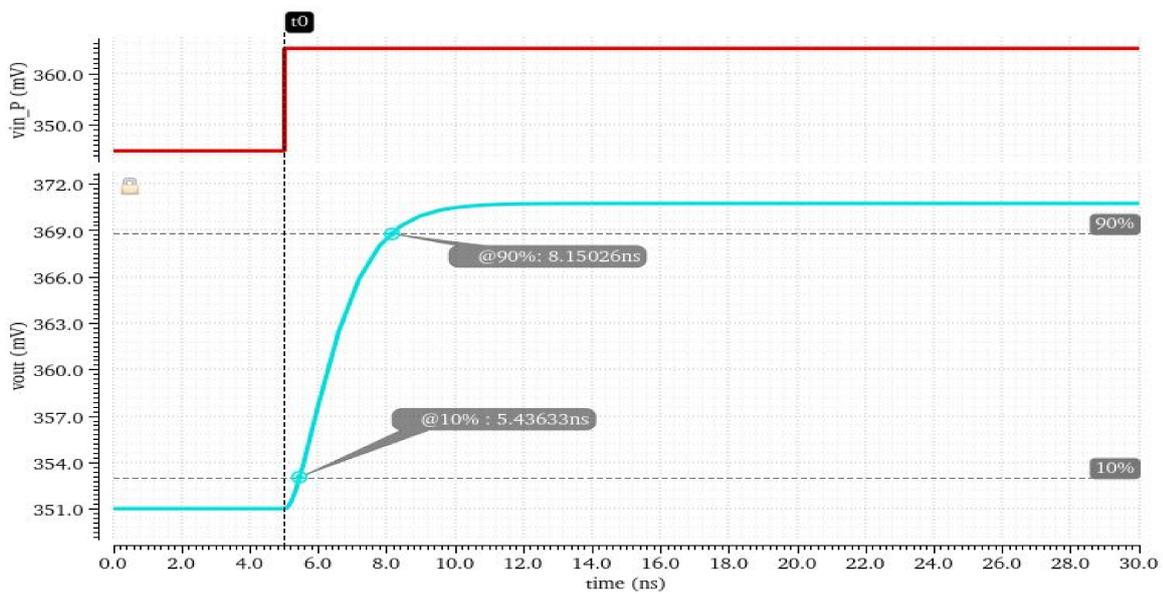


(b)

Figura 4.5: Diagramma di Bode di modo differenziale (a) e modo comune(b) in open-loop post-layout



(a)



(b)

Figura 4.6: Diagramma di Bode di modo differenziale (a) e risposta al gradino(b) in configurazione di buffer post-layout

Capitolo 5

Conclusioni

I risultati ottenuti dall'analisi e dalla progettazione dell'amplificatore operazionale a transconduttanza di Miller possono ritenersi soddisfacenti, nonostante le ipotesi e le semplificazioni fatte nell'analisi del circuito. Le specifiche di progetto sono state tutte rispettate; sicuramente con uno studio più accurato è possibile migliorare le prestazioni in modo rilevante. Nonostante la precisione delle simulazioni moderne, l'analisi manuale rimane cruciale per comprendere le dinamiche del circuito e intervenire efficacemente quando i dati delle simulazioni non si allineano con le aspettative.

Il processo di dimensionamento dei MOSFET, presentato come relativamente semplice, ha rivelato notevoli difficoltà. Piccole variazioni nei valori di corrente o nella larghezza dei transistor hanno avuto impatti significativi sulle polarizzazioni, dimostrando che la progettazione richiede grande attenzione ai dettagli.

Questa esperienza non solo ha ampliato la mia comprensione del funzionamento degli amplificatori, ma ha anche rafforzato l'importanza di un approccio metodico e paziente nell'ingegneria elettronica.

Bibliografia

- Adel S. Sedra, Kenneth C. Smith, Tony Chan Carusone, Vincent Gaudet, *Microelectronic Circuits*, 8^a international edition, Oxford: Oxford University Press, 2021
- P.R. Gray, P.J. Hurst, S.H. Lewis, R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, J. Wiley & Sons, 2010
- Hastings, Alan, *The art of analog layout*, Upper Saddle River, NJ: Prentice Hall, 2006
- C. Saint and J. Saint, *IC Layout Basics: A Practical Guide*, McGraw-Hill, 2001
- C. Saint and J. Saint, *IC Mask Design: Essential Layout Techniques*, McGraw-Hill, 2002

