



**UNIVERSITÀ  
DEGLI STUDI  
DI PADOVA**



**DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE**

**CORSO DI LAUREA IN INGEGNERIA INFORMATICA**

**Modelli circuitali SPICE per transistor MOS avanzati con  
lunghezza di canale minore di 1 micron**

**Relatore: Prof. Zanoni Enrico      Laureando: Muraro Edoardo**

**ANNO ACCADEMICO 2021 – 2022**

**Data di laurea 20/09/2022**



# SOMMARIO

In questo documento verranno approfonditi i transistor MOS aventi lunghezza di canale minore di 1 micron andando ad analizzare i loro comportamenti in relazione agli effetti che si verificano in queste determinate condizioni.

Verranno presi in considerazione soprattutto il modello BSIM1 e BISM3 cercando di capire come vengono influenzati dagli effetti del canale corto e come quest'ultimi modifichino parametri come tensione di soglia, corrente di drain e resistenza d'uscita.



# INDICE

<b>Capitolo 1 INTRODUZIONE</b> .....	<b>7</b>
1.1 SPICE .....	7
1.1.1 LTspice.....	7
1.2 Introduzione MOS .....	9
<b>Capitolo 2 Transistor MOS e SPICE</b> .....	<b>11</b>
2.1 Struttura .....	11
2.2 Funzionamento .....	12
2.2.1 Tensione di soglia.....	12
2.2.2 Regioni di funzionamento .....	13
<b>Capitolo 3 Modelli MOSFET digitali</b> .....	<b>15</b>
3.1 Tempi di Propagazione.....	15
3.2 MOSFET in serie.....	16
3.3 Inverter CMOS .....	16
3.3.1 Caratteristiche in DC.....	17
<b>Capitolo 4 MOSFET a canale corto</b> .....	<b>19</b>
4.1 Ridimensionamento MOSFET .....	20
4.2 Effetti del canale corto.....	21
4.3 MOSFET modeling .....	23
<b>Capitolo 5 BSIM Model</b> .....	<b>25</b>
5.1 BSIM1 .....	26
5.1.1 Strong-Inversion Component .....	27
5.1.2 Weak-Inversion Component .....	29
5.2 BSIM3 .....	31
5.2.1 Tensione di soglia.....	32
5.2.2 Riduzione della mobilità dei portatori.....	35
5.2.3 Velocità di saturazione dei portatori .....	35
5.2.4 Corrente di drain.....	36
5.2.5 Resistenza d'uscita .....	37
5.2.6 Capacitance Model.....	40
<b>Capitolo 6 CONCLUSIONI</b> .....	<b>43</b>
<b>BIBLIOGRAFIA</b> .....	<b>45</b>



# Capitolo 1

## INTRODUZIONE

### 1.1 SPICE

SPICE, acronimo di Simulation Program with Integrated Circuit Emphasis, è un programma di simulazione circuitale sviluppato nel 1975 ed oggi distribuito sotto licenza BSD. Nel corso degli anni Spice è divenuto lo strumento standard per la simulazione di circuiti elettronici analogici.

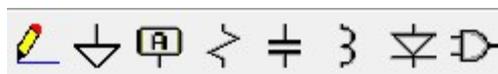


*Figura 1.1 Logo LTspice*

#### 1.1.1 LTspice

Nel 1999 la Linear Technologies, azienda produttrice di componenti elettronici e circuiti integrati, rilasciò con licenza freeware LTspice III. L'azienda fu in seguito assorbita da Analog Devices ma LTspice è stato costantemente aggiornato fino a diventare, ad oggi, il software di simulazione circuitale più distribuito al mondo.

L'editor grafico di LTSpice è piuttosto intuitivo, ben strutturato e consente di disegnare il circuito utilizzando la barra degli strumenti posizionata sulla parte alta dello schermo dove si trovano anche i principali componenti (resistenza, capacità, induttanza e diodo). Tutti gli altri componenti sono raggiungibili tramite il pulsante raffigurato con una porta logica *and* e chiamato *Component*. Dopo aver posizionato i componenti del circuito (tra cui almeno un generatore) occorre impostarne il valore e tracciare le connessioni con lo strumento Wire, senza dimenticare di includere almeno un nodo di massa.



*Figura 1.2 Principali strumenti di LTspice.*

Una volta impostato il circuito bisogna definire il tipo di analisi che si intende effettuare scegliendo tra vari regimi operativi: stazionario, in corrente continua, in corrente alternata o in transitorio. A questo punto si può lanciare la simulazione con il comando Run, che avvia l'analisi e lancia l'applicazione Probe. Quest'ultima consente di visualizzare graficamente l'andamento della grandezza di interesse. Premendo il tasto sinistro del mouse su qualsiasi filo viene visualizzata la tensione elettrica, mentre premendolo sul corpo del componente viene visualizzata la corrente.

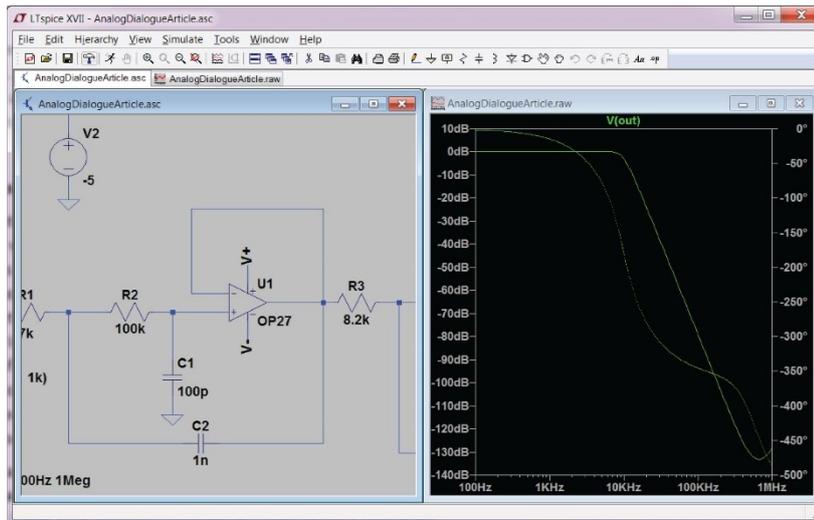


Figura 1.3 Esempio schermata SPICE

## 1.2 Introduzione MOS

I transistor MOS, conosciuti anche come MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor), in elettronica indicano una tipologia di transistor a effetto di campo, largamente usati nell'elettronica digitale, ma diffusi anche nell'elettronica analogica.

Il principio di funzionamento del transistor ad effetto di campo è stato ideato da Lilienfeld nel 1925, mentre il primo MOSFET fu realizzato da Kahng e Atalla nel 1959.

Il MOSFET è composto da un substrato di materiale semiconduttore drogato, solitamente silicio, ed è formato da quattro terminali: gate, source, drain e bulk. Quest'ultimo, per comodità, spesso non viene indicato quando è connesso a VSS(nMOS) o VDD(pMOS)

L'applicazione di una tensione al gate permette di controllare il passaggio di cariche tra il source e il drain, e quindi la corrente elettrica che attraversa il dispositivo. A seconda che il drogaggio del semiconduttore sia di tipo  $n$  o di tipo  $p$ , il transistor prende rispettivamente il nome di pMOS e nMOS.

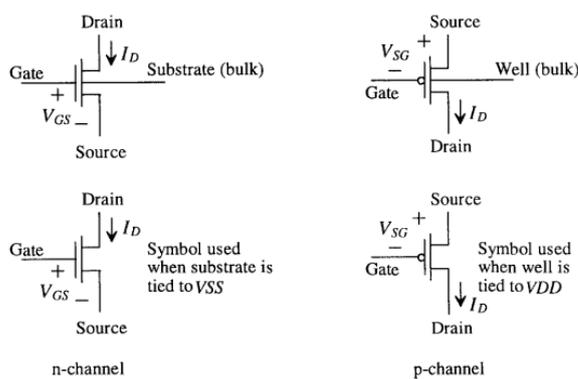


Figura 1.4 Simboli MOSFET

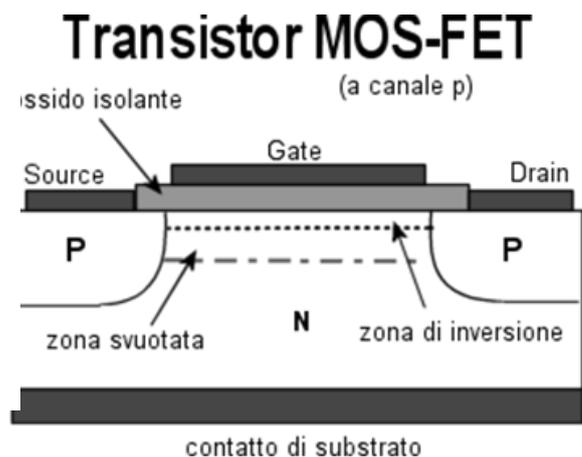


Figura 1.5 Sezione MOSFET



# Capitolo 2

## Transistor MOS e SPICE

### 2.1 Struttura

Il MOSFET è costituito da un condensatore che a sua volta è composto da due elettrodi: il substrato ed il gate.

Il substrato, detto anche body, è costituito da materiale semiconduttore drogato, solitamente silicio, anche se alcuni produttori di circuiti elettronici (in particolare IBM) hanno iniziato ad usare una miscela di silicio e germanio.

Un canale in una lega di silicio e germanio può essere utilizzato per aumentare la mobilità delle lacune nei pMos.

Il gate è realizzato con del materiale conduttore, prevalentemente silicio policristallino ad alto drogaggio, anche se non gode di eccezionali proprietà conduttive.

Tra gate e substrato è presente un sottile strato isolante detto ossido di gate, grazie al quale il MOSFET possiede una resistenza di gate molto alta, teoricamente infinita.

Infine, ci sono i terminali drain e source, anch'essi composti da semiconduttore drogato ma in maniera opposta e cioè se il substrato ha un drogaggio di tipo p, i due terminali hanno un drogaggio n e viceversa.

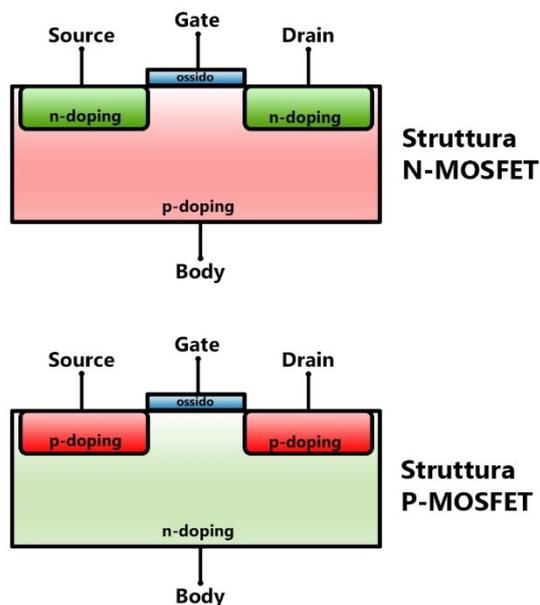


Figura 2.1 Confronto nmos e pmos

## 2.2 Funzionamento

### 2.2.1 Tensione di soglia

La tensione di soglia rappresenta il valore minimo della  $V_{GS}$  per avere il canale in inversione e quindi il mosfet acceso. Essa però dipende anche dalla polarizzazione del bulk ed infatti aumenta (in modulo) al crescere della tensione di source rispetto a quella del bulk. Questo fenomeno è detto effetto body.

$$V_T = V_{T0} + \gamma \left( \sqrt{|-2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right)$$

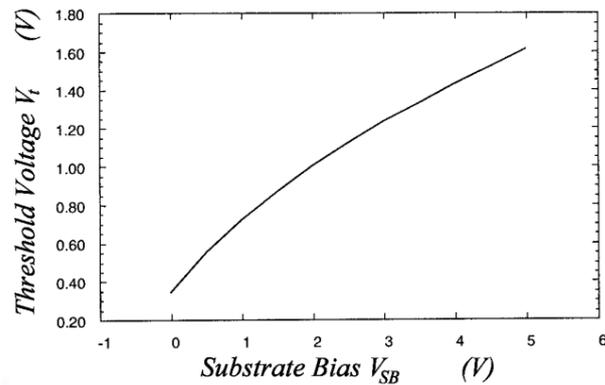


Figura 2.2 Relazione tra tensione di soglia e  $V_{SB}$

## 2.2.2 Regioni di funzionamento

In base alle tensioni applicate ai terminali ( $V_D$ ,  $V_S$  e  $V_G$ ) e alla tensione di soglia  $V_{TH}$ , possiamo individuare due regioni di funzionamento dei mosfet: zona lineare (o regione di triodo) e zona di saturazione.

Un mosfet si trova in zona lineare quando  $V_{DS} \leq V_{GS} - V_{TH}$ , dove  $V_{DS}$  è la differenza di potenziale tra drain e source, mentre  $V_{GS}$  è quella tra gate e source.

Ci troviamo invece in zona di saturazione quando  $V_{DS} \geq V_{GS} - V_{TH}$ .

In zona lineare abbiamo dunque  $V_{GS} > V_{TH}$  e  $V_{DS} > 0$  questo causa una corrente di deriva che scorre dal drain al source.

A questo punto, prima di arrivare a definire la formula della corrente, bisogna introdurre un nuovo parametro, la transconduttanza, indicata con  $K_P$ . Questa è definita come il prodotto tra  $\mu_n$  (mobilità media degli elettroni attraverso il canale) e  $C'_{ox}$ , la capacità dell'ossido.

Adesso conosciamo tutti i parametri per definire la corrente che vale dunque:

$$I_D = k'_n \frac{W}{L} \left( (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

Se  $V_{DS}$  cresce oltre al limite della regione di triodo, scompare lo stato di inversione che avevamo prima, e questa condizione è detta strozzamento di canale o "Pinch-off".

Oltre a  $V_{DS} = V_{GS} - V_{TH}$ , che è anche detta  $V_{DS,SAT}$ , nonostante l'incremento di  $V_{DS}$ , non si verificano aumenti della corrente di drain che ormai si è stabilizzata, contrariamente al canale nel quale la densità di portatori si riduce sempre di più verso il drain.

Quando un MOSFET opera con il canale ristretto verso il drain, significa che si trova in zona di saturazione (in quanto  $V_{DS} \geq V_{GS} - V_{TH}$ ) e la sua corrente di drain vale:

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

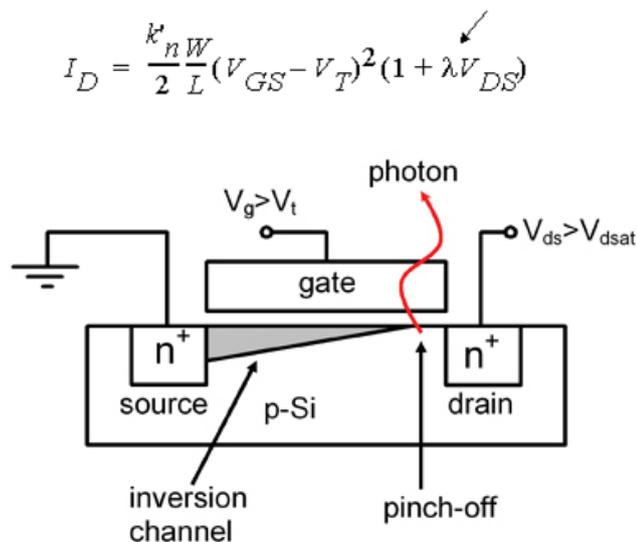
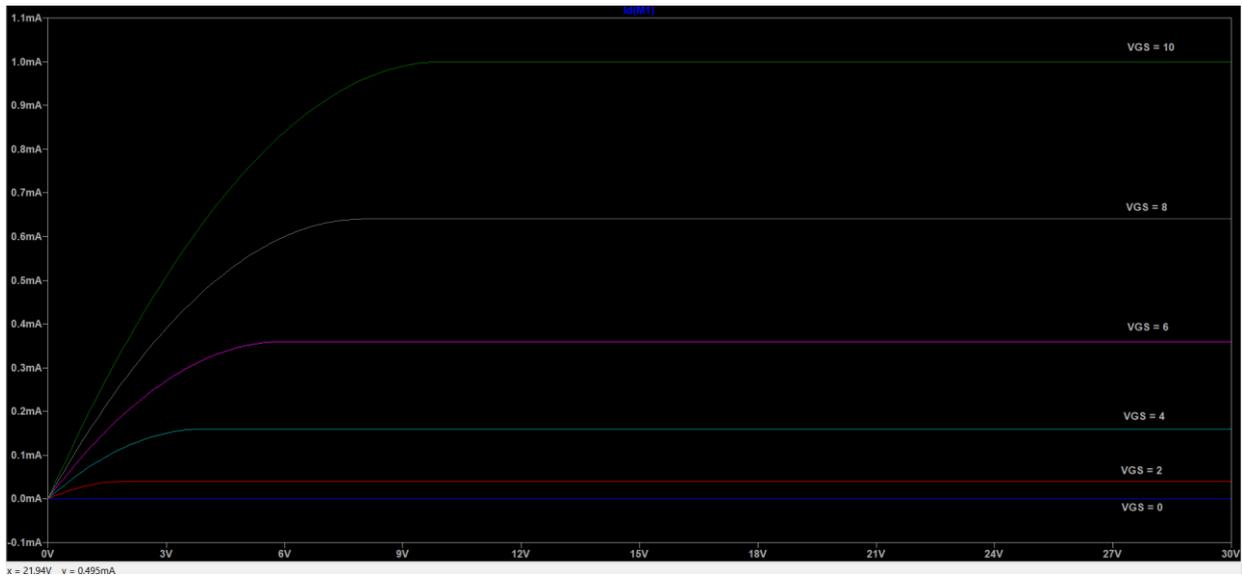


Figura 2.4 MOSFET in regione di saturazione



*Figura 2.5 Grafico tensione corrente di un NMOS*

Come si può vedere da questo grafico realizzato con LTspice in cui abbiamo la tensione  $V_{DS}$  nell'asse delle ascisse e la corrente di drain  $I_d$  nell'asse delle ordinate, inizialmente la corrente cresce (siamo in zona lineare) fino ad arrivare a  $V_{DS} = V_{GS} - V_T$  dove, trovandoci ora in zona di saturazione, si stabilizza. In questa fase la corrente comunque non è proprio costante ma aumenta debolmente con  $V_{DS}$ .

# Capitolo 3

## Modelli MOSFET digitali

### 3.1 Tempi di Propagazione

Se si fa variare la tensione d'ingresso  $V_{in}$  in un inverter basato su MOSFET, la tensione d'uscita  $V_{out}$  commuta con un determinato tempo di ritardo.

Si distinguono:

- $T_{PLH}$ : propagation (delay) time low-to-high-level output
- $T_{PHL}$ : propagation (delay) time high-to-low-level output

Questi tempi di propagazione si misurano a partire dal 50% dell'escursione della  $V_{in}$  fino al 50% dell'escursione di  $V_{out}$ .

Oltre a questi due tempi di propagazione ci sono anche il tempo di salita  $T_r$  (rise time) che è il tempo che impiega la  $V_{out}$  a passare dal 10% al 90% nella fase di salita, ed il  $T_f$  (fall time) che misura invece il tempo che intercorre dal 10% al 90% della fase di discesa.

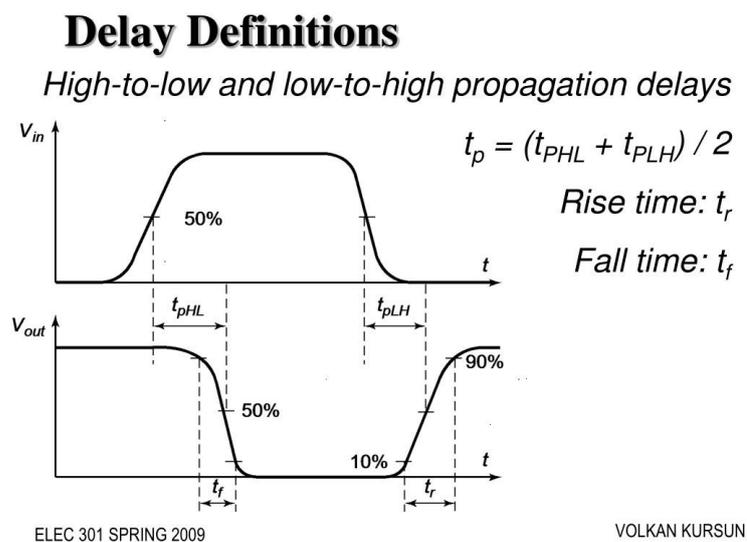


Figura 3.1 Tempi di propagazione

Per un semplice circuito RC, i tempi di propagazione LH e HL sono dati dalla formula:

$$t_d(\text{delay time}) = 0,69RC$$

Mentre per i tempi di salita e discesa, la formula è:

$$t_r = 2,2RC$$

### 3.2 MOSFET in serie

Considerando la figura 3.2, si vede che l'input I passa fino all'output Z se  $A = B = C = VDD$ , che corrisponde al livello logico '1'

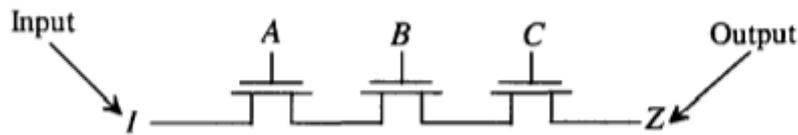


Figura 3.2

Assumendo quindi che tutti gli nmos siano accesi, il valore massimo di tensione che possiamo passare tra uno e l'altro è  $VDD - V_{TH}$  (compreso l'effetto body), in quanto questo è il limite per cui nessun transistor si spenga durante il processo.

Se fossimo di fronte ad una serie di pmos, invece, potremmo trasmettere livelli logici alti senza avere cali di tensione, ma il minimo livello logico che può passare non corrisponde più a 0V, come negli nmos, ma a  $V_{TH}$ .

### 3.3 Inverter CMOS

L'inverter CMOS, come mostrato nella figura 3.3, permette di restituire in output il valore negato rispetto all'ingresso A.

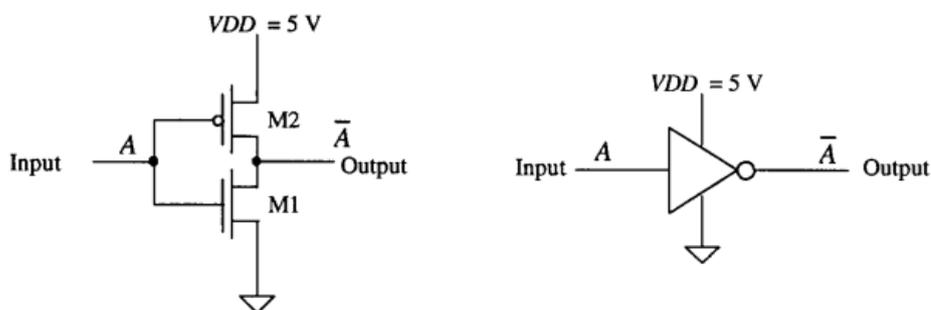


Figura 3.3 Schema dell'inverter CMOS

Quando all'input applichiamo una tensione VDD, l'output viene scaricato a massa attraverso il nmos (rete di pull down), mentre quando mettiamo a massa l'input, l'output si carica fino a VDD tramite il pmos (rete di pull up).

L'invertitore CMOS ha alcune caratteristiche importanti:

- L'escursione logica dell'output è completa cioè varia da 0 a VDD.
- La potenza statica dissipata è praticamente zero.
- Controllando le dimensioni dei transistor possiamo modificare il punto di inversione.

### 3.3.1 Caratteristiche in DC

Guardando il grafico della funzione di trasferimento di un invertitore possiamo individuare tre regioni: nella prima, la tensione  $V_{in}$  è piccola tale da accendere il pmos (M2) e tenere spento il nmos (M1), con l'aumentare di  $V_{in}$ , abbiamo poi una seconda regione in cui entrambi i transistor sono accesi fino ad arrivare ad un valore di tensione tale da spegnere M2 nella terza regione.

Il massimo valore di tensione d'uscita  $V_{out}$  che consideriamo livello logico alto è detto  $V_{OH}$  (output high) e il minimo valore per cui abbiamo livello logico basso è  $V_{OL}$  (output low).

I punti A e B nel grafico sono definiti dalla retta tangente al grafico, che vale -1 in quei punti, e sono importanti perché, tensioni di ingresso minori o uguali di  $V_{IL}$  (Punto A), sono considerati ancora valori logici "low", mentre tensioni maggiori uguali a  $V_{IH}$  (Punto B) sono valori logici "high".

A questo punto possiamo definire i **margini al rumore** e cioè la quantità massima di rumore che, sovrapponendosi al segnale d'ingresso, fornisce comunque il segnale d'uscita corretto. Distinguiamo  $NM_H$  che è il massimo rumore che possiamo sopportare per restare in un livello logico alto (high) e  $NM_L$  per il livello logico basso (low):

- $NM_H = V_{OH} - V_{IH}$
- $NM_L = V_{IL} - V_{OL}$

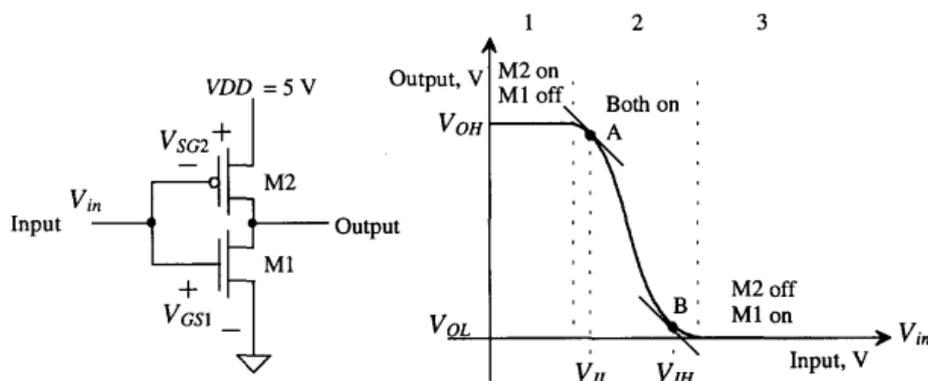


Figura 3.4 Inverter CMOS e relazione tra input e output

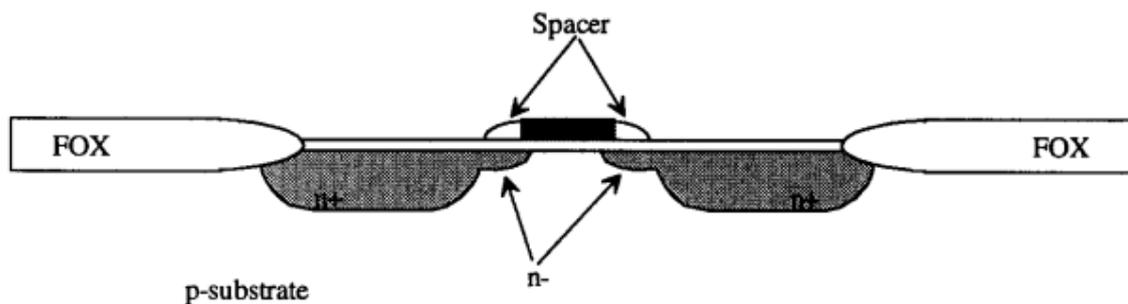


## Capitolo 4

### MOSFET a canale corto

I transistor CMOS moderni hanno lunghezze di canale che sono molto inferiori a 2 micron e in queste condizioni i MOSFET si comportano in maniera differente. Il campo elettrico sotto l'ossido di gate non può più essere trattato in una singola dimensione. Si verifica inoltre, un effetto chiamato saturazione della velocità di deriva, o drift, degli elettroni. Come conseguenza abbiamo una riduzione della corrente nel dispositivo.

Questo effetto si può anche chiamare "Hot-Carrier Effect" in quanto la mobilità degli elettroni diminuisce all'aumentare della temperatura. La figura 4.1 mostra la sezione di un dispositivo con un accorgimento utilizzato per cercare di ridurre il più possibile il campo elettrico, e di conseguenza gli effetti da "elettroni caldi", tramite l'uso di un Lightly Doped Drain(LDD).



*Figura 4.1 Sezione transistor moderno*

## 4.1 Ridimensionamento MOSFET

Per ottenere transistor con densità più alta bisogna riuscire a realizzare dispositivi con dimensioni inferiori al micron. Alcuni effetti, che erano trascurabili per transistor MOS “lungi”, diventano estremamente importanti quando andiamo a ridurre le dimensioni. Per ridimensionare le dimensioni del nostro MOSFET usiamo un parametro  $S$  ( $S < 1$ ) detto fattore di scaling. Nelle nuove tecnologie spesso si usa  $S=0.7$  e quindi, ipotizzando che un processo usi  $V_{DD} = 5V$ , il processo scalato avrà una  $V_{DD}' = 3.5V$ .

$$V_{DD}' = V_{DD} \times S$$

La lunghezza del canale ( $L$ ), gli spessori dell'isolante di gate e delle giunzioni di source e drain ( $W$ ) diventano:

$$L' = L \times S$$

$$W' = W \times S$$

La riduzione delle dimensioni del transistor influisce su alcuni parametri quali la tensione di soglia e la mobilità.

I benefici principali del ridimensionamento sono: dispositivi di dimensioni minori e quindi chip più piccoli, ritardi minori, operazioni a frequenze maggiori e riduzione della potenza dissipata.

Oltre a questi, però, si verificano anche degli effetti indesiderati chiamati effetti di canale corto.

La figura 4.2 mostra come il ridimensionamento modifica i parametri del MOSFET.

Lo scaling imporrebbe di usare lo stesso fattore di riduzione anche per la tensione di alimentazione  $V_{DD}$  tuttavia, per ragioni di compatibilità e per non ridurre i margini al rumore,  $V_{DD}$  viene scalata di un diverso fattore  $k$ .

Mentre quindi  $S$  è il fattore di ridimensionamento delle dimensioni del transistor,  $k$  è il fattore per cui vengono scalate le tensioni. Per ridimensionare il transistor fino ad 1 micron serve mantenere costanti le tensioni e per ottenere ciò si pone  $k=1$ . In questa situazione, le tensioni non variano mentre la corrente aumenta comunque, dato l'aumento della capacità dell'ossido  $C_{OX}$ .

Questa strategia di ridimensionamento è anche chiamata “Constant-Voltage Scaling”.

Parameters	Variables	Scaling Factor
Dimensions	$W, L, d_{ox}, x_j$	$1/S$
Potentials	$V_{ds}, V_{gs}$	$1/k$
Doping concentration	$N_A, N_D$	$S^2/k$
Electric field	$E$	$S/k$
Current	$I_{ds}$	$S/k^2$
Gate delay	$t_{delay}$	$k/S^2$

Figura 4.2 Tabella scaling

## 4.2 Effetti di canale corto

La figura 4.3 mostra la velocità media di deriva,  $v$ , di un elettrone. Quando il campo elettrico raggiunge un valore critico, indicato come  $E_{CRIT}$ , la velocità satura ad un valore  $V_{SAT}$ , il che significa che da lì in poi, anche aumentando il campo elettrico, la velocità rimarrà costante. Il rapporto tra la velocità di deriva e il campo elettrico è detto mobilità degli elettroni:

$$\mu_n = v / E$$

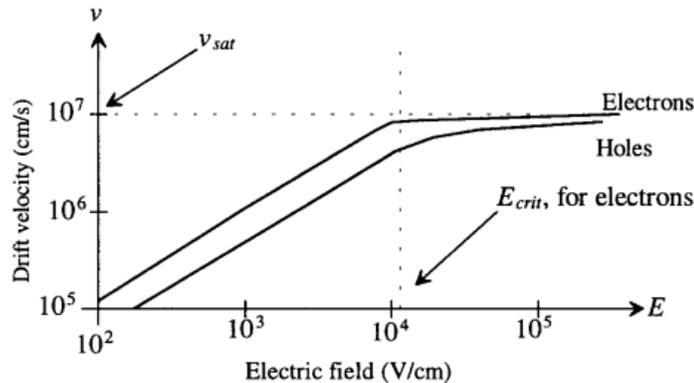


Figura 4.3 relazione tra velocità di deriva e campo elettrico

A questo punto però ci interessa determinare come la corrente di drain  $I_D$  di un MOSFET a canale corto cambia con  $V_{GS}$  quando operiamo in zona di saturazione.

Attorno al livello critico del campo elettrico la mobilità degli elettroni inizia a diminuire, mentre, al di sotto della soglia  $E_{CRIT}$ , è essenzialmente nulla.

Possiamo intanto definire la corrente come:

$$I_D = \mu_n \cdot \frac{dV(y)}{dy} \cdot W \cdot C'_{ox} [V_{GS} - V_{THN} - V(y)]$$

In presenza di campi elettrici elevati possiamo approssimare la mobilità degli elettroni a:

$$\mu_n = \frac{v_{sat}}{E} = \frac{v_{sat}}{dV(y)/dy}$$

Ora, mettendo insieme queste ultime due formule otteniamo:

$$I_D = W \cdot v_{sat} \cdot C'_{ox} (V_{GS} - V_{THN} - V_{DS,sat})$$

Questo risultato è molto importante perché mostra come la corrente di drain, in un MOSFET a canale corto e in zona di saturazione, aumenta linearmente con  $V_{GS}$ , mentre avevamo visto precedentemente che nei MOSFET a canale lungo aumenta con il quadrato della tensione gate source.

### *Drain-Induced Barrier Lowering*

Questo fenomeno (DIBL), in italiano detto abbassamento della barriera indotto dal drain, causa una riduzione della tensione di soglia con l'aumentare della tensione di drain. Il potenziale positivo al terminale di drain attrae gli elettroni sotto l'ossido di gate e di conseguenza si verifica un aumento del potenziale superficiale.

Visto che  $V_{TN}$  diminuisce con l'aumentare di  $V_{DS}$ , il risultato principale è l'aumento della corrente di drain  $I_D$  e quindi una diminuzione della resistenza d'uscita del MOSFET

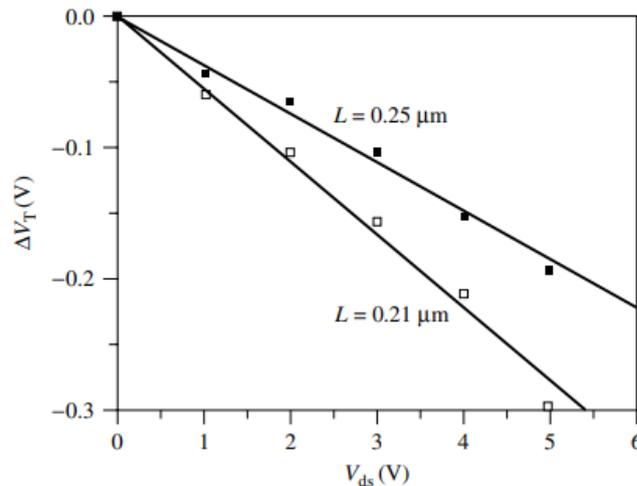


Figura 4.4 relazione tra tensione di soglia e  $V_{DS}$

### *Hot Carriers*

Come già indicato, gli elettroni, o i portatori di carica "caldi", si muovono, in generale, alla velocità  $v_{SAT}$ . Essi possono attraversare l'ossido di gate causando così una corrente di gate oppure vengono intrappolati nell'ossido e, così facendo, vanno a modificare la tensione di soglia del dispositivo.

I portatori caldi possono anche causare ionizzazione da impatto e portare all'Avalanche Breakdown.

### *Substrate Current-Induced Body Effect*

Il Substrate Current-Induced Body Effect (SCBE) è il risultato degli elettroni caldi che causano ionizzazione da impatto e generano di conseguenza una corrente di substrato dovuta alla raccolta di lacune. Questo si verifica per campi elettrici superiori a  $10^5$  V/cm. La corrente indotta scorre attraverso la resistenza di substrato andando ad aumentare il potenziale proprio del substrato e diminuisce ulteriormente la tensione di soglia. Questo effetto causa inoltre un ulteriore incremento della corrente di drain e la riduzione della resistenza d'uscita del MOSFET.

### 4.3 MOSFET modeling

Esistono vari tipi di modelli di MOSFET usati per la progettazione e simulazione VLSI (very-large-scale integration). Possiamo dividere questi modelli in tre grandi famiglie:

- 1- Prima generazione (Level 1, Level 2; Level 3 Models).
- 2- Seconda generazione (BSIM, HSPICE Level 28, BSIM2).
- 3- Terza generazione (BSIM3, Level 7, Level 8, Level 49, ecc).

Le generazioni più recenti lavorano meglio con gli effetti di canale corto, gate leakage, calcolo del rumore e con transistor che operano nella Sub-Threshold region, cioè quando la tensione  $V_{GS}$  è leggermente inferiore alla tensione di soglia del dispositivo.

Il modello Level 1 è quello più adatto per analisi preliminari, il Level 2 è invece un modello basato sulla geometria che utilizza una fisica dettagliata del dispositivo per definire la sua equazione ed infine il Level 3 rappresenta un tentativo di perseguire un approccio di modellazione semi-empirico che descrive la fisica del dispositivo solo in maniera approssimata basandosi sulla corretta scelta di parametri empirici per riprodurre con precisione le caratteristiche elettriche del transistor.



# Capitolo 5

## BSIM Model

BSIM, Berkeley Short channel IGFET (insulated gate field-effect transistor), è un modello SPICE di transistor MOS sia per nmos che pmos. Il BSIM1 SPICE model è una modellazione adeguata per MOSFET con lunghezza di canale minore di 1 micron mentre, per dimensioni minori, sono necessari i modelli BSIM2 e BSIM3.

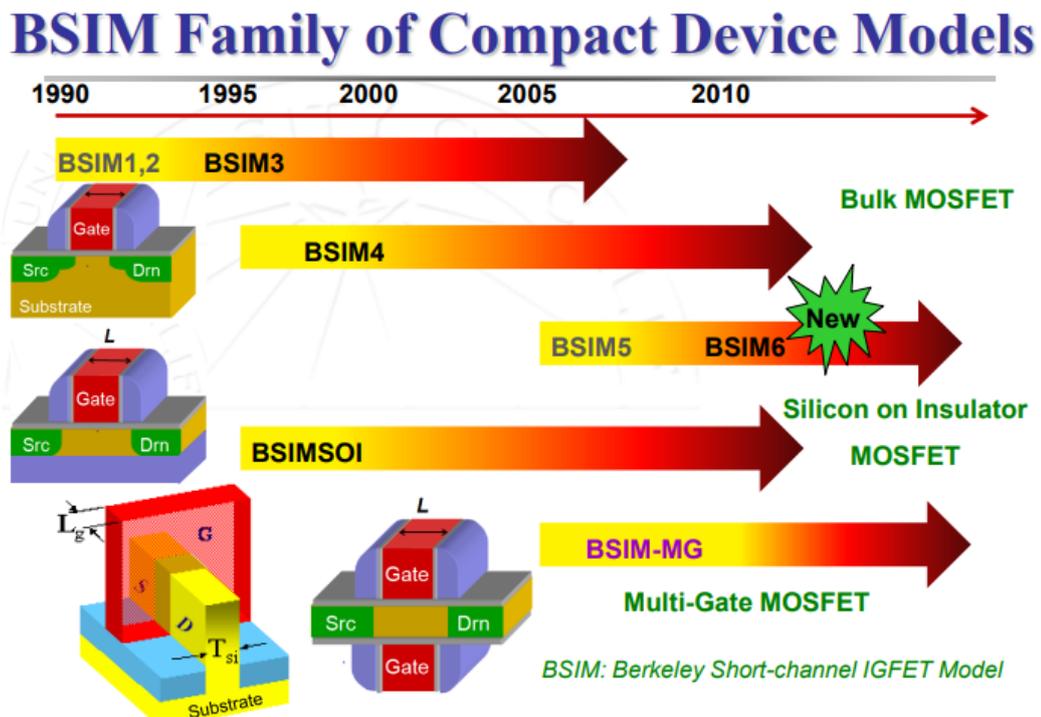


Figura 5.1 Evoluzione dei modelli BSIM nel tempo

Questi modelli sono stati sviluppati perché c'era il bisogno di avere dei modelli accurati per la simulazione di circuiti elettronici e la progettazione di circuiti integrati.

Man mano che i dispositivi diventavano sempre più piccoli, ad ogni nodo tecnologico (seguendo la legge di Moore), era necessario sviluppare dei nuovi modelli che potessero riflettere accuratamente il comportamento dei transistor.

L'utilizzo dei modelli BSIM ha portato ad un buon accordo tra risultati misurati e risultati modellati con lunghezze di canale inferiori ad 1 micron.

## 5.1 BSIM1

La formulazione del modello BSIM si basa sulla fisica di dispositivi MOS a piccola geometria. Gli effetti inclusi sono:

1. Dipendenza dal campo elettrico verticale della mobilità dei portatori
2. Saturazione della velocità
3. Abbassamento della barriera indotto dal drenaggio (DIBL)
4. Condivisione della carica della regione di svuotamento delle giunzioni di drain e source
5. Drogaggio non uniforme per dispositivi impiantati a ioni
6. Modulazione della lunghezza di canale
7. Conduzione sottosoglia (sub-threshold)
8. Dipendenze geometriche.

Ci sono inoltre otto parametri che appaiono nel calcolo della tensione di soglia e della corrente di drain, di seguito mostrati in figura 5.2.

$V_{FB}$	flat-band voltage,
$\phi_S$	surface-inversion potential,
$K_1$	body-effect coefficient,
$K_2$	source and drain depletion charge sharing coefficient,
$\eta$	drain-induced barrier lowering coefficient,
$U_0$	vertical field mobility degradation coefficient,
$U_1$	velocity saturation coefficient, and
$\mu_0$	carrier mobility.

*Figura 5.2 parametri principali del modello BSIM1*

### 5.1.1 Strong-Inversion Component

#### *Tensione di soglia*

Cinque dei parametri elencati in figura 5.2 compaiono nella formula per il calcolo della tensione di soglia e cioè:

$$V_{th} = V_{FB} + \phi_S + K_1 \sqrt{\phi_S - V_{BS}} - K_2 (\phi_S - V_{BS}) - \eta V_{DS}$$

Il parametro  $K_1$  è l'equivalente di  $\gamma$  nei libri di testo.  $K_1$  e  $K_2$  insieme servono per modellare l'effetto del drogaggio non uniforme mentre  $\eta$  è il parametro che modella l'effetto DIBL e in parte anche la modulazione della lunghezza di canale.

In figura 5.4 viene evidenziato come la tensione di soglia del transistor aumenti con il crescere della tensione  $V_{SB}$ .

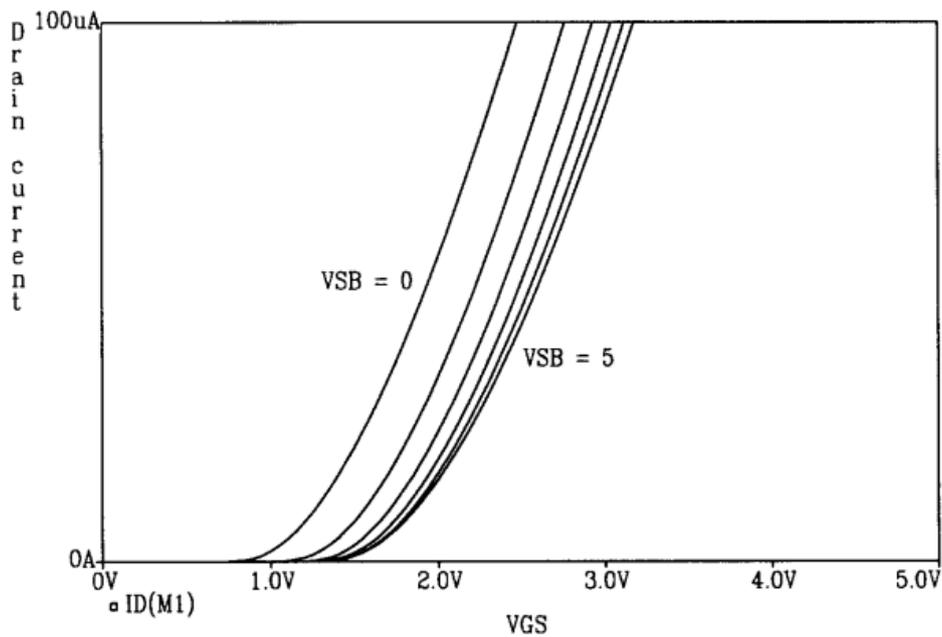


Figura 5.3 relazione tra corrente di drain e  $V_{GS}$

## Corrente di Drain

Per quanto riguarda la corrente di drain, dobbiamo distinguere regione di cutoff, regione di triodo (lineare) e regione di saturazione.

Nella regione di cutoff, che si verifica quando  $V_{GS} \leq V_{TH}$ , scorrerà una corrente di drain pari a 0.

$$I_{DS} = 0$$

Nelle regioni di triodo e di saturazione invece, il discorso è più complesso.

Nella prima, le cui condizioni sono che  $V_{GS} > V_{TH}$  e  $0 < V_{DS} < V_{DSAT}$ , la corrente di drain si definisce così:

$$I_{DS} = \frac{\mu_0}{[1 + U_0(V_{GS} - V_{th})]} \cdot \frac{C_{ox} \frac{W}{L}}{\left(1 + \frac{U_1}{L} V_{DS}\right)} \left( (V_{GS} - V_{th}) V_{DS} - \frac{a}{2} V_{DS}^2 \right)$$

Dove il parametro  $a$  è definito come:

$$a = 1 + \frac{gK_1}{2\sqrt{\phi_S - V_{BS}}}$$

E  $g$ :

$$g = 1 - \frac{1}{1.744 + 0.8364(\phi_S - V_{BS})}$$

In zona di saturazione invece, cioè quando  $V_{GS} > V_{TH}$  e  $V_{DS} > V_{DSAT}$ , la corrente vale:

$$I_{DS} = \frac{\mu_0}{[1 + U_0(V_{GS} - V_{th})]} \cdot \frac{C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2}{2aK}$$

Dove  $K$  si definisce come:

$$K = \frac{1 + v_c + \sqrt{1 + 2v_c}}{2}$$

E  $V_c$ :

$$v_c = \frac{U_1}{L} \cdot \frac{(V_{GS} - V_{th})}{a}$$

Il coefficiente dell'effetto body "a" rende il modello BSIM una buona approssimazione numerica dei modelli standard oltre una certa soglia di  $V_{BS}$  e  $V_{DS}$ .

## 5.1.2 Weak-Inversion Component

### Subthreshold Current

La corrente che scorre quando abbiamo  $V_{GS} < V_{TH}$  viene detta corrente di sottosoglia (subthreshold current). Quando il MOSFET opera in queste condizioni si dice che lavora nella regione di inversione debole (weak-inversion region).

La corrente totale di drain che scorre del dispositivo  $I_{DS,TOT}$  è data dalla somma delle componenti dell'inversione debole e dell'inversione forte, ma, come abbiamo visto precedentemente, la corrente che scorre per inversione forte è pari a zero quando  $V_{GS} < V_{TH}$ , mentre la componente dell'inversione debole vale:

$$I_{DS,weak} = \frac{I_{exp} \cdot I_{Limit}}{I_{Limit} + I_{exp}}$$

A questo punto definiamo  $I_{EXP}$  e  $I_{LIMIT}$ :

$$I_{exp} = \mu_0 C_{ox} \frac{W}{L} \left( \frac{kT}{q} \right)^2 \cdot e^{1.8} e^{(q/kT)(V_{GS} - V_{th})/n} [1 - e^{-V_{DS}(q/kT)}]$$

$$I_{limit} = \frac{\mu_0 C_{ox}}{2} \cdot \frac{W}{L} \cdot \left( 3 \frac{kT}{q} \right)^2$$

Il parametro  $n$ , detto "pendenza di sottosoglia" (subthreshold slope), è dato da:

$$n = n_0 + n_B V_{BS} + n_D V_{DS}$$

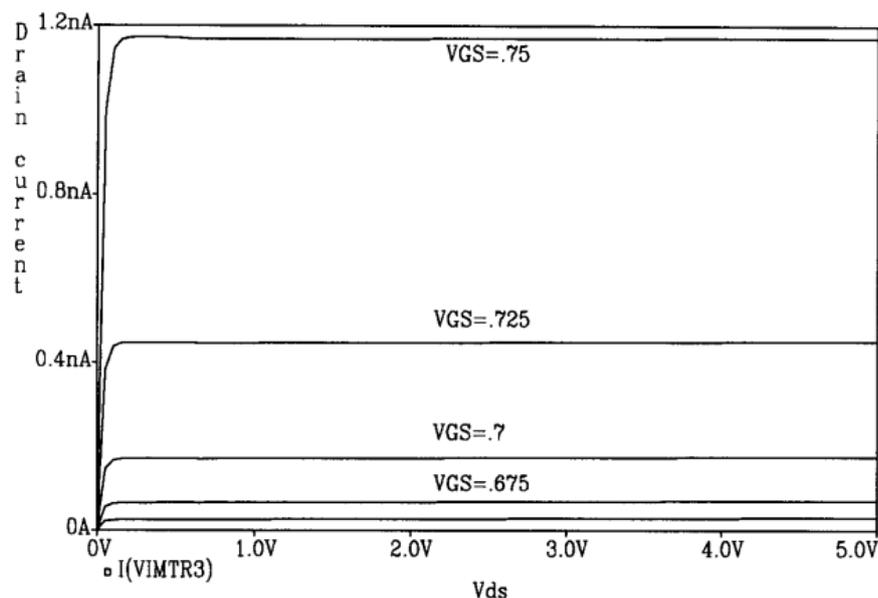


Figura 5.4 Caratteristica della tensione di sottosoglia di un nmos con  $L=W=5 \mu m$

Il funzionamento in regione di sottosoglia può essere molto utile soprattutto per svolgere operazioni a bassa potenza. Il problema principale che affligge i circuiti progettati per funzionare in questa regione è il “matching”, vale a dire la costanza delle caratteristiche elettriche di transistor sullo stesso chip. Dato che la corrente  $I_D$  è esponenzialmente correlata alla tensione  $V_{GS}$ , qualsiasi discrepanza in questa tensione, o nella tensione di soglia, può causare differenze significative nella corrente di drain.

Un altro problema, sempre riferito al matching dei dispositivi, è la differenza tra la pendenza di sottosoglia dei vari transistor.

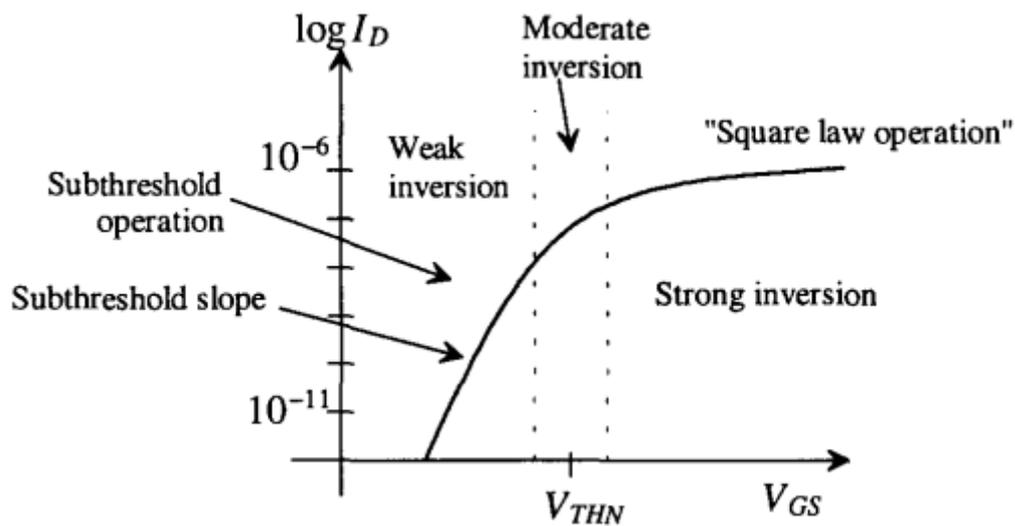


Figura 5.5 regioni di lavoro

## 5.2 BSIM3

Il modello BSIM3 è stato pubblicato dall'università della California a Berkeley nel luglio del 1993. BSIM3 è un modello pubblico e ha come obiettivo quello di simulare circuiti analogici e digitali costituiti da dispositivi MOS aventi lunghezze di canale fino a 0.15 micron. Questo modello è stato usato per modellare effetti non presenti in dispositivi di dimensioni maggiori.

Questi effetti sono:

- Tensione di soglia modificata da:
  - o Drogaggio verticale e laterale non uniforme
  - o Short Channel Effects
  - o Narrow channel Effects
- Mobilità:
  - o Mobilità ridotta a causa di campi elettrici verticali
- Velocità di saturazione dei portatori
- Corrente di drain:
  - o Bulk charge effect
  - o Corrente di sottosoglia
  - o Resistenze parassite di drain/source
- Corrente di bulk
- Resistenza d'uscita:
  - o Drain Induced Barrier Lowering (DIBL)
  - o Channel length modulation (CNL)
  - o Substrate current induced body effect (SCBE)
- Modello di capacità a canale corto
- Dipendenza dalla temperatura del comportamento del dispositivo

## 5.2.1 Tensione di soglia

La tensione di soglia è uno dei parametri più importanti dei transistor MOS ed è influenzata da diversi effetti quando i dispositivi hanno lunghezze di canale piccole (inferiori al micron). Questi effetti sono:

### *Drogaggio verticale non uniforme*

La concentrazione del drogaggio all'interno del substrato non è uniforme lungo la direzione verticale del canale, come mostrato in figura 5.6.

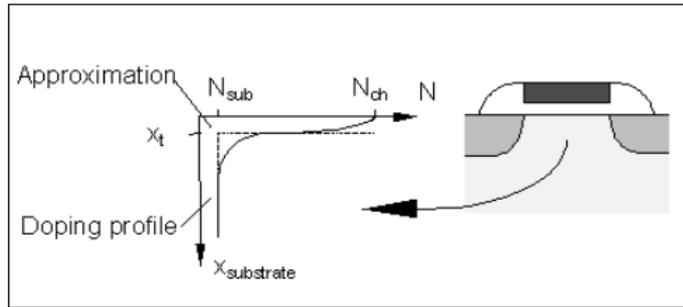


Figura 5.6 concentrazione del drogaggio

Solitamente la concentrazione è maggiore vicino all'interfaccia silicio-biossido di silicio, piuttosto che nella profondità del substrato. Questa maggiore concentrazione è usata per aggiustare la tensione di soglia del dispositivo.

$$\Delta V_{th(1)} = K_1 \frac{T_{ox}}{T_{oxm}} \sqrt{\Phi_s - V_{bseff}} - K_2 \frac{T_{ox}}{T_{oxm}} V_{bseff}$$

$$K_1 = \gamma_2 - 2K_2 \sqrt{\Phi_s - V_{bm}}$$

$$K_2 = \frac{(\gamma_1 - \gamma_2)(\sqrt{\Phi_s - V_{bx}} - \sqrt{\Phi_s})}{2\sqrt{\Phi_s}(\sqrt{\Phi_s - V_{bx}} - \sqrt{\Phi_s}) + V_{bx}}$$

$$\gamma_1 = \frac{\sqrt{2q\epsilon_{si}N_{ch}}}{C_{ox}}$$

$$\gamma_2 = \frac{\sqrt{2q\epsilon_{si}N_{sub}}}{C_{ox}}$$

### *Drogaggio laterale non uniforme*

La concentrazione del drogaggio NDS vicina al drain e source è maggiore rispetto alla concentrazione NA al centro del canale. Questo comporta che, più il canale si rimpicciolisce, più la tensione di soglia aumenta.

$$\Delta V_{th(2)} = K_1 \frac{T_{ox}}{T_{oxm}} \left( \sqrt{\left(1 + \frac{N_{lx}}{L_{eff}}\right)} - 1 \right) \sqrt{\Phi_s}$$

### Short Channel Effect

Con il diminuire delle dimensioni del dispositivo iniziano a verificarsi gli effetti del canale corto e cioè roll-off della tensione di soglia e degradazione della pendenza di sottosoglia che a sua volta, va ad aumentare la “off current”(corrente di sottosoglia).

La tensione di soglia dipende quindi da parametri geometrici come la lunghezza effettiva del canale e la forma delle giunzioni source-bulk e drain-bulk. Una giunzione poco profonda e con una debole diffusione laterale è ideale per controllare gli effetti del canale corto, mentre le resistenze di source e drain devono essere mantenute il più basse possibile.

$$\Delta V_{th(3)} = D_{VT0} \left[ e^{\left( -D_{VT1} \frac{L_{eff}}{2l_i} \right)} + 2e^{\left( -D_{VT1} \frac{L_{eff}}{l_i} \right)} \right] (V_{bi} - \Phi_s)$$

$$I_r = \sqrt{\frac{\epsilon_{si} T_{ox} X_{dep}}{\epsilon_{sio2}}} (1 + D_{VT2} V_{bseff})$$

$$X_{dep} = \sqrt{\frac{2\epsilon_{si}(\Phi_s - V_{bseff})}{qN_{ch}}}$$

$$\Delta V_{th(4)} = D_{VT0w} \left[ e^{\left( -D_{VT1w} \frac{W_{eff} L_{eff}}{2l_w} \right)} + 2e^{\left( -D_{VT1w} \frac{W_{eff} L_{eff}}{l_w} \right)} \right] (V_{bi} - \Phi_s)$$

### Narrow Channel Effect

Nei dispositivi aventi larghezze molto piccole possiamo notare che la regione di svuotamento si allarga a causa dell'esistenza del “fringing field” agli estremi del canale.

Questo effetto diventa sempre più importante al diminuire della larghezza del canale. La regione di svuotamento laterale, dovuta al campo elettrico agli estremi del transistor, aumenta diventando paragonabile allo svuotamento dovuto al campo verticale e, di conseguenza, si verifica un aumento della tensione di soglia del dispositivo.

$$\Delta V_{th(5)} = (K_3 + K_{3b} V_{bseff}) \frac{T_{ox}}{(W_{eff} + W_0)} \Phi_s$$

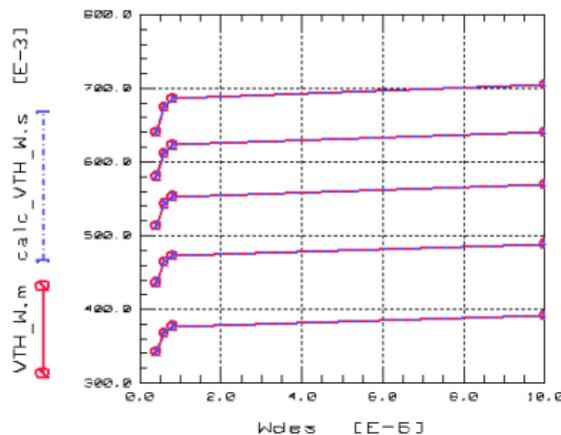


Figura 5.7 Influenza della larghezza del canale sulla tensione di soglia

## Effetto DIBL

L'effetto DIBL, oltre ad interessare la corrente di drain e la resistenza d'uscita del dispositivo, va a modificare anche la tensione di soglia comportandone una piccola riduzione.

$$\Delta V_{th(6)} = \left[ e^{\left(-D_{sub} \frac{L_{eff}}{2l_{t0}}\right)} + 2e^{\left(-D_{sub} \frac{L_{eff}}{l_{t0}}\right)} \right] (E_{ta0} + E_{tab} V_{bseff}) V_{ds}$$

$$l_{t0} = \sqrt{\frac{\epsilon_{si} T_{ox} X_{dep}}{\epsilon_{sio2}}}$$

Ora, mettendo insieme tutti i contributi che questi effetti danno alla tensione di soglia, si può arrivare alla formula completa che è data da:

$$V_{th} = V_{Tideal} + \Delta V_{th(1)} + \Delta V_{th(2)} - \Delta V_{th(3)} - \Delta V_{th(4)} + \Delta V_{th(5)} - \Delta V_{th(6)}$$

e quindi

$$\begin{aligned} V_{th} = & V_{th0} - K_1 \sqrt{\Phi_s} + K_1 \frac{T_{ox}}{T_{oxm}} \sqrt{\Phi_s - V_{bseff}} - K_2 \left( \frac{T_{ox}}{T_{oxm}} V_{bseff} \right) \\ & + K_1 \frac{T_{ox}}{T_{oxm}} \left( \sqrt{\left(1 + \frac{Nlx}{L_{eff}}\right)} - 1 \right) \sqrt{\Phi_s} - D_{VT0} \left[ e^{\left(-D_{VT1} \frac{L_{eff}}{2l_t}\right)} + 2e^{\left(-D_{VT1} \frac{L_{eff}}{l_t}\right)} \right] (V_{bi} - \Phi_s) \\ & - D_{VT0w} \left[ e^{\left(-D_{VT1w} \frac{W_{eff} L_{eff}}{2l_{tw}}\right)} + 2e^{\left(-D_{VT1w} \frac{W_{eff} L_{eff}}{l_{tw}}\right)} \right] (V_{bi} - \Phi_s) \\ & + (K_3 + K_{3b} V_{bseff}) \frac{T_{ox}}{(W_{eff} + W_0)} \Phi_s \\ & - \left[ e^{\left(-D_{sub} \frac{L_{eff}}{2l_{t0}}\right)} + 2e^{\left(-D_{sub} \frac{L_{eff}}{l_{t0}}\right)} \right] (E_{ta0} + E_{tab} V_{bseff}) V_{ds} \end{aligned}$$

## 5.2.2 Riduzione della mobilità dei portatori

Il modello BSIM3v3 (versione 3) fornisce tre diverse equazioni riguardo la riduzione della mobilità:

MOBMOD=1:

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff})((V_{gsteff} + 2V_{th})/T_{ox}) + U_b((V_{gsteff} + 2V_{th})/T_{ox})^2}$$

MOBMOD=2:

$$\mu_{eff} = \frac{\mu_0}{1 + (U_a + U_c V_{bseff})(V_{gsteff}/T_{ox}) + U_b(V_{gsteff}/T_{ox})^2}$$

MOBMOD=3:

$$\mu_{eff} = \frac{\mu_0}{1 + [U_a(V_{gsteff} + 2V_{th})/T_{ox} + U_b((V_{gsteff} + 2V_{th})/T_{ox})^2](1 + U_c V_{bseff})}$$

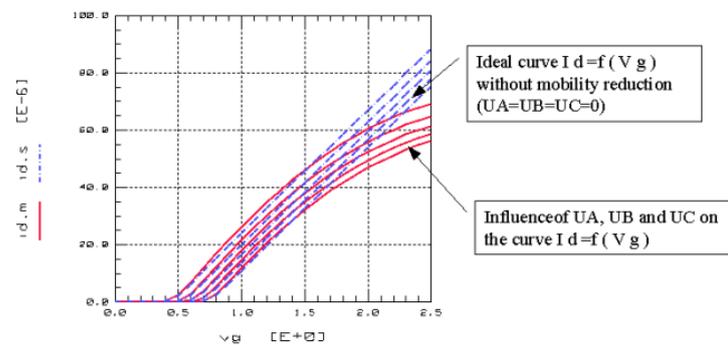


Figura 5.8 Influenza della riduzione della mobilità sulla corrente di drain

## 5.2.3 Velocità di saturazione dei portatori

La velocità di deriva dei portatori è sicuramente tra i parametri più importanti. In questo modello la formula per la velocità di saturazione è la seguente:

$$v = \frac{\mu_{eff} E}{1 + (E/E_{sat})}, \quad E < E_{sat}$$

$$= v_{sat}, \quad E > E_{sat}$$

Dove:

$$E_{sat} = \frac{2v_{sat}}{\mu_{eff}}$$

## 5.2.4 Corrente di drain

La corrente di drain viene influenzata da vari effetti, tra cui il Bulk Charge Effect. Quando la tensione di drain è elevata e il canale ha una lunghezza non molto corta, la profondità della regione di svuotamento del canale non è uniforme lungo tutto il dispositivo. Ciò causerà una variazione della tensione di soglia e prende il nome di Bulk Charge Effect.

$$A_{bulk} = \left( 1 + \frac{K_{lox}}{2\sqrt{\Phi_s - V_{bseff}}} \left( \frac{A_0 L_{eff}}{L_{eff} + 2\sqrt{X_J X_{dep}}} \left( 1 - A_{gs} V_{gstseff} \left( \frac{L_{eff}}{L_{eff} + 2\sqrt{X_J X_{dep}}} \right)^2 \right) + \frac{B_0}{W_{eff}' + B_1} \right) \right) \cdot \frac{1}{1 + Keta V_{bseff}}$$

Dove  $A_0$ ,  $A_{GS}$ ,  $B_0$ ,  $B_1$  e  $Keta$  sono determinati dai dati sperimentali. Con il diminuire della lunghezza del canale il parametro  $A_{BULK}$  si approssimerà sempre di più a 1.

### Zona Lineare

#### -Caso intrinseco ( $R_{DS} = 0$ )

In questa regione e con  $R_{DS}=0$ , possiamo definire la corrente come:

$$I_{ds} = \mu_{eff} C_{ox} \frac{W}{L} \frac{1}{1 + V_{ds}/E_{sat}} (V_{gs} - V_{th} - A_{bulk} V_{ds}/2) V_{ds}$$

Ma questa formula è valida fino a quando non si raggiunge la velocità di saturazione dei portatori. A quel punto abbiamo che:

$$I_{ds} = WC_{ox} (V_{gst} - A_{bulk} V_{dsat}) v_{sat}$$

#### -Caso estrinseco ( $R_{DS} > 0$ )

Le resistenze parassite di drain e source sono un parametro importante del dispositivo e possono influenzare notevolmente le prestazioni del MOSFET. Le resistenze parassite non scalano proporzionalmente al diminuire della lunghezza di canale e, di conseguenza, avranno sempre un impatto maggiore sulle caratteristiche del dispositivo. La corrente di drain, cercando di modellare le resistenze parassite, diventa quindi:

$$I_{ds} = \frac{V_{ds}}{R_{tot}} = \frac{V_{ds}}{R_{ch} + R_{ds}} \\ = \mu_{eff} C_{ox} \frac{W}{L} \frac{1}{1 + V_{ds}/(E_{sat} L)} \frac{(V_{gst} - A_{bulk} V_{ds}/2) V_{ds}}{1 + R_{ds} \mu_{eff} C_{ox} \frac{W}{L} \frac{(V_{gst} - A_{bulk} V_{ds}/2)}{1 + V_{ds}/(E_{sat} L)}}$$

E la resistenza  $R_{DS}$ :

$$R_{ds} = \frac{R_{dsw} \left( 1 + P_{rwg} V_{gstseff} + P_{rwb} \left( \sqrt{\Phi_s - V_{bseff}} - \sqrt{\Phi_s} \right) \right)}{\left( 10^6 W_{eff}' \right)^{W_r}}$$

### Zona di saturazione

In zona di saturazione si verificano alcuni effetti che vanno ad alterare la resistenza d'uscita del dispositivo e influenzano anche la corrente di drain. Questi effetti sono quelli già citati in precedenza: CLM, DIBL e SCBE.

Considerando questi effetti, possiamo definire così la corrente di drain:

$$I_{ds} = Wv_{sat}C_{ox}(V_{gst} - A_{bulk}V_{dsat})\left(1 + \frac{V_{ds} - V_{dsat}}{V_A}\right)\left(1 + \frac{V_{ds} - V_{dsat}}{V_{ASCBE}}\right)$$

Dove  $V_{ASCBE}$  è la tensione iniziale dovuta all'effetto SCBE che verrà illustrato nel prossimo paragrafo.

### Corrente di sottosoglia

L'equazione della corrente di drain nella regione di sottosoglia è la seguente:

$$I_{ds} = I_{s0}\left(1 - \exp\left(-\frac{V_{ds}}{v_t}\right)\right)\exp\left(\frac{V_{gs} - V_{th} - V_{off}}{nv_t}\right)$$

$$I_{s0} = \mu_0 \frac{W}{L} \sqrt{\frac{q\epsilon_{si}N_{ch}}{2\phi_s}} v_t^2$$

Il parametro  $V_T$  è la tensione termica ed è dato da  $K_B T/q$ , dove  $K_B$  è la costante di Boltzmann e  $q$  la carica dell'elettrone, mentre  $V_{OFF}$  è la tensione di offset.

Il parametro  $n$  è detto swing di sottosoglia ed è definito dalla seguente formula:

$$n = 1 + N_{factor} \frac{C_d}{C_{ox}} + \frac{(C_{dsc} + C_{dsc}V_{ds} + C_{dscb}V_{bseff})\left(\exp\left(-D_{VT1}\frac{L_{eff}}{2l_t}\right) + 2\exp\left(-D_{VT1}\frac{L_{eff}}{l_t}\right)\right)}{C_{ox}} + \frac{C_{it}}{C_{ox}}$$

### 5.2.5 Resistenza d'uscita

La resistenza d'uscita, come già accennato in precedenza, è influenzata dagli effetti CLM, DIBL e SCBE. Questi effetti, tuttavia, non agiscono tutti contemporaneamente ma ognuno domina una regione (della zona di saturazione).

Per l'analisi della resistenza d'uscita definiamo un nuovo parametro  $V_A$  detto "Early Voltage" che cambierà a seconda dell'effetto che domina la zona interessata.

$$V_A = I_{dsat}\left(\frac{\partial I_{ds}}{\partial V_{ds}}\right)^{-1}$$

### Channel Length Modulation (CLM)

Se questo è l'unico effetto che viene preso in considerazione, possiamo definire l'Early voltage (che chiameremo  $V_{ACLM}$ ) così dopo averlo derivato:

$$V_{ACLM} = \frac{A_{bulk} E_{sat} L + V_{gst}}{A_{bulk} E_{sat} l} (V_{ds} - V_{dsat})$$

Introduciamo ora il parametro  $P_{CLM}$ , non solo per compensare l'errore causato dalle espansioni di Taylor, ma anche perché la profondità della giunzione  $X_J$  non è sempre determinata con grande accuratezza mentre a noi interessa che  $l$  sia proporzionale alla radice di  $X_J$ .

L'equazione diventa quindi la seguente:

$$V_{ACLM} = \frac{1}{P_{clm}} \frac{A_{bulk} E_{sat} L + V_{gst}}{A_{bulk} E_{sat} l} (V_{ds} - V_{dsat})$$

### Drain Induced Barrier Lowering (DIBL)

L'Early voltage generato dall'effetto DIBL è definito come:

$$V_{ADIBLC} = \frac{(V_{gsteff} + 2\psi_i)}{\theta_{rout}(1 + P_{DIBLCB} V_{bseff})} \left( 1 - \frac{A_{bulk} V_{dsat}}{A_{bulk} V_{dsat} + V_{gsteff} + 2\psi_i} \right)$$

Durante la derivazione, per arrivare a questa formula, le resistenze parassite sono state considerate nulle.  $V_{ADIBLC}$  è fortemente influenzata dalla lunghezza di canale  $L$ . Infatti al decrescere di questo parametro, anche  $V_{ADIBLC}$  decresce di conseguenza.

Il parametro  $\theta_{ROUT}(L)$  è un coefficiente derivato dagli effetti del canale corto e in questo caso è definito come:

$$\theta_{rout}(L) = P_{diblc1} [\exp(-D_{rout} L / 2l_t) + 2 \exp(-D_{rout} L / l_t)] + P_{diblc2}$$

Mentre i parametri  $P_{DIBLC1}$ ,  $P_{DIBLC2}$ ,  $P_{DIBLCB}$  e  $D_{ROUT}$  sono stati introdotti per correggere l'effetto DIBL nella zona di forte inversione.

### Substrate current induced body effect (SCBE)

L'Early voltage causato da questo effetto è già stato incontrato nella formula della corrente di drain in zona di saturazione. Definiamo il parametro  $V_{ASCBE}$  come:

$$V_{ASCBE} = \frac{B_i}{A_i} \exp\left(\frac{B_i l}{V_{ds} - V_{dsat}}\right)$$

Da questa equazione si può vedere come  $V_{ASCBE}$  dipenda fortemente dalla tensione drain source del dispositivo.

Possiamo anche sostituire nella formula  $B_i$  con  $P_{SCBE2}$  e  $A_i/B_i$  con  $P_{SCBE1}/L$  ottenendo la seguente espressione:

$$\frac{1}{V_{ASCBE}} = \frac{P_{SCBE2}}{L} \exp\left(-\frac{P_{SCBE1} l}{V_{ds} - V_{dsat}}\right)$$

Le variabili  $P_{SCBE2}$  e  $P_{SCBE1}$  vengono determinate sperimentalmente.

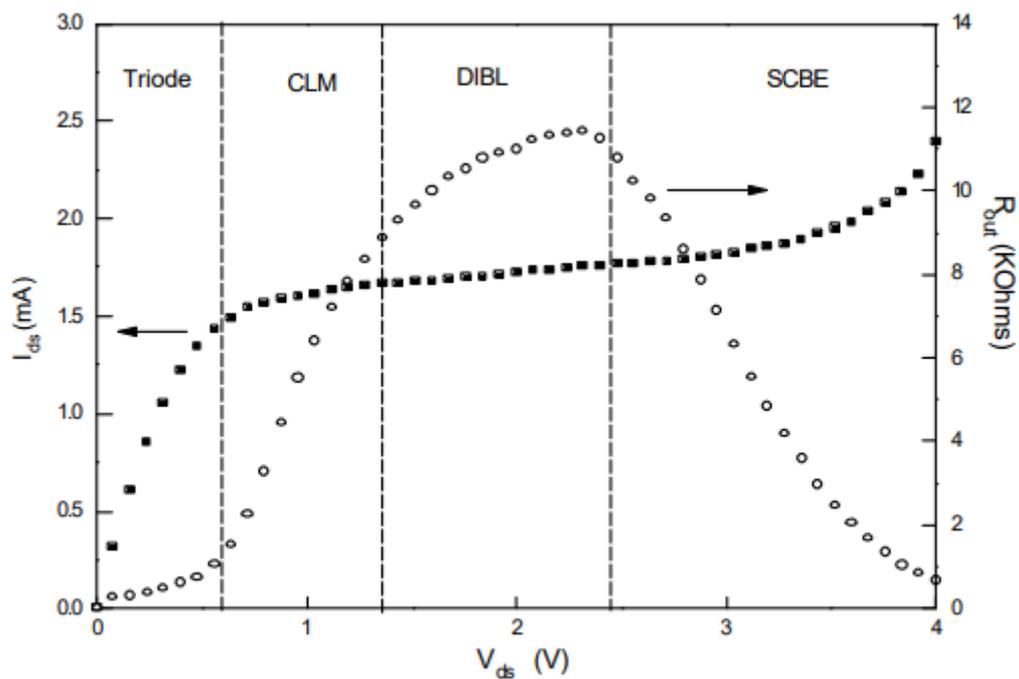


Figura 5.9 Comportamento della resistenza d'uscita di un MOSFET

## 5.2.6 Capacitance Model

Per la modellazione delle capacità, i MOSFET possono essere divisi in due regioni:

1. Capacità intrinseche
2. Capacità estrinseche

### *Capacità intrinseche*

Definiamo ora le cariche dei terminali  $Q_g$ ,  $Q_b$ ,  $Q_s$  e  $Q_d$ , che sono rispettivamente le cariche di gate, bulk, source e drain. A queste cariche dobbiamo aggiungere anche la carica del canale in inversione  $Q_{inv}$ , la carica di accumulazione  $Q_{acc}$  e la carica di esaurimento del substrato  $Q_{sub}$ .

Le cariche di accumulazione e di esaurimento sono associate al substrato, mentre la carica del canale deriva dai terminali di source e drain.

$$\begin{cases} Q_g = -(Q_{sub} + Q_{inv} + Q_{acc}) \\ Q_b = Q_{acc} + Q_{sub} \\ Q_{inv} = Q_s + Q_d \end{cases}$$

Tutte le capacità sono derivate da queste cariche per garantire la conservazione della carica totale del dispositivo. Dal momento che ci sono quattro terminali, abbiamo complessivamente sedici componenti e per ogni componente vale:

$$C_{ij} = \frac{\partial Q_i}{\partial V_j}$$

Dove  $i$  e  $j$  denotano i terminali del transistor. Possiamo anche aggiungere che:

$$\sum_i C_{ij} = \sum_j C_{ij} = 0$$

## Capacità estrinseche

Tra le capacità estrinseche distinguiamo:

1. Fringing capacitance
2. Overlap capacitance

### Fringing Capacitance

È virtualmente impossibile riuscire sperimentalmente a separare la prima capacità dalla seconda. Tuttavia, la fringing capacitance si può calcolare teoricamente con la seguente formula:

$$CF = \frac{2\epsilon_{ox}}{\pi} \ln\left(1 + \frac{t_{poly}}{T_{ox}}\right)$$

In cui  $t_{poly}$ , lo spessore del polisilicio di gate, è uguale a  $4 \times 10^{-7}$  m.

### Overlap Capacitance

A differenza delle capacità intrinseche, queste capacità sono tra loro simmetriche. In altre parole, per fare un esempio:

$$C_{gd,overlap} = C_{dg,overlap}$$

- i) Source Overlap Charge

$$\frac{Q_{overlap,s}}{W_{active}} = CGS0 \cdot V_{gs} + CGS1 \left( V_{gs} - V_{gs,overlap} - \frac{CKAPPA}{2} \left( -1 + \sqrt{1 - \frac{4V_{gs,overlap}}{CKAPPA}} \right) \right)$$

$$V_{gs,overlap} = \frac{1}{2} \left( V_{gs} + \delta_1 - \sqrt{(V_{gs} + \delta_1)^2 + 4\delta_1} \right), \quad \delta_1 = 0.02V$$

Dove CKAPPA è un parametro del modello correlato alla media del doping della regione LDD e vale:

$$CKAPPA = \frac{2\epsilon_{si}qN_{LDD}}{C_{ox}^2}$$

$N_{LDD}$  tipicamente assume valore  $5 \times 10^{-3} \text{ cm}^{-3}$ .

ii) Drain Overlap Charge

$$\frac{Q_{overlapd}}{W_{active}} = CGD0 \cdot V_{gd} + CGD1 \left( V_{gd} - V_{gd,overlap} - \frac{CKAPPA}{2} \left( -1 + \sqrt{1 - \frac{4V_{gd,overlap}}{CKAPPA}} \right) \right)$$

$$V_{gd,overlap} = \frac{1}{2} \left( V_{gd} + \delta_1 - \sqrt{(V_{gd} + \delta_1)^2 + 4\delta_1} \right), \quad \delta_1 = 0.02V$$

iii) Gate Overlap Charge

$$Q_{overlap,g} = - \left( Q_{overlapd} + Q_{overlap,s} + (CGB0 \cdot L_{active}) \cdot V_{gb} \right)$$

# Capitolo 6

## CONCLUSIONI

Lo scopo principale di questa tesi era quello di comprendere ed analizzare i comportamenti dei transistor con lunghezza di canale inferiore ad un micron e i relativi modelli per la simulazione circuitale.

Nei vari capitoli di questa tesi, sono state evidenziate dunque le caratteristiche dei transistor MOS di piccole dimensioni andando a mostrare come la lunghezza di canale (e non solo) influisca notevolmente sugli effetti che il transistor subisce e, di conseguenza, come i parametri fondamentali come tensione di soglia, corrente di drain e resistenza d'uscita vengono alterati.

Sono stati analizzati i modelli BSIM1, il primo a trattare transistor con lunghezze di canale inferiori al micron, e BSIM3, modello più accurato per transistor di dimensioni ancora inferiori che ci ha permesso quindi di evidenziare maggiormente le differenze tra transistor di grandi e piccole dimensioni.

Ricapitolando, man mano che riduciamo la lunghezza di canale di un transistor, diminuiamo anche la tensione di soglia e, contemporaneamente, aumentiamo il campo elettrico orizzontale che porta il transistor a funzionare in regime di velocità di saturazione con la conseguente riduzione della corrente di drain. Per ovviare a questo problema sono stati sviluppati nuovi tipi di transistor che non risentono di effetti di canale corto, come i FinFET (si veda la Figura 5.1), che hanno permesso, alla data attuale, di prolungare la validità della legge di Moore fino a lunghezze di gate nanometriche.



# BIBLIOGRAFIA

**I siti web consultati per la stesura di questo documento sono i seguenti:**

- BSIM3 – BSIM Group (berkeley.edu)
- 9-transistore-mos.pdf (unimi.it)
- Microsoft Word - Cap\_4\_The\_MOS\_transistor\_ver1.0 (unisalento.it)
- Design VLSI - Inverter MOS (edu.lat)
- c01.dvi (rpi.edu)
- staff.utar.edu.my/limsk/VLSI Design/Chapter 5 Physics of MOSFET and MOSFET Modeling.pdf
- 11170813.pdf (core.ac.uk)
- BSIM3v3 Modeling Package (bme.hu)
- BSIM: Berkeley short-channel IGFET model for MOS transistors (utk.edu)
- MOSFET\_SCE.pdf (udel.edu)
- Jacob Baker R., CMOS: circuit design, layout, and simulation, John Wiley and Sons Ltd, 2019.
- Bruun E., CMOS Integrated Circuits Simulation with LTspice IV, 2015.
- J. R. Pierret, A MOS Parameter Extraction Program for the BSIM Model, Electronics Research Laboratory, 1984.