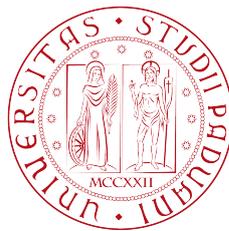


Corso di Laurea in Ingegneria Elettronica
Tesi di Laurea in:

Impiego dell'Arseniuro di Gallio nelle moderne tecnologie ULSI



Università degli Studi di Padova

Autore: Lombardo Federico [581076-IL]

Relatore: Andrea Cester

A.A. 2009/2010

Sommario

Spesso, quando si parla di semiconduttori e di elettronica, ci si collega subito al Silicio, materiale presente ovunque, in qualsiasi circuito elettronico, dal più semplice al più complesso, dal più nuovo al più vecchio. Andando avanti con gli anni, i laboratori hanno sviluppato (e continuano a sviluppare tutt'ora) nuove tecnologie, con il quale sfruttare il Silicio, nuovi livelli di integrazione e nuovi passi avanti.

*Ma l'innovazione tecnologica porta con sé non solo nuove scoperte per quanto riguarda il Silicio, ma anche nuovi materiali, con cui costruire i circuiti elettronici, come Germanio e **Arseniuro di Gallio**.*

In questa tesi parlerò dell'Arseniuro di Gallio (simbolo chimico GaAs), semiconduttore che sta prendendo sempre più piede nelle applicazioni elettroniche, e di come questo materiale viene utilizzato a scopi elettronici.

In un primo capitolo, elencherò le proprietà chimiche e fisiche del GaAs, elencandone le sigle utilizzate per riconoscerlo, dandone un significato. Cercherò anche di dire brevemente a quale stato di sviluppo siamo arrivati attualmente, e quali sono i progetti futuri.

Nel secondo capitolo mostrerò quali limiti del Silicio hanno portato alla ricerca e allo sviluppo di un nuovo materiale, quale l'Arseniuro di Gallio. Farò anche una scaletta elencando in quali campi il GaAs è effettivamente migliore rispetto al Silicio, e in quali invece il Silicio resta il leader indiscusso.

Il terzo capitolo sarà composto da una prima introduzione, dove elencheremo i vari dispositivi che si possono creare con il GaAs, poi vedremo in particolare i MESFET, il corrispettivo dei MOSFET per l'Arseniuro di Gallio; vedremo come sono fatti e come si costruiscono. Nel quarto capitolo ricaverò un modello circuitale per studiare il MESFET, basandoci su quello di Curtice. Inoltre studierò gli effetti indesiderati che per la fabbricazione di circuiti ULSI sono da introdurre nel modello, e introdurrò brevemente le tipologie di porte logiche realizzabili.

Dato che si parla di Arseniuro di Gallio, trovo sia corretto spendere un breve capitolo per introdurre quella che è l'applicazione più importante e sfruttata dell'Arseniuro di Gallio: le celle solari.

Indice

1	Arseniuro di Gallio	5
1.1	Introduzione	5
1.2	Struttura chimica	6
1.2.1	Caratteristiche chimiche del materiale	6
1.2.2	Processi di produzione dell'Arseniuro di Gallio	10
1.3	Sviluppo attuale e prospettive di evoluzione	11
2	Differenze con il Silicio	13
2.1	Introduzione al Silicio	13
2.2	Limiti del Silicio nelle applicazioni ad alta velocità	13
2.3	Vantaggi e Svantaggi del GaAs	15
3	La base dei circuiti ULSI in GaAs: MESFET	19
3.1	Introduzione	19
3.2	Struttura MESFET in GaAs	20
3.3	Processo planare per MESFET a GaAs	21
3.4	Processo ad auto-allineamento del gate	24
3.5	Regole per la progettazione di MESFET in GaAs e rappresentazione degli strati	26
4	ULSI	27
4.1	Introduzione	27
4.2	Circuito equivalente MESFET	27
4.3	Effetti indesiderati da includere sul modello	30
4.4	Interconnessioni	30
4.5	Porte Logiche	31
5	Celle Solari in GaAs	33
5.1	Introduzione	33
5.2	Celle solari spaziali: il vantaggio del GaAs	34
6	Conclusioni	37
A	Liquid encapsulated Czochralski, LEC	39

4

INDICE

B Regole di layout

41

Bibliografia

43

Capitolo 1

Arseniuro di Gallio

1.1 Introduzione

L'**Arseniuro di Gallio** (simbolo chimico **GaAs**) è un materiale inorganico composto dagli elementi Arsenico e Gallio. È un semiconduttore III/V, caratterizzato da un'alta mobilità dei portatori liberi di carica (elettroni e lacune) e da una banda di energia proibita diretta, e per questo è usato in dispositivi come circuiti integrati ad altissima frequenza (microonde), diodi emettitori di luce infrarossa, diodi laser, celle solari, e nelle optical windows. Questa tesi si focalizzerà nel suo utilizzo nelle tecnologie ULSI.

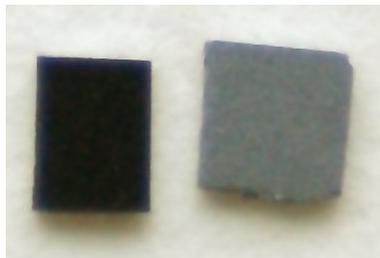


Figura 1.1: *Cristalli di Arseniuro di Gallio*

Fu creato per la prima volta da Goldschmidt nel 1929. Tuttavia, il primo articolo sulle proprietà elettroniche del GaAs apparve solo nel 1952, scritto da H. Welker. A testimonianza della grande importanza di questo materiale da oltre venti anni, un significativo articolo di rassegna del 1982 sulle proprietà del GaAs, scritto da J.S. Blakemore (J. Appl. Phys., 53,1982, p. R123) comprendeva ben 400 articoli in bibliografia.

1.2 Struttura chimica

La struttura chimica dell'Arсениuro di Gallio è definita come *zinblend*, nominata così dopo lo studio dello zinblend (*sphalerite*). Questo vuol dire che ciascun atomo Ga (o As) ha quattro atomi As (o Ga) intorno.

Come nella sphalerite, i due tipi di atomi formano due reticoli cubici a facce centrate che si compenetrano. Il posizionamento degli atomi è lo stesso della struttura cubica del diamante, solo che differisce dal fatto che i tipi di atomo si alternano nelle diverse zone del reticolo, che, nel caso in esame dell'Arсениuro di Gallio, si alternano atomi di Arsenico e atomi di Gallio.

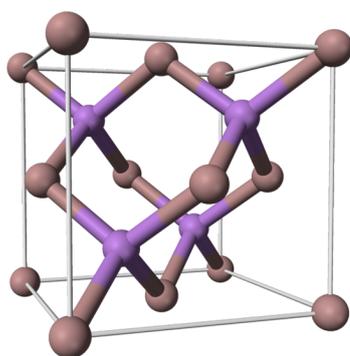


Figura 1.2: *Struttura chimica Arсениuro di Gallio*

1.2.1 Caratteristiche chimiche del materiale

Nella seguente tabella sono elencate tutte le caratteristiche e proprietà chimiche dell'Arсениuro di Gallio.

Messe così molte delle sigle presenti nella tabella sono incomprensibili; cerchiamo di darne un significato.

Gli identificatori sono necessari per poter riconoscere quale materiale si sta utilizzando.

Le sigle usate sono:

- *Numero CAS*, identificativo numerico che individua in maniera univoca una sostanza chimica. Il Chemical Abstracts Service (CAS appunto), una divisione della American Chemical Society, assegna questi identificativi ad ogni sostanza chimica. Di suo, il numero non ha nessun significato chimico (viene dato in maniera progressiva ai vari materiali). Ci sono molti database disponibili in internet che a partire dal materiale chimico, danno il *Numero CAS*;

Identificatori	
Numero CAS	1303-00-0
PubChem	14770
Numero RTECS	LW8800000
Proprietà	
Formula Molecolare	GaAs
Massa Molare	144.645g/mol
Apparenza	Cristallo Grigio Cubico
Densità	5.316g/cm ³
Punto di Fusione	1238°C (1511 K)
Solubilità in acqua	< 0.1g/100mL (20°C)
Banda Proibita (Band Gap)	1.424eV (300 K)
Mobilità degli elettroni	8500cm ³ /(V · s) (300 K)
Conduttività Termica	0.55W/(cm · K) (300 K)
Indice di Rifrazione	3.0 - 5.0
Struttura	
Struttura cristallina	Zinc Blende
Gruppo Spaziale	$T_d^2 - F - 43m$
Coordinate Geometriche	Tetraedriche
Forma Molecolare	Lineare
Pericoli	
Classificazione Europea	Tossico (T) Pericoloso per l'ambiente (N)
Frasi-R	R23/25, R50/53
Frasi-S	S1/2, S20/21, S28, S45, S60, S61
NFPA 704	

Tabella 1.1: Caratteristiche e proprietà chimiche dell'Arseniuro di Gallio.

- *PubChem*, database di molecole chimiche, gestito dal centro nazionale per l'Informazione biotecnologica americano (NCBI), parte della biblioteca nazionale di medicina (NLM) dell'istituto nazionale della sanità americano (NIH). Come si può notare, il significato del *Numero CAS* e del *PubChem* sono simili. Infatti la società americana di chimica, ha chiesto al congresso degli Stati Uniti d'America di limitare l'utilizzo del PubChem, perché concorrerebbe con il loro *CAS*;
- *Numero RTECS*, identificatore anch'esso, ma relativo alla tossicità del materiale (dall'inglese Registry of Toxic Effects of Chemical Substances).

Le proprietà sono quei valori che rendono l'Arseniuro di Gallio diverso da altri materiali. I termini usati in questa parte di tabella sono conosciuti, ma ne farò comunque un veloce elenco:

- *Formula Molecolare* Indica di quali atomi è composto il materiale in questione e in che rapporto. GaAs sta ad indicare che in un rapporto 1:1 c'è un atomo di Gallio e uno di Arseniuro;
- *Massa Molare* indica il peso di una molecola di materiale;
- *Apparenza* Come si presenta all'occhio il materiale;
- *Densità*;
- *Punto di fusione*;
- *Solubilità in acqua*;
- *Banda proibita*, è quella che caratterizza ogni semiconduttore; è l'intervallo di energia interdetto agli elettroni.
- *Mobilità degli elettroni*, riguarda la velocità di deriva degli elettroni in relazione a un campo elettrico applicato al materiale, secondo la formula

$$V_d = \mu E$$

che sta ad indicare che la velocità di deriva è pari al prodotto tra la mobilità e il campo elettrico applicato;

- *Conduttività termica*, è il rapporto, in condizioni stazionarie, fra il flusso di calore e il gradiente di temperatura che provoca il passaggio del calore. In altri termini, la conducibilità termica è una misura dell'attitudine di una sostanza a trasmettere il calore e dipende solo dalla natura del materiale, non dalla sua forma. In formula:

$$k = \frac{Q_{rate} \cdot d}{S \cdot (T_2 - T_1)}$$

dove:

Q_{rate} è il tasso di trasferimento di calore;

d è la lunghezza della barra (ovvero la distanza tra i punti di temperature diverse);

S è l'area della sezione trasversale della barra;

T_1, T_2 temperature assunte dagli estremi della barra.

- *Indice di Rifrazione*, parametro macroscopico, solitamente indicato col simbolo n , che rappresenta il fattore numerico per cui la velocità di propagazione di una radiazione elettromagnetica viene rallentata, rispetto alla sua velocità nel vuoto, quando questa attraversa un materiale.

I parametri strutturali indicano come è fatto il materiale, e sono:

- *Struttura Cristallina*, indica come è strutturato internamente il materiale, cioè come sono posizionati gli atomi;
- *Gruppo Spaziale*, indica l'ordinamento spaziale degli oggetti tridimensionali. La sigla sta ad indicare a quale dei 230 gruppi il materiale appartiene;
- *Coordinate Geometriche*, indica come gli altri atomi si dispongono attorno all'atomo centrale.
- *Forma Molecolare*, ovvero come si dispongono gli atomi nel campo tridimensionale.

Come ogni materiale, ha un suo tasso di pericolosità, indicata dai seguenti simboli:

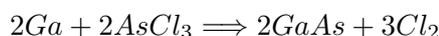
- *Classificazione Europea*, Indica come la Comunità Europea classifica la pericolosità dei composti;
- *Frase-R* (R-phrases), frasi convenzionali che descrivono i rischi per la salute umana, animale ed ambientale connessi alla manipolazione di sostanze chimiche. Nel caso dell'Arseniuro di Gallio abbiamo:
 - R23/25, tossico per inalazione e ingestione;
 - R50/53, altamente tossico per gli organismi acquatici, può provocare a lungo termine effetti negativi per l'ambiente acquatico.
- *Frase-S* (S-phrases), frasi convenzionali che descrivono i consigli di prudenza cui attenersi in caso di manipolazione di sostanze chimiche. Nel caso dell'Arseniuro di Gallio abbiamo:

- S1/2, tenere sotto chiave in recipiente ben chiuso;
 - S20/21, non mangiare, né bere, né fumare durante l'impiego;
 - S28, dopo contatto con la pelle, lavarsi immediatamente e abbondantemente con ... (prodotto adeguato specificato dal produttore);
 - S45, in caso d'infortunio o di malore, consultare immediatamente un medico (recare possibilmente con sé l'etichetta);
 - S60, questo materiale e/o il suo contenitore devono essere smaltiti come rifiuti pericolosi;
 - S61, non disperdere nell'ambiente. Riferirsi alle istruzioni speciali/schede informative in materia di sicurezza;
- *NFPA 704*, standard introdotto dalla National Fire Protection Association per identificare in modo rapido ed efficiente la pericolosità delle sostanze chimiche. Ogni zona ha un suo significato: La prima, di colore blu indica il livello di pericolo per la salute, quello rosso indica il rischio di infiammabilità e il giallo la reattività. Il quarto, che è bianco non è sempre presente perché contiene indicazioni su alcuni materiali particolari, indicandoli come comburenti, radioattivi, corrosivi o reattivi a contatto con l'acqua. Nel caso dell'Arseniuro di Gallio, abbiamo:
 - BLU = 3, l'esposizione a breve termine causa seri danni;
 - ROSSO = 1, Sostanze che hanno bisogno di essere riscaldate prima che s'incendino. Punto di infiammabilità superiore a 93 °C (200 °F);
 - GIALLO = 2, instabili, reazione violenta ad elevate temperature o pressioni, reagiscono violentemente con l'acqua o formano gas esplosivi a contatto con essa;
 - BIANCO = W, reagisce con l'acqua in modo pericoloso o violento.

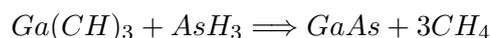
1.2.2 Processi di produzione dell'Arseniuro di Gallio

L'Arseniuro di Gallio può essere preparato con una reazione diretta dagli elementi che sono usati in molti processi industriali, ad esempio, usando la fornace nella tecnica Bridgman-Stockbarger, dove vapori di Gallio e Arsenico reagiscono, si depositano cristalli di GaAs alla fine del raffreddamento della fornace; oppure usando la tecnica di Czochralski (a liquido incapsulato, *Liquid encapsulated Czochralski* LEC vedi appendice) che produce cristalli ad altissima purezza, che mostrano caratteristiche da semi-isolanti. Esistono altri metodi per produrre l'Arseniuro di Gallio, come:

- Una reazione VPE (*Vapor Phase Epitaxial*)¹ di gas metallico di Gallio e tricloruro di Arsenico:



- una reazione MOCVD (*Metal Organic Chemical Vapor Deposition*, reazione a deposito di vapori chimici che usa come sorgenti materiali metal organici) di trimetilgallio e Arsenico:



L'ossidazione dell'Arseniuro di Gallio in aria degrada le performance del semiconduttore; la superficie può essere preservata depositando uno strato di Solfuro di Gallio, usando un composto solfuro di gallio terz-butile come (*tBuGaS*)₇.

1.3 Sviluppo attuale e prospettive di evoluzione

Già nel 1990 la maturità tecnologica del GaAs nella lavorazione dei circuiti integrati digitali, era equivalente a quella del silicio nel 1970. Tuttavia, i miglioramenti osservati con il GaAs sono tre volte di quelli avvenuti con il silicio negli anni tra il 1970 e il 1980. Il punto di svolta arrivò nel 1986 con lo sviluppo di un nuovo metodo di fabbricazione di circuiti integrati digitali a GaAs. Viene utilizzata la solita tecnica dei MESFET (Metal-Semiconductor Field Effect Transistor), tranne per il fatto che un metallo refrattario sostituisce l'oro nei Gate dei MESFET.

Questa innovazione non solo semplifica la produzione, ma permette inoltre l'utilizzo di una famiglia logica che bilancia l'alta velocità dell'Arseniuro di Gallio e il basso consumo. Il risultato è un alto rendimento e un costo relativamente basso per le necessità dei circuiti integrati ad altissima velocità.

Il mercato dei circuiti integrati cresce in maniera vertiginosa. Nel 1984, il mercato europeo dei circuiti integrati a GaAs era praticamente tutto analogico. Già nel 1989 questo mercato si vede diviso in due campi: l'analogico e il digitale (in piccola parte anche opto-elettronici). Nel 1994 un buon 60% era digitale, mentre il restante era diviso tra analogico e opto-elettronico. Lo stesso progresso sta accadendo ovunque, principalmente grazie alla produzione di ULSI.

¹Metodo di deposito di vapori chimici di crescita epitassiale di materiali, specialmente di semiconduttori dalla reazione di superficie di composti organici o metal-organici e metalli ibridi contenenti gli elementi chimici richiesti.

Attualmente il principale utilizzo dell'Arseniuro di Gallio è nelle celle solari, ma probabilmente questo materiale si svilupperà molto anche nell'ambito dell'elettronica digitale, date le sue proprietà chimiche, e sarà presente in grandi quantità in molti materiali elettronici, andando a supportare, o talvolta sostituire, l'uso del silicio.

Capitolo 2

Differenze con il Silicio

2.1 Introduzione al Silicio

Il silicio è il materiale semiconduttore più usato nell'elettronica. I motivi principali di questo enorme utilizzo stanno nella semplicità di purificazione, nella semplicità di creare singoli cristalli, ma anche nella semplicità della produzione di un ossido.

Come risultato molti strumenti sono stati creati in silicio per l'utilizzo in circuiti integrati; inizialmente la tecnologia maggiormente utilizzata era quella bipolare, poi venne quella dei MOS.

I circuiti integrati a MOS sono progrediti in maniera vertiginosa, soprattutto anche per l'enorme richiesta nelle applicazioni digitali. Grazie a questa evoluzione, è ora possibile creare circuiti integrati con più di 10^7 transistor per chip. Il vantaggio dell'aumento dell'integrazione si riflette in una riduzione nei costi, maggior velocità e minor consumo di potenza dei dispositivi, che sono inoltre estremamente piccoli e leggeri.

2.2 Limiti del Silicio nelle applicazioni ad alta velocità

Computer super veloci con un periodo di ciclo inferiore al nanosecondo, e sistemi di telecomunicazioni a multi-gigabit al secondo, sono la forza dietro lo sviluppo di circuiti ad alta velocità VLSI e ULSI. Lo scopo è aumentare il livello di integrazione e la velocità di questi circuiti per aumentare la velocità computazionale dei sistemi sopra menzionati.

I principali requisiti dei circuiti ad alta velocità ULSI sono: piccole dimensioni, alto rendimento, e, più importante di tutti, il basso consumo di energia dinamica.

Le origini dei primi due requisiti sono ovvi: un maggior numero di gate non possono essere piazzati su un chip di dimensioni ragionevoli se le dimensioni dei gate stessi non vengono rimpicciolite. Per esempio, se in un chip di 1cm^3 vi sono 100,000 transistor, la dimensione di ogni gate dovrà essere minore di $1000\mu\text{m}^2$.

L'energia dinamica di commutazione, o prodotto potenza-ritardo, $2P_d \times \tau_d$, è l'energia minima che un gate può dissipare durante un periodo di clock. La potenza dinamica dissipata per un chip con N_g gate con un clock di gate medio F_c è:

$$P_{(CHIP)} = 2P_d \times \tau_d \times N_g \times F_c$$

Questa relazione è messa in evidenza nel grafico seguente, per un ingresso tipico di $2W$.

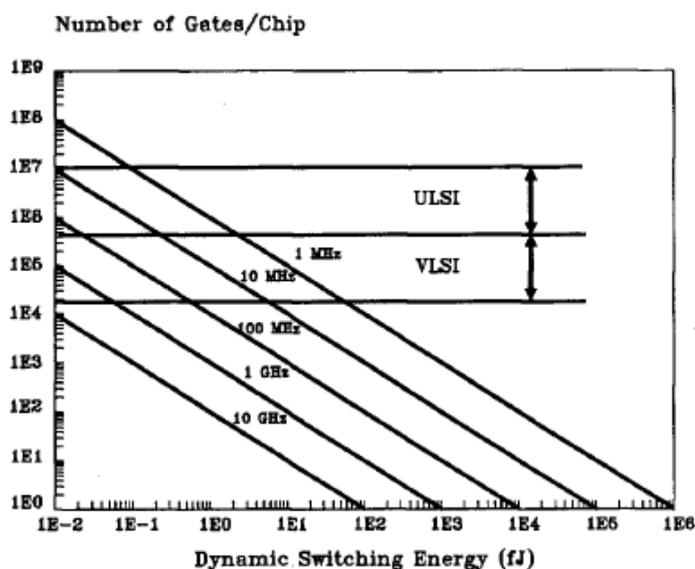


Figura 2.1: *Energia di Switching in funzione del numero di gate per chip per una potenza di $2W$.*

Il requisito di energia dinamica di commutazione per ULSI ad alta velocità è molto rigido. Anche permettendo che la dissipazione di energia possa essere non infima (anche $> 2W$), un'energia dinamica di commutazione almeno inferiore a $0,1\text{pJ}$ sembra essere necessaria per poter raggiungere alte velocità. Quindi, è molto importante valutare le tecnologie esistenti, e scegliere quella con il prodotto velocità-potenza, in modo da poter combinare un alto fattore di integrazione, un basso consumo di potenza dinamica e un ottimo funzionamento alle alte frequenze.

La tecnologia dei MOS è la più utilizzata per costruire i circuiti a tecnologia ULSI, e questa tendenza continuerà ad essere rispettata. Per ottenere un'alta velocità e un'alta densità di MOS, le geometrie del dispositivo devono essere continuamente scalate a grandezze sempre più piccole. Questo significa che bisogna investigare i limiti teorici e pratici della riduzione dei MOS, per poter trovare i limiti delle moderne tecnologie.

A $0.5\mu m$ e una tensione standard di $5V$, il ritardo è di circa $120pS$, con una potenza dissipata di $1.1mW$ (dati raccolti considerando un'inverter CMOS). Il prodotto velocità-potenza del gate è circa $0.1pJ$, rendendo possibile la produzione di circuiti integrati di media scala.

Con un fattore di scala inferiore, rendendo lo spessore di gate minore di $0.1\mu m$, con un tempo di ritardo di $100pS$, il prodotto velocità-potenza è di $0.02pJ$, dovrebbe essere teoricamente possibile creare dei circuiti integrati con questo fattore. Ma quando si diminuisce il fattore di scala fino a valori così piccoli, gli effetti del secondo ordine nelle caratteristiche del dispositivo non sono più trascurabili. Quindi il semplice *scalare* non è più applicabile su certi valori geometrici.

Per esempio, la propagazione dell'ossido di campo rende la lunghezza di canale effettiva inferiore rispetto alle caratteristiche di progetto, e degrada significativamente la corrente di drain. Inoltre, i portatori generati dall'alto campo elettrico attraverso il canale e la regione di pinch-off di drain, causa un'inaccettabile instabilità del dispositivo, a meno che anche la tensione di alimentazione sia ridotta con la riduzione della lunghezza di canale.

Diminuendo la tensione di alimentazione, si va incontro a una perdita di distinzione tra il valore logico basso e il valore logico alto. Per esempio, passando da una tecnologia a $2\mu m$ a una a $0.2\mu m$, richiederebbe che anche la tensione di alimentazione fosse diminuita da $5V$ a $0.5V$, con un conseguente margine di errore ridotto (e di molto) e un'alta sensibilità alle variazioni di tensione di alimentazione.

Un'altro problema riscontrato con la tecnologia CMOS è la suscettibilità del latch-up¹, che diventa un problema non da poco in geometrie sub-micrometriche.

Introdotta quindi il silicio, e visti i suoi limiti, andiamo a vedere quali sono i vantaggi e gli svantaggi che l'Arseniuro di Gallio ha nei confronti del Silicio.

2.3 Vantaggi e Svantaggi del GaAs

I vantaggi principali dell'Arseniuro di Gallio rispetto al silicio sono che ha più elevata mobilità e velocità di deriva dei portatori di carica (in particolare

¹Termine usato nel campo dei circuiti integrati, per indicare la creazione di un'inaspettata bassa impedenza tra l'alimentazione del circuito a MOSFET, generando alte correnti attraverso il transistor, portandolo anche alla rottura.

elettroni, da cui l'uso importante nei circuiti alle microonde) e permette la formazione di substrati semi-isolanti (il che significa capacità parassite ridotte, da cui discende la possibilità di usare circuiti integrati monolitici ad elevata velocità, $> 50GHz$). Se si considera l'andamento della velocità di deriva elettronica nel GaAs rispetto al Si, al variare del campo elettrico E applicato, si nota che nel caso del GaAs il portatore tende a raggiungere rapidamente una velocità massima di saturazione, seguendo una curva di variazione di tipo quasi lineare; in questa regione di linearità la velocità è data semplicemente da $v = \mu E$, ed è proporzionale al valore del campo E tramite la mobilità μ . Tuttavia, per valori crescenti di E , diventa sempre più sensibile l'influenza sul portatore dovuta all'azione frenante esercitata dal reticolo cristallino, per cui la proporzionalità tra v ed E non si conserva. Nella regione di linearità, la mobilità μ è funzione della temperatura e della concentrazione di impurità ed è circa 6 volte più grande di quella del silicio nelle stesse condizioni. Questo naturalmente giustifica l'uso di dispositivi a GaAs alle microonde (sono stati realizzati transistor ad effetto di campo in GaAs funzionanti ad oltre $100GHz$, mentre si sperimentano circuiti integrati alle microonde sempre più complessi).

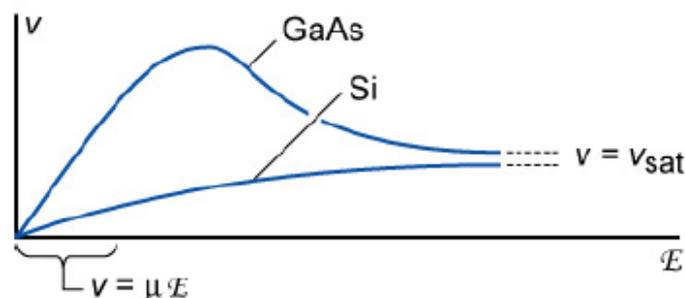


Figura 2.2: Andamento della velocità delle cariche in Silicio e Arseniuro di Gallio.

Un'altro grande vantaggio del GaAs rispetto al Si è appunto la possibilità di realizzare substrati semiisolanti. La resistività può variare da $10^{-6}Wcm$ a $10^{22}Wcm$ per materiali di volume (bulk). In particolare, per il silicio vale circa $100Wcm$, per i semiconduttori è compresa nella regione $10^{-2} \sim 10^9Wcm$, per il GaAs si hanno valori $> 10^8Wcm$ (materiale isolante).

Ancora, le barriere Schottky possono essere realizzate sull'Arсениuro di Gallio combinandolo con un'enorme varietà di materiali (es. Alluminio, Titanio, Platino), generando delle giunzioni Schottky con un eccellente fattore di idealità (n minore di 1.1) e una corrente inversa bassissima, $J_s < 1\mu A/cm^2$. L'Arсениuro di Gallio è anche più resistente alle radiazioni rispetto al Si-

licio (per questo viene spesso usato nelle applicazioni spaziali e militari), per l'assenza dell'ossido di gate, e può operare su un range di temperature maggiore ($-200^{\circ}C$ to $200^{\circ}C$) grazie alla sua band gap più ampia. Inoltre, si rompe più facilmente del Si, non ha un ossido nativo (come il SiO_2 per il Si). Un'ultimo grosso vantaggio, è la band gap diretta del GaAs, che permette un'efficiente ricombinazione di elettroni e lacune, nel senso che giunzioni pn di Arseniuro di Gallio possono essere usate come emettitori di luce.

Le alte performance del GaAs rispetto al Silicio, non dovrebbero essere studiate solotanto dal punto di vista di proprietà chimiche, ma anche in termini dei gate logici implementabili nelle attuali tecnologie di integrazione. La più importante caratteristica di confronto in circuiti ULSI ad alta velocità è l'energia dinamica di switching.

La figura seguente mostra l'energia di switching dinamica rispetto al tempo di propagazione per un MESFET (**Metal-Semiconductor Field Effect Transistor**, vedi capitolo 3) con $W = 10\mu m$ e $L = 1\mu m$ con una capacità di carico di $30fF$.

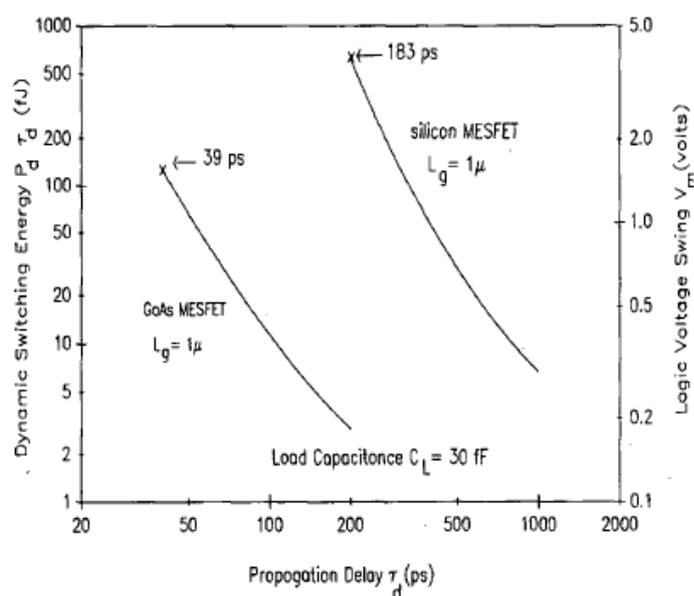


Figura 2.3: Performance di commutazione di MESFET in Silicio e Arseniuro di Gallio con una capacità di carico di $30fF$.

Si noti come la velocità di commutazione logica e il prodotto velocità-potenza del FET è drasticamente migliore usando il GaAs. Per una stessa tensione di alimentazione, un MESFET di GaAs ($L = 1\mu m$) ha una velocità di commutazione da 4 a 6 volte più alto rispetto a uno in Silicio. Per una tensione di $3.5V$, un MESFET in Silicio dovrebbe avere una velocità di commutazione

di circa $180pS$. Con le stesse caratteristiche fisiche, la stessa velocità in un MESFET in GaAs la si può ottenere con soli $300mV$ di alimentazione. Questa caratteristica ovviamente si riflette nell'energia dinamica di commutazione del gate. Per il MESFET in Arseniuro di Gallio, è di soli $3fJ$, mentre per quella in silicio è circa 150 volte più alta ($0,45pJ$) diminuendo il livello di integrazione.

Avendo discusso la potenziale superiorità del GaAs rispetto al Silicio in applicazioni logiche, dobbiamo anche considerare le performance dei circuiti integrati in GaAs con una complessità maggiore (ovvero generalizzare a molti i conti fatti per un singolo MESFET). Le prestazioni di potenza e velocità sono evidenti in ogni tecnologia, come anche le regole di progettazione. Per delle stesse dimensioni di dispositivo, gli IC in GaAs sono migliori sia in termini di potenza dissipata, che in termini tempo di propagazione. I risultati mostrano che la tecnologia degli IC in GaAs avrà un'impatto significativo nelle performance dei sistemi di elaborazione di segnali digitali.

Capitolo 3

La base dei circuiti ULSI in GaAs: MESFET

3.1 Introduzione

Un diverso numero di dispositivi sono stati sviluppati per il GaAs. Vengono suddivisi in due categorie: la *prima generazione* e la *seconda generazione*. I dispositivi di prima generazione sono i FET a depletion, a svuotamento (DFET); i FET ad arricchimento (EFET); FET ad arricchimento di giunzione (EJFET) e EJFET complementari (CE-JFET).

I dispositivi di seconda generazione comprendono i Transistor ad alta mobilità di elettroni (HEMT) e i transistor bipolari a eterogiunzione (HBT). I dispositivi di seconda generazione sono più veloci di quelli di prima generazione, dato che vengono sfruttate meglio le caratteristiche dell'Arseniuro di Gallio. Per esempio, la frequenza operativa di un DFET è $20 - 80GHz$, mentre per un HEMT può essere $70 - 100GHz$.

Ci sono molti altri dispositivi inventati nei laboratori di ricerca, che cercano di raggiungere i limiti delle performance del GaAs. Comunque, per i dispositivi ULSI ad alta velocità il fattore più importante, a parte l'alta frequenza operativa, è la maturità del processo. Al momento i MESFET di prima generazione sono quelli più ampiamente usati per le applicazioni nei dispositivi ULSI. Anche a livelli sub-micron possono ancora essere facilmente prodotti e fornire frequenze di lavoro elevate.

Quindi, in questa tesi, vedremo cos'è il MESFET. Nella prossima sezione vedremo la loro struttura e come si fabbricano.

3.2 Struttura MESFET in GaAs

La figura successiva è la struttura base di un MESFET in GaAs. Consiste in un substrato semi isolante drogato con cromo, dove sia il source, il drain e il canale sono creati con un impiantazione di drogaggio tipo n.

Il gate si forma quando un metallo come l'alluminio viene depositato sulla

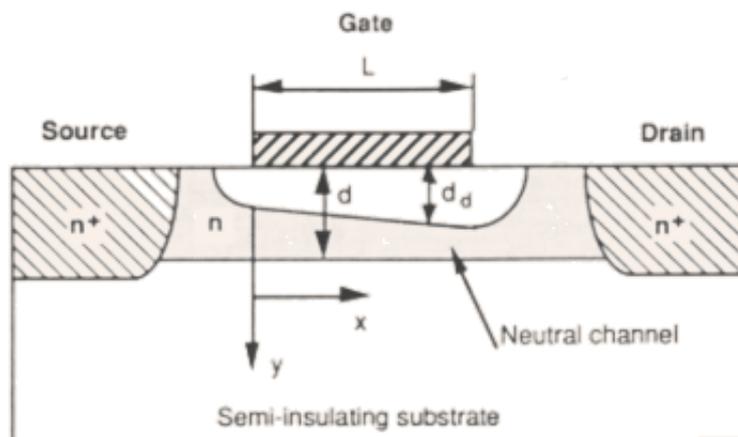


Figura 3.1: Sezione trasversale di un MESFET in GaAs.

superficie. La conduzione nel canale è confinata nella regione tra il depletion-edge del gate e il substrato, e può essere modulata dalla tensione di gate.

I MESFET in GaAs sono simili ai MOSFET in Silicio. La maggior differenza è la presenza di una giunzione Schottky nel canale di gate. Guardando inoltre in maniera dettagliata il funzionamento del FET in GaAs, la velocità degli elettroni satura per un campo elettrico dieci volte minore rispetto al Silicio. Così, la saturazione di corrente in drain, per un MESFET di GaAs avviene a causa della saturazione della velocità dei portatori, mentre nel Silicio è causato dal pinch-off.

La tensione di soglia dei MESFET in GaAs, può essere regolata variando lo spessore di canale e la concentrazione del drogaggio (le impurità impiantate). Un DFET normalmente aperto è caratterizzato dal suo canale densamente e altamente drogato, esibendo una tensione di soglia negativa. Riducendo lo spessore di canale, si può ottenere un EFET normalmente chiuso. Per un DFET lo spessore di canale è nel range di 1000/2000Å, mentre per un EFET varia in un range 500/1000Å.

Ci sono molti modi per fabbricare i MESFET, e ogni metodo può essere adattato a seconda dello scopo. Per circuiti ULSI ad alta velocità in GaAs, la tecnica più utilizzata è l'approccio ai processi planari e ad auto-allineamento

del gate.

3.3 Processo planare per MESFET a GaAs

In figura è presentato lo schema di produzione generale per un DFET in GaAs usando un processo planare. Si mostrerà ora i vari step per la produzione, trascurando le complicazioni della produzione simultanea di più componenti.

Inizialmente il substrato di GaAs è ricoperto con il primo livello di isolante, che è un leggero strato di Nitrato di Silicio (Si_3Ni_4) (Figura 3.2a). Questo strato di isolante rimane sul wafer per tutte le fasi che sono da seguire. Una fotoresistenza è quindi applicata e/o rimossa per definire un canale superficiale ad alta resistenza di tipo n^- . Il canale è creato impiantando direttamente ioni di Silicio attraverso lo strato di Nitrato di Silicio nel substrato di GaAs.

la figura 3.2b mostra la formazione del profondo e pesantemente drogato strato n^+ per le regioni di drain e source, dopo una seconda applicazione di fotoresistenza e il selettivo processo di rimozione. La resistenza di canale risultante è nel range dai 1000 e 2500 $\Omega/square$, che è troppo alta per i contatti di source e drain. Pertanto, la concentrazione in superficie degli n^+ è mantenuta relativamente alta per minimizzare la resistenza vista dai contatti metallici.

Nella fase successiva (figura 3.2c), il wafer è ricoperto con un materiale adatto come il diossido di Silicio (SiO_2) attraverso il deposito di vapori chimici. Questo strato di diossido di Silicio è particolarmente importante perché previene la diffusione all'esterno dell'Arseniuro di Gallio, dovuta all'alta pressione dei vapori associati con il GaAs quando è soggetto a temperature superiori ai 600°C, durante la fase chiamata di tempramento. La fase di tempramento è sviluppata in un ambiente di idrogeno per attivare elettricamente le regioni impiantate.

Le aree dei contatti di metal per il source e il drain sono formati usando un processo conosciuto come tecnica lift-off (fase di decollo, figura 3.2d).

Durante il processo di lift-off, il metallo depositato aderisce al materiale sottostante, dove non ci sono strati che ricoprono, mentre il rimanente metallo che si è andato a depositare sopra allo strato di copertura è rimosso quando lo strato viene ripulito. Questo permette un'ottima definizione dello strato di metal senza un processo di notch back. Il metallo utilizzato è una lega di Oro-Germanio-Nichel oppure Oro-Germanio-Platino.

Un punto importante da osservare è che la natura del substrato semi-isolante di GaAs non può essere usato da solo per fornire un buon isolamento tra

i dispositivi. Infatti, si usa impiantare ioni di H^+ nell'area di campo per ridurre l'effetto delle interazioni parassite tra i dispositivi vicini.

Uno dei passi più difficili nel processo di fabbricazione è la metallizzazione del gate. I gate Schottky insieme al primo livello di interconnessioni sono formati da un multi-strato di oro e un finissimo strato di metallo resistente come una lega di Titanio-Platino-Oro, depositato tramite evaporazione a fascio elettronico (figura 3.2e).

Il secondo e più alto strato di metal non è connesso con il substrato di GaAs, quindi, il Platino usato per prevenire le interazioni dell'Oro con la superficie di GaAs viene spesso eliminato in questa fase.

La fase finale del processo è la fase di passivazione che è usato per proteggerlo contro l'umidità e la contaminazione (figura 3.2f). Ciò comporta uno spesso strato di Nitrato di Silicio che viene depositato sulle metallizzazioni di gate, source e drain, usando plasma a bassa temperatura, rafforzando il processo di deposito dei vapori chimici.

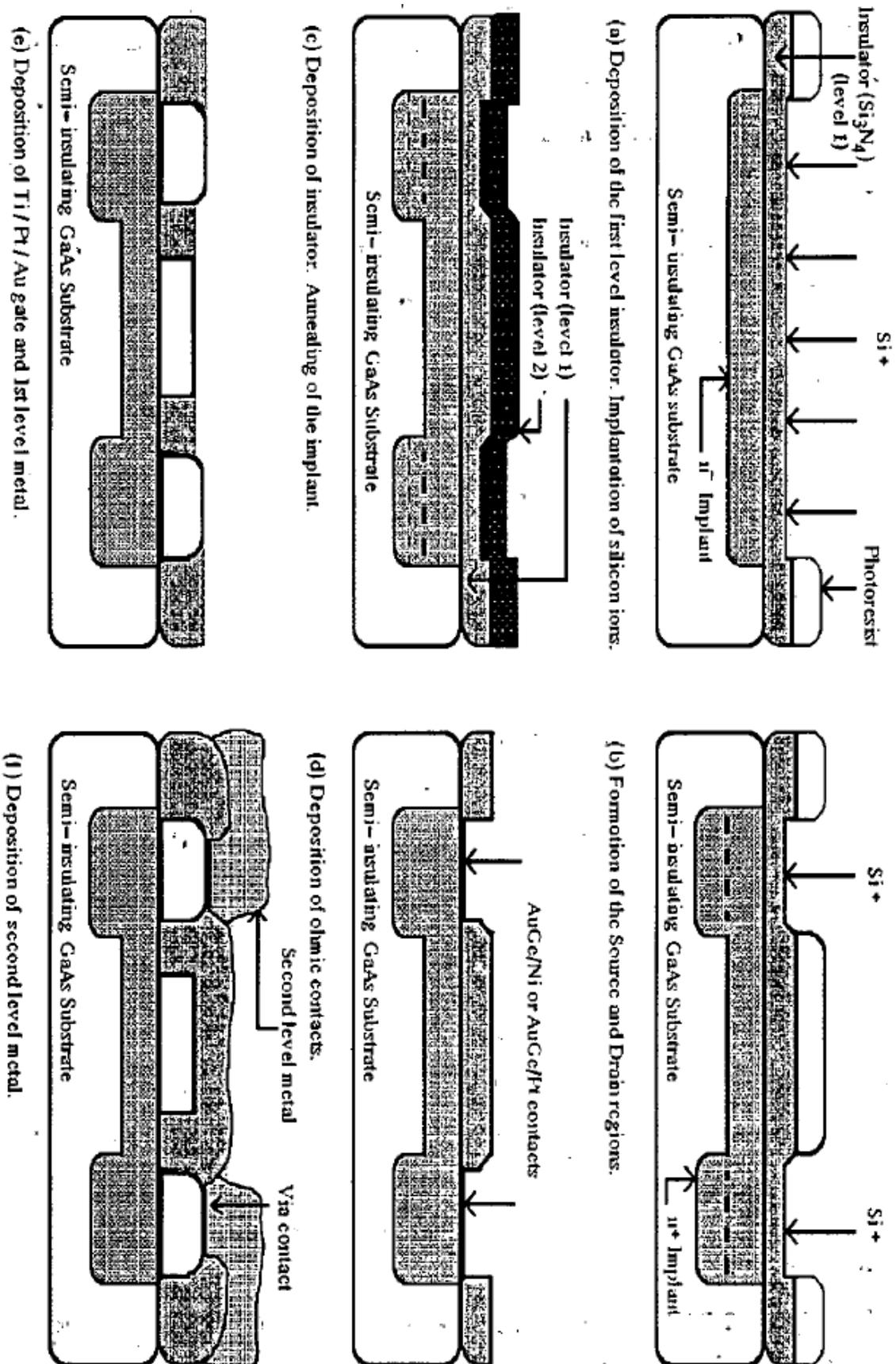


Figura 3.2: Processo di produzione planare di un MESFET in GaAs.

3.4 Processo ad auto-allineamento del gate

Con lo scopo di aumentare la tecnologia di fabbricazione, il metodo ad auto-allineamento del gate è stato preso dal processo per i NMOS in Silicio. In questo metodo, il gate Schottky è usato come maschera per creare le regioni di drain e source. Gli strati di drain e source di tipo n^+ sono incorporate vicino al gate. Pertanto la resistenza parassita del source del FET è ridotta e come conseguenza la transconduttanza del dispositivo è aumentata. Inoltre il processo offre una migliore uniformità della tensione di pinch-off, che è di cruciale importanza per la produzione di circuiti ULSI basati su MESFET normalmente spenti.

Vediamo i vari passi di produzione. Come per la tecnologia planare, il primo passo è la creazione del canale, tramite un drogaggio selettivo con ioni di Silicio nel substrato di GaAs (3.3a). Poi, un materiale stabile alle alte temperature, come il Nitrato di Tungsteno, è depositato sul substrato, e tramite un processo di incisione viene definita l'area di gate (3.3b). Il gate agisce come maschera per il passo successivo, che è la creazione di gate e source tramite un'elevato drogaggio con ioni (3.3c). Questo passo è seguito successivamente dalla copertura del substrato con uno strato di Diossido di Silicio, di modo che il dispositivo può essere temprato senza rischio di dispersione di Arsenico, a causa delle alte pressioni del vapore.

Molto importante è che in questa fase il materiale di cui è composto il gate riesca a resistere alle alte temperature (circa $800^\circ C$). Il Nitrato di Tungsteno è un'ottima scelta per lo scopo: ha una resistività tipica di $70\mu\Omega/cm$ e una tensione di soglia nella giunzione di $0.8V$ in un MESFET di GaAs di tipo n. La creazione del secondo strato di metal (e maggiori) è simile a quello del processo planare, descritto nella sezione precedente.

Dopo il tempramento (3.3d) la fase finale consiste nel deposito dei strati di metal di source e drain (3.3e). Come nel caso del processo planare, il metallo usato in questa fase è una lega di Oro-Germanio-Nickel oppure di Oro-Germanio-Platino.

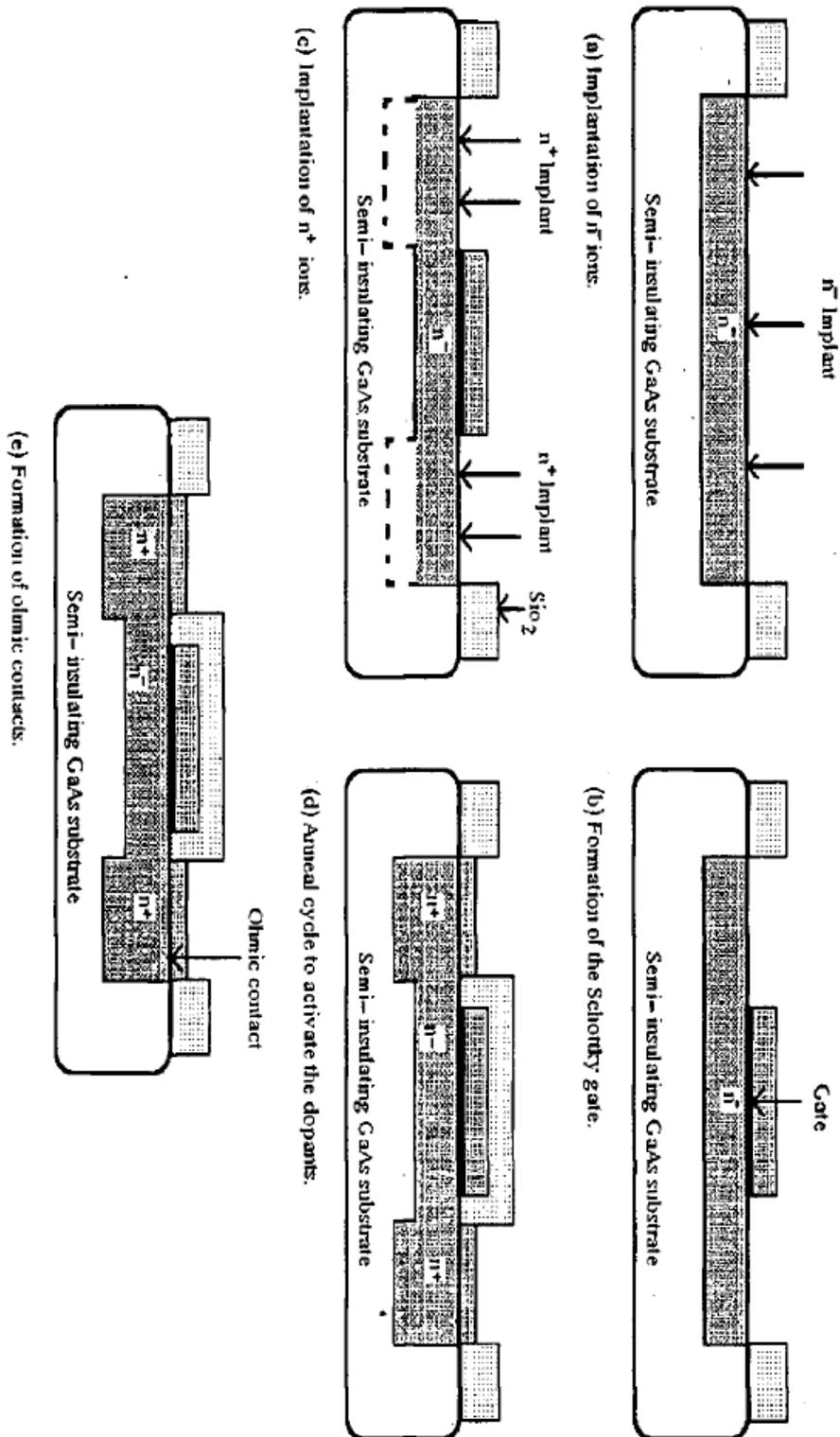


Figura 3.3: Processo di produzione ad auto allineamento del gate di un MESFET in GaAs.

3.5 Regole per la progettazione di MESFET in GaAs e rappresentazione degli strati

La tecnica che si sceglie di adottare per fabbricare i MOSFET non basta, ma bisogna anche tener conto delle regole di progettazione e di layout, che servono ad assicurare la realizzabilità dei circuiti con un rendimento e una dimensione ottimale. Di solito, vengono scelte per assicurare il miglior rapporto tra rendimento e prestazioni.

Le regole di layout servono per definire:

- la geometria delle caratteristiche che vengono utilizzate nelle maschere o nel processo litografico;
- l'iterazione tra due differenti strati.

Ci sono due principali approcci per rispettare queste regole: quelle che si basano sul parametro λ e quelle definite con il nome micro norme. Nelle prime, quelle rispetto al parametro λ , ogni dimensione è espressa come multiplo del parametro λ . Nelle micro norme invece, viene definita una lista di minime dimensioni, in accordo con le capacità della tecnologia in utilizzo e quale processo si sta utilizzando.

Data l'importanza di queste regole, nell'appendice si trova un riferimento a queste regole, in particolare a quelle proporzionali al parametro λ .

Capitolo 4

ULSI

4.1 Introduzione

ULSI è un'acronimo per *Ultra Large Scale Integration*, integrazione a enorme scala, che sta ad indicare una tecnologia per i circuiti integrati, dove, su un singolo circuito, sono presenti più di un milione di elementi. La linea di divisione tra ULSI e VLSI è molto vaga.

Fino ad ora abbiamo visto che cos'è l'Arseniuro di Gallio, i vantaggi che l'Arseniuro di Gallio ha nei confronti del Silicio, abbiamo inoltre visto come implementare un MESFET, ora dobbiamo studiarne il funzionamento.

4.2 Circuito equivalente MESFET

Come sappiamo, è sempre utile riuscire a ricavare un circuito equivalente del dispositivo, per riuscire a studiare facilmente il circuito, e poter fare delle simulazioni adatte. Il risultato delle simulazioni dipendono principalmente da due fattori:

- la precisione del modello
- la precisione dei parametri estratti per il modello

Il fattore di decisione nella scelta del modello deve saltar fuori dal confronto tra i risultati di simulazione e i dati misurati per fornire risultati affidabili.

Per la simulazione dei circuiti ULSI, un'altro fattore importante per scegliere un particolare modello è l'efficienza temporale della CPU. Chiaramente, non si possono utilizzare modelli troppo complessi per circuiti con milioni di MESFET. D'altra parte, la complessità stessa del circuito, tutte le possibili condizioni non possono essere descritte con semplici equazioni.

Il modello MESFET più utilizzato è quello basato sul modello JFET, che consiste di un parallelo tra un condensatore e un diodo tra gate-source

(C_{gs}, D_{gs}) e gate-drain (C_{gd}, D_{gd}) più un generatore di corrente controllato tra drain e source (I_{ds}). Bisogna aggiungere anche delle resistenze, per rendere meno approssimato il modello. Queste resistenze sono quelle da aggiungere in serie al drain (R_d) al source (R_s) e al gate (R_g), una resistenza drain-source (R_{ds}) e una capacità drain-source (C_{ds}). Il modello completo è mostrato in figura. Lo scopo del modello è trovare una formula per la

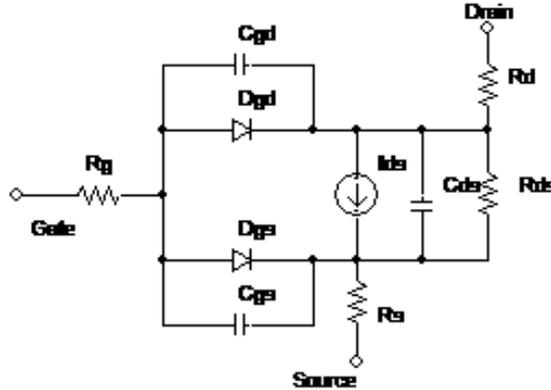


Figura 4.1: Circuito equivalente di un MESFET in GaAs.

corrente I_{ds} . La formula più semplice è data dal modello di Shichman e Hodges (basato sull'espressione quadratica del dispositivo a canale lungo), che è implementata in molte versioni di SPICE.

Questo modello però ha alcune inadeguatezze quando si modella un MESFET a canale corto (che è il caso della maggior parte di MESFET). Infatti:

1. La relazione quadratica tra I_{ds} e V_{gs} è spesso differente dall'effettivo comportamento del dispositivo;
2. La dipendenza lineare approssimata della conduttanza di uscita su I_{ds} è spesso non osservata (sono più spesso indipendenti);
3. La saturazione di I_{ds} è ipotizzata a $V_{ds} = V_{gs} - V_t$, ma in realtà gli attuali dispositivi mostrano una saturazione a una tensione inferiore a quella che suggerisce la formula.

Un modello semplice, ma molto accurato, che tiene conto di questi fattori, fu proposto da W.R. Curtice nel 1980, dove aggiunse la funzione $\tanh(x)$ nella formula. Questo permette di modellare la regione lineare e quella di saturazione con la stessa equazione (in questa tesi faremo sempre riferimento a questo modello).

La corrente di drain-source (I_{ds}), descritta dall'equazione di Curtice è la

seguinte:

$$I_{ds} = \beta \cdot (V_{gs} - V_t)^2 \cdot (1 + \lambda V_{ds}) \cdot \tanh(\alpha V_{ds})$$

dove β è il parametro di transconduttanza, V_{gs} è la tensione di gate-source, V_t è la tensione di soglia, λ è il parametro di modulazione di lunghezza di canale, V_{ds} è la tensione di drain-source mentre α è il moltiplicatore di tangente iperbolico per la tensione di drain.

Le caratteristiche in DC sono determinate dai parametri del modello V_t e β (che determinano la corrente di drain tramite la tensione di gate), da λ (che determina la conduttanza di uscita) e dalla corrente di saturazione delle due giunzioni di gate.

Le successive equazioni descrivono la tensione di soglia:

$$V_t = \phi_0 - V_{p0}$$

dove ϕ_0 è il potenziale intrinseco (tensione di built-in), V_{p0} è la tensione di pinch-off, che per un canale uniformemente drogato, sono date da:

$$V_{p0} = \frac{q \cdot N \cdot a^2}{2 \cdot \varepsilon}$$

$$\phi_0 = \frac{k \cdot T}{q} \ln\left(\frac{N_A \cdot N_D}{n_i^2}\right)$$

mentre il parametro di transconduttanza è dato da:

$$\beta = \left(\frac{\mu_n \cdot \varepsilon}{2 \cdot a}\right) \cdot \left(\frac{W}{L}\right)$$

dove N è la densità di drogaggio, q è la carica degli elettroni, a è la profondità di giunzione, ε è la permittività, μ_n è la mobilità degli elettroni, e i parametri W e L indicano la larghezza e la lunghezza del canale effettive.

L'accumulo di carica è modellizzato tramite delle capacità non lineari, definite dai parametri C_{gs} e C_{gd} . Sono date dalle equazioni:

$$C_{gs} = \frac{C_{g0}}{\sqrt{1 - \frac{V_{gs}}{\phi_0}}}$$

$$C_{gd} = \frac{C_{g0}}{\sqrt{1 - \frac{V_{gd}}{\phi_0}}}$$

dove V_{gs} e V_{gd} sono rispettivamente le tensioni di gate-source e gate-drain.

4.3 Effetti indesiderati da includere sul modello

Ci sono due principali problemi che devono essere modellati:

- *Effetti a tempo di transito*

Il tempo di transito è dovuto da un tempo finito di variazione di I_{ds} a causa di una variazione della tensione di gate. Questo è dovuto al fatto che il trasporto di carica avviene a una massima velocità di 10^7 cm/s (Per esempio, per una lunghezza di canale di $1 \mu\text{m}$, che nel suo piccolo, è un'enormità, il ritardo è di 10 pS). Questo ritardo è molto importante nel calcolo del ritardo totale di circuiti in GaAs e può essere incluso nel modello sostituendo $V_{gs}(t) = V_{gs}(t - \tau)$, dove τ è il tempo di ritardo

- *Effetti di dispersione*

Ci sono molti effetti indesiderati che avvengono nei MESFET in GaAs che potrebbero incidere in maniera significativa nel funzionamento globale del circuito. Uno dei principali effetti è la dispersione di transconduttanza che è dovuto alla non-idealità del sub-strato e della superficie semi-isolante. Le conseguenze di questo effetto sono una conduttanza di uscita maggiore per segnali ad alta frequenza.

Una delle maniere più semplici per includere questi effetti sul modello è quella di aumentare semplicemente il valore di λ nel modello di Cur-tice da quello estratto per basse frequenze a quello per alte frequenze. Nonostante questo modello trascuri l'effetto di overshoot e di sfasamento, è più che sufficiente per l'argomentazioni prese in considerazione in questa tesi.

4.4 Interconnessioni

La velocità di commutazione di circuiti con MESFET dipende sia dai dispositivi, ma anche dalle linee di interconnessione. La propagazione del segnale lungo le linee di interconnessione dipende da vari fattori, tra i quali la resistenza di linea distribuita, la capacità e l'induttanza, l'impedenza del source di guida e il cross-talk tra le linee (interferenza elettromagnetica).

L'interconnessione per circuiti digitali in GaAs può essere trattata come semplicemente capacitiva, a condizione che l'effettiva resistenza di ON del gate principale sia almeno di due ordini di grandezza maggiore rispetto a quella di linea.

La capacità di linea può essere calcolata tramite il modello a strati paralleli, ma questo semplice modello non tiene conto dell'effetto di cross-talk, che può degradare la velocità dei circuiti ULSI a GaAs. Ci sono molti metodi per diminuire l'effetto di cross-talk; per esempio, mettere un fino strato tra le linee e il substrato di GaAs con una costante dielettrica molto bassa,

riducendo di circa 13% l'effetto di cross-talk.

Per riuscire a prevedere con esattezza le performance del circuito, è necessario includere anche l'effetto di accoppiamento nelle simulazioni a computer. Un metodo efficace per comprendere questo effetto è utilizzare la funzione di Green. Questo metodo fornisce un accurato valore per le capacità sia del dispositivo sia per le linee.

Comunque, man mano che il numero di conduttori aumenta, la dimensione della matrice di capacità continua ad aumentare, ma nelle simulazioni il tempo della CPU è insufficiente per calcolare la capacità totale. Spesso allora si cerca di ipotizzare il valore.

Spesso i dati calcolati vengono forniti con un'ampio campo di variabilità, a causa della variabilità dei parametri del circuito. Comunque, gli approcci di design proposti mostrano una buona tolleranza al processo di diffusione.

4.5 Porte Logiche

Due sono gli approcci principali per progettare porte logiche con MESFET. Sono categorizzati come porte logiche normalmente ON, e porte logiche normalmente OFF.

Le porte logiche normalmente ON sono composte da DFET ed erano la prima generazione di dispositivi sviluppati per circuiti digitali in GaAs. La ragione principale dello sviluppo di questa classe di circuiti logici, era la maturità del DFET. Successivamente, quando il rendimento e la stabilità della tensione di soglia dei EFET fu migliorata, vennero implementate le porte logiche normalmente OFF. Sono composti di entrambi i tipi di dispositivi (sia DFET che EFET) e posseggono delle caratteristiche essenziali per lo sviluppo di circuiti ULSI in GaAs (piccola area, bassa dissipazione..).

Capitolo 5

Celle Solari in GaAs

5.1 Introduzione

Nonostante le celle solari in Arseniuro di Gallio non hanno molto a che fare con i circuiti ULSI, trovo giusto spendere almeno un breve capitolo per introdurre l'applicazione di maggior rilievo del GaAs: le celle solari.

La cella solare è un dispositivo a semiconduttore in cui una giunzione converte direttamente energia solare incidente (P_{in}) in energia elettrica utilizzabile (P_{out}). L'efficienza di conversione è quindi:

$$\eta = \frac{P_{out}}{P_{in}}$$

Viene sfruttato l'effetto fotoelettrico, ossia ogni fotone incidente con energia $h\nu$ superiore al gap del semiconduttore, genera una coppia di portatori elettroni-lacuna. *Non tutti i fotoni vengono convertiti!* Questo implica che l'efficienza di una cella sarà limitata da questo fattore. Prendiamo la potenza di uscita: essendo una potenza elettrica, essa sarà data da una tensione moltiplicata una corrente; nel nostro caso prendiamo i valori massimi, definiti come I_m e V_m (nel grafico è visualizzato l'andamento della corrente in funzione della tensione).

Abbiamo quindi che

$$P_{out} = V_m \cdot I_m$$

La potenza d'uscita invece sarà semplicemente la potenza della radiazione solare, moltiplicata per l'area in cui essa incide:

$$P_{in} = P_{sole} \cdot Area$$

ottenendo

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_m \cdot I_m}{P_{sole} \cdot Area}$$

In ogni semiconduttore è possibile attivare l'effetto fotoelettrico, ma l'utilizzo è ovviamente limitato dall'efficienza. Come si può vedere nella tabella

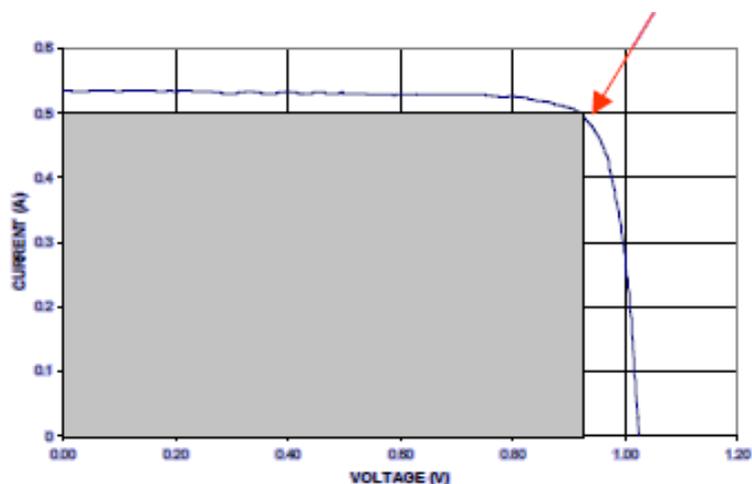


Figura 5.1: Corrente di uscita di una cella solare in funzione della tensione. La freccia rossa indica il punto in cui entrambe sono massime.

successiva, l'utilizzo è limitato a semiconduttori già noti nel mondo dell'elettronica.

Applicazione terrestre	Tipologia	Efficienza AM1.5
Silicio cristallino e policristallino	Pannelli Piani	12 ~ 14%
Film sottile: CIS, CdTe, Si amorfo	Pannelli Piani	8 ~ 14%
GaAs (non ancora industriale)	Concentratori	35%
Applicazione spaziale	Tipologia	Efficienza AM1.5
Silicio monocristallino	Pannelli Piani	14 ~ 16%
GaAs	Pannelli Piani	19 ~ 27%

Tabella 5.1: Materiali usati per celle solari.

5.2 Celle solari spaziali: il vantaggio del GaAs

Nello spazio, le condizioni ambientali sono molto dure: ci sono radiazioni di elettroni e protoni, tempeste solari periodiche, elevate escursioni termiche

(da $-100^{\circ}C$ a $+100^{\circ}C$) dovute alle eclissi e ci sono detriti spaziali. Inoltre bisogna tener conto dell'obbiettivo della missione spaziale: più ci si avvicina al sole, più aumenta la temperatura e la costante solare, mentre più ci si allontana, più essa diminuisce. Il GaAs è uno dei semiconduttori che meglio converte la radiazione dello spettro in energia elettrica: tutta la radiazione viene assorbita in pochi micron sotto la superficie. Rispetto al silicio, le celle in GaAs sono:

- più efficienti (27% contro 15%)
- più resistenti alle radiazioni
- degradano meno alle temperature a cui operano i pannelli nello spazio

Le celle in Arseniuro di Gallio costano da 3 a 5 volte quelle in silicio, e pesano il doppio. Questi svantaggi però sono pienamente compensati da una durata maggiore, una minor area necessaria ai pannelli, maggi rapporto W/m^2 e W/Kg , riduzione dei costi di lancio, minor carburante necessario al controllo di assetto. Oggi, circa il 70% dei satelliti commerciali utilizza pannelli in GaAs, nonostante sia un settore molto conservatore: questa tecnologia si è affermata negli ultimi dieci anni, con gli USA all'avanguardia nel campo. Le celle in GaAs sono ottenute depositando i vari strati fisicamente per epitassia, mentre nel silicio la giunzione si ottiene per diffusione dei droganti. Esistono due tipi di celle solari a GaAs per applicazioni spaziali: le celle a singola giunzione caratterizzate da un'efficienza del 19 ~ 20% e le celle a tripla giunzione con un'efficienza del 24 ~ 28%.

Se i costi di produzione delle celle in Arseniuro di Gallio diminuirebbero in modo tale da divenire umani (nel senso che anche una famiglia possa utilizzare questa tecnologia) e si riuscisse a diminuire la potenziale pericolosità del GaAs, allora probabilmente ci sarebbe un boom anche nelle applicazioni terrestri, perché, come abbiamo visto, l'efficienza è maggiore, quindi anche il periodo di ammortamento dei costi sarà minore, portando energia pulita nelle case.

Capitolo 6

Conclusioni

Possiamo concludere la tesi dicendo che l'Arseniuro di Gallio è un materiale dalle enormi potenzialità. Ha un campo di applicazioni molto vasto, lo stesso del silicio, con prestazioni in alcuni campi molto migliori. Ma la sua pericolosità e l'alto prezzo di produzione (il costo di produzione del silicio è molto inferiore) non lo rendono ancora la scelta migliore.

Secondo me si arriverà un giorno in cui l'Arseniuro di Gallio sarà molto utilizzato in alcuni campi, in altri campi sarà comunque a sostegno del silicio, ma in altri campi il silicio resterà unico semiconduttore indiscusso.

Ho scelto di fare questa tesi quando un giorno, camminando per i corridoi dell'istituto del DEI, trovai attaccato alle bacheche un documento che parlava dell'Arseniuro di Gallio. Incuriosito da come ne parlavano, andai a fare una ricerca sull'argomento scoprendo cose interessanti, e mi affascinaì al contenuto di tale ricerca. Decisi subito che quello sarebbe stato l'argomento della mia tesi di laurea.

Appendice A

Liquid encapsulated Czochralski, LEC

I materiali di inizio (che siano pezzi policristallini pre-sintetizzati, o, come nel caso in questione, nel GaAs semi-isolante, elementi di Gallio e di Arsenio) sono posti nel crucible (che letteralmente vuol dire crogiolo) con una pallina di Triossido di Boro. Il crucible è posto all'interno di un'estrattore di cristallo ad alta pressione e scaldato.

A 460°C il Triossido di Boro fonde, formando un liquido denso e viscoso che ricopre l'intera area, crucible compreso (da qui, liquido incapsulato). Questo strato di Triossido di Boro, in combinazione con la pressione nell'estrattore del cristallo, impedisce la sublimazione dell'elemento del V gruppo.

La temperatura viene fatta crescere fino a che il composto in questione sintetizza (la temperatura finale e la pressione variano a seconda di quale composto si vuole produrre). Viene quindi introdotto nella fusione, attraverso lo strato di Triossido di Boro, un punto dove il cristallo che si vuole creare può crescere (chiamato crystal seed). Questo seed viene fatto ruotare e piano viene tolto, ottenendo un cristallo, appunto, attaccato al seed.

La crescita del cristallo è monitorata con una camera di tipo CCTV (Closed Circuit Television, camera a circuito chiuso) e la misura di peso, pressione e temperatura sono fatte ad intervalli regolari.

In figura, un'immagine che cerca di spiegare meglio questo processo.

Czochralski Crystal Growth System

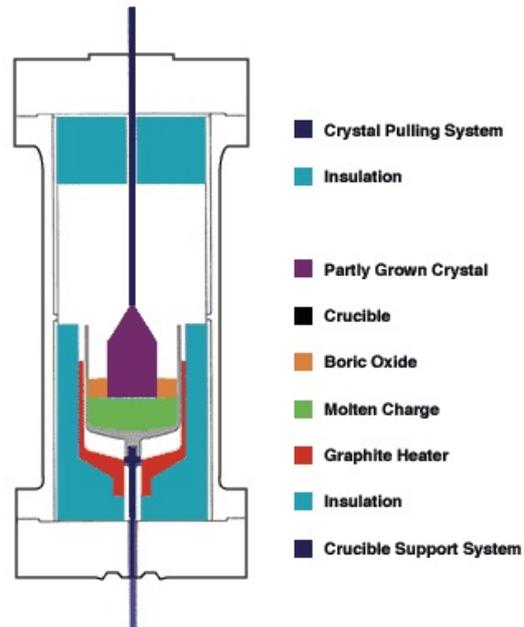


Figura A.1: Camera del processo Liquid encapsulated Czochralski, LEC.

Appendice B

Regole di layout

Quando si parla di regole di layout basate sul parametro λ , ci possono essere più di una versione. Le regole di layout cambiano con il progredire della tecnologia, e l'adattamento tra le regole basate sul λ e le micro-rules può migliorare o peggiorare, e questo va a influenzare direttamente il fattore di scala realizzabile. Quando le tecnologie diventano molto complesse, è indispensabile che il progettista possa comprendere tutte le difficoltà e i problemi dei processi di fabbricazione interpretando le relazioni tra le varie maschere. Allo scopo di facilitare e ottimizzare l'intero cammino che va dalla progettazione alla fabbricazione del circuito, viene definito un insieme di regole che permettono di semplificare la traduzione del circuito in una serie di geometrie da trasferire nel silicio e che rappresentano l'interfaccia tra il progettista e il costruttore.

Da un lato i progettisti desiderano circuiti piccoli, con elevate prestazioni e alta densità di integrazione. Dall'altro lato, chi ha la responsabilità del processo di fabbricazione desidera un'elevata resa e riproducibilità del prodotto finale.

Le regole di layout forniscono quelle linee guida per disegnare le varie maschere necessarie a definire le strutture geometriche da trasferire nel semiconduttore e consistono essenzialmente in un'insieme di limiti e vincoli sulle dimensioni e le distanze reciproche tra le strutture appartenenti alla stessa maschera o a maschere diverse.

L'unità di misura fondamentale nella definizione di questo insieme di regole è detta *dimensione minima* e rappresenta la struttura più piccola che può essere correttamente trasferita al semiconduttore. Questo parametro dipende dalla risoluzione del processo litografico, tipicamente basato su litografia ottica o a raggi UV. tecniche più avanzate (come la litografia a fascio di elettroni o a raggi X o EUV) permettono risoluzioni migliori, ma a costi molto più elevati.

Le regole di layout differiscono da costruttore a costruttore e da progetto a progetto, e ciò rende complicato e dispendioso trasferire un progetto es-

istente da un processo a un'altro. Un possibile rimedio è l'utilizzo di tecniche di progettazione al calcolatore (CAD), che permettono la portabilità tra due processi compatibili.

Un'altro possibile approccio è adottare delle regole di layout scalabili. Questo secondo approccio definisce tutte le regole in funzione di un parametro globale, convenzionalmente indicato con λ . Limiti e regole sono forniti sulla base di compatibilità per un'ampia gamma di processi industriali e sono espressi in termini funzionali di λ . Il riscaldamento delle dimensioni minime da una tecnologia alla successiva è ottenuta semplicemente modificando il valore di λ . Noti i limiti di un certo processo, a λ viene assegnato un certo valore, e conseguentemente tutte le dimensioni geometriche possono essere convertite in valori assoluti (convenzionalmente la minima dimensione realizzabile è fissata a 2λ : per esempio, in un processo da $0.25\mu m$, λ è ugual a $0.125\mu m$). Tale approccio ha due svantaggi principali:

1. *il riscaldamento lineare è possibile solo per piccole variazioni di dimensioni.* Quando l'escursione è maggiore, le relazioni reciproche tra le diverse maschere cominciano a variare in modo non lineare e non possono essere descritte adeguatamente dalle stesse relazioni funzionali;
2. *Le regole di riscaldamento sono conservative:* esse rappresentano un compromesso valido per diverse tecnologie e quindi devono tener conto del più restrittivo dei vincoli imposti dalle varie tecnologie. Ciò comporta spesso un sovradimensionamento delle strutture e quindi una densità di integrazione inferiore.

Per questi e altri motivi, le industrie non fanno uso di regole di layout scalabili¹. Poiché la densità di integrazione è uno degli obiettivi primari nella progettazione di un circuito integrato, la maggior parte delle industrie nel mondo dei semiconduttori tende a usare regole di layout fisse (*micron rules*), che esprimono le relazioni tra maschere in dimensioni assolute ottimizzando al meglio le caratteristiche di un dato processo. La scalabilità e la portabilità di un progetto tra diverse tecnologie è molto più complessa e deve essere fatta o manualmente o tramite strumenti CAD avanzati.

¹Sebbene non molto accurate, attualmente le regole di layout scalabili sono ancora usate per valutare l'effetto dell'evoluzione tecnologica e la miniaturizzazione dei dispositivi sull'area richiesta per un dato circuito.

Bibliografia

- [1] Jan M. Rabaey, Anantha Chandrakasan, Bora Nikolic. *Circuiti Integrati Digitali: L'ottica del progettista, Seconda Edizione*. Pearson Education Italia S.r.l., 2005.
- [2] E. Bushehri. *Critical design issue for Gallium Arsenide VLSI Circuit*. Middlesex University, 1992.
- [3] Vittorio Passaro. *Tecnologie e materiali per l'elettronica*. Università di Bari, 2002.
- [4] *GaAs MESFET Transistor*. Mimix Broadband, 2008.
- [5] Carlo Flores. *Le celle solari ad Arseniuro di Gallio per applicazioni spaziali*. CESI AEI Giornata di studio. 2/12/2004.
- [6] *Gallium Arsenide*. Wikipedia, the free encyclopedia.
- [7] *MESFET*. Wikipedia, the free encyclopedia.
- [8] *COMPOUND SEMICONDUCTOR FIELD-EFFECT TRANSISTORS(MESFETs)*.