

UNIVERSITÀ DEGLI STUDI DI PADOVA

DIPARTIMENTO DI INGEGNERIA DELL'INFORMAZIONE (DEI)

LAUREA MAGISTRALE IN INGEGNERIA ELETTRONICA

Progettazione in tecnologia CMOS integrata di un convertitore DC-DC ibrido per energy harvesting

Laureando:
Alberto GATTI

Relatore:
Prof. Andrea GEROSA

26 Febbraio 2018

Anno accademico 2017/2018

Alla mia famiglia, che mi ha sempre sostenuto.

Qualunque tecnologia sufficientemente avanzata è indistinguibile dalla magia.

(Arthur C. Clarke)

Sommario

Questa tesi descrive la progettazione e simulazione in tecnologia CMOS a 130 nm (nell'ambiente *Cadence Virtuoso*) di un convertitore DC-DC per energy harvesting. Il capitolo 1 introduce l'ambito in cui si inserisce il progetto e fornisce una breve descrizione di un sistema per l'energy harvesting. Nel capitolo 2 vengono presentate le principali famiglie di convertitori DC-DC. Il capitolo 3 analizza il convertitore proposto e il dimensionamento dei componenti. Il capitolo 4 tratta la progettazione del sistema di controllo. Il capitolo 5, infine, presenta i risultati di simulazione più rilevanti.

Indice

1	Introduzione	1
2	Convertitori DC-DC	3
2.1	Convertitori lineari	3
2.2	Convertitori a commutazione	5
2.2.1	Convertitore Boost	5
2.2.2	Convertitore Boost con perdite resistive	10
2.3	Convertitori a capacità commutate	12
2.3.1	Convertitore Dickson	13
2.3.2	Modello di un generico convertitore SC	14
2.3.3	Slow-switching limit (SSL)	15
2.3.4	Fast-switching limit (FSL)	16
2.3.5	Resistenza di uscita e regolazione della tensione	17
3	Convertitore DC-DC proposto	19
3.1	Funzionamento per tensioni di ingresso positive	20
3.2	Funzionamento per tensioni di ingresso negative	22
3.3	Guadagno di tensione e uso per energy harvesting	25
3.4	Realizzazione degli interruttori	26
3.4.1	Interruttore di ingresso	30
3.5	Caratterizzazione del transistor MOSFET come interruttore	35
3.5.1	Resistenza serie	36
3.5.2	Capacità equivalente di gate	42
3.6	Buffer CMOS	46
3.6.1	Implementazione del buffer	48
3.6.2	Stima del consumo di potenza	50
3.7	Dimensionamento degli interruttori e dei driver	51
3.7.1	Dimensionamento dei buffer CMOS	58
3.7.2	Stima dell'efficienza	59
3.8	Dimensionamento dei componenti reattivi	63
3.8.1	Dimensionamento del condensatore <i>floating</i>	63
3.8.2	Dimensionamento del condensatore di uscita	66

3.8.3	Dimensionamento dell'induttore	66
4	Circuiti di controllo	67
4.1	Modulatore PWM	68
4.1.1	Generatore di rampa	69
4.1.2	Generazione del segnale di reset	74
4.1.3	Comparatore	77
4.2	Gestione degli interruttori	81
4.2.1	Multiplexer	82
4.2.2	Rilevazione della polarità dell'ingresso	82
4.3	Controllo in retroazione	84
4.3.1	Modello del modulatore PWM	85
4.3.2	Modello del convertitore	86
4.3.3	Guadagno di tensione con perdite resistive	93
4.3.4	Guadagno d'anello	94
4.3.5	Controllore	96
5	Simulazioni e risultati	103
5.1	Forme d'onda	103
5.1.1	Ripple della tensione di uscita	105
5.1.2	Corrente del condensatore floating	106
5.1.3	Corrente dell'induttore	107
5.1.4	Segnali di gate dell'interruttore di ingresso	108
5.1.5	Controllo del bulk	109
5.2	Efficienza	110
6	Conclusioni e sviluppi futuri	113

Elenco delle figure

1.1	Schema di un sistema di energy harvesting	1
2.1	Schema di un regolatore lineare (LDO)	3
2.2	Efficienza di un regolatore lineare	4
2.3	Schema del convertitore Boost	5
2.4	Segnale di controllo per il convertitore Boost	6
2.5	Ripple di tensione del convertitore Boost (andamento qualitativo) . . .	7
2.6	Andamenti di tensione e corrente dell'induttore nel convertitore Boost	8
2.7	Guadagno di tensione del convertitore Boost in funzione del duty cycle	9
2.8	Convertitore Boost con perdite resistive	10
2.9	Guadagno di tensione del convertitore Boost con perdite resistive . . .	11
2.10	Efficienza del convertitore Boost con perdite resistive	12
2.11	Convertitore Dickson	13
2.12	Segnali di controllo del convertitore Dickson	14
2.13	Modello di un generico convertitore DC-DC	14
2.14	Andamento della resistenza di uscita e limiti asintotici per un conver- titore SC	17
3.1	Topologia proposta	19
3.2	Circuiti equivalenti che illustrano il funzionamento del convertitore ideale con tensioni di ingresso positive	21
3.3	Circuiti equivalenti che illustrano il funzionamento del convertitore ideale con tensioni di ingresso negative	23
3.4	Schema del convertitore ideale con interruttori al posto dei diodi . . .	25
3.5	Guadagno di tensione del convertitore ideale in funzione del duty cycle	26
3.6	Tensioni ai capi degli interruttori	27
3.7	Schema degli interruttori del convertitore	29
3.8	Realizzazione dell'interruttore di ingresso a quattro quadranti	29
3.9	Schema di principio per il pilotaggio dei MOSFET dell'interruttore di ingresso	30
3.10	Implementazione circuitale del driver per i transistor dell'interruttore di ingresso	31
3.11	Circuiti di controllo della tensione di bulk per (a) nMOS e (b) pMOS .	33

3.12	Schema circuitale di driver e controllo del bulk per l'nMOS dell'interruttore di ingresso	34
3.13	(a) Circuito equivalente per lo studio delle commutazioni del MOSFET connesso a un carico induttivo. (b) Andamenti semplificati di corrente e tensione ai capi del dispositivo nel transitorio di spegnimento.	35
3.14	Circuiti di test per le resistenze serie di (a) nMOS e (b) pMOS standard del processo	38
3.15	Circuito di test per gli interruttori di campionamento nel driver dell'interruttore di ingresso	39
3.16	Dati di simulazione e fitting per l'estrazione del parametro K_R di nMOS e pMOS standard del processo. (a) $ V_{GS} = 1.2$ V. (b) $ V_{GS} = 1.15$ V.	40
3.17	Dati di simulazione e fitting per l'estrazione del parametro K_R . (a) nMOS e pMOS standard del processo con $ V_{GS} = 0.6$ V. (b) Coppia nMOS/pMOS che compone l'interruttore di campionamento	41
3.18	Capacità legate al gate del transistor MOSFET	42
3.19	Circuiti di test per le capacità di gate di (a) nMOS e (b) pMOS standard del processo	44
3.20	Dati di simulazione e fitting per l'estrazione del parametro K_C . (a) nMOS e pMOS standard del processo (b) nMOS e pMOS a ossido spesso e bassa tensione di soglia	45
3.21	Realizzazione circuitale di un buffer CMOS	46
3.22	Caratteristica statica di un invertitore a dimensioni minime con $W_p = 4W_n$	49
3.23	Schema di un buffer CMOS collegato a una capacità di carico	50
3.24	Circuito di test per estrarre i parametri dell'invertitore CMOS	51
3.25	Circuiti equivalenti che evidenziano gli interruttori attivi nelle due fasi quando $V_G > 0$	53
3.26	Circuiti equivalenti che evidenziano gli interruttori attivi nelle due fasi quando $V_G < 0$	54
3.27	Transistor che realizzano gli interruttori di potenza	56
3.28	Circuito equivalente di bootstrap nel dominio di Laplace	57
3.29	Circuito equivalente in fase di campionamento della tensione di ingresso	57
3.30	Stima dell'efficienza per $f_{SW} = 1$ MHz al variare della conduttanza complessiva degli interruttori (G_{TOT})	60
3.31	Stima dell'efficienza per $f_{SW} = 10$ MHz al variare della conduttanza complessiva degli interruttori (G_{TOT})	61
3.32	Stima dell'efficienza per $f_{SW} = 1$ MHz al variare della conduttanza complessiva degli interruttori (G_{TOT}) con $P_0 = 60$ mW	62
3.33	Circuiti equivalenti per il calcolo della resistenza vista da C_1 nelle due fasi con $V_G > 0$	64
3.34	Circuiti equivalenti per il calcolo della resistenza vista da C_1 nelle due fasi con $V_G < 0$	64

3.35	Ripple della tensione v_1 con $C_1 = 4.7 \mu F$ e $D = 0.9$	65
4.1	Schema completo dei circuiti di controllo del convertitore	67
4.2	Schema del modulatore PWM	68
4.3	Modulazione PWM	68
4.4	Schema del generatore di rampa	69
4.5	Andamento della corrente di carica I_m nel generatore di rampa periodica	73
4.6	Andamento nel tempo della rampa di tensione periodica	74
4.7	Schema del generatore di impulso	74
4.8	Segnali del generatore di impulso	75
4.9	Schema circuitale (a) e simbolo (b) della porta NOR	76
4.10	Uscita del generatore di impulso	77
4.11	Schema del comparatore per il modulatore PWM	78
4.12	Generazione di un'onda quadra di duty cycle 0.5 e 0.9	80
4.13	Schema del banco di buffer CMOS	81
4.14	Schema del multiplexer	82
4.15	Schema del rilevatore della polarità dell'ingresso	83
4.16	Schema a blocchi dell'anello di controllo del duty cycle	85
4.17	Variazione del duty cycle rispetto alla variazione della tensione di controllo v_c	86
4.18	Circuiti equivalenti per tensioni di ingresso positive considerando le principali resistenze serie	89
4.19	Circuiti equivalenti per tensioni di ingresso negative considerando le principali resistenze serie	91
4.20	Confronto del guadagno del convertitore comprensivo di perdite con quello ideale e di un Boost con perdite analoghe	94
4.21	Diagramma di Bode del guadagno d'anello (non compensato) per $V_G = -160$ mV e $V_G = -600$ mV	95
4.22	Diagramma di Bode del guadagno d'anello (non compensato) per $V_G = 160$ mV e $V_G = 600$ mV	95
4.23	Schema del controllore G_C	97
4.24	Segnali di controllo per le capacità commutate	97
4.25	Simulazione PAC del guadagno d'anello (compensato) per $V_G = -160$ mV e $V_G = -600$ mV	101
4.26	Simulazione PAC del guadagno d'anello (compensato) per $V_G = 160$ mV e $V_G = 600$ mV	101
5.1	Transitori di avvio del convertitore per $V_G = -160$ mV e $V_G = 160$ mV .	104
5.2	Transitori di avvio del convertitore per $V_G = -600$ mV e $V_G = 600$ mV .	104
5.3	Ripple della tensione di uscita per $V_G = -160$ mV	105
5.4	Corrente su C_1 per $V_G = -160$ mV	106
5.5	Corrente dell'induttore per $V_G = 600$ mV	107

Elenco delle figure

5.6	Tensioni ai gate di M_3 e M_4 per $V_G = -600$ mV	108
5.7	Tensione al bulk di M_3 per $V_G = 600$ mV	109
5.8	Efficienza del convertitore per tensioni di ingresso positive	112
5.9	Efficienza del convertitore per tensioni di ingresso negative	112

Capitolo 1

Introduzione

Il consumo di potenza dei circuiti e dei sistemi microelettronici è in continua diminuzione, grazie allo sviluppo della tecnologia dei semiconduttori. Parallelamente, l'abilità di estrarre energia da sorgenti rinnovabili e non convenzionali sta aumentando, grazie alla ricerca nel campo dei materiali e allo sviluppo di sistemi sempre più avanzati. La tecnologia si è spinta a un punto tale da riuscire ad estrarre energia direttamente dall'ambiente circostante, per alimentare piccoli dispositivi elettronici come sensori e micro-controllori: questo processo è chiamato *energy harvesting* o *energy scavenging* (letteralmente, raccolta di energia).

Un *harvester* è un particolare dispositivo elettrico o elettro-meccanico in grado di convertire una forma di energia ambientale in una tensione, utilizzabile per alimentare un circuito. Questa tensione però può essere continua o alternata e assumere i valori più disparati (da poche centinaia di mV a qualche decina di volt). Per renderla utilizzabile dal sistema è necessario quindi un apposito circuito di condizionamento, che prelevi la tensione fornita dall'harvester e fornisca in uscita un'alimentazione stabile e adeguata alle specifiche del circuito utilizzatore. Questa classe di circuiti è quella dei convertitori di potenza, anche noti come convertitori DC-DC e convertitori AC-DC. Lo schema di principio di un tipico sistema alimentato tramite energy harvesting è mostrato in figura 1.1.

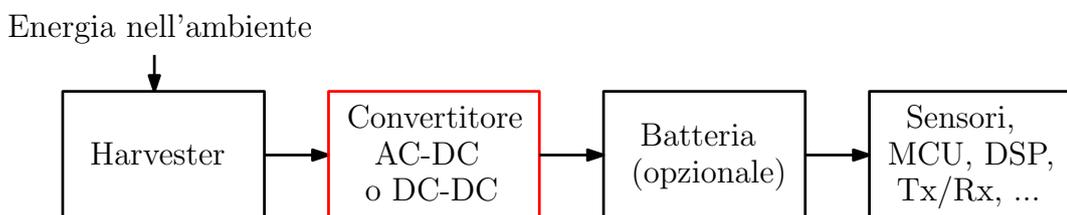


Figura 1.1: Schema di un sistema di energy harvesting

I sistemi di energy harvesting possono sostituire o affiancare le batterie nelle applicazioni tradizionali come i dispositivi mobili e le reti di sensori: anche nei casi in cui la

batteria non può essere eliminata completamente, comunque la sua durata nel tempo viene estesa, prolungandone così il ciclo vitale e riducendo i problemi connessi allo smaltimento.

Le applicazioni più interessanti dell'energy harvesting si trovano però in tutti quei casi in cui sostituire la batteria comporta delle difficoltà (si pensi ad esempio ai pacemaker) o rende il sistema troppo costoso da mantenere (ad esempio nel caso delle reti di sensori wireless). Un tipico esempio sono i sensori per il monitoraggio della pressione negli pneumatici delle auto (*Tire Pressure Monitoring System*, TPMS): l'energia per alimentare il sensore in questo caso viene ricavata dal movimento della ruota. [1] Un'altra applicazione interessante sono le reti di sensori per il monitoraggio degli impianti ferroviari, in cui la sorgente di energia sono le vibrazioni causate dal passaggio del treno. [2]

In ogni caso, è sempre necessario un blocco che processi la tensione generata dall'harvester e la converta in una forma utilizzabile dal circuito da esso alimentato. Il lavoro di tesi svolto si inserisce esattamente in questo contesto e consiste nel progetto in tecnologia CMOS integrata a 130 nm di un convertitore DC-DC per applicazioni di energy harvesting, in particolare per l'alimentazione di un piccolo sensore o circuito digitale a basso consumo di potenza (≈ 5 mW).

Dopo una breve introduzione alle principali tipologie di convertitori DC-DC (capitolo 2) sarà analizzata e dimensionata la topologia proposta (capitolo 3), che ha la particolarità di poter gestire tensioni *bipolari* in ingresso senza la necessità di un raddrizzatore. Nel capitolo 4 verrà progettato il sistema di controllo della tensione di uscita e nel capitolo 5 si vedranno le principali forme d'onda del convertitore e la sua efficienza.

Capitolo 2

Convertitori DC-DC

I convertitori DC-DC attualmente esistenti possono essere suddivisi in tre grandi famiglie: convertitori lineari, convertitori a commutazione (*switching*) e convertitori a capacità commutate (*switched-capacitors*, SC).

2.1 Convertitori lineari

I convertitori lineari, detti anche *regolatori LDO* (Linear-Drop-Out) si basano essenzialmente su un partitore resistivo regolato da un feedback negativo. La figura 2.1 mostra lo schema di base di un regolatore LDO.

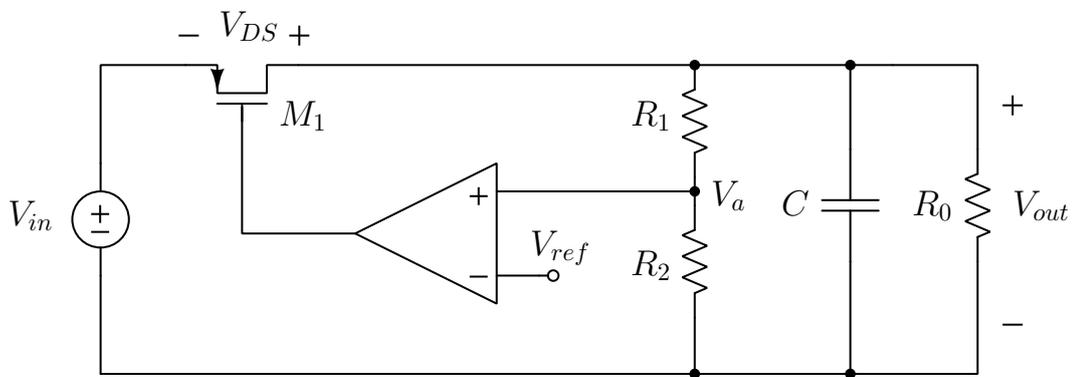


Figura 2.1: Schema di un regolatore lineare (LDO)

Il funzionamento è molto semplice. Il gate di un MOSFET (o il terminale di base di un BJT) viene collegato all'uscita di un amplificatore operazionale, i cui ingressi sono collegati a un riferimento di tensione V_{ref} e alla tensione V_a , che è proporzionale alla tensione di uscita. La retroazione fa in modo che la differenza tra il riferimento e V_a si annulli, regolando la tensione di comando del transistor affinché si abbia $V_a = V_{ref}$. Dato che il valore di V_a dipende da quello della tensione di uscita, in questo modo si ottiene la regolazione di V_{out} .

Si tratta di una soluzione semplice dal punto di vista circuitale e a basso rumore rispetto ai convertitori a commutazione, che tuttavia presenta anche diversi limiti.

Il primo riguarda le tensioni di uscita che si possono ottenere: deve infatti valere la relazione $V_{in} > V_{out}$. Il MOSFET M_1 , infatti, deve essere in saturazione (e comportarsi quindi da generatore di corrente controllato [3]) affinché il circuito funzioni correttamente. Trattandosi di un pMOS, si deve avere:

$$V_{DS} = V_{out} - V_{in} \geq V_{Dsat} < 0 \quad (2.1)$$

dove V_{Dsat} è la massima tensione V_{DS} per cui M_1 rimane in saturazione. Non è quindi possibile realizzare convertitori lineari di tipo *step-up*, cioè con $V_{out} > V_{in}$.

Il secondo limite riguarda l'efficienza. Se si trascura la corrente che scorre sul partitore resistivo, si può scrivere:

$$\begin{cases} P_{in} = V_{in} \cdot I_{in} = V_{in} \cdot I_{out} \\ P_{out} = V_{out} \cdot I_{out} \end{cases} \quad (2.2)$$

Definita l'efficienza η come il rapporto tra la potenza di uscita e quella di ingresso, si ha quindi:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}}{V_{in}} \quad (2.3)$$

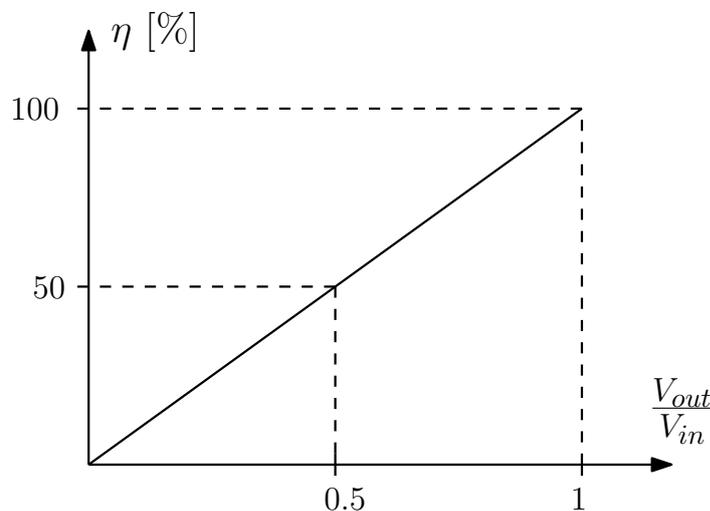


Figura 2.2: Efficienza di un regolatore lineare

L'efficienza di un convertitore lineare è quindi proporzionale al rapporto tra V_{out} e V_{in} , come mostra la figura 2.2. Questo chiaramente limita fortemente la versatilità dei regolatori LDO, che risultano efficienti solo per tensioni di uscita molto vicine a quella di ingresso.

2.2 Convertitori a commutazione

I convertitori a commutazione sono la famiglia più popolare di convertitori DC-DC. Ne esistono diverse topologie, ma tutte si basano su un circuito contenente almeno un induttore, un condensatore e degli elementi di commutazione (interruttori e/o diodi). Le topologie più conosciute sono il Buck, il Boost e il Buck-Boost, che permettono di ottenere rispettivamente tensioni minori (step-down), maggiori (step-up), o sia minori che maggiori della tensione di ingresso (*step-up* e *step-down*).

Rispetto ai regolatori lineari, hanno il vantaggio di una maggiore flessibilità e un'efficienza elevata anche per valori della tensione di uscita relativamente distanti da quella di ingresso.[4] Lo svantaggio è una maggiore complessità circuitale e un aumento del rumore sulla tensione di uscita, causato dalle commutazioni che caratterizzano il funzionamento di questo tipo di circuiti.

2.2.1 Convertitore Boost

Dato che l'oggetto di questa tesi è il progetto di un convertitore di tipo *step-up*, risulta naturale analizzarne l'esempio classico: il convertitore Boost. La figura 2.3 ne mostra lo schema elettrico.

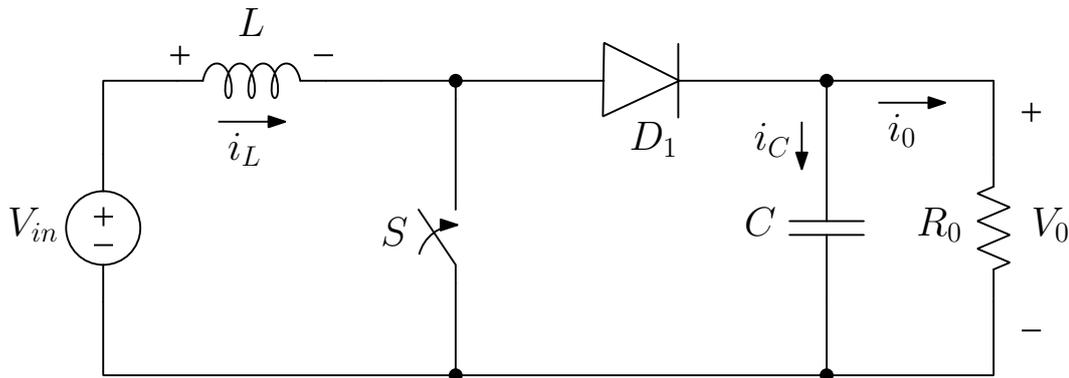


Figura 2.3: Schema del convertitore Boost

L'interruttore è comandato dal segnale di controllo S , il cui andamento è mostrato in figura 2.4: si chiude quando S è al valore logico alto e si apre quando S si porta al valore logico basso. Il segnale di controllo rimane al valore logico alto per una frazione D del periodo di commutazione (T_{SW}): tale quantità prende il nome di *duty cycle*. Chiaramente, $D \in [0, 1]$. Nell'analisi manuale di questo tipo di convertitori, si suppone inizialmente che il sistema sia a regime (*steady-state*): in tale condizione, tutte le forme d'onda sono periodiche di periodo T_{SW} . [4] Ciò significa in particolare che per la corrente dell'induttore deve valere la relazione:

$$i_L(T_{SW}) = i_L(0) \quad (2.4)$$

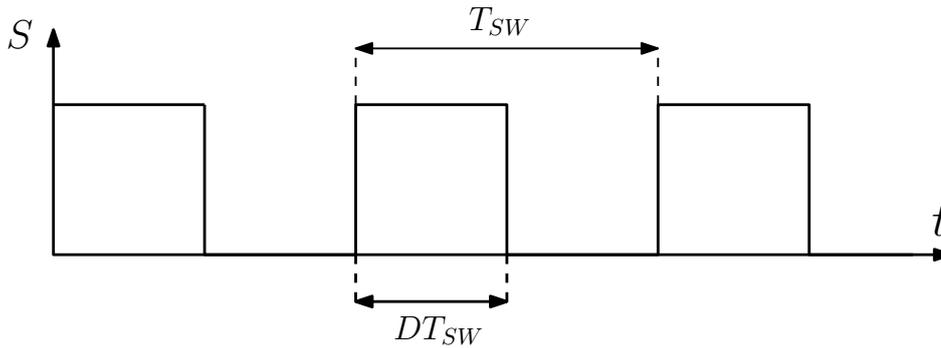


Figura 2.4: Segnale di controllo per il convertitore Boost

Analogamente, per la tensione sul condensatore si deve avere:

$$v_C(T_{SW}) = v_C(0) \quad (2.5)$$

Ricordando la relazione tensione-corrente dell'induttore:

$$v_L(t) = L \frac{di_L}{dt} \Rightarrow i_L(t) = i_L(0) + \frac{1}{L} \int_0^t v_L(\tau) d\tau \quad (2.6)$$

applicando la 2.4 si ha:

$$i_L(T_{SW}) = i_L(0) + \frac{1}{L} \int_0^{T_{SW}} v_L(\tau) d\tau = i_L(0) \quad (2.7)$$

e pertanto:

$$\int_0^{T_{SW}} v_L(\tau) d\tau = 0 \quad (2.8)$$

La 2.8 prende il nome di *volt-seconds balance* o *flux balance*: con il convertitore a regime, dunque, la tensione media ai capi dell'induttore in un periodo di commutazione è pari a zero.

Ricordando ora la relazione tensione-corrente del condensatore:

$$i_C(t) = C \frac{dv_C}{dt} \Rightarrow v_C(t) = v_C(0) + \frac{1}{C} \int_0^t i_C(\tau) d\tau \quad (2.9)$$

seguendo lo stesso ragionamento si ottiene:

$$\int_0^{T_{SW}} i_C(\tau) d\tau = 0 \quad (2.10)$$

La 2.10 prende il nome di *capacitor charge balance*. La corrente media del condensatore in un periodo di commutazione, con il sistema a regime, è quindi anch'essa pari a zero.

La tensione di uscita prodotta da un convertitore a commutazione non è costante, ma presenta una oscillazione (*ripple*) a frequenza $f_{SW} = 1/T_{SW}$, come mostra (qualitativamente) la figura 2.5. L'entità del ripple dipende dal valore della capacità di uscita, che solitamente viene scelto in modo che il ripple sia inferiore all'1% del valore medio. Per questo motivo, nell'analisi manuale, di norma si assume che il ripple sia trascurabile e che la tensione di uscita coincida col suo valore medio (DC): tale ipotesi prende il nome di *small ripple approximation* (SRA).

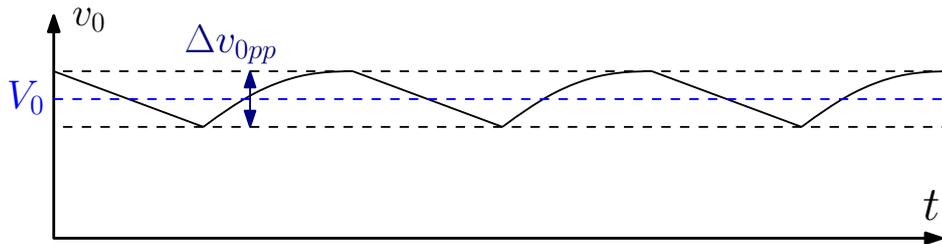


Figura 2.5: Ripple di tensione del convertitore Boost (andamento qualitativo)

Si può quindi procedere all'analisi vera e propria del funzionamento a regime del convertitore, nell'ipotesi di ripple trascurabile.

Nella fase $0 \leq t \leq DT_{SW}$ l'interruttore è chiuso. La tensione sull'induttore, supponendo che l'interruttore chiuso si comporti da cortocircuito ideale, è allora:

$$v_L = V_{in} \quad (2.11)$$

La corrente i_L aumenta allora linearmente, con pendenza $m_1 = V_{in}/L$ (figura 2.6). Il diodo D è contro-polarizzato poiché ai suoi capi cade una tensione inversa pari a V_0 : di conseguenza il carico viene alimentato dal condensatore di uscita, che si scarica con corrente $i_C = -V_0/R_0$.

Nella fase $DT_{SW} \leq t \leq T_{SW}$ l'interruttore viene aperto. La tensione sull'induttore, supponendo che il diodo sia ideale, diventa allora:

$$v_L = V_{in} - V_0 \quad (2.12)$$

Dato che i_L con il convertitore a regime deve essere a media nulla, raggiunta la condizione di forme d'onda periodiche si deve avere $V_0 > V_{in}$: la corrente i_L cala dunque linearmente, con pendenza $m_2 = (V_{in} - V_0)/L$. Il carico viene alimentato dal generatore, che ricarica anche il condensatore di uscita.

Applicando ora il flux balance, si ha che le due aree evidenziate in figura 2.6 devono dare somma nulla. Pertanto:

$$V_{in}DT_{SW} + (V_{in} - V_{out})(1 - D)T_{SW} = 0 \quad (2.13)$$

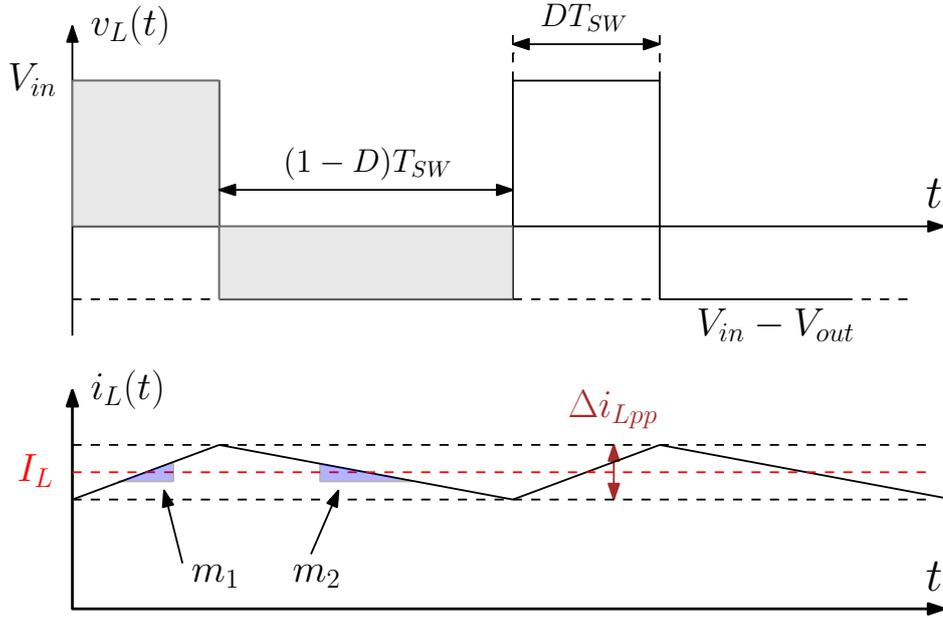


Figura 2.6: Andamenti di tensione e corrente dell'induttore nel convertitore Boost

Da questa equazione, con pochi passaggi si ottiene il guadagno di tensione del convertitore Boost:

$$M(D) = \frac{V_0}{V_{in}} = \frac{1}{1-D} \quad (2.14)$$

che è chiaramente funzione del duty cycle. Il suo andamento è mostrato in figura 2.7. Apparentemente, per $D \rightarrow 1$ il guadagno diventa infinito. In realtà, questo è vero solo per il circuito ideale: includendo le cadute di tensione su interruttore e diodo, infatti, si verifica che il guadagno viene limitato a un valore massimo, che dipende dalle resistenze serie dei dispositivi.

Osservando la figura 2.6 si nota che, nell'ipotesi di SRA, la corrente i_L ha andamento lineare a tratti:

$$i_L(t) = \begin{cases} i_L(0) + \frac{V_{in}}{L} \cdot t, & \text{per } 0 \leq t \leq DT_{SW} \\ i_L(DT_{SW}) - \frac{V_0 - V_{in}}{L} \cdot t, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (2.15)$$

Dalla 2.15 è immediato ricavare allora il ripple di corrente Δi_{Lpp} :

$$\Delta i_{Lpp} = \frac{V_{in}D}{Lf_{SW}} = \frac{(V_0 - V_{in})(1-D)}{Lf_{SW}} = \frac{V_0D(1-D)}{Lf_{sw}} \quad (2.16)$$

dove $f_{SW} = 1/T_{SW}$ è la frequenza di commutazione del convertitore. Il valore dell'induttanza L determina quindi l'entità del ripple di corrente.

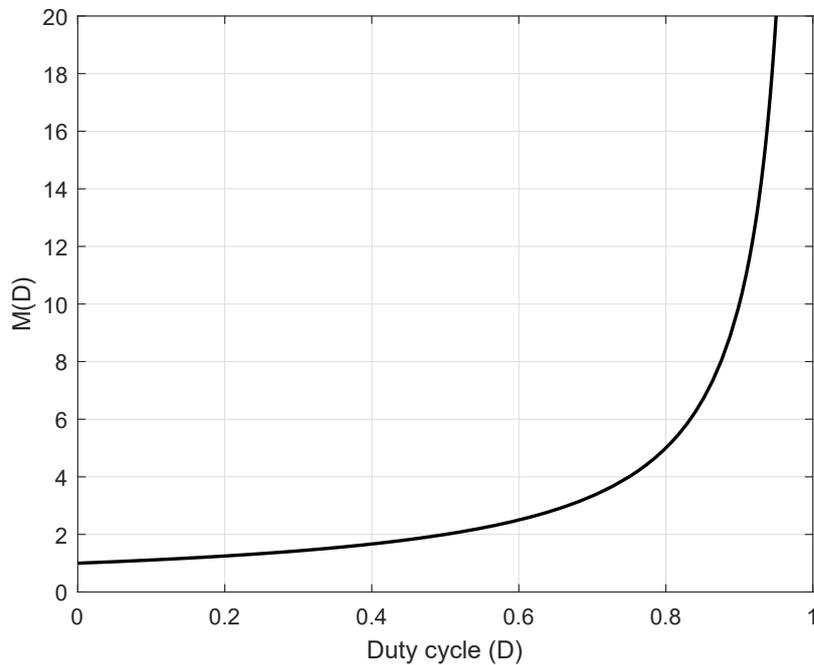


Figura 2.7: Guadagno di tensione del convertitore Boost in funzione del duty cycle

Il ripple di tensione si calcola invece partendo dall'espressione della corrente sul condensatore. Quando l'interruttore è chiuso, il carico è isolato dall'ingresso e, nell'ipotesi di SRA, la corrente i_C è pari a $-i_0 = -V_0/R_0$. Quando l'interruttore è aperto, applicando la LKC¹ si ottiene immediatamente che $i_C = i_L - V_0/R_0$. Pertanto:

$$i_C(t) = \begin{cases} -\frac{V_0}{R_0}, & \text{per } 0 \leq t \leq DT_{SW} \\ i_L - \frac{V_0}{R_0}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (2.17)$$

In base al charge balance, affinché la corrente del condensatore abbia media nulla, la carica uscente nella prima fase deve essere pari a quella entrante nella seconda fase. Poichè la carica non è altro che l'integrale della corrente i_C nel tempo, è immediato ottenere che il ripple di tensione è:

$$\Delta v_{0pp} = \frac{\Delta Q}{C} = \frac{(V_0/R_0)DT_{SW}}{C} = \frac{I_0 D}{C f_{SW}} \quad (2.18)$$

dove ΔQ è la variazione di carica sul condensatore e $I_0 = V_0/R_0$ è la corrente media che scorre sul carico.

¹legge di Kirchhoff delle correnti

2.2.2 Convertitore Boost con perdite resistive

Il guadagno di un Boost reale, come già sottolineato, è limitato dalle cadute di tensione sui componenti, dovute alle resistenze serie dei componenti. In figura 2.8 si suppone che l'interruttore abbia una resistenza serie R_S e che il diodo presenti una resistenza serie R_D (il diodo D_1 rimane ideale). Anche l'induttore presenta una resistenza serie R_L .²

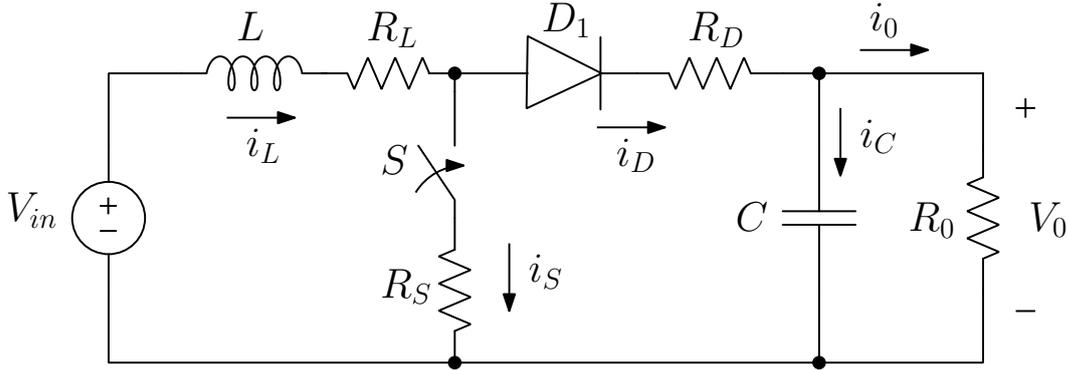


Figura 2.8: Convertitore Boost con perdite resistive

Supponendo che il ripple di corrente sia trascurabile rispetto al valore medio di i_L , cioè che $i_L \approx I_L$, nelle solite ipotesi di convertitore a regime e SRA si possono scrivere le equazioni seguenti:

$$v_L = \begin{cases} V_{in} - (R_L + R_S)I_L, & \text{per } 0 \leq t \leq DT_{SW} \\ V_{in} - (R_L + R_D)I_L - V_0, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (2.19)$$

$$i_C = \begin{cases} -I_0, & \text{per } 0 \leq t \leq DT_{SW} \\ I_L - I_0, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases}$$

Applicando il flux balance si ottiene:

$$[V_{in} - (R_L + R_S)I_L]D + [V_{in} - (R_L + R_D)I_L - V_0](1 - D) = 0 \quad (2.20)$$

dove il valore di I_L si ricava applicando il charge balance:

$$-I_0D + (I_L - I_0)(1 - D) = 0 \Rightarrow I_L = \frac{I_0}{1 - D} \quad (2.21)$$

²la resistenza serie dei condensatori utilizzati per questi convertitori, in genere, tende a essere di almeno un ordine di grandezza più piccola di quella degli induttori a parità di specifiche sui ripple. Pertanto, in questa analisi si può trascurare

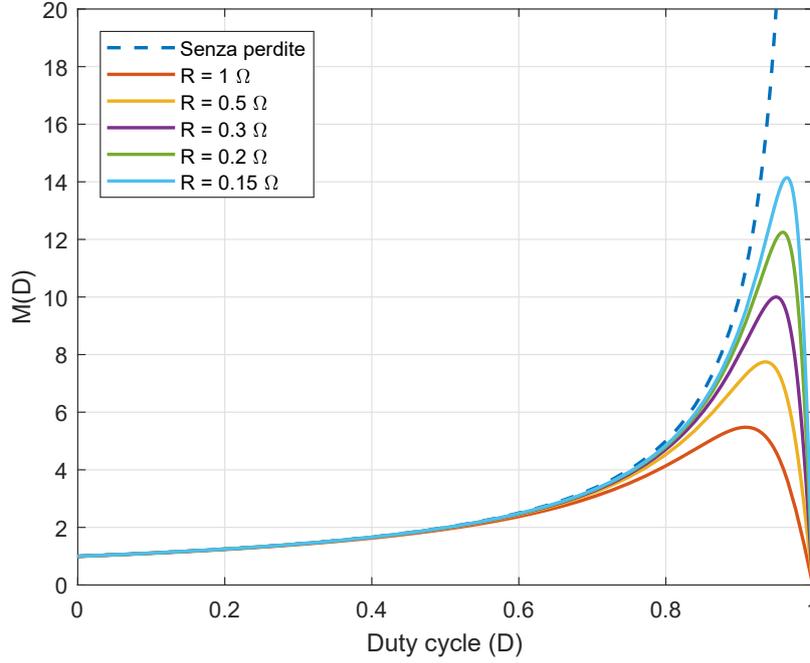


Figura 2.9: Guadagno di tensione del convertitore Boost con perdite resistive

Sostituendo I_L nella 2.20, con qualche passaggio si ottiene che il guadagno del convertitore Boost con perdite resistive è [4]:

$$M(D) = \frac{V_0}{V_{in}} = \frac{1}{1-D} \cdot \frac{1}{1 + \frac{R_L + DR_S + (1-D)R_D}{(1-D)^2 R_0}} \quad (2.22)$$

L'efficienza è data dal rapporto tra la potenza di uscita e quella di ingresso, P_0/P_{in} . Osservando che si ha $P_0 = V_0 I_0$ e $P_{in} = V_{in} I_L$, applicando la 2.21 si ottiene subito:

$$\eta = \frac{1}{1 + \frac{R_L + DR_S + (1-D)R_D}{(1-D)^2 R_0}} \quad (2.23)$$

La figura 2.9 mostra il guadagno di tensione in funzione del duty cycle per un Boost che debba lavorare nelle stesse condizioni del convertitore oggetto di questa tesi, cioè con corrente nominale di uscita pari 5 mA e $V_0 = 1.2$ V. Le resistenze serie sono state ipotizzate tutte uguali, ovvero $R_L = R_S = R_D = R$.

Come anticipato, si osserva che il guadagno non è più infinito per $D \rightarrow 1$ ma raggiunge un massimo (che dipende dalle resistenze serie) e poi decresce fino ad azzerarsi per $D = 1$.

Anche l'efficienza dipende dal duty cycle (e quindi dal valore della tensione di ingresso) e si azzerava per $D \rightarrow 1$, come si può vedere in figura 2.10.

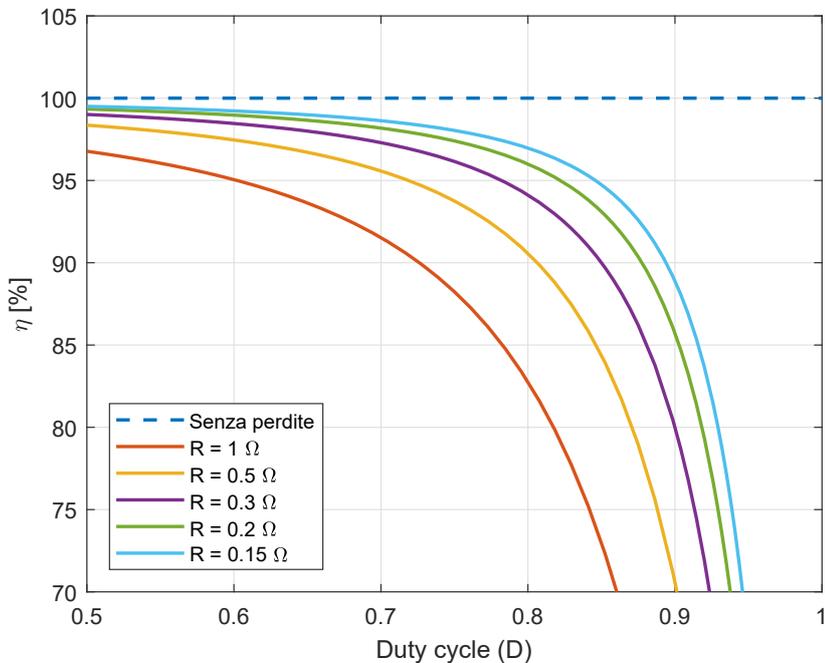


Figura 2.10: Efficienza del convertitore Boost con perdite resistive

2.3 Convertitori a capacità commutate

L'ultima grande famiglia di convertitori DC-DC è quella dei convertitori a capacità commutate (SC): si tratta sempre di una classe di convertitori a commutazione, ma privi di induttori. La loro popolarità è cresciuta particolarmente negli ultimi anni, specialmente per la possibilità di realizzare convertitori per bassi livelli di potenza (inferiori a 100 mW) completamente integrati, senza la necessità di componenti esterni al chip. [5, 6] Gli induttori sono infatti estremamente difficili da integrare: si riescono a ottenere al massimo valori di induttanza nell'ordine delle decine di nH, con fattori di qualità non particolarmente elevati. Inoltre, la densità di energia degli induttori è di qualche ordine di grandezza inferiore a quella dei condensatori. [5]

Esistono diverse topologie di convertitori SC (Cockroft-Walton, Dickson, Ladder, Fibonacci, serie-parallelo, ecc.) ma tutte condividono il medesimo meccanismo di funzionamento: la topologia del circuito viene continuamente cambiata commutando i collegamenti di un certo numero di condensatori, detti *condensatori floating* ("galleg-

gianti") o *flying* ("volanti"),³ e grazie a questo processo la tensione di uscita viene riscalata di un certo fattore, che dipende essenzialmente dal numero di condensatori del circuito e da come cambia la topologia con le commutazioni.

2.3.1 Convertitore Dickson

L'esempio più celebre di convertitore a capacità commutate è sicuramente il convertitore Dickson. La figura 2.11 ne mostra una versione a due stadi, con la quale è possibile ottenere una tensione di uscita pari a tre volte la tensione di ingresso. Gli interruttori sono pilotati dalle due fasi non sovrapposte *A* e *B*, illustrate in figura 2.12.

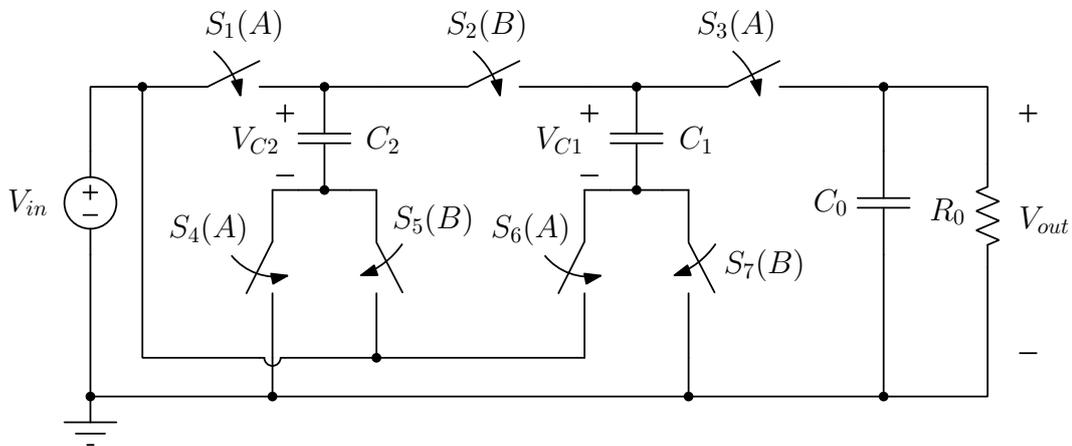


Figura 2.11: Convertitore Dickson

A fianco di ciascun interruttore è riportato tra parentesi il segnale che lo controlla. Nella fase *A*, vengono chiusi S_1 , S_3 , S_4 e S_6 mentre gli altri interruttori rimangono aperti. C_2 si porta quindi a tensione $V_{C2} = V_{in}$, mentre C_1 è a tensione $V_{out} - V_{in}$. Nella fase *B*, si chiudono gli interruttori S_2 , S_5 e S_7 mentre gli altri si aprono. Al morsetto positivo di C_2 , la tensione diventa pari a $V_{in} + V_{C2} = 2V_{in}$ e quindi si ha $V_{C1} = 2V_{in}$. Nella successiva fase *A*, la tensione al morsetto positivo di C_1 diventa $V_{out} = V_{in} + V_{C1} = 3V_{in}$ e in questo modo si è ottenuta la conversione di tensione desiderata.

Si può aumentare il rapporto V_{out}/V_{in} aggiungendo un numero arbitrario di stadi intermedi: ovviamente, non è possibile ottenere un guadagno di tensione arbitrariamente elevato a causa delle cadute di tensione sugli interruttori, che ne limitano il valore massimo.

³sono chiamati in questo modo perchè i loro terminali non sono mai collegati a un punto fisso del circuito ma cambiano continuamente connessione

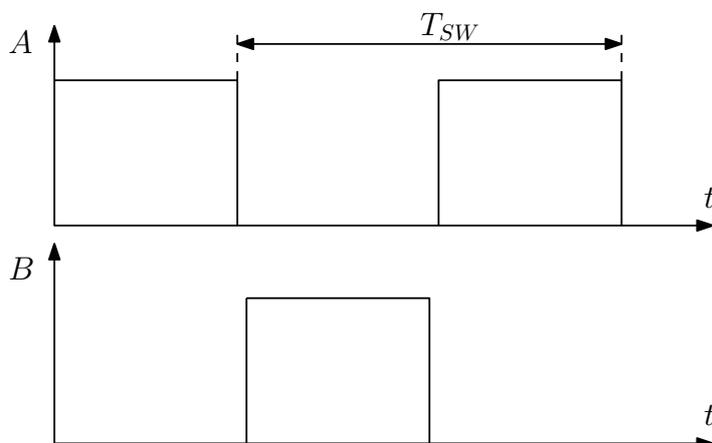


Figura 2.12: Segnali di controllo del convertitore Dickson

Il grande vantaggio di questa topologia è il ridotto stress di tensione sugli interruttori:⁴ si verifica infatti che esso è sempre pari alla tensione di ingresso (che è quella minima del circuito), contrariamente al convertitore Boost in cui lo stress di tensione è pari alla tensione di uscita (che è quella massima).

2.3.2 Modello di un generico convertitore SC

Il modo più semplice per modellizzare un generico convertitore DC-DC a capacità commutate è tramite un trasformatore ideale (DC) e una resistenza di uscita R_{out} , che serve a tenere conto di tutte le perdite di conversione. [5, 7]

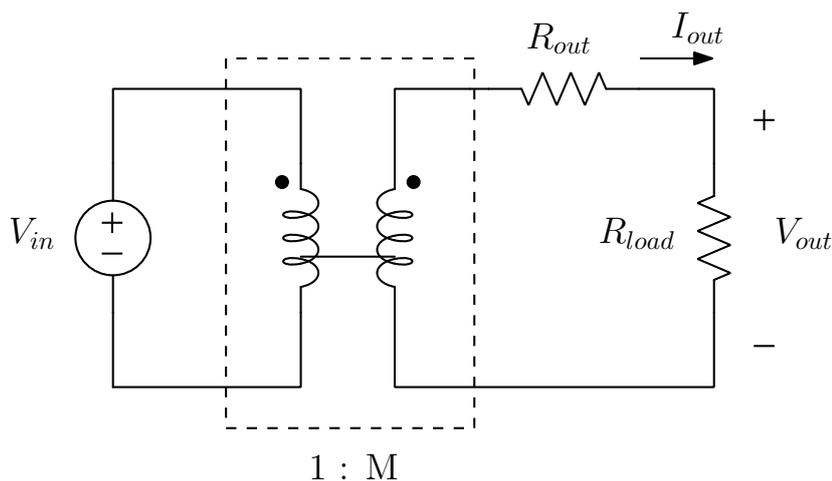


Figura 2.13: Modello di un generico convertitore DC-DC

⁴lo stress di tensione è la tensione massima che devono sostenere gli interruttori del convertitore quando vengono aperti

Il modello di figura 2.13 rappresenta un convertitore con guadagno M . Sulla resistenza di uscita R_{out} si ha una caduta di tensione, dovuta a una corrente sul carico I_{out} non nulla. In R_{out} si possono inglobare tutte le sorgenti di perdita del convertitore: resistenze parassite, carica e scarica dei condensatori, perdite di pilotaggio, ecc. Nel caso specifico dei convertitori a capacità commutate, esistono due limiti asintotici per la resistenza di uscita: lo *slow-switching limit* e il *fast-switching limit*.

2.3.3 Slow-switching limit (SSL)

In *slow-switching* si suppone che le resistenze serie R degli interruttori e delle interconnessioni siano trascurabili. Questo implica che la carica e scarica dei condensatori avviene con correnti impulsive, dato che le costanti RC del circuito sono molto piccole ($RC \ll T_{SW}$). Le perdite sono quindi determinate quasi esclusivamente dai condensatori.

Per il calcolo di R_{out} in questa condizione, si utilizzano dei *vettori di carica* \mathbf{a}^1 e \mathbf{a}^2 , uno per ogni fase del periodo. Essi contengono la carica che viene trasferita a ciascun condensatore o generatore di tensione in quella fase⁵, normalizzata rispetto alla carica che viene trasferita all'uscita:

$$\mathbf{a}^1 = [q_{out}^1, q_{C0}^1, q_{C1}^1, \dots, q_{in}^1]^T / q_{out} \quad (2.24)$$

$$\mathbf{a}^2 = [q_{out}^2, q_{C0}^2, q_{C1}^2, \dots, q_{in}^2]^T / q_{out}$$

La somma della carica trasferita complessivamente all'uscita nelle due fasi, naturalmente, è pari a q_{out} :

$$q_{out}^1 + q_{out}^2 = q_{out} \quad (2.25)$$

Nell'ipotesi che il convertitore sia a regime, inoltre, la carica entrante in una fase è pari a quella uscente nell'altra:⁶

$$q_{Ci}^1 = -q_{Ci}^2 \quad (2.26)$$

Il calcolo della resistenza di uscita si basa sul *teorema di Tellegen*, che permette di scrivere:

$$\mathbf{a}^1 \cdot \mathbf{v}^1 = 0 \quad (2.27)$$

$$\mathbf{a}^2 \cdot \mathbf{v}^2 = 0$$

dove \mathbf{v}^1 e \mathbf{v}^2 sono vettori analoghi ad \mathbf{a}^1 e \mathbf{a}^2 , ma contengono le tensioni anziché le cariche. Per il calcolo di R_{out} , il generatore di ingresso deve essere spento ($V_{in} = 0$) e pertanto applicando le 2.27 si ottiene:

$$v_{out}(a_{out}^1 + a_{out}^2) + \sum_{C_{fly}} (a_{Ci}^1 v_{Ci}^1 + a_{Ci}^2 v_{Ci}^2) = 0 \quad (2.28)$$

⁵per convenzione, si attribuisce alla carica *entrante* segno positivo e a quella *uscente* segno negativo

⁶è il concetto di *charge balance*, già visto per i convertitori a commutazione induttivi

dove i termini a_{C_i} rappresentano le componenti dei vettori \mathbf{a}^1 e \mathbf{a}^2 . Moltiplicando entrambi i membri della 2.28 per q_{out} , si ottiene:

$$v_{out}q_{out} + \sum_{C_{fly}} (q_{C_i}^1 v_{C_i}^1 + q_{C_i}^2 v_{C_i}^2) = 0 \quad (2.29)$$

e in base alla 2.26 si può scrivere:

$$v_{out}q_{out} + \sum_{C_{fly}} q_{C_i} \Delta v_{C_i} = 0 \quad (2.30)$$

dove $q_{C_i} = q_{C_i}^1 = -q_{C_i}^2$ e $\Delta v_{C_i} = v_{C_i}^1 - v_{C_i}^2$. La tensione su ciascun condensatore, senza la necessità di doverla calcolare direttamente dal circuito, si può ottenere come:

$$\Delta v_{C_i} = \frac{q_{C_i}}{C_i} \quad (2.31)$$

Sostituendo questa espressione nella 2.30 e dividendo tutto per il quadrato di q_{out} si ha:

$$\frac{v_{out}}{q_{out}} + \sum_{C_{fly}} \left(\frac{q_{C_i}}{q_{out}} \right)^2 \frac{1}{C_i} = 0 \quad (2.32)$$

Il rapporto q_{C_i}/q_{out} non è altro che l'i-esimo elemento di uno dei vettori di carica \mathbf{a}^1 e \mathbf{a}^2 (è indifferente quale dei due, visto che viene elevato al quadrato e $q_{C_i}^1 = -q_{C_i}^2$). Dividendo tutto per la frequenza di commutazione $f_{SW} = 1/T_{SW}$, si ottiene:

$$\frac{v_{out}}{i_{out}} + \sum_{C_{fly}} \frac{(a_{C_i})^2}{C_i \cdot f_{SW}} = 0 \quad (2.33)$$

dato che la carica complessiva trasferita all'uscita è pari alla corrente di uscita i_{out} moltiplicata per il periodo di commutazione, $q_{out} = i_{out}f_{SW}$. A questo punto è immediato calcolare R_{out} ; essa infatti non è altro che il rapporto v_{out}/i_{out} e pertanto:

$$R_{out,SSL} = - \sum_{C_{fly}} \frac{(a_{C_i})^2}{C_i \cdot f_{SW}} \quad (2.34)$$

2.3.4 Fast-switching limit (FSL)

In *fast-switching* si suppone invece che le costanti RC del circuito siano molto maggiori del periodo di commutazione ($RC \gg T_{SW}$). In questa condizione, le tensioni ai capi dei condensatori volanti rimangono praticamente costanti (in altri termini, si comportano da generatori di tensione) e su di essi scorrono correnti di valore costante a tratti. Le perdite dipendono quindi quasi esclusivamente dalle resistenze serie degli interruttori.

Per semplicità, nell'analisi seguente si ipotizzerà che ciascuna fase duri esattamente il 50% di T_{SW} : nel capitolo successivo il risultato verrà esteso anche a fasi di durata variabile.

In modo simile a quanto fatto per lo slow-switching, si considera ora un nuovo vettore \mathbf{a}_r che rappresenta la carica portata da ciascun interruttore nella sua fase attiva (cioè quando viene chiuso). Gli elementi del vettore \mathbf{a}_r sono facilmente ricavabili da quelli dei vettori \mathbf{a}^1 e \mathbf{a}^2 definiti in precedenza, che rimangono validi anche per il fast-switching. Dato che per ipotesi le correnti dei condensatori (e quindi anche degli interruttori) sono ritenute costanti, si ha:

$$i_{r,i} = \frac{a_{r,i}q_{out}}{T_{SW}/2} = 2a_{r,i}i_{out} \quad (2.35)$$

dato che $i_{out} = q_{out}/T_{SW}$ e ciascun interruttore conduce per un tempo $T_{SW}/2$. Poiché per ipotesi le perdite sono dominate dagli interruttori, la dissipazione di potenza risulta:

$$P_{TOT} = \sum_i \frac{1}{2} R_i (2a_{r,i}i_{out})^2 \quad (2.36)$$

dove R_i è la resistenza serie dell'interruttore i -esimo. Nel modello di figura 2.13 le perdite complessive sono pari a $R_{out}I_{out}^2$. Pertanto la resistenza serie si ottiene come:

$$R_{out,FSL} = \frac{P_{TOT}}{(i_{out})^2} = \sum_i 2R_i(a_{r,i})^2 \quad (2.37)$$

2.3.5 Resistenza di uscita e regolazione della tensione

La resistenza di uscita, come si è visto, presenta due limiti asintotici: FSL e SSL. In fast-switching, R_{out} è costante e dipende solo dalle resistenze serie degli interruttori. In slow-switching, dipende sia dai valori delle capacità che dalla frequenza di commutazione ed è inversamente proporzionale ad essa. Si ha quindi l'andamento mostrato in figura 2.14.

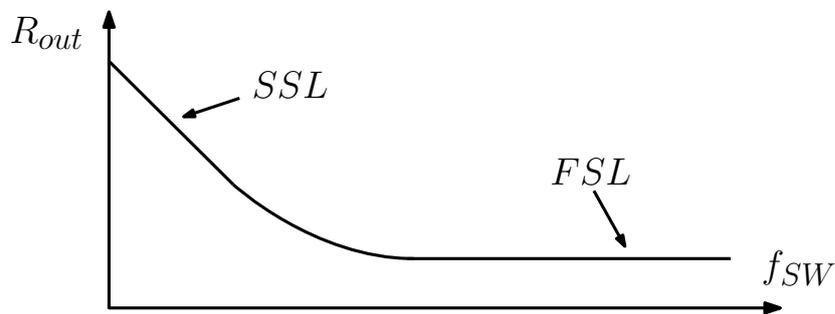


Figura 2.14: Andamento della resistenza di uscita e limiti asintotici per un convertitore SC

In [8] viene dimostrato che i possibili rapporti di conversione tra tensione di uscita e tensione di ingresso, dato un certo numero di condensatori, possono essere ottenuti dall'espressione:

$$M = \frac{P[k]}{Q[k]} \quad (2.38)$$

dove gli interi positivi $P[k]$ e $Q[k]$ sono numeri della serie di Fibonacci con $2 \leq k \leq (N + 1)$. N è il numero complessivo di condensatori del circuito, compreso quello di uscita. Un modo (inefficiente) per ottenere la tensione di uscita desiderata è allora variare R_{out} regolando la frequenza di commutazione, regolando così il partitore resistivo di figura 2.13 per ottenere la V_{out} desiderata.

Capitolo 3

Convertitore DC-DC proposto

Il convertitore proposto è riportato in figura 3.1. Si tratta di un convertitore step-up ibrido tra un classico convertitore a induttore (come il Boost) e uno a capacità commutate, in grado di processare tensioni di ingresso *bipolari*. Il controllo della tensione di uscita viene mantenuto agendo sull'interruttore di ingresso, tramite regolazione del *duty-cycle*.

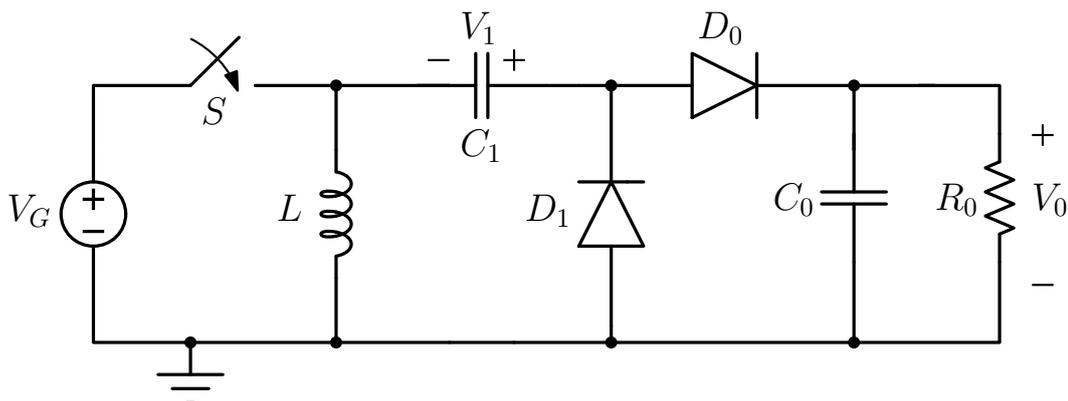


Figura 3.1: Topologia proposta

Le specifiche di progetto sono le seguenti:

- tensione di uscita 1.2 V;
- tensione di ingresso (in modulo) compresa tra (almeno) 200 mV e 600 mV;
- potenza di uscita nominale: 6 mW.

Il circuito, ad eccezione dei componenti reattivi (e dei diodi, che come si vedrà a breve sono stati sostituiti con dei transistor) è stato progettato utilizzando la tecnologia UMC a 130 nm (*umc13mmrf*).

Per analizzare il funzionamento del convertitore, si impongono alcune ipotesi semplificative:

1. il sistema è a regime (*steady-state*);
2. tutti i componenti sono ideali, in particolare su diodi e interruttore non si ha alcuna caduta di tensione;
3. il *ripple* della tensione di uscita è trascurabile (*small-ripple approximation*);
4. il condensatore floating C_0 è sufficientemente grande da soddisfare l'ipotesi di *fast-switching limit* (FSL), cioè da mantenere la sua tensione costante (si comporta quindi da generatore di tensione).

La conversione di tensione viene effettuata in due modi distinti, a seconda della polarità del generatore di ingresso.

3.1 Funzionamento per tensioni di ingresso positive

Quando la tensione di ingresso è positiva, nella fase in cui l'interruttore è chiuso (figura 3.2a) il generatore trasferisce potenza al carico e all'induttore, accendendo il diodo D_0 ; il condensatore C_1 si comporta da pompa di carica e il diodo D_1 vede ai suoi capi una tensione inversa V_0 , quindi si spegne. La tensione V_L , nelle ipotesi poste inizialmente, in questa fase è pari a quella di ingresso e pertanto la corrente sull'induttore aumenta linearmente con pendenza $m_1 = V_G/L$.

Quando l'interruttore viene aperto (figura 3.2b) l'induttore forza il diodo D_1 ad accendersi, mentre il diodo D_0 si spegne perchè ai suoi capi si ha una tensione inversa pari a $V_0 + V_1$. La tensione V_L nella seconda fase è quindi pari a $-V_1$ e la corrente sull'induttore cala linearmente con pendenza $m_2 = -V_1/L$.

Applicando il *flux balance*, grazie all'ipotesi di sistema a regime, si può scrivere la seguente espressione:

$$V_G D T_{SW} - V_1 (1 - D) T_{SW} = 0 \quad (3.1)$$

da cui si ottiene che il valore della tensione V_1 (costante nell'ipotesi di FSL) è:

$$V_1 = V_G \frac{D}{1 - D} \quad (3.2)$$

Applicando la LKT¹ alla maglia più esterna del circuito di figura 3.2a si ha che:

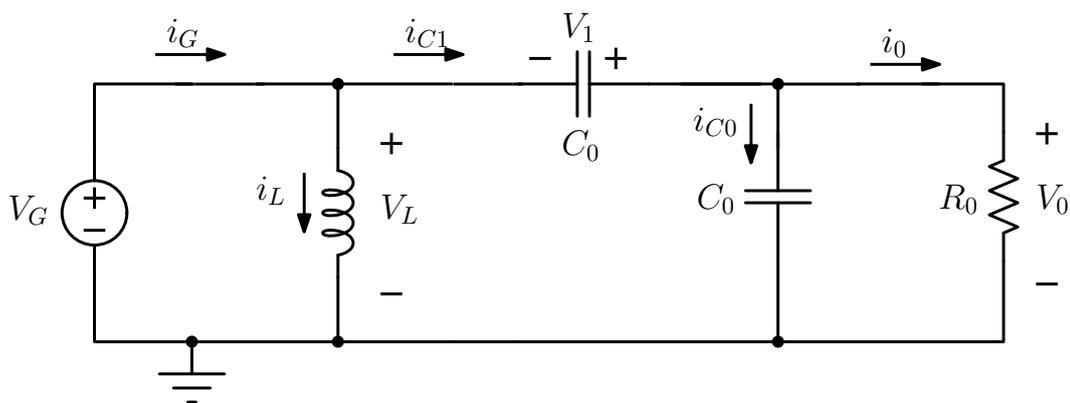
$$V_G = -V_1 + V_0 \quad (3.3)$$

da cui, utilizzando la 3.2, si ottiene l'espressione del guadagno di tensione del convertitore per tensioni di ingresso positive:

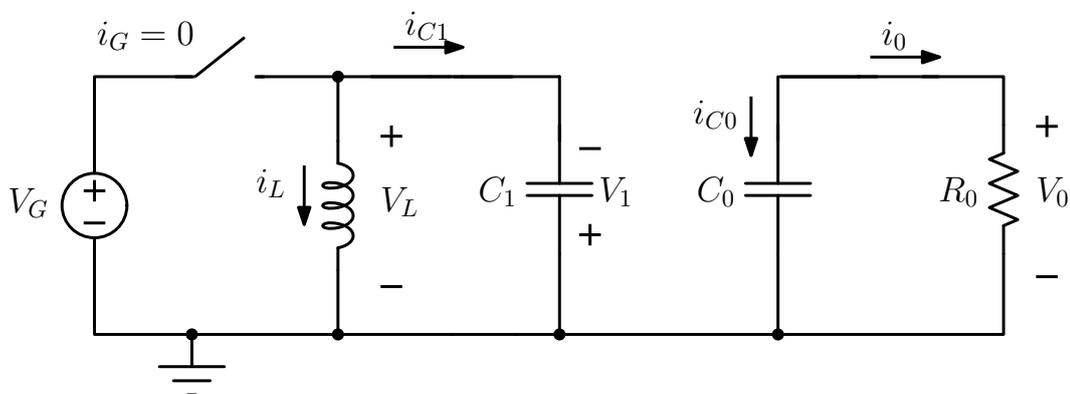
$$\frac{V_0}{V_G} = \frac{1}{1 - D} \quad (3.4)$$

¹legge di Kirchhoff delle tensioni

3.1. Funzionamento per tensioni di ingresso positive



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 3.2: Circuiti equivalenti che illustrano il funzionamento del convertitore ideale con tensioni di ingresso positive

Poichè tutti i componenti sono ideali per ipotesi, il convertitore non dissipa potenza e dunque vale il bilancio di potenze:

$$P_G = V_G I_G = P_0 = V_0 I_0 \quad (3.5)$$

da cui si ottiene:

$$I_G = \frac{V_0}{V_G} I_0 = \frac{I_0}{1-D} \quad (3.6)$$

Applicando la LKC al nodo a cui è connesso l'induttore e sfruttando la linearità dell'operazione di media sul periodo, si può scrivere la relazione:

$$\frac{1}{T_{SW}} \int_{t^*}^{t^*+T_{SW}} i_L(t) dt = I_L = I_G - I_{C1} \quad (3.7)$$

Nell'ipotesi di sistema a regime (*steady-state*), la corrente media di tutti i condensatori è nulla (charge balance); pertanto si ha:

$$I_L = I_G = \frac{I_0}{1-D} \quad (3.8)$$

Nelle ipotesi di SRA e FSL, la corrente dell'induttore ha andamento lineare a tratti con pendenze:

$$\begin{cases} m_1 = \frac{V_G}{L}, & \text{per } 0 \leq t \leq DT_{SW} \\ m_2 = \frac{-V_G D}{L(1-D)}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.9)$$

pertanto è immediato calcolare il ripple di corrente come:

$$\Delta i_{Lpp} = \frac{V_G}{L} DT_{SW} = \frac{V_G D}{L(1-D)} (1-D) T_{SW} = \frac{V_0 D (1-D)}{L f_{SW}} \quad (3.10)$$

dove $f_{SW} = 1/T_{SW}$ è la frequenza di commutazione del convertitore. Il ripple sulla tensione di uscita si calcola partendo dall'espressione della corrente sul condensatore C_0 :

$$i_{C_0}(t) = \begin{cases} i_{C_1}(t) - \frac{V_0}{R_0}, & \text{per } 0 \leq t \leq DT_{SW} \\ -\frac{V_0}{R_0}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.11)$$

La variazione di tensione sul condensatore C_0 , infatti, è pari alla variazione della carica immagazzinata divisa per la capacità ($\Delta V_0 = \Delta Q/C_0$) e la variazione della carica immagazzinata non è altro che l'integrale della corrente nel tempo. Nell'ipotesi che il convertitore sia a regime, la carica immagazzinata nella prima fase è pari a quella ceduta nella seconda fase, dunque il ripple di tensione è facilmente calcolabile come:

$$\Delta v_{0pp} = \frac{\Delta Q}{C_0} = \frac{(V_0/R_0)(1-D)T_{SW}}{C_0} = \frac{I_0(1-D)}{C_0 f_{SW}} \quad (3.12)$$

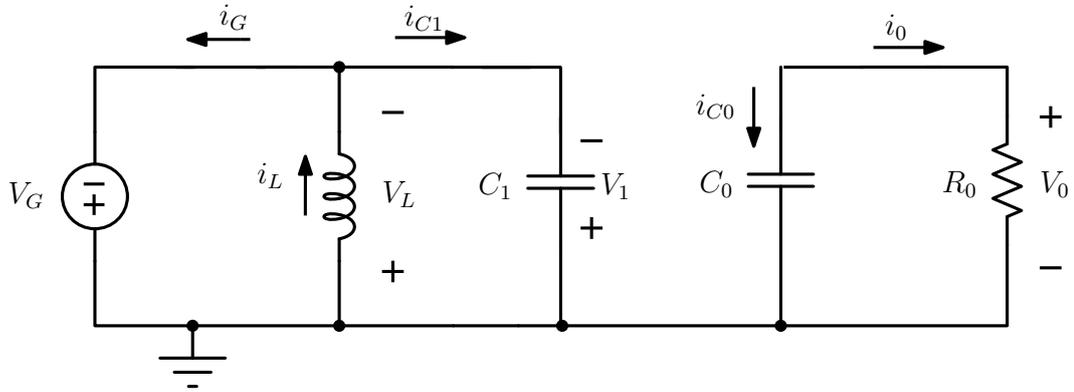
3.2 Funzionamento per tensioni di ingresso negative

Quando la tensione di ingresso è negativa, nella fase in cui l'interruttore è chiuso (figura 3.3a) il generatore carica l'induttore e il condensatore C_1 . Il diodo D_1 si spegne perchè vede ai suoi capi una tensione inversa $V_0 + V_1$; il diodo D_0 è invece acceso e il condensatore C_0 si scarica sulla resistenza di carico R_0 . La tensione V_L in questa fase è pari a quella di ingresso e la corrente sull'induttore aumenta dunque linearmente con pendenza $m_1 = V_G/L$.

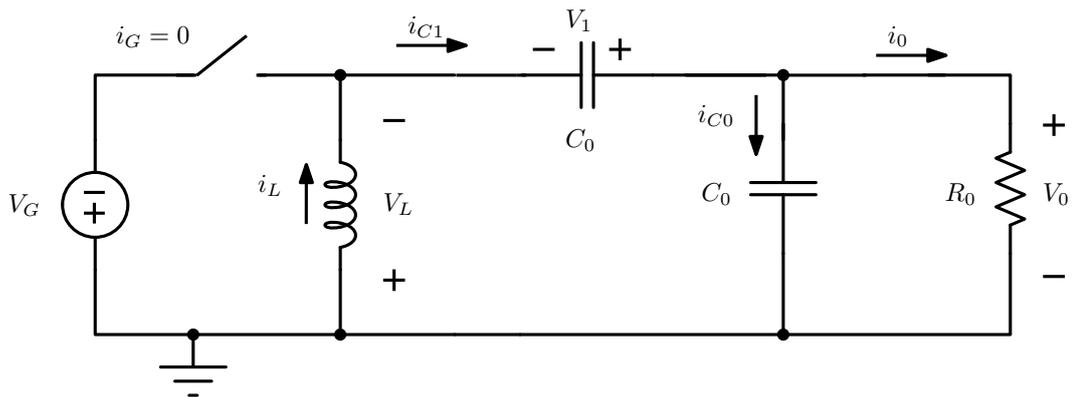
Quando l'interruttore viene aperto (figura 3.3b) l'induttore forza il diodo D_0 ad accendersi, mentre il diodo D_1 si spegne perchè viene contro-polarizzato con tensione

3.2. Funzionamento per tensioni di ingresso negative

V_0 . La tensione V_L nella seconda fase è pari a $V_1 - V_0$, che è una quantità negativa nell'ipotesi di sistema a regime; la corrente sull'induttore cala quindi linearmente con pendenza $m_2 = -V_1/L$.



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 3.3: Circuiti equivalenti che illustrano il funzionamento del convertitore ideale con tensioni di ingresso negative

Applicando nuovamente il *flux balance*, in questo secondo modo di funzionamento si ha:

$$V_G DT_{SW} + (V_1 - V_0)(1 - D)T_{SW} = 0 \quad (3.13)$$

Nell'ipotesi di FSL la tensione V_1 è costante e deve essere pari a V_G dato che nella fase a interruttore chiuso il condensatore C_1 è in parallelo al generatore di ingresso (figura 3.3a); pertanto si ottiene:

$$V_G D + (V_G - V_0)(1 - D) = 0 \quad (3.14)$$

da cui è immediato ricavare che il guadagno di tensione, quando la polarità dell'ingresso viene rovesciata, rimane lo stesso del caso precedente:

$$\frac{V_0}{V_G} = \frac{1}{1-D} \quad (3.15)$$

Applicando il bilancio di potenze, si verifica che anche la corrente media di ingresso rimane uguale al caso precedente:

$$I_G = \frac{I_0}{1-D} \quad (3.16)$$

e vale inoltre ancora la relazione:

$$I_L = I_G - I_{C1} \quad (3.17)$$

da cui:

$$I_L = \frac{I_0}{1-D} \quad (3.18)$$

Nelle ipotesi di SRA e FSL, la corrente dell'induttore (di verso opposto rispetto al caso precedente) ha sempre andamento lineare a tratti, con pendenze:

$$\begin{cases} m_1 = V_G/L, & \text{per } 0 \leq t \leq DT_{SW} \\ m_2 = \frac{V_G - V_0}{L}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.19)$$

Il ripple di corrente risulta quindi nuovamente pari a:

$$\Delta i_{Lpp} = \frac{V_G}{L} DT_{SW} = \frac{V_G - V_0}{L} (1-D) T_{SW} = \frac{V_0 D (1-D)}{L f_{SW}} \quad (3.20)$$

La corrente sul condensatore C_0 ha espressione:

$$i_{C0}(t) = \begin{cases} -\frac{V_0}{R_0}, & \text{per } 0 \leq t \leq DT_{SW} \\ i_L(t) - \frac{V_0}{R_0}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.21)$$

e il ripple di tensione risulta pertanto:

$$\Delta v_{0pp} = \frac{(V_0/R_0) DT_{SW}}{C_0} = \frac{I_0 D}{C_0 f_{SW}} \quad (3.22)$$

3.3 Guadagno di tensione e uso per energy harvesting

Indipendentemente dalla polarità dell'ingresso, il guadagno di tensione del convertitore ideale a regime è sempre:

$$M(D) = \frac{V_0}{V_G} = \frac{1}{1-D} \quad (3.23)$$

ed è lo stesso del convertitore Boost. Con tensioni di ingresso così basse, tipiche delle sorgenti di energy harvesting, non si può pensare di utilizzare dei diodi dato che questi non si accenderebbero nemmeno: i diodi D_0 e D_1 devono quindi essere sostituiti con degli interruttori, opportunamente controllati in modo da emularne il comportamento illustrato nelle sezioni precedenti.

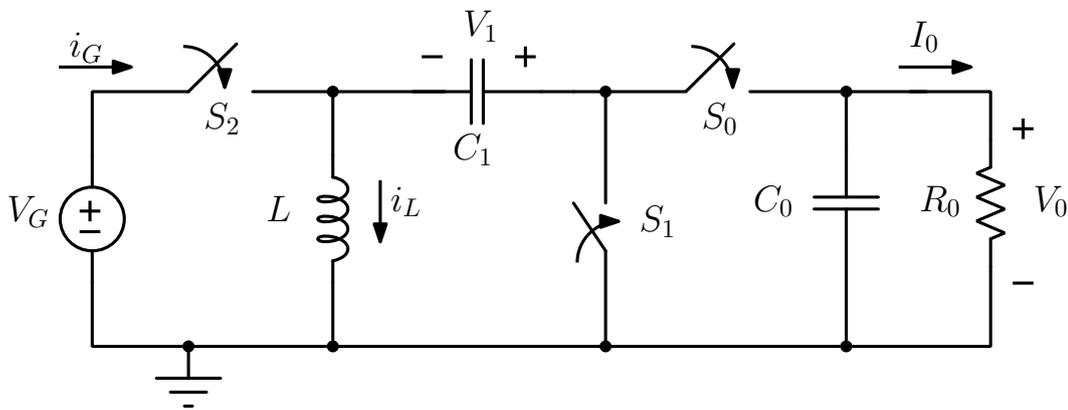


Figura 3.4: Schema del convertitore ideale con interruttori al posto dei diodi

	fase $0 \leq t \leq DT_{SW}$	fase $DT_{SW} \leq t \leq T_{SW}$
$V_G > 0$	$S_0, S_2 = \text{"ON"}$ $S_1 = \text{"OFF"}$	$S_0, S_2 = \text{"OFF"}$ $S_1 = \text{"ON"}$
$V_G < 0$	$S_1, S_2 = \text{"ON"}$ $S_0 = \text{"OFF"}$	$S_1, S_2 = \text{"OFF"}$ $S_0 = \text{"ON"}$

Tabella 3.1: Controllo degli interruttori di potenza nel convertitore

Il guadagno del convertitore in funzione del duty cycle è mostrato in figura 3.5. Come per il convertitore Boost, esso tende a infinito solo nel caso ideale: se si introducono nel modello le perdite dovute a interruttori non ideali (cioè con resistenza serie non nulla) esso viene limitato a un valore massimo per un certo valore del duty cycle e, continuando ad aumentare quest'ultimo, cala progressivamente fino ad azzerarsi.

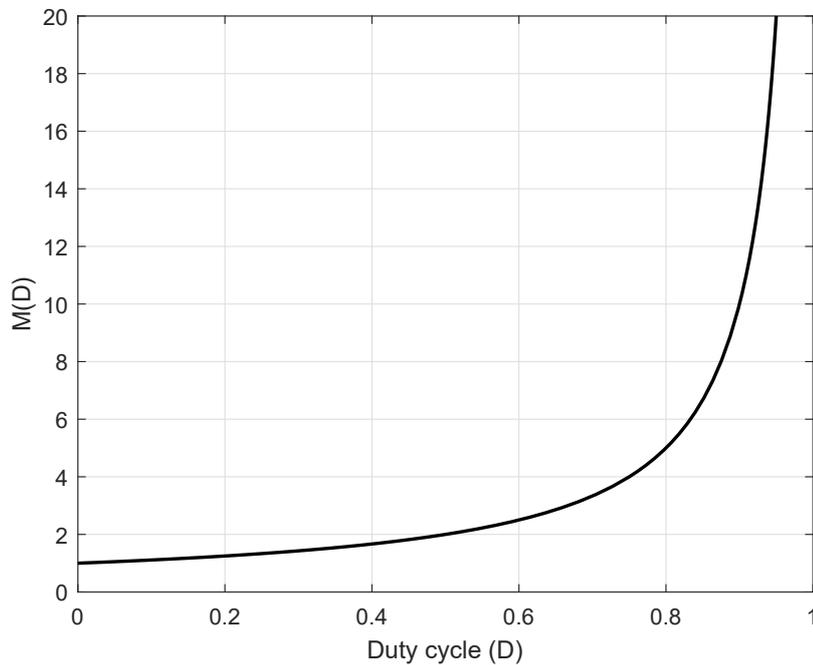


Figura 3.5: Guadagno di tensione del convertitore ideale in funzione del duty cycle

Il valore del duty cycle corrispondente a una data tensione di ingresso si ricava facilmente dalla 3.23:

$$D = 1 - \frac{V_G}{V_0} \quad (3.24)$$

La tensione di ingresso massima (in modulo) secondo le specifiche è di 600 mV: pertanto si avrà sempre $D > 0.5$.

3.4 Realizzazione degli interruttori

I tre interruttori S_0 , S_1 e S_2 sono stati realizzati a transistor MOSFET. Innanzitutto, è necessario stabilire quale tipo utilizzare (nMOS o pMOS) a seconda delle tensioni che si hanno ai nodi del circuito nelle varie fasi di funzionamento del convertitore. La figura 3.6 mette in evidenza le tensioni ai capi degli interruttori: il nodo n_0 è sempre a $V_0 = V_{DD}$, mentre il nodo n_1 viene connesso a massa quando l'interruttore S_1 è chiuso e a V_0 quando l'interruttore S_0 è attivo. Risulta quindi naturale utilizzare un pMOS per realizzare l'interruttore S_0 , collegando il terminale di source al nodo n_0 ; l'interruttore S_1 deve invece essere un nMOS, con il terminale di source a massa e il drain collegato al nodo n_1 . L'nMOS così collegato si accende con tensione $V_{GS} = V_{DD}$ portando il gate a V_{DD} e si spegne portando a massa. Il pMOS si accende con tensione $V_{GS} = -V_{DD}$ portando il gate a massa e si spegne portandolo a $V_{DD} = V_0$. In

entrambi i casi, la tensione ai capi di S_0 e S_1 , quando sono aperti, è pari a $V_0 = V_{DD}$ e quindi lo stress di tensione su questi due interruttori non supera mai V_{DD} .

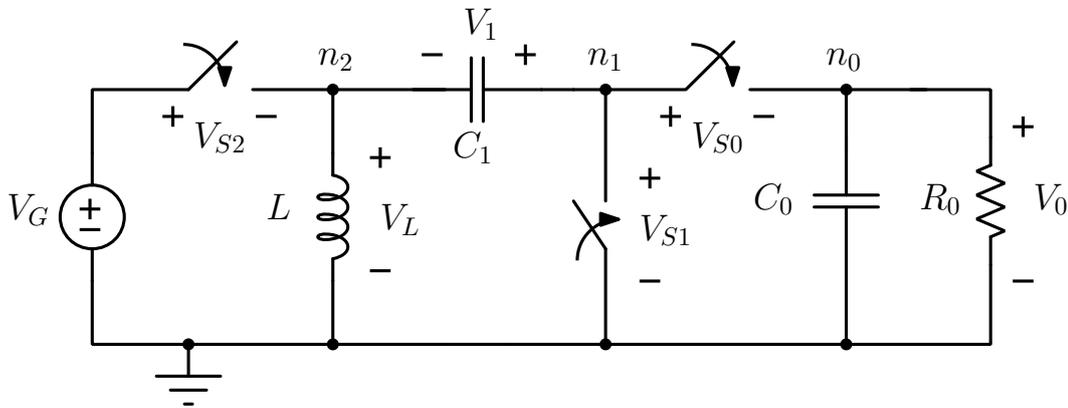


Figura 3.6: Tensioni ai capi degli interruttori

Per quanto riguarda invece l'interruttore di ingresso, il problema è molto più complesso. Esso deve essere infatti bidirezionale sia in tensione che in corrente, ovvero deve essere un interruttore *a quattro quadranti*. Infatti, quando la tensione di ingresso è positiva e l'interruttore viene aperto, la tensione V_L indicata in figura 3.6 diventa negativa e ai capi dello switch cade una tensione $V_{S2} > 0$; quando invece la tensione di ingresso è negativa, ad interruttore aperto si ha V_L positiva e di conseguenza $V_{S2} < 0$. Dualmente, la corrente i_G è positiva se $V_G > 0$ e negativa se $V_G < 0$.

La difficoltà nell'implementazione è dovuta essenzialmente al fatto che non è possibile identificare in modo univoco i terminali di source e drain come per gli interruttori S_0 e S_1 . Con tensioni di ingresso positive, infatti, il nodo n_2 si porta a $V_G > 0$ quando l'interruttore viene aperto e a $-V_1 < 0$ quando viene chiuso: è quindi il terminale con il potenziale sempre più basso. Pertanto, ad esso andrà collegato il terminale di source se si utilizza un nMOS, oppure di drain se si utilizza un pMOS. Con tensioni di ingresso negative, però, il nodo n_2 si porta a $V_G < 0$ se l'interruttore è chiuso e a $-V_1 + V_0 > 0$ quando viene aperto: in questo caso diventa allora il nodo a potenziale sempre più alto e, rispetto al caso precedente, i terminali di source e drain vanno scambiati.

Oltre a questo, si pone un secondo problema fondamentale. L'intero circuito, nella sua realizzazione pratica, dovrà essere auto-alimentato dalla tensione di uscita, che è *singola*. Non avendo a disposizione un'alimentazione duale, non è possibile ricorrere a tensioni negative per il pilotaggio degli interruttori. Con tensioni di ingresso positive, quando l'interruttore viene aperto il nodo n_2 si porta a tensione negativa e risulta quindi impossibile mantenere correttamente spento un nMOS; la tensione V_L diventa infatti pari a $-V_1 = -V_G D / (1 - D) = -V_0 D$ e si ha allora $V_{GSn} = 0 - (-V_0 D) = V_0 D$,

che per $D > 0.5$ è sempre maggiore della tensione di soglia nominale degli nMOS della tecnologia ($V_{th} = 300$ mV).

Se si utilizza un pMOS, apparentemente il problema viene risolto: per spegnerlo è sufficiente portare il terminale di gate a V_{DD} , mentre per accenderlo è sufficiente portarlo a massa. L'unico svantaggio è che la tensione tra i terminali del dispositivo supera il limite di 1.2 V imposto dalle specifiche del processo produttivo, pertanto si devono utilizzare dei dispositivi a ossido spesso capaci di tollerare tensioni fino a 3.3 V, che presentano una maggiore resistenza serie a parità di tensione di gate applicata. In realtà questo svantaggio è secondario, perchè anche utilizzare un singolo pMOS non risolve il problema. Quando $V_G < 0$, infatti, se l'interruttore di ingresso viene chiuso anche il nodo n_2 si porta a V_G e quindi per poter riaccendere il pMOS si dovrebbe disporre di una tensione negativa inferiore a quella di ingresso, che come già detto non è disponibile. Pertanto anche questa soluzione è da scartare.

La soluzione ideata consiste nell'uso di un circuito di maggiore complessità rispetto al singolo transistor. L'interruttore di ingresso si compone infatti di un nMOS e un pMOS in parallelo, pilotati come segue:

- se $V_G < 0$, per accendere l'interruttore il gate dell'nMOS viene portato a $V_G + V_{DD}$ e il gate del pMOS a V_G ; per spegnerlo, il gate dell'nMOS viene portato a V_G e quello del pMOS a $V_G + V_{DD}$;
- se $V_G > 0$, i ruoli di nMOS e pMOS si scambiano; per accendere l'interruttore il gate del pMOS viene portato a $V_G - V_{DD}$ e il gate dell'nMOS a V_G ; per aprire l'interruttore invece il gate del pMOS viene portato a V_G e quello dell'nMOS a $V_G - V_{DD}$.

Questa soluzione presenta tre vantaggi fondamentali:

1. pur utilizzando tensioni sia positive che negative per il pilotaggio dei gate, è sufficiente una singola alimentazione; come si vedrà a breve, infatti, le tensioni negative sono ottenute con un circuito di *bootstrap* che non richiede doppia alimentazione;
2. la tensione tra due terminali qualsiasi del dispositivo non supera mai V_{DD} , dunque non sono necessari transistor a ossido spesso;
3. i transistor vengono accesi con V_{GS} costante pari a V_{DD} (almeno idealmente) e dunque la resistenza serie a dispositivo acceso, che dipende da V_{GS} , sarà sempre costante indipendentemente dal valore della tensione di ingresso.

La figura 3.7 mostra il collegamento degli interruttori a MOSFET al circuito, mentre la figura 3.8 mostra lo schema di principio dell'interruttore di ingresso.

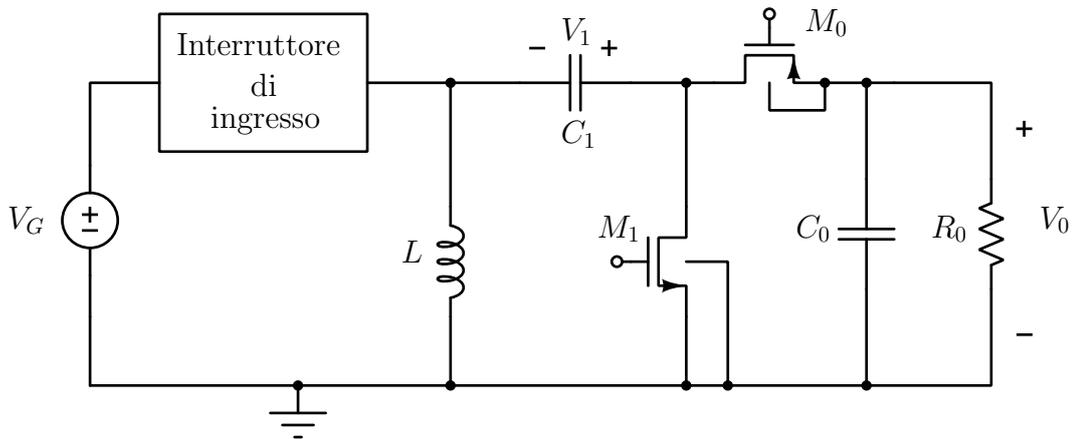


Figura 3.7: Schema degli interruttori del convertitore

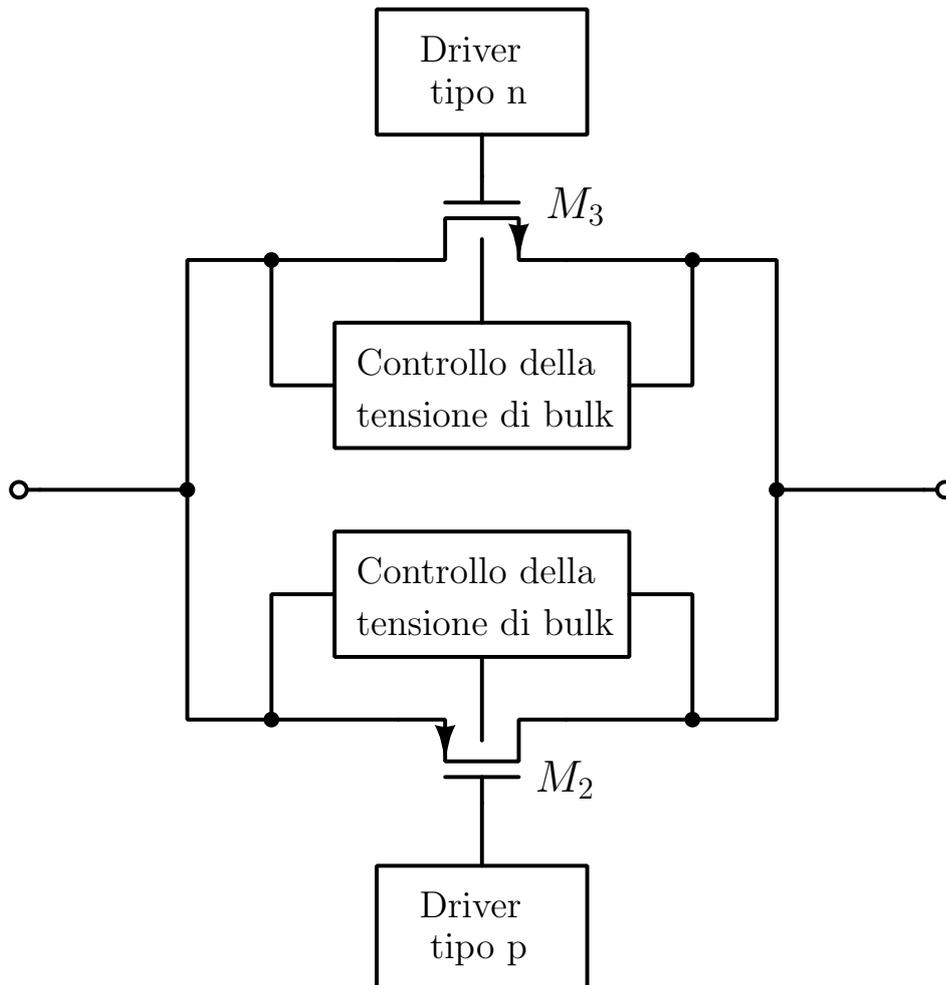


Figura 3.8: Realizzazione dell'interruttore di ingresso a quattro quadranti

I terminali di bulk di M_0 e M_1 sono stati cortocircuitati con i rispettivi terminali di source, dato che per questi due transistor essi sono univocamente determinati.² In questo modo l'effetto body è trascurabile e la resistenza serie dei dispositivi rimane costante. L'interruttore di ingresso necessita invece di un circuito più complesso anche sotto questo punto di vista, dato che i terminali di source e drain, come evidenziato sopra, si scambiano tra loro a seconda della modalità di funzionamento.

3.4.1 Interruttore di ingresso

Lo schema di principio del circuito che pilota l'interruttore di ingresso si basa sull'uso di una capacità C_B per ottenere il *bootstrap* della tensione di controllo, in modo simile a quanto descritto in [9]. Il funzionamento è molto semplice: sul gate del transistor viene innanzitutto campionato, tramite l'interruttore S_{aux} , il valore della tensione di ingresso. Quando S_{aux} viene aperto, lasciando il gate isolato, al nodo B viene applicata una commutazione da 0 a V_{DD} o viceversa (a seconda che sul gate si voglia ottenere $V_G + V_{DD}$ oppure $V_G - V_{DD}$): dato che il nodo di gate è isolato, la differenza di tensione tra i piatti del condensatore C_B rimane costante e pertanto alla tensione di gate viene sommato un ΔV della stessa entità della variazione al nodo B . In questo modo si ottengono dei gradini di tensione di segno arbitrario rispetto a V_G e di ampiezza sempre pari a V_{DD} .

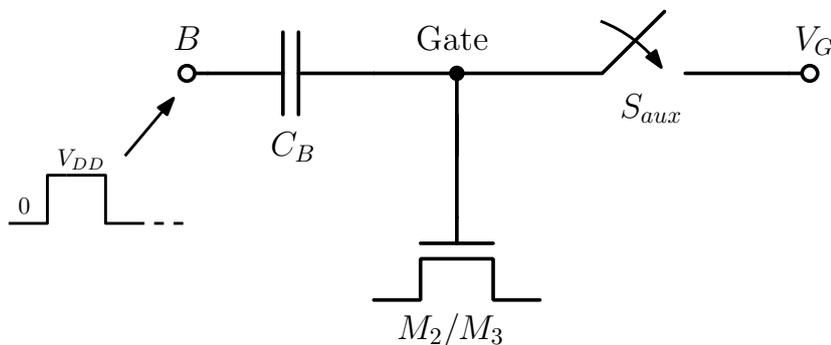


Figura 3.9: Schema di principio per il pilotaggio dei MOSFET dell'interruttore di ingresso

Per essere sicuri che il nodo di gate rimanga isolato, l'interruttore S_{aux} deve essere realizzato con un nMOS il cui terminale di gate venga portato alla tensione minima

²in realtà, quando M_1 conduce la corrente su di esso scorre dal source verso il drain e pertanto quest'ultimo è a tensione inferiore: tuttavia, la caduta di tensione su M_1 è molto piccola quando è in conduzione e dunque la differenza di tensione tra bulk e drain è trascurabile e certamente insufficiente ad accendere il diodo parassita. Analogamente, il terminale di drain del transistor M_0 si porta a tensione più alta del source quando il dispositivo sta conducendo, ma anche in questo caso vale lo stesso ragionamento fatto per M_1 .

raggiungibile ai capi dell'interruttore oppure con un pMOS il cui gate venga portato a quella massima raggiungibile. In base al funzionamento del sistema spiegato in precedenza, la tensione massima presente al nodo di gate sarà $V_{G,min} + V_{DD}$ (pari a 600 mV) mentre quella minima sarà $V_{G,MAX} - V_{DD}$ (pari a -600 mV). Analogamente, al nodo collegato all'ingresso la tensione ha per estremi -600 mV e +600 mV.

Per avere la certezza di spegnere correttamente l'interruttore di campionamento ma allo stesso tempo tenere relativamente bassa la resistenza serie, si è scelto di implementare un *gate di trasmissione*[10] che viene disabilitato portando il gate dell'nMOS a $-V_{DD}$ e quello del pMOS a V_{DD} . La tensione negativa sul gate dell'nMOS si ottiene tramite un ulteriore *bootstrapping*. L'interruttore di campionamento viene abilitato portando entrambi i gate a zero, pertanto il pMOS sarà ben acceso per tensioni di ingresso positive mentre l'nMOS sarà ben acceso per tensioni di ingresso negative. Per tensioni di ingresso in modulo molto piccole, nessuno dei due sarà correttamente acceso e dunque si avrà un'elevata resistenza serie dell'interruttore di campionamento: questo in realtà non costituisce un problema visto che, come già anticipato, il convertitore non è comunque in grado di operare correttamente con tensioni di ingresso (in modulo) molto piccole. La figura 3.10 mostra lo schema del circuito di bootstrap che realizza i driver p ed n di figura 3.8.

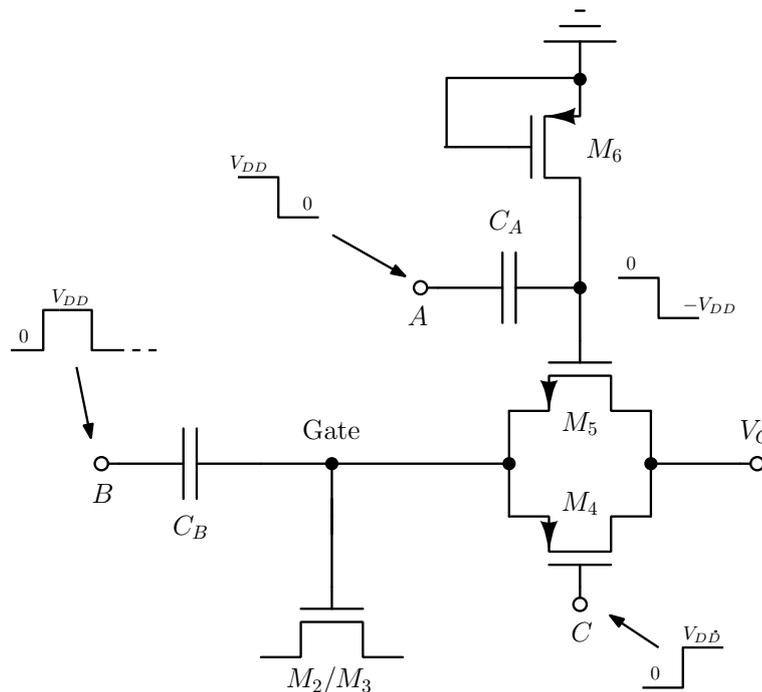


Figura 3.10: Implementazione circuitale del driver per i transistor dell'interruttore di ingresso

Il pMOS M_6 è sempre in interdizione e si comporta da resistore di valore elevato come descritto in [9], allo scopo di impostare il punto di riposo per il nodo di gate di M_5 .

I nodi A , B e C devono essere pilotati diversamente a seconda che si tratti del driver per il pMOS o di quello per l'nMOS. Le tabelle 3.2 e 3.3 riportano le tensioni da applicare a ciascun nodo per la corretta gestione dell'interruttore di ingresso.

	$0 \leq t \leq DT_{SW}$	$DT_{SW} \leq t \leq T_{SW}$
$V_G > 0$	$A = V_{DD}$	$A = 0$
	$B = V_{DD}$	$B = 0$
	$C = 0$	$C = V_{DD}$
$V_G < 0$	$A = 0$	$A = V_{DD}$
	$B = V_{DD}$	$B = 0$
	$C = V_{DD}$	$C = 0$

Tabella 3.2: controllo del driver tipo n

	$0 \leq t \leq DT_{SW}$	$DT_{SW} \leq t \leq T_{SW}$
$V_G > 0$	$A = 0$	$A = V_{DD}$
	$B = 0$	$B = V_{DD}$
	$C = V_{DD}$	$C = 0$
$V_G < 0$	$A = V_{DD}$	$A = 0$
	$B = 0$	$B = V_{DD}$
	$C = 0$	$C = V_{DD}$

Tabella 3.3: controllo del driver tipo p

Rimane ancora un problema da risolvere: il collegamento dei terminali di bulk. Il source e il drain di M_2 e M_3 (ma anche di M_4 e M_5) si scambiano a seconda della polarità della tensione di ingresso: il terminale di bulk non può quindi essere collegato direttamente a quello di source (caratteristica desiderabile perchè elimina l'effetto body[3]), dato che il source non si può individuare univocamente. Nel caso del pMOS, per avere la certezza che i diodi parassiti siano correttamente contro-polarizzati, si può collegare il terminale di bulk a V_{DD} (al prezzo ovviamente di una variazione della tensione di soglia per effetto body) ma nel caso dell'nMOS non è disponibile una tensione negativa costante tale da tenere sempre in interdizione i diodi parassiti.

La soluzione proposta consiste nell'utilizzare i circuiti mostrati nelle figure 3.11a e 3.11b, il cui scopo è banalmente il collegamento del terminale di bulk al terminale di source,³ che con questo sistema viene automaticamente identificato.

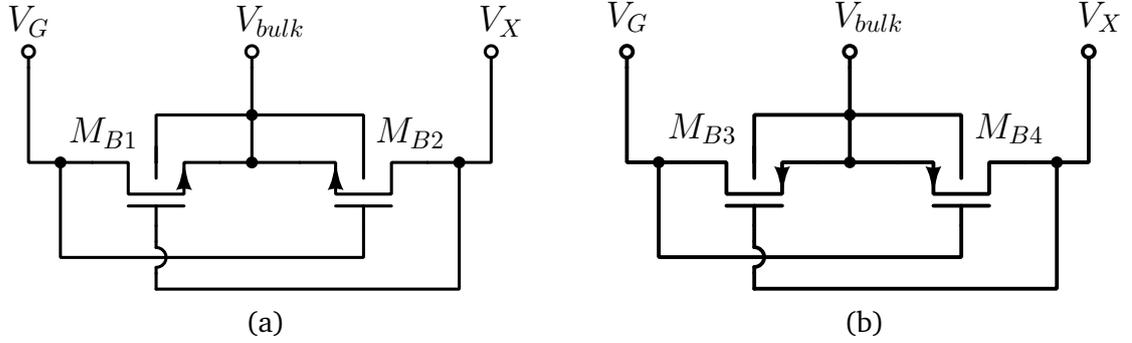


Figura 3.11: Circuiti di controllo della tensione di bulk per (a) nMOS e (b) pMOS

La tensione V_X , nella fase in cui l'interruttore è aperto, è pari a V_L se V_G è positiva, mentre se V_G diventa negativa è pari a $-V_L$.

Per $V_G > 0$ si ha quindi:

$$V_X = \begin{cases} V_G, & \text{per } 0 \leq t \leq DT_{SW} \\ \frac{-V_G D}{1-D}, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.25)$$

da cui:

$$V_G - V_X = \begin{cases} 0, & \text{per } 0 \leq t \leq DT_{SW} \\ \frac{V_G}{1-D} = V_0, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.26)$$

Ad interruttore aperto, la tensione V_X si porta al suo valore *negativo*; il transistor M_{B2} del circuito di figura 3.11a si accende con $V_{GS} = V_0 = V_{DD}$ e porta V_{bulk} a V_X ; alla chiusura dell'interruttore, la tensione V_X risale e con essa anche V_{bulk} . Nel circuito di figura 3.11b è invece M_{B3} ad accendersi con $V_{GS} = -V_{DD}$ e pertanto V_{bulk} è sempre pari a V_G .

Per $V_G < 0$ si ha invece:

$$V_X = \begin{cases} V_G, & \text{per } 0 \leq t \leq DT_{SW} \\ V_0 + V_G, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.27)$$

³è opportuno ricordare che per un nMOS il terminale di source si identifica per la tensione più bassa rispetto al drain, mentre per un pMOS è quello a tensione più alta tra i due

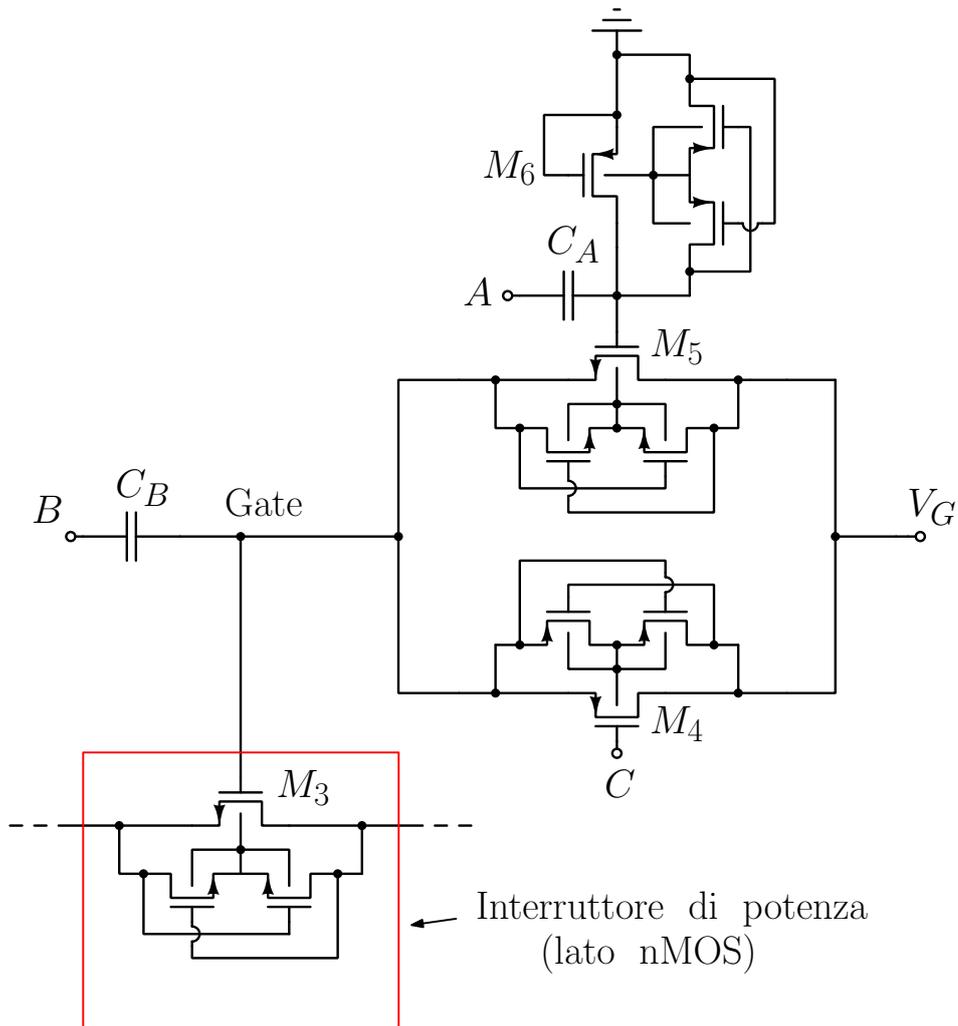


Figura 3.12: Schema circuitale di driver e controllo del bulk per l'nMOS dell'interruttore di ingresso

da cui:

$$V_G - V_X = \begin{cases} 0, & \text{per } 0 \leq t \leq DT_{SW} \\ V_0, & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (3.28)$$

Ad interruttore aperto, dunque, la tensione V_X si porta stavolta al suo valore *positivo*. Nel circuito di figura 3.11a è il transistor M_{B1} ad essere acceso e mantenere V_{bulk} pari a V_G . Nel circuito di figura 3.11b, invece, V_{bulk} segue V_X ad opera del transistor M_{B4} . Nel circuito di figura 3.10, tutti i transistor necessitano del controllo della tensione di bulk.⁴ La figura 3.12 riporta lo schema per un singolo driver dell'interruttore di ingresso, inclusi i driver e i circuiti per la gestione della tensione di bulk.

⁴apparentemente M_6 non necessita di questo tipo di controllo, ma da risultati di simulazione è emerso che nel transitorio iniziale le giunzioni drain-bulk e source-bulk superano i limiti massimi di

Il circuito per il pMOS è esattamente lo stesso, tranne per gli nMOS che controllano il bulk dell'interruttore di potenza che devono chiaramente essere sostituiti con dei pMOS.

3.5 Caratterizzazione del transistor MOSFET come interruttore

I dispositivi a semiconduttore sono controllati attraverso la carica. Nel caso del transistor MOSFET, lo stato di conduzione è determinato dalla carica presente al gate e nel canale: per passare da spento ad acceso e viceversa si deve iniettare o rimuovere carica, con conseguente dissipazione di potenza [4] (*perdite di pilotaggio*). Questo porta inoltre ad avere un tempo di commutazione non nullo e di conseguenza delle perdite aggiuntive dovute a tensione e corrente contemporaneamente elevate sul dispositivo, che prendono il nome di *perdite di commutazione*. Infine, quando il MOSFET conduce, presenta una resistenza serie non nulla e quindi dissipa potenza; le perdite dovute ad essa prendono il nome di *perdite di conduzione*. Tutti e tre questi meccanismi di dissipazione contribuiscono a ridurre l'efficienza del convertitore.

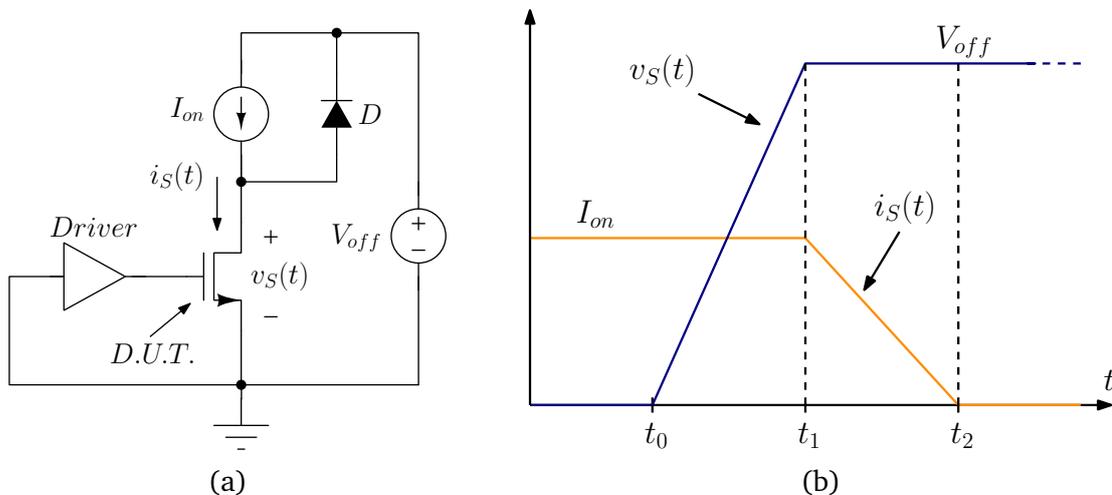


Figura 3.13: (a) Circuito equivalente per lo studio delle commutazioni del MOSFET connesso a un carico induttivo. (b) Andamenti semplificati di corrente e tensione ai capi del dispositivo nel transitorio di spegnimento.

Per studiare le perdite di commutazione, si può sfruttare il circuito di test in figura 3.13a, che rappresenta il collegamento del dispositivo a un carico induttivo (genera-

corrente se si collega direttamente il source al terminale superiore del transistor (che teoricamente è quello a tensione sempre maggiore rispetto al nodo sottostante); utilizzare il controllo del bulk risolve questo problema e quindi si è scelto di implementarlo anche per M_6

tore di corrente I_{on}). [11]

La tensione V_{off} è quella che si ha ai capi del transistor quando è spento. Il diodo D è ideale. Considerando il transitorio di spegnimento del transistor (indicato come D.U.T. nello schema, *Device Under Test*), le forme d'onda possono essere approssimate a quelle di figura 3.13b.[4]

Nell'intervallo $t_0 - t_2$ sia la tensione che la corrente sono maggiori di zero. L'energia dissipata in tale intervallo vale quindi:

$$E_{diss} = I_{on} \cdot \frac{1}{2}(t_1 - t_0)V_{off} + V_{off} \cdot \frac{1}{2}(t_2 - t_1)I_{on} \quad (3.29)$$

cioè:

$$E_{diss} = \frac{1}{2}V_{off}I_{on}(t_2 - t_0) \quad (3.30)$$

In un periodo di commutazione del convertitore avvengono un'accensione e uno spegnimento. La dissipazione di potenza nel transitorio di accensione, con questa analisi semplificata, risulta la stessa del transitorio di spegnimento e pertanto la potenza complessivamente dissipata è:

$$P_{diss} = \frac{2}{T_{SW}} \int_0^{T_{SW}} E_{diss} dt = 2E_{diss}f_{SW} \quad (3.31)$$

Le perdite di commutazione sono quindi direttamente proporzionali alla frequenza di commutazione del convertitore.

3.5.1 Resistenza serie

Le perdite in conduzione dipendono dalla resistenza serie non nulla degli interruttori. Quando è in interdizione, il MOSFET (*cut-off*) approssima molto bene un interruttore aperto ideale. Quando invece viene acceso, inizialmente ha ai suoi capi la tensione V_{off} e si comporta da generatore di corrente secondo la nota equazione quadratica:

$$I_{DS} = \frac{\mu C_{ox} W}{2L} (V_{GS} - V_{th})^2 \quad \begin{cases} V_{GS} \geq V_{th} \\ V_{DS} \geq V_{GS} - V_{th} \end{cases} \quad (3.32)$$

la tensione V_{DS} ai capi del dispositivo cala poi progressivamente, fino a mandarlo in zona lineare (o *di triodo*) quando diventa inferiore a $V_{GS} - V_{th}$.⁵ In tale regione operativa, la relazione tra tensione e corrente diventa:

$$I_{DS} = \mu C_{ox} \frac{W}{L} \left[(V_{GS} - V_{th})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \begin{cases} V_{GS} \geq V_{th} \\ V_{DS} \leq V_{GS} - V_{th} \end{cases} \quad (3.33)$$

⁵la tensione $V_{GS} - V_{th}$ prende il nome di *tensione di overdrive*, V_{ov} [3]

Dato che il transistor deve comportarsi il più possibile da interruttore ideale, si può supporre $V_{DS} \rightarrow 0$ e dunque il termine quadratico della 3.33 si può trascurare.

La conduttanza serie del MOSFET può essere quindi stimata come la derivata di I_{DS} rispetto a V_{GS} :

$$G_{DS} = \left[\frac{\partial I_{DS}}{\partial V_{DS}} \right]_{V_{DS} \rightarrow 0} = \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th}) \quad (3.34)$$

La resistenza serie risulta pertanto:

$$R_{DS} = \frac{1}{G_{DS}} = \frac{L}{W} \frac{1}{\mu C_{ox} (V_{GS} - V_{th})} \quad (3.35)$$

Da questa equazione si possono trarre diverse informazioni utili su R_{DS} :

1. è direttamente proporzionale alla lunghezza di canale L , pertanto per minimizzarla è opportuno usare la lunghezza minima consentita dal processo produttivo (L_{min});
2. è inversamente proporzionale alla larghezza di canale W ;
3. è inversamente proporzionale alla tensione di overdrive $V_{GS} - V_{th}$, che dunque deve essere massimizzata, nei limiti consentiti dal processo.⁶

Tuttavia, in generale non è possibile sfruttare la 3.35 per ottenere una stima precisa della resistenza serie: la tensione di soglia cambia infatti con la polarizzazione e le dimensioni del dispositivo e i parametri μ (mobilità dei portatori maggioritari) e C_{ox} (capacità dell'ossido per unità di area) non sono noti con precisione. Si è preferito quindi sfruttare i risultati di simulazione e ridurre la 3.35 alla seguente forma:

$$R_{DS} = \frac{K_R}{W} \quad (3.36)$$

dove W è la larghezza di canale del transistor, mentre K_R è una costante da determinare tramite simulazione. I circuiti di test utilizzati in simulazione sono riportati nelle figure 3.14a e 3.14b, in cui il resistore R serve a tenere il transistor in zona lineare. Il suo valore non influenza il risultato, a patto che sia sufficientemente elevato. I terminali di bulk sono stati cortocircuitati a quelli di source perchè grazie ai circuiti di controllo del bulk si riesce a ottenere $V_{BS} \approx 0$ per tutti gli interruttori presenti nel circuito.

⁶le equazioni da 3.32 a 3.35 presuppongono l'uso di un nMOS; nel caso di un pMOS valgono considerazioni analoghe, invertendo però i segni di tensioni e correnti (la V_{GS} deve essere la minore possibile per minimizzare la resistenza serie)

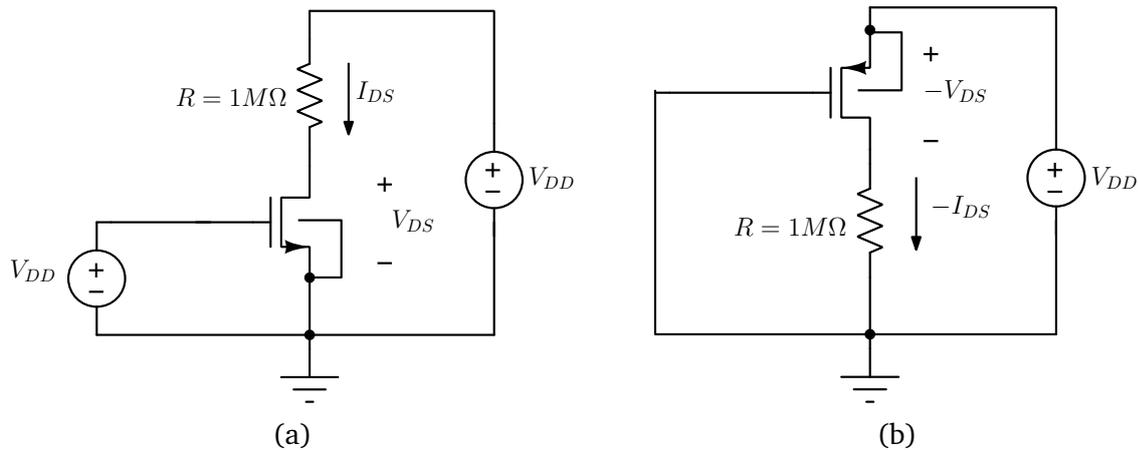


Figura 3.14: Circuiti di test per le resistenze serie di (a) nMOS e (b) pMOS standard del processo

Per ottenere K_R è stata effettuata una simulazione DC parametrica al variare della larghezza di canale W : i dati raccolti sono poi stati sottoposti a fitting non lineare (tramite MATLAB) con il metodo dei minimi quadrati.⁷ Le figure 3.16a e 3.16b mostrano chiaramente che il fitting descrive bene il comportamento della resistenza serie al variare della larghezza di canale. Come si vedrà a breve, i MOSFET che compongono l'interruttore di ingresso (nMOS *triple-well* N_BPW_12_HSL130E e pMOS P_12_HSL130E) vengono accesi con $|V_{GS}| = 1.15$ V anziché 1.2 V, pertanto per avere una caratterizzazione completa degli interruttori di potenza sono state simulate entrambe le condizioni.

Nei circuiti di controllo, inoltre (come si vedrà nel capitolo 4) sono presenti degli interruttori che si accendono con $|V_{GS}| = 600$ mV. Pertanto, la resistenza serie di nMOS e pMOS è stata misurata anche in questa situazione.

Per completare la caratterizzazione delle resistenze serie degli interruttori, è stato simulato anche l'interruttore di campionamento, supponendo di essere nel caso peggiore con $V_G \approx 0$: il circuito di test è riportato in figura 3.15. La tensione V è stata fissata a 10 mV in modo da simulare $V_G \approx 0$, condizione in cui i transistor conducono solo in sotto-soglia[12]. Per ridurre il più possibile la resistenza serie, sono stati utilizzati dei transistor a bassa tensione di soglia; dato però che le tensioni ai terminali di questi dispositivi superano la tensione limite di 1.2 V, è stato necessario utilizzare dei transistor *a ossido spesso* in grado di sostenere 3.3 V (nMOS *triple-well* N_HGLVBPW_33_L130E e pMOS P_HGLV_33_L130E).

Misurare la resistenza serie in questa condizione è comunque una stima eccessivamente pessimistica: come già sottolineato in precedenza, infatti, il convertitore non

⁷il metodo dei minimi quadrati è una tecnica di regressione che si basa sul minimizzare la somma dei quadrati delle distanze tra i dati osservati e quelli della curva di regressione

funzionerà mai correttamente per tensioni di ingresso troppo basse (in modulo) dunque in realtà non è necessario che gli interruttori di campionamento operino in queste condizioni. In ogni caso, anche se non è necessario che la resistenza serie di questi interruttori debba essere particolarmente bassa (non incidendo sull'efficienza del convertitore) una stima peggiorativa non presenta particolari svantaggi. La figura 3.15 mostra i dati di simulazione e il fitting per il circuito di figura 3.17b: anche in questo caso si osserva un ottimo accordo tra le simulazioni e il fitting K_R/W .

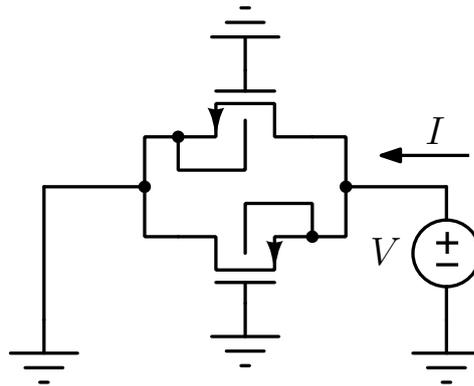
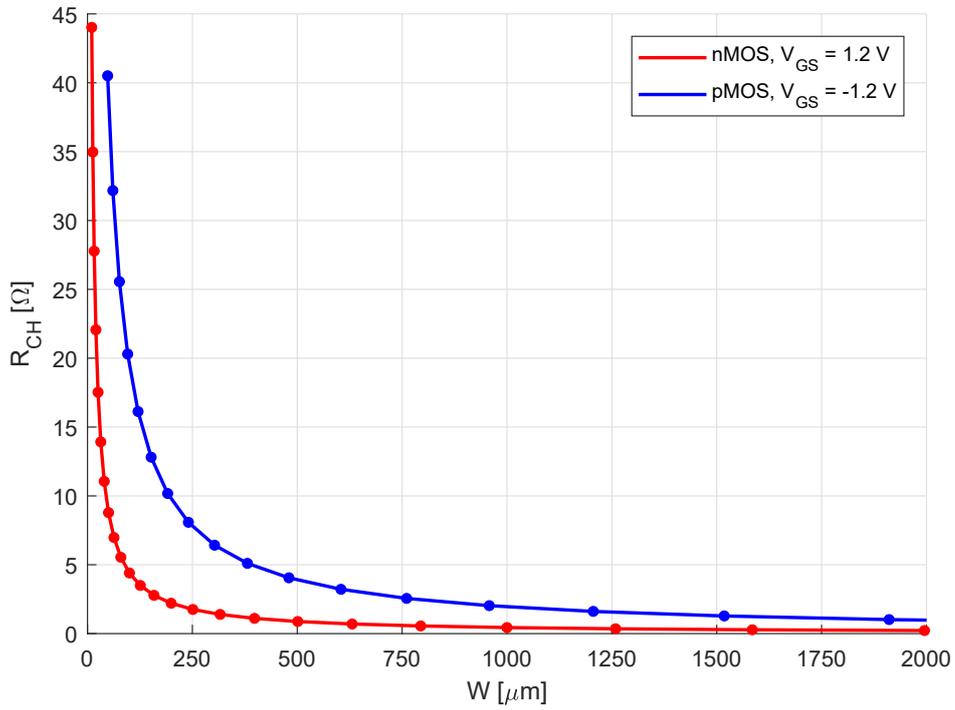


Figura 3.15: Circuito di test per gli interruttori di campionamento nel driver dell'interruttore di ingresso

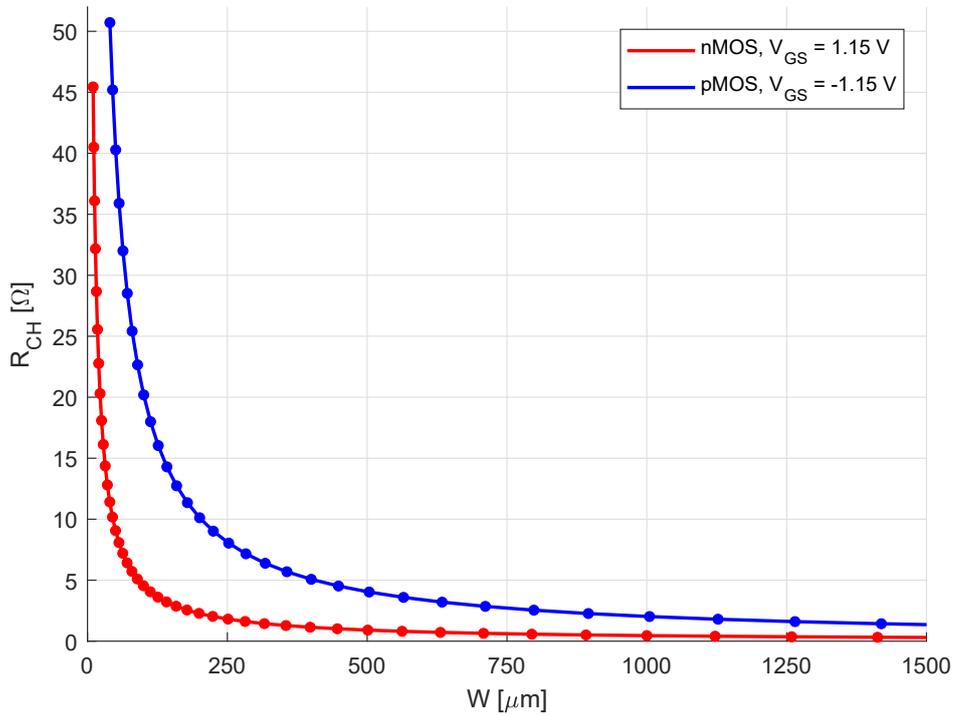
La tabella 3.4 riporta i parametri K_R estrapolati per i vari tipi di interruttori.

Tipo di MOSFET	$ V_{GS} $	$K_R [\Omega \cdot \mu m]$
N_BPW_12_HSL130E	1.2 V	440
	1.15 V	454
	600 mV	$1.161 \cdot 10^3$
P_12_HSL130E	1.2 V	$1.944 \cdot 10^3$
	1.15 V	$2.029 \cdot 10^3$
	600 mV	$5.255 \cdot 10^3$
N_HGLVBPW_33_L130E + P_HGLV_33_L130E	≈ 0	$8.263 \cdot 10^6$

Tabella 3.4: Valori del parametro K_R per il calcolo della resistenza serie



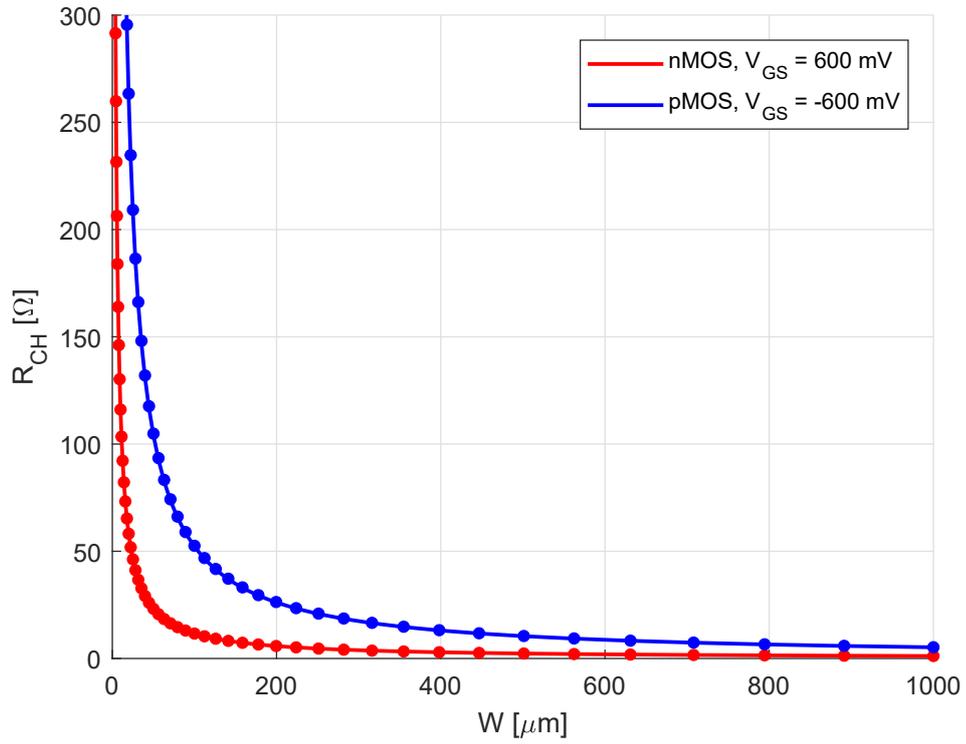
(a)



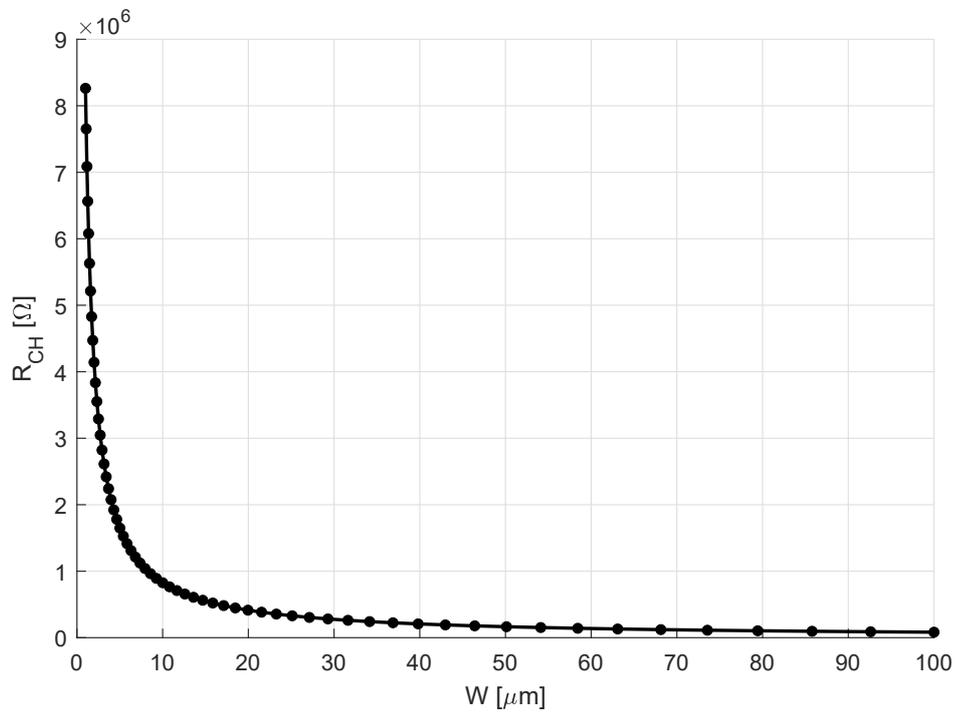
(b)

Figura 3.16: Dati di simulazione e fitting per l'estrazione del parametro K_R di nMOS e pMOS standard del processo. (a) $|V_{GS}| = 1.2$ V. (b) $|V_{GS}| = 1.15$ V.

3.5. Caratterizzazione del transistor MOSFET come interruttore



(a)



(b)

Figura 3.17: Dati di simulazione e fitting per l'estrazione del parametro K_R . (a) nMOS e pMOS standard del processo con $|V_{GS}| = 0.6$ V. (b) Coppia nMOS/pMOS che compone l'interruttore di campionamento

3.5.2 Capacità equivalente di gate

Le capacità del MOSFET si dividono in *intrinseche* (legate al funzionamento del dispositivo) ed *estrinseche* (parassite, legate al layout e alla tecnologia). Le perdite di pilotaggio sono il risultato della carica e scarica della capacità di gate, necessaria ad accendere e spegnere il transistor: essa si compone di diversi termini, sia intrinseci che estrinseci, schematizzati in figura 3.18.

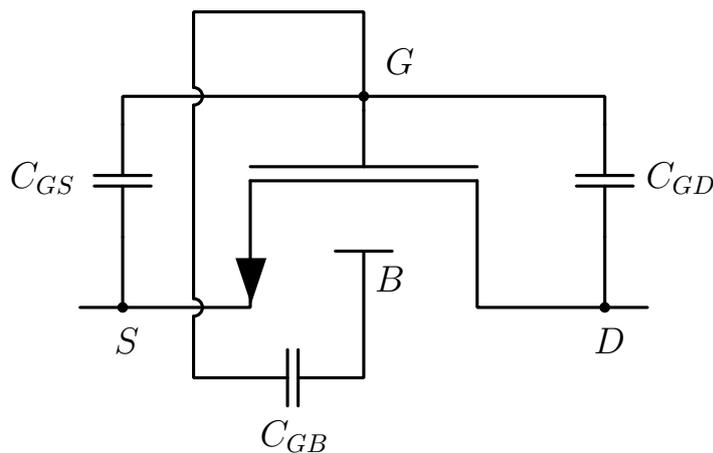


Figura 3.18: Capacità legate al gate del transistor MOSFET

Il primo contributo è dato dalle capacità intrinseche, il cui valore dipende dalla regione di funzionamento del dispositivo. Quando il transistor è acceso⁸ il gate e il canale formano un condensatore piano di capacità:

$$C_{GC} = WL \frac{\epsilon_{ox}}{t_{ox}} = WLC_{ox} \quad (3.37)$$

dove ϵ_{ox} è la costante dielettrica dell'ossido e t_{ox} il suo spessore. Tale capacità si distribuisce tra C_{GS} e C_{GD} a seconda che il MOSFET sia in zona lineare o in saturazione. Quando il transistor è spento, il gate vede una capacità legata al sistema metallo-ossido-semiconduttore (cioè tra gate e substrato) e una legata alle regioni di carica spaziale (RCS) delle giunzioni pn parassite presenti nel dispositivo; la capacità complessiva è quindi la combinazione serie di questi due effetti capacitivi. La tabella 3.5 riassume le capacità intrinseche nelle varie regioni di funzionamento: x_d è l'ampiezza della RCS e ϵ_{Si} la costante dielettrica del silicio.

⁸cioè quando il canale è formato

3.5. Caratterizzazione del transistor MOSFET come interruttore

	Sottosoglia	Zona lineare	Saturazione
C_{GS}	0	$\frac{1}{2}WLC_{ox}$	$\frac{2}{3}WLC_{ox}$
C_{GD}	0	$\frac{1}{2}WLC_{ox}$	0
C_{GB}	$\left(\frac{x_d}{WL\epsilon_{Si}} + \frac{1}{WLC_{ox}}\right)^{-1}$	0	0

Tabella 3.5: Capacità intrinseche del MOSFET nelle varie regioni di funzionamento

Alle capacità C_{GS} e C_{GD} contribuiscono anche capacità estrinseche, dovute alla parziale sovrapposizione tra il gate e le diffusioni di source e drain. Esse prendono il nome di *capacità di overlap* e vengono modellizzate come segue:

$$\begin{aligned} C_{gs,ol} &= C_{GSO} \cdot W \\ C_{gd,ol} &= C_{GDO} \cdot W \end{aligned} \quad (3.38)$$

dove C_{GSO} e C_{GDO} sono parametri che dipendono dalla tecnologia utilizzata.

Nell'utilizzo del transistor MOSFET come interruttore, la lunghezza di canale è una costante (e sempre pari alla lunghezza minima consentita) e i restanti parametri dipendono dalla tecnologia. La capacità complessiva di gate è quindi data dalla somma di termini direttamente proporzionali alla larghezza di canale e può essere espressa come una funzione lineare di W :

$$C_{gate} = K_C \cdot W \quad (3.39)$$

Come già sottolineato, nei transistori di accensione e spegnimento il MOSFET attraversa diverse regioni di funzionamento, con conseguente variazione della capacità che vede il terminale di gate.

Si ha inoltre un secondo problema: l'accensione e lo spegnimento degli interruttori causano una variazione delle tensioni ai nodi del circuito. In particolare, il nodo a cui sono connessi i drain di M_0 e M_1 (figura 3.7) subisce una variazione di tensione di ampiezza pari a quella del segnale di controllo dei due gate, ma di segno opposto. Questo significa che le capacità C_{GD} dei due transistor vengono moltiplicate per *effetto Miller*[3], poichè tra il nodo di gate e quello di drain si ha un guadagno di tensione $A_V = -1$:

$$C'_{GD} = C_{GD}(1 - A_V) \quad (3.40)$$

Si verifica facilmente che anche per i transistor dell'interruttore di ingresso si ha la stessa dinamica.

Il valore del parametro K_C è stato ricavato dai risultati di simulazione: per tenere conto dell'effetto Miller sono stati utilizzati i circuiti di test mostrati nelle figure 3.19a

e 3.19b, che emulano il comportamento dei nodi a cui sono collegati i terminali di drain nel circuito reale.

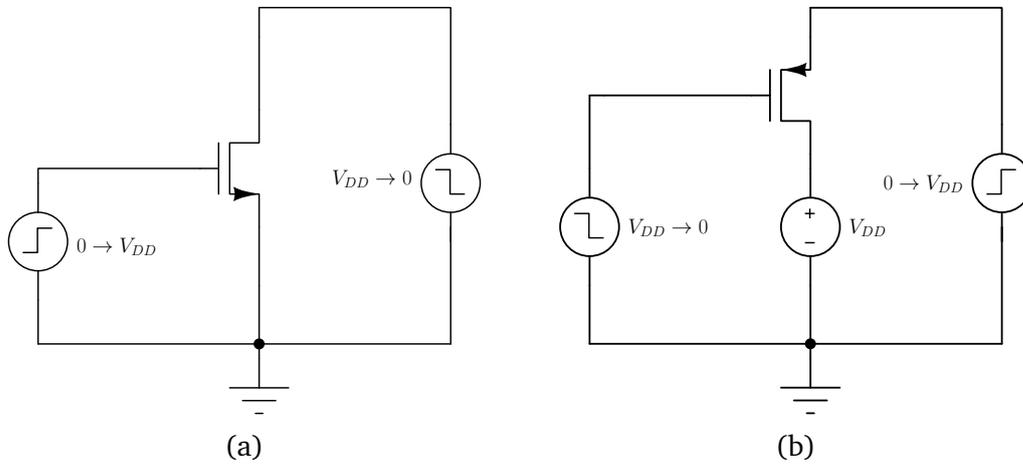


Figura 3.19: Circuiti di test per le capacità di gate di (a) nMOS e (b) pMOS standard del processo

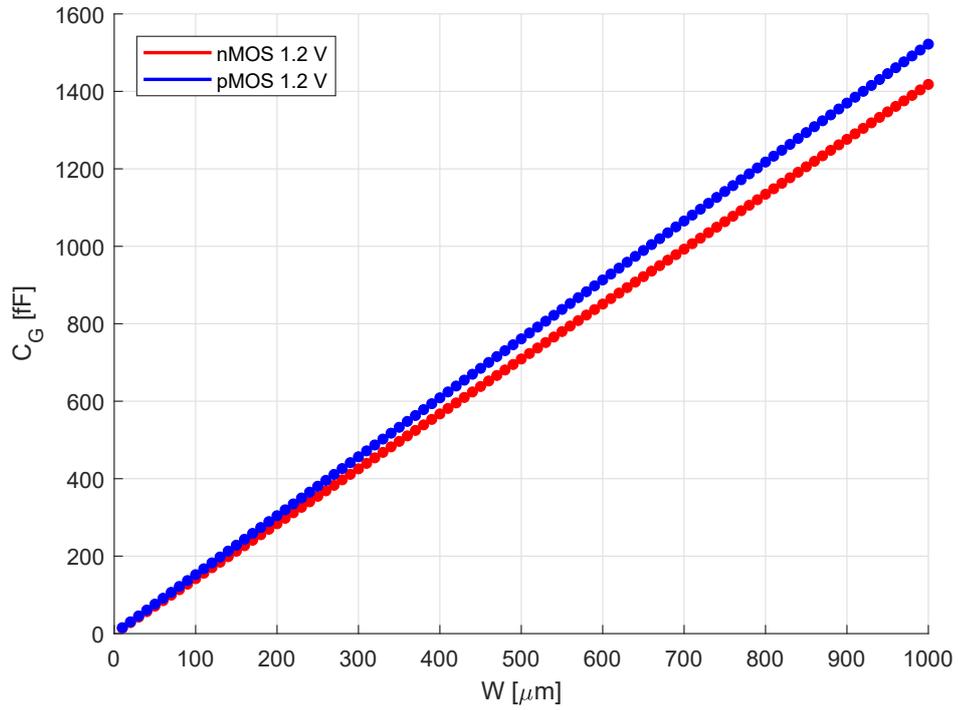
In figura 3.20 sono riportati i dati di simulazione e i fitting: anche in questo caso, come per l'estrapolazione delle costanti K_R , si nota un ottimo accordo con il fitting.

La tabella 3.6, infine, riporta i valori dei parametri K_C così ottenuti.

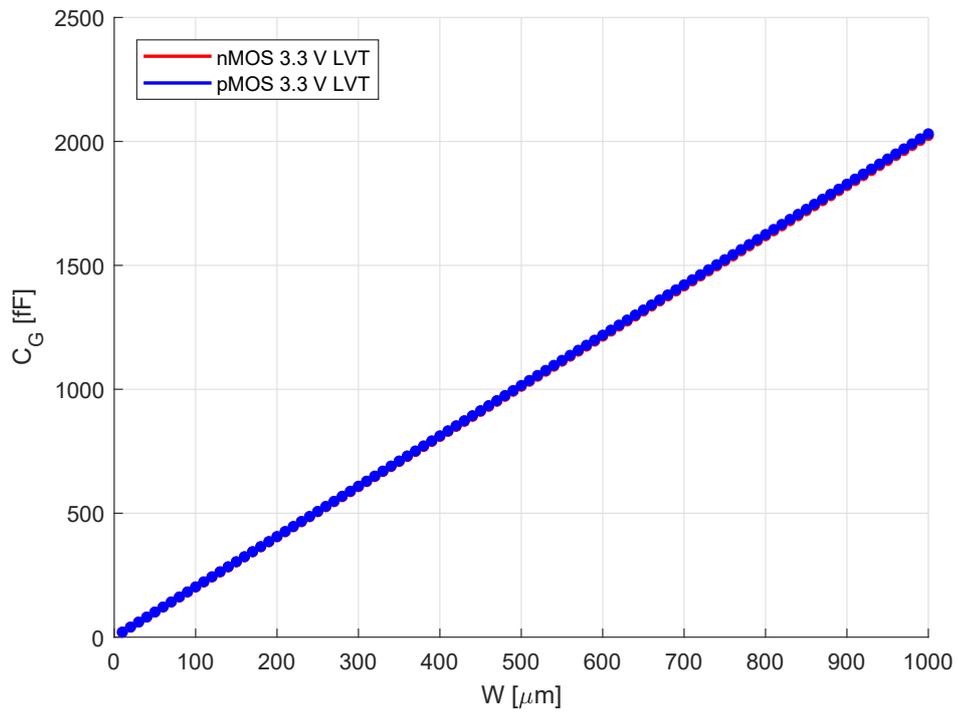
Tipo di MOSFET	K_C [$fF/\mu m$]
N_BPW_12_HSL130E	1.42
P_12_HSL130E	1.52
N_HGLVBPW_33_L130E	2.024
P_HGLV_33_L130E	2.031

Tabella 3.6: Valori del parametro K_C per il calcolo della resistenza serie

3.5. Caratterizzazione del transistor MOSFET come interruttore



(a)



(b)

Figura 3.20: Dati di simulazione e fitting per l'estrazione del parametro K_C . (a) nMOS e pMOS standard del processo (b) nMOS e pMOS a ossido spesso e bassa tensione di soglia

3.6 Buffer CMOS

Per ottenere resistenze serie molto piccole, è necessario utilizzare transistor molto larghi: ciò significa però avere delle capacità equivalenti di gate molto grandi, che quindi necessitano di un *buffer* per essere pilotate. Un buffer viene realizzato come una serie di invertitori in cascata, di dimensione via via crescente.

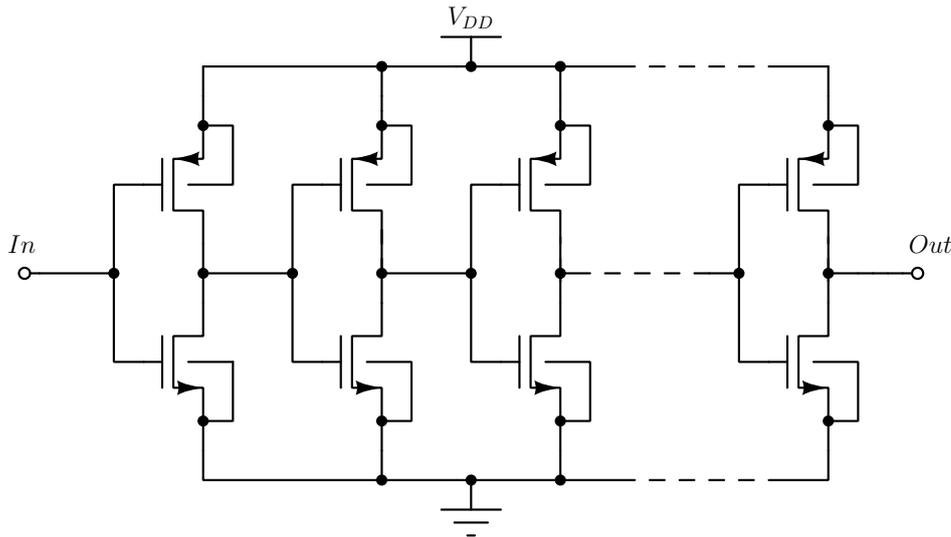


Figura 3.21: Realizzazione circuitale di un buffer CMOS

Per dimensionare gli stadi che compongono il buffer, si è scelto di minimizzare il tempo di propagazione del segnale lungo la catena. Detta C_{in} la capacità di ingresso di un invertitore e C_{out} la capacità di carico intrinseca, vale la relazione:

$$C_{out} = \gamma C_{in} \quad (3.41)$$

indipendentemente dalle dimensioni dell'invertitore, dato che entrambe le capacità sono direttamente proporzionali ad esse. La costante γ è funzione solo dei parametri tecnologici e nella maggior parte dei processi submicrometrici assume valori prossimi a 1. Il tempo di propagazione⁹ risulta allora [10]:

$$t_p = t_{p0} \left(1 + \frac{C_L}{\gamma C_{in}} \right) = t_{p0} \left(1 + \frac{f}{\gamma} \right) \quad (3.42)$$

dove:

- t_{p0} è il tempo di propagazione intrinseco all'invertitore (cioè con l'invertitore privo di carico);

⁹il tempo di propagazione t_p viene definito come il tempo che intercorre tra l'istante in cui l'ingresso si porta al 50% dell'escursione in tensione e l'istante in cui l'uscita raggiunge il 50% dell'escursione

- C_L è la capacità di carico collegata al nodo di uscita;
- f è il *fan-out effettivo*, ovvero il rapporto C_L/C_{in} .

Detto $t_{p,j}$ il tempo di propagazione del j -esimo invertitore della catena, dove:

$$t_{p,j} = t_{p0} \left(1 + \frac{f_j}{\gamma} \right) \quad (3.43)$$

il tempo di propagazione attraverso una catena di N invertitori risulta:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{in,j+1}}{\gamma C_{in,j}} \right) \quad (3.44)$$

dove $C_{in,N+1}$ è il carico C_L che la catena di invertitori deve pilotare. Per minimizzare t_p si deriva parzialmente la 3.44 nelle $N-1$ incognite $C_{in,2}, C_{in,3}, \dots, C_{in,N}$ e si pongono tutte le derivate parziali pari a zero. Si trova che il tempo di propagazione viene minimizzato quando la dimensione di ciascun invertitore è la media geometrica delle dimensioni dell'invertitore che lo precede e di quello che lo segue nella catena, cioè quando ognuno di essi è grande f volte il precedente: in tale condizione ogni stadio presenta lo stesso *fan-out* e quindi il ritardo viene distribuito uniformemente lungo la catena. Note $C_{in,1}$ e C_L , il fattore di scala f si può calcolare allora come:

$$f = \sqrt[N]{\frac{C_L}{C_{in,1}}} = \sqrt[N]{F} \quad (3.45)$$

dove $F = C_L/C_{in,1}$ è il *fan-out effettivo globale* della catena di N invertitori. La 3.44 può quindi essere riscritta nella forma:

$$t_p = N t_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma} \right) \quad (3.46)$$

che mette in evidenza la dipendenza del tempo di propagazione dal numero di stadi, fissati F e γ : se N è troppo elevato, il termine $N t_{p0}$ (che rappresenta il ritardo intrinseco) diventa dominante; viceversa se il numero di stadi è troppo basso, il *fan-out* effettivo di ciascuno stadio diventa troppo elevato ed è allora il secondo fattore a essere dominante. Il numero ottimale di stadi che minimizza il tempo di propagazione si trova differenziando la 3.46 rispetto a N e ponendo la derivata pari a 0. Si ottiene:

$$\gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln(F)}{N} = 0 \quad (3.47)$$

o, equivalentemente:

$$f = (e^{1+\gamma/f}) \quad (3.48)$$

L'equazione 3.48 ha soluzione in forma chiusa solo se $\gamma = 0$. Per un valore (tipico) $\gamma \approx 1$, la 3.48 può essere risolta numericamente e il valore ottimale di f risulta circa 3.6. Scegliere un valore di fan-out leggermente superiore al valore ottimo non comporta un significativo peggioramento delle prestazioni della catena, ma riduce il numero di stadi richiesti e l'area necessaria per l'implementazione; come riportato in [DIGIT], è quindi pratica comune scegliere un fan-out ottimo di 4. Fissato il valore di f , il numero N di stadi si ottiene riscrivendo la 3.45 nella forma:

$$N = \frac{\ln(F)}{\ln(f)} \quad (3.49)$$

e arrotondando il risultato, essendo che N deve essere un numero intero.

3.6.1 Implementazione del buffer

I buffer sono stati realizzati utilizzando i transistor standard della tecnologia (nMOS $N_{12_HSL130E}$ e pMOS $P_{12_HSL130E}$). Non è necessario utilizzare nMOS *triple-well* dato che il bulk di questi transistor viene collegato a massa. Per dimensionare gli stadi che compongono i buffer, si è scelto di porre f pari a 4. Affinchè la soglia logica¹⁰ sia il più possibile vicina a metà dell'escursione in tensione (600 mV), ciascun pMOS è stato dimensionato con larghezza pari a 4 volte quella dell'nMOS nel medesimo invertitore ($W_p = 4W_n$): con questa scelta si osserva che la soglia logica è pari a circa 584 mV, come mostra la figura 3.22. Il primo invertitore della catena viene realizzato a dimensione minima, ovvero:

- $L_p = L_n = L_{min} = 120 \text{ nm}$;
- $W_n = W_{min} = 160 \text{ nm}$;
- $W_p = 4W_n = 640 \text{ nm}$.

Gli stadi successivi mantengono $L = L_{min}$ (per massimizzare la velocità) mentre le larghezze dei transistor crescono in progressione geometrica con fattore $f = 4$. La tabella 3.7 riporta le dimensioni di ciascuno stadio. Si è scelto di utilizzare un layout *multifinger* per minimizzare le capacità parassite, imponendo una larghezza di canale per finger vicina ai $2\mu\text{m}$. Poichè il limite della tecnologia è di 100 finger, nei casi in cui la larghezza di canale complessiva superi i $200 \mu\text{m}$ sono stati affiancati m transistor in parallelo (parametro "*multiplier*" nel simulatore).

¹⁰la soglia logica di un invertitore è definita come la tensione di ingresso V_{in} tale da portare la tensione di uscita V_{out} al medesimo valore, cioè tale per cui $V_{in} = V_{out}$

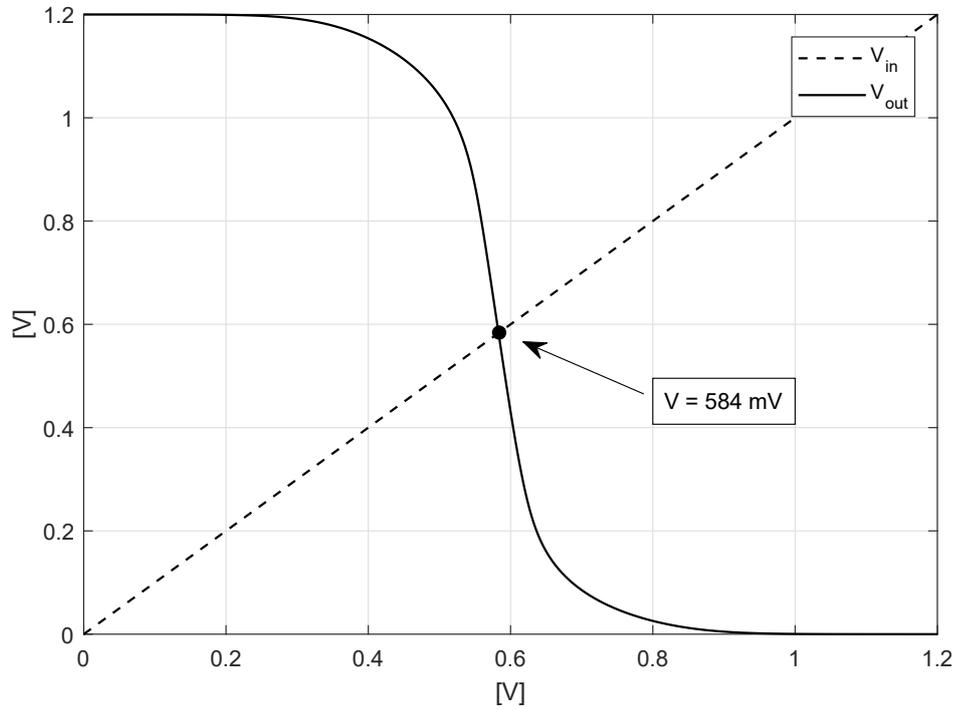


Figura 3.22: Caratteristica statica di un invertitore a dimensioni minime con $W_p = 4W_n$

Numero dello stadio	nMOS				pMOS			
	$L [\mu m]$	$W [\mu m]$	Finger	m	$L [\mu m]$	$W [\mu m]$	Finger	m
1	120	0.16	1	1	120	0.64	1	1
2	120	0.64	1	1	120	2.56	1	1
3	120	2.56	1	1	120	10.24	4	1
4	120	10.24	4	1	120	40.96	16	1
5	120	40.96	16	1	120	163.84	64	1
6	120	163.84	64	1	120	163.84	64	4
7	120	163.84	64	4	120	163.84	64	16

Tabella 3.7: Dimensioni dei transistor di un buffer CMOS

3.6.2 Stima del consumo di potenza

La potenza dissipata da un buffer è essenzialmente quella necessaria alla carica e scarica delle capacità presenti ai vari nodi della catena, evidenziati in figura 3.23.

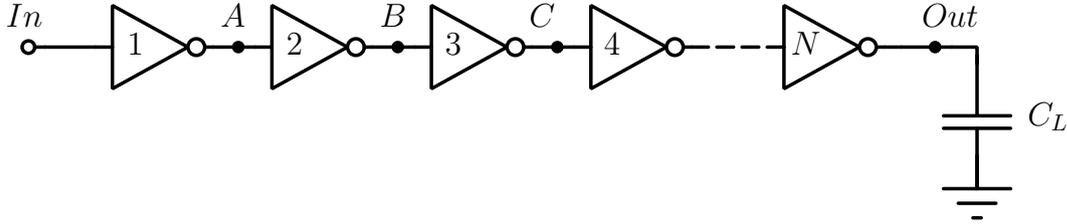


Figura 3.23: Schema di un buffer CMOS collegato a una capacità di carico

Al nodo di ingresso si ha solo la capacità del primo invertitore, $C_{in,1}$. Al nodo A è presente la capacità di uscita del primo stadio, sommata a quella di ingresso del secondo. In base alla 3.41, la capacità di uscita del primo stadio è $C_{out,1} = \gamma C_{in,1}$. La capacità di ingresso del secondo stadio è pari a $f \cdot C_{in,1}$: le capacità di gate dei MOSFET sono infatti (almeno in prima approssimazione) direttamente proporzionali alla larghezza di canale e gli invertitori sono dimensionati in modo che ciascuno stadio sia f volte il precedente. Ricordando che $C_L = F \cdot C_{in,1}$, la somma delle capacità di tutti i nodi della catena può essere scritta come:

$$C_{TOT} = C_{in,1}(1 + \gamma) + fC_{in,1}(1 + \gamma) + \dots + f^{N-1}C_{in,1}(1 + \gamma) + FC_{in,1} \quad (3.50)$$

ovvero:

$$C_{TOT} = C_{in,1} \left[(1 + \gamma) \sum_{i=1}^{N-1} f^i + F \right] \quad (3.51)$$

da cui si ottiene:

$$C_{TOT} = C_{in,1} \left[(1 + \gamma) \left(\frac{1 - f^N}{1 - f} \right) + F \right] \quad (3.52)$$

Ciascuna capacità subisce un ciclo di carica e successiva scarica in un periodo di commutazione del convertitore. Si dimostra facilmente che l'energia assorbita dall'alimentazione per caricare una generica capacità C è pari a CV_{DD}^2 , pertanto l'energia dissipata da un buffer CMOS ad ogni ciclo di clock sarà:

$$E_{diss} = C_{TOT}V_{DD}^2 \quad (3.53)$$

La potenza dissipata dal buffer è quindi:

$$P_{diss} = C_{TOT}V_{DD}^2f_{SW} \quad (3.54)$$

Per dimensionare i buffer e stimarne il consumo di potenza sono necessari i valori di C_{in} e γ . Tali parametri sono stati ottenuti tramite simulazione, utilizzando il circuito di figura 3.24.

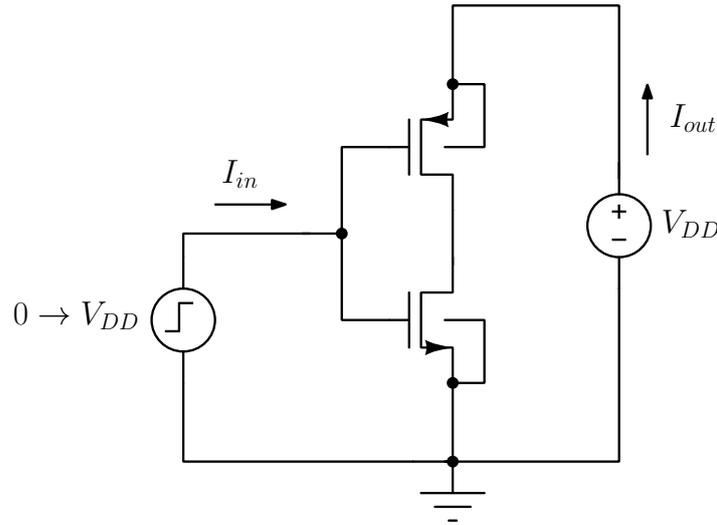


Figura 3.24: Circuito di test per estrarre i parametri dell'invertitore CMOS

Nella commutazione dell'ingresso da 0 a V_{DD} , la corrente I_{in} carica la capacità C_{in} . Nella transizione opposta (da V_{DD} a 0) il generatore a destra in figura 3.24 carica la capacità $C_{out} = \gamma C_{in}$ con la corrente I_{out} . L'integrale di queste due correnti fornisce la carica depositata su C_{in} e C_{out} , dalla quale si possono stimare le due capacità come segue:

$$C_{in} = \frac{\Delta Q_{in}}{V_{DD}} = \left[\frac{\int I_{in}}{V_{DD}} \right]_{V_{in}=0 \rightarrow V_{DD}} \quad (3.55)$$

$$C_{out} = \frac{\Delta Q_{out}}{V_{DD}} = \left[\frac{\int I_{out}}{V_{DD}} \right]_{V_{in}=V_{DD} \rightarrow 0}$$

In base ai risultati di simulazione, si ottiene:

$$C_{in} = 1.2 \text{ fF}$$

$$C_{out} = 1.52 \text{ fF} \quad (3.56)$$

da cui:

$$\gamma = \frac{C_{out}}{C_{in}} = 1.267 \quad (3.57)$$

3.7 Dimensionamento degli interruttori e dei driver

Un convertitore a capacità commutate presenta una resistenza di uscita inferiore (e dunque efficienza più elevata) quando lavora in *fast-switching* [7], quindi per il dimensionamento degli interruttori si presuppone il funzionamento in tale regione.

In base alla metodologia proposta in [7], innanzitutto è necessario ricavare i vettori di carica \mathbf{a}^1 e \mathbf{a}^2 . Tali vettori contengono la carica *entrante*¹¹ nel condensatore (o generatore di tensione) normalizzata rispetto al flusso di carica in uscita:

$$\begin{aligned}\mathbf{a}^1 &= [q_{out}^1, q_{C0}^1, q_{C1}^1, q_{in}^1]^T / q_{out} \\ \mathbf{a}^2 &= [q_{out}^2, q_{C0}^2, q_{C1}^2, q_{in}^2]^T / q_{out}\end{aligned}\quad (3.58)$$

con:

$$\begin{aligned}q_{C1}^1 &= -q_{C1}^2 \\ q_{out} &= I_0 T_{SW} \\ q_{out}^1 &= q_{out} - q_{out}^2\end{aligned}\quad (3.59)$$

Il vettore \mathbf{a}_r contiene invece la carica normalizzata trasportata da ciascun interruttore nella sua fase attiva:

$$\mathbf{a}_r = [a_{r,0}, a_{r,1}, a_{r,2}] \quad (3.60)$$

Noto il vettore \mathbf{a}_r , la corrente media su ciascun interruttore si determina come:

$$i_{r,j} = \frac{a_{r,j}}{t_{on,j}} q_{out} \quad (3.61)$$

dove $t_{on,j}$ è l'intervallo di tempo in un periodo in cui l'interruttore conduce. Le perdite in conduzione si determinano quindi come:

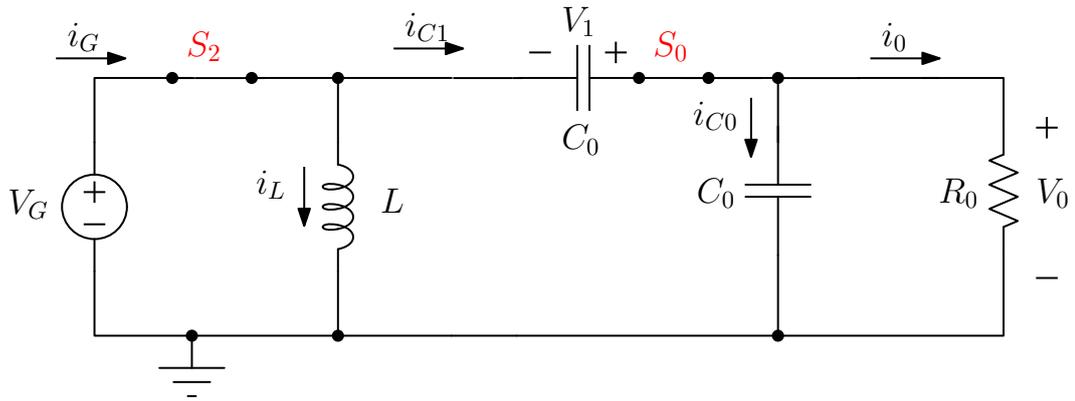
$$P_{FSL} = \sum_{interr.} = \frac{1}{2} R_{S,j} I_{r,j}^2 \quad (3.62)$$

dove $R_{S,j}$ è la resistenza serie dell'interruttore j-esimo.

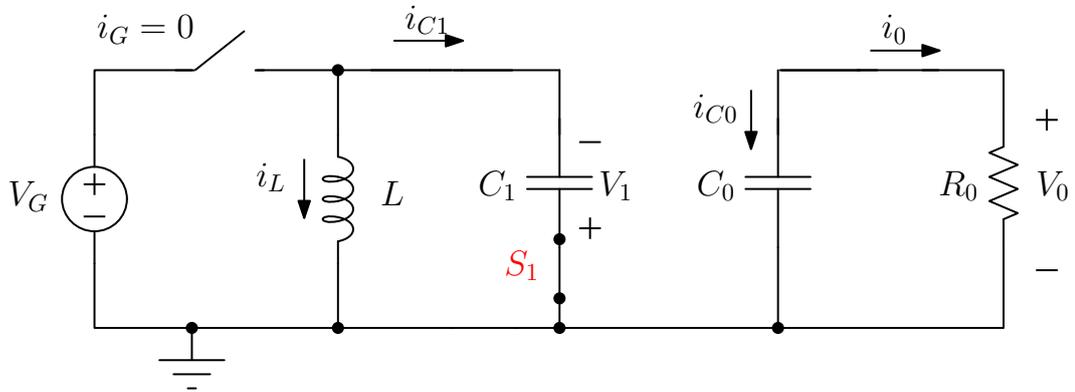
Per tensioni di ingresso positive, si ottiene:

$$\begin{aligned}q_{C0}^1 &= -q_{C0}^2 \\ q_{C0}^2 &= -I_0(1-D)T_{SW} \\ q_{C1}^1 &= -q_{C1}^2 \\ q_{C1}^2 &= I_L(1-D)T_{SW} = \frac{I_0}{1-D}(1-D)T_{SW} = I_0 T_{SW} \\ q_{in}^1 &= I_L D T_{SW} - q_{C1}^1 = \frac{I_0}{1-D} D T_{SW} + q_{C1}^2 = \frac{I_0}{1-D} T_{SW} \\ q_{in}^2 &= 0 \\ q_{out}^1 &= q_{out} - q_{out}^2 = I_0 D T_{SW} \\ q_{out}^2 &= I_0(1-D)T_{SW}\end{aligned}\quad (3.63)$$

¹¹si ricordi che se la carica è uscente, il segno diventa negativo



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 3.25: Circuiti equivalenti che evidenziano gli interruttori attivi nelle due fasi quando $V_G > 0$

I vettori di carica sono pertanto:

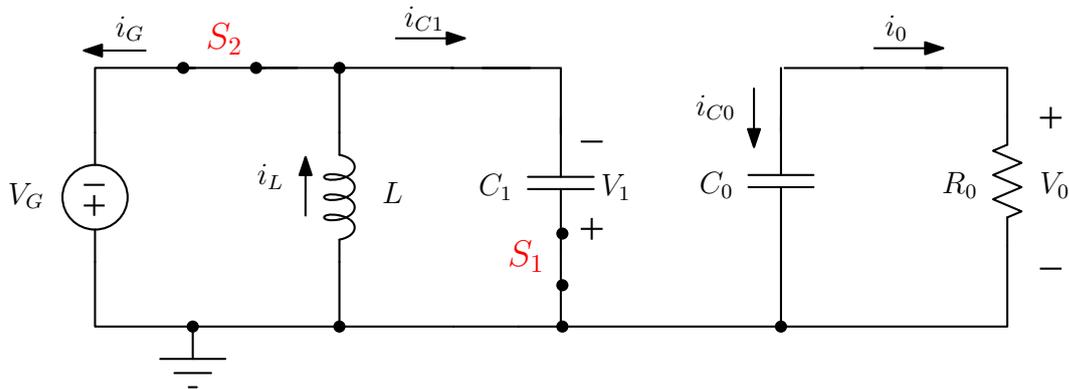
$$\begin{aligned} \mathbf{a}^1 &= \left[D, 1 - D, -1, \frac{1}{1 - D} \right]^T \\ \mathbf{a}^2 &= \left[1 - D, D - 1, 1, 0 \right]^T \end{aligned} \quad (3.64)$$

In base allo schema di figura 3.25 si ha quindi:

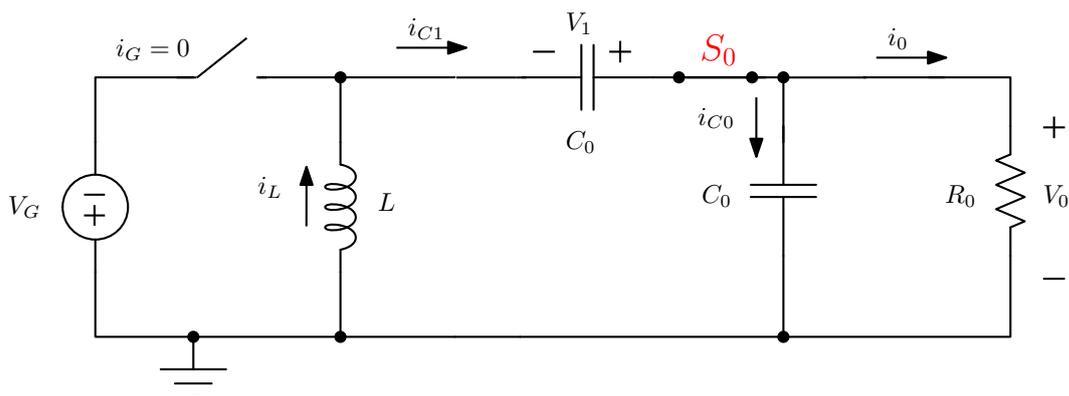
$$\mathbf{a}_r = \left[|q_{C1}^1|, |q_{C1}^2|, |q_{in}^1| \right]^T / q_{out} = \left[1, 1, \frac{1}{1 - D} \right]^T \quad (3.65)$$

Quando invece la tensione di ingresso è negativa, si ha:

$$\begin{aligned}
 q_{C_0}^1 &= -I_0 DT_{SW} \\
 q_{C_0}^2 &= -q_{C_0}^1 \\
 q_{C_1}^1 &= -q_{C_1}^2 \\
 q_{C_1}^2 &= -I_L(1-D)T_{SW} = -I_0 T_{SW} \\
 q_{in}^1 &= I_L DT_{SW} + q_{C_1}^1 = \frac{I_0}{1-D} DT_{SW} + I_0 T_{SW} = \frac{I_0}{1-D} T_{SW} \\
 q_{in}^2 &= 0 \\
 q_{out}^1 &= I_0 DT_{SW} \\
 q_{out}^2 &= q_{out} - q_{out}^1 = I_0(1-D)T_{SW}
 \end{aligned} \tag{3.66}$$



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 3.26: Circuiti equivalenti che evidenziano gli interruttori attivi nelle due fasi quando $V_G < 0$

da cui:

$$\begin{aligned} \mathbf{a}^1 &= \left[D, -D, -1, \frac{1}{1-D} \right]^T \\ \mathbf{a}^2 &= [1-D, D, 1, 0]^T \end{aligned} \quad (3.67)$$

e con riferimento alla figura 3.26 si ha quindi:

$$\mathbf{a}_r = [|q_{C1}^2|, |q_{C1}^1|, |q_{in}^1|]^T / q_{out} = \left[1, 1, \frac{1}{1-D} \right]^T \quad (3.68)$$

Il vettore \mathbf{a}_r è lo stesso per entrambe le modalità di funzionamento. Le correnti sugli interruttori risultano pertanto:

$$\begin{aligned} i_{r,in} &= \frac{1}{(1-D)DT_{SW}} I_0 T_{SW} = \frac{I_0}{D(1-D)} \quad \text{in entrambi i casi} \\ i_{r,1} &= \begin{cases} \frac{1}{(1-D)DT_{SW}} I_0 T_{SW} = \frac{I_0}{1-D} & \text{per } V_G > 0 \\ \frac{1}{DT_{SW}} I_0 T_{SW} = \frac{I_0}{D} & \text{per } V_G < 0 \end{cases} \\ i_{r,0} &= \begin{cases} \frac{1}{DT_{SW}} I_0 T_{SW} = \frac{I_0}{D} & \text{per } V_G > 0 \\ \frac{1}{(1-D)DT_{SW}} I_0 T_{SW} = \frac{I_0}{1-D} & \text{per } V_G < 0 \end{cases} \end{aligned} \quad (3.69)$$

Se $R_{S,0} = R_{S,1} = R_{S,01}$ (ipotesi plausibile, osservando il vettore \mathbf{a}_r) si può scrivere, indipendentemente dalla polarità dell'ingresso:

$$P_{FSL} = \frac{1}{2} R_{S,in} \frac{I_0^2}{D^2(1-D)^2} + \frac{1}{2} R_{S,01} \left[\frac{I_0^2}{D^2} + \frac{I_0^2}{(1-D)^2} \right] \quad (3.70)$$

Si verifica facilmente che la 3.70 assume il suo valore massimo per $D = D_{MAX}$, mentre è minima per $D = 0.5 = D_{min}$. Le perdite in conduzione sugli interruttori, come ci si aspettava, saranno quindi massime quando il duty-cycle assume il suo valore massimo.

Questo risultato permette di procedere al dimensionamento degli interruttori e, di conseguenza, dei circuiti per pilotarli. Procedendo come proposto in [7], si fissa una conduttanza "globale" G_{TOT} da distribuire tra i tre interruttori. Nota la conduttanza di ciascun interruttore (e dunque le resistenze serie R_S) si possono ricavare le dimensioni di ciascun transistor; la lunghezza di canale dev'essere mantenuta minima per ridurre il più possibile la resistenza serie, mentre la larghezza si ricava dalla 3.36:

$$W = \frac{K_R}{R_S} \quad (3.71)$$

Per il dimensionamento dell'interruttore di ingresso, nMOS e pMOS vengono considerati separatamente in quanto solamente uno dei due conduce in ciascuna modalità di funzionamento: se $V_G > 0$ è solo il pMOS a condurre, se $V_G < 0$ è solo l'nMOS.

Fissate le dimensioni dei MOSFET che realizzano gli interruttori, si possono calcolare le capacità equivalenti di gate:

$$C_{G,eq} = K_C \cdot W \quad (3.72)$$

e dunque si può procedere al dimensionamento dei circuiti di pilotaggio.

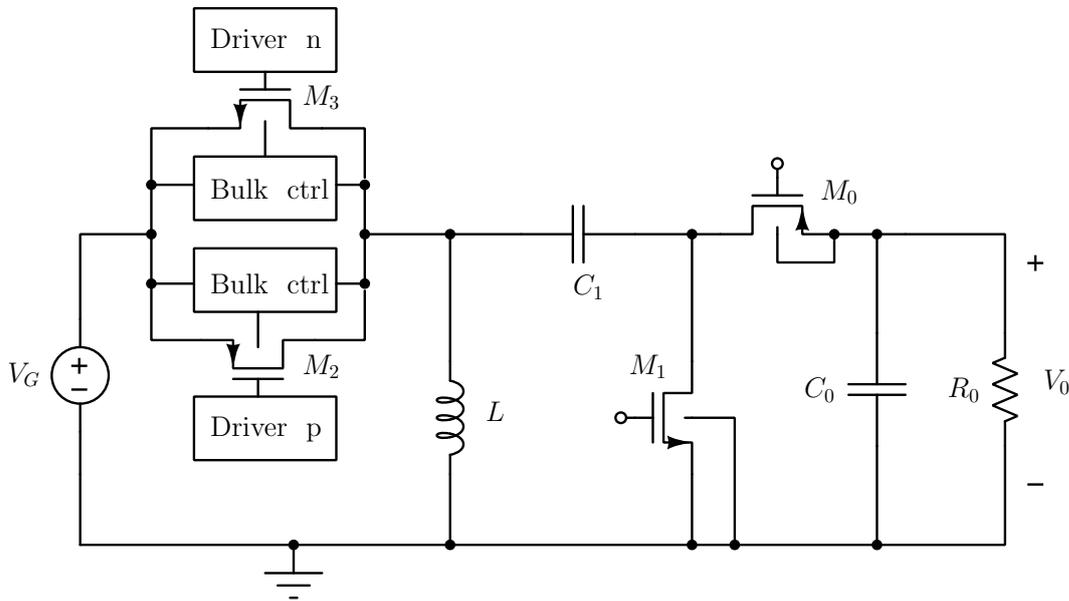


Figura 3.27: Transistor che realizzano gli interruttori di potenza

Il dimensionamento inizia dall'interruttore di ingresso, essendo questo il componente di maggiore criticità (e complessità). L'ampiezza dei gradini di tensione che si riesce ad ottenere ai gate di M_2 e M_3 dipende dal valore della capacità C_B di figura 3.12. Nell'istante di applicazione del gradino al nodo B , si ha infatti il circuito equivalente di figura 3.28, da cui si ottiene:

$$V_{gate}(s) = \frac{I_q}{sC_{gate}} = \frac{1}{sC_{gate}} \cdot \frac{V_{DD}}{s} \frac{sC_B \cdot sC_{gate}}{sC_B + sC_{gate}} \quad (3.73)$$

pertanto:

$$V_{gate}(s) = \frac{V_{DD}}{s} \frac{C_B}{C_B + C_{gate}} \quad (3.74)$$

Il valore a cui si porta la tensione V_{gate} è esattamente l'ampiezza del gradino di

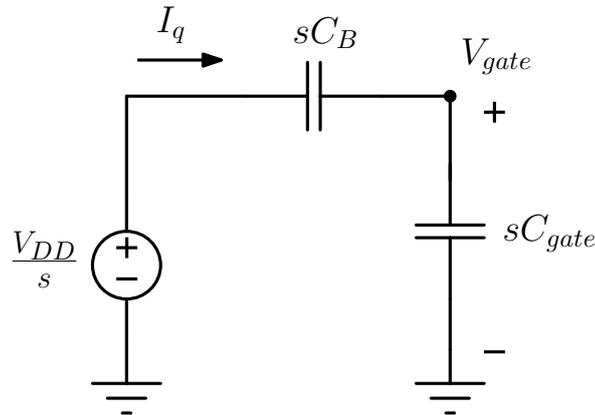


Figura 3.28: Circuito equivalente di bootstrap nel dominio di Laplace

tensione che si riesce ad ottenere. Applicando il teorema del valore finale, si ha:

$$\lim_{s \rightarrow 0} [s \cdot V_{gate}(s)] = V_{DD} \cdot \frac{C_B}{C_B + C_{gate}} \quad (3.75)$$

Nel circuito reale, dunque, si possono ottenere gradini di ampiezza V_{DD} solamente se $C_B \rightarrow \infty$. Si è scelto di imporre un'ampiezza di 1.15 V (50 mV inferiore all'ampiezza ideale, sufficientemente piccola da non avere problemi di accensione o spegnimento dei MOSFET), da cui si ottiene il valore della capacità C_B :

$$C_B = \frac{1.15 \text{ V}}{V_{DD} - 1.15 \text{ V}} \cdot C_{gate} = 23 \cdot C_{gate} \quad (3.76)$$

Note le capacità di bootstrap C_B per entrambi i driver dell'interruttore di ingresso, si possono dimensionare i transistor M_4 e M_5 del circuito di figura 3.12, che costituiscono gli interruttori di campionamento. Anche in questo caso, si impone come vincolo di partenza la resistenza serie che deve avere l'interruttore. In fase di campionamento della tensione di ingresso, si ha infatti il circuito equivalente riportato in figura 3.29:

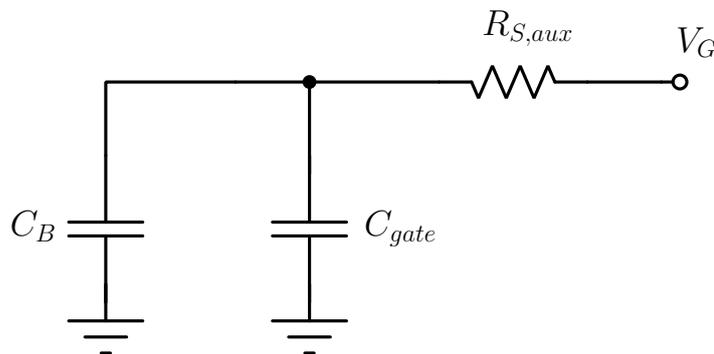


Figura 3.29: Circuito equivalente in fase di campionamento della tensione di ingresso

L'interruttore di campionamento carica il parallelo di C_B e C_{gate} . Il valore della resistenza serie $R_{S,aux}$ che deve avere l'interruttore di campionamento (nel caso peggiore) può essere allora calcolato imponendo che la costante di tempo del circuito RC equivalente di figura 3.29 sia tale per cui:

$$\tau = R_{S,aux}(C_B + C_{gate}) \ll T_{min}(V_G) = \frac{1}{f_{MAX}(V_G)} \quad (3.77)$$

dove $f_{MAX}(V_G)$ è la massima frequenza con cui si suppone possa variare l'ingresso. Imponendo che τ sia minore di $T_{min}(V_G)$ di un fattore 10, si ottiene:

$$R_{S,aux} = \frac{1}{10f_{MAX}(V_G)}(C_B + C_{gate}) \quad (3.78)$$

da cui si può infine dimensionare la coppia M_4/M_5 sfruttando la 3.71 e supponendo $f_{MAX}(V_G) = 10$ kHz (valore molto superiore alla banda dell'anello di controllo, come si vedrà a breve):¹² la costante K_R in questo caso lega il valore di $R_{S,aux}$ alla larghezza di canale dell'nMOS M_5 : la larghezza di canale di M_4 si calcola immediatamente a partire da essa dato che è stato imposto $W_4 = 4W_5$.

Note le dimensioni di M_5 si può calcolare il valore della capacità di gate e, di conseguenza, quanto deve valere la capacità ausiliaria C_A (con lo stesso ragionamento utilizzato per il calcolo di C_B).

3.7.1 Dimensionamento dei buffer CMOS

Si può quindi procedere al dimensionamento dei buffer CMOS, in modo da poter stimare anche le perdite di pilotaggio. Poichè i transistor M_0 e M_1 non sono mai entrambi accesi contemporaneamente e il loro funzionamento è complementare (M_0 viene acceso portando il gate a 0, M_1 portandolo a V_{DD}) si è scelto di collegarli all'uscita di un unico buffer, che avrà quindi per carico la somma delle capacità equivalenti di gate:

$$C_{eq,01} = C_{gate(M_0)} + C_{gate(M_1)} \quad (3.79)$$

I terminali "B" del driver p e del driver n (figura 3.10) mostrano una capacità equivalente pari alla serie delle capacità di bootstrap e di gate:

$$C_{eq,B} = \frac{C_B \cdot C_{gate(M_2/M_3)}}{C_B + C_{gate(M_2/M_3)}} \quad (3.80)$$

¹²è utile osservare che, poichè V_G è una tensione costante (o comunque supposta variabile a frequenza molto minore di quella del periodo di commutazione), i transistor M_4 e M_5 si troveranno sempre a funzionare in zona lineare, dato che la differenza di tensione tra un istante di campionamento e il successivo sarà sempre molto piccola

analogamente, i terminali "A" mostrano una capacità equivalente pari a:

$$C_{eq,A} = \frac{C_A \cdot C_{gate(M_5)}}{C_A + C_{gate(M_5)}} \quad (3.81)$$

mentre il nodo "C" è semplicemente la capacità di gate del transistor M_4 :

$$C_{eq,C} = C_{gate(M_4)} \quad (3.82)$$

Le espressioni dalla 3.79 alla 3.82 costituiscono le capacità di carico C_L che i buffer CMOS dovranno pilotare: da esse è quindi possibile stabilire il numero di stadi necessario per ciascun buffer. Si osserva infine che sia i terminali A sia i terminali C nei due driver (p ed n) sono pilotati da segnali complementari; dato che le corrispondenti capacità di carico equivalenti risultano più piccole delle altre, per rendere il più possibile uniforme il ritardo di propagazione dei segnali di controllo il terminale A del driver n e il terminale C del driver p sono stati collegati ad un unico buffer; la stessa operazione è stata effettuata con il terminale A del driver p e il terminale C del driver n.

3.7.2 Stima dell'efficienza

Grazie alla procedura di dimensionamento descritta nelle sezioni precedenti, è possibile ottenere una stima dell'efficienza (comprensiva di perdite di conduzione e perdite di pilotaggio) al variare delle dimensioni degli interruttori. Fissata una conduttanza G_{TOT} e scelto un criterio per distribuirla (per esempio interruttori tutti con la stessa conduttanza), si ottengono tutti i parametri necessari a tale stima. Note le resistenze serie degli interruttori è infatti immediato calcolare le perdite di conduzione (nell'ipotesi di FSL) sfruttando la 3.70. Note le capacità di carico $C_{eq,01}$, $C_{eq,A}$, $C_{eq,B}$ e $C_{eq,C}$ (equazioni dalla 3.79 alla 3.82), si possono dimensionare i buffer CMOS e calcolarne la dissipazione di potenza con la 3.54. L'efficienza può quindi essere stimata come:

$$\eta = \frac{P_0}{P_0 + P_{diss}} \quad (3.83)$$

dove P_0 è la potenza di uscita nominale del convertitore (6 mW) mentre P_{diss} è la somma delle perdite di conduzione e di pilotaggio, calcolate come descritto. Dato che le perdite di conduzione dipendono dal duty cycle, anche l'efficienza dipende da esso (e quindi dal valore della tensione di ingresso); si ottengono dunque maggiori informazioni dalla stima dell'efficienza *media* al variare di D , calcolata come:

$$\bar{\eta} = \frac{1}{k} \sum \eta(D) \quad (3.84)$$

dove k è un certo numero di valori del duty-cycle, compresi tra D_{min} e D_{MAX} . Si è scelto di prendere dieci valori del duty cycle, compresi tra 0.5 e 0.9 (per evitare

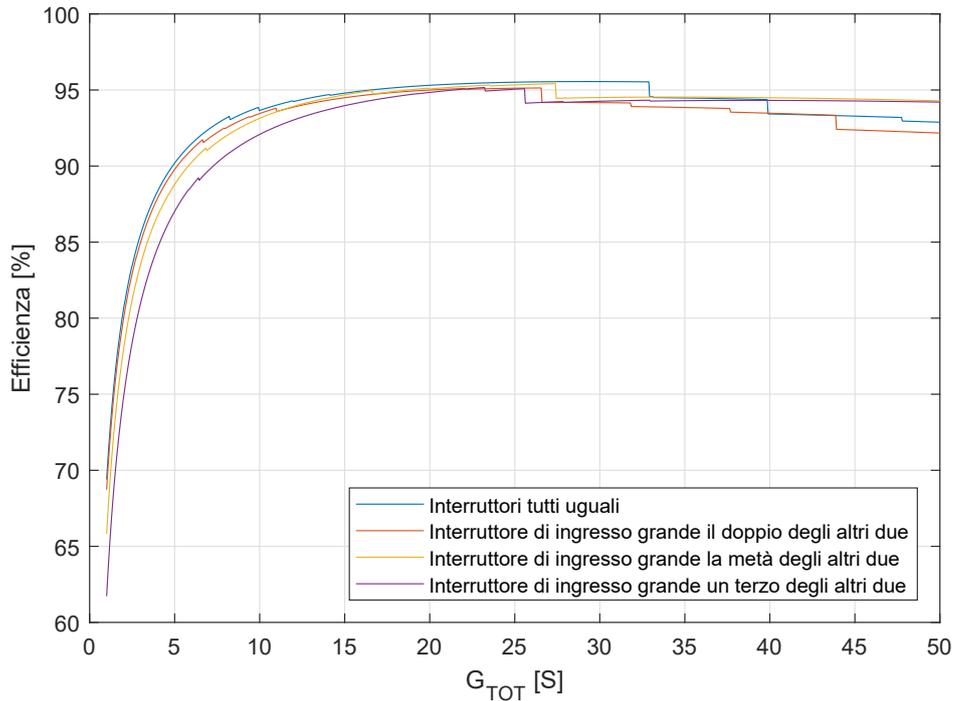


Figura 3.30: Stima dell'efficienza per $f_{SW} = 1$ MHz al variare della conduttanza complessiva degli interruptori (G_{TOT})

che l'efficienza crolli eccessivamente a causa delle perdite di conduzione, rendendo poco significativa la stima). L'efficienza in realtà dipende anche dalla frequenza di commutazione f_{SW} del convertitore: le perdite di pilotaggio e di commutazione dei MOSFET sono infatti direttamente proporzionali alla frequenza. Tuttavia, usare una f_{SW} troppo bassa richiede di utilizzare componenti reattivi molto grandi a parità di specifiche e rallenta drasticamente la dinamica del sistema.

La figura 3.30 mostra l'efficienza media al variare della conduttanza totale G_{TOT} per diverse scelte di dimensionamento, con f_{SW} fissata a 1 MHz. Osservando la metà di sinistra del grafico, è evidente come l'aumento delle dimensioni degli interruptori porti a un aumento dell'efficienza, salvo locali diminuzioni causate dall'aggiunta di uno stadio a uno o più buffer CMOS. L'aumento delle dimensioni degli interruptori continua ad essere vantaggioso fino a livelli relativamente elevati di conduttanza totale (che portano a dimensioni dei transistor esagerate, per un circuito integrato) e diventa realmente svantaggioso solo nella metà di destra del grafico: ciò significa che le perdite di conduzione sono sostanzialmente dominanti rispetto a quelle di pilotaggio. Si osserva inoltre che, secondo questa stima, il criterio di distribuzione della conduttanza totale incide solo marginalmente sull'efficienza media del convertitore, a patto di non sbilanciare eccessivamente le dimensioni relative degli interruptori.

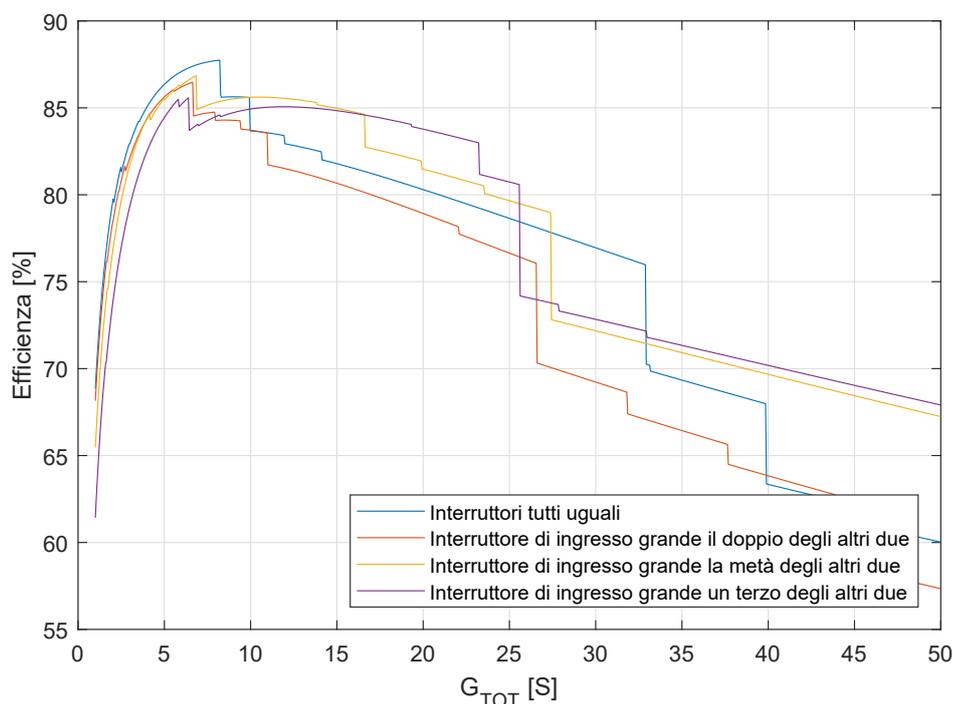


Figura 3.31: Stima dell'efficienza per $f_{SW} = 10$ MHz al variare della conduttanza complessiva degli interruttori (G_{TOT})

La figura 3.31 mostra le stesse curve aumentando la frequenza di commutazione a 10 MHz. Si osserva un calo generale dell'efficienza, specialmente a valori di conduttanza elevati: ciò significa che le perdite di pilotaggio diventano molto più penalizzanti rispetto al caso precedente. Si è dunque deciso di imporre $f_{SW} = 1$ MHz.

La figura 3.32, infine, mostra sempre le stesse curve di figura 3.30 con $f_{SW} = 1$ MHz, ma imponendo una potenza di uscita nominale pari a 60 mW, dieci volte superiore a quella delle specifiche (6 mW). In questo caso si osserva una situazione diametralmente opposta a quella di figura 3.31 e a dominare sono palesemente le perdite di conduzione.

Con riferimento alla figura 3.30, la scelta migliore sembra essere $G_{TOT} \approx 25$ S; tuttavia, tale valore di conduttanza totale porta ad avere un interruttore di ingresso molto grande e di conseguenza capacità di gate altrettanto elevate: ciò fa esplodere il valore delle capacità di bootstrap e questo costituisce un problema per l'implementazione in un circuito integrato. Si è scelto quindi di limitare la conduttanza totale a un valore che mantenesse la capacità di bootstrap più grande sotto ai 200 pF.¹³ Per massimizzare l'efficienza, si è scelto inoltre di dimensionare gli interruttori tutti uguali.

¹³in realtà 200 pF è già un valore eccessivo per un circuito integrato reale, ma trattandosi di una dimostrazione di realizzabilità si è preferito valorizzare l'efficienza a discapito dell'area

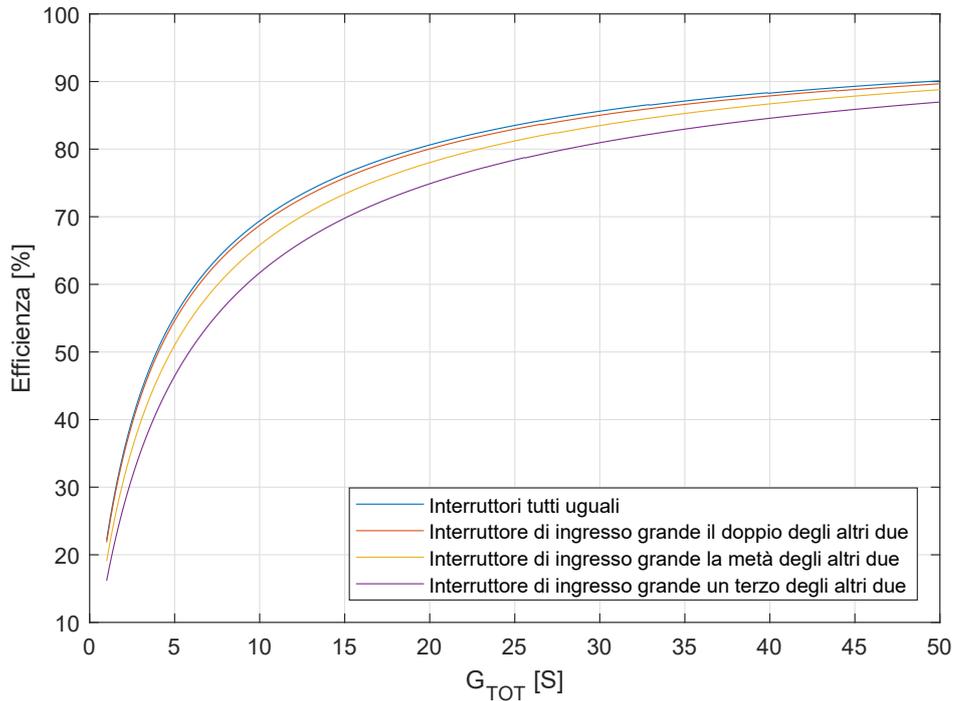


Figura 3.32: Stima dell'efficienza per $f_{sw} = 1$ MHz al variare della conduttanza complessiva degli interruttori (G_{TOT}) con $P_0 = 60$ mW

Combinando questi due vincoli progettuali, si ottiene $G_{TOT} = 8.2$ S: la resistenza serie di ciascun interruttore sarà quindi di **366 mΩ**. La tabella 3.8 riporta le dimensioni dei MOSFET che realizzano gli interruttori di potenza. In questo caso si è scelta una larghezza per *finger* il più possibile vicina a 1 micron, agendo sul moltiplicatore m per ottenere la larghezza di canale complessiva desiderata.

Transistor	Tipo	L [nm]	W [μm]	Finger	m
M_0	P_12_HSL130E	120	53.56	52	100
M_1	N_BPW_12_HSL130E	120	60.3	60	20
M_2	P_12_HSL130E	120	92.7	90	60
M_3	N_BPW_12_HSL130E	120	62	62	20

Tabella 3.8: Dimensioni dei transistor per gli interruttori di potenza

Le tabelle da 3.9 a 3.11 riportano invece il dimensionamento dei MOSFET presenti nei circuiti di pilotaggio per l'interruttore di ingresso. La dimensione del transistor M_4 , non esistendo un criterio analitico per stabilirla, è stata estrapolata da risultati di simulazione. Lo stesso è stato fatto per i MOSFET che costituiscono il circuito

di controllo della tensione di bulk, dato che il transitorio di accensione/spegnimento dell'interruttore porta a degli effetti sul nodo di bulk di difficile analisi manuale. Dalle simulazioni si ottiene che il miglior compromesso tra l'area occupata e la velocità con cui il terminale di bulk insegue il source si ha quando il fattore di forma di questi transistor è pari a 1/6 di quello del MOSFET a cui vengono connessi.

Transistor	Tipo	L [nm]	W [μm]	Finger	m
M_4	P_12_HSL130E	120	1	1	1
M_5	N_HGLVBPW_3_L130E	340	81	81	2
M_6	P_12_HSL130E	340	80.4	80	8

Tabella 3.9: Dimensioni dei transistor per il driver p

Transistor	Tipo	L [nm]	W [μm]	Finger	m
M_4	P_12_HSL130E	120	1	1	1
M_5	N_HGLVBPW_3_L130E	340	33.83	34	1
M_6	P_12_HSL130E	340	67.66	68	2

Tabella 3.10: Dimensioni dei transistor per il driver n

Condensatore	Driver p	Driver n
C_A	7.53 pF	1.57 pF
C_B	194 pF	41 pF

Tabella 3.11: Dimensioni delle capacità di bootstrap

3.8 Dimensionamento dei componenti reattivi

3.8.1 Dimensionamento del condensatore *floating*

L'ipotesi di funzionamento del convertitore in *fast switching* è verificata soltanto se il *flying cap* C_1 mantiene la sua carica pressoché costante, comportandosi quindi come un generatore di tensione equivalente. Perché ciò avvenga, la costante di tempo RC di carica e scarica deve essere molto maggiore del tempo a disposizione per la carica o scarica effettiva, sia esso DT_{SW} o $(1 - D)T_{SW}$.

Per calcolare la resistenza di carica e scarica di C_1 , si può utilizzare il *teorema di Thevenin* valutando la resistenza equivalente ai capi del condensatore. A questo scopo, si devono fare le seguenti sostituzioni circuitali:

- i generatori di tensione e gli altri condensatori su cui la tensione si possa considerare costante diventano dei cortocircuiti;
- i generatori di corrente e gli induttori per i quali si possa ipotizzare corrente pressoché costante diventano dei circuiti aperti;
- gli interruttori chiusi vengono sostituiti con resistori di valore pari alla resistenza serie del dispositivo.

Si ottengono quindi i seguenti circuiti equivalenti, nei due modi di funzionamento del convertitore:

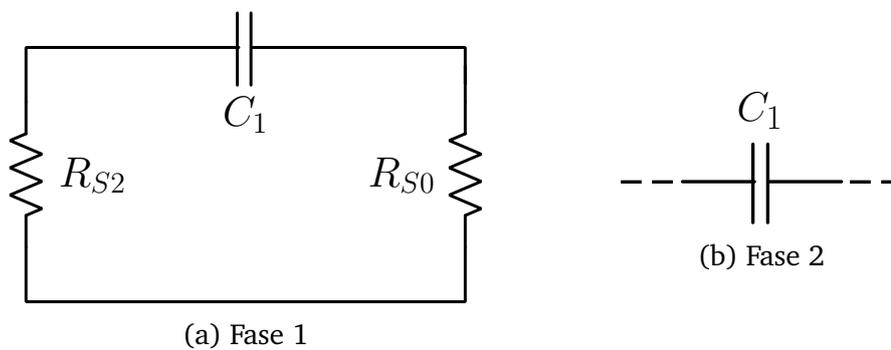


Figura 3.33: Circuiti equivalenti per il calcolo della resistenza vista da C_1 nelle due fasi con $V_G > 0$

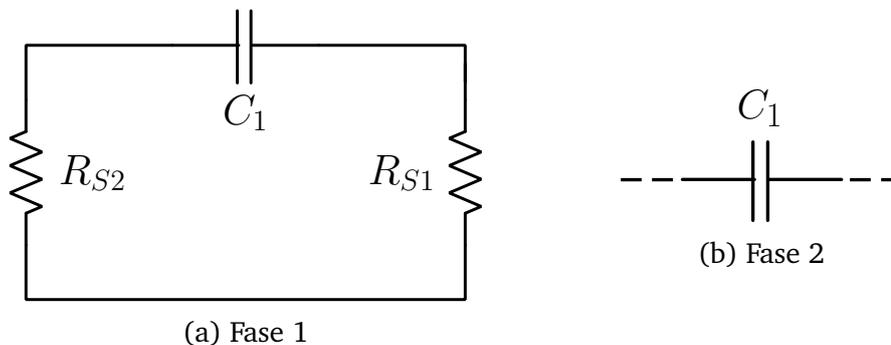


Figura 3.34: Circuiti equivalenti per il calcolo della resistenza vista da C_1 nelle due fasi con $V_G < 0$

La resistenza equivalente nella prima fase ($0 \leq t \leq DT_{SW}$), dato che gli interruttori sono stati dimensionati con la stessa conduttanza, è sempre la stessa e pari a $R_{eq} = 732 \text{ m}\Omega$. Nella seconda fase ($DT_{SW} \leq t \leq T_{SW}$) si osserva che C_1 è sempre in serie all'induttore e pertanto $R_{eq} = \infty$.

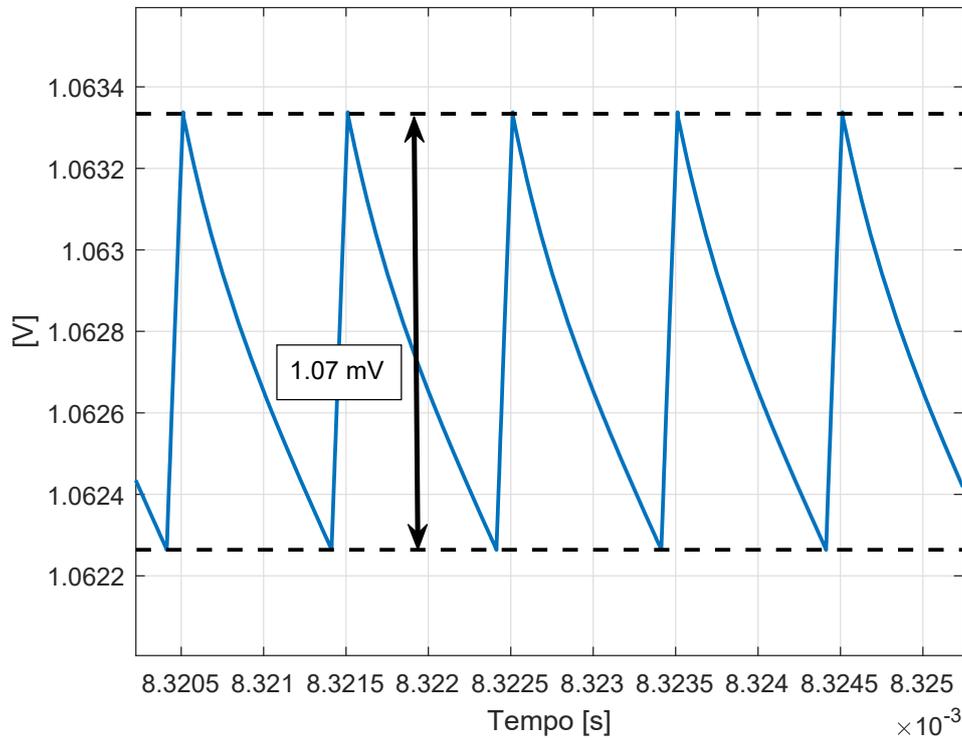


Figura 3.35: Ripple della tensione v_1 con $C_1 = 4.7 \mu F$ e $D = 0.9$

La relazione per il dimensionamento di C_1 è quindi la seguente:

$$\tau = R_{eq}C_1 \gg DT_{SW} \quad (3.85)$$

ovvero:

$$C_1 \gg \frac{D}{R_{eq}f_{SW}} \quad (3.86)$$

Il termine a secondo membro è massimo per $D = D_{MAX}$. Come si vedrà successivamente, il convertitore è stato limitato a $D_{MAX} = 0.9$; pertanto per valutare la 3.86 nel caso peggiore si deve porre $D = 0.9$. Si ha quindi:

$$C_1 \gg 1.23 \mu F \quad (3.87)$$

In base a risultati di simulazione, si è verificato che in realtà un valore di $4.7 \mu F$ è sufficiente a garantire tensione pressochè costante (ripple $\approx 1\%$) anche con un valore elevato del duty cycle ($D \approx 0.9$), come mostra la figura 3.35. Chiaramente, tale valore non è integrabile ed è quindi necessario utilizzare un condensatore *off-chip*.

3.8.2 Dimensionamento del condensatore di uscita

Il condensatore C_0 deve essere dimensionato in base alla specifica sul ripple della tensione di uscita. Per tensioni di ingresso positive, il ripple Δv_{0pp} ha espressione:

$$\Delta v_{0pp} = \frac{I_0(1-D)}{C_0 f_{sw}} \quad (3.88)$$

mentre per tensioni di ingresso negative:

$$\Delta v_{0pp} = \frac{I_0 D}{C_0 f_{sw}} \quad (3.89)$$

Per $D = D_{min} = 0.5$, le due espressioni si equivalgono; per $D = D_{MAX}$, invece, la 3.89 è dominante e quindi è quella da utilizzare per il dimensionamento di C_0 . Imponendo che il ripple sia inferiore all'1% (12 mV) per $D = D_{MAX} = 0.9$, si ottiene:

$$C_0 > \frac{I_0 D_{MAX}}{f_{sw} \Delta v_{0pp}} = 375 \text{ nF} \quad (3.90)$$

Anche questo valore di capacità non è integrabile. Si è scelto quindi il valore commerciale più vicino ad esso, che è $C_0 = 390 \text{ nF}$.

3.8.3 Dimensionamento dell'induttore

Per la scelta dell'induttanza è stato usato un criterio differente. Scegliere L in base al ripple di corrente, infatti, porta a dei valori di induttanza esageratamente elevati. Si è verificato in fase di simulazione che, in realtà, un ripple di corrente particolarmente ridotto non è un requisito critico per il buon funzionamento del convertitore.¹⁴ Per questo motivo, l'induttore è stato selezionato in base alle dimensioni del package e alla resistenza serie: quest'ultimo parametro, in particolare, incide sull'efficienza del convertitore e deve essere contenuto il più possibile. Partendo da queste considerazioni, si è scelto un induttore con $L = 22 \mu\text{H}$, che presenta una resistenza serie paragonabile a quella degli interruttori ($R_{ESL} = 330 \text{ m}\Omega$).

Come si è visto, nelle sezioni precedenti, il ripple di corrente Δi_{Lpp} ha la stessa espressione indipendentemente dalla polarità della tensione di ingresso. Con questa scelta di L , nel caso peggiore ($D = 0.5$) si avrà dunque:

$$\Delta i_{Lpp} = \frac{V_0 D(1-D)}{L f_{sw}} = 13.6 \text{ mA} \quad (3.91)$$

¹⁴avere un ripple di corrente elevato porta semplicemente a delle correnti non costanti a tratti, ma la tensione sul condensatore floating C_1 rimane comunque pressoché costante

Capitolo 4

Circuiti di controllo

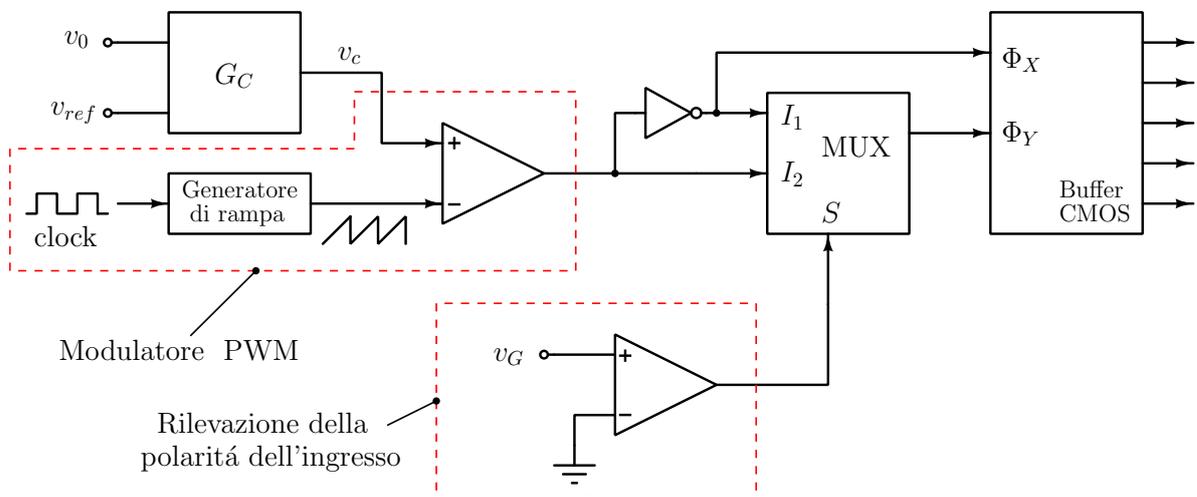


Figura 4.1: Schema completo dei circuiti di controllo del convertitore

La figura 4.1 mostra lo schema del sistema di controllo del convertitore. Il blocco G_C è il controllore, che si occupa di regolare la tensione di controllo v_c da fornire al modulatore PWM (evidenziato in figura). Il blocco indicato con "Buffer CMOS" contiene invece tutte le catene di invertitori necessarie a pilotare gli interruttori. A seconda della modalità di funzionamento, è necessario disporre sia del segnale PWM sia del suo complementare: quest'ultimo, ottenuto con un invertitore a dimensioni minime¹, viene trasmesso direttamente all'ingresso Φ_X del banco di buffer CMOS; l'ingresso Φ_Y viene invece deciso tramite un multiplexer a due ingressi (blocco "MUX") il cui segnale di controllo S è generato da un circuito che si occupa di rilevare la polarità della tensione di ingresso. I vari componenti dello schema verranno discussi in dettaglio nelle sezioni seguenti.

¹da questo punto in avanti, con "invertitore a dimensioni minime" si intende un invertitore con pMOS e nMOS dimensionati come quelli del primo stadio del buffer CMOS introdotto nella sezione 3.6

4.1 Modulatore PWM

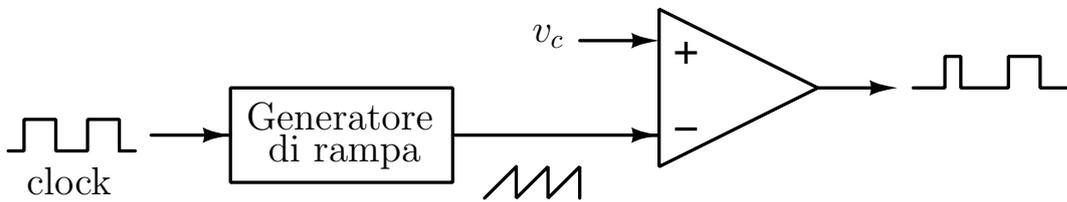


Figura 4.2: Schema del modulatore PWM

In figura 4.2 è riportato lo schema del modulatore PWM. Il funzionamento è molto semplice. All'ingresso non invertente di un comparatore viene fornita una tensione di controllo v_c ; all'ingresso invertente, invece, è collegato un circuito che genera una rampa di tensione *periodica* (cioè un segnale a dente di sega) di periodo T_{SW} : finché la rampa rimane al di sotto di v_c , l'uscita del comparatore è alta; quando la rampa raggiunge v_c , l'uscita del comparatore commuta e si porta a zero. Come mostra la figura 4.3, regolando il valore di v_c si modula l'ampiezza dell'onda quadra che viene prodotta all'uscita del comparatore: si ottiene così il segnale PWM desiderato.

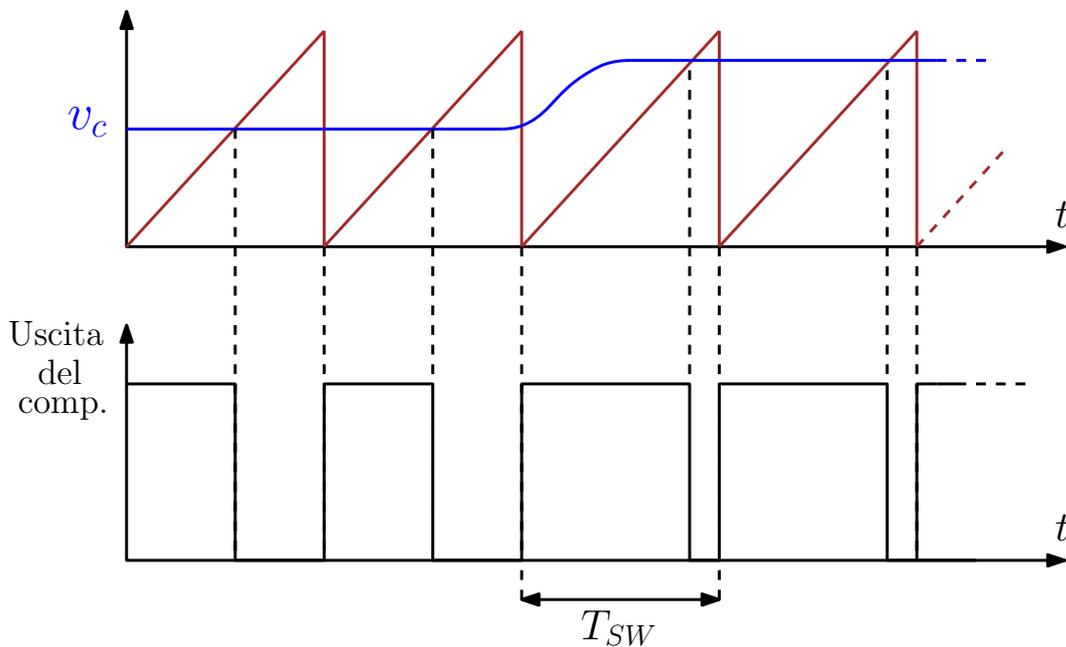


Figura 4.3: Modulazione PWM

4.1.1 Generatore di rampa

La rampa di tensione si può ottenere caricando un condensatore con una corrente costante. La relazione tensione-corrente del condensatore è infatti:

$$i_C = C \frac{dv_C}{dt} \Rightarrow v_C = \frac{1}{C} \int i_C dt \quad (4.1)$$

Se il condensatore viene caricato con corrente costante, dunque, la sua tensione varia linearmente. Dopo un tempo pari a $T_{SW} = 1 \mu s$ la tensione sul condensatore viene azzerata chiudendo brevemente un interruttore in parallelo ad esso e la rampa riparte quindi dal valore iniziale. Il circuito completo è mostrato in figura 4.4.

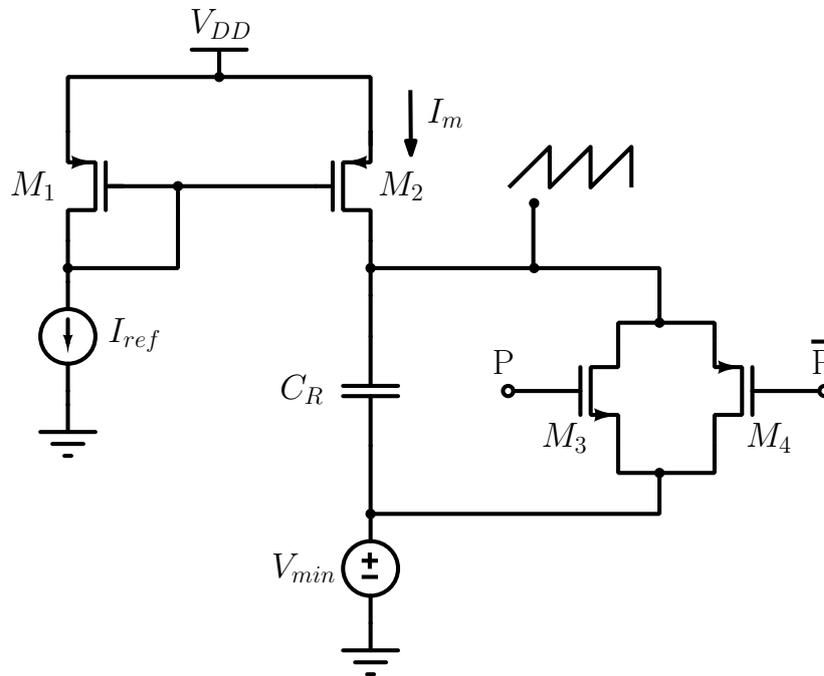


Figura 4.4: Schema del generatore di rampa

I transistor M_1 e M_2 formano uno specchio di corrente il cui riferimento è dato dal generatore I_{ref} . M_3 e M_4 , controllati rispettivamente dal segnale di reset P e dal suo negato \bar{P} , servono a cortocircuitare il condensatore C_R in modo da azzerare la tensione ai suoi capi e far ripartire la rampa dal valore iniziale. Il generatore di tensione V_{min} ha lo scopo di fissare tale valore, in modo che la rampa sia sempre compresa in un intervallo di tensioni di modo comune che garantiscono la corretta polarizzazione del comparatore a cui viene connessa l'uscita del circuito. In base a quest'ultimo requisito, si è scelto di far variare la rampa tra $V_{min} = 600 \text{ mV}$ e $V_{MAX} = 750 \text{ mV}$.

Il requisito fondamentale per i circuiti di controllo è avere un consumo di potenza il più basso possibile, in modo da non penalizzare eccessivamente l'efficienza. In base a questo criterio, come punto di partenza per il dimensionamento dell'intero circuito si è imposto che la potenza dissipata sia limitata allo 0.1% della potenza di uscita del convertitore:

$$P_d = \frac{0.1}{100} \cdot (6 \text{ mW}) = 6 \mu\text{W} \quad (4.2)$$

Se si trascura quella necessaria ad accendere M_3 e M_4 , la potenza dissipata è $P_d = V_{DD}(I_{ref} + I_m)$. Se $I_{ref} = I_m$, si ottiene:

$$I_{ref} = I_m = \frac{1}{2} \frac{P_d}{V_{DD}} = 2.5 \mu\text{A} \quad (4.3)$$

Nota il valore della corrente che carica il condensatore C_R , il valore della capacità si calcola immediatamente dati l'escursione in tensione $\Delta V_R = V_{MAX} - V_{min}$ e il periodo T_{SW} . Si ha infatti che:

$$\Delta V_R = \int_0^{T_{SW}} I_m dt \quad (4.4)$$

da cui:

$$C_R = \frac{I_m T_{SW}}{\Delta V_R} \approx 16 \text{ pF} \quad (4.5)$$

I transistor M_1 e M_2 , come già detto, formano uno specchio di corrente. Supponendo che operino entrambi in saturazione, le loro relazioni tensione-corrente sono:

$$\begin{aligned} I_{D1} &= \frac{\mu C_{ox}}{2} \frac{W_1}{L_1} (V_{GS1} - V_{th})^2 (1 + \lambda V_{DS1}) \\ I_{D2} &= \frac{\mu C_{ox}}{2} \frac{W_2}{L_2} (V_{GS2} - V_{th})^2 (1 + \lambda V_{DS2}) \end{aligned} \quad (4.6)$$

Il circuito impone $V_{GS1} = V_{GS2}$. Trascurando il termine di modulazione della lunghezza di canale $(1 + \lambda V_{DS})$ si ha quindi che:

$$\frac{I_{D2}}{I_{D1}} \approx \frac{W_2/L_2}{W_1/L_1} = N \quad (4.7)$$

ovvero il rapporto tra le correnti dipende dal rapporto N tra i fattori di forma W/L dei due dispositivi. Scegliere $N = 1$ (cioè $I_{D2} = I_{D1}$ e quindi $I_m = I_{ref}$) consente di dimensionare M_1 e M_2 identici. Nella pratica ciò ha dei vantaggi: la lunghezza di canale effettiva di un transistor, infatti, differisce dalla lunghezza scelta in fase di progettazione di una quantità costante, indipendente dal valore di L [3]; l'unico modo per far sì che il rapporto tra le lunghezze di canale effettive sia quello desiderato è quindi imporre $L_1 = L_2$. La corrente I_{ref} viene comunque specchiata a meno di un errore dovuto ai termini di modulazione di lunghezza di canale: tale effetto si riduce

(e quindi il rapporto di specchiatura diventa più preciso) se la resistenza di uscita r_0 dei MOSFET è elevata [12]. Dato che r_0 dipende dalla lunghezza di canale, si è scelto di imporre $L_1 = L_2 = 5L_{min} = 600$ nm, in modo da avere una resistenza di uscita elevata.

Tutti i transistor che compongono la parte analogica dei circuiti di controllo sono stati dimensionati in base alla metodologia g_m/I_D (descritta estensivamente in [3] e [13]) che tiene conto degli effetti di canale corto dei MOSFET. Per M_1 e M_2 si è scelta una V^* di 200 mV. Poiché la rampa varia tra 600 mV e 750 mV, V_{DS2} è sempre compresa tra 450 mV e 600 mV: la relazione $V_{DS2} > V^*$ è quindi sempre soddisfatta e M_2 si mantiene sempre in una regione ad alta r_0 , caratteristica indispensabile al corretto funzionamento dello specchio. Si ottiene poi:

$$\theta_1 = \theta_2 = \theta_{0p} + \frac{\theta_{1p}}{5L_{min}} = 0.57 V^{-1} \quad (4.8)$$

dove θ_{0p} e θ_{1p} sono parametri caratteristici della tecnologia e valgono rispettivamente $0.54 V^{-1}$ e $18 \cdot 10^{-9} V^{-1}m$. Invertendo la relazione $V^* = V_{ov}(1 + \theta V_{ov})$ si ricava la tensione di overdrive per M_1 e M_2 :

$$V_{ov1} = V_{ov2} = \frac{\sqrt{1 + 4\theta V^*} - 1}{2\theta} \approx 181 mV \quad (4.9)$$

La larghezza di canale si ricava a partire dall'espressione della corrente in saturazione, opportunamente modificata per tenere conto degli effetti di canale corto [12]:

$$I_D = \frac{\mu C_{ox} W}{2 L} \frac{V_{ov}^2}{1 + \theta V_{ov}} \quad (4.10)$$

da cui:

$$W_1 = W_2 = \frac{2I_m L_1}{\mu C_{ox}} \frac{1 + \theta V_{ov}}{V_{ov}^2} \approx 1 \mu m \quad (4.11)$$

I transistor M_4 e M_5 hanno invece il compito di scaricare (in un intervallo di tempo molto breve) il condensatore C_R , per far ripartire la rampa ogni T_{SW} secondi. Dato che $V_{min} = 600$ mV, né M_4 né M_5 hanno il source a una tensione particolarmente vantaggiosa: si è scelto allora di utilizzare il parallelo di un pMOS e un nMOS, per mantenere bassa la resistenza equivalente.[14] La scarica del condensatore C_R è descritta dall'equazione:

$$v_{C_R}(t) = V_{min} + V_{MAX} e^{-t/R_{eq}C_R} \quad (4.12)$$

dove R_{eq} è la resistenza equivalente del parallelo dei due MOSFET M_3 e M_4 . Per scaricare completamente C_R , ovviamente, si deve attendere un tempo infinito oppure avere una resistenza nulla. Si può però fare in modo che la tensione si porti molto

vicino a V_{min} , in un tempo sufficientemente breve da non interferire con il funzionamento del convertitore. Imponendo che la rampa venga riportata all'1% della sua escursione massima ad ogni reset e che il tempo a disposizione per tale operazione sia pari all'1% di T_{SW} , si ottiene:

$$e^{-0.01T_{SW}/R_{eq}C_R} = 0.01 \quad (4.13)$$

da cui si ricava che la resistenza equivalente deve valere:

$$R_{eq} = \frac{-0.01T_{SW}}{\ln(0.01)C_R} \approx 130 \Omega \quad (4.14)$$

Tale resistenza è il parallelo di quelle di M_3 e M_4 , pertanto sarà sufficiente avere:

$$\begin{aligned} R_{M3} &= 260 \Omega \\ R_{M4} &= 260 \Omega \end{aligned} \quad (4.15)$$

Per scegliere le dimensioni dei due transistor è sufficiente utilizzare le costanti K_R come è stato fatto per gli altri interruttori nel capitolo precedente. I due transistor si accendono con V_{GS} (in modulo) pari a 600 mV nel caso peggiore,² pertanto si devono usare le costanti K_R appropriate:

$$\begin{aligned} W_3 &= \frac{1.161 \cdot 10^3 \Omega \cdot \mu m}{R_{M3}} \approx 4.46 \mu m \\ W_4 &\approx \frac{5.255 \cdot 10^3 \Omega \cdot \mu m}{R_{M4}} = 20.2 \mu m \end{aligned} \quad (4.16)$$

Il dimensionamento appena illustrato in realtà sovrastima la resistenza serie di M_4 , che per buona parte del transitorio si trova ad avere $V_{GS} < -600mV$; questa osservazione, unita al fatto che sovradimensionare l'nMOS M_3 invece aumenta la sicurezza che la scarica di C_R avvenga entro le specifiche, rende logico scegliere:

$$W_3 = W_4 = 20 \mu m \quad (4.17)$$

per avere la certezza che il meccanismo di scarica funzioni correttamente.

Le figure seguenti mostrano le forme d'onda del circuito ottenute dalle simulazioni.

In figura 4.5 è visibile l'andamento della corrente I_m . Il valore non costante è dovuto alla differenza tra le V_{DS} di M_1 e M_2 : in particolare si osservano dei picchi di corrente nei brevi intervalli di tempo in cui il condensatore viene cortocircuitato per azzerarne la tensione. Se si escludono questi picchi, l'errore sulla corrente si limita comunque a $0.03 \mu A$, cioè appena l'1.2% del valore previsto.

²il pMOS M_4 si accende con $V_{GS} = -750$ mV che però cala praticamente subito dato che il source è proprio il nodo che viene scaricato

La figura 4.6 mostra invece l'andamento della rampa di tensione che produce il circuito. La periodicità di T_{SW} viene rispettata e l'escursione è estremamente vicina ai 150 mV previsti: il valore massimo che raggiunge la rampa di tensione è infatti pari a circa 750.9 mV, mentre il minimo è a 600.1 mV. L'errore sull'escursione prevista è pari ad appena lo 0.67%. Dalle simulazioni si verifica inoltre che la scarica di C_R avviene in un tempo di circa 4 ns, valore ampiamente entro la specifica dell'1% di T_{SW} (10 ns).

Va infine osservato che, chiaramente, in una revisione futura del progetto (volta alla realizzazione pratica del circuito) i generatori I_{ref} e V_{min} dovranno essere sostituiti rispettivamente con un riferimento di corrente e uno di tensione reali.

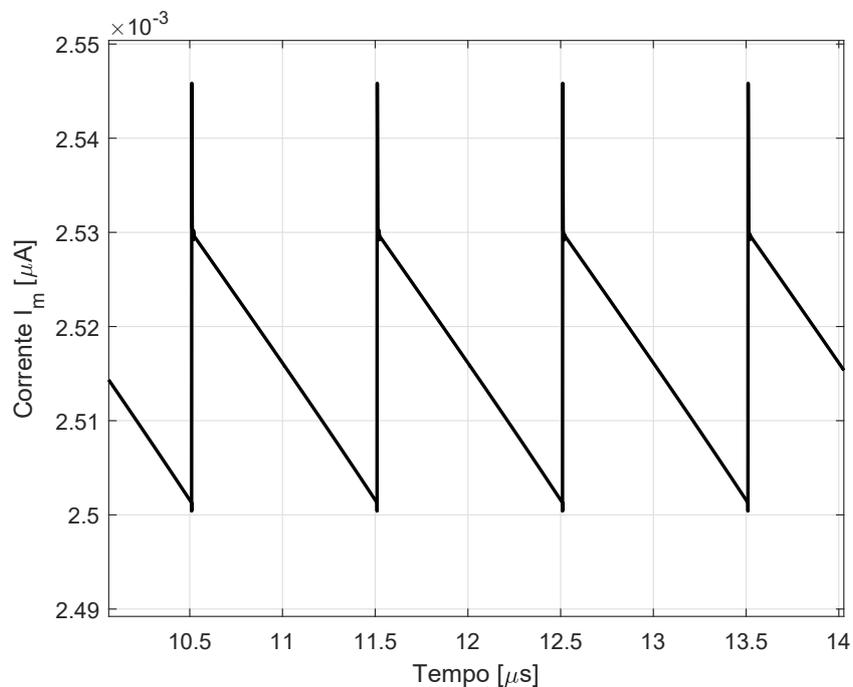


Figura 4.5: Andamento della corrente di carica I_m nel generatore di rampa periodica

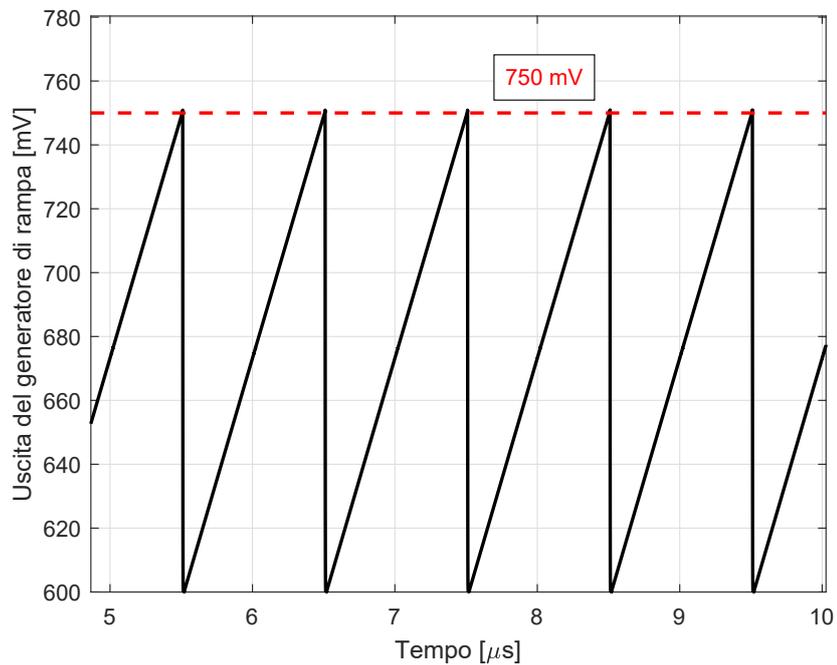


Figura 4.6: Andamento nel tempo della rampa di tensione periodica

4.1.2 Generazione del segnale di reset

Per completare il generatore di rampa periodica, è necessario un circuito che produca i segnali di reset P e \bar{P} per l'accensione dei transistor M_3 e M_4 a intervalli di T_{SW} . A tale scopo si può utilizzare un *generatore di impulso* [15] come quello mostrato in figura 4.7.

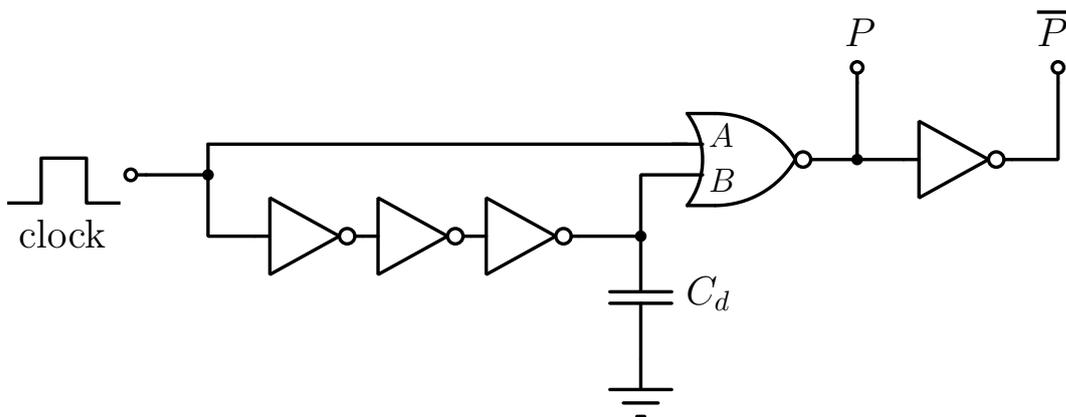


Figura 4.7: Schema del generatore di impulso

Il funzionamento è semplice. Agli ingressi A e B della porta NOR vengono forniti il clock del sistema e la sua versione negata, ritardata dalla catena di inverter e dal carico capacitivo C_d . Si ha così un breve intervallo di tempo in cui sia A che B sono al valore logico basso e l'uscita della NOR si porta quindi al valore logico alto; per tutto il resto del periodo, almeno uno dei due ingressi è sempre al valore logico alto e quindi l'uscita rimane al valore logico basso, come mostrato in figura 4.10. L'invertitore in cascata all'uscita della NOR preleva la versione negata dell'impulso, che va a pilotare il gate del pMOS M_4 .

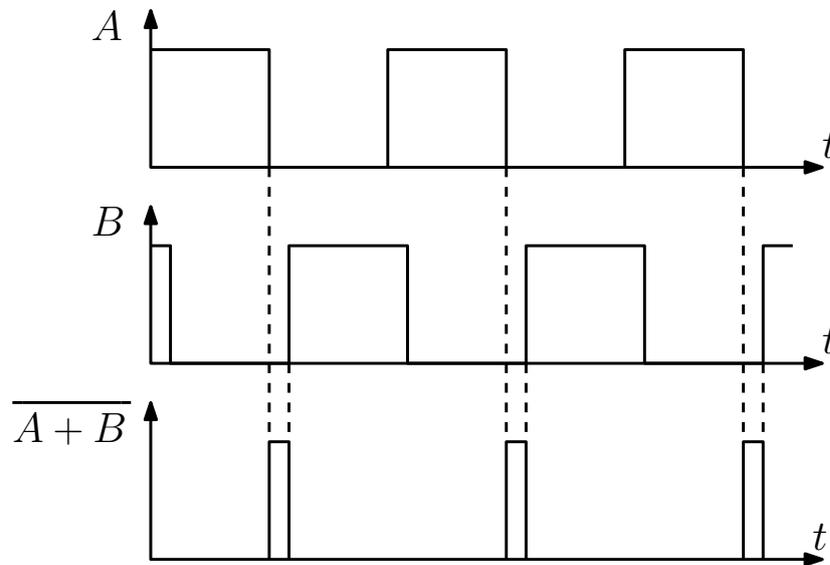


Figura 4.8: Segnali del generatore di impulso

Gli invertitori dello schema di figura 4.7 sono stati realizzati tutti a dimensioni minime. Lo schema circuitale della porta NOR è invece riportato in figura 4.9a. Per avere tempi di salita e discesa del nodo di uscita simili, la resistenza equivalente della rete di *pull-down* e quella della rete di *pull-up* devono essere il più possibile simili.[10] Imponendo che M_1 e M_2 abbiano dimensioni minime ($L_1 = L_2 = 120$ nm, $W_1 = W_2 = 160$ nm), la larghezza di canale di M_3 e M_4 deve essere allora pari a otto volte la larghezza minima. La tabella 4.1 riassume il dimensionamento dei MOSFET che compongono la NOR.

Il segnale entrante all'ingresso B della NOR viene ritardato con una catena di tre invertitori a dimensioni minime e una capacità di carico C_d . Il valore di quest'ultima è stato ricavato tramite simulazione, ottenendo:

$$C_d = 2.4 \text{ pF} \quad (4.18)$$

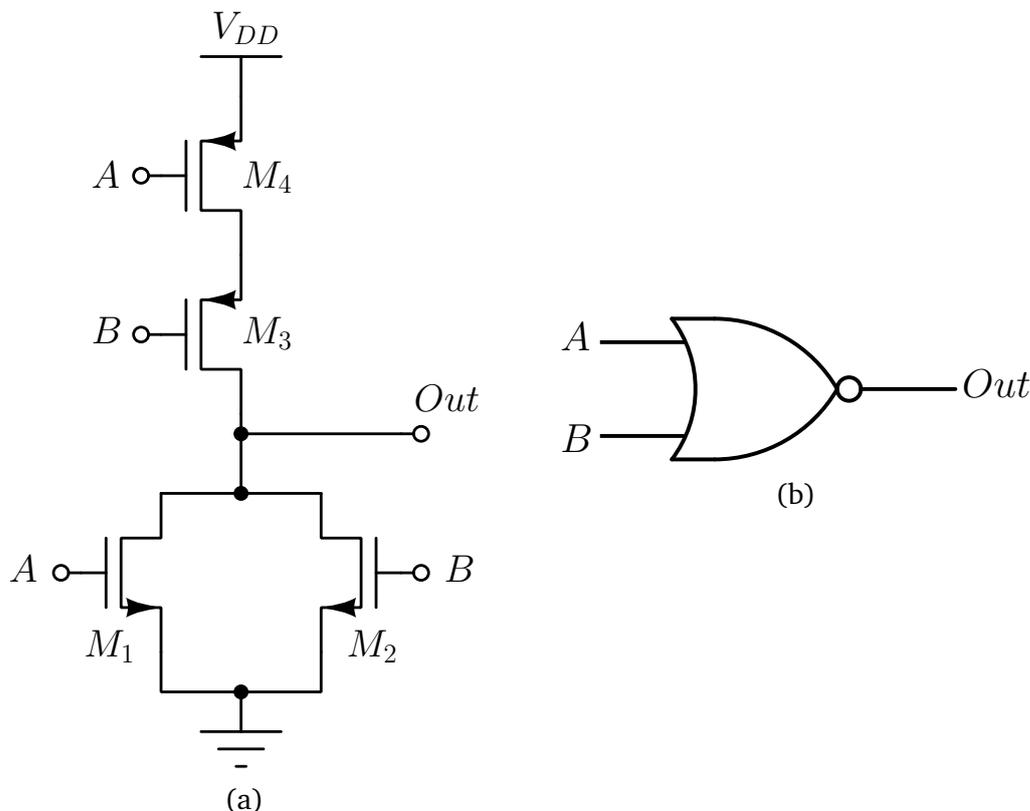


Figura 4.9: Schema circuitale (a) e simbolo (b) della porta NOR

Transistor	L [nm]	W [μm]
M_1	120	0.16
M_2	120	0.16
M_3	120	1.28
M_4	120	1.28

Tabella 4.1: Dimensioni dei transistor della porta NOR

In una revisione futura del progetto, al fine di ridurre l'occupazione di area, al posto della catena di invertitori a dimensioni minime e del condensatore C_d è possibile utilizzare una o più *celle di ritardo* costituite sia da invertitori normali che dalla loro versione *controllata in corrente*[10], che permette di limitare le correnti di carica e scarica e regolare quindi il tempo di propagazione.

La figura 4.10 riporta l'uscita del generatore di impulso ottenuta in simulazione. La tensione si mantiene sopra a 1.08 V (90% dell'escursione logica) per un tempo pari a 10.67 ns, superiore ai 10 ns richiesti.

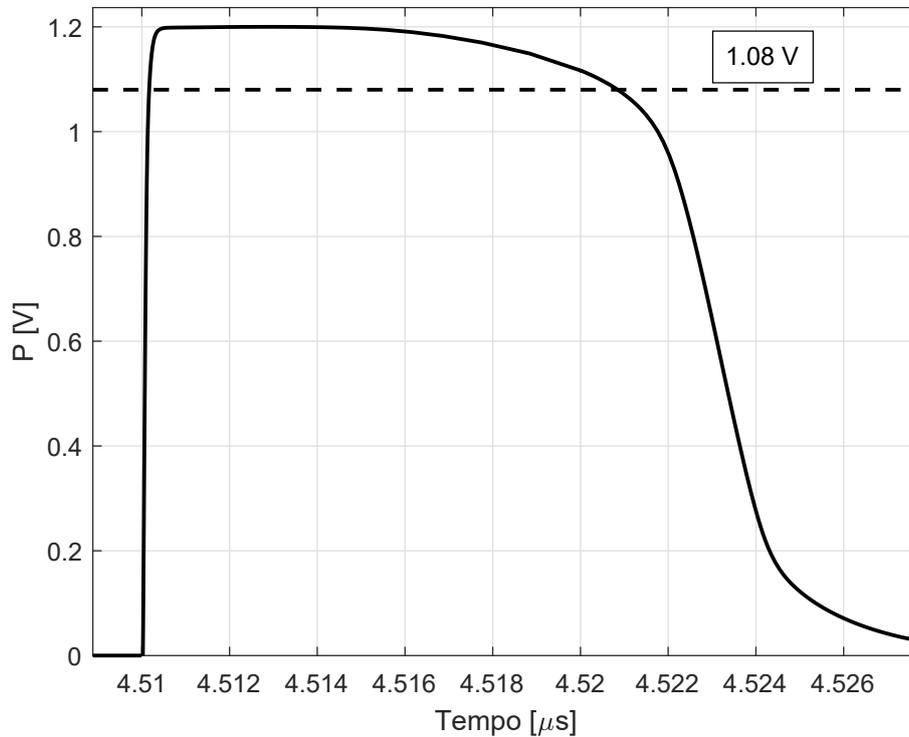


Figura 4.10: Uscita del generatore di impulso

4.1.3 Comparatore

L'ultimo componente necessario per il modulatore PWM è il comparatore, realizzato come mostra lo schema di figura 4.11. L'idea è di utilizzare un primo stadio costituito da una coppia differenziale (M_1 e M_2) con un carico attivo, polarizzata con poca corrente in modo da mantenere un basso consumo di potenza statica. Il segnale in uscita dal primo stadio viene poi amplificato e rigenerato (dal punto di vista logico) dalla catena di invertitori connessa in cascata, che fornisce il guadagno elevato necessario al comparatore.

La corrente I_{ref} è stata impostata a $7.5 \mu\text{A}$, in modo da usare un multiplo intero della corrente di riferimento utilizzata per il generatore di rampa. Anche in questo caso, in una revisione futura del circuito, il generatore dovrà essere sostituito con un riferimento di corrente reale.

Per dimensionare i transistor è stata utilizzata nuovamente la metodologia g_m/I_D . I MOSFET M_5 e M_6 formano uno specchio di corrente con $N = 2$ e per avere elevata resistenza di uscita si è imposto $L_5 = L_6 = 5L_{min} = 600 \text{ nm}$. Trattandosi di nMOS, il

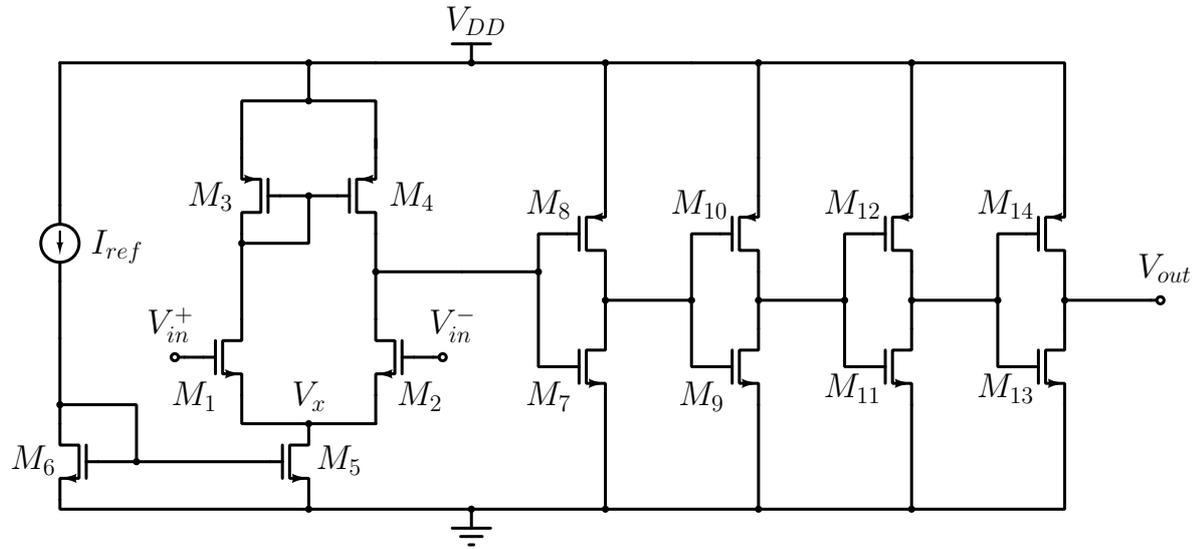


Figura 4.11: Schema del comparatore per il modulatore PWM

parametro θ in questo caso assume il valore:

$$\theta_5 = \theta_6 = \theta_{0n} + \frac{\theta_{1n}}{5L_{min}} = 0.7117 \text{ V}^{-1} \quad (4.19)$$

dove $\theta_{0n} = 0.57 \text{ V}^{-1}$ e $\theta_{1n} = 85 \cdot 10^{-9} \text{ V}^{-1}m$. Il valore di V^* per questi due transistor è stato fissato a 150 mV, pertanto si ottiene:

$$V_{ov5} = V_{ov6} = \frac{\sqrt{1 + 4\theta V^*} - 1}{2\theta} \approx 137 \text{ mV} \quad (4.20)$$

La larghezza di M_6 si calcola quindi come:

$$W_6 = \frac{2I_{ref}L_6}{\mu C_{ox}} \frac{1 + \theta V_{ov,6}}{V_{ov,6}^2} \approx 560 \text{ nm} \quad (4.21)$$

e dato che il rapporto di specchiatura è pari a 2, si deve ovviamente avere:

$$W_5 = 2W_6 = 1.12 \text{ } \mu m \quad (4.22)$$

I transistor M_1 , M_2 , M_3 e M_4 , ipotizzando che la coppia differenziale sia perfettamente bilanciata, sono tutti polarizzati da metà della corrente che scorre su M_5 :

$$I_{D1} = I_{D2} = I_{D3} = I_{D4} = \frac{2I_{ref}}{2} = I_{ref} = 7.5 \text{ } \mu A \quad (4.23)$$

Per M_3 e M_4 , V^* è stata fissata ancora a 150 mV. Seguendo la stessa procedura di dimensionamento usata in precedenza, si ottiene:

$$W_3 = W_4 = 2.51 \text{ } \mu m \quad (4.24)$$

Per M_1 e M_2 è stata invece imposta V^* pari a 100 mV: ridurre V^* (cioè far lavorare i transistor in *weak inversion*) aumenta l'efficienza di transconduttore g_m/I_D , ma soprattutto porta ad avere una V_{DS} più bassa su M_1 e M_2 , in modo da avere più margine per tenere in saturazione M_5 . La lunghezza di canale è stata fissata a $3L_{min}$ per non ridurre eccessivamente la f_T . [12] Le tensioni di overdrive di M_1 e M_2 sono quindi:

$$V_{ov1} = V_{ov2} \approx 100 \text{ mV} \quad (4.25)$$

La tensione di soglia nominale del processo (V_{th}) è pari a 300 mV. Con la tensione di modo comune di ingresso minima (600 mV), la tensione V_x indicata in figura 4.11 è quindi pari a:

$$V_x = 600 \text{ mV} - (V_{ov1} + V_{th}) = 200 \text{ mV} \quad (4.26)$$

mentre con la tensione di modo comune di ingresso massima (750 mV):

$$V_x = 750 \text{ mV} - (V_{ov1} + V_{th}) = 350 \text{ mV} \quad (4.27)$$

La tensione V_x è in entrambi i casi maggiore della V^* di M_5 , che lavora quindi sempre in saturazione.

M_7 e M_8 sono stati dimensionati tramite simulazione in modo che la tensione di uscita del primo invertitore sia in prossimità della soglia logica di quello formato da M_9 e M_{10} , realizzato a dimensioni minime. L'invertitore M_{11}/M_{12} è anch'esso a dimensioni minime (per ridurre il ritardo di propagazione), mentre l'ultimo ha dimensioni pari a quelle del secondo stadio di un buffer CMOS (facendo riferimento ancora alla sezione 3.6) in modo da limitare il tempo di propagazione, che aumenta per il carico capacitivo che viene connesso all'uscita del comparatore.

Le dimensioni dei MOSFET sono riassunte nella tabella 4.2.

La figura 4.12 riporta invece due simulazioni di esempio prese dal circuito completo, che mostrano l'uscita del modulatore PWM con duty cycle pari a 0.5 e 0.9. Il tempo di salita dal 10% al 90% dell'escursione in tensione è di circa 50 ps in entrambi i casi, mentre quello di discesa è di 150 ps. Tali intervalli di tempo sono pari rispettivamente allo 0.005% e allo 0.015% del periodo di commutazione del convertitore e sono dunque irrilevanti per il corretto funzionamento del sistema. Il consumo medio di potenza rilevato in simulazione, per questo blocco circuitale, è di $22.7 \mu\text{W}$, pari allo 0.38% della potenza di uscita del convertitore.

Si osserva infine che l'architettura proposta non è particolarmente robusta dal punto di vista dell'offset, ma questo non costituisce un problema dato che l'offset di questo comparatore viene diviso per il guadagno dell'anello di controllo del duty cycle, che verrà analizzato in dettaglio nel prossimo capitolo.

Transistor	L [nm]	W [μm]
M_1	360	0.72
M_2	360	0.72
M_3	600	2.51
M_4	600	2.51
M_5	600	1.12
M_6	600	0.56
M_7	120	0.16
M_8	120	3.72
M_9	120	0.16
M_{10}	120	0.64
M_{11}	120	0.16
M_{12}	120	0.64
M_{13}	120	0.64
M_{14}	120	2.56

Tabella 4.2: Dimensioni dei transistor del comparatore per il modulatore PWM

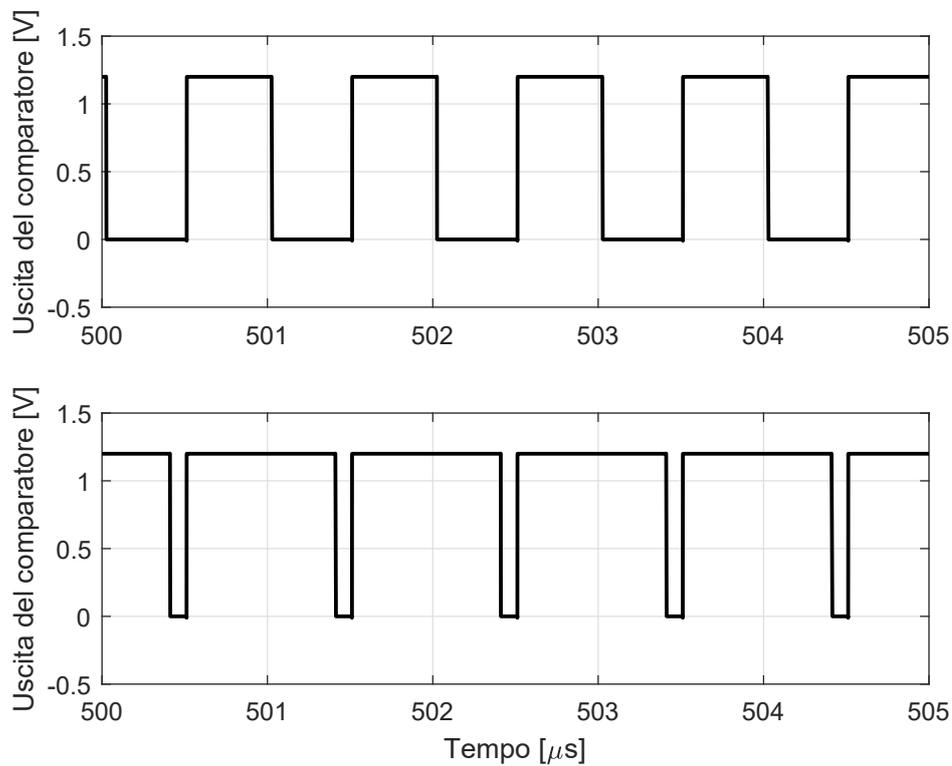


Figura 4.12: Generazione di un'onda quadra di duty cycle 0.5 e 0.9

4.2 Gestione degli interruttori

Dalla procedura di dimensionamento proposta nel capitolo 3 si ottiene il numero di stadi che deve avere ciascun buffer CMOS. Al fine di ottenere un compromesso tra il tempo di propagazione dei vari segnali di gate e il numero di buffer, i segnali di controllo sono stati raggruppati come mostrano la figura 4.13 e la tabella 4.3.

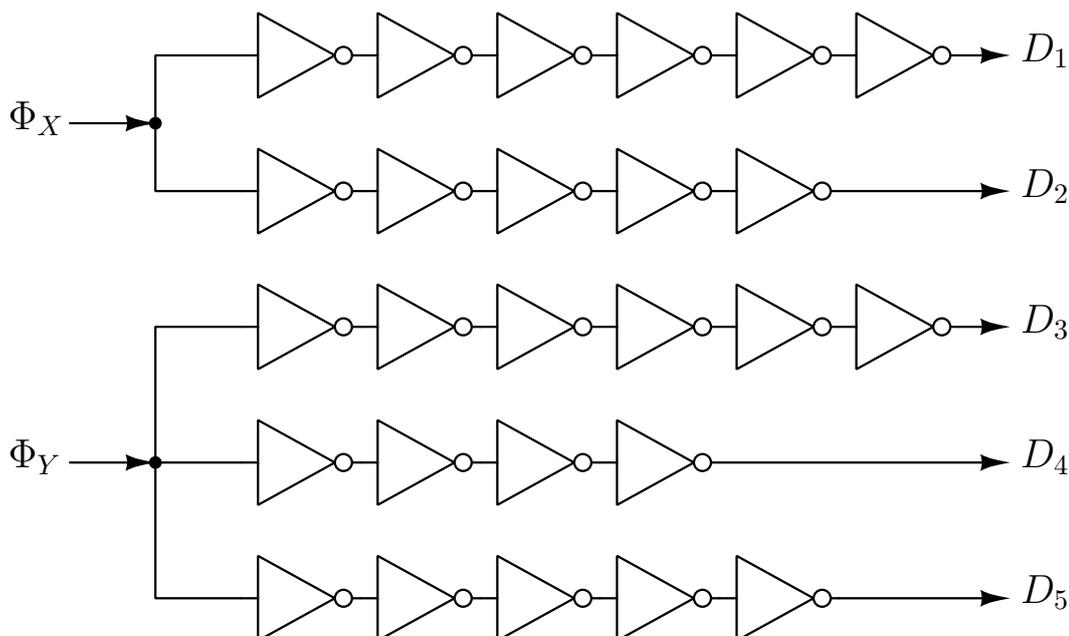


Figura 4.13: Schema del banco di buffer CMOS

Segnale di controllo	Connessioni	Stadi del buffer
D_1	Nodo B del driver p	6
D_2	Nodo B del driver n	5
D_3	Gate di M_0 e di M_1	6
D_4	Nodo A del driver p e nodo C del driver n	4
D_5	Nodo A del driver n e nodo C del driver p	5

Tabella 4.3: Numero di stadi e connessioni dei buffer CMOS

In base ai risultati di simulazione, il tempo di propagazione dei segnali di controllo attraverso il banco di buffer CMOS (connessi ai rispettivi carichi) va dai 260 ps della catena più lunga ai 170 della più breve, pari rispettivamente allo 0.026% e allo 0.017% del periodo di commutazione del convertitore. Le discrepanze tra i tempi di propagazione dei vari segnali sono talmente piccole da essere ininfluenti per il corretto funzionamento del circuito nel suo complesso.

4.2.1 Multiplexer

La figura 4.14 riporta lo schema del multiplexer, realizzato in logica CMOS statica. [10]

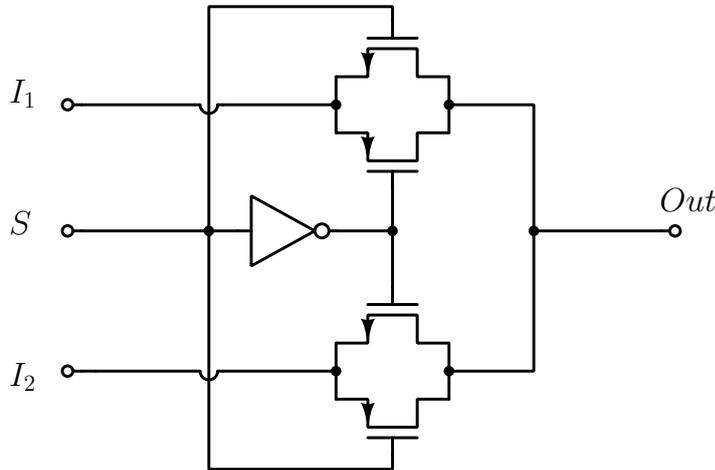


Figura 4.14: Schema del multiplexer

Il segnale di controllo S e il suo negato (ottenuto tramite un invertitore) controllano una coppia di gate di trasmissione: se $S = 1$ l'uscita viene connessa all'ingresso I_1 ; se $S = 0$ viene invece connessa all'ingresso I_2 . In uscita al multiplexer sono connessi tre invertitori a dimensione minima e dunque la capacità di carico collegata all'uscita è pari ad appena $3 \cdot C_{in} = 3.6 \text{ fF}$ (facendo riferimento alla 3.56). Tutti i transistor (compresi quelli che formano l'invertitore mostrato nello schema) sono stati quindi dimensionati per contenere l'occupazione di area e con essa le capacità parassite. Tenendo conto che i pMOS hanno una resistenza equivalente pari a circa 4 volte quella degli nMOS, si ha:

- $L_n = L_p = L_{min} = 120 \text{ nm}$;
- $W_n = W_{min} = 160 \text{ nm}$
- $W_p = 4W_n = 640 \text{ nm}$.

In base ai risultati di simulazione, i tempi di propagazione sono nell'ordine delle decine di ps e sono quindi sempre inferiori allo 0.01% di T_{SW} . Il ritardo introdotto dal multiplexer è irrilevante per il corretto funzionamento del convertitore.

4.2.2 Rilevazione della polarità dell'ingresso

Il circuito che si occupa di fornire al multiplexer il segnale logico che indica la polarità dell'ingresso è mostrato in figura 4.15.

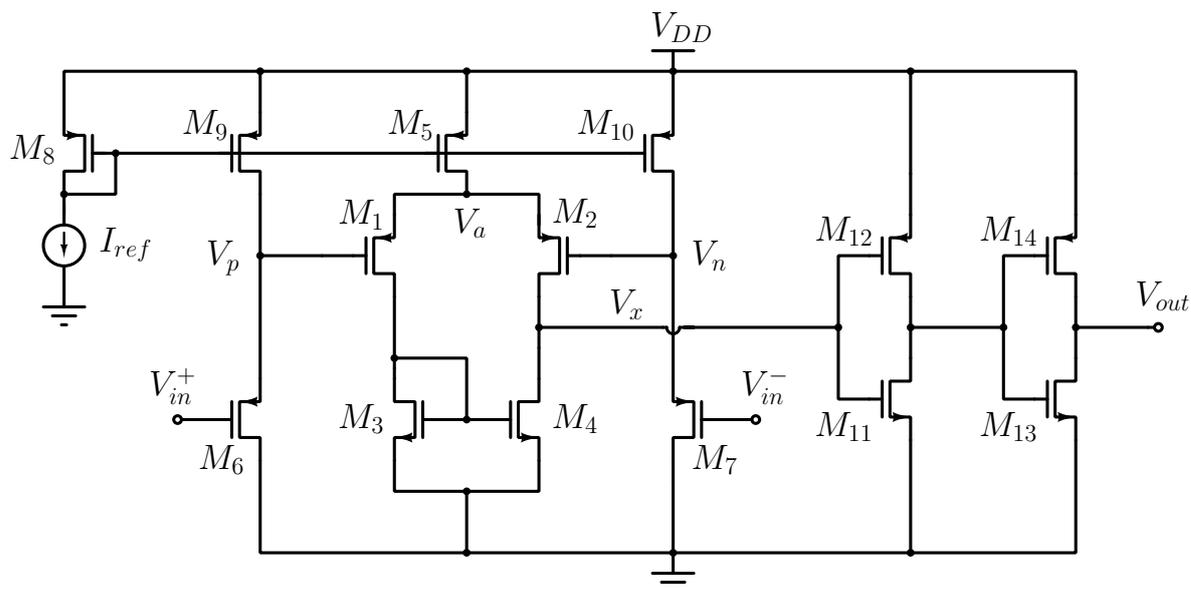


Figura 4.15: Schema del rilevatore della polarità dell'ingresso

Si tratta di un comparatore formato da un OTA a due stadi seguito da una coppia di invertitori per rigenerare il segnale. Anche in questo caso, l'idea è di utilizzare una coppia differenziale polarizzata a bassa corrente e ottenere la maggior parte del guadagno dai due invertitori in cascata. Il circuito è progettato per avere tensione di riposo nulla: il primo stadio è infatti un *common-drain*, che si comporta da traslatore di livello e consente di polarizzare correttamente la coppia differenziale M_1/M_2 del secondo stadio con entrambi gli ingressi a massa. Il secondo stadio è un semplice OTA a cinque transistor, composto da una coppia differenziale chiusa su un carico attivo. I due MOSFET M_{13} e M_{14} formano un invertitore a dimensioni minime, dato che il carico capacitivo da pilotare equivale a quello di una coppia di invertitori a dimensione minima. L'invertitore formato da M_{11} e M_{12} è stato invece dimensionato (tramite simulazioni) in modo che con il circuito a riposo la sua uscita si porti in prossimità della soglia logica del secondo invertitore.

Le perdite resistive impediscono al convertitore di funzionare correttamente per tensioni molto vicine allo zero; al riguardo, è opportuno osservare che la precisione e la velocità della rilevazione (in altri termini, l'offset e la banda dell'OTA) non sono requisiti critici per il corretto funzionamento del circuito.

La corrente del generatore I_{ref} è stata fissata a $7.5 \mu\text{A}$, in modo da poter utilizzare la stessa corrente che polarizza il comparatore presente nel modulatore PWM. Il dimensionamento dei transistor è stato svolto anche per questo circuito con la metodologia g_m/I_D ; la procedura è già stata ampiamente discussa nelle sezioni precedenti. Fanno eccezione M_6/M_7 e M_{11}/M_{12} , per i quali si è rivelato più efficace utilizzare le simula-

zioni. La tabella 4.4 riporta le dimensioni dei transistor che compongono il rilevatore della polarità.

Transistor	L [nm]	W [μm]
M_1	480	2.02
M_2	480	2.02
M_3	600	0.39
M_4	600	0.39
M_5	600	5.02
M_6	120	1
M_7	120	1
M_8	600	2.51
M_9	600	2.51
M_{10}	600	2.51
M_{11}	120	0.16
M_{12}	120	0.16
M_{13}	120	0.16
M_{14}	120	0.64

Tabella 4.4: Dimensioni dei transistor per il rilevatore della polarità dell'ingresso

Con tensioni di ingresso in modulo superiori a qualche decina di mV, gli invertitori di uscita si possono considerare completamente sbilanciati e pertanto non dissipano potenza. Il consumo di potenza di questo blocco può allora essere stimato manualmente, considerando le correnti di polarizzazione che scorrono nei primi due stadi dell'OTA. M_9 e M_{10} sono in rapporto 1:1 con M_8 e pertanto portano ciascuno una corrente pari a I_{ref} . M_5 è invece in rapporto 2:1 con M_8 e pertanto conduce una corrente pari a $2I_{ref}$. In base a queste considerazioni, il consumo di potenza (statica) del rilevatore di polarità è pari a:

$$P_{diss} = V_{DD} \cdot 5I_{ref} = 45 \mu\text{W} \quad (4.28)$$

pari allo 0.75% della potenza di uscita del convertitore.

4.3 Controllo in retroazione

I convertitori DC-DC vengono utilizzati con un sistema di controllo in retroazione che permette di regolare la tensione di uscita, mantenendola al valore desiderato. Il tipo di controllo più frequentemente utilizzato è il *controllo diretto del duty cycle* [4], che agisce regolando il valore della tensione v_c da fornire al modulatore PWM, in modo

che v_0 si porti a un valore di riferimento V_{ref} . L'anello di retroazione è schematizzato in figura 4.16.

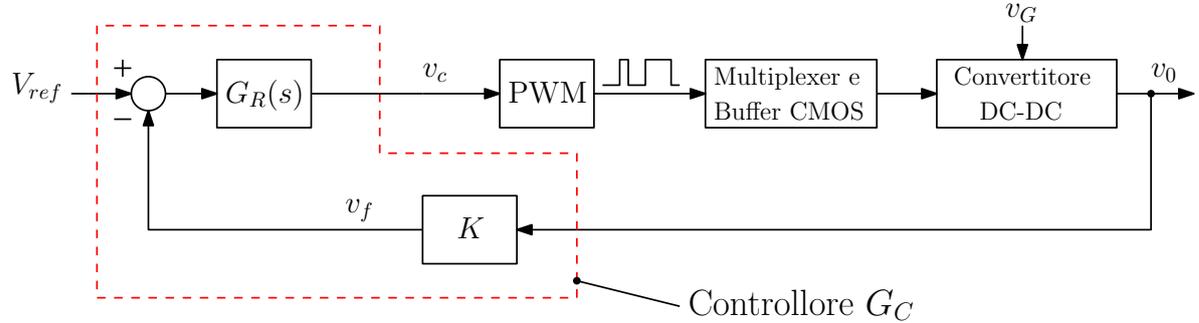


Figura 4.16: Schema a blocchi dell'anello di controllo del duty cycle

Il controllore G_C di figura 4.1 integra il blocco di prelievo della tensione di uscita K , il nodo sommatore e il regolatore $G_R(s)$, che fornisce la tensione di controllo al modulatore PWM (blocco "PWM"). Il blocco K è un semplice guadagno costante, necessario a riscaldare la tensione di uscita dato che non è possibile realizzare un riferimento di tensione che produca una V_{ref} pari alla tensione di alimentazione.

Il progetto dell'anello di controllo si riduce quindi essenzialmente a quello del controllore. A tale scopo, è necessario ottenere le funzioni di trasferimento degli altri blocchi dello schema di figura 4.16: ciò in realtà si riduce allo studio della dinamica del modulatore PWM e del convertitore, poichè il blocco che contiene il multiplexer e i buffer CMOS in realtà introduce solo un ritardo di fase aggiuntivo, di cui si può comunque tenere conto in fase di simulazione.

4.3.1 Modello del modulatore PWM

Il blocco che rappresenta il modulatore PWM è la funzione di trasferimento che lega la variazione della tensione di controllo v_c alla variazione del duty cycle. Nell'ipotesi che v_c si possa ritenere costante nel periodo di commutazione, ricordando che la rampa varia tra un valore V_{min} e uno V_{MAX} , tramite una semplice similitudine tra triangoli (figura 4.17) si ottiene:

$$\frac{D_2 T_{SW} - D_1 T_{SW}}{T_{SW}} = \frac{v_{c2} - v_{c1}}{V_{MAX} - V_{min}} \quad (4.29)$$

da cui si ha che:

$$\frac{D_2 - D_1}{v_{c2} - v_{c1}} = \frac{\Delta D}{\Delta v_c} = \frac{1}{V_{MAX} - V_{min}} \quad (4.30)$$

Il guadagno del modulatore PWM, almeno in prima approssimazione, è pertanto una costante di valore:

$$K_{PWM} = \frac{1}{V_{MAX} - V_{min}} \quad (4.31)$$

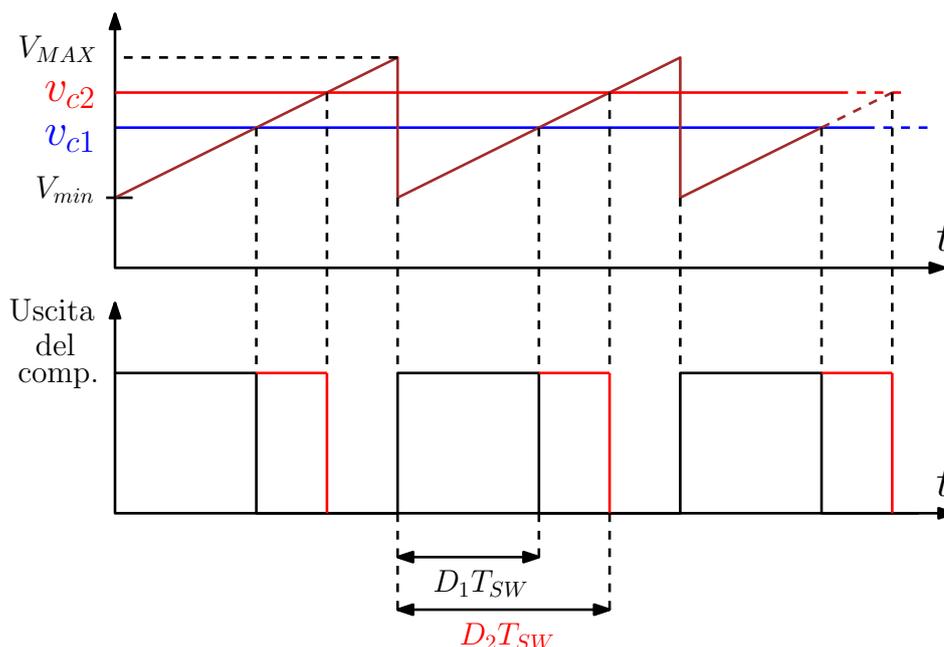


Figura 4.17: Variazione del duty cycle rispetto alla variazione della tensione di controllo v_c

In realtà si tratta di un'approssimazione, perchè nel modulatore avviene una naturale azione di campionamento: quando il comparatore cambia stato, infatti, una successiva (piccola) variazione di v_c non ha alcun effetto fino al periodo seguente: viene introdotto quindi un ritardo di almeno un periodo, che produce del ritardo di fase nella funzione di trasferimento. Esso è però legato alla frequenza di commutazione, che è molto superiore a quelle che governano la dinamica del convertitore, come si vedrà nella prossima sezione: pertanto il modello descritto dalla 4.31 si può ritenere sufficientemente accurato.

4.3.2 Modello del convertitore

Per studiare la dinamica del convertitore con la teoria delle funzioni di trasferimento, è necessario ottenere un *modello linearizzato e tempo-invariante* del circuito, che è invece naturalmente tempo-variante e non lineare.

La dinamica è governata dalle cosiddette "frequenze naturali" del sistema. I componenti reattivi hanno infatti un'azione filtrante volta a tagliare le armoniche introdotte dalle commutazioni: per essere efficace, il filtraggio deve essere caratterizzato da una frequenza di taglio equivalente molto inferiore a quella di commutazione. Pertanto, le frequenze naturali sono dominate dagli elementi reattivi. Per questo motivo, non è necessario studiare il comportamento in frequenza fino a quella di commutazione: la dinamica è molto più lenta, proprio a causa dell'azione filtrante.

Ai fini dello studio della dinamica si può quindi ignorare il ripple a frequenza f_{SW} e concentrarsi sulle quantità medie. In transitorio, i valori medi sul periodo non sono costanti; si introduce allora la *media mobile* di una grandezza:

$$\overline{x(t)} = \frac{1}{T_{SW}} \int_{t-T_{SW}}^t x(\tau) d\tau \quad (4.32)$$

Si tratta di una quantità che varia nel tempo e tiene traccia dell'andamento del valore medio della grandezza $x(t)$. Con questa operazione, chiaramente si perde l'informazione sul ripple: tuttavia esso è a frequenza molto superiore a quella dominante nella dinamica del sistema e dunque in questo contesto perde di interesse.

Le relazioni tensioni-corrente dei componenti rimangono le stesse anche sostituendo i valori istantanei con le medie mobili. Si prenda ad esempio l'equazione dell'induttore:

$$v_L(t) = L \frac{di_L}{dt} \quad (4.33)$$

La media mobile della tensione è:

$$\overline{v_L(t)} = \frac{1}{T_{SW}} \int_{t-T_{SW}}^t L \frac{di_L(\tau)}{d\tau} d\tau = \frac{1}{T_{SW}} [i_L(t) - i_L(t - T_{SW})] \quad (4.34)$$

Per la corrente si ha:

$$\frac{d}{dt} [\overline{i_L(t)}] = \frac{d}{dt} \left[\frac{1}{T_{SW}} \int_{t-T_{SW}}^t i_L(\tau) d\tau \right] = \frac{1}{T_{SW}} [i_L(t) - i_L(t - T_{SW})] \quad (4.35)$$

e pertanto:

$$\overline{v_L(t)} = L \frac{d\overline{i_L(t)}}{dt} \quad (4.36)$$

Si dimostra che anche per i condensatori vale analogo risultato e dunque le relazioni tensione-corrente rimangono valide anche con le medie mobili.[4]

Introdotta il concetto di media mobile, si può procedere alla costruzione vera e propria del modello linearizzato del convertitore. Uno dei metodi che permette di ottenere questo risultato è lo *state space averaging* (SSA), descritto in [4] e [16].

Innanzitutto è necessario ottenere le equazioni di stato del sistema ed esprimerle nella forma matriciale³:

$$\dot{\mathbf{x}} = \mathbf{Ax} + \mathbf{Bu} \quad (4.37)$$

dove, nel caso del convertitore in esame:

$$\begin{cases} \mathbf{x} = (i_L, v_1, v_0)^T \\ \mathbf{u} = (v_G) \end{cases} \quad (4.38)$$

³tale forma prende il nome di *rappresentazione in spazio di stato* poichè fa riferimento alle variabili di stato del sistema, cioè le correnti degli induttori e le tensioni dei condensatori [4]

e il vettore $\dot{\mathbf{x}}$ non è altro che:

$$\dot{\mathbf{x}} = \left(\frac{di_L}{dt}, \frac{dv_1}{dt}, \frac{dv_0}{dt} \right)^T \quad (4.39)$$

Dato che il circuito cambia topologia a seconda della fase, si avrà un set di equazioni per ciascuna fase:

$$\begin{cases} \dot{\mathbf{x}} = \mathbf{A}_1 \mathbf{x} + \mathbf{B}_1 \mathbf{u} & \text{per } 0 \leq t \leq DT_{SW} \\ \dot{\mathbf{x}} = \mathbf{A}_2 \mathbf{x} + \mathbf{B}_2 \mathbf{u} & \text{per } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (4.40)$$

Le 4.40 devono essere espresse separatamente per tensioni di ingresso positive e per tensioni di ingresso negative, dato che la topologia del circuito in ciascuna fase cambia a seconda della polarità della tensione di ingresso. Si avranno quindi in tutto quattro set di equazioni in forma matriciale, due per ciascuna modalità di funzionamento.

Per tensioni di ingresso positive, le equazioni di stato del sistema si ottengono dai circuiti equivalenti di figura 4.18, che tengono conto anche delle resistenze serie di interruttori e induttore. Per $0 \leq t \leq DT_{SW}$, si ha:

$$\begin{cases} L \frac{di_L}{dt} = v_G - R_{S2} i_G - R_{ESL} i_L \\ C_1 \frac{dv_1}{dt} = i_L - i_G \\ C_0 \frac{dv_0}{dt} = i_G - i_L - \frac{v_0}{R_0} \end{cases} \quad (4.41)$$

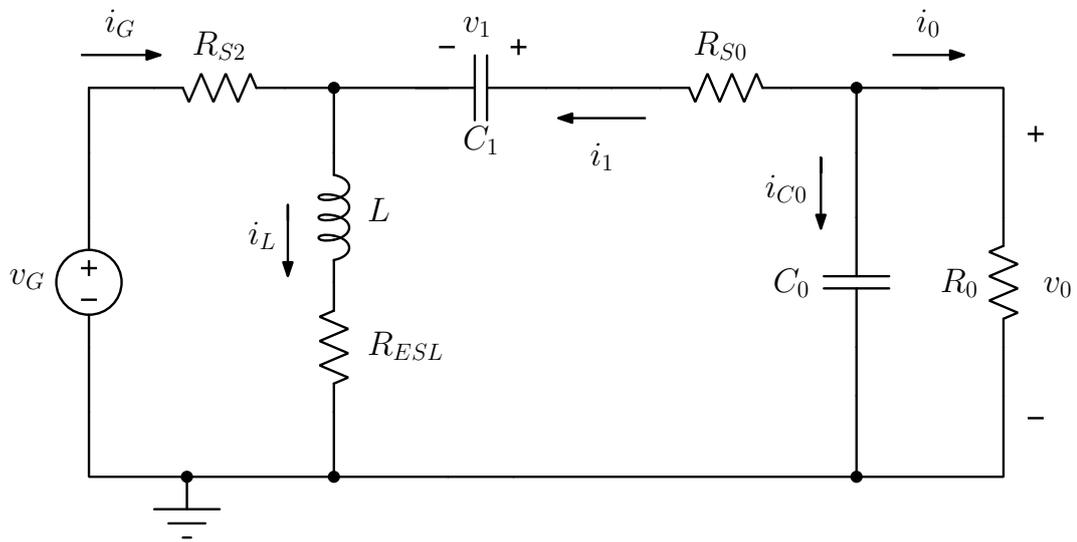
a cui si deve aggiungere l'espressione della corrente di ingresso affinché il sistema abbia soluzione unica:

$$i_G = \frac{1}{R_{S2}} \left(v_G + v_1 + R_{S0} C_1 \frac{dv_1}{dt} - v_0 \right) \quad (4.42)$$

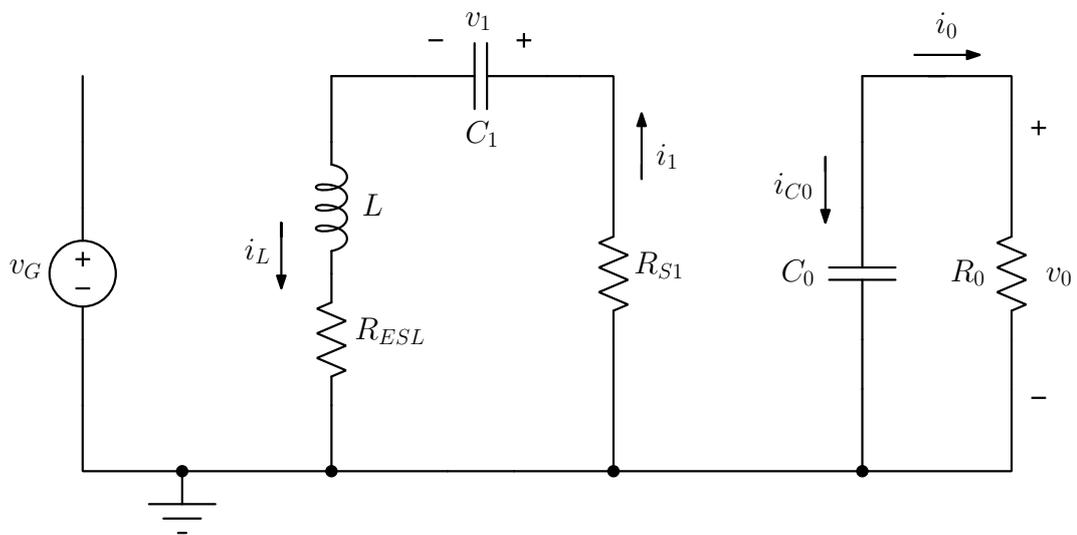
Per $DT_{SW} \leq t \leq T_{SW}$ si ha invece:

$$\begin{cases} L \frac{\partial i_L}{\partial t} = -(R_{S1} + R_{S2}) i_L - v_1 \\ C_1 \frac{\partial v_1}{\partial t} = i_L \\ C_0 \frac{\partial v_0}{\partial t} = -\frac{v_0}{R_0} \end{cases} \quad (4.43)$$

Dalle 4.41 si ricavano quindi le matrici \mathbf{A}_1 e \mathbf{B}_1 , mentre dalle 4.43 si ottengono le matrici \mathbf{A}_2 e \mathbf{B}_2 , sempre nel caso di tensioni di ingresso positive.



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 4.18: Circuiti equivalenti per tensioni di ingresso positive considerando le principali resistenze serie

Per tensioni di ingresso negative, si hanno invece i circuiti equivalenti di figura 4.19. Con $0 \leq t \leq DT_{SW}$ si ha:

$$\begin{cases} L \frac{di_L}{dt} = v_G - R_{S2}i_G - R_{ESL}i_L \\ C_1 \frac{dv_1}{dt} = i_G - i_L \\ C_0 \frac{dv_0}{dt} = -\frac{v_0}{R_0} \end{cases} \quad (4.44)$$

a cui si deve aggiungere:

$$i_G = \left(1 + \frac{R_{ESL}}{R_{S1}}\right) i_L + \frac{L}{R_{S1}} \frac{di_L}{dt} - \frac{v_1}{R_{S1}} \quad (4.45)$$

Per $DT_{SW} \leq t \leq T_{SW}$ si ha invece:

$$\begin{cases} L \frac{di_L}{dt} = -(R_{S0} + R_{ESL})i_L + v_1 - v_0 \\ C_1 \frac{dv_1}{dt} = -i_L \\ C_0 \frac{dv_0}{dt} = i_L - \frac{v_0}{R_0} \end{cases} \quad (4.46)$$

Le matrici \mathbf{A}_1 e \mathbf{B}_1 per tensioni di ingresso negative si ottengono quindi dalle 4.44, mentre \mathbf{A}_2 e \mathbf{B}_2 si ricavano dalle 4.46.

Introducendo ora la funzione q , definita come:

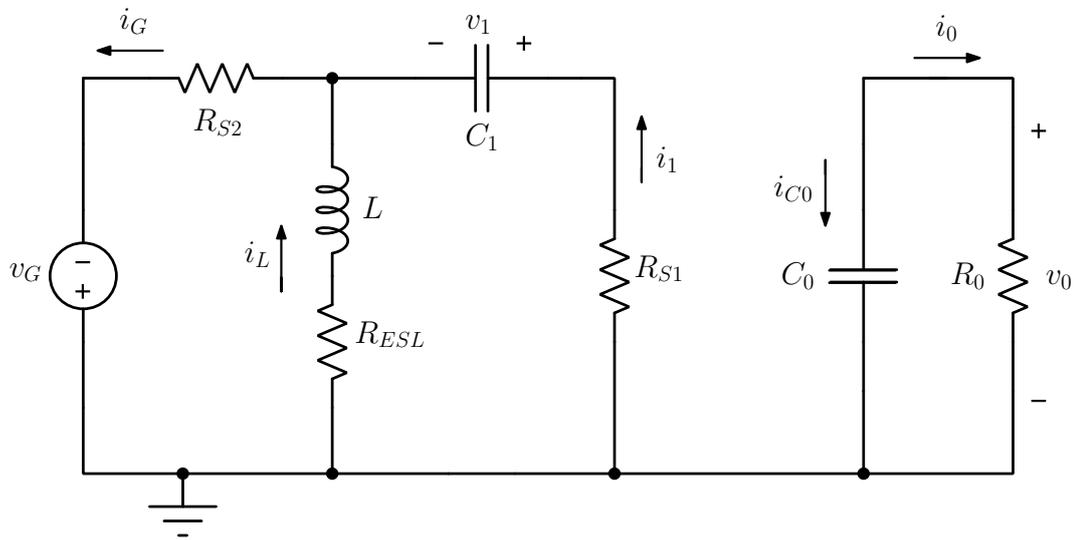
$$q = \begin{cases} 1 & \text{se } 0 \leq t \leq DT_{SW} \\ 0 & \text{se } DT_{SW} \leq t \leq T_{SW} \end{cases} \quad (4.47)$$

la descrizione in spazio di stato del convertitore in una delle due modalità di funzionamento (per $V_G > 0$ o per $V_G < 0$) può essere scritta nella forma compatta:

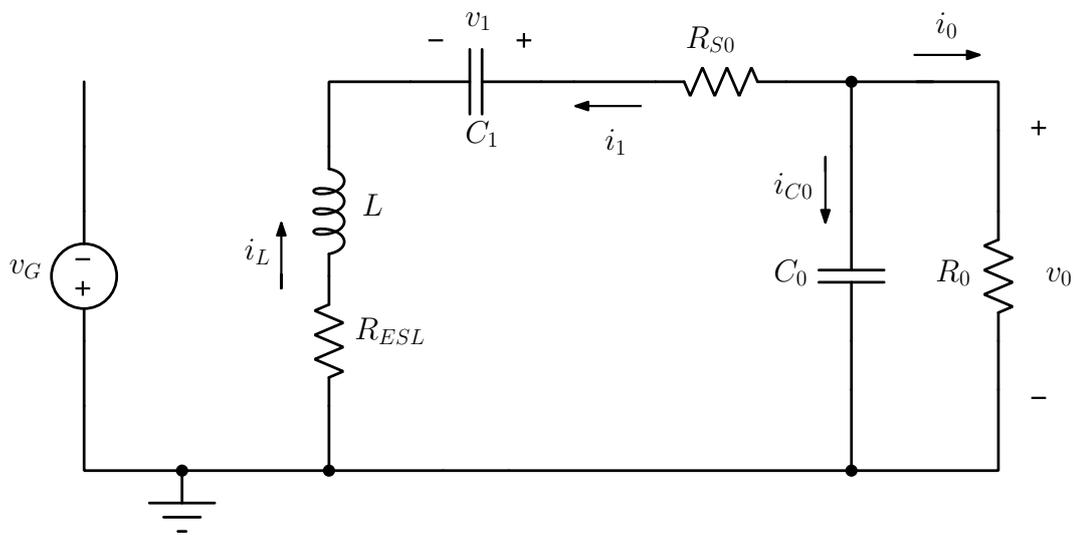
$$\dot{\mathbf{x}} = \mathbf{A}_2\mathbf{x} + \mathbf{B}_2\mathbf{u} + [(\mathbf{A}_1 - \mathbf{A}_2)\mathbf{x} + (\mathbf{B}_1 - \mathbf{B}_2)\mathbf{u}] q \quad (4.48)$$

A partire da questa descrizione, si può finalmente ottenere un modello linearizzato del convertitore, che prende il nome di *modello medio*. Applicando l'operatore di media mobile alla 4.48, infatti, nell'ipotesi che il ripple sulle grandezze sia trascurabile e che il loro valore medio non cambi significativamente in un periodo di commutazione, si ottiene:

$$\bar{\dot{\mathbf{x}}} = \dot{\bar{\mathbf{x}}} = \mathbf{A}_2\bar{\mathbf{x}} + \mathbf{B}_2\bar{\mathbf{u}} + [(\mathbf{A}_1 - \mathbf{A}_2)\bar{\mathbf{x}} + (\mathbf{B}_1 - \mathbf{B}_2)\bar{\mathbf{u}}] \bar{q} \quad (4.49)$$



(a) Fase $0 < t < DT_{SW}$



(b) Fase $DT_{SW} < t < T_{SW}$

Figura 4.19: Circuiti equivalenti per tensioni di ingresso negative considerando le principali resistenze serie

dove \bar{q} non è altro che la media mobile del duty cycle del convertitore, in base alla 4.47. Le medie mobili possono essere espresse come la somma del valore medio in equilibrio (DC) e di una perturbazione di piccolo segnale (AC):

$$\mathbf{x} = \mathbf{X} + \hat{\mathbf{x}} \quad (4.50)$$

Poichè la derivata di una costante (valore DC in equilibrio) è pari a zero, si ha inoltre che:

$$\dot{\bar{\mathbf{x}}} = \dot{\hat{\mathbf{x}}} \quad (4.51)$$

La 4.49 può quindi essere utilizzata per ricavare sia il modello del convertitore in equilibrio (a regime), sia il modello linearizzato ai piccoli segnali (le perturbazioni), per ciascuna delle due polarità della tensione di ingresso.

Azzerando le perturbazioni, si ottiene immediatamente che il modello medio in spazio di stato che descrive il convertitore in equilibrio è:

$$\mathbf{0} = \mathbf{A}\mathbf{X} + \mathbf{B}\mathbf{U} \quad (4.52)$$

dove:

$$\begin{cases} \mathbf{A} = \mathbf{A}_1 D + \mathbf{A}_2 (1 - D) \\ \mathbf{B} = \mathbf{B}_1 D + \mathbf{B}_2 (1 - D) \end{cases} \quad (4.53)$$

e:

$$\begin{aligned} \mathbf{X} &= \text{vettore di stato in equilibrio (DC)} \\ \mathbf{U} &= \text{vettore di ingresso in equilibrio (DC)} \\ D &= \text{duty cycle in equilibrio (DC)} \end{aligned} \quad (4.54)$$

Il vettore di stato \mathbf{X} in equilibrio si ottiene quindi come:

$$\mathbf{X} = (I_L, V_1, V_0)^T = -\mathbf{A}^{-1}\mathbf{B}\mathbf{U} \quad (4.55)$$

Azzerando invece i valori in equilibrio (DC) e passando al dominio di Laplace, il modello che descrive la dinamica del convertitore si ottiene da:

$$\hat{\mathbf{x}} = \left(\hat{i}_L, \hat{v}_1, \hat{v}_0 \right)^T = (s\mathbf{I} - \mathbf{A})^{-1} \mathbf{F} \cdot \hat{d} \quad (4.56)$$

dove:

$$\mathbf{F} = (\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)\mathbf{U} = (\mathbf{A}_1 - \mathbf{A}_2)\mathbf{X} + (\mathbf{B}_1 - \mathbf{B}_2)V_G \quad (4.57)$$

La 4.55 e la 4.56 costituiscono il modello linearizzato del convertitore rispettivamente a regime (DC) e in risposta a (piccole) perturbazioni. Dalla 4.56, in particolare, si può ricavare la funzione di trasferimento che lega la perturbazione del duty cycle \hat{d} alla perturbazione della tensione di uscita \hat{v}_0 , necessaria per il modello dell'anello di controllo della tensione di uscita.

4.3.3 Guadagno di tensione con perdite resistive

Dato che le equazioni di stato sono state ricavate tenendo conto delle resistenze serie, dal modello ottenuto è immediato ricavare il guadagno di tensione del convertitore completo delle perdite resistive. È infatti sufficiente osservare che, moltiplicando il vettore di stato \mathbf{X} per $1/V_G$, si ha:

$$\frac{1}{V_G} \mathbf{X} = \left(\frac{I_L}{V_G}, \frac{V_1}{V_G}, \frac{V_0}{V_G} \right)^T \quad (4.58)$$

La terza componente di questo vettore è proprio il guadagno di tensione. L'espressione analitica che si ottiene è molto complessa e risulta più efficace darne una visualizzazione grafica. Con $R_{S0} = R_{S1} = R_{S2} = 366 \text{ m}\Omega$ e $R_{ESL} = 330 \text{ m}\Omega$ si ottiene l'andamento mostrato in figura 4.20, indipendentemente dalla polarità della tensione di ingresso.⁴ La figura mostra il confronto con il guadagno ideale (senza perdite) e con quello di un ipotetico convertitore Boost come quello mostrato nel capitolo 2, con resistenze serie dei dispositivi pari a $366 \text{ m}\Omega$ e induttore con $R_{ESL} = 330 \text{ m}\Omega$.

Si osserva che, nonostante il convertitore proposto abbia un interruttore in più (e quindi perdite maggiori) il guadagno ne risente solo marginalmente; in compenso si ha il vantaggio di poter convertire tensioni di entrambe le polarità, senza la necessità di un raddrizzatore in ingresso.

Osservando la figura 4.20 si può ottenere anche un'altra informazione importante: per valori del duty cycle prossimi a 1, ad un aumento del valore di D non corrisponde più un aumento del guadagno, ma un calo. Dal punto di vista della dinamica, questo significa che quando il duty cycle è a valori molto elevati (cioè il modulo della tensione di ingresso è molto piccolo), se $|V_G|$ cala ulteriormente l'anello di retroazione cerca di aumentare D per mantenere la tensione di uscita regolata, ma così facendo il guadagno anziché aumentare cala: si innesca così un'instabilità che porta il duty cycle a 1 e fa crollare a zero il valore della tensione di uscita. Per questo motivo, si è scelto di limitare il duty cycle massimo, imponendo:

$$\max(D) = D_{MAX} = 0.9 \quad (4.59)$$

a cui corrisponde un guadagno di tensione $M(D_{MAX}) = 7.5$. La tensione di ingresso corrispondente, in modulo, è:

$$|V_{G,min}| = \frac{1.2 \text{ V}}{M(D_{MAX})} = 160 \text{ mV} \quad (4.60)$$

⁴ciò è dovuto al fatto che si è scelto di dimensionare gli interruttori di potenza in modo che abbiano tutti la stessa resistenza serie

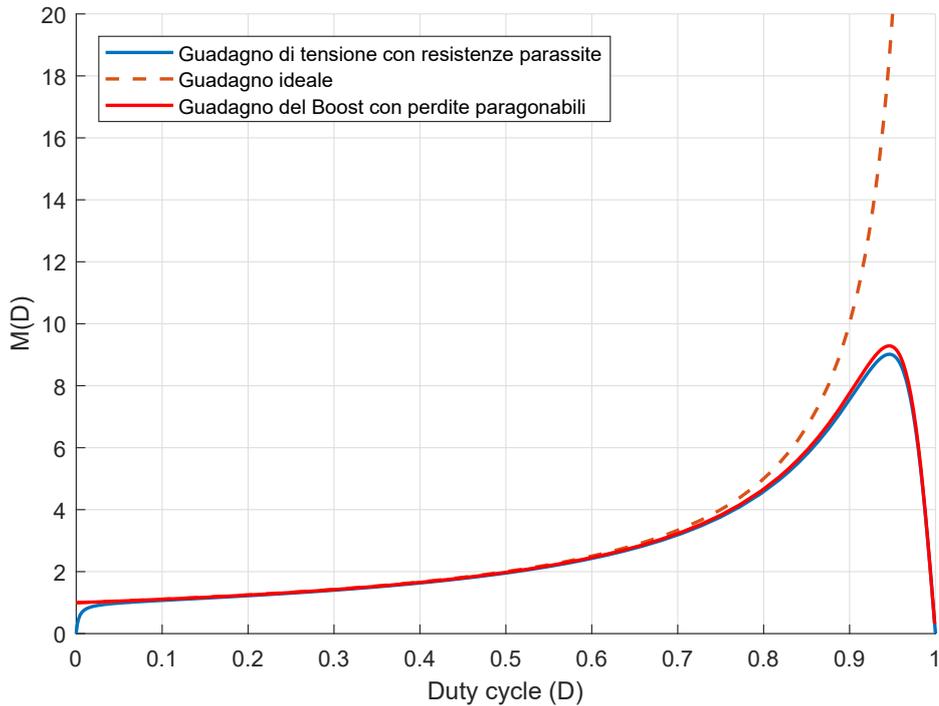


Figura 4.20: Confronto del guadagno del convertitore comprensivo di perdite con quello ideale e di un Boost con perdite analoghe

4.3.4 Guadagno d'anello

Il guadagno d'anello si calcola spegnendo tutti gli ingressi nello schema di figura 4.16. Si ottiene:

$$T(s) = G_C(s) \cdot K_{PWM} \cdot G_{Vd}(s) \quad (4.61)$$

dove $G_{Vd}(s)$ è la funzione di trasferimento del convertitore che descrive la relazione tra la perturbazione del duty cycle \hat{d} e la conseguente perturbazione della tensione di uscita, \hat{v}_0 :

$$G_{Vd}(s) = \frac{\hat{v}_0}{\hat{d}} \quad (4.62)$$

Tale funzione di trasferimento si ottiene immediatamente dalla 4.56 moltiplicando il vettore $\hat{\mathbf{x}}$ per $1/\hat{d}$:

$$\frac{1}{\hat{d}} \cdot \hat{\mathbf{x}} = \left(\frac{\hat{i}_L}{\hat{d}}, \frac{\hat{v}_1}{\hat{d}}, \frac{\hat{v}_0}{\hat{d}} \right)^T \quad (4.63)$$

la terza componente è proprio G_{Vd} .

Anche in questo caso, l'espressione analitica è complicata e risulta più immediato visualizzare direttamente l'andamento di $T(s)$.

4.3. Controllo in retroazione

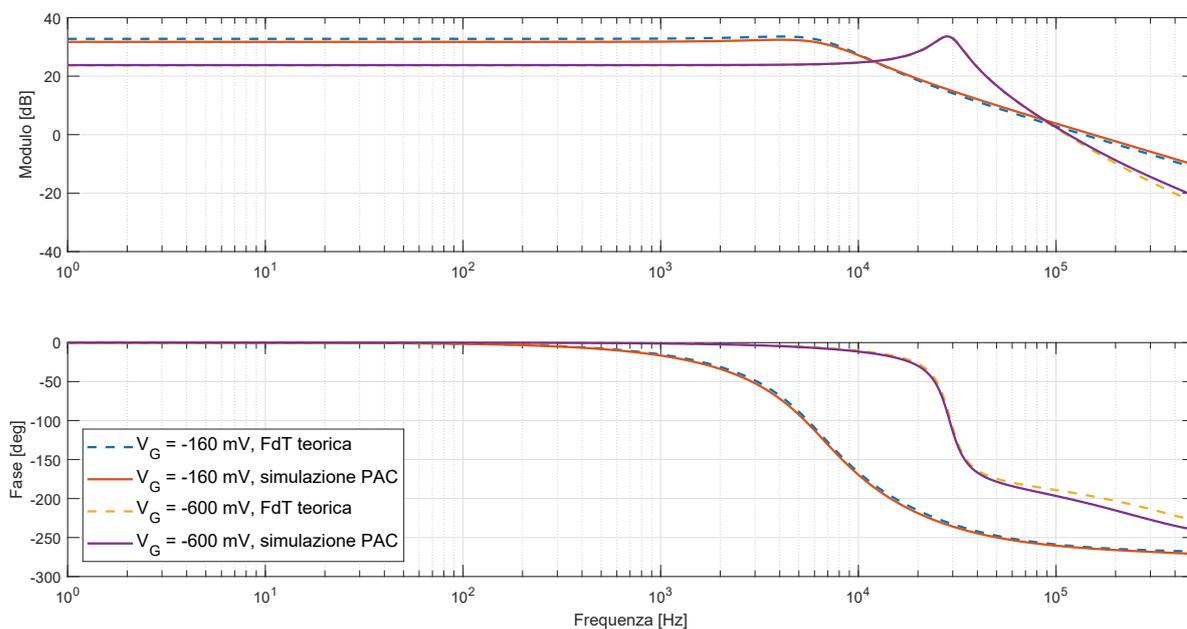


Figura 4.21: Diagramma di Bode del guadagno d'anello (non compensato) per $V_G = -160$ mV e $V_G = -600$ mV

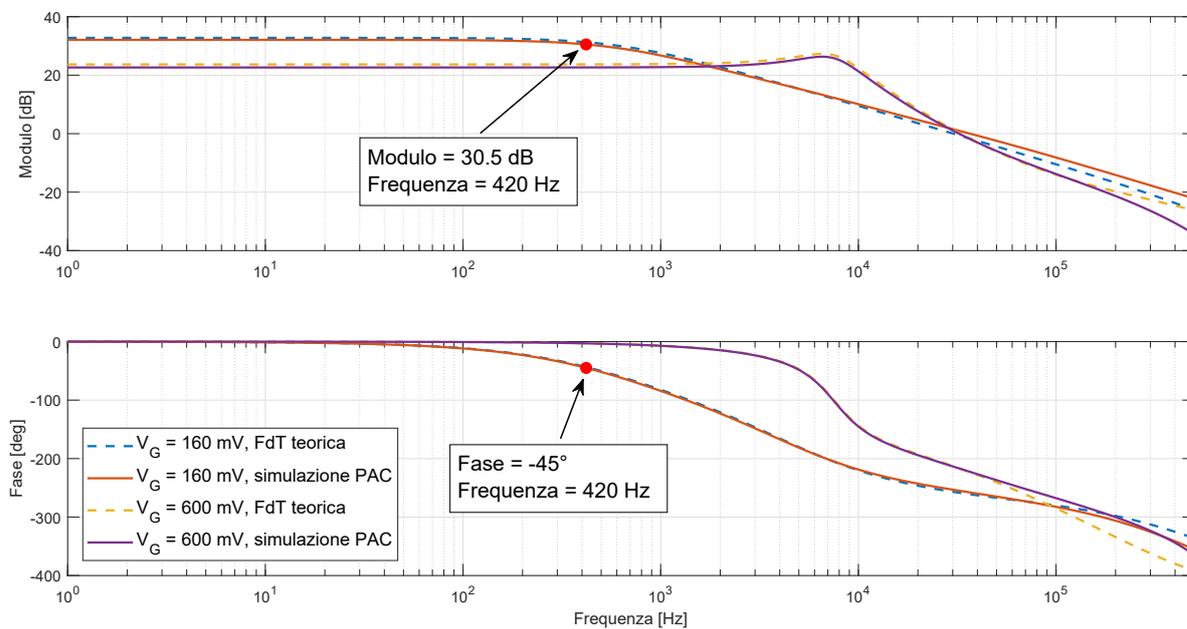


Figura 4.22: Diagramma di Bode del guadagno d'anello (non compensato) per $V_G = 160$ mV e $V_G = 600$ mV

Inizialmente si considera $G_C = 1$, dato che lo scopo primario del controllore è la compensazione dell'anello di retroazione e deve quindi essere progettato partendo proprio dall'andamento del guadagno d'anello non compensato. Le figure 4.21 e 4.22 mostrano l'andamento di $T(s)$ rispettivamente per tensioni di ingresso negative e positive, nei casi limite $|V_G| = 160 \text{ mV}$ e $V_G = 600 \text{ mV}$. In tutti e quattro i casi l'anello è instabile (margine di fase minore di zero) e quindi è assolutamente necessaria una compensazione. Per realizzarla si è scelto di utilizzare un semplice integratore, dato che per applicazioni di energy harvesting non è necessaria una dinamica particolarmente veloce.

Il caso peggiore (cioè quello con il maggiore ritardo di fase a parità di frequenza) si ha quando V_G è pari a 160 mV: se il sistema è stabile in tale condizione, sarà stabile anche in tutte le altre. Si è scelto di imporre un margine di fase minimo di 45 gradi: sebbene sia un valore abbastanza basso (e potenzialmente fonte di *overshoot* e *ringing* nella risposta al gradino) si è preferito non rallentare eccessivamente la dinamica del convertitore, anche per agevolare le simulazioni. In una revisione futura del progetto, si potrebbe pensare di utilizzare un controllore più complesso⁵ per avere sia più banda sia un margine di fase maggiore.

4.3.5 Controllore

Lo schema del controllore è mostrato in figura 4.23. La soluzione utilizzata permette di implementare con un unico circuito il blocco di prelievo della tensione di uscita, il sommatore e il regolatore di figura 4.16. Si tratta di un integratore a capacità commutate e due ingressi: i segnali ① e ② che controllano gli interruttori sono due fasi non sovrapposte di durata pari a circa $T_{SW}/2$, rappresentate in figura 4.24: esse sono facilmente generabili a partire dal clock di sistema, ad esempio con il circuito proposto in [18].

Le tensioni indicate nello schema richiamano i nomi dei segnali di figura 4.1: in particolare v_0 è la tensione di uscita del convertitore, V_{ref} il riferimento di tensione per il controllore e v_c la tensione di controllo per il modulatore PWM. V_p è invece una opportuna tensione ausiliaria necessaria a polarizzare correttamente la coppia differenziale di ingresso dell'OTA.

L'utilizzo di un filtro a capacità commutate, rispetto a uno a tempo continuo, presenta un notevole vantaggio per questo tipo di applicazioni: l'impedenza di ingresso del circuito di figura 4.23 può essere infatti resa estremamente elevata, scegliendo un valore di capacità piccolo per il condensatore $C_{S,1}$. In questo modo, l'assorbimento di corrente dall'uscita del convertitore DC-DC è minimo e non si ha quindi un effetto di carico rilevante a causa del prelievo della tensione di uscita.

⁵ad esempio uno di quelli proposti in [17]

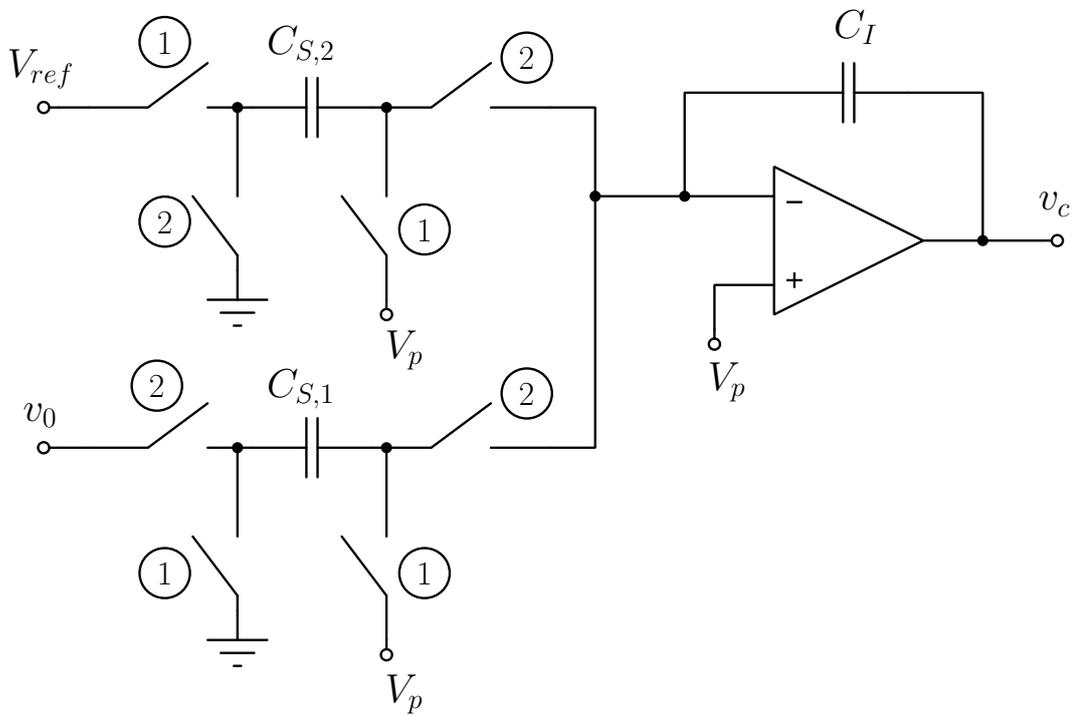
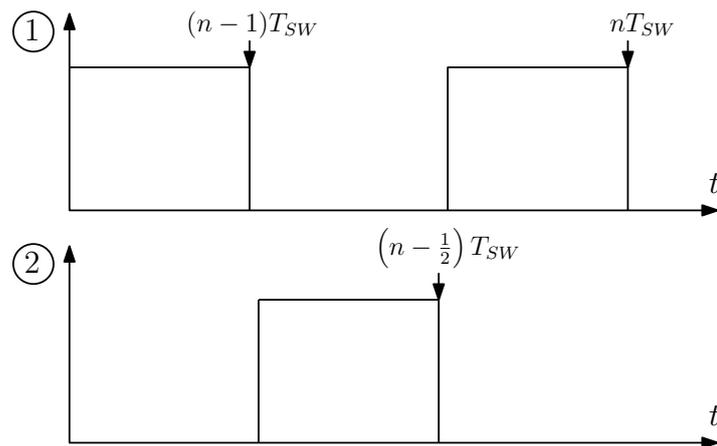
Figura 4.23: Schema del controllore G_C 

Figura 4.24: Segnali di controllo per le capacità commutate

L'analisi di un circuito a capacità commutate viene svolta su un singolo periodo di clock. Trattandosi di un circuito che funziona a tempo discreto, si devono studiare le tensioni nei diversi istanti di campionamento (cioè gli istanti di apertura degli interruttori) all'interno del periodo. Dalle equazioni che si ottengono, si può poi passare al dominio della trasformata Zeta tramite la relazione [14]:

$$x(n - k) = z^{-k} \cdot X(z) \quad (4.64)$$

dove $x(n)$ è la grandezza nel dominio del tempo (discreto) e $X(z)$ è la trasformata Zeta di tale grandezza.

Nell'istante di campionamento $(n - 1)T_{SW}$, la carica su ciascun condensatore è data dalle relazioni seguenti:

$$\begin{cases} Q_{S,1}(n - 1) = C_{S,1} [0 - V_p] \\ Q_{S,2}(n - 1) = C_{S,2} [V_{ref} - V_p] \\ Q_I(n - 1) = C_I [v_c(n - 1) - V_p] \end{cases} \quad (4.65)$$

mentre nell'istante $(n - \frac{1}{2})T_{SW}$ si ha:

$$\begin{cases} Q_{S,1}(n - \frac{1}{2}) = C_{S,1} [v_0(n - \frac{1}{2}) - V_p] \\ Q_{S,2}(n - \frac{1}{2}) = C_{S,2} [0 - V_p] \\ Q_I(n - \frac{1}{2}) = C_I [v_c(n - \frac{1}{2}) - V_p] \end{cases} \quad (4.66)$$

La variazione della tensione di uscita v_c in un periodo è:

$$\Delta v_c = v_c \left(n - \frac{1}{2} \right) - v_c(n - 1) = \frac{\Delta Q_I}{C_I} \quad (4.67)$$

dove:

$$\Delta Q_I = Q_I \left(n - \frac{1}{2} \right) - Q_I(n - 1) \quad (4.68)$$

Il bilancio della carica sui condensatori (legge di conservazione della carica) impone poi:

$$\Delta Q_I + \Delta Q_{S,1} + \Delta Q_{S,2} = 0 \quad (4.69)$$

con:

$$\begin{cases} \Delta Q_{S,1} = Q_{S,1} \left(n - \frac{1}{2} \right) - Q_{S,1}(n - 1) \\ \Delta Q_{S,2} = Q_{S,2} \left(n - \frac{1}{2} \right) - Q_{S,2}(n - 1) \end{cases} \quad (4.70)$$

Combinando le relazioni appena espresse si ottiene:

$$v_c \left(n - \frac{1}{2} \right) - v_c(n - 1) = \frac{-C_{S,1}v_0 \left(n - \frac{1}{2} \right) + C_{S,2}V_{ref}}{C_I} \quad (4.71)$$

Il campionamento di v_0 avviene nell'istante $(n - \frac{1}{2}) T_{SW}$ e il valore campionato su $C_{S,1}$ viene mantenuto fino a nT_{SW} : pertanto, si può sostituire $v_0(n - \frac{1}{2})$ con $v_0(n)$ senza alterare la funzione di trasferimento. Analogamente, la tensione v_c non può cambiare finché il segnale ② è basso: anche $v_0(n - \frac{1}{2})$ può quindi essere sostituita con $v_0(n)$. La 4.71 può quindi essere riscritta come:

$$v_c(n) - v_c(n-1) = \frac{C_{S,1}v_0(n) - C_{S,2}V_{ref}}{C_I} \quad (4.72)$$

ovvero:

$$v_c(n) - v_c(n-1) = \frac{C_{S,1}}{C_I} \left[\frac{C_{S,2}}{C_{S,1}} V_{ref} - v_0(n) \right] \quad (4.73)$$

Applicando ora la relazione 4.64, si ottiene facilmente:

$$V_c(z) = \frac{C_{S,1}}{C_I} \left[\frac{C_{S,2}}{C_{S,1}} V_{ref} - V_0(z) \right] \frac{1}{1 - z^{-1}} \quad (4.74)$$

La risposta in frequenza del circuito si calcola valutando la 4.74 per $z = e^{j\omega T_{SW}}$; moltiplicando e dividendo poi per $e^{-j\omega T_{SW}/2}$, con qualche passaggio si arriva ad ottenere:

$$V_c(j\omega) = \frac{C_{S,1}}{C_I} \left[\frac{C_{S,2}}{C_{S,1}} V_{ref} - V_0(j\omega) \right] \frac{1}{j\omega T_{SW}} \cdot \frac{\omega T_{SW}/2}{\sin(\omega T_{SW}/2)} \cdot e^{j\omega T_{SW}/2} \quad (4.75)$$

Se $\omega T_{SW} \ll 1$, si ha:

$$V_c(j\omega) \approx \frac{C_{S,1}}{C_I} \left[\frac{C_{S,2}}{C_{S,1}} V_{ref} - V_0(j\omega) \right] \frac{1}{j\omega T_{SW}} \quad (4.76)$$

che è la risposta in frequenza di un integratore a tempo continuo. Per frequenze vicine a $f_{SW} = 1/T_{SW}$, la relazione 4.76 non è più valida e vengono introdotti un errore di guadagno pari a $(\omega T_{SW}/2)/\sin(\omega T_{SW}/2)$ e un errore di fase pari a $e^{j\omega T_{SW}/2}$. Questo non è un problema per l'anello di controllo, dato che si è scelto di dimensionare il sistema con una banda di circa 420 Hz, ben al di sotto della frequenza di commutazione $f_{SW} = 1$ MHz.

Il modulo del guadagno d'anello (nel caso peggiore) per $f_c = 420$ Hz, come mostrato in figura 4.22, è di 30.5 dB. Sfruttando il prodotto banda-guadagno[19], la frequenza di attraversamento dell'integratore dovrà essere allora:

$$f_0 = \frac{C_{S,1}f_{SW}}{2\pi C_I} = f_c \cdot \frac{1}{10^{30.5/20}} \approx 12 \text{ Hz} \quad (4.77)$$

Fissando il valore di $C_{S,1}$ a 200 fF (per avere un'elevata impedenza di ingresso del filtro) si ottiene:

$$C_I = \frac{C_{S,1}}{2\pi} \cdot \frac{f_{SW}}{f_0} \approx 2.7 \text{ nF} \quad (4.78)$$

Il riferimento di tensione V_{ref} viene riscalato di un fattore pari a $C_{s,2}/C_{s,1}$. Per riutilizzare lo stesso riferimento di tensione adottato per fissare il minimo della rampa di tensione (600 mV) si dovrà avere pertanto:

$$C_{s,2} = 2 \cdot C_{s,1} = 400 \text{ fF} \quad (4.79)$$

Per le simulazioni del circuito è stato utilizzato un OTA ideale con banda e guadagno limitati e agli interruttori è stata imposta una resistenza serie. In una revisione futura del progetto, si dovranno ovviamente progettare anche questi componenti a livello di transistor, nonché il generatore di fasi non sovrapposte.

Per verificare la compensazione in frequenza, si è preferito ricorrere alla simulazione PAC. I risultati concordano comunque molto bene con l'analisi manuale. Le figure 4.25 e 4.26 riportano tali risultati, che per praticità sono riassunti nella tabella 4.5.

V_G [mV]	f_c [Hz]	Fase [gradi]	Margine di fase [gradi]
600 mV	190	-91.4	88.6
160 mV	380	-130.2	49.8
-160 mV	190	-130.2	49.8
-600 mV	470	-97.6	82.4

Tabella 4.5: Risultati delle simulazioni per il guadagno d'anello

Il margine di fase minimo è di 49.8 gradi e la frequenza di attraversamento del guadagno d'anello per $V_G = 160$ mV è 380 Hz, contro i 420 previsti: ciò è dovuto al fatto che i valori ottenuti con la 4.77 e la 4.78 sono arrotondati per eccesso, in modo da essere sicuri della stabilità del sistema. In base a questi risultati, la banda del sistema ad anello chiuso sarà di circa 190 Hz.

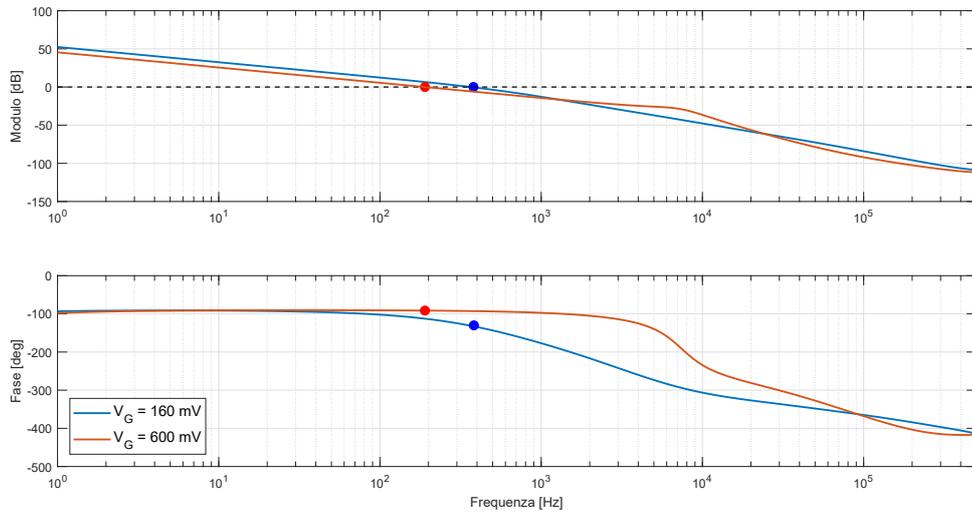


Figura 4.25: Simulazione PAC del guadagno d'anello (compensato) per $V_G = -160$ mV e $V_G = -600$ mV

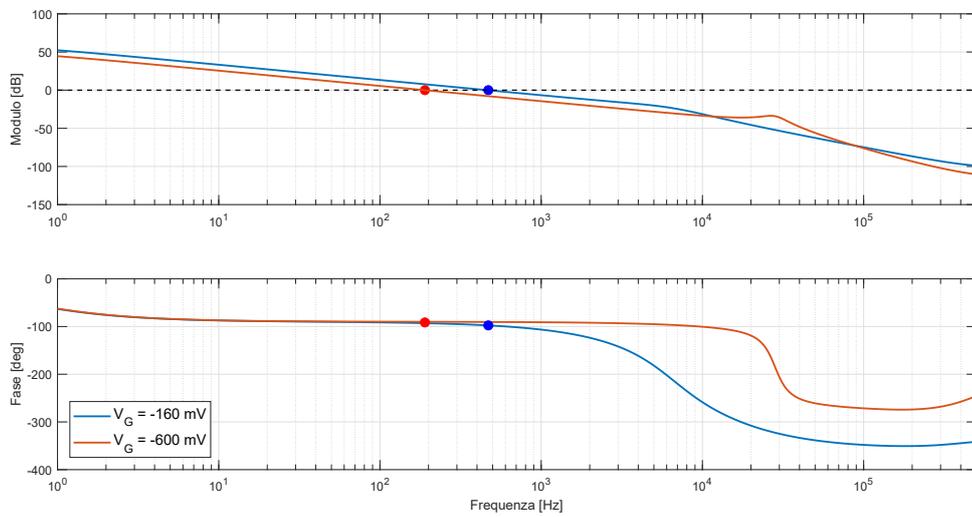


Figura 4.26: Simulazione PAC del guadagno d'anello (compensato) per $V_G = 160$ mV e $V_G = 600$ mV

Capitolo 5

Simulazioni e risultati

Per essere utilizzabile nella pratica, il convertitore deve essere in grado di auto-alimentarsi: le linee di alimentazione interna devono quindi essere collegate all'uscita del convertitore stesso. Partendo con il condensatore di uscita scarico, tuttavia, il circuito non può funzionare: in una futura revisione del progetto si dovrà quindi provvedere a un sistema di avvio a freddo che fornisca un minimo di carica al condensatore di uscita, per permettere al convertitore di andare a regime. Per il momento, le simulazioni sono state effettuate alimentando il circuito con un generatore ausiliario di tensione $V_{DD} = 1.2 \text{ V}$.

Il convertitore è stato connesso a un carico resistivo R_0 pari a 240Ω , in modo da ottenere in uscita la potenza nominale di 6 mW . La corrente media di uscita risulta quindi pari a 5 mA .

5.1 Forme d'onda

Di seguito sono riportate alcune forme d'onda significative del convertitore, estratte dai risultati della simulazione in transitorio. Nella maggior parte dei casi, per ridurre il tempo di simulazione, è stata effettuato un primo passaggio a bassa precisione (*liberal*) per portare il convertitore a regime; il risultato è stato poi utilizzato come condizione iniziale per la simulazione a elevata precisione (*conservative*), ottenendo così una riduzione del tempo complessivo a parità di accuratezza dei dati finali.

Le figure 5.1 e 5.2 mostrano il transitorio della tensione di uscita all'avvio del convertitore, nei quattro casi limite analizzati per il guadagno d'anello. In tutti e quattro i casi, il circuito regola la tensione di uscita al valore corretto di 1.2 V . Non si possono ottenere altre informazioni utili da questi andamenti: dato infatti che il convertitore non è in grado di auto-avviarsi, nella realtà (con un sistema di auto-avvio funzionante) non si avranno i transitori mostrati nelle figure 5.1 e 5.2, che rappresentano una situazione in cui il sistema è alimentato da un generatore ausiliario.

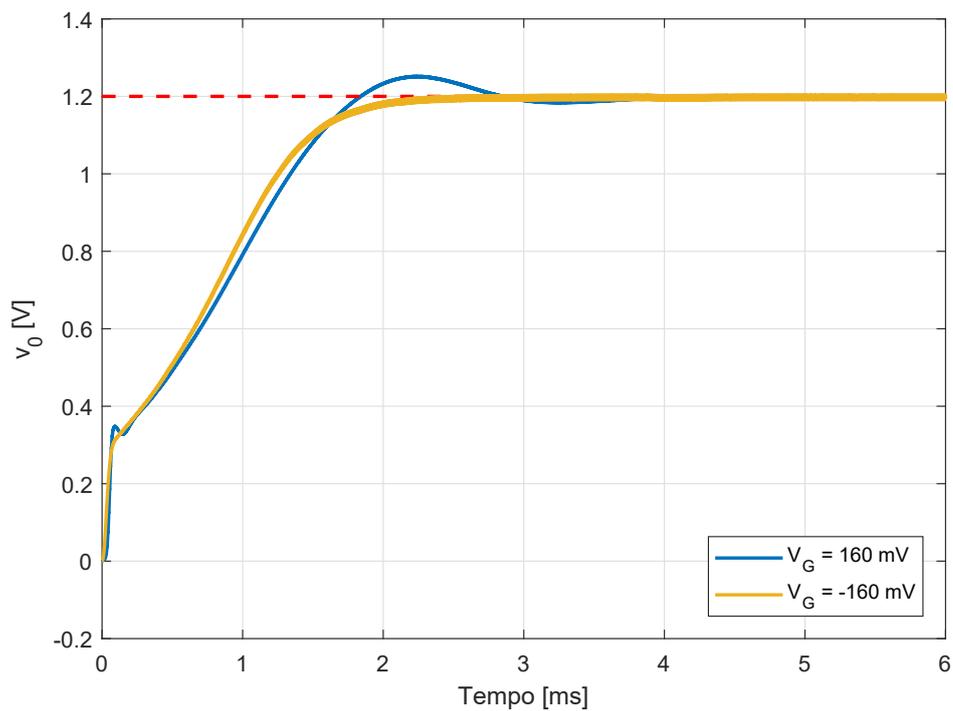


Figura 5.1: Transitori di avvio del convertitore per $V_G = -160$ mV e $V_G = 160$ mV

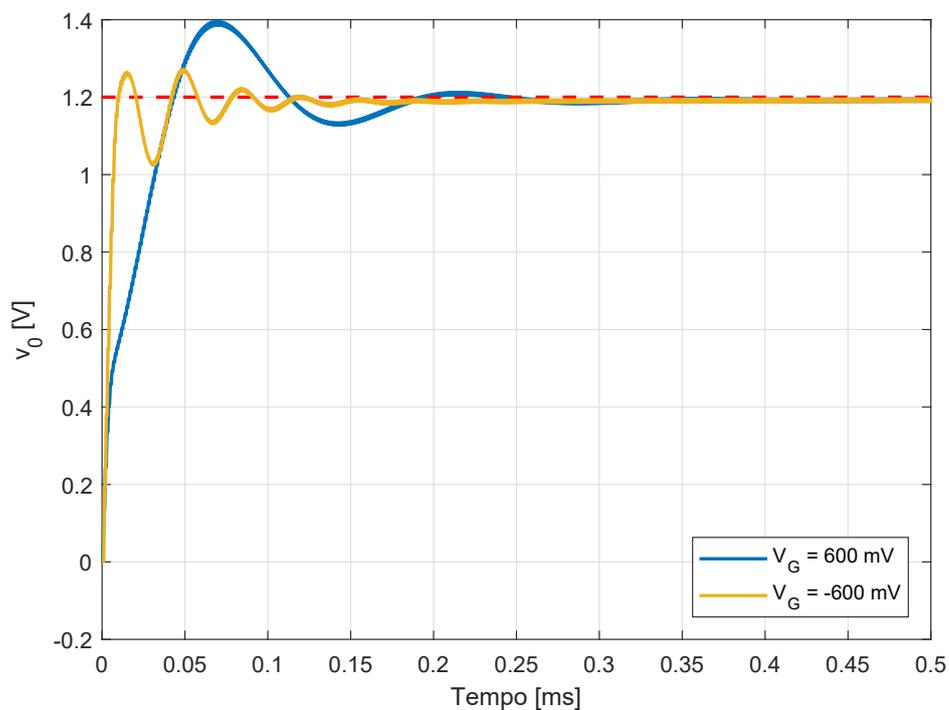


Figura 5.2: Transitori di avvio del convertitore per $V_G = -600$ mV e $V_G = 600$ mV

5.1.1 Ripple della tensione di uscita

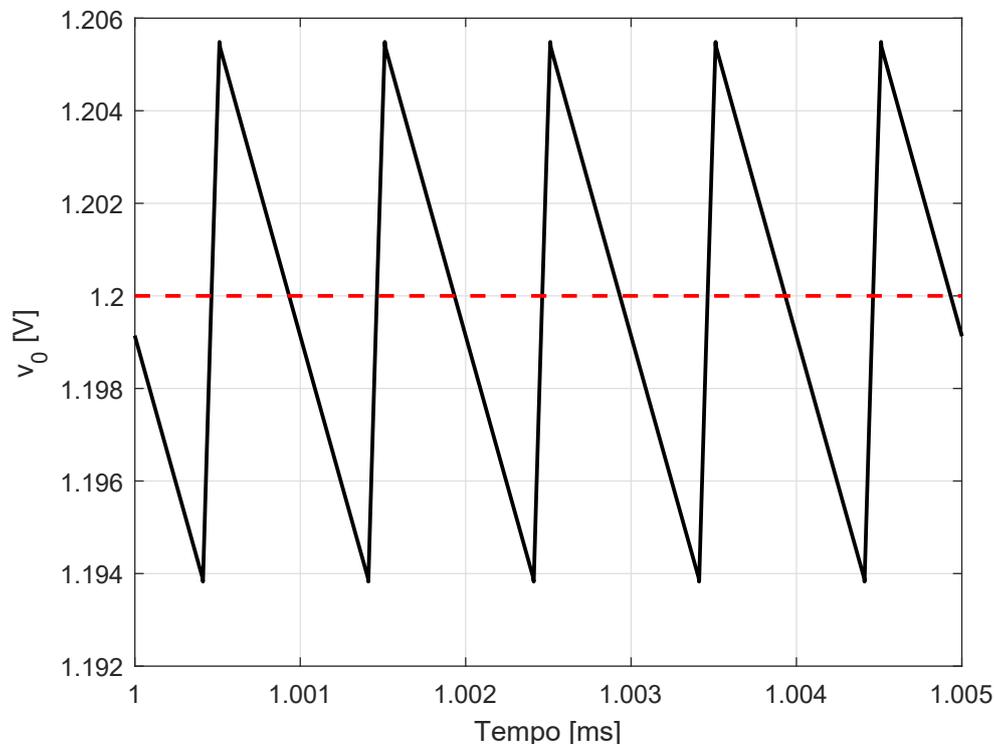


Figura 5.3: Ripple della tensione di uscita per $V_G = -160$ mV

La figura 5.3 mostra in dettaglio la tensione di uscita del convertitore per V_G pari a -160 mV, caso peggiore per il ripple (si veda il capitolo 3). Il ripple osservato è di 11.7 mV, appena sotto al limite di 12 mV imposta nel dimensionamento di C_0 nonostante quest'ultima sia stata dimensionata arrotondando per eccesso. Questo in realtà si può spiegare osservando che il convertitore è gestito da una singola fase, anziché da una coppia di fasi non sovrapposte come avviene normalmente in questo tipo di circuiti. Tale accorgimento si è reso necessario per permettere alla corrente dell'induttore di avere sempre un percorso in cui scorrere, in modo da non creare sovratensioni dovute all'improvvisa interruzione del flusso di corrente: si ha pertanto un breve istante in cui la capacità di uscita viene cortocircuitata verso massa da M_1 e M_0 e questo fa aumentare il ripple più del previsto. Ad ogni modo, esso non si discosta eccessivamente dal valore previsto ed è sufficiente sovradimensionare la capacità C_0 per riportarlo entro i valori desiderati.

5.1.2 Corrente del condensatore floating

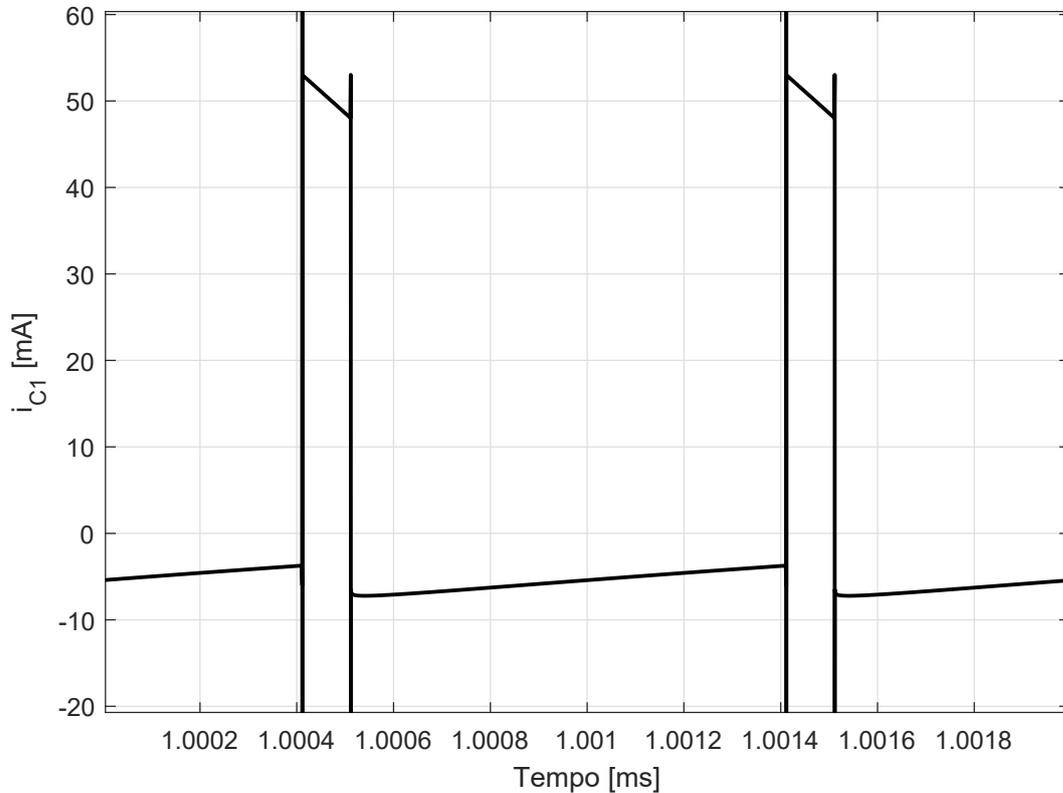


Figura 5.4: Corrente su C_1 per $V_G = -160$ mV

La tensione su C_1 nel caso peggiore ($D = 0.9$) è già stata mostrata nel capitolo 3 (figura 3.35). La figura 5.4 mostra invece l'andamento della corrente nelle stesse condizioni ($V_G = -160$ mV).

Risulta evidente dalla figura che la corrente non è costante a tratti, come ci si aspetterebbe se viene soddisfatta l'ipotesi di FSL. Tuttavia, è opportuno sottolineare che i limiti di fast-switching e slow-switching sono definiti per convertitori SC e non prevedono elementi induttivi, che impongono una corrente lineare a tratti: dato che il ripple di corrente è consistente e che C_1 condivide un nodo con l'induttore, è lecito aspettarsi un andamento lineare a tratti piuttosto che uno costante a tratti. In ogni caso la tensione su C_1 è praticamente costante, quindi si comporta comunque come un generatore di tensione e non contribuisce in modo significativo alla dissipazione di potenza.

5.1.3 Corrente dell'induttore

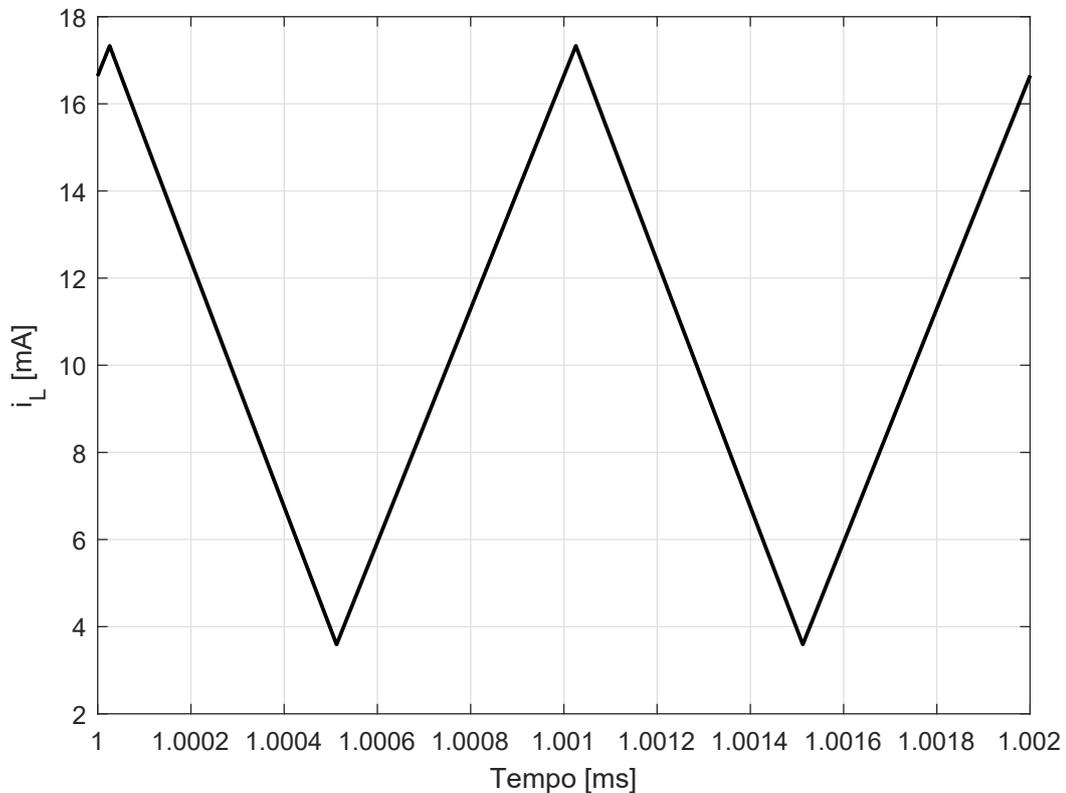


Figura 5.5: Corrente dell'induttore per $V_G = 600$ mV

La figura 5.5 mostra l'andamento della corrente dell'induttore nel caso peggiore, per $D = 0.5$. Il ripple di corrente è pari a 13.69 mA, molto vicino al valore previsto di 13.6 mA (errore dello 0.7%). Il valore medio è di 10.5 mA, mentre quello previsto dall'analisi manuale è:

$$I_L = \frac{I_0}{1 - 0.5} = 2I_0 = 10 \text{ mA} \quad (5.1)$$

L'errore sul valore medio è pertanto del 5%.

Si osserva comunque che la corrente ha andamento lineare a tratti, il che conferma la validità delle ipotesi di SRA e FSL imposte nell'analisi manuale (dato che a tale andamento corrispondono tensioni costanti applicate all'induttore).

5.1.4 Segnali di gate dell'interruttore di ingresso

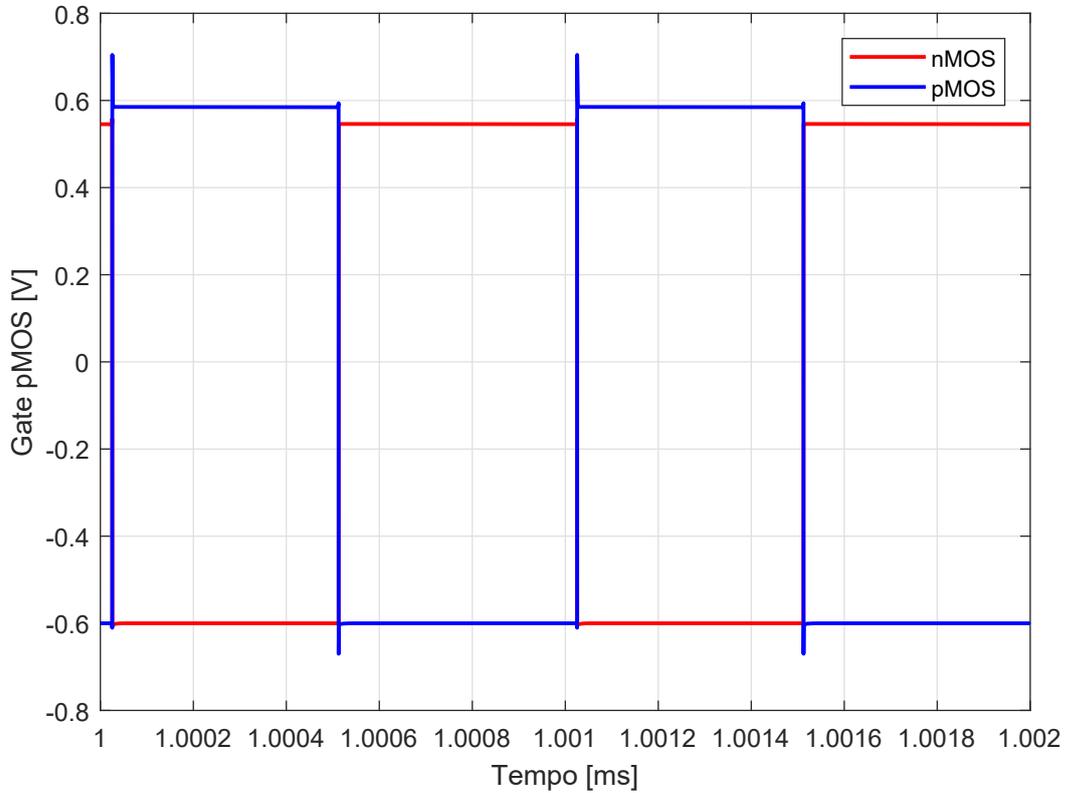


Figura 5.6: Tensioni ai gate di M_3 e M_4 per $V_G = -600$ mV

In figura 5.6 sono mostrati i segnali di controllo di nMOS e pMOS che costituiscono l'interruttore di ingresso a quattro quadranti. La figura mostra gli andamenti per V_G pari a -600 mV. La tensione applicata al gate dell'nMOS varia tra -600 mV e 585 mV ($\Delta V = 1.185$ V) mentre quella del pMOS varia tra -600 mV e 546 mV ($\Delta V = 1.146$ V). La specifica imposta per il dimensionamento delle capacità di bootstrap prevedeva dei gradini di 1.15 V ma non teneva conto delle capacità parassite al nodo di gate o di altri effetti, pertanto il risultato finale è da considerarsi soddisfacente.

5.1.5 Controllo del bulk

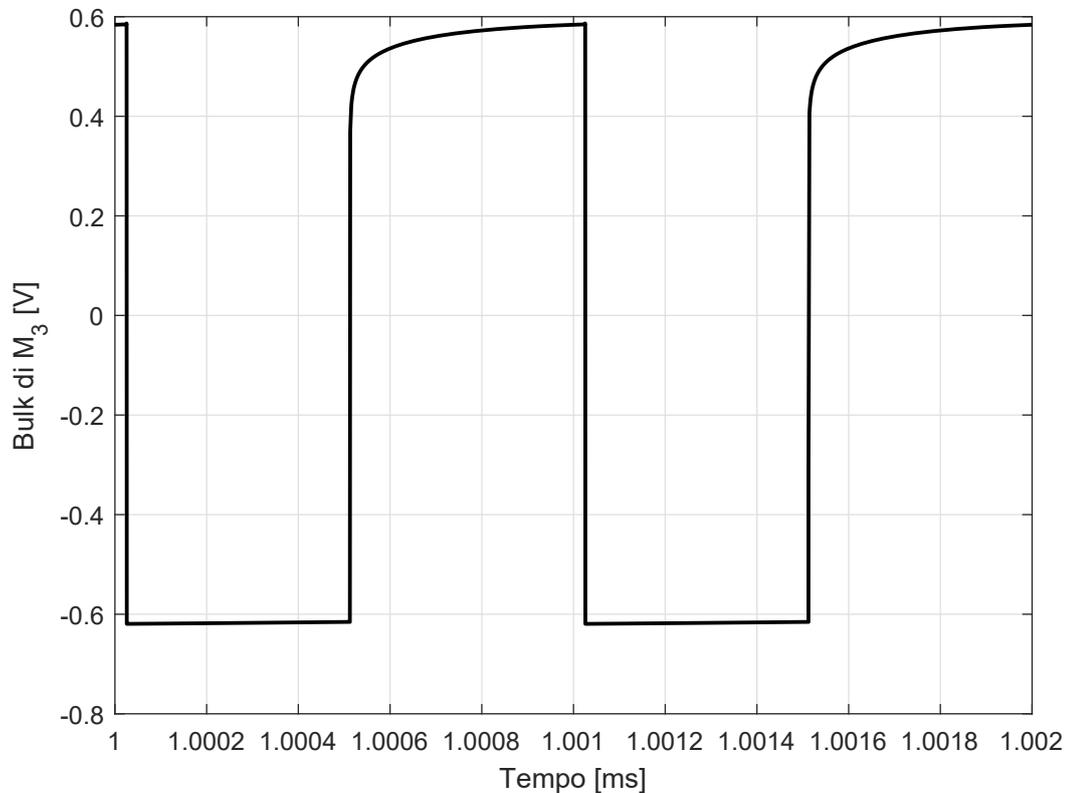


Figura 5.7: Tensione al bulk di M_3 per $V_G = 600$ mV

La figura 5.7, infine, riporta un esempio di andamento della tensione di bulk per verificare il funzionamento del circuito di regolazione illustrato nel capitolo 3.

In fase di simulazione si è verificato che le resistenze serie dei dispositivi sono molto vicine al valore teorico, con differenze di qualche punto percentuale: ciò in realtà è dimostrato anche dall'accuratezza dei calcoli manuali con il metodo dello state space averaging, che fornisce dei risultati molto vicini a quelli delle simulazioni. Pertanto, si può concludere che l'effetto body viene efficacemente contrastato.

5.2 Efficienza

Le tabelle 5.1 e 5.2 e le figure 5.8 e 5.9 riportano infine il risultato delle simulazioni di efficienza del convertitore. La potenza P_{CTRL} è la potenza complessiva assorbita dai circuiti di controllo e di pilotaggio, misurata dal generatore ausiliario utilizzato per alimentarli. La potenza P_G è invece quella erogata dal generatore di ingresso. L'efficienza è stata calcolata come:

$$\eta = \frac{P_0}{P_G + P_{CTRL}} \cdot 100 \text{ [%]} \quad (5.2)$$

La potenza P_{CTRL} , in tutto l'intervallo di tensioni di ingresso del convertitore, è al massimo di $127.5 \mu\text{W}$, pari a circa il 2% della potenza di uscita: essa comprende sia la potenza necessaria ad alimentare i circuiti di controllo sia quella dissipata dai buffer CMOS per pilotare gli interruttori. L'efficienza di picco è del 94%, con un'efficienza media dell'88.6% e dell'88.7% rispettivamente per tensioni di ingresso positive e negative. A bassi valori della tensione di ingresso, l'efficienza precipita perché per mantenere la stessa potenza di uscita le correnti devono necessariamente aumentare e con esse aumenta la dissipazione di potenza.

Nelle figure 5.8 e 5.9 viene riportato anche il confronto tra le simulazioni e l'efficienza teorica, calcolata con le relazioni utilizzate per la procedura di dimensionamento degli interruttori. Le curve non si sovrappongono perché l'analisi manuale non considera le perdite di commutazione dei MOSFET e le perdite dovute alle capacità parassite. L'andamento è però qualitativamente lo stesso e la differenza rimane pressoché costante, se non per bassi valori (in modulo) della tensione di ingresso: in tal caso le correnti elevate vanno ad aumentare anche le perdite di commutazione, incrementando ulteriormente la dissipazione non stimata con l'analisi manuale.

V_G [mV]	P_G [mW]	P_{CTRL} [μ W]	P_0 [mW]	η [%]
600	6.264	114.5	6.002	94
556	6.274	115	6.003	94
512	6.302	115.7	6.013	93.7
468	6.327	116.7	6.018	93.4
424	6.349	118.1	6.009	92.9
380	6.395	119.7	6.011	92.3
336	6.473	121.5	6.022	91.3
292	6.567	123.2	6.013	89.9
248	6.748	124.9	6.015	87.5
204	7.129	126.4	6.026	83.1
182	7.498	127.1	6.027	79
160	8.214	127.5	6.017	72.9

Tabella 5.1: Risultati delle simulazioni di efficienza per tensioni di ingresso positive

V_G [mV]	P_G [mW]	P_{CTRL} [μ W]	P_0 [mW]	η [%]
-600	6.271	124.5	6.012	94
-556	6.276	124.4	6.007	93.9
-512	6.286	124.4	6.001	93.6
-468	6.31	124.3	6.001	93.3
-424	6.338	124.2	5.999	92.8
-380	6.379	123.1	5.995	92.2
-336	6.441	123.9	5.991	91.3
-292	6.541	123.6	5.988	89.8
-248	6.715	123.3	5.984	87.5
-204	7.069	122.8	5.98	83.1
-182	7.416	122.5	5.979	79.3
-160	8.092	122.1	5.976	72.8

Tabella 5.2: Risultati delle simulazioni di efficienza per tensioni di ingresso negative

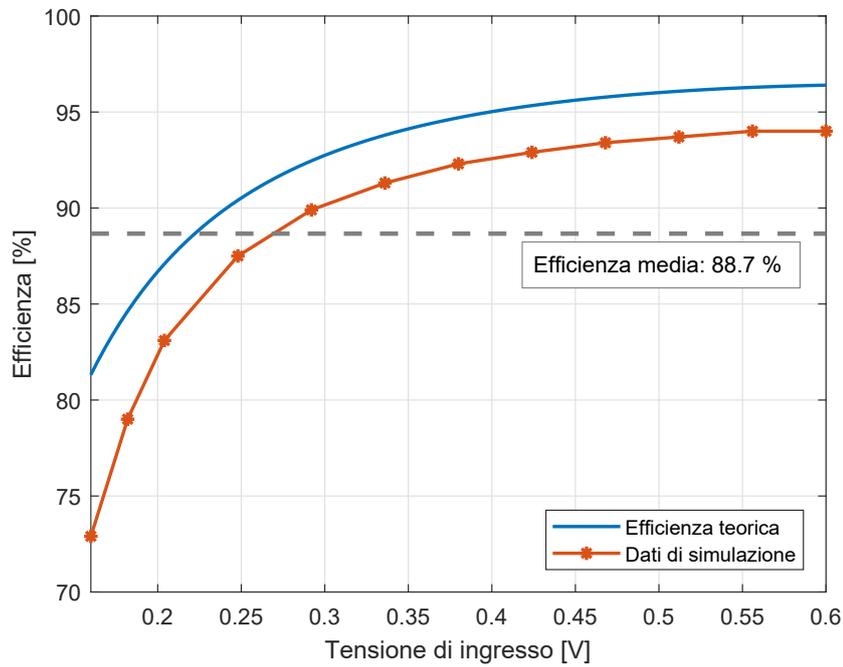


Figura 5.8: Efficienza del convertitore per tensioni di ingresso positive

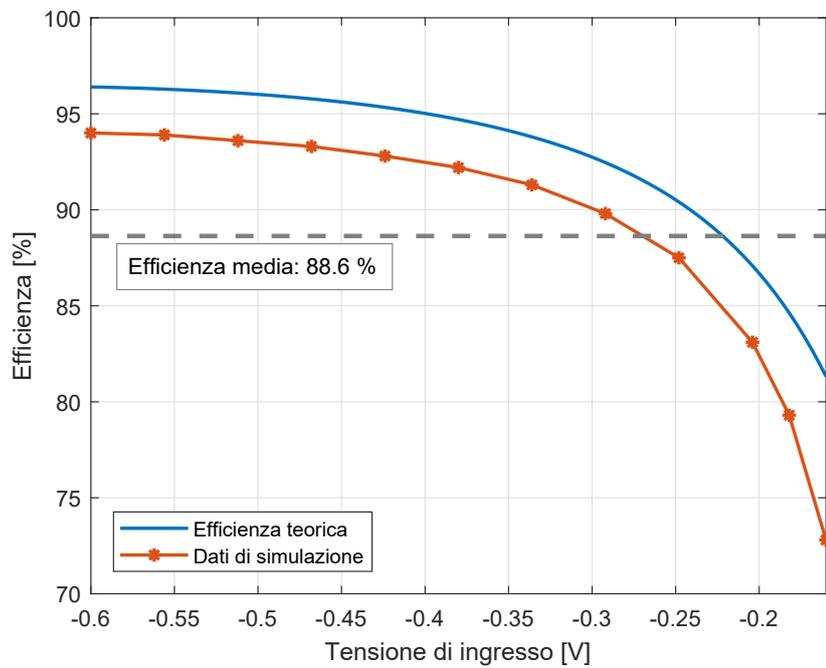


Figura 5.9: Efficienza del convertitore per tensioni di ingresso negative

Capitolo 6

Conclusioni e sviluppi futuri

Il convertitore progettato è un ibrido tra un classico convertitore a induttore e uno a capacità commutate (pur avendo un solo condensatore flottante, C_1). Il guadagno di tensione, il ripple di corrente, il ripple di tensione e lo stress sugli interruttori sono gli stessi del convertitore Boost, ma a differenza di quest'ultimo è possibile gestire tensioni di ingresso sia positive che negative.

Per gestire le tensioni negative ai nodi del circuito, avendo a disposizione una sola tensione di alimentazione, è stato proposto un interruttore a quattro quadranti basato sul principio del quasi-floating gate: in questo modo si è limitato l'impiego di transistor a ossido spesso, limitandone l'uso a due soli interruttori ausiliari di dimensioni contenute.

Il dimensionamento degli interruttori è stato svolto partendo dall'ipotesi di FSL tipica dei convertitori a capacità commutate, adattando la procedura di ottimizzazione al caso con duty cycle variabile. Si sono quindi dimensionati i transistor MOSFET sfruttando i modelli ottenuti per la resistenza serie e la capacità di gate e in base ad essi le catene di invertitori CMOS necessarie al pilotaggio degli interruttori. Con questi dati è stato possibile effettuare una stima manuale del consumo di potenza, che si è rivelata qualitativamente valida in seguito ai risultati di simulazione.

La dinamica del convertitore è stata analizzata con il metodo dello state space averaging, che nonostante la laboriosità ha permesso di ottenere dei risultati in ottimo accordo con l'analisi PSS/PAC al calcolatore. Interessante è in particolare l'implementazione del controllore con un integratore a capacità commutate, che permette di ridurre al minimo l'effetto di carico sull'uscita grazie all'elevata impedenza di ingresso, facilmente ottenibile usando bassi valori di capacità.

I risultati delle simulazioni finali mostrano un buon accordo con le previsioni teoriche e un'efficienza media superiore all'88% per entrambe le polarità della tensione di ingresso, con un'efficienza di picco del 94%.

Un convertitore di questo tipo potrebbe trovare applicazione nella conversione da sorgenti di tensione alternata a bassa frequenza, quali ad esempio gli harvester pie-

zoelettrici. Progettando infatti un opportuno sistema di controllo, si può fare in modo che la logica digitale alimentata dal convertitore (ed eventualmente anche il convertitore stesso) si disabiliti temporaneamente se la tensione di ingresso scende sotto al limite minimo che il circuito può gestire, per poi riabilitarsi quando il modulo della tensione di ingresso torna a superare tale limite. In letteratura sono già presenti numerosi esempi di sistemi di questo tipo, ad esempio reti di sensori wireless che effettuano la trasmissione dei dati "a pacchetti" in base alle condizioni di alimentazione fornite da un harvester.

Gli sviluppi futuri del progetto includono l'esplorazione di questa possibilità e il design dei blocchi circuitali necessari al completamento del circuito, incluso un sistema di auto-avvio per permettere l'utilizzo del convertitore in un sistema completamente auto-alimentato.

Ringraziamenti

Desidero ringraziare il mio relatore di tesi, Prof. Andrea Gerosa, per la disponibilità e la comprensione mostrate durante questi mesi, ma soprattutto per aver (ulteriormente) stimolato il mio interesse per la progettazione dei circuiti integrati. Ringrazio anche il Prof. Andrea Bevilacqua per la pazienza e la grande disponibilità: in diverse occasioni è stato un aiuto prezioso per uscire dal classico "biccher d'acqua" in cui si può perdere un designer alle prime armi. Un grazie va anche al Prof. Spiazzi per l'aiuto con il modello medio del convertitore e lo state space averaging.

Trattandosi del lavoro conclusivo della mia carriera universitaria, desidero poi ringraziare tutte le persone che mi hanno accompagnato (e sopportato) da vicino in questi anni: spero di aver dato a voi almeno una piccola parte di quanto voi avete dato a me.

Ringrazio infine i ragazzi del laboratorio ICARUS (Thomas, Simone, Andrea, Gianluca e Leonardo) per aver rallegrato questi mesi di tesi: auguro a tutti voi un brillante futuro.

Bibliografia

- [1] K. I. Lee, B. J. Lim, S. H. Kim, and Y. Hong. Energy harvesting by rotation of wheel for tire monitoring system. pages 1–4, Oct 2012.
- [2] J. J. Wang, G. P. Penamalli, and L. Zuo. Electromagnetic energy harvesting from train induced railway track vibrations. pages 29–34, July 2012.
- [3] Stephen H. Lewis Paul R. Gray, Paul J. Hurst. *Analysis and Design of Analog Integrated Circuits, 5th Edition*. Wiley, 2009.
- [4] Dragan Maksimovic Robert W. Erickson. *Fundamentals of Power Electronics, Second Edition*. Kluwer Academic Pub, 2001.
- [5] S. R. Sanders, E. Alon, H. P. Le, M. D. Seeman, M. John, and V. W. Ng. The road to fully integrated dc-dc conversion via the switched-capacitor approach. *IEEE Transactions on Power Electronics*, 28(9):4146–4155, Sept 2013.
- [6] G. Villar-Piqué, H. J. Bergveld, and E. Alarcón. Survey and benchmark of fully integrated switching power converters: Switched-capacitor versus inductive approach. *IEEE Transactions on Power Electronics*, 28(9):4156–4167, Sept 2013.
- [7] M. D. Seeman and S. R. Sanders. Analysis and optimization of switched-capacitor dc-dc converters. *IEEE Transactions on Power Electronics*, 23(2):841–851, March 2008.
- [8] M. S. Makowski and D. Maksimovic. Performance limits of switched-capacitor dc-dc converters. 2:1215–1221 vol.2, Jun 1995.
- [9] J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal, and F. M. Chavero. Very low-voltage analog signal processing based on quasi-floating gate transistors. *IEEE Journal of Solid-State Circuits*, 39(3):434–442, March 2004.
- [10] B. Nikolic J.M. Rabaey, A. Chandrakasan. *Circuiti Integrati Digitali - L'ottica del progettista, Seconda edizione*. Pearson, 2005.
- [11] G. Spiazzi. Appunti dalle lezioni del corso di power electronics 1, 2016. Università degli Studi di Padova.

- [12] A. Bevilacqua. Appunti dalle lezioni del corso di progettazione di circuiti integrati analogici, 2015. Università degli Studi di Padova.
- [13] Boris Murmann Paul G.A. Jespers. *Systematic Design of Analog CMOS Circuits: Using Pre-Computed Lookup Tables*. Cambridge University Press, 2017.
- [14] A. Gerosa. Appunti dalle lezioni del corso di circuiti integrati per l'elaborazione dei segnali, 2017. Università degli Studi di Padova.
- [15] F. Veirano, P. Pérez, S. Besio, P. Castro, and F. Silveira. Ultra low power pulse generator based on a ring oscillator with direct path current avoidance. pages 1–4, Feb 2013.
- [16] R. D. Middlebrook and S. Cuk. A general unified approach to modelling switching-converter power stages. pages 18–34, June 1976.
- [17] Christophe P. Basso. *Switch-Mode Power Supplies: SPICE Simulations and Practical Design*. McGraw-Hill Professional, 2008.
- [18] B. Nowacki, N. Paulino, and J. Goes. A simple 1 ghz non-overlapping two-phase clock generators for sc circuits. pages 174–178, June 2013.
- [19] Leopoldo Rossetto. *Appunti dal corso di Elettronica Analogica: Approfondimenti*. Società editrice Esculapio, 2016.
- [20] L. Salem and Y. Ismail. Switched-capacitor dc-dc converters with output inductive filter. pages 444–447, May 2012.
- [21] M. Tian, V. Visvanathan, J. Hantgan, and K. Kundert. Striving for small-signal stability. *IEEE Circuits and Devices Magazine*, 17(1):31–41, Jan 2001.