

UNIVERSITÀ DEGLI STUDI DI PADOVA



Facoltà di Ingegneria
Corso di Laurea in Ingegneria Elettronica

Tesi di laurea 2010/11

**Test di radiazioni
su processori per applicazioni spaziali**

Laureando: Matia Astarita

Matricola: 588604/IL
Astaritamatia@gmail.com

Relatore: Prof. Alessandro Paccagnella
Correlatore: Dr. Simone Gerardin

Padova, 11 Luglio 2011

Un ringraziamento particolare va ai miei genitori che mi hanno sopportato e sostenuto in tutti questi anni di studio, senza di loro non c'è lavrei fatta. Un altro ringraziamento va al prof. Alessandro Paccagnella e al dr. Simone Gerardin i quali sono stati disponibili per qualsiasi genere di dubbio dando un sostegno fondamentale al lavoro svolto.

Indice

1	Introduzione	10
2	Le radiazioni ionizzanti	11
2.1	Sorgenti di radiazioni ionizzanti	11
2.1.1	Ambiente spaziale	11
2.1.2	L'ambiente terrestre	14
2.2	Concetti di base	15
2.2.1	Tipologie di radiazioni	15
2.2.2	Unità di misura	16
2.3	Tecnologie e progresso	19
2.3.1	Tecnologia CMOS planare (bulk)	20
2.3.2	Tecnologia SOI	21
2.4	Guasti provocati dalle radiazioni	24
2.4.1	Single Event Upset, SEU	26
2.4.2	Single Event Latch-up, SEL	29
2.4.3	Altri eventi ad effetto singolo	31
3	Test sui dispositivi	32
3.1	Introduzione ai test	32
3.2	CYClotron of LOuvain la NEuve (CYCLONE)	32
3.3	Texas A&M University Cyclotron Institute	34
3.4	Indiana University Cyclotron	37
3.5	University of California (UC) Davis cyclotron	38
3.6	Brookhaven National Laboratory (BNL)	39
3.7	Laboratorio nazionale di Legnaro	39
4	I processori sottoposti ai test	41
4.1	L'architettura di base: RISC	41
4.2	L'architettura PowerPC	43
4.2.1	Set delle istruzioni	43
4.2.2	Set dei registri	44
4.2.3	Moduli	45
4.3	L'architettura SPARC	47
4.3.1	Set delle istruzioni	47
4.3.2	Set dei registri	48
4.3.3	Moduli	50
4.4	Programmi per i test	51
4.4.1	Software esterni	51
4.4.2	Software embedded	52
5	Test sui Motorola PowerPC 74xx	55
5.1	Motorola 7448	55
5.2	Modalità di esecuzione dei test	57
5.2.1	Configurazione Hardware	57

5.2.2	Fasci di ioni utilizzati	58
5.2.3	Configurazione software	59
5.3	Risultati dei test	62
5.3.1	Scaling tecnologico	63
5.3.2	Tensione di alimentazione	64
5.3.3	Frequenza	66
5.3.4	Asimmetria	68
5.4	Analisi dei test	69
5.5	Iniezioni di errori: Fault injection	71
6	Test sui PowerPC IBM 7xx	74
6.1	PowerPC 750 o XPX750	74
6.2	PowerPC RAD750	75
6.3	PowerPC 750FX	77
6.4	Modalità di test: configurazione hardware	78
6.4.1	PowerPC 750	78
6.4.2	PowerPC 750FX	79
6.4.3	PowerPC RAD750	80
6.5	Modalità di test: configurazione software	80
6.5.1	PowerPC 750	80
6.5.2	PowerPC 750FX	80
6.6	Risultati dei test	82
6.6.1	PowerPC 750	82
6.6.2	PowerPC 750FX	89
6.6.3	PowerPC RAD750	92
6.7	Analisi dei test	93
7	Test su altri PowerPC	95
7.1	Xilinx Virtex Pro	95
7.2	Applicazioni per il test	95
7.3	Applicazione di test statica	95
7.4	Applicazione di test pseudo-statica	96
8	Test sui processori SPARC LEON	97
8.1	Il LEON	97
8.2	Il LEON2	99
8.3	Il LEON3	99
8.4	Modalità di test: Configurazione hardware	100
8.4.1	LEON	101
8.4.2	LEON3FT	101
8.5	Modalità di test: Configurazione software	102
8.5.1	LEON	102
8.5.2	LEON3FT	103
8.5.3	Modalità di test: Programmi utilizzati	104
8.6	Risultati dei test	106

8.6.1	LEON	106
8.6.2	LEON3FT	107
8.7	Analisi dei test	112
9	Conclusioni	113
10	Bibliografia	115

Elenco delle figure

1	Movimento delle particelle lungo le linee del campo magnetico terrestre . . .	11
2	Movimento delle particelle lungo le linee del campo magnetico terrestre . . .	12
3	Distribuzione geografica dei guasti introdotti dalle radiazioni	12
4	Variazione della quantità di protoni in funzione delle eruzioni solari . . .	13
5	Schema dell'eliosfera	13
6	Interazione dei raggi cosmici con l'atmosfera	14
7	Effetto dell'atmosfera sulle particelle in funzione dell'altitudine	15
8	Visione semplificata del danno da spostamento	18
9	Cross section	19
10	Struttura del mosfet planare (bulk)	21
11	Struttura del mosfet con tecnologia SOI	22
12	Struttura di due mosfet SOI: a) Parzialmente svuotato, b) Completamente svuotato	22
13	Struttura base di un SOI nMOSFET	23
14	Confronto tra la sezione d'urto per i SEU (data cache) di un motorola SOI PowerPC e due processori con tecnologia bulk standard.	23
15	Effetto di una particella penetrante in una giunzione pn	25
16	Meccanismo del SEE: a) Onset, b) Drift/Funnel, c) Diffusion	26
17	Porta logica di esempio, in evidenza la struttura fisica del n-mos	27
18	Sezioni d'urto per il SEU al variare della V_{dd} , a) 54AC163, b) 54ACT174	28
19	Struttura del transistor in esame	29
20	Sezioni d'urto per il SEL, a) AT22V10B, b) TC5546	30
21	Foto del sistema di test di Louvain la Neuve	33
22	Foto del sistema di test del laboratorio del TAMU	34
23	LET vs range nel Silicio per fasci di 15 MeV (bassa LET)	36
24	LET vs range nel Silicio per fasci di 25 MeV (bassa LET)	36
25	LET vs range nel Silicio per fasci di 40 MeV	37
26	Foto del sistema di test presente nell'università dell'Indiana	37
27	Foto del sistema di test presente nell'UC Davis Cyclotron	38
28	Foto del sistema di test presente nel laboratorio di Brookhaven	39
29	Illustrazione del sistema di test presente nei laboratori di Legnaro	40
30	Visione ad alto livello dell'architettura PowerPC	41
31	Esecuzione sequenziale delle istruzioni	42
32	Pipeline, esecuzione in parallelo delle istruzioni	43
33	Registri del PowerPC	45
34	Struttura delle unità di elaborazione	46
35	Tipi di istruzioni	48
36	Struttura delle "registers windows"	49
37	Schematizzazione delle unità del processore SPARC	50
38	Modalità di associazione dei bit di parità: a) aggiunta del bit di parità, b) parità pari, c) corruzione di un bit e errata associazione	54
39	Diagramma della struttura a packaging inverso	56

40	Esempio di processore con package inverso, per il quale la parte posteriore del die è stata meccanicamente assottigliata, eliminando circa il 25% del suo spessore originale	57
41	Posizione del PowerPC nella linea del fascio	58
42	Diagramma di flusso di un test semi-statico	60
43	Diagramma di flusso di un test semi-dinamico	61
44	Confronto tra le sezioni d'urto per la D-cache al variare dei nodi tecnologici	63
45	Confronto tra le sezioni d'urto per i registri a floating point al variare dei nodi tecnologici	64
46	Confronto tra le sezioni d'urto per gli hang al variare dei nodi tecnologici	64
47	Confronto tra le sezioni d'urto per la D-cache alle differenti tensioni . . .	65
48	Confronto tra le sezioni d'urto per i registri a floating point alle differenti tensioni	65
49	Confronto tra le sezioni d'urto del 7445 per gli hang a due differenti tensioni	66
50	Confronto tra i registri a floating point alle differenti frequenze	67
51	Confronto tra le D-cache alle differenti frequenze	67
52	Confronto tra le D-cache alle differenti frequenze	68
53	Confronto tra gli hang alle differenti frequenze	68
54	Dipendenza dalla frequenza dei registri del PowerPC 7445	69
55	Confronto tra i due tipi di transizioni	69
56	Scheda utilizzata per i test	71
57	Foto del die del PowerPC750 della IBM	75
58	Struttura del powerpc RAD750	76
59	Foto della scheda ADVME7509A	79
60	Schema rappresentante le operazioni della ADVME7509A	79
61	Informazioni sull'accumulazione degli errori e sullo stato del processore durante una prova utilizzando il metodo "pin wiggler"	82
62	Sezione d'urto per i test sul SEU di protoni nei registri a virgola mobile dell'XPC750 della Motorola, riguardanti a) le transizioni da "1" a "0", b) le transizioni da "0" a "1" confrontate con quelle opposte. Da notare che i tre punti alle energie maggiori di 100 MeV sono stati misurati in Indiana, il resto all'UC Davis.	84
63	(a) Misure sulla suscettibilità ai SEU generati da protoni della data cache dell'XPC750 della Motorola, si può notare come l'asimmetria in questo caso sia statisticamente indistinguibile. (b) Paragone con il PowerPC750 della IBM	85
64	Confronto tra i risultati sull'XPC750 ottenuti recentemente e quelli sul PowerPC603 ricavati da [14], entrambi i processori sono sviluppati da Motorola	86
65	Sezioni d'urto in funzione della LET (ioni pesanti) riguardanti i registri di tipo segment (particolari tipi di registri special purpose) per a) XPC750 della Motorola e b) PowerPC750 della IBM (confrontata con quella dell'XPC750)	87

66	Sezioni d'urto in funzione della LET (ioni pesanti) riguardanti i registri di tipo floating point per entrambe le transizioni tra "1" e "0", sul a) XPC750 della Motorola e b) PowerPC750 della IBM (confrontato con l'XPC750)	88
67	Confronto tra i risultati ottenuti in questa sede per l'XPC750 e di quelli ottenuti in [14] per il PPC603	89
68	Sezioni d'urto riguardanti la cache L1 del processore 750FX, a) ioni pesanti, b) protoni	90
69	Sezioni d'urto riguardanti i registri del 750FX, a) ioni pesanti, b) protoni	91
70	Test sui registri del processore 750FX che dimostra l'asimmetria delle transizioni 0-1, 1-0	92
71	Sezione d'urto per i SEU della D-cache del RAD750	92
72	Diagramma del test pseudo-statico	97
73	Diagramma a blocchi del processore Leon	98
74	Scheda leon-express utilizzata per i test	101
75	Schema del TMR	103
76	Diagramma delle operazioni.	104
77	Sezioni d'urto per il SEU del LEON secondo i programmi: a)IUTEST, b)PARANOIA	108
78	Sezioni d'urto per gli errori a singolo bit del LEON3FT corretti utilizzando i software a)IUTEST, b)GTB e c)PXSP	109

Elenco delle tabelle

1	Parametri di progetto a “campo elettrico costante”	19
2	Parametri di progetto a “tensione costante”	19
3	Tipi di ioni e loro caratteristiche	33
4	Fasci ionici disponibili al TAMU	35
5	Particelle disponibili nel laboratorio dell’università della California	38
6	Particelle disponibili nel laboratorio dell’università di Brookhaven	39
7	Fasci di particelle disponibili nel laboratorio di Legnaro	40
8	Tipi di registri e loro denominazione logica	49
9	Sommario e caratteristiche dei Powerpc 74xx. †: versioni speciali a bassa tensione di alimentazione dell’omonimo modello	55
10	Tipi di ioni utilizzati per i test	58
11	Confronto tra i parametri dei vari processori della famiglia 7xxx. †: versioni speciali a bassa tensione di alimentazione dell’omonimo modello .	70
12	Ioni usati per i test	71
13	Predizione vs. tasso di errore misurato con Cache disabilitata	73
14	Predizione vs. tasso di errore misurato con Cache abilitata	73
15	Elementi di memoria testati del PowerPc750	75
16	Valori della sezione d’urto riguardante i test con protoni sulla cache del PowerPC750 e del 750FX per tre diversi valori di energia	93
17	Valori della sezione d’urto riguardante i test con ioni pesanti sulla cache de 750FX e del RAD750 per tre diversi valori di LET	94
18	Valori della sezione d’urto riguardante i test con protoni sui registri a floating point del PowerPC750 e del 750FX per tre diversi valori di energia	95
19	SEU nella leon-express, in una prova con un totale di 10^5 particelle . . .	106
20	Caratteristiche per il SEU degli elementi di memoria del LEON3FT . . .	107
21	Predizione della frequenza di MBE per cinque diversi ambienti radioattivi	111
22	Valori della sezione d’urto riguardante i test sul LEON e sul LEON3FT per tre diversi valori di LET	112

1 Introduzione

L'obiettivo di questo lavoro è quello di elaborare un modello accurato che ci permetta di valutare la suscettibilità di alcuni processori alle cosiddette **radiazioni ionizzanti**. I soggetti esaminati sono alcuni tipi di processori sui quali sono stati eseguiti svariati test che, come scopo, hanno quello di monitorare al variare di alcune condizioni operative e strutturali (del processore) o di altre caratteristiche, la risposta del singolo dispositivo esposto a fasci di ioni anch'essi variabili per tipologia e intensità.

La problematica delle Radiazioni Ionizzanti è molto sentita per tutti i dispositivi che sono destinati a lavorare in ambito satellitare, ovvero per processori, schede, memorie etc., il cui ambiente operativo non è quello terrestre, ma quello spaziale, che presenta numerose differenze per temperature, pressioni, e appunto, per la presenza di suddette radiazioni.

Il problema in cui incorrono i dispositivi che operano in questo ambiente è legato alle collisioni che si verificano con le particelle che costituiscono le Radiazioni Ionizzanti; i loro effetti sono molteplici, dal deterioramento progressivo all'innestarsi di difetti temporanei e non, effetti che possono portare a conseguenze non accettabili per sistemi, come ad esempio un satellite, che devono funzionare per lunghi periodi di tempo senza incorrere in errori, e senza poter ricevere manutenzione costante.

La provenienza delle particelle è di varia natura e di conseguenza sono molteplici le condizioni che si possono verificare e le problematiche annesse: è qui che nasce l'esigenza di svolgere dei test specifici in modo da poter verificare in fase preliminare l'incidenza delle radiazioni sui processori (e in generale sui dispositivi elettronici) che dovranno affrontare un ambiente ostico come quello appena descritto. Un altro aspetto importante riguarda il trend dell'ultimo decennio, per il quale si nota l'utilizzo sempre più diffuso di processori commerciali per applicazioni spaziali; chiaramente si parla di dispositivi che, rispetto a quelli concepiti per lavorare in condizioni operative avverse e quindi provvisti di un'elettronica "robusta" (hardened), presentano una maggior suscettibilità alle radiazioni. Le motivazioni sono legate alle elevate performance di questi dispositivi, per i quali è però necessario studiarne il comportamento al fine di elaborare delle tecniche per ridurre i difetti che possono essere causati dalle radiazioni.

È proprio come conseguenza di questo aspetto che sono necessarie maggiori informazioni sul comportamento dei processori una volta esposti a radiazioni, prima che possano essere utilizzati. Fino ad ora solo un numero limitato di processori è stato sottoposto ai test, è quindi necessario stilare resoconti dettagliati riguardanti i dati ottenuti in base ai dispositivi testati, al variare delle tipologie, delle caratteristiche e delle dinamiche dei test stessi.

2 Le radiazioni ionizzanti

Con la denominazione “radiazioni ionizzanti” si identificano tutte quelle particelle (corpuscoli) o fotoni il cui passaggio nella materia provoca la ionizzazione della stessa, ovvero il processo per il quale c'è una cessione di energia da parte della radiazione alla materia mentre la attraversa.

Questo tipo di radiazione è presente principalmente nello spazio, al di fuori dell'atmosfera terrestre, la quale offre un'effetto schermante contro le particelle che vi penetrano, diminuendone il numero e l'intensità man mano che essa viene attraversata; la problematica per applicazioni a livello terrestre è quindi notevolmente ridotta, spesso ignorata.

2.1 Sorgenti di radiazioni ionizzanti

2.1.1 Ambiente spaziale

Le particelle associate alla radiazione ionizzante sono suddivise in 3 gruppi principali, in base alla loro provenienza:

- Particelle intrappolate in fasce di radiazioni (fasce di Van Allen)

La presenza di queste fasce di particelle sembra essere dovuta a diversi meccanismi fisici: l'accelerazione di particelle a bassa energia dovuta a tempeste magnetiche nello spazio, il decadimento di neutroni energetici prodotto dalla collisione dei raggi cosmici con l'atmosfera e la radiazione solare.

Il campo magnetico terrestre concentra un elevato flusso di particelle ionizzanti ad elevata energia tra cui protoni, elettroni e ioni pesanti ed esso successivamente genera un meccanismo che intrappola queste particelle cariche all'interno di regioni specifiche, chiamate fasce di Van Allen. Esse sono essenzialmente tre: una regione in cui sono intrappolati principalmente protoni, e altre due: la più interna in cui si trovano prevalentemente protoni e ioni pesanti e la più esterna caratterizzata da una elevatissima quantità di elettroni (inner e outer regions), figura 1.

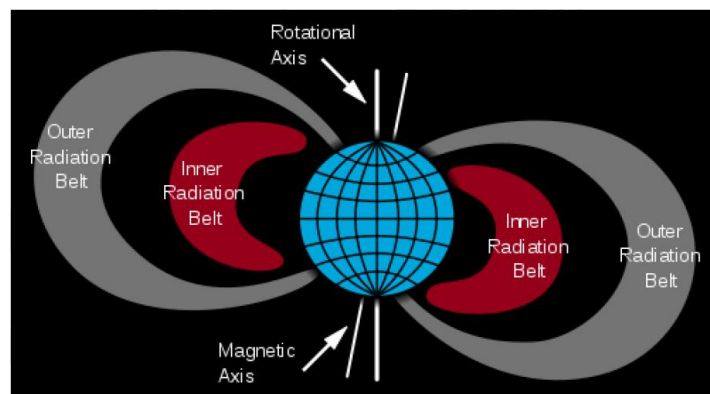


Figura 1: Movimento delle particelle lungo le linee del campo magnetico terrestre

Le particelle di queste fasce assumono un movimento a spirale lungo le linee del campo magnetico, così come si nota dalla figura 2.

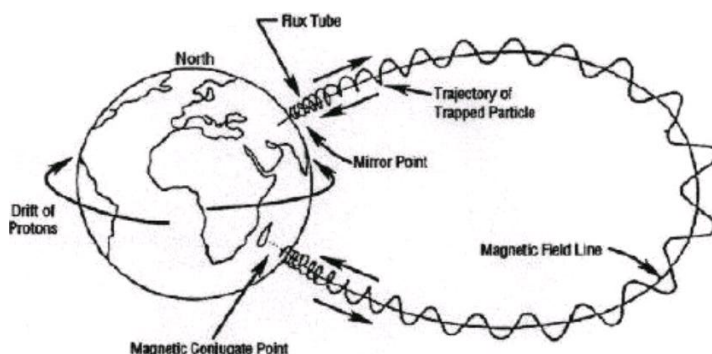


Figura 2: Movimento delle particelle lungo le linee del campo magnetico terrestre

A causa del fatto che il campo magnetico dipolare è spostato rispetto al centro della terra, le fasce di radiazioni si trovano ad distanza minore dalla terra nella zona sovrastante la parte ad est della costa del Sud America, un'area di circa 500 km di diametro nella quale si trova una densità maggiore di particelle, fenomeno definito Anomalia del Sud Atlantico. In figura 3 si ha un'illustrazione della densità degli effetti delle radiazioni ionizzanti, che, come si nota, sono presenti in larghissima maggioranza nella zona appena descritta.

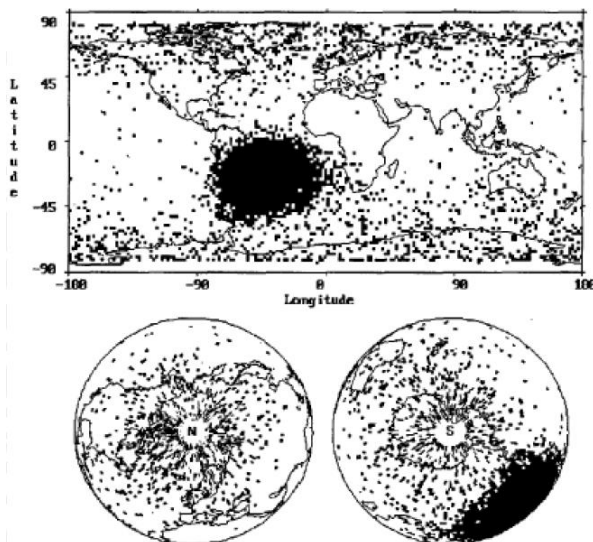


Figura 3: Distribuzione geografica dei guasti introdotti dalle radiazioni

- Particelle provenienti dal sole

L'intensità di questo tipo di radiazione è fortemente dipendente dall'attività solare: oltre al fenomeno di continua emissione di ioni chiamato vento solare (solar wind), la presenza di protoni nella radiazione è causata principalmente dalle eruzioni solari, la cui durata e entità sono molto differenti, si può comprendere tale processo osservando la figura 4.

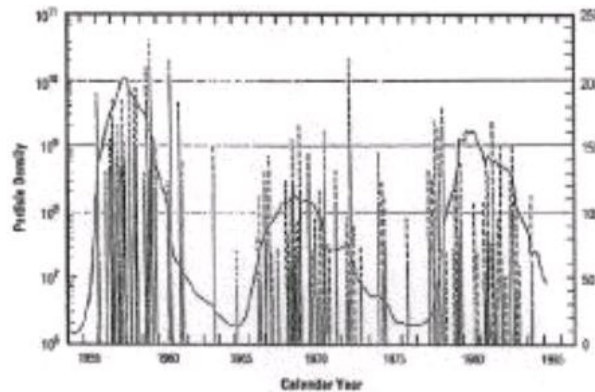


Figura 4: Variazione della quantità di protoni in funzione delle eruzioni solari

Le particelle provenienti dal sole, nel loro percorso verso la terra, vengono in parte intrappolate nelle fasce di Van Allen, e in parte deflesse dal campo magnetico terrestre (figura 5)

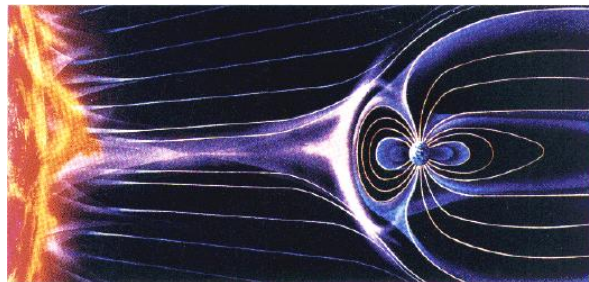


Figura 5: Schema dell'eliosfera

- Raggi cosmici

Sono particelle energetiche provenienti dallo spazio esterno che presentano una natura molto varia (l'energia cinetica delle particelle dei raggi cosmici è distribuita su quattordici ordini di grandezza), così come varia è la loro origine: le stelle, fenomeni energetici come novae e supernovae, fino ad oggetti remoti come i quasar.

Si tratta di particelle con elevato contenuto energetico ed elevata carica, e dei tre tipi

di radiazioni citate sono sicuramente le più problematiche.

Per i satelliti che si trovano a basse altitudini e basse inclinazioni si avverte meno il problema dei raggi cosmici in quanto essi godono di uno schermo naturale, cioè quello offerto dal campo magnetico terrestre, le cui particelle in esso intrappolate, possono deflettere quelle dei raggi cosmici, risolvendo parzialmente i problemi per i dispositivi parzialmente occultati.

2.1.2 L'ambiente terrestre

La radiazione presente nella terra ha in parte la stessa natura di quella spaziale (i raggi cosmici ne sono un esempio), ma la schermatura offerta dalle particelle dell'atmosfera cambia radicalmente la composizione delle particelle e ne smorza il contenuto energetico riducendo notevolmente l'importanza del problema. Ogni particella che penetra nell'atmosfera subisce interazioni con le molecole d'aria presenti, generando una cascata di particelle secondarie, come si vede in figura 6.

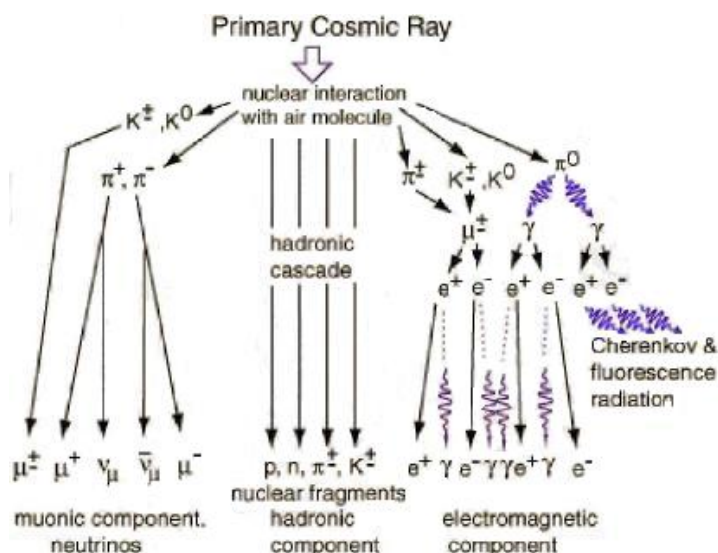


Figura 6: Interazione dei raggi cosmici con l'atmosfera

Le tipologie di particelle che si generano e la loro energia dipende fortemente anche dall'altitudine, cioè dalla quantità di atmosfera che hanno dovuto attraversare, indicativa del numero di interazioni subite. L'altezza è quindi un parametro fondamentale, da tenere in considerazione quando si vuole valutare l'incidenza della radiazione su un dispositivo.

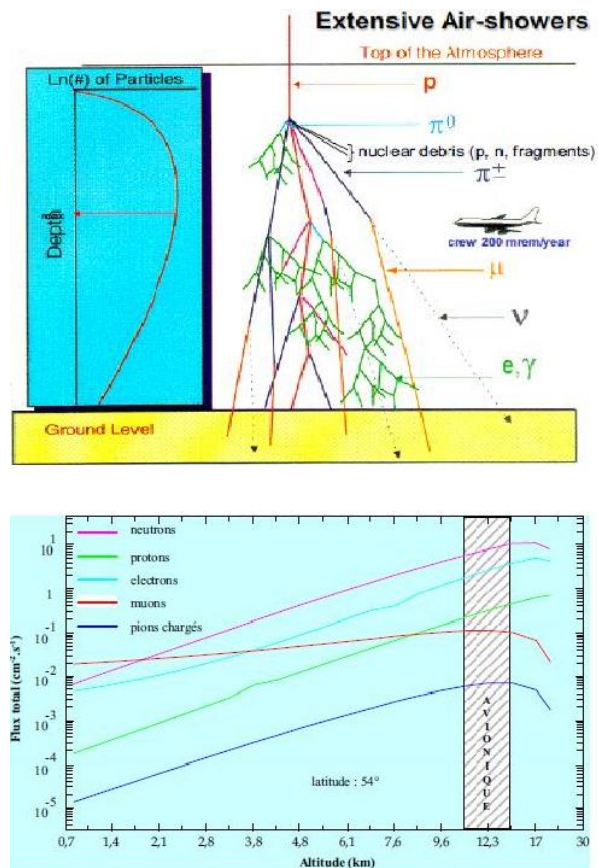


Figura 7: Effetto dell'atmosfera sulle particelle in funzione dell'altitudine

2.2 Concetti di base

2.2.1 Tipologie di radiazioni

Come accennato nel capitolo precedente le radiazioni ionizzanti sono composte da particelle di vario tipo, a seconda anche della natura della radiazione stessa; complessivamente si tratta di particelle cariche (protoni, ioni e elettroni), fotoni e neutroni. In base alla particella che entra in collisione con la materia gli effetti che ne scaturiscono possono essere differenti, è per questo che nello svolgimento dei test è spesso utile utilizzare fasci di ioni differenti, in modo da verificare al variare delle particelle (oltre che agli altri parametri come l'energia, la densità, etc) la risposta dei dispositivi.

È importante distinguere le radiazioni di tipo ionizzante, ossia quelle in grado di produrre ionizzazione degli atomi e delle molecole del mezzo attraversato, da quelle di tipo non-ionizzante, per le quali l'assorbimento è solamente in grado di creare una cessione di energia di tipo termico. Una particella carica che penetra all'interno della materia può causare due tipi di reazioni differenti:

- Particelle cariche:

Tutte le particelle cariche (protoni, ioni pesanti ed elettroni) interagiscono principalmente a causa delle interazioni coulombiane con gli elettroni del mezzo attraversato,

perdendo rapidamente la loro energia cinetica. La perdita di energia della particella carica appare principalmente sotto forma di ionizzazione ed eccitazione del mezzo materiale attraversato e tale energia è praticamente tutta assorbita dal mezzo a una distanza caratteristica, che dipende della particella incidente e dal mezzo attraversato. I protoni e gli ioni pesanti (atomi ionizzati) danno origine a fenomeni simili che variano a seconda dell'energia di tali particelle: per valori inferiori ai 100 KeV predomina l'interazione coulombiana che può indurre la ionizzazione della materia e l'eccitazione degli atomi; inoltre possono collidere con i nuclei degli atomi causandone l'eccitazione o lo spostamento. Per energie più alte di 10 MeV possono provocare reazioni nucleari. Gli elettroni sono presenti nell'ambiente radioattivo e possono essere anche prodotti da interazioni di altre particelle con la materia. I loro effetti possono avere natura coulombiana, con la capacità di indurre ionizzazione o eccitazione degli atomi, o verificarsi tramite il fenomeno di scattering con i nuclei, che può causare il loro spostamento se l'energia dell'elettrone è sufficientemente alta e se ne viene trasferita abbastanza al nucleo.

- Particelle neutre:

Al contrario delle particelle cariche, neutroni e fotoni possono essere assorbiti completamente in un'unica collisione (il neutrone da un nucleo, il fotone da un elettrone atomico o da un nucleo) in quanto non risentono della forza di Coulomb. Inoltre, sempre a differenza delle particelle cariche, non esistono distanze che fotoni o neutroni non possano attraversare. La caratteristica principale dei neutroni è quella di non poter ionizzare direttamente la materia, ma solo indirettamente. Infatti, attraverso l'interazione del neutrone con la materia si possono verificare tre effetti fortemente dipendenti dalla sua energia: effetto fotoelettrico, effetto Compton e creazione di coppie elettrone-positrone, in grado di generare particelle secondarie cariche, le quali, interagendo con gli atomi della materia sono in grado di ionizzarlo.

Gli effetti dell'interazione di particelle cariche e neutre con la materia possono quindi essere riassunti in due classi: effetti da ionizzazione e danni da spostamento. Questi fenomeni possono essere causati sia direttamente dalla particella incidente che dai suoi prodotti secondari. In effetti sono questi ultimi a dare origine alla maggioranza delle interazioni durante l'irraggiamento. Mentre i neutroni sono i principali responsabili del spostamento nucleare, i fotoni e gli elettroni danno luogo soprattutto a ionizzazione.

2.2.2 Unità di misura

Per poter comprendere appieno la trattazione che seguirà nei prossimi capitoli, è necessario introdurre tutti i termini e le grandezze che verranno utilizzati. Le unità di misura principali che riguardano le radiazioni ionizzanti e che si utilizzano per misurare il numero di particelle che attraversano una determinata porzione di area e/o in un determinato intervallo di tempo, e la quantità di energia che possiedono in funzione della loro massa sono le seguenti:

- **Flusso** (ϕ): numero di particelle per unità di area nell'unità di tempo

$$\phi = \text{Particelle}/(\text{Area} \cdot \text{Tempo}) \qquad \text{Particelle}/(\text{cm}^2 \cdot \text{s})$$

- **Fluenza** (Φ): numero di particelle per unità di area (integrale nel tempo del flusso)

$$\Phi = \int_{\phi} dt = \text{Particelle/Area} \qquad \text{Particelle/cm}^2$$

- **Dose** (**D**): energia della radiazione per unità di massa

$$D = \text{Energia/Massa} \qquad J/Kg = \text{Gray} \text{ o } \text{erg/g} = \text{rad} = 0.01 \text{ Gray}$$

La ionizzazione in un materiale semiconduttore o isolante genera coppie elettrone-lacuna ed il numero di coppie prodotte è proporzionale alla quantità di energia depositata. Tale energia viene espressa attraverso la dose totale assorbita:

- Dose ionizzante totale (Total Ionizing Dose, TID):

$$TID = \frac{\text{energia ionizzante}}{\text{massa}} = \text{LET} \cdot \Phi$$

nella sua valutazione è importante comprendere il concetto di **Dose generica**, ovvero l'energia impressa dalla radiazione sulla massa del bersaglio. Questa relazione esprime un vincolo di proporzionalità tra Dose e Fluenza; definendo α il fattore di proporzionalità tra le due grandezze:

$$Dose = \alpha \cdot Fluenza$$

Esistono due tipi di dose, a seconda che la perdita di energia da parte delle particelle radioattive sia ionizzante o meno (come visto precedentemente).

Quando una certa radiazione incide con un corpo perde la sua energia attraverso le interazioni con gli atomi. Se l'energia trasferita è ionizzante, la sua quantità totale ceduta in una certa quantità di spazio e normalizzato alla densità del materiale, è conosciuta come Linear Energy Transfer: LET. Quando un certo tipo di radiazione cede grandi quantità di energia in poco spazio, essa viene definita come "ad elevata LET", high LET. Al contrario, se il deposito di energia è basso si parla di radiazione "a bassa LET", low LET. Sulla base di questa definizione si può esprimere la relazione:

$$\text{Energia ionizzante}(MeV) = \text{LET}(MeV \cdot cm^2/mg) \cdot \Phi(cm^{-2}) \cdot massa(g) \cdot 10^3$$

Per studiare gli effetti della ionizzazione su di un dato materiale non è necessario specificare il tipo di particella utilizzata durante l'irraggiamento ma si può fare riferimento solo all'energia depositata.

L'altro effetto (differente dalla ionizzazione) è lo spostamento atomico e si verifica quando un atomo viene spostato dal suo sito originale nel reticolo e diventa atomo interstiziale, generalmente attiguo ad una vacanza (figura 8). Atomo interstiziale e vacanza prendono il nome di coppia di Frenkel. Per produrre lo spostamento di un atomo di silicio è necessario trasferire un'energia di almeno 20 eV. Nel SiO₂ a temperatura ambiente, il 90% delle coppie di Frenkel si ricombina pochi minuti dopo la fine dell'irraggiamento.

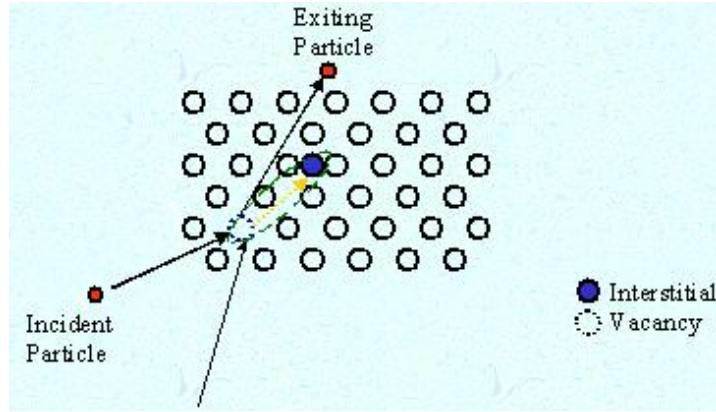


Figura 8: Visione semplificata del danno da spostamento

Per questo fenomeno si considera:

- Dose da danno da spostamento (Displacement Damage Dose (DDD):

$$DDD = \frac{\text{energia da spostamento}}{\text{massa}} = \text{NIEL} \cdot \Phi$$

Infine, per l'analisi dei test, è fondamentale il concetto di **Sezione d'urto**: ovvero un grafico che viene tracciato in seguito ad ogni test, e che ne permette una veloce lettura e analisi. Essa viene indicata con σ e in termini matematici è il rapporto tra il numero degli eventi di interesse verificati (in seguito verranno definiti eventi ad effetto singolo, cioè alterazioni nel comportamento dei dispositivi) e la fluenza. È legata alla probabilità d'errore ed è possibile determinarla sperimentalmente (sistema di test con laser ad energia variabile).

Due parametri riguardanti le sezioni d'urto che verranno utilizzati sono:

- σ_{sat} : valore a cui satura la sezione d'urto per elevati valori di LET (quel valore oltre il quale essa non aumenta a fronte di un innalzamento della LET)
- LET_{th} : è la minima LET che provoca un evento rilevabile

Si può ricavare la caratteristica $\sigma(LET)$, ovvero l'espressione della sezione d'urto in funzione della variabile LET, utilizzando quella che viene definita "Distribuzione di Weibull", ricavata analizzando le opportune misure secondo il seguente procedimento:

$$f(t) = (b \cdot t^{b-1} / a^b) \exp[-(t/a)^b]$$

$$F(t) = 1 - \exp[-(t/a)^b]$$

Di conseguenza:

$$\sigma(LET) = \sigma_{sat} \left(1 - \exp[-(LET - LET_{th})/W]^S \right)$$

con W e S definiti come parametri di "fitting", ricavati dalle espressioni precedenti. In figura 9 è illustrata una sezione d'urto tipica.

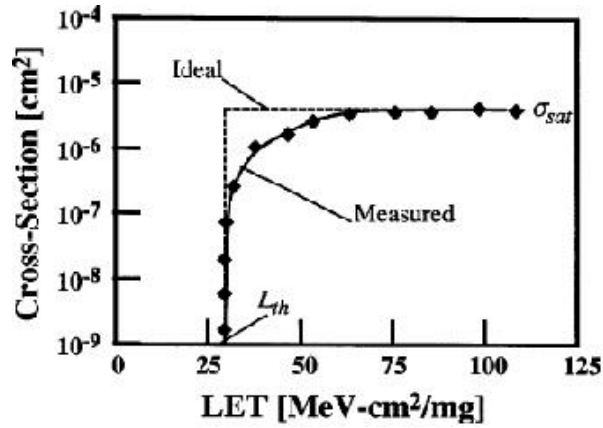


Figura 9: Cross section

Grazie alla $\sigma(LET)$ è possibile valutare con una certa precisione la probabilità di guasto del dispositivo in funzione della LET della radiazione.

2.3 Tecnologie e progresso

Con il passare degli anni la ricerca in campo tecnologico ha portato alla progettazione di dispositivi via via più performanti, sia migliorando la tecnologia con la quale venivano prodotti, sia mettendo a disposizione nuovi tipi di processi.

La linea principale di tendenza per lo sviluppo di nuovi dispositivi consiste nella drastica riduzione delle geometrie delle strutture e la conseguente variazione dei parametri di progetto, riassunti nelle tabelle seguenti:

Parametri di progetto	Fattore di scala
Dimensioni	$1/K$
Drogaggio	K
Tensioni	$1/K$

Tabella 1: Parametri di progetto a “campo elettrico costante”

Parametri di progetto	Fattore di scala
Dimensioni	$1/K$
Drogaggio	K^2
Tensioni	1

Tabella 2: Parametri di progetto a “tensione costante”

Chiaramente il variare dei parametri di progetto detiene un impatto notevole su tutte le variabili in gioco, in particolare:

- Correnti
- Capacità
- Dissipazione di potenza
- Costanti di tempo
- Resistenza delle linee
- Cadute di tensione relative

Come verrà descritto in seguito quando verranno analizzati nel dettaglio alcuni dei guasti che possono essere provocati dalle radiazioni, le variazioni su queste grandezze in genere dovrebbero comportare dei peggioramenti nelle condizioni medie di funzionamento dal punto di vista dell'affidabilità. Questo perxhè, a fronte del miglioramento di prestazioni e dell'abbassamento dei consumi, è previsto l'accentuarsi della sensibilità dei dispositivi alle radiazioni ionizzanti. Chiaramente un'affermazione così generale deve prima scontrarsi con i dati sperimentali e va considerata la casistica dei test nel suo complesso per sapere se vi sono o meno riscontri pratici, ma in linea di principio il comportamento che ci si aspetta andando a valutare processori via via più recenti è quello descritto, e cioè dovrebbero presentare una maggior suscettibilità alle radiazioni; i motivi verranno discussi più avanti nel corso di questo capitolo.

Il componente fondamentale su cui si basa la microelettronica è il MOSFET, acronimo del termine inglese Metal-Oxide-Semiconductor Field-Effect Transistor, ovvero transistor metallo-ossido-semiconduttore a effetto di campo. Spesso è conosciuto come transistor MOS e la tecnologia prende il nome di CMOS. Per dare un'idea delle strutture su cui si basano i circuiti e i processori che saranno oggetto dei test successivi, di seguito verranno descritti brevemente i due tipi di componenti utilizzati, ovvero i CMOS planari e i CMOS con tecnologia SOI.

2.3.1 Tecnologia CMOS planare (bulk)

La struttura del transistor CMOS planare è illustrata (in sezione) in figura 10. È composto da una regione di metallo (il gate) e da regioni di silicio drogate¹ e può essere di due tipi: a canale n (NMOS) o a canale p (PMOS).

La struttura di un MOS a canale p è costituita da un drain e un source di tipo p immerse nel substrato di tipo n. La regione compresa tra tali elettrodi costituisce un "canale" all'interno del quale può scorrere una certa corrente (a seconda delle condizioni in cui si trova il mosfet) ed è ricoperta da un sottile strato di ossido di silicio. Per il MOS

¹il drogaggio è un processo mediante il quale viene arricchita la materia con atomi di materiali differenti, questo per alterarne le proprietà elettriche creando un surplus o una carenza di elettroni. Per aumentare il numero di elettroni il materiale viene drogato con il Fosforo, e si dice che la regione drogata è di tipo **n**, al contrario, per creare una regione con meno elettroni rispetto al materiale puro si aggiungono atomi di Boro creando regioni drogate **p**

a canale n (come quello di figura 10) gli elettrodi di source e di drain sono di tipo n e il substrato è di tipo p. La presenza dello strato di ossido di silicio è la ragione per la quale il dispositivo è anche conosciuto con il nome di transistor ad effetto di campo a gate isolato, infatti tale strato isolante porta ad una resistenza di ingresso estremamente alta.

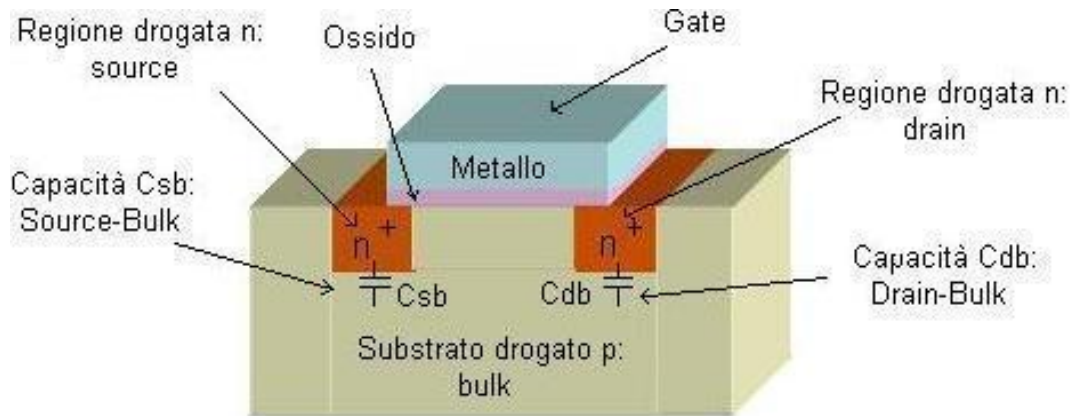


Figura 10: Struttura del mosfet planare (bulk)

Questo processo produttivo, in cui le zone drogate (source e drain) sono a diretto contatto con il substrato di silicio, è detto bulk C-MOS.

Il principio di funzionamento si basa sulla tensione applicata al gate: per l'nMOS, se essa supera un determinato valore di soglia V_t , che dipende dalle caratteristiche fisiche e geometriche del MOSFET, allora c'è un passaggio di corrente, in caso contrario il dispositivo si comporta come un interruttore spento. Il caso del pMOS è duale al precedente e si ha passaggio di corrente se la tensione al gate è bassa.

Il problema fondamentale dei transistor creati con questo procedimento è rappresentato dalle consistenti capacità parassite che si vengono a creare lungo l'interfaccia fra le zone drogate di source e drain e il substrato, come si nota dalla figura 10.

2.3.2 Tecnologia SOI

Un mosfet SOI (Silicon On Insulator) consiste nell'utilizzo di una struttura a strati composta da un substrato di silicio-isolante-silicio al posto del convenzionale substrato di silicio (figura 11).

I dispositivi basati su questa tecnologia differiscono da quelli bulk convenzionali per il fatto che la giunzione di silicio si trova sopra un isolante elettrico (tipicamente diossido di silicio o zaffiro), in questo modo le regioni drogate (source e drain) non sono più a diretto contatto con il substrato di silicio, bensì con un ossido isolante che praticamente annulla le capacità parassite e la profondità della zona sensibile alla raccolta di carica è minore.

In realtà, questa tecnologia introduce anche un effetto negativo (ad esclusione dei costi, più elevati rispetto a quelle bulk): la presenza del body flottante e lo spessore ridotto del film di silicio aumentano l'amplificazione del transistor bipolare parassita di un fattore

significante, limitando così il vantaggio che si può ottenere. Al fine di minimizzare tale condizione sono state studiate delle tecniche (aggiunta del body tie) in grado di diminuire l'amplificazione di carica.

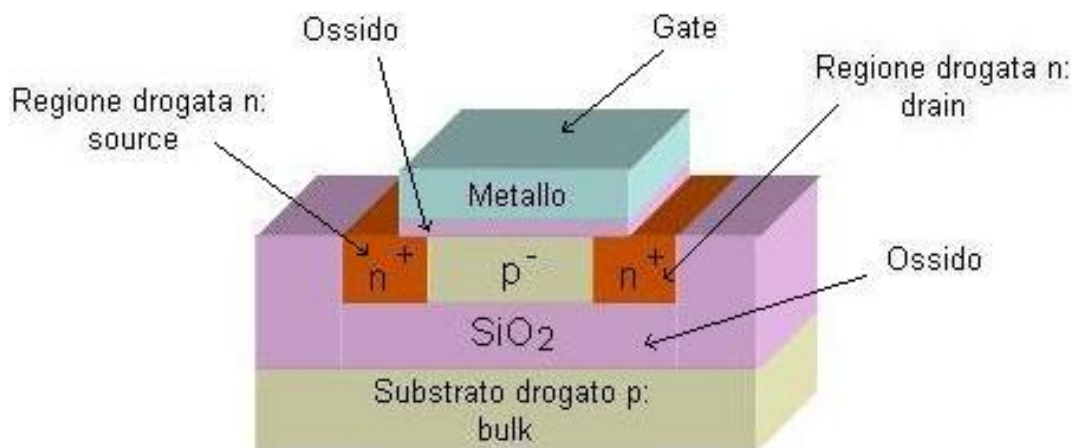


Figura 11: Struttura del mosfet con tecnologia SOI

Attualmente esistono due tipo di mosfet SOI, che si differenziano per la struttura del film di silicio che dipende dal suo spessore (Silicon film thickness):

- **Parzialmente svuotato**, Partially Depleted (PD), figura 12 a): lo spessore del film di Silicio è sufficiente da permettere la presenza di un body quasi neutro sotto tutte le condizioni di polarizzazione.
- **Completamente svuotato**, Fully Depleted (FP), figura 12 b): il film di Silicio è molto sottile e l'intera regione di substrato è svuotata dai portatori sotto qualsiasi condizione di polarizzazione

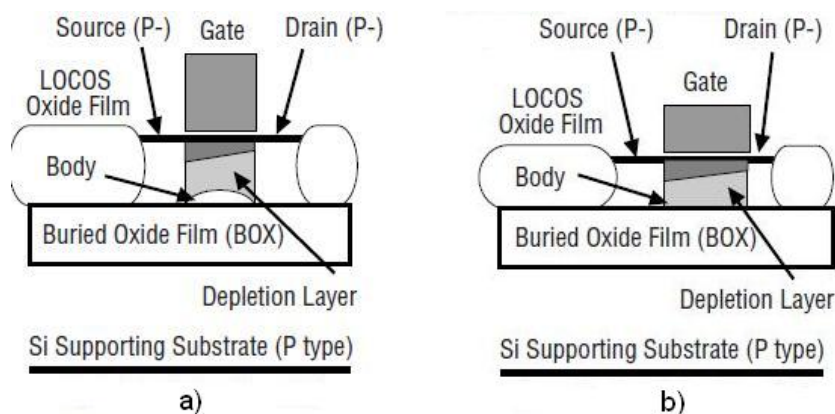


Figura 12: Struttura di due mosfet SOI: a) Parzialmente svuotato, b) Completamente svuotato

La struttura base di un mosfet SOI è nuovamente rappresentata con maggior semplicità in figura 12, nella quale viene evidenziato lo spessore del film di Silicio.

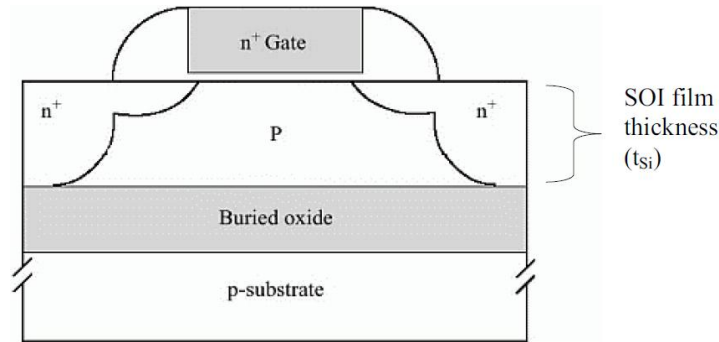


Figura 13: Struttura base di un SOI nMOSFET

Grazie agli effetti citati, uniti ad altri di cui non si andrà nel dettaglio in questa sede (molti dipendono dallo spessore del film di silicio, cruciale per molti aspetti), i dispositivi basati su tecnologia SOI risultano decisamente migliori rispetto a quelli basati su tecnologia planare, sia in termini di prestazioni che in termini di affidabilità, cioè di suscettibilità nei confronti delle radiazioni ionizzanti, in particolar modo per quanto riguarda il Single Event Latchup (di cui se ne parlerà brevemente nel capitolo riguardante il SEL) ma anche per gli altri eventi ad effetto singolo (SEU).

Come conferma di queste affermazioni viene presentata la sezione d'urto riguardante un test effettuato su tre processori, due di questi basati su tecnologia bulk, l'altro su SOI. Dalla figura 14 è evidente l'effetto benefico introdotto dalla tecnologia, la curva della sezione d'urto riguardante il processore SOI è infatti più "bassa" rispetto alle altre, denotando un minor numero di errori generati dalle radiazioni a parità di LET.

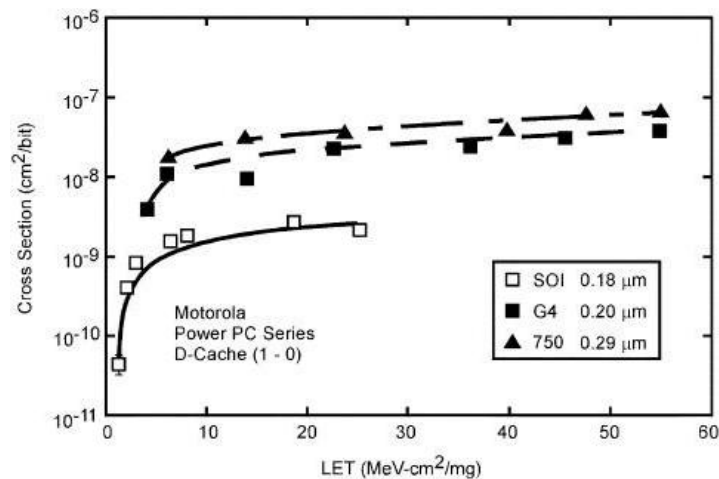


Figura 14: Confronto tra la sezione d'urto per i SEU (data cache) di un motorola SOI PowerPC e due processori con tecnologia bulk standard.

2.4 Guasti provocati dalle radiazioni

Il continuo progresso delle tecnologie microelettroniche ha portato alla realizzazione di circuiti integrati sempre più complessi caratterizzati, per contro, da una riduzione delle loro dimensioni fisiche e dei loro parametri elettrici; ciò ha fatto sì che alcuni fenomeni atmosferici o ambientali, prima considerati influenti sul comportamento dei circuiti integrati, siano ora in grado di perturbare il funzionamento dei moderni dispositivi microelettronici.

Tra questi fenomeni va ricordata soprattutto la ionizzazione del substrato di ossido, dovuta alle radiazioni, ai disturbi elettromagnetici o alle variazioni della temperatura. I circuiti digitali funzionanti in presenza di radiazioni possono subire dei disturbi permanenti o transitori: i primi appaiono solo dopo lunghe esposizioni alle radiazioni e sono causati dall'intrappolamento di cariche all'interno dell'ossido, i secondi possono invece comparire a causa dell'impatto di una singola particella dotata di carica elettrica contro una zona sensibile del circuito integrato.

Fra gli effetti permanenti citiamo quelli di tipo "Total ionizing dose" (TID). Si tratta di una degradazione cumulativa a lungo termine che può colpire i dispositivi esposti a una radiazione ionizzante. La total dose crea un certo numero di coppie elettrone-lacuna negli strati di diossido di silicio dei dispositivi MOS. Queste coppie elettrone-lacuna creano delle differenze di tensione che distorcono il campo elettrico all'interno del transistor, rendendo l'entrata in conduzione più difficoltosa per i dispositivi a canale p e più facile per quelli a canale n.

Per la classificazione dei fenomeni che si verificano all'interno dei dispositivi a causa dell'esposizione alle radiazioni ionizzanti, si utilizzano terminologie che prendono il nome dal difetto che descrivono, in via generale, vengono tutti denominati eventi ad effetto singolo (**Single Event Effect**, SEE), ovvero fenomeni che derivano dall'interazione della singola particella (facente parte della radiazione) con la materia costituente i dispositivi.

In particolare, viene definito Single event effect la perturbazione del comportamento di un dispositivo elettronico, o di un circuito, prodotto da una singola particella ionizzante. Quando una particella carica entra in collisione con il dispositivo, penetra nel mezzo perdendo energia e creando una scia di coppie elettrone/lacuna; in via generale questo è il fenomeno principale, dal quale poi scaturiscono degli eventi a catena che possono dare luogo ad un SEE

Chiaramente non tutte le particelle ionizzanti (che appartengono a tipologie di radiazioni differenti) presentano le medesime caratteristiche, esse differiscono per dimensioni, peso ed energia. Questo porta all'ovvia conclusione che l'impatto sulla materia e, di conseguenza, i danni causati siano differenti al variare di questi parametri.

Per quanto riguarda le particelle che posseggono bassi valori di energia, e che quindi rilasciano piccole quantità di carica locale in un dispositivo, esse possono generare piccoli effetti singoli o entrare a far parte dei fenomeni di degradazione progressiva, il cui effetto sui dispositivi è quindi visibile solo dopo lunghi periodi di tempo di esposizione alle radiazioni.

Per le particelle ad elevata energia, per le quali si riscontra il rilascio di elevata carica locale, i fenomeni sono più significativi e si suddividono in due categorie:

- **Soft errors:** Fenomeni non distruttivi ma che causano difetti non trascurabili
 - Single Event Upsets (SEU)
 - Single Bit Upsets (SBU)
 - Multiple Cell Upsets (MCU)
 - Multiple Bit Upsets (MBU)
 - Single Event Transient (SET)
 - Single Event Functional Interruption (SEFI)
 - Single Event Latch-up (SEL) (potenzialmente distruttivo)
 - Single Event Snapback (SES) (potenzialmente distruttivo)
- **Hard errors:** Fenomeni distruttivi, arrecano danni permanenti alla struttura
 - Single Event Gate Rupture (SEGR)
 - Single Event Burnout (SEB)
 - Stuck Bits
 - Single Event Latch-up (SEL) (potenzialmente distruttivo)

L'interazione di una particella con un dispositivo mette in moto una serie di reazioni a catena che possono sfociare in un evento ad effetto singolo tra quelli elencati. Il meccanismo con cui una particella ionizzante penetra in un dispositivo si può riassumere in tre fasi distinte: Onset, Drift/Funnel e Diffusione, illustrate in figura 15 nel caso semplice di una giunzione pn.

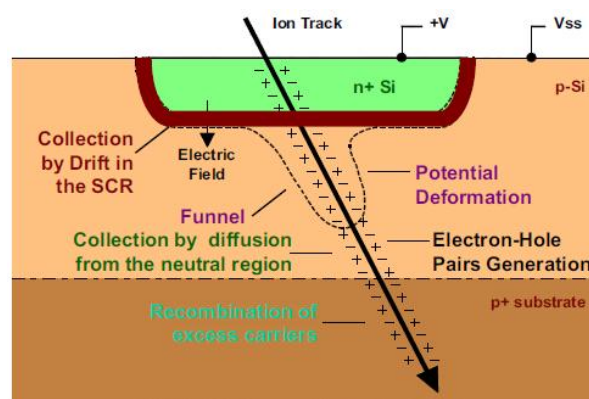


Figura 15: Effetto di una particella penetrante in una giunzione pn

Esaminando separatamente le tre fasi, in quella iniziale di **Onset** (figura 16-a) si verifica la formazione delle coppie elettrone lacuna all'interno della giunzione; nella seconda fase, **Drift** (figura 16-b), si ha una prima corrente generata dal moto di deriva degli elettroni e delle lacune, i primi si spostano verso il potenziale più alto, le seconde verso quello più basso. Inoltre si manifesta un effetto che viene definito "Funnel": un allargamento della regione di carica spaziale verso il substrato del dispositivo, zona all'interno della quale vengono intrappolati altri elettroni e lacune che non prendono parte al transitorio di corrente iniziale. Si giunge quindi alla terza fase, **Diffusion** (figura 16-c), nella quale questi portatori generano una corrente secondaria molto più lenta della precedente poiché il moto è per diffusione. Se tale corrente è di entità e durata sufficiente, ha luogo un SEE.

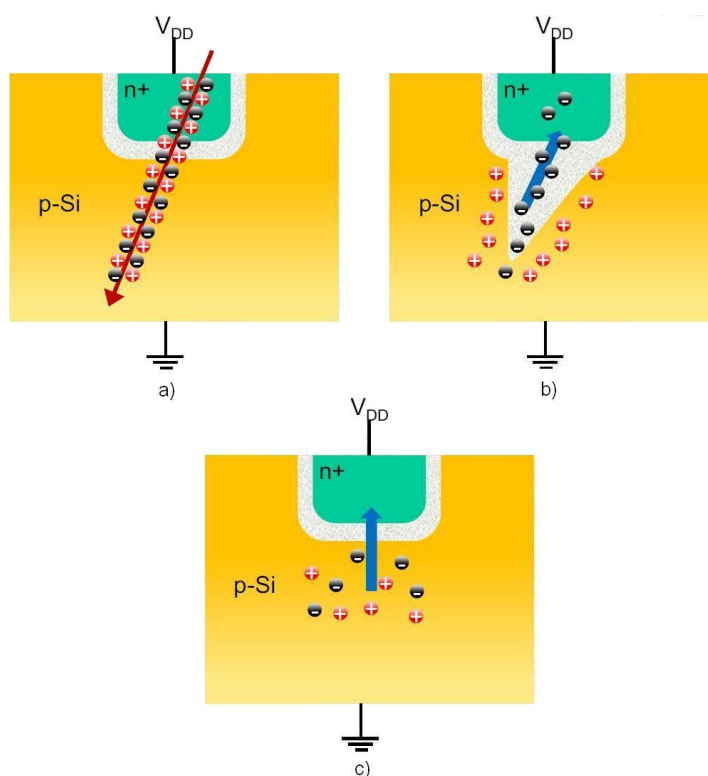


Figura 16: Meccanismo del SEE: a) Onset, b) Drift/Funnel, c) Diffusion

2.4.1 Single Event Upset, SEU

Si tratta di un cambio di stato di un bit, causato dalla collisione di una particella con un nodo sensibile del dispositivo; considerando come riferimento la porta logica di figura 17, il punto critico è la giunzione drain-bulk e questo fenomeno è la conseguenza della carica libera generata dalla ionizzazione della particella incidente.

In particolare la particella carica, colpendo il drain del n-mos o di un p-mos, genera un impulso transitorio di corrente che abbassa la tensione V_Q che può spegnere l'n-mos

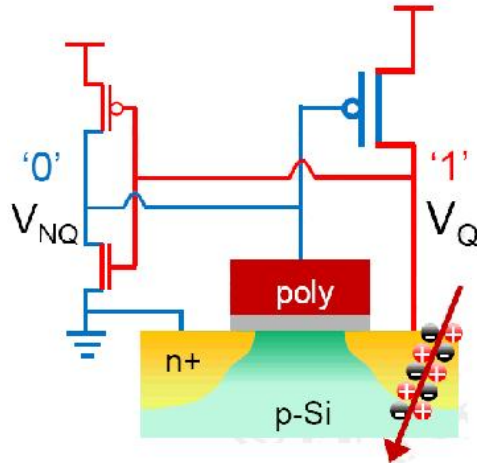


Figura 17: Porta logica di esempio, in evidenza la struttura fisica del n-mos

opposto. Chiaramente il SEU si verifica solo se la carica raccolta (dipendente anche dall'energia della particella collidente) risulta maggiore di un valore critico Q_{crit} per il quale il transistor acceso non riesce a bilanciare tale carica perduta prima che il bistabile commuti.

È importante sottolineare come nei circuiti moderni un nodo non è mai isolato, ma fa invece parte di strutture complesse composte da moltitudini di nodi molto vicini tra loro. A causa di ciò la sensibilità del circuito (e quindi la suscettibilità del sistema intero) al SEU dipendono non solo dalla particella in collisione (tipo, traiettoria, energia) e dalla struttura del dispositivo elementare interessato (dimensioni, drogaggio, etc), ma soprattutto dalla capacità del nodo, dalla tensione a cui sta operando e dalla potenza dei transistor di feedback, tutti parametri che definiscono la quantità di carica critica Q_{crit} necessaria a causare il SEU.

Dai test eseguiti su vari dispositivi (dai processori alle SRAM) è risultato un dato inizialmente inaspettato: prendendo in considerazione tutti i SEU che si verificano su un dato dispositivo, può capitare che la percentuale di transizioni dei bit da 0 a 1, sia differente rispetto a quella opposta (da 1 a 0); disparità che non si può associare al casuale verificarsi di determinati eventi in quanto, generalmente, la percentuale è evidentemente in favore di una delle due transizioni. Questo fenomeno è stato definito Asimmetria e la misura con cui si verifica è strettamente legata alla struttura del dispositivo che si sta valutando, infatti, prendendo come esempio i flip-flop di un registro di shift, essi sono costituiti da coppie di porte NOR-NOT. Tale configurazione risente in modo differente delle transizioni da 1 a 0 rispetto a quelle da 0 a 1 a seconda del nodo in cui si manifesta il SEU. Non sono previsti fenomeni di asimmetria per altri dispositivi come ad esempio i registri DAC, in quanto essi sono implementati attraverso coppie di porte NOR-NOR: questa configurazione è simmetrica e quindi indipendente dal luogo in cui avviene l'upset.

Un altro aspetto fondamentale è il legame tra la tecnologia e la frequenza di SEU: in base alla tensione di alimentazione e alle dimensioni dei dispositivi sotto test variano significativamente le loro risposte alle prove di radiazioni. Come descritto la dinami-

ca del SEU è governata dalla rapidità con cui elettroni e lacune si ricombinano una volta che vengono generati all'interno della regione di svuotamento, poichè la velocità dei portatori è essenzialmente proporzionale all'intensità del campo elettrico, una sua riduzione incrementerebbe la rapidità di ricombinazione. Allo stesso tempo lo spessore della regione di svuotamento è approssimativamente proporzionale alla radice quadrata della forza del campo e, di fatto, il volume in cui avviene la raccolta di carica si riduce. Per generare un upset la carica raccolta deve superare quella immagazzinata nel nodo sensibile, proporzionale alla tensione di alimentazione, riducendo il bias infatti si verifica una riduzione della carica critica. Analiticamente ci si dovrebbe aspettare che la riduzione della tensione di alimentazione V_{dd} sia piccola rispetto alla velocità del processo di ricombinazione degli elettroni e delle lacune, ma in contrapposizione si ha la diminuzione della carica critica nel nodo sensibile, che domina rispetto al precedente. A valorizzare la tesi sono stati effettuati dei test di radiazioni basati sul comportamento di alcuni dispositivi per i quali è stata progressivamente variata la tensione di alimentazione. In questa sede vengono riportati, a titolo di esempio, solo i test riguardanti due dei dispositivi analizzati, sufficienti a dimostrare l'effetto di aumento di suscettibilità a fronte di una riduzione della tensione di alimentazione. I dispositivi testati sono un contatore binario a 4 bit (il 54AC163) e un flip-flop (il 54ACT174).

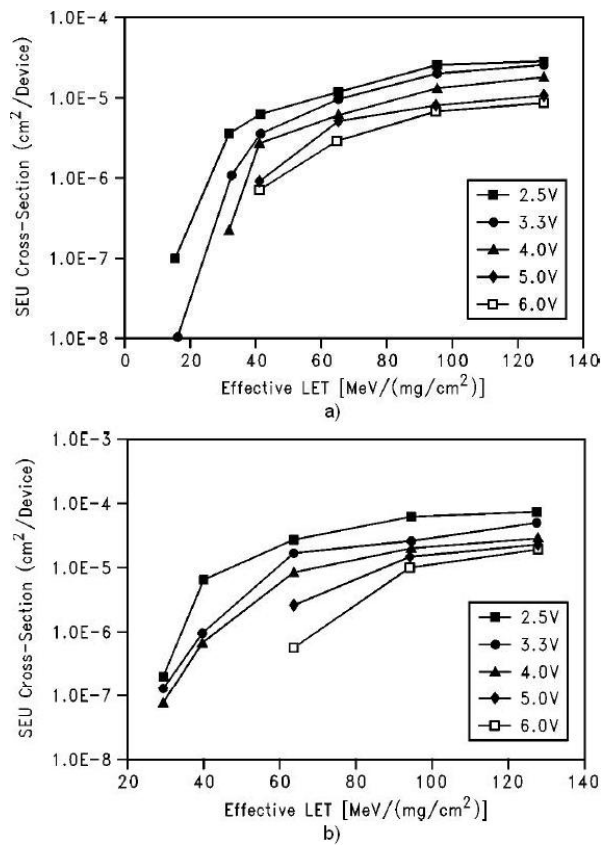


Figura 18: Sezioni d'urto per il SEU al variare della V_{dd} , a) 54AC163, b) 54ACT174

Dai grafici della figura 18 è evidente come al diminuire della V_{dd} aumenti la sezione d'urto.

Per quanto riguarda l'incidenza delle dimensioni dei dispositivi e del loro effetto sui SEU, si può affermare che diminuendo le dimensioni (effetto del progresso tecnologico) si ha una riduzione dell'area sensibile alla radiazione. Oltre i 250nm la distribuzione laterale di carica della traccia ionica si estende al di là della regione attiva diminuendo l'efficienza della collezione di carica. Lo stesso effetto lo si ottiene utilizzando la tecnologia SOI che porta anche un altro beneficio: la presenza dell'isolante introduce una notevole riduzione dello spessore del Film di Silicio e, di conseguenza, della profondità dell'area soggetta a collezione di carica.

Le conseguenze dei SEU dipendono dalle informazioni che vengono alterate come conseguenza del cambio di bit, e ovviamente, dal numero di bit che vengono corrotti, infatti si può parlare di **Single Bit Upset (SBU)**, ovvero la variazione di un singolo bit, o **Multiple Bit Upset (MBU)**, se più bit cambiano di stato.

2.4.2 Single Event Latch-up, SEL

La collisione tra una particella e una zona di un circuito mette in moto una serie di fenomeni a catena che possono causare l'accensione dell'SCR parassita presente nel dispositivo. Tale struttura è presente nella maggior parte dei circuiti digitali strutturati con transistor a base di silicio, in particolare nei dispositivi mos, si parla di strutture parassite perché non volutamente presenti nel dispositivo (figura 19).

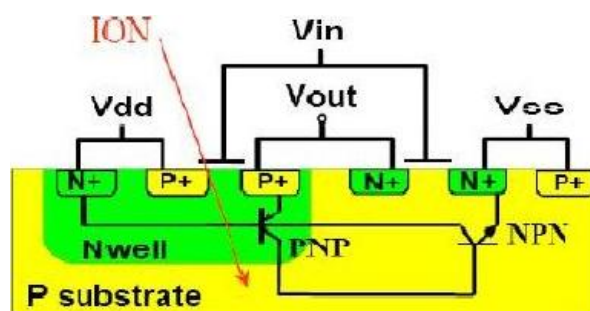


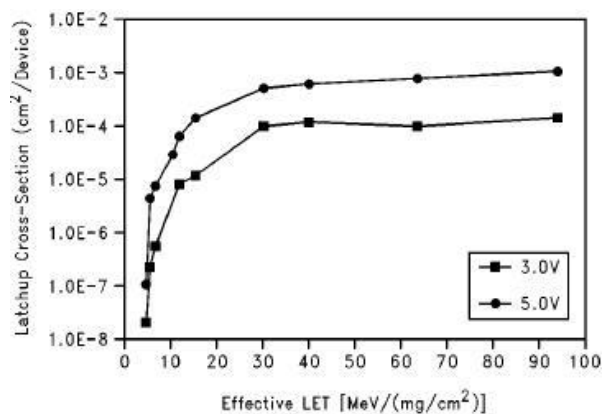
Figura 19: Struttura del transistor in esame

In seguito alla collisione della particella con il dispositivo si verifica un impulso di corrente che, se di entità sufficientemente elevata, inizialmente causa l'accensione di uno dei due SCR parassita e, indirettamente, può portare in conduzione anche il secondo SCR. Si genera così una situazione di retroazione positiva che lascia incontrollata la corrente che è libera di aumentare: situazione definita come Single Event Latch-up, o SEL. Inoltre se la condizione di latchup non viene risolta (che si ottiene spegnendo il dispositivo e ripristinandone le normali condizioni operative) essa può portare ad un passaggio di corrente di durata ed entità così elevate da rischiare la fusione del dispositivo stesso: "burnout".

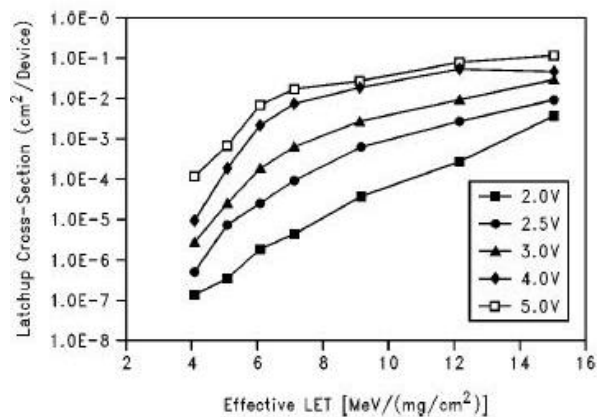
Anche per quanto riguarda il SEL al variare dei parametri in gioco si verifica un cambiamento del comportamento del dispositivo: al diminuire della tensione di alimentazione

infatti, si abbassa il guadagno in corrente degli SCR parassiti, imponendo un aumento della corrente necessaria ad innescare il fenomeno del latchup, in questo senso l'abbassamento della Vdd rappresenta una condizione positiva anche dal punto di vista della suscettibilità al SEL dei dispositivi in quanto sono necessari urti più "violenti" (in termini di quantità di energia depositata) per originare il fenomeno.

Per verificare questa dipendenza sono stati eseguiti vari test, di seguito ne è stato riportato uno particolarmente significativo: vengono valutati due dispositivi, ovvero l'AT22V10B (ATMEL PAL) e il TC5546 (SRAM), sottoposti alla medesima radiazione ma per i quali viene variata la tensione di alimentazione. Le sezioni d'urto sono riportate nella figura 20.



a)



b)

Figura 20: Sezioni d'urto per il SEL, a) AT22V10B, b) TC5546

Il test pone in evidenza come al diminuire della tensione di alimentazione diminuisca anche la sezione d'urto, a testimoniare la conseguente riduzione del numero di SEL.

Una condizione ancora più vantaggiosa è offerta dai dispositivi che utilizzano tecnologia SOI, che rende i dispositivi praticamente immuni al SEL in quanto l'isolamento che viene inserito (come è stato spiegato precedentemente) previene la formazione dei transistor parassiti eliminando così il problema alla radice.

2.4.3 Altri eventi ad effetto singolo

Ci sono molti altri fenomeni causati dalla radiazione sui dispositivi oltre al SEU e al SEL (che sono i principali), molti avvengono come conseguenze dei due appena descritti:

- **Single Event Transient (SET)**: Variazione temporanea della tensione di uscita del circuito, questa problematica in genere interessa la logica combinatoria ma può propagarsi fino alla memoria generando un errore (Latching SET). Generalmente è un fenomeno che assume maggior importanza per dispositivi più scalati che lavorano a frequenze di clock più elevate.
- **Single Event Functional Interruption (SEFI)**: Interessano la circuiteria di controllo e portano il dispositivo in stato di arresto o in stati indefiniti.

3 Test sui dispositivi

3.1 Introduzione ai test

Si procede ora alla spiegazione di ciò che si intenderà per “test di radiazioni” nel corso della presente relazione.

Innanzitutto l’oggetto del test verrà indicato di volta in volta ma si tratterà di un processore, o meglio del sistema nel suo complesso che comprende la scheda madre su cui esso è montato ed eventualmente alcune periferiche esterne quali sonde, memorie, o altro.

Il test vero e proprio si svolge in camere adibite appositamente a questo genere di prove nelle quali sono contenuti degli impianti molto complessi in grado di generare dei fasci di particelle di vario genere; tali camere possono essere a vuoto (alcuni test le necessitano), per i test che non richiedono tale condizione di parla di prove “in aria”. All’interno di queste camere vengono posti i dispositivi da testare (Device Under Test, DUT) che successivamente vengono bombardati di radiazioni.

In genere prima di affrontare la fase di irraggiamento vengono studiati e applicati dei programmi in grado di mettere in funzione il processore sotto determinate condizioni operative, o anche solo per avere la possibilità di raccogliere e memorizzare i dati. Anche in questo caso i programmi utilizzati verranno descritti man mano, a eccezione di alcuni molto comuni introdotti successivamente nel capitolo 4.4.1.

Durante la fase centrale, ovvero quella in cui il processore è sottoposto alle radiazioni, esso non sarà spento, ma avrà in funzione uno dei programmi sviluppati; ovviamente le prove differiscono molto anche a seconda del software che viene utilizzato, non solo in base al tipo di fascio di radiazioni e dall’energia delle particelle che le compongono.

I test che verranno presentati hanno avuto luogo in sedi differenti, a seconda delle esigenze che si presentavano. Nelle prossime sezioni verranno indicate le caratteristiche delle attrezzature utilizzate.

3.2 CYClotron of LOuvain la NEuve (CYCLONE)

Questo laboratorio si trova nell’istituto di fisica nucleare di Louvain-la-Neuve in Belgio. Dispone di apparecchiature in grado di generare una buona varietà di fasci di particelle a differenti energie:

- Protoni fino a 75 MeV
- Particelle α e ioni pesanti tra 0.6 e 27.5 MeV/AMU²
- Neutroni

Per quanto riguarda i fasci di ioni si trovano elencati in tabella 3, hanno caratteristiche di omogeneità di $\pm 10\%$ su un diametro di 25 mm e un range di LET da 0.4 a 56 $MeV \cdot cm^2/mg$.

²AMU, Dall’inglese Atomic Mass Unit, è un’unità di misura utilizzata solitamente per esprimere la massa di singoli atomi (massa atomica), molecole (massa molecolare), ioni, radicali e delle particelle elementari, essa è definita come la dodicesima parte della massa di un atomo di carbonio-12 (¹²C)

Ione	Energia MeV	Range $\mu\text{m Si}$	LET $\text{MeV} \cdot \text{cm}^2/\text{mg}$
$^{10}\text{B}^{2+}$	41	80	1.7
$^{15}\text{N}^{3+}$	62	64	3
$^{20}\text{Ne}^{4+}$	78	45	5.9
$^{40}\text{Ar}^{8+}$	150	42	14.1
$^{84}\text{Kr}^{17+}$	316	43	34
$^{132}\text{Xe}^{26+}$	459	43	55.9
$^{132}\text{Xe}^{26+}$	459	43	55.9
$^{12}\text{C}^{3+}$	79	130	1.7
$^{16}\text{O}^{4+}$	105	104	2.9
$^{40}\text{Ar}^{10+}$	259	68	10.9
α	9.2	63	0.4

Tabella 3: Tipi di ioni e loro caratteristiche

Mentre per i fasci di protoni le caratteristiche sono differenti: energia dai 10 ai 70 MeV, omogeneità di $\pm 10\%$ su un diametro di 10 cm, flusso fino a $5 \cdot 10^8 \text{ protoni}/(\text{cm}^2 \cdot \text{s})$.

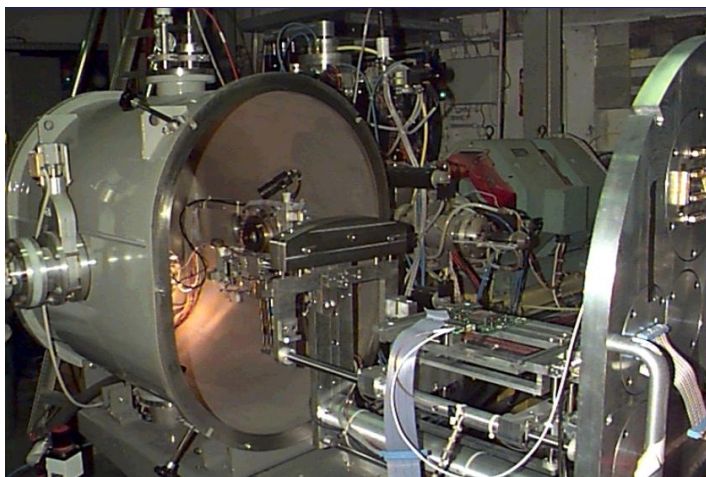


Figura 21: Foto del sistema di test di Louvain la Neuve

3.3 Texas A&M University Cyclotron Institute

Questo centro di ricerca ha sede in Texas all'interno dell'università A&M, chiamata TAMU.

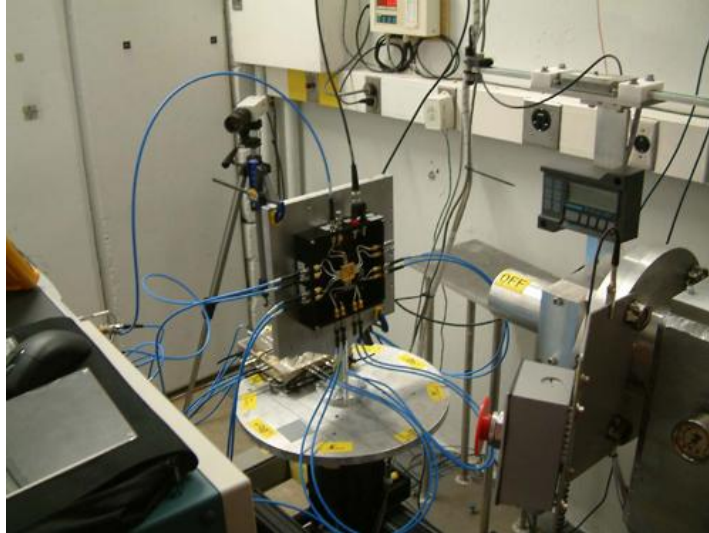


Figura 22: Foto del sistema di test del laboratorio del TAMU

Di seguito, nella tabella 4, sono indicati i fasci di ioni disponibili in questo centro di ricerca.

	Ion	Mass (amu)	A MeV	Total Energy (MeV)	Energy at Bragg Peak (MeV)	Range in Si (μm)	Range at Bragg (μm)	Range to Bragg Peak (μm)	Initial LET (vacuum)	Initial LET (air)	LET at Bragg Peak
15 A MeV	^4He	4.003	15	60	0.4	1423	2	1421	0.11	0.11	1.5
	^{14}N	14.003	15	210	7	428	7	421	1.3	1.3	6.7
	^{20}Ne	19.992	15	300	14	316	8	308	2.5	2.6	9.6
	^{40}Ar	39.962	15	599	29	229	9	220	7.7	8.0	20.1
	^{63}Cu	62.930	15	944	90	172	16	156	17.8	18.7	34.0
	^{84}Kr	83.912	15	1259	152	170	21	149	25.4	26.6	41.4
	^{109}Ag	108.905	15	1634	248	156	26	130	38.5	40.3	54.8
	^{129}Xe	128.905	15	1934	339	156	31	124	47.3	49.3	63.4
	^{141}Pr	140.908	15	2114	441	154	37	117	53.8	56.0	69.6
	^{165}Ho	164.930	15	2474	608	156	44	112	64.3	66.7	79.2
	^{181}Ta	180.948	15	2714	702	155	46	109	72.2	74.8	86.4
^{197}Au	196.967	15	2954	902	155	53	102	80.2	82.8	93.5	
25 A MeV	^4He	4.003	24.8	99	0.4	3449	2	3447	0.07	0.07	1.5
	^{14}N	14.003	24.8	347	7	1009	7	1002	0.9	0.9	6.7
	^{22}Ne	21.991	24.8	545	14	799	8	791	1.7	1.8	9.7
	^{40}Ar	39.962	24.8	991	29	493	9	484	5.4	5.5	20.1
	^{84}Kr	83.912	24.8	2081	152	332	21	311	19.3	19.8	41.4
	^{129}Xe	128.905	24.8	3197	335	286	31	255	37.9	38.9	63.4
40 A MeV	^{14}N	14.003	40	560	7	2334	7	2327	0.6	0.6	6.7
	^{20}Ne	19.992	40	800	14	1655	8	1647	1.2	1.2	9.7
	^{40}Ar	39.962	40	1598	29	1079	9	1070	3.8	3.8	20.1
	^{78}Kr	77.920	40	3117	140	622	20	602	14.2	14.4	41.4
	Proton	1.007	40	40	0.1	8148	1.2	8147	0.012	0.012	0.56

Tabella 4: Fasci ionici disponibili al TAMU

Nelle figure 23, 24 e 25 sono illustrati i grafici riguardanti il range delle particelle nel Silicio in funzione della loro energia.

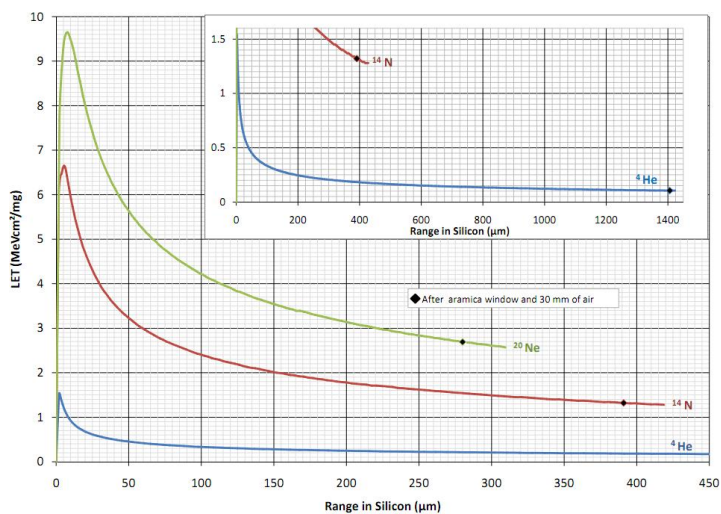


Figura 23: LET vs range nel Silicio per fasci di 15 MeV (bassa LET)

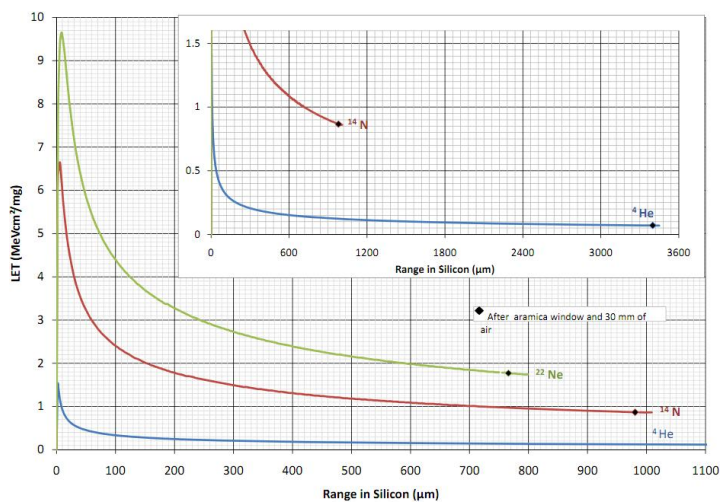


Figura 24: LET vs range nel Silicio per fasci di 25 MeV (bassa LET)

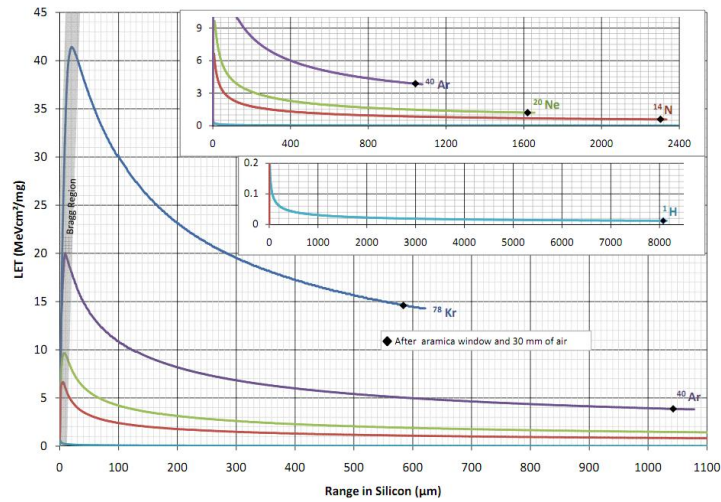


Figura 25: LET vs range nel Silicio per fasci di 40 MeV

3.4 Indiana University Cyclotron

Si tratta di un laboratorio che si trova presso il complesso universitario dell'Indiana e che dispone delle attrezzature in grado di generare fasci di ioni costituiti dalle seguenti caratteristiche:

- Range di energia: da 300 a 200 MeV
- Flusso: da 10^2 a 10^{11} *particelle/(cm² · s)*
- Area: da 2 a 30 cm di diametro
- Uniformità: 40% su tutta l'area
- Durata di esposizione: da 5 secondi a molte ore

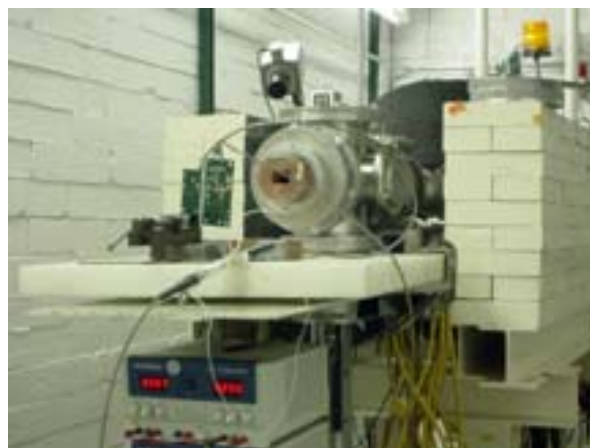


Figura 26: Foto del sistema di test presente nell'università dell'Indiana

3.5 University of California (UC) Davis cyclotron

Comunemente chiamata UC Davis, è un'università pubblica situata in California, circa 25 km a ovest di Sacramento. Le attrezzature presenti nel laboratorio ciclotronico mettono a disposizione i fasci di particelle riassunte in tabella 5:

Particella	Range di energia MeV	Intensità massime μAmps
Protoni (1H)	1.25 - 68	15
Deuteroni (2H)	15 - 40	10
Alpha (4He)	5 - 80	20
Elio (3He)	6 - 130	1

Tabella 5: Particelle disponibili nel laboratorio dell'università della California

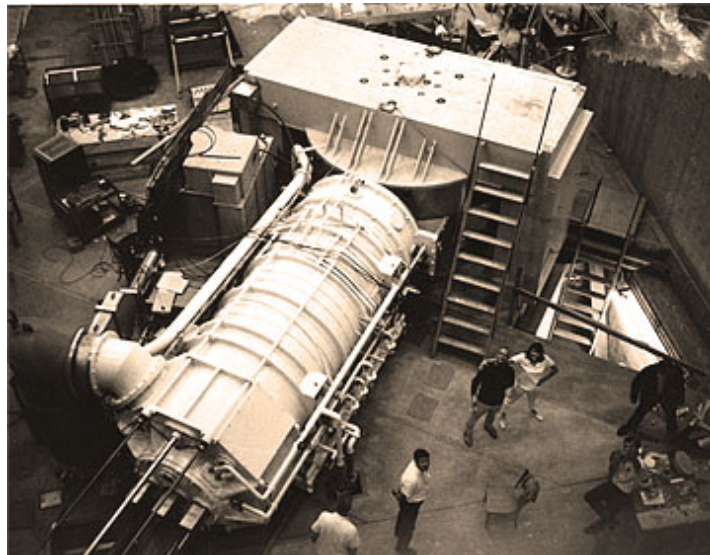


Figura 27: Foto del sistema di test presente nell'UC Davis Cyclotron

3.6 Brookhaven National Laboratory (BNL)

Si tratta di un laboratorio nazionale statunitense che si trova a Upton su Long Island. Opera sotto il controllo del United States Department of Energy tramite la Brookhaven Science Associates, ed è specializzato in ricerca in fisica nucleare. I dati di interesse sono riassunti nella tabella seguente:

Ione	Energia MeV	LET $MeV \cdot cm^2/mg$	Range μm
Ne	800	1.2	1655
Ar	1598	3.8	1079
Kr	3117	14.2	622

Tabella 6: Particelle disponibili nel laboratorio dell'università di Brookhaven



Figura 28: Foto del sistema di test presente nel laboratorio di Brookhaven

3.7 Laboratorio nazionale di Legnaro

Situato a Legnaro (Padova) fa parte del progetto SIRAD: una collaborazione tra università, istituti di ricerca e gruppi industriali.

Gli acceleratori di particelle presenti all'interno dello centro di ricerca presentano la gamma di fasci di radiazioni riassunti in tabella 7

Ion Species	Energy (MeV)	q_1	q_2	Range in Si (μm)	Surface LET in Si ($\text{MeV}\times\text{cm}^2/\text{mg}$)
¹ H	28	1	1	4390	0.02
⁷ Li	56	3	3	378	0.37
¹¹ B	80	4	5	195	1.01
¹² C	94	5	6	171	1.49
¹⁶ O	108	6	7	109	2.85
¹⁹ F	122	7	8	99.3	3.67
²⁸ Si	157	8	11	61.5	8.59
³² S	171	9	12	54.4	10.1
³⁵ Cl	171	9	12	49.1	12.5
⁴⁸ Ti	196	10	14	39.3	19.8
⁵¹ V	196	10	14	37.1	21.4
⁵⁸ Ni	220	11	16	33.7	28.4
⁶³ Cu	220	11	16	33.0	30.5
⁷⁴ Ge	231	11	17	31.8	35.1
⁷⁹ Br	241	11	18	31.3	38.6
¹⁰⁷ Ag	266	12	20	27.6	54.7
¹²⁷ I	276	12	21	27.9	61.8
¹⁹⁷ Au	275	13	26	23.4	81.7

Tabella 7: Fasci di particelle disponibili nel laboratorio di Legnaro



Figura 29: Illustrazione del sistema di test presente nei laboratori di Legnaro

4 I processori sottoposti ai test

4.1 L'architettura di base: RISC

Lo sviluppo del primo sistema RISC, acronimo dall'inglese "Reduced Instruction Set Computer", risale al 1974 e venne formulato come risposta al progetto di un telephone switch in grado di gestire sino a 300 chiamate al secondo e il principale artefice di questa architettura è John Cocke. L'intuizione di Cocke fu quella di definire un set di istruzioni ridotto che contenesse quasi esclusivamente le istruzioni semplici, ovvero quelle maggiormente utilizzate. La prima architettura RISC, battezzata "801", fu realizzata da Cocke al Thomas Watson Research Center e sostenuta da IBM e da altre compagnie. L'idea che sta alla base di questa architettura è quella di delegare ad ogni singola istruzione un compito ben preciso e limitato; non è però necessario che il programmatore se ne serva, è il compilatore che effettua la traduzione in modo appropriato. Uno studio ha dimostrato che una piccola percentuale delle istruzioni (nell'ordine del 20%) viene largamente utilizzata (circa per l'80%), mentre ci sono delle istruzioni quasi mai impiegate e quasi superflue. Nasce quindi l'idea di ridurre il numero delle istruzioni e di suddividerle in più operazioni semplici. Sono queste le considerazioni alla base dell'architettura **RISC** (Reduced Instruction Set Computers), che nasce con i seguenti obiettivi:

1. Fasi di durata costante;
2. Semplificazione delle istruzioni in modo da eliminare la decodifica e l'elaborazione di tipo: una volta che viene caricata l'istruzione si ha già tutto il necessario (nel caso di operandi o devono essere immediati, e quindi nell'istruzione, o precedentemente caricati in uno dei registri da una semplice istruzione di trasferimento).
3. Limitare gli accessi in memoria.

Le istruzioni in genere hanno una struttura come quella illustrata in figura 30, eccezion fatta per le istruzioni di load/store che hanno un formato diverso.

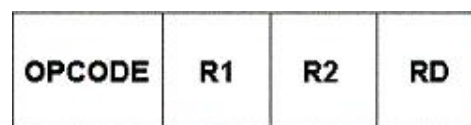


Figura 30: Visione ad alto livello dell'architettura PowerPC

Per soddisfare le condizioni elencate è stato necessario introdurre le seguenti caratteristiche:

- Il codice operativo ha lunghezza costante (ad esempio 32 bit); in questo modo è soddisfatta la condizione 1
- Le istruzioni possono operare solo sui registri e sono presenti due semplici istruzioni (LD e ST) dedicate al trasferimento del contenuto dei registri in memoria e viceversa: vengono soddisfatti così gli obiettivi 2 e 3

- È presente un elevato numero di registri, il che rende possibile la soluzione del punto precedente

Con le soluzioni apportate dai processori RISC, in linea di principio un'istruzione viene completata in due fasi: viene infatti eliminata la fase di decodifica e quella di lettura non è più necessaria perchè gli operandi o sono immediati o risiedono in qualche registro del processore, inoltre non si ha neppure la fase di scrittura in quanto il destinatario è un registro.

Un'altra idea che sta alla base di questo tipo di architettura è la volontà di mantenere occupata la CPU per il maggior tempo possibile, in modo da non sprecare cicli. In perfetta sintonia con tutti i propositi appena spiegati si inseriscono i concetti di **Parallelismo** (macchina e di istruzioni), di **Superscalarità** e **Pipelining**.

In quella che viene definita "Pipeline" l'istruzione viene divisa in sotto-operazioni che vengono svolte in modo sequenziale dalle unità funzionali disposte come in una catena di montaggio. Un normale processore preleva un'istruzione, la decodifica, carica gli operandi, esegue l'operazione vera e propria e salva il risultato. Queste fasi vengono svolte in modo sequenziale da un processore classico, mentre per uno dotato di pipeline queste operazioni vengono eseguite in parallelo permettendo così un notevole incremento delle prestazioni.

Nelle figure 31 e 32 viene illustrato il concetto di esecuzione sequenziale delle operazioni e di pipeline (o di esecuzione in parallelo delle istruzioni). Di seguito sono elencate e spiegate brevemente le fasi per l'elaborazione di un'istruzione:

- IF (Instruction Fetch): lettura dell'istruzione da memoria e incremento del Program Counter
- ID (Instruction Decode): decodifica istruzione e prelievo operandi dai registri
- EX (EXecution): esecuzione dell'istruzione
- MEM (MEMory): accesso alla memoria e, per le istruzioni di load/store, lettura e scrittura
- WB (Write Buffer): scrittura del risultato nel registro opportuno (register file)



Figura 31: Esecuzione sequenziale delle istruzioni

Se le fasi sono eseguite da sezioni indipendenti di hardware possono essere tutte contemporaneamente attive (su istruzioni diverse) e, dopo il transitorio, si ha l'istruzione completata in ogni stadio.

Il vantaggio risiede ovviamente nei tempi di esecuzione, molto più bassi con lo sfruttamento della pipeline.

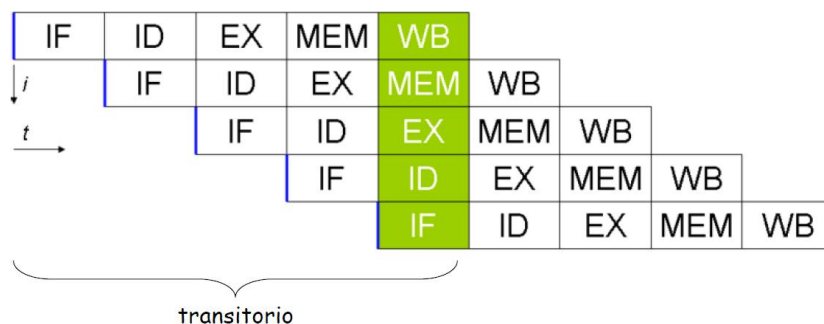


Figura 32: Pipeline, esecuzione in parallelo delle istruzioni

Infine con il termine “Superscalarità” si indicano quei processori in grado di sfruttare più pipeline contemporaneamente, in modo da poter avviare l’esecuzione di più istruzioni in parallelo (quando le circostanze lo consentono). Un processore superscalare con N pipeline è potenzialmente N volte più veloce del suo equivalente con pipeline singola, anche se questa potenzialità è sfruttata appieno solo se il codice che viene eseguito è caratterizzato da un alto grado di parallelismo a livello di istruzioni altrimenti le prestazioni differiscono di poco rispetto a quelle di un processore tradizionale.

4.2 L’architettura PowerPC

Il termine **PowerPC** (Performance Optimization With Enhanced RISC Performance Computing) definisce un’architettura RISC a 64-bit che può operare in due modalità: 64-bit o 32-bit, supportando uno switch dinamico tra le due. La storia del PowerPC inizia nel 1991, creato dall’alleanza Apple-IBM-Motorola (conosciuta come AIM) era il settore CPU della piattaforma dell’AIM, la cui prima implementazione fu ad opera di John Cocke con un prototipo: l’IBM 801.

4.2.1 Set delle istruzioni

La caratteristica principale delle istruzioni dei PowerPC, come per molti processori RISC, è il numero limitato di istruzioni (tipi di istruzioni) e deve le sue elevate performance ad i seguenti fattori:

- Utilizzo di molte istruzioni semplici con le quali costruire funzioni complesse

Utilizzando molte istruzioni è possibile per gli sviluppatori creare un processore nel quale ogni istruzione può essere decodificata rapidamente in quanto ogni operazione richiede tempi di esecuzioni paragonabili ad un ciclo di clock. La semplicità delle istruzioni ne rende possibile l’esecuzione completa tramite l’utilizzo di una singola unità funzionale, favorendo così il parallellismo.

- Istruzioni composte da tre operandi aritmetici (due fonti e una destinazione)

In questo modo le istruzioni si compenetrano meglio con il linguaggio intermedio utilizzato nei moderni compilatori e viene ridotto il numero di copie registro-registro necessarie per un’operazione.

- Architettura di tipo load/store

Questo tipo di architettura mantiene i dati nei registri dove possono essere gestiti molto rapidamente, tutti i dati devono essere caricati ed elaborati nei registri e poi salvati nella memoria, questo modo operandi definisce l'architettura load/store poiché tutte le operazioni comprendono il caricamento di dati nei registri dalla memoria, l'esecuzione di operazioni tra registri, richiamandone poi il contenuto per salvarlo in memoria (se necessario). In questo senso il PowerPC non contiene istruzioni dirette memoria-memoria o operazioni aritmetiche che utilizzano locazioni di memoria e registri, ma vengono appunto trasferite da e alla memoria attraverso i registri General Purpose o Floating Point (di cui se ne vedrà una descrizione più dettagliata in seguito).

- Unione di ogni istruzione in una parola unica

Questo permette di eseguire con elevata frequenza il fetch degli operandi e ciò semplifica la decodifica delle istruzioni poiché il decoder possiede in loco tutte le informazioni di cui necessita.

4.2.2 Set dei registri

I registri dell'architettura PowerPC sono suddivisi in tre classi: registri General-Purpose (GPRs), i Floating-point (FPRS e Floating-Point Status and Control [FPSCR]) e registri Special-Purpose (SPRs).

- **Registri per uso generico (General Purpose Registers, GPRs)**

Tutte le implementazioni di questa architettura hanno 32 registri di questo tipo (GPR0-GPR31), essi costituiscono la fonte e la destinazione per tutte le operazioni intere e sono la sorgente per gli indirizzi degli operandi per tutte le operazioni di Load e Store. Essi inoltre provvedono all'accesso ai SPRs. Tutti i registri general-purpose sono disponibili per l'utilizzo ma vi è un'unica eccezione: in alcune istruzioni GPR0 indica semplicemente il valore 0 e non viene effettuato nessun controllo del contenuto di tale registro.

- **Registri a floating point (Floating-Point Registers, FPRs)**

Anche i registri floating-point sono 32 (FPR0-FPR31), come per i general-purpose rappresentano le locazioni per tutte le operazioni a virgola mobile e possono contenere valori interi con o senza segno da 32 e 64 bit, così come per i valori a virgola mobile a singola o doppia precisione. Inoltre forniscono l'accesso all'FPSCR. Il Floating-Point Status and Control Register cattura lo status e le eccezioni risultanti dalle operazioni a virgola mobile e fornisce bit di controllo per attivare alcuni tipi particolari di eccezioni.

- **Registri speciali (Special-Purpose Registers, SPRs)**

Il loro utilizzo garantisce la visione dello stato e il controllo delle risorse all'interno del core del processore. Alcuni di questi registri possono essere letti e scritti dalle applicazioni senza dover necessitare del supporto dato una system service, tra di esse ci sono:

- Instruction Address Register (IAR): noto ai programmatori come il program counter o instruction pointer; esso contiene l'indirizzo dell'istruzione corrente ma in realtà si tratta di uno pseudo-registro e non è accessibile all'utente se non attraverso un'istruzione di "branch and link".
- Link Register (LR): contiene l'indirizzo cui ritornare al termine di una chiamata ad una funzione. La codifica di ogni istruzione di Branch ha un bit LK, se tale bit corrisponde a "1", l'istruzione di Branch sposta il program counter all'indirizzo contenuto nel LR.
- Count Register (CTR): Questo registro contiene un contatore di loop che viene decrementato da certe operazioni di Branch.
- Condition Register (CR): è suddiviso in 8 campi da 4 bit ciascuno CR0-CR7, questo registro salva il risultato di certe operazioni aritmetiche fornendo un meccanismo di "branching" e "testing".
- fiXed-point Exception Register (XER): Indica condizioni di "overflow" e "carry on" per le operazioni intere e il numero di byte che devo essere trasferiti da alcune istruzioni di Load e Store.

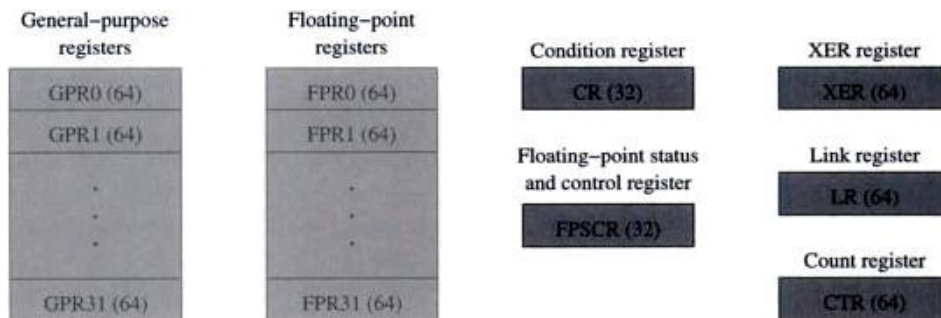


Figura 33: Registri del PowerPC

4.2.3 Moduli

Come già visto uno dei temi che caratterizzano l'architettura RISC è il parallelismo, nel caso del PowerPC (come tutti i processori RISC) la CPU è una "collezione" di unità di esecuzione in grado di operare in parallelo, in modo che le istruzioni possano essere allocate in queste unità e gestite parallelamente.

La figura 34 illustra un versione semplificata dei percorsi di comunicazione attraverso le unità di esecuzione e della memoria.

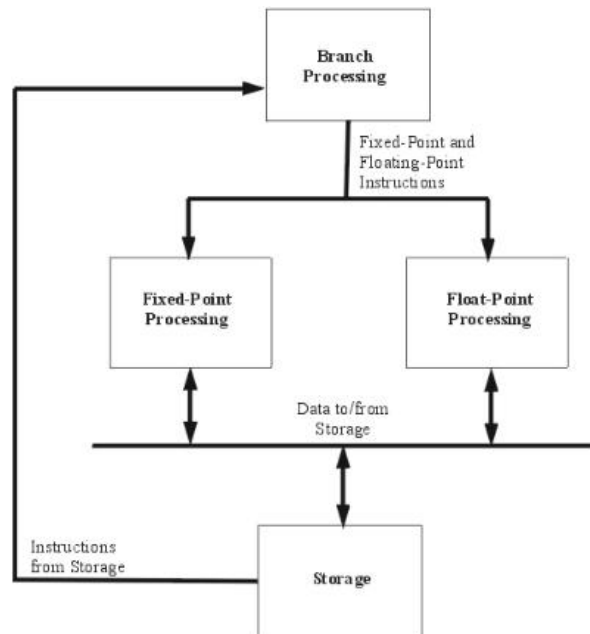


Figura 34: Struttura delle unità di elaborazione

- **Unità di Branch (Branch Processing Unit)**

La BPU conta di tre registri speciali da 32-bit, il Condition Register (CR), il Link Register (LI) e il Count Register (CR). La BPU è responsabile del fetch delle istruzioni ed esegue le istruzioni logiche e di branch e le system call. Inoltre invia le istruzioni alle unità a virgola fissa e mobile.

- **Unità a virgola Fissa (Fixed-point Processing Unit)**

La FPU utilizza i 32 registri general purpose e il fiXed-point Exception Register (XER), ha il compito di eseguire le istruzioni a virgola fissa ed elaborare gli indirizzi di Load e Store per l'unità a virgola mobile (Floating Point Unit).

- **Unità a Floating-point (Floating-point Processing Unit)**

L'FPU utilizza i 32 registri floating-point e il Floating-point Status and Control Register (FPSCR); essa esegue le istruzioni a virgola mobile ed è responsabile della gestione dei Load e Store a virgola mobile. Gli indirizzi per queste operazioni sono generati dall'unità a virgola fissa.

4.3 L'architettura SPARC

SPARC (Scalable Processor ARChitecture) è il nome di un'architettura per microprocessore big-endian RISC. L'architettura, originariamente disegnata nel 1985 da Sun Microsystems, è anche diventata un trademark registrato da SPARC International Inc., un'organizzazione nata nel 1989 per promuovere SPARC e per provvedere a rilasciare attestati e test di conformità per processori che si vogliono fregiare di tale titolo.

Nella storia SPARC International ha voluto che SPARC fosse un'architettura "aperta" in modo da creare un grande ecosistema per la progettazione e fu licenziato a vari produttori tra cui Texas Instruments, Cypress Semiconductor e Fujitsu. Attualmente SPARC è ancora un'architettura aperta ed esiste un'implementazione open source completa che prende il nome di **LEON**, scritta in VHDL. L'ASIC di LEON, sviluppato da Gaisler Research, è a 32-bit e supporta il set di istruzioni presente nell'architettura SparcV8; l'architettura più recente e tutt'ora in uso è la nona (V9).

Le tre maggiori distribuzioni dell'architettura SPARC sono:

- SPARC-V7, 32bit, 1986
- SPARC-V8, 32bit, 1990
- SPARC-V9, 64bit, 1993

4.3.1 Set delle istruzioni

Come per i PowerPC l'architettura su cui basa il sistema SPARC è di tipo RISC (situazione che ha reso semplice lo sviluppo dell'architettura e ancora più semplice la sua ottimizzazione) e come tale ha molte istruzioni suddivise in pochi tipi di istruzioni macchina, composte da 32 bit e suddivise in tre formati (visibili anche in figura 35):

- istruzioni algebriche, formato 3
- istruzioni di branch, formato 2
- istruzioni di jump, formato 1
- le istruzioni di load e store appartengono al formato 3

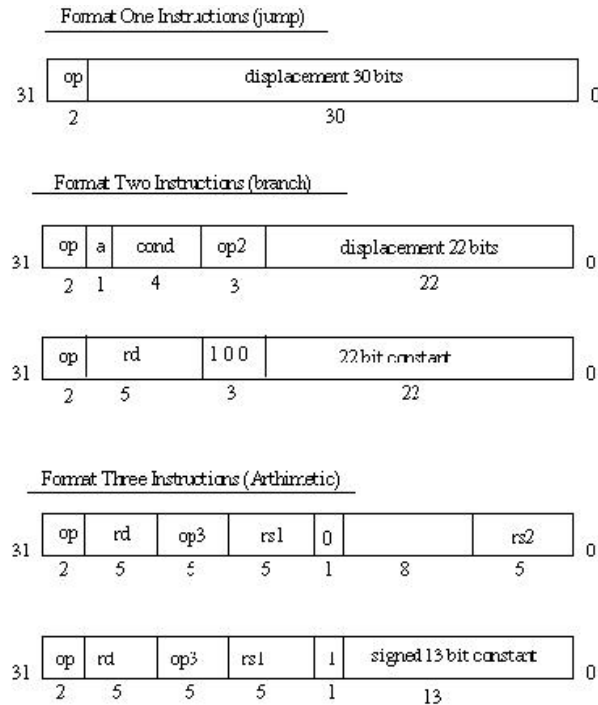


Figura 35: Tipi di istruzioni

4.3.2 Set dei registri

I processori RISC sono concepiti tipicamente per avere un numero relativamente basso di istruzioni che possono essere decodificate e eseguite in tempi brevi. Per fare sì che ciò accada il numero di accessi alla memoria deve essere mantenuto il più basso possibile e, per limitarne il numero, le macchine RISC tipicamente hanno un elevato numero di registri che vengono classificati in base alla loro funzione poichè sono creati per uno scopo preciso e strutturati in modo tale che se un registro in un dato momento non è utilizzato allo scopo per il quale è stato concepito, è disponibile per essere utilizzato da un'altra istruzione.

Un processore SPARC normalmente contiene almeno 128 registri di uso generico:

- Temporanei: sono i più generali, servono a salvare i valori caricati dalla memoria o calcolati dalla ALU prima che vengano salvati in memoria.
- Speciali: utilizzati per gli accessi alla memoria e le chiamate delle subroutines, sono in quantità limitata e tra questi c'è lo **stack pointer register** (%sp), il **frame point register** (%fp) e un registro dedicato alla costante 0 (%g0).
- Globali: il loro valore non cambia attraverso le chiamate alle subroutines e in tutto sono 7 (%g1-%g7).
- 6 registri per gli argomenti delle funzioni, %i0-%i5, 6 per il ritorno dei valori delle funzioni (%o0-%o5) e un registro per il return delle funzioni (%i7).

Register Group	Mnemonic	Register Address
global	%g0-%g7	r[0]-r[7]
out	%o0-%o7	r[8]-r[15]
local	%l0-%l7	r[16]-r[23]
in	%i0-%i7	r[24]-r[31]

Tabella 8: Tipi di registri e loro denominazione logica

Di tutti i registri solo i 32 general purpose e gli interi sono visibili dal programma in ogni istante. Di questi, 8 registri sono **globali** e 24 costituiscono una “register window”: tale concetto è uno dei fondamenti dell’architettura SPARC. Una register window consiste di tre gruppi di 8 registri ciascuno, gli **out** (output), gli **in** (input) e i **local**, elencati complessivamente nella tabella successiva. Un’implementazione SPARC può avere da 2 a 32 finestre, con la possibilità di variare il numero di registri da 40 a 520. Molte implementazioni hanno 7-8 finestre. Ad ogni dato momento solo una finestra è visibile, determinata dal “Current Window Pointer” (CWP) che fa parte dello status register del processore (Processor Status Register, PSR). Esso è un valore di 5 bit che può essere incrementato o decrementato da istruzioni di Save e Restore, che vengono eseguite generalmente su chiamate o ritorni a procedure. Quando c’è una chiamata ad una procedura, la finestra si sposta di 16 registri, nascondendo i vecchi registri locali e di input, facendo così in modo che i registri di output siano i nuovi registri di input.

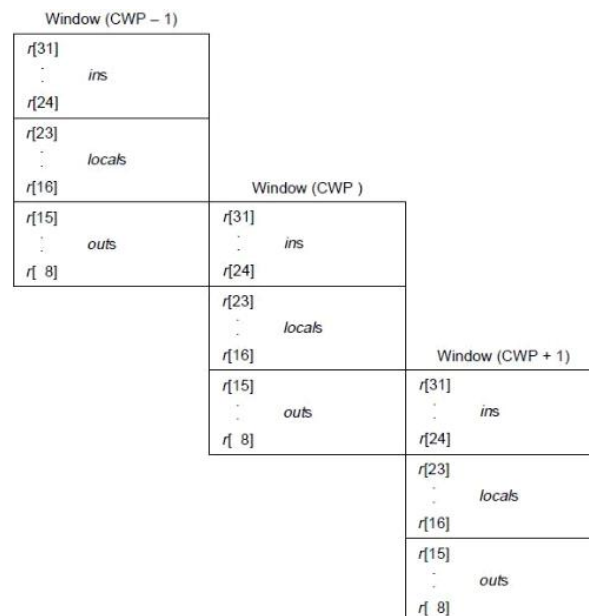


Figura 36: Struttura delle “registers windows”

Come si nota anche dalla figura 36 ogni finestra è costituita da 24 registri, 16 dei quali sono condivisi con quelle adiacenti.

4.3.3 Moduli

L'architettura SPARC prevede la presenza di due unità distinte: l'unità intera e l'unità a virgola mobile, più una opzionale: l'unità Coprocessore (fig:37). Questa organizzazione garantisce ad ogni implementazione la massima concorrenza nell'esecuzione delle istruzioni nelle tre unità.

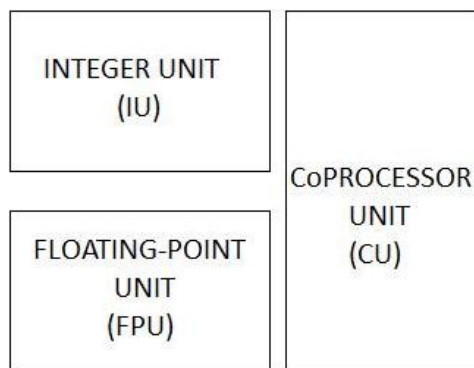


Figura 37: Schematizzazione delle unità del processore SPARC

- Unità Intera (Integer Unit, IU)

Contiene i registri general purpose (un'implementazione di questa architettura può avere da 40 a 520 registri general purpose da 32 bit) e controlla le operazioni del processore, inoltre si occupa di eseguire le istruzioni aritmetiche e calcola l'indirizzamento alla memoria per le operazioni di Load e Store. Infine mantiene i program counters e controlla l'esecuzione delle istruzioni per l'unità a virgola mobile.

- Unità a Virgola Mobile (Floating Point Unit, FPU)

Conta di 32 registri a virgola mobile da 32 bit (singola precisione), 32 registri a virgola mobile da 64-bit (doppia precisione) e 16 registri a virgola mobile da 128 bit (quadrupla precisione).

Le istruzioni di Load e Store in virgola mobile vengono utilizzate per spostare i dati tra la FPU e la memoria (l'indirizzo della memoria viene calcolato nella IU) mentre le istruzioni Floating-Point operate (FOop) vengono utilizzate per eseguire l'aritmetica a virgola mobile.

- Unità CoProcessore (CoProcessor Unit, CU)

L'istruzione set include il supporto per un singolo coprocessore, la cui presenza dipende dall'implementazione dell'architettura SPARC, così come la configurazione di registri propri del coprocessore. Le istruzioni di Load e Store vengono utilizzate per spostare

dati tra i registri del coprocessore e la memoria, per ogni Load/Store a virgola mobile nell'istruzione set c'è un analogo istruzione di Load/Store nel coprocessore. Un caso particolare di implementazione è rappresentata dallo SPARC V9, la quale non possiede il coprocessore.

4.4 Programmi per i test

In questa sezione ci si occupa di fornire dei dettagli introduttivi riguardanti alcuni dei programmi che verranno utilizzati successivamente in fase di test dei processori. È importante specificare che i test vengono condotti irradiando il processore mentre ha in esecuzione delle operazioni specifiche dettate dall'applicazione che è stata lanciata, in modo da poter eseguire delle vere e proprie analisi del dispositivo e verificare se e dove si sono verificati degli errori, riconoscerli, segnalarli e correggerli; ovviamente senza arrestare il corso del processore ma ripristinando le operazioni dal punto in cui era stato rilevato il difetto (SEU generalmente). Inoltre tali programmi sono studiati per far lavorare il processore in alcune modalità e sotto determinate condizioni quali lo sfruttamento di porzioni della memoria (per esempio, la cache) o altre parti del dispositivo. La qualità di un programma risiede nella capacità di eseguire i test nel modo più trasparente possibile, ovvero impegnando e rallentando il processore il meno possibile, in questo le applicazioni differiscono tra loro.

4.4.1 Software esterni

I programmi discussi in questa sezione sono definiti “esterni” in quanto vengono mandati in esecuzione al processore sotto test come un qualunque altro programma. Vengono qui descritti i due principali, uno per i test sui registri e uno per la cache:

Misurazioni della cache:

- La memoria cache viene inizializzata sotto delle condizioni ben precise e poi viene disabilitata.
- Successivamente viene posto nella porzione di memoria esterna coperta dalla cache un pattern³ conosciuto e studiato per essere chiaramente differente dal contenuto della cache.
- Viene mandato in esecuzione un loop infinito, durante il quale il processore memorizza continuamente uno snapshot⁴ della cache in una zona di memoria fisica, differente dalla cache stessa.

In questo modo, dopo l'irraggiamento, un programma esterno può confrontare la memoria con il pattern caricato inizialmente e contare gli eventuali cambiamenti di stato che si sono verificati.

³Schema fisso, ben preciso e dalle regole costanti

⁴Istantanea dello stato di un determinato elemento, in termini informatici una sorta di backup del contenuto.

Misurazioni dei registri: Per quanto riguarda questo aspetto c'è una maggior molteplicità di programmi utilizzati per i test, anche se spesso sono simili tra loro; il funzionamento si basa principalmente su tre fasi, nella prima delle quali vengono inseriti dei valori ben definiti nei registri; successivamente viene mandato in esecuzione al processore, durante la fase di esposizione alle radiazioni, un ciclo infinito generalmente composto da un'istruzione semplice (di una sola parola) che viene interrotto brevemente ogni mezzo secondo per creare uno snapshot dei registri nella memoria fisica. Infine, una volta terminata la fase di irraggiamento è possibile confrontare il contenuto dei registri con i valori noti caricati inizialmente, valutando la presenza di eventuali errori.

4.4.2 Software embedded

Di seguito vengono descritti due algoritmi embedded⁵.

- **EDAC**

Error Detection And Correction ovvero rilevazione e correzione di errori. Questa terminologia viene utilizzata per indicare i codici embedded studiati per identificare e correggere eventuali errori sui dati (corruzioni dei bit che li compongono). La rilevazione d'errore consiste nella capacità di scoprire la presenza di errori causati dal rumore o da altri fenomeni deterioranti durante una trasmissione di dati (ad esempio tramite il bit di parità, vedi di seguito), mentre la correzione d'errore consiste nell'ulteriore abilità di ricostruire i dati originali, eliminando gli errori occorsi durante la trasmissione.

Vi sono due differenti schemi di base per la progettazione della codifica di canale e del protocollo per un sistema che corregge gli errori: l'Automatic Repeat-Request (ARQ) nel quale il mittente invia i dati ed anche un codice a rilevazione d'errore, che sarà utilizzato in ricezione per individuare gli eventuali errori ed in tal caso chiedere la ritrasmissione dei dati corrotti. In molti casi la richiesta è implicita; il destinatario invia un acknowledgement (ACK) di corretta ricezione dei dati ed il mittente re-invia solo quei dati per i quali non ha ricevuto, entro un prefissato tempo limite (timeout), il corrispondente ACK. L'altro schema è il Forward Error correction (FEC): il mittente codifica i dati con un codice a correzione d'errore (error correction code, ECC) ed invia il messaggio codificato. Il destinatario non invia mai alcun messaggio verso il mittente; esso decodifica ciò che riceve nella maniera più simile possibile a quella di una certa insieme prefissato di parole accettabili. Tali codici sono realizzati in modo tale che dovrebbe occorrere una quantità "irragionevole" di errori nei dati affinché il destinatario decodifichi erroneamente, ottenendo finalmente dei dati diversi da quelli effettivamente inviatigli.

Entrambi gli schemi implicano l'introduzione di ridondanza (overhead) nel flusso di dati tra mittente e destinatario diminuendo così la portata utile (throughput) informativa, ovvero diminuendo l'efficienza di trasmissione e aumentando così la banda necessaria. Essi possono essere anche combinati tra loro, in modo tale che gli errori più lievi siano

⁵letteralmente "imbevuti", si intendono quegli algoritmi che sono implementati nella circuiteria del dispositivo

corretti senza necessità di ritrasmissione e quelli più pesanti siano invece solamente individuati per poi richiedere la ritrasmissione.

Uno degli EDAC più utilizzati è il Reed-Solomon: è un tipo di codice lineare (ciclico) non binario utilizzato per correggere errori di flusso in diverse importanti applicazioni di comunicazione digitale e memorizzazione di dati. Si basa sul sovracampionamento di un polinomio, $p(x)$ di grado massimo $k-1$, costruito partendo dai dati da trasmettere. Il polinomio è quindi calcolato in più punti di quanti sarebbero sufficienti a identificarlo univocamente; il valore di questi punti viene trasmesso o registrato. Alla ricezione o alla lettura è possibile ricostruire il polinomio originario e conseguentemente i dati, anche in presenza di errori.

In pratica invece di inviare semplicemente i valori del polinomio, i simboli di encoding vengono riconosciuti come i coefficienti di un altro polinomio di uscita $s(x)$ costruito moltiplicando $p(x)$ per un generatore polinomiale, $g(x)$ di grado $t = N-k-1$ le cui radici sono a, a^2, \dots, a^t :

$$g(x) = (x - \alpha)(x - \alpha^2) \cdots (x - \alpha^t) = g_0 + g_1x + \dots + g_{t-1}x^{t-1} + x^t$$

Il trasmettitore invia gli $N-1$ coefficienti di $s(x) = p(x)g(x)$ e il ricevitore può usare la divisione polinomiale di $g(x)$ del polinomio ricevuto per determinare se il messaggio è errato; un “promemoria” (valore non nullo) significa la presenza di un errore. Sia $r(x)$ il polinomio promemoria, il ricevitore può quindi valutare $r(x)$ come le radici di $g(x)$, e creare un sistema di equazioni che elimina $s(x)$ e identifica quali coefficienti di $r(x)$ sono stati corrotti e l’entità di tale fenomeno. Se il sistema di equazioni può essere risolto, allora il ricevitore sa come modificare $r(x)$ per avere il polinomio che verosimilmente è $s(x)$.

• Parità

Rappresenta uno dei codici di rilevazione di errori più semplici ed esso viene utilizzato nei calcolatori per prevenire errori nella trasmissione o nella memorizzazione dei dati. Tale sistema prevede l’aggiunta di un bit ridondante ai dati, calcolato in modo tale che il numero di bit che valgono 1 sia sempre pari o dispari. Ci sono due varianti del bit di parità: bit di parità pari e bit di parità dispari. Un bit di parità pari è posto uguale a 1 se il numero di “1” in un certo insieme di bit è dispari (facendo diventare il numero totale di “1”, incluso il bit di parità, pari). Un bit di parità dispari è posto uguale a 1 se il numero di “1” in un certo insieme di bit è pari (facendo diventare il numero totale di uno, incluso il bit di parità, dispari). Il bit di parità è un caso particolare di ricerca ciclica ridondante (cyclic redundancy check, CRC), quando il 1-bit CRC è generato dal polinomio $x+1$.

Se un numero dispari di bit (incluso il bit di parità) è cambiato durante la trasmissione di un insieme di bit allora il bit di parità non sarà corretto e indicherà che è avvenuto un errore durante la trasmissione. Quindi, il bit di parità è un codice di controllo, ma non è un codice di correzione d’errore poiché non c’è modo di determinare quale particolare bit è sbagliato. Usando un canale molto disturbato può essere necessario un lungo tempo per effettuare una trasmissione corretta, o può non accadere mai. D’altronde, il metodo del bit di parità ha il vantaggio di essere un codice che usa un solo bit di spazio e che

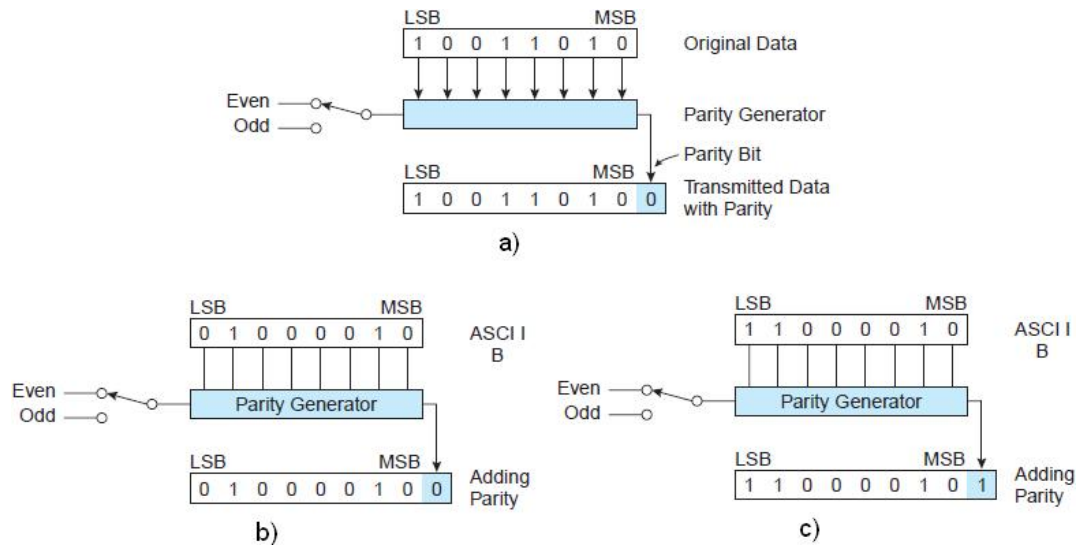


Figura 38: Modalità di associazione dei bit di parità: a) aggiunta del bit di parità, b) parità pari, c) corruzione di un bit e errata associazione

richiede solo un certo numero di porte XOR per esser generato.

Assunto come esempio il caso di trasmissione del carattere ASCII "B", rappresentato in figura 38, come si nota dalla 38-b, lo stato del bit di parità pari è "basso" e quindi il flusso di dati completo del carattere, iniziando dal bit meno significativo, sarà 010000100; da notare che ora ci sono nove bit, otto per il carattere B e uno per il bit di parità. Supponendo ora che il carattere venga corrotto durante la trasmissione e che, per ipotesi, si riceva 110000100, quando il ricevitore calcola un bit di parità per i dati del carattere, esso risulta in uno stato "alto", come si nota in figura 38-c. Questo viene confrontato con quello trasmesso, che è "basso", poichè i due bit non coincidono il ricevitore determina che si è verificato un errore. Da notare che non è però possibile determinare quale dei bit è stato corrotto, ma solo che uno di essi lo è.

5 Test sui Motorola PowerPC 74xx

In questa sezione verranno descritti i processori di interesse attraverso alcuni dati tecnici, in seguito verranno affrontate le modalità e i risultati dei test eseguiti sui processori della famiglia 74xx, nel dettaglio dei test verranno presentati confronti tra i vari modelli al fine di valutare il comportamento dei processori al variare dei parametri in gioco.

Questi dispositivi sono tutti basati sulla tecnologia SOI e la loro evoluzione nel tempo si nota osservando i dati inerenti ai vari modelli riassunti in tabella 9, nella quale è evidente l'effetto dello scaling tecnologico sui parametri, in accordo con quanto detto nel capitolo introduttivo.

Modello	Tecnologia	Tensione del core	Frequenza di lavoro massima
SOI	nm	V	MHz
7455	180	1.6	1000
7455 [†]	180	1.6	800
7457	130	1.3	1200
7457 [†]	130	1.1	1000
7448	90	1.3	1600
7448 [†]	90	1.0	1000

Tabella 9: Sommario e caratteristiche dei Powerpc 74xx. [†]: versioni speciali a bassa tensione di alimentazione dell'omonimo modello

5.1 Motorola 7448

Il processore in questione appartiene alla categoria dei dispositivi COTS (Commercial Off The Shelf) e di seguito sono riportate le sue caratteristiche principali:

- Consumo in Full Power Mode
 - Massimo: 28.4 W @ 1.6GHz ($T_j = 105^\circ C$)
 - Tipico: 20.0 W @ 1.6GHz ($T_j = 65^\circ C$)
- 3000 Dhrystone 2.1 MIPS @ 1.3GHz
- Architettura superscalare
- OnChip Caches (L1 da 32kB Instruction e 32 kB data e L2 1Mb e 512kB nel 7447A)
- Unità vettoriali intere e a floating-point a doppia precisione
- Ridotta sezione di canale 90 nm (130nm per PC7447A)
- Spessore del Film di 55nm senza body tie
- Tecnologia SOI parzialmente svuotata

- Controllo di parità sul bus e sulle caches
- Codice di correzione degli errori (ECC) in L2
- Bus interface 64-bit

Package del microprocessore:

Sebbene il packaging del processore è generalmente considerato di secondaria importanza per i test tramite radiazioni, il tipo di package utilizzato per il processore sotto test ha un grande impatto sui test stessi dovuto alla difficoltà di trasporto degli ioni pesanti attraverso il package stesso.

I processori moderni utilizzano tipicamente il package “inverso” con ball-grid array⁶. In figura 39 viene mostrato il diagramma di un package inverso.

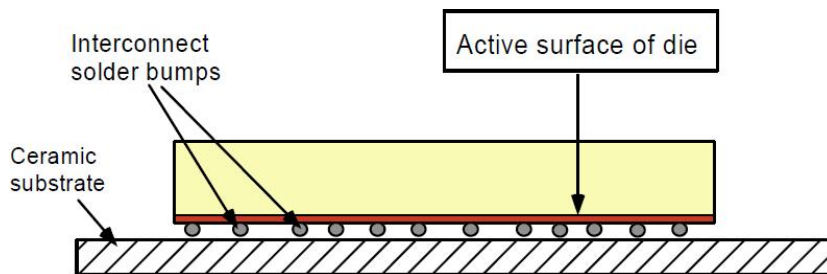


Figura 39: Diagramma della struttura a packaging inverso

I contatti sulla superficie attiva del die sono costituiti da un substrato ceramico al quale sono attaccati i piedi o i contatti diretti ad una scheda madre (non presenti nella figura). A causa di questa struttura inversa e del grande numero di pin non è facile rimuovere il die da questa configurazione per riposizionarlo in modo da avere la superficie attiva sovrastante la struttura.

Di conseguenza per i test condotti tramite ioni pesanti è necessario mantenere la configurazione inversa, irradiando il dispositivo dalla parte posteriore del package; gli ioni devono avere un range tale da poter passare attraverso la superficie del die, o al limite è necessario ridurre lo spessore. Tipicamente lo spessore del die varia da 750 a 900 μm e un numero relativamente basso di ioni possiede un range tale, limitando severamente i test.

Al fine di ridurre lo spessore del die sono stati studiati vari meccanismi, proprio per permettere alle particelle con minor range di poter essere utilizzate per i test; uno dei metodi più utilizzati richiede l'utilizzo di un tool abrasivo (diamante) che lavora ad altissime velocità rimuovendo strati di die. Questo tipo di procedura non è però esente da inconvenienti: in primo luogo quelli legati all'inevitabile aumento della temperatura.

⁶Il Bal Grid Array o BGA, discende dal Pin Grid Array (PGA) dove però i piedi dell'interfaccia sono sostituiti con sfere di saldatura sotto al package



Figura 40: Esempio di processore con package inverso, per il quale la parte posteriore del die è stata meccanicamente assottigliata, eliminando circa il 25% del suo spessore originale

5.2 Modalità di esecuzione dei test

Prima di analizzare i dati ricavati è necessaria una visione chiara delle condizioni in cui ci si è posti per l'esecuzione dei test, degli accorgimenti effettuati sia a livello hardware che a livello software, molto importanti per valutare l'efficacia dei test stessi.

5.2.1 Configurazione Hardware

Il PowerPC è montato su scheda madre commerciale Motorola (High Performance Computing Platform II) con un semplice monitor/debugger chiamato DINK. È una scheda di sviluppo che permette di eliminare lo sforzo richiesto per progettare una di test ad hoc. In questo modo si dispone anche di un PROM-based system monitor invece di un sistema operativo complesso e permette una miglior diagnostica e un controllo delle informazioni durante il test.

Inoltre si dispone di una scheda secondaria per il processore che non è coperto da altri dispositivi per lasciare libero accesso al fascio. Questo permette anche di schermare gli altri dispositivi in modo che il risultato del test dipenda esclusivamente dal processore. I canali di comunicazione esterni sono semplici connessioni seriali tra un terminale "dumb" e una porta JTAG.

- L'irradiazione avviene dal retro del package con correzione della LET per l'energia persa durante l'attraversamento del die.
- È prevista una eventuale riduzione dello spessore del die se si vogliono utilizzare particelle con basso range.
- Si provvede ad una modifica delle alette di raffreddamento originali per permettere al fascio di raggiungere il chip e, al fine di prevenire il surriscaldamento, è utile utilizzare una termocoppia per il controllo della temperatura di giunzione.
- È prevista anche la possibilità di inserire degli schermi per ottenere la degradazione del fascio e quindi diversi valori di LET.

5.2.2 Fasci di ioni utilizzati

Tutti i test riportati sono stati eseguiti al Texas A&M University Cyclotron, che offre una grande varietà di fasci ionici disponibili per i test di irraggiamento, con la possibilità di eseguirli sia con protoni che con neutroni e a diverse energie per nucleone ($15 \text{ MeV}/u$, $25.8 \text{ MeV}/u$ e $40 \text{ MeV}/u$ dati relativi al Texas A&M University Cyclotron). Gli ioni che vengono prodotti hanno range sufficienti per poter essere utilizzati nei test dei SEU attraverso materiali spessi, in particolare, i fasci da $40 \text{ MeV}/amu$ hanno un range tale da rendere possibile l'irraggiamento tanto in aria quanto nel vuoto.

Essendo il processore di tipo flip-chip è necessario che il fascio attraversi tutto lo spessore del die (PC7448 ca. 7.5 mm) e che venga corretta la LET per tenere conto dell'energia persa durante l'attraversamento del silicio e del package.

I test sono stati eseguiti in aria e i fasci di ioni utilizzati per le misurazioni sono elencati nella tabella 10, entrambi hanno sufficiente range per penetrare il die (spesso circa $900 \mu\text{m}$) e quindi non c'è stata la necessità di ridurne meccanicamente lo spessore. La foto di figura 41 mostra la configurazione per il test.

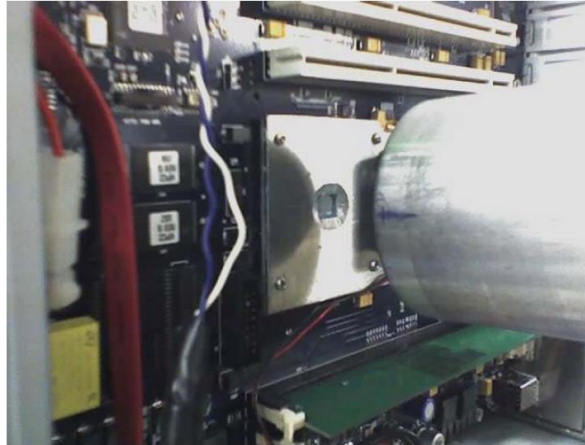


Figura 41: Posizione del PowerPC nella linea del fascio

Ione	Energia per nucleone <i>MeV/amu</i>	LET iniziale <i>MeV · cm²/mg</i>	Range <i>μm</i>
^{20}NE	40	1.7	1648
^{40}AR	40	3.8	1070

Tabella 10: Tipi di ioni utilizzati per i test

5.2.3 Configurazione software

Registri:

Un problema che riguarda i test sui nuovi processori riguarda il fatto che essi utilizzano registri più interni rispetto a quelli vecchi, che possono rispondere diversamente a causa della diversa geometria; in secondo luogo è necessario considerare l'asimmetria nella sensibilità ai SEU. In molti casi la sezione d'urto in una direzione (p.e. 1 a 0) è differente che nella direzione opposta (da 0 a 1).

Per eseguire i test si utilizzano preferibilmente sistemi operativi primitivi, altri, con sistemi operativi complessi, possono essere presi in considerazione nel caso vengano effettivamente utilizzati nell'applicazione per la quale viene scelto il processore.

I risultati di questo tipo di test vengono riportati come:

- Upset per bit
- Upset per chip (più raramente)

Esistono due differenti tipologie di test attualmente:

1. Semi-statico
2. Semi-dinamico

1. Semi-statico: In questo caso il test viene condotto stimolando continuamente il Program Counter (PC) e l'Instruction Register (IR), mentre i registri sono statici. In figura 42 è riportato il diagramma che esplicita la procedura del test semi-statico.

Inizialmente un grande numero di registri viene pre-caricato con dei valori prefissati, il processore è poi sottoposto all'irraggiamento e lo stato dei registri viene periodicamente verificato a intervalli fissi (1-200 ms) durante la prova; se si verifica un errore questo viene segnalato, corretto e il programma riparte.

Il programma può essere interrotto se si verifica una tra le seguenti condizioni:

- Viene raggiunto un particolare valore di fluenza pre-programmata
- Viene rilevato un appropriato numero di errori
- Si verifica un crash del sistema

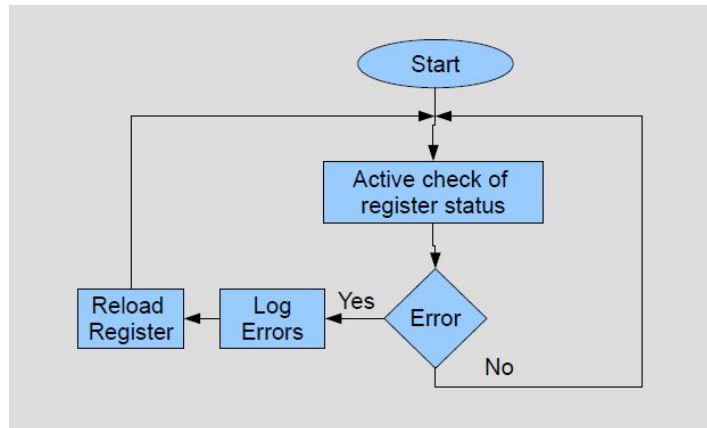


Figura 42: Diagramma di flusso di un test semi-statico

2. Semi-dinamico: Per quanto riguarda il test semi-dinamico (metodologia utilizzata dalla NASA JPL per misurare i General Purpose Register nel Motorola PowerPC) la procedura prevede la seguente routine:

1. Caricamento nel GPR dell'operando 0x55555555 (moltiplicando)
2. Caricamento nel registro successivo dell'operando 0x2 (moltiplicatore)
3. Moltiplicazione tra i contenuti dei due registri in questione e scrittura del risultato nel primo
4. Incremento del puntatore al registro, in questo modo il secondo diventa il moltiplicando e il terzo il moltiplicatore
5. Reiterazione dei primi 3 punti finchè tutti i registri GPR contengono il risultato della moltiplicazione
6. Lettura dell'intero status register e verifica che i registri GPR contengano il valore 0xAAAAAAAA
7. Se ciò non accade, avviene una copia dei registri nella memoria esterna

Il diagramma della procedura è illustrato in figura 43.

Una volta eseguito il test i risultati vengono classificati in tre tipologie:

- Test passato senza nessun SEU registrato.
- Si è verificato un errore nel risultato ma solo pochi (uno o due bit) sono errati. Viene registrato come un upset in un registro.
- Si è verificato un errore nel risultato, ma molti bit sono errati. Viene registrato come un upset di una unità di processo (ALU o logica di indirizzamento dei registri).

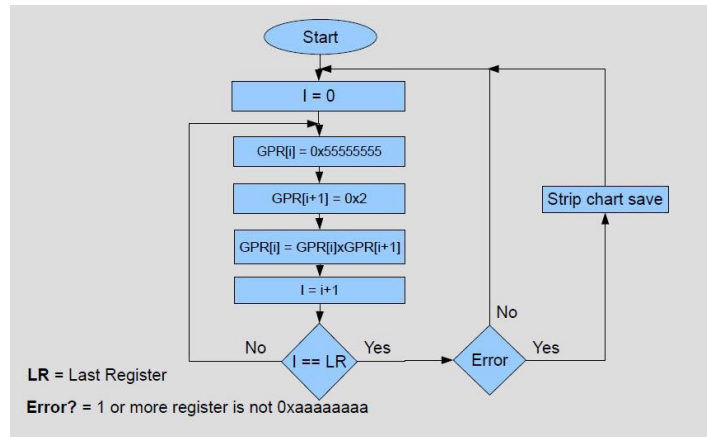


Figura 43: Diagramma di flusso di un test semi-dinamico

Con questo metodo i registri vengono costantemente letti e scritti e la ALU è sempre occupata.

Cache interna:

Nei moderni microprocessori gran parte dello spazio è dedicato alla memoria cache. Essa è formata da più bit e ha una geometria più compatta rispetto ai registri. In alcuni processori possono essere presenti dei sistemi di correzione degli errori come ad esempio check di parità o ECC (nel PC7448 per la Cache L2); si tratta di un sistema che permette di rilevare e correggere eventuali errori sui bits e che nel contempo riduce di poco le prestazioni. Il più usato è il codice di Hamming che permette di correggere errori su un singolo bit per quadword (64 bit) e di rilevare errori doppi.

Per il test della memoria cache viene utilizzato il software relativo alla cache descritto nel capitolo 4.4.1.

Program Hangs:

Viene definito “hang” un errore funzionale per il quale l’operazione in esecuzione nel processore viene interrotta, questo tipo di problematica è molto sentita soprattutto nei processori moderni e nelle applicazioni spaziali ed è piuttosto grave visto che per ripristinare la funzionalità del dispositivo potrebbe essere necessaria la rimozione dell’alimentazione con conseguente riavvio (cold restart).

Un metodo di test molto usato consiste nell’applicare un interrupt esterno dopo l’irraggiamento e verificare se il processore risponde o meno a questa “chiamata”, in caso negativo lo stato in cui è viene categorizzato come **hang** e quindi registrato.

L’analisi, che in un primo approccio può risultare piuttosto semplice, è complicata dal fatto che non si può determinare con precisione dopo quanto il dispositivo sia andato in blocco.

Questo test valuta quindi il numero di hangs per dispositivo, cioè il numero di volte che il processore non risponde all’interrupt, diviso la fluenza totale alla quale il processore è stato esposto.

Software operativi per i test:

Questo tipo di test alternativo può risultare utile in quanto misura la risposta del processore durante le prove di irraggiamento, mentre ha in esecuzione un software specifico. I risultati che si ottengono sono del tipo “go / no go” e l’irraggiamento viene bloccato nel caso in cui il programma generi risultati differenti da quelli aspettati. Solitamente la sezione d’urto risultante è inferiore a quella ricavata con i test sui registri visto che possono verificarsi errori in registri mai utilizzati dal programma o non determinanti nel momento in cui si verifica il SEU.

Nella maggior parte dei programmi la visibilità degli errori sui registri viene ridotta di un fattore da 10 a 100, risulta quindi quasi impossibile calcolare il tasso di guasto di un software dalla conoscenza dei test sui registri e cache, per farlo è richiesta una conoscenza specifica del software e dell’architettura del processore.

Sistemi operativi:

La risposta di un microprocessore alle radiazioni dipende tanto dall’hardware quanto dal software; per simulare la presenza di un sistema operativo in elaborazione nel processore in modo da esularne la presenza esistono delle istruzioni in linguaggio macchina appositamente dedicate, grazie alle quali il processore va in elaborazione. Questo approccio è però in genere inapplicabile a causa della complessità dei processori del giorno d’oggi.

Il metodo di test visto precedentemente in un certo senso è limitato dal fatto che il processore non ha nulla in esecuzione, creando una situazione, durante l’irraggiamento, in cui è ridotto al minimo il numero di operazioni interne, facendo sì che l’operazione sia suscettibile agli errori solo in poche locazioni interne.

5.3 Risultati dei test

Come già discusso precedentemente il trend attuale per i microprocessori SOI è la riduzione delle dimensioni e della tensione di alimentazione unita all’aumento della frequenza di clock; di seguito sono riportati i risultati di 3 SOI Motorola PowerPC basati su mosfet SOI di tre diverse dimensioni, per ognuna delle quali è specificato lo spessore del dispositivo e quello del film di silicio. Inoltre vengono forniti i dati riguardanti le versioni dei medesimi processori a basso consumo, ovvero delle modalità di funzionamento che precedono una tensione di alimentazione più bassa rispetto a quella richiesta per il normale funzionamento.

- MPC7455: 180 nm (film thickness 110 nm), 1.6 V
- MPC7457: 130 nm (f.t. 55 nm), 1.3 V (versione a bassa potenza 1.1 V)
- MPC7448: 90 nm (f.t. 55 nm), 1.3 V (versione a bassa potenza 1.0 V)

I test selezionati e riportati nella sezione seguente non sono stati suddivisi in base ai componenti dei processori valutati (registri, cache, etc.) ma in base ai parametri sopra elencati: dimensioni, tensioni di alimentazione e frequenza, in modo da poterne valutare facilmente l’impatto sull’affidabilità dei dispositivi e verificare se le prove portano a conclusioni in linea con quanto detto inizialmente nel capitolo 2.3

5.3.1 Scaling tecnologico

I test sono stati effettuati su cache, registri e hangs (con tensione fissa a 1.3 V) producendo rispettivamente le sezioni d'urto di figura 44, 45 e 46.

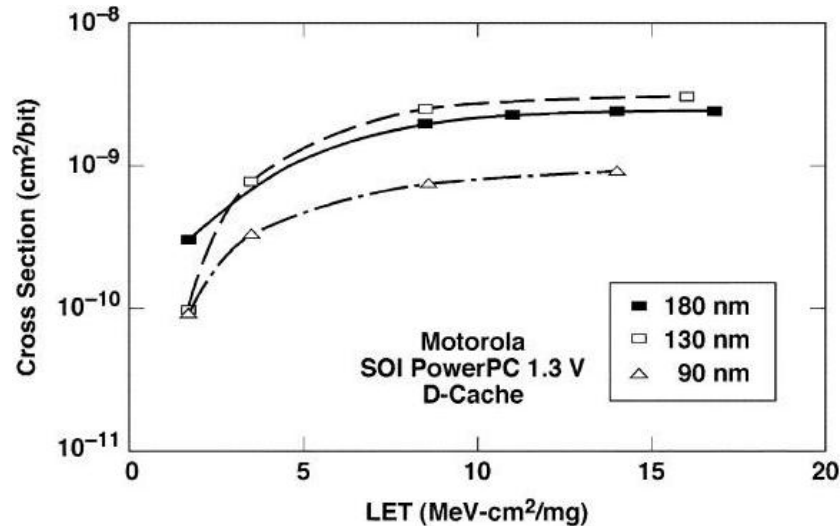


Figura 44: Confronto tra le sezioni d'urto per la D-cache al variare dei nodi tecnologici

Per quanto riguarda il caso della D-cache la LET di soglia per i 3 dispositivi non è molto differente (ca. $1 \text{ MeV} \cdot \text{cm}^2/\text{mg}$); si può dire lo stesso per quanto riguarda l'andamento della sezione d'urto per i dispositivi da 180nm e 130nm per i quali essa risulta molto simile, denotando un impatto quasi irrilevante del cambio di tecnologia sulla sensibilità dei processori. Situazione che cambia considerevolmente nel caso dell'MPC7448 (90 nm) che presenta una sezione d'urto molto inferiore, a indicare un netto miglioramento delle condizioni di affidabilità, contrariamente a quanto ipotizzato nel capitolo introduttivo.

Una situazione analoga si presenta durante il test dei registri a virgola mobile, anch'essi in contrasto con le ipotesi iniziali, situazione evidente dalla figura 45 per le alte LET.

Un risultato che invece discosta dai precedenti riguarda gli hangs: dall'osservazione della figura 46 è facile notare come le sezioni d'urto siano più simili tra di loro, denotando poche differenze tra le misure ottenute.

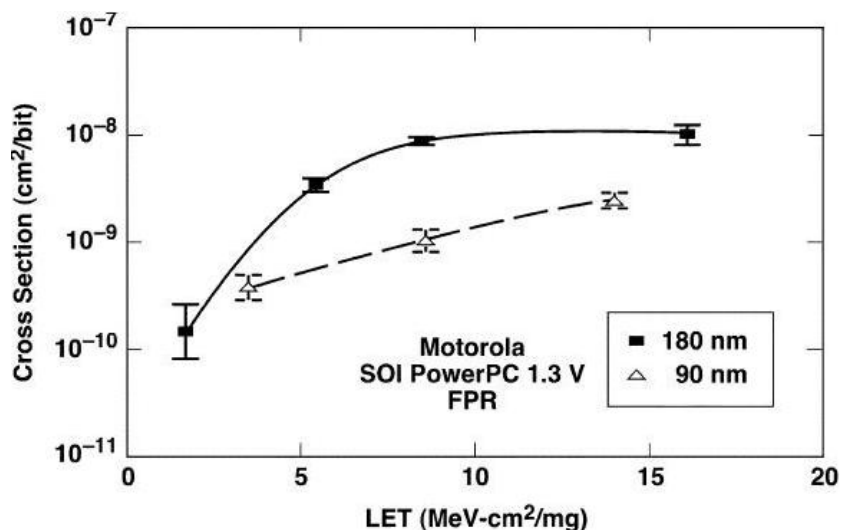


Figura 45: Confronto tra le sezioni d'urto per i registri a floating point al variare dei nodi tecnologici

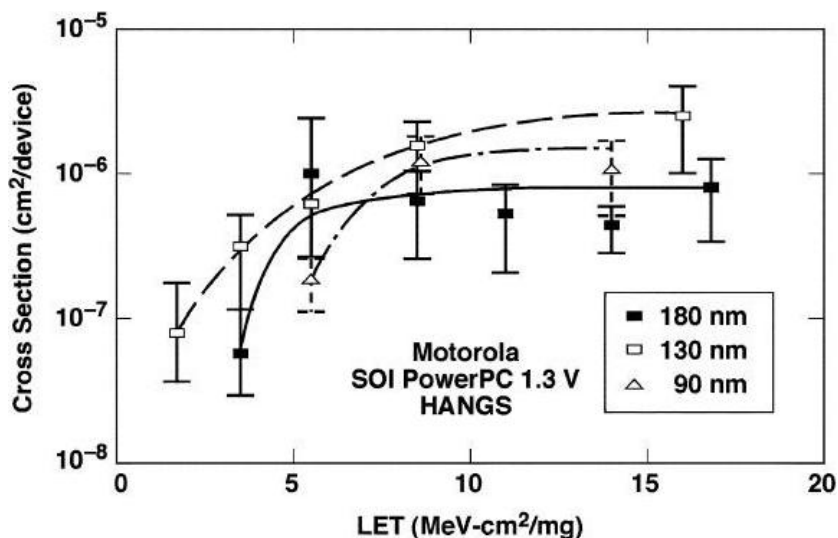


Figura 46: Confronto tra le sezioni d'urto per gli hang al variare dei nodi tecnologici

5.3.2 Tensione di alimentazione

Questo tipo di test è stato effettuato principalmente per mettere alla luce eventuali differenze tra le sezioni d'urto riguardanti lo stesso dispositivo (MPC7448) alimentato a due diverse tensioni di alimentazione, 1V e 1.3V. I test riportati riguardano la cache (figura 47) e gli hangs (figura 48).

I dati che si possono evincere dai test sulla cache si commentano da soli, è infatti evidente come la sezione d'urto ottenuta con l'alimentazione inferiore risulti maggiore.

Lo stesso effetto viene riscontrato sugli hangs, anche se molto più accentuato. Alla ten-

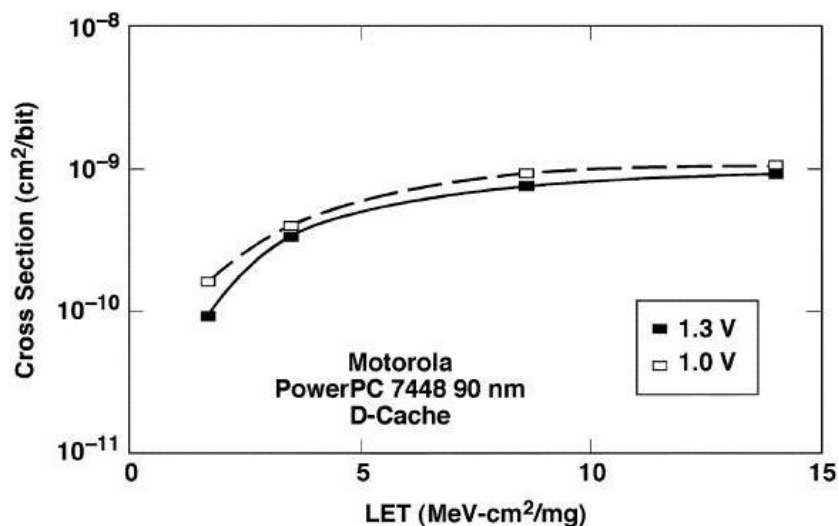


Figura 47: Confronto tra le sezioni d'urto per la D-cache alle differenti tensioni

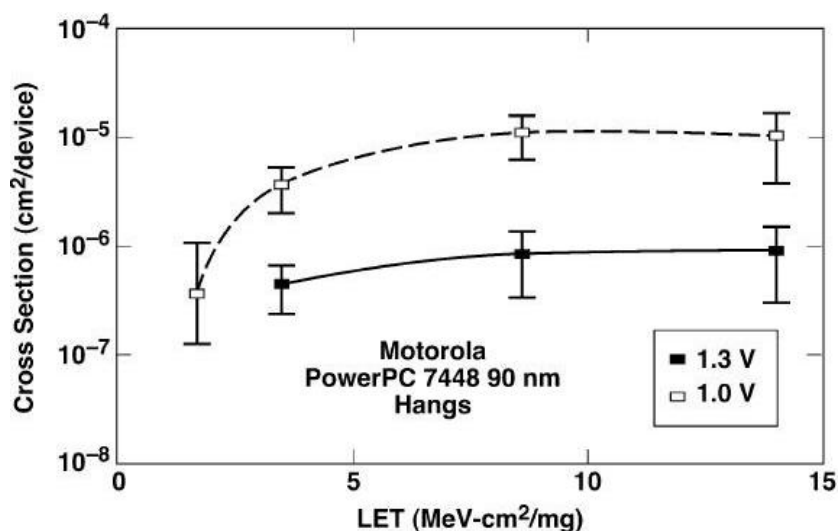


Figura 48: Confronto tra le sezioni d'urto per i registri a floating point alle differenti tensioni

sione più bassa, infatti, corrisponde una sezione d'urto di circa un ordine di grandezza superiore rispetto a quella con maggior alimentazione. I risultati sono quindi in linea con le affermazioni iniziali, il trend tecnologico che porta una progressiva riduzione delle tensioni di alimentazione sembra indebolire i dispositivi, rendendoli più suscettibili alle radiazioni, aspetto quindi da tenere in grande considerazione poichè rappresenta una condizione notevole di peggioramento.

Questo effetto, sebbene presente, non si verificava con tale entità nei processori meno scalati; a titolo di esempio viene riportato un test eseguito sul processore 7445 sempre in merito agli Hang (figura 49). È facile notare come le due curve siano molto vicine tra loro, a indicare quanto detto, anche se è da valutare la sezione d'urto riguardante l'alimentazione a 1.3 V piuttosto singolare in relazione a quelle viste pocanzi: per bassi

valori di LET infatti, ha un andamento crescente e superiore alla curva relativa alla tensione minore, ma aumentando essa decresce fino a scenderne al di sotto. È difficile dare una spiegazione di un tale comportamento che si discosta da quelli relativi al 7448, le motivazioni potrebbero essere legate alla natura del test o alla struttura del processore che, sebbene sia simile a quella del più moderno 7448, potrebbe avere qualche piccola differenza determinante per gli hang.

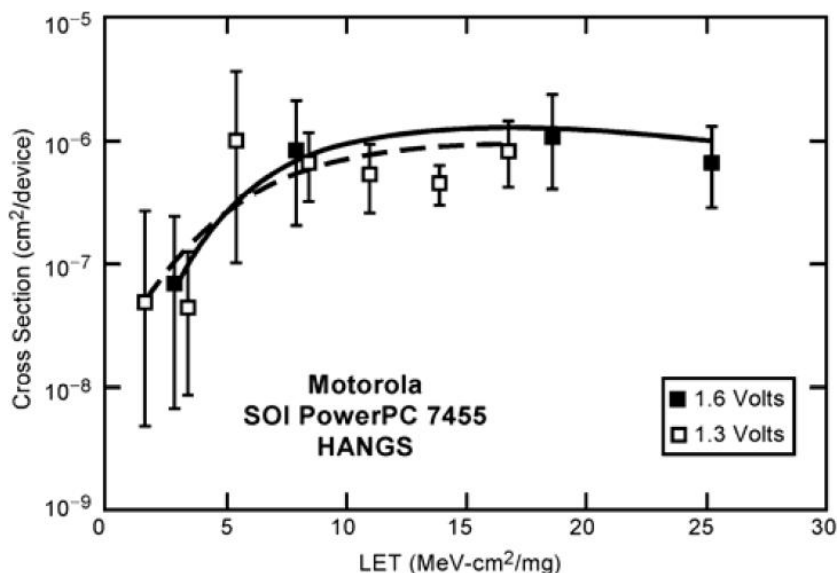


Figura 49: Confronto tra le sezioni d'urto del 7445 per gli hang a due differenti tensioni

5.3.3 Frequenza

È stato preso in considerazione anche questo aspetto in quanto all'aumentare della velocità dei circuiti aumenta la probabilità che i glitch⁷ momentanei (SET) generino degli upset validi nei circuiti di logica combinatoria e si verifica anche un aumento della capacità di propagazione di un dato transitorio. La combinazione di questi due aspetti può peggiorare la sensibilità ai SEU lavorando a frequenze elevate.

I test sul Motorola PC7448 sono stati eseguiti alle frequenze di 500, 1066 e 1600 Mhz, per registri, cache e hangs; ne sono state riportate le sezioni d'urto rispettivamente nelle figure 50, 51, 52 e 53.

⁷Picco breve ed improvviso (non periodico) in una forma d'onda, causato da un errore non prevedibile. Per estensione è usato per indicare un breve difetto del sistema in vari campi di applicazione dell'elettronica.

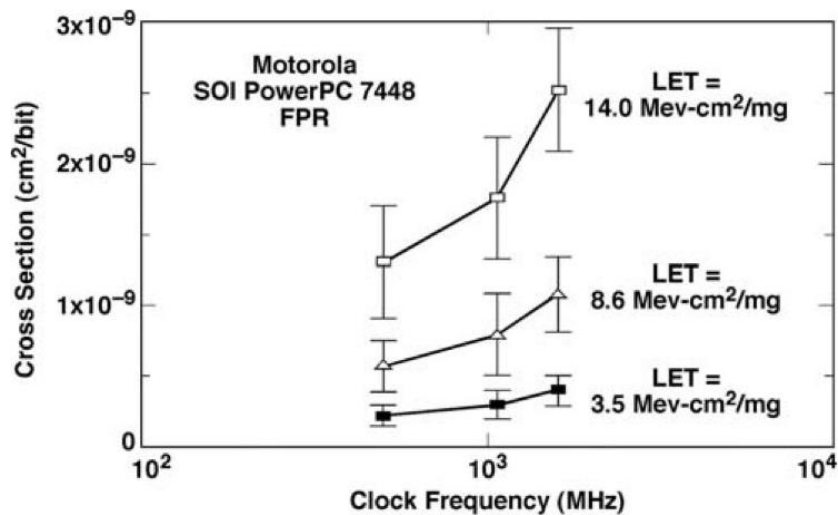


Figura 50: Confronto tra i registri a floating point alle differenti frequenze

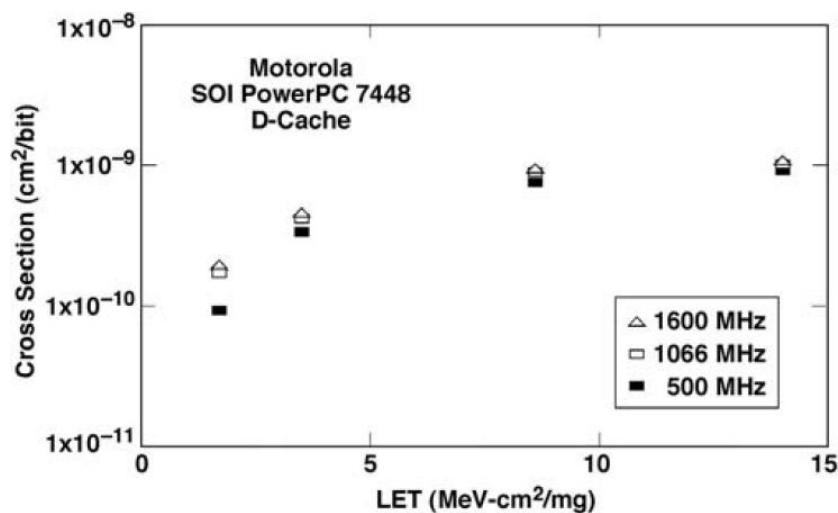


Figura 51: Confronto tra le D-cache alle differenti frequenze

Per quanto riguarda i primi due test (registri e cache) essi hanno messo alla luce ciò che ci si aspettava, ovvero la dipendenza della sezione d'urto al variare della frequenza.

Un risultato leggermente diverso è stato riscontrato per gli hangs che non sembrano risentire di questo parametro, le sezioni d'urto infatti presentano valori quasi coincidenti (entro l'errore sperimentale) al variare della frequenza.

A titolo di confronto viene riportato anche un altro test eseguito sul modello 7445, per il quale è stata valutata la sensibilità dei registri per due diverse frequenze, figura 54. Il comportamento descritto della sezione d'urto è in linea con quello del 7448 riscontrato precedentemente, alla frequenza maggiore infatti aumentano il numero di difetti.

Purtroppo non è possibile confrontare questi ultimi dati con quelli riguardanti i registri dell'7448 poichè il range di frequenze per le quali è stato valutato il modello più scalato è incompatibile con il 7445.

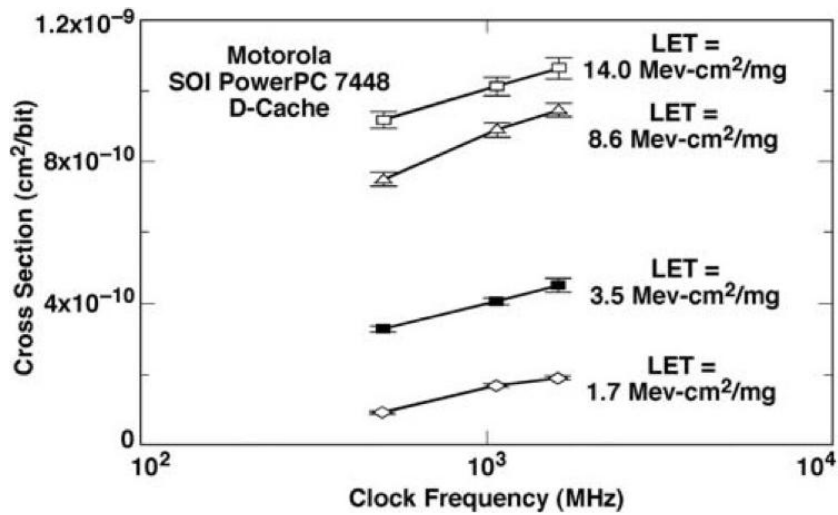


Figura 52: Confronto tra le D-cache alle differenti frequenze

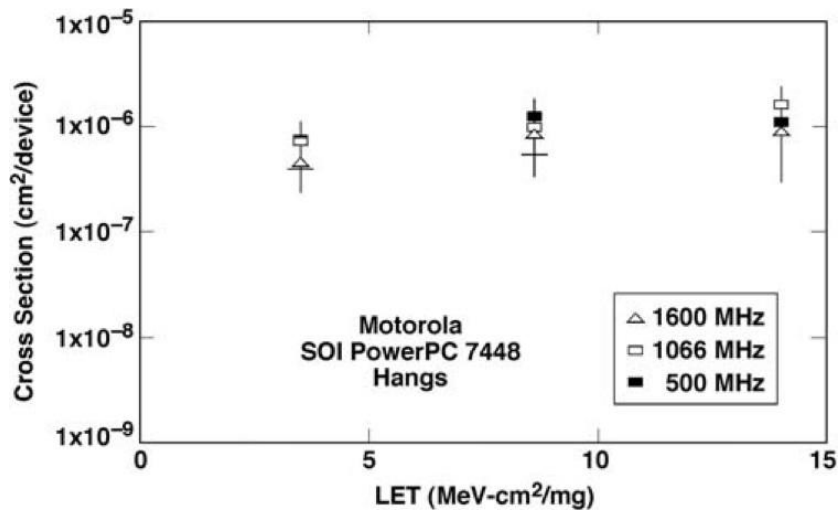


Figura 53: Confronto tra gli hang alle differenti frequenze

5.3.4 Asimmetria

È stato preso in considerazione un ultimo test (sui registri) riguardante un particolare aspetto dei SEU : le caratteristiche differenti con le quali si manifestano le variazioni di stato tra 0-1 e 1-0. Le sezioni d'urto risultanti, in figura 55, evidenziano come ci siano delle sostanziali differenze tra i due cambi di stato e come ci sia maggior sensibilità per la transizione da 0 a 1 piuttosto che la precedente.

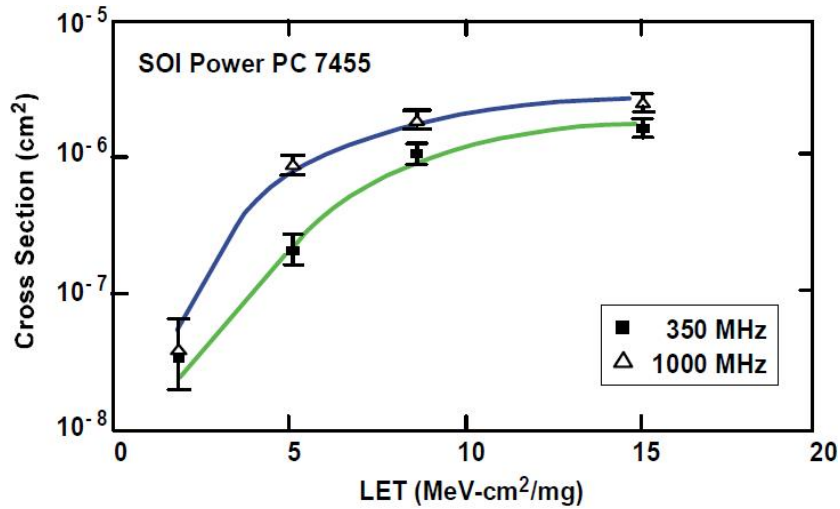


Figura 54: Dipendenza dalla frequenza dei registri del PowerPC 7445

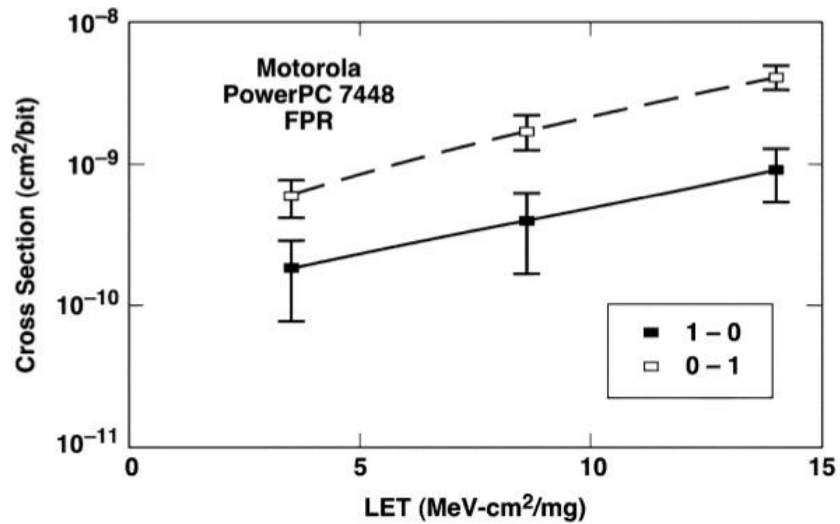


Figura 55: Confronto tra i due tipi di transizioni

5.4 Analisi dei test

L'impatto sull'affidabilità dei processori valutati al variare dei parametri di nodo tecnologico, tensione di alimentazione e frequenza è evidente sulla base dei test che sono stati riportati finora, molti test destano un certo scalpore poiché, come già accennato, invece di confermare le teorie iniziali che prevedevano un aumento della suscettibilità di tali dispositivi con il progresso tecnologico, dimostrano in molti casi un trend opposto, eccezione fatta per la tensione di alimentazione.

In tabella 11 vengono riassunti i dati riguardanti i parametri dei processori della famiglia 7448 (della Motorola) con il relativo valore di saturazione della cross section; da qui è molto evidente come, indipendentemente dal modello, mano a mano che la V_{dd} diminuisce il relativo valore della σ cresce.

Processore	Tecnologia nm	Spessore film nm	Alimentazione V	σ_{sat} cm^2
7455 (SOI)	180	110	1.6	$2.7 \cdot 10^{-9}$
7455 [†] (SOI)	180	110	1.3	$2.4 \cdot 10^{-9}$
7457 (SOI)	130	55	1.3	$2.4 \cdot 10^{-9}$
7457 [†] (SOI)	130	55	1.1	$4.6 \cdot 10^{-9}$
7448 (SOI)	90	40	1.3	$9.2 \cdot 10^{-10}$
7448 [†] (SOI)	90	40	1.0	$1.1 \cdot 10^{-9}$
7400	200	Bulk	1.8	$3.9 \cdot 10^{-8}$
750	290	Bulk	2.5	$6.8 \cdot 10^{-8}$

Tabella 11: Confronto tra i parametri dei vari processori della famiglia 7xxx. [†]: versioni speciali a bassa tensione di alimentazione dell'omonimo modello

Dai valori riportati in tabella si può facilmente evincere una linea di trend in funzione dello scaling: ponendo a confronto le versioni normali dei processori (seguendo la linea temporale di “fabbricazione”) i valori di saturazione delle sezioni d’urto si abbassano progressivamente. Assumendo questo come indice di affidabilità si può concludere che le condizioni dei processori sono in miglioramento e in una funzione di “proporzionalità” con il progresso.

Un altro aspetto chiaro è l’influenza della tensione di alimentazione sugli stessi modelli dei processori (oltre che in via generale), le versioni a bassa Vdd infatti presentano valori di saturazione (sempre in merito alla tabella 11) molto più elevati rispetto ai corrispondenti normali.

L’ultimo aspetto preso in considerazione nei test riguarda la frequenza di lavoro: le prove riportate ed analizzate nella sezione precedente hanno messo alla luce il fatto che all’aumentare della stessa le condizioni subiscono un peggioramento anche se spesso non in modo così evidente come lo era stato per gli altri parametri. Infatti al crescere della LET la risposta del processore alle radiazioni è sempre meno influenzata dalla frequenza (figura 51, le curve sono via via più simili tra loro) e per quanto riguarda gli hang la dipendenza sembra assumere addirittura il trend opposto, anche se, in questo caso, le sezioni d’urto sono molto simili tra loro (figura 53), praticamente sovrapposte, anche a partire da valori di LET bassi. In ogni caso questo aspetto denota un indice piuttosto singolare: indica infatti che, dal punto di vista degli errori funzionali (SEFI o hang), il dispositivo non risente dell’aumentare della frequenza, anzi se proprio se ne vuole trarre un andamento dalle sezioni d’urto della figura 53, si può dire che ne trae beneficio poichè ai punti relativi alla frequenza minore corrisponde la curva inferiore. Dai dati si può quindi evincere che le dimensioni tecnologiche costituiscano la caratteristica dominante in termini di affidabilità per i processori misurati, per i quali vanno valutate con un occhio di riguardo le condizioni di funzionamento a tensioni minori rispetto a quella normale e alle varie frequenze di lavoro.

5.5 Iniezioni di errori: Fault injection

I test presentati finora non forniscono risultati rappresentativi su cosa accada durante l'utilizzo dell'applicazione finale che eseguirà il microprocessore.

A livello di sistema un SEU potrebbe propagarsi con differenti tipi di conseguenze in base al software di missione, questo rende la valutazione del tasso di guasto del sistema un aspetto importante. Per ottenere modelli di questo tipo le strategie utilizzate sono basate sui dati ricavati dai test accelerati (inclusi quelli visti finora) e il costo richiesto per gli esperimenti di irraggiamento rende questi test riservati a pochi team di sviluppo e ricerca, aumentando in modo insostenibile i costi di progettazione.

È quindi necessaria una tecnica di predizione degli errori per valutare l'error-rate del software di missione. In questa sezione verrà riportata una serie di risultati derivanti dal confronto tra quelli ottenuti tramite le prove di irraggiamento e quelli tramite la tecnica di iniezione degli errori.

Il software testato è chiamato AOCS (Attitude & Orbit Control Software) mentre nella tabella 12 sono riportati i tipi di ioni usati per i test.

Per quanto riguarda la piattaforma di test utilizzata sia per le prove di irraggiamento,

Ione	Energia dispositivo <i>MeV</i>	Range μm Si	LET <i>MeV · cm²/mg</i>
Ar ¹²⁺	372	119	10.1
Ni ¹⁷⁻	500	85	21.9
Kr ²⁵⁺	756	92	32.4

Tabella 12: Ioni usati per i test

che per la fault injection, essa è schematizzata in figura 56; viene denominata THESIC ed è costruita attorno a due FPGA, una per il controllo tra PC utente e scheda di test chiamata Control FPGA e una chiamata Chipset FPGA per il controllo della memoria tra il dispositivo sotto test (Device Under Test, DUT) e l'FPGA di controllo; essa è inoltre in grado di controllare anche le operazioni che avvengono sul DUT.

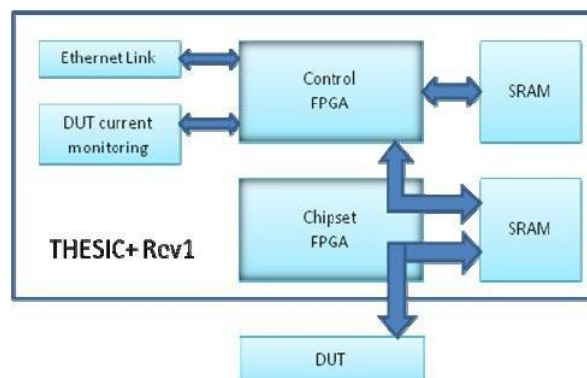


Figura 56: Scheda utilizzata per i test

La procedura si estende in più fasi, inizialmente si utilizzano i software presentati prece-

dentemente per ottenere i dati sulle sezioni d'urto dei registri e della cache, ricavando la sezione d'urto statica e in seguito viene testato il dispositivo tramite Fault Injection, mentre gli errori possono essere generati a livello HW tramite:

- sistema di test con raggio Laser
- FPGA: il circuito viene implementato in un FPGA, la descrizione del Register Transfer Level viene implementata applicando alcune modifiche in modo da rendere accessibili le celle di memoria.
- CEU (Code Emulating an UPSET).

L'approccio CEU utilizza i segnali di interruzioni disponibili nei processori: il codice associato alla routine di interruzione può essere utilizzato per alterare una cella di memoria, selezionata in modo casuale, tra quelle accessibili attraverso l'Instruction Set. L'aleatorietà degli istanti in cui vengono generati i SEU può essere facilmente implementata attraverso l'accesso casuale, utilizzando un contatore del segnale di interrupt. Un contributo importante apportato da questo metodo è legato alla predizione del tasso di guasto basata sulle sezioni d'urto statiche e sui risultati della fault injection. Dai risultati sperimentali effettuati su registri e D-cache si ottengono quindi le sezioni d'urto:

$$\sigma_{static} = \frac{n^{\circ}upsets}{n^{\circ}particelle}$$

provvede una stima del numero di particelle necessarie per provocare un upset. Dai test con fault injection sui SEU eseguiti mentre il processore ha in esecuzione una applicazione è possibile ricavare τ_{inj} come la media del numero di upset richiesti per provocare un comportamento errato dell'applicazione (errori sulle uscite, sui tempi, etc.):

$$\tau_{inj} = \frac{n^{\circ}errori}{n^{\circ}upsets}$$

Così facendo e unendo i due risultati si ottiene la sezione d'urto relativa all'applicazione:

$$\tau_{SEU} = \sigma_{static}\tau_{inj} = \frac{n^{\circ}errori}{n^{\circ}particelle}$$

L'obiettivo è dunque quello di applicare la strategia CEU per predire il tasso di guasto su applicazioni complesse.

I risultati ottenuti per l'applicazione AOCS durante irraggiamento con Argon e Krypton sono riportati nelle tabelle 13 e 14 e, come si può notare, risultano confrontati con quelli ottenuti con un'iniezione di circa 150000 SEU con il metodo CEU. Questo porta alla conclusione che la tecnica Fault Injection può essere ritenuta valida per la predizione degli errori.

In conclusione si può affermare che conoscendo le curve $\sigma(LET)$ (i parametri di fit con Weibull) su registri e cache ottenute in precedenza tramite test di irraggiamento è possibile, tramite fault injection, avere predizioni valide sul comportamento di qualsiasi software senza dover ricorrere a test di irraggiamento.

Ione	Predizione	Misura
Argon	$1.96 E - 06$	$1.84 E - 06$
Krypton	$3.82 E - 06$	$3.56 E - 06$

Tabella 13: Predizione vs. tasso di errore misurato con Cache disabilitata

Ione	Predizione	Misura
Argon	$2.12 E - 05$	$2.04 E - 05$
Krypton	$3.24 E - 05$	$3.17 E - 05$

Tabella 14: Predizione vs. tasso di errore misurato con Cache abilitata

L'approccio CEU permette di prendere in esame bit flip che si verificano in ogni cella di memoria raggiungibile dall'istruzione set del processore e per raggiungere celle di memoria non accessibili tramite programmazione e comunque sensibili ai SEU, è necessario utilizzare tecniche differenti di iniezione degli errori (Laser Beam).

6 Test sui PowerPC IBM 7xx

Con il termine PowerPC 7xx si identifica una famiglia di processori a 32-bit di terza generazione basati su architettura RISC, studiati e prodotti da IBM e Motorola (ora Freescale Semiconductor). Di questi processori ne esistono vari modelli, il PowerPC 740 e 750 furono introdotti nel 1997 come una rivoluzionaria rivisitazione del PowerPC 603, rivisitata e resa molto più performante rispetto al prodotto precedente. Questo secondo modello fu rivisitato ulteriormente solo da IBM, in quanto Freescale preferì dedicarsi ai PowerPC 74xx di sua produzione (di cui ovviamente fa parte l'MPC7448 ampiamente descritto nei paragrafi precedenti); i modelli sviluppati in seguito però non sono di recentissima creazione in quanto anche IBM scelse la via autonoma inserendosi nel mercato come produttore autonomo di processori basandosi su architetture differenti. Il 750 rappresenta una architettura in grado di raggiungere elevate prestazioni attraverso lo sfruttamento di sei unità di esecuzione delle quali due unità intere (integer units) e una a virgola fissa (floating point unit) a doppia precisione. Inoltre possiede due cache di primo livello da 32 Kbyte che permettono l'esecuzione di una elevata percentuale di operazioni in un solo ciclo, supportate da una porta dedicata ad una cache integrata di secondo livello (variabile dai 256 Kbyte a 1 MByte).

Dei processori finora progettati da IBM e facenti parte della famiglia PowerPC 750 ne esistono alcuni modelli tutt'ora validi per determinate applicazioni in ambito spaziale, in particolare il RAD750, concepito appositamente per questo scopo e il 750FX.

Il RAD750 (realizzato nel 2001) è un processore di tipo radiation-hardened, ovvero concepito con un'elettronica più robusta e in grado di sopportare meglio l'ambiente radioattivo spaziale, per il quale è stato concepito e realizzato. Per quanto riguarda invece il 750FX (realizzato nel 2002) esso è importante perché, assieme al PowerPC 7455 della (allora) Motorola, era la prima generazione della famiglia dei PowerPC fabbricati con tecnologia SOI.

6.1 PowerPC 750 o XPX750

Il modello 750 assume in realtà due nomi diversi a seconda della casa di produzione, il PowerPC750 è della IBM mentre l'XPC750 è della (ex) Motorola; nonostante questa differenziazione sul nome i due processori sono praticamente identici, una foto del PowerPC 750 è illustrata in figura 57

Le dimensioni del PowerPC750 sono 7.6 x 8.8 mm mentre per l'XPC750 8.5 x 9.4 mm, ma nonostante tale differenza, le porzioni di area occupate da ognuna delle rispettive unità funzionali sono le stesse.

Nella tabella 15 è riportata la lista degli elementi di memoria valutati attraverso i test, con l'unica eccezione dei registri.

Il PowerPC750 conta di oltre 6.3 milioni di transistor e lavora fino alla frequenza di 300 MHz, dissipando meno di 6.5 Watt ad una tensione di alimentazione pari a 2.5 V per il core e 3.3 V per l'interfaccia (pin dell'interfaccia).

spositivo. Inoltre è supportata una modalità a bassa velocità attuata attraverso una fase di transizione che bypassa il PLL e passa il clock direttamente alla CPU.

Grazie a questi accorgimenti il processore presenta consumi molto più bassi rispetto ai modelli della stessa famiglia ed è quindi molto utilizzato per applicazioni spaziali dove il dispendio energetico è un problema cruciale.

Un altro aspetto fondamentale riguarda quelli che vengono definiti **circuiti dinamici**, importanti poichè le elevate prestazioni del PowerPC 750 sono dovute, in parte, ad essi. Questo tipo di schema progettuale prevede la concentrazione della logica combinatoria di grande complessità in un singolo nodo. Sfortunatamente i circuiti dinamici risultano estremamente suscettibili ai SEU se paragonati a quelli CMOS statici; questo perchè uno ione in collisione con la logica dinamica ha una probabilità più elevata rispetto all'equivalente statico di modificarne lo stato logico.

Questa ragione, aggravata dal fatto che i circuiti dinamici sono spesso situati in aree critiche dell'architettura, nel RAD750 essi sono stati rimpiazzati con la tecnologia statica equivalente più valida disponibile, anche se questo ha significato dover accettare una certa perdita di performance, come prezzo da pagare in cambio della diminuzione della suscettibilità al SEU.

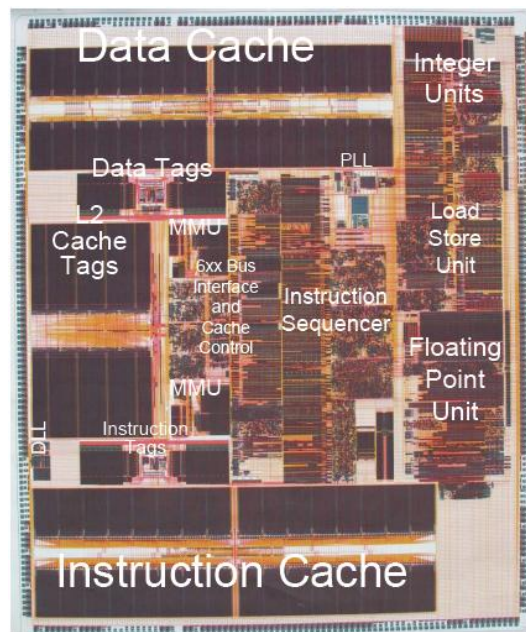


Figura 58: Struttura del powerpc RAD750

Caratteristiche tecniche:

- Velocità del processore: da 110 a 133 MHz
- Tecnologia del processore: 0.25 μm CMOS, 6 livelli di metallo
- Dimensioni del die: 10.4 mm per 12.5 mm

- Prestazioni senza L2: 6.5 SPECint95 3.9 SPECfp95 @ 150 MHz
- Prestazioni con L2 da 1MB: 7.0 SPECint95 4.7 SPECfp95 @ 150 MHz
- Segnali di I/O: 256 (inclusa la porta L2)
- Alimentazione del core: $2.5\text{ V} \pm 5\%$
- Alimentazione degli I/O: $2.4\text{ o }3.3\text{ V} \pm 10\%$
- Dissipazione di potenza: 5 Watt a 133 MHz, 2.5 V
- Range di temperature: -55°C to $+125^\circ\text{C}$
- Packaging: 25.0 mm. per 25.0 mm. per 6.22 mm.
- Tempo medio tra gli errori: maggiore di 3.3M ore

6.3 PowerPC 750FX

Il 750FX vide un incremento della frequenza rispetto al modello precedente fino a 1 GHz, così come la velocità del bus aumentata a 200 MHz e un aumento della cache L2 a 512 Kbit, in pratica un modello con prestazioni decisamente superiori ai precedenti e con un minore dispendio energetico.

Questo permette al 750FX di supportare livelli di I/O da 1.2 V fino a 3.3 V offrendo quindi molta flessibilità che, tradotta in termini pratici, corrisponde ad una maggior compatibilità con schede madri e/o componenti di questo livello.

Per ridurre il consumo complessivo il processore include delle modalità a bassa potenza e (come per il RAD750) una gestione dell'energia dinamica. Questo viene realizzato attraverso due phase locked loops (PLLs) che permettono al processore di variare dinamicamente la frequenza di lavoro.

Per le operazioni di calcolo intensivo può essere utilizzata la modalità ad alta frequenza, mentre quella a bassa frequenza (bassi consumi) viene utilizzata nei momenti di minor utilizzo del processore.

La cache L2 interna, da 512 Kbit, opera alla frequenza del core del processore, questo permette di ridurre eventuali tempi di ritardo e incrementare di conseguenza le performance per le applicazioni in real time. La presenza della cache L2 (di grandi dimensioni) oltre ad incrementare le prestazioni grazie ad un maggior capacità di immagazzinamento dati on-chip⁸, elimina la necessità di una memoria esterna riducendo costi, richiesta di potenza e spazio.

Queste caratteristiche, unite al fatto che il 750FX è fabbricato con tecnologia SOI, lo rendono molto utile per le applicazioni spaziali e quindi oggetto di studio per i test di radiazioni.

⁸Termine utilizzato per indicare qualcosa che si trova all'interno del processore

Caratteristiche tecniche:

- Frequenza di lavoro: fino a 1 GHz
- Dimensioni cache L2: 512 Kb
- Cache L1: possibilità di miglioramenti sulla capacità
- Bus pipelining
- Unità floating point addizionale

6.4 Modalità di test: configurazione hardware

6.4.1 PowerPC 750

La scheda utilizzata per il test è una scheda di sviluppo della Motorola conosciuta come “Yellowknife”, in modo da non doverne progettare una apposita, inoltre essa è già provvista di un sistema operativo base che elimina gli effetti di molte linee di codice all’interno del processore ed è accessoriata dal monitor/debugger DINK. Esso comunica tramite una porta seriale bidirezionale con un computer terminale, mentre una porta JTAG è collegata alla scheda tramite un’altra linea di comunicazione esterna incorporata sulla yellowknife stessa.

I test su questo processore hanno avuto luogo in laboratori differenti per poter utilizzare due diversi fasci di particelle:

- Protoni
- Ioni pesanti

Il primo test è molto più semplice del successivo in quanto può essere eseguito in aria, senza la necessità di ricorrere all’utilizzo di camere a vuoto e senza dover apportare modifiche al package del processore. I test con protoni aventi valori di energia al di sopra dei 65 MeV hanno avuto luogo nei laboratori dell’università dell’Indiana, mentre quelli in cui si richiedevano energie più basse sono stati condotti al Davis cyclotron dell’università della California (UC).

Per i test con ioni pesanti la situazione è molto più complessa della precedente in quanto il package del processore è costituito da una struttura ball-grid array in flip-chip (di cui si è già discusso nel capitolo riguardante il PowerPC 7448) che non consente la rimozione del die da questa struttura e obbliga quindi l’irraggiamento degli ioni attraverso il substrato di silicio per raggiungere lo strato attivo. Nella maggior parte dei laboratori l’ambiente di test non fornisce fasci di ioni ad elevato range rendendo impossibile la penetrazione del package e utilizzare attrezzature in grado di ovviare a tale problema (imprimendo grande energia sulle particelle) elevata troppo i costi. La conseguenza di tutto ciò è la necessaria riduzione di spessore del die; i test sono stati condotti a TAMU e la superficie posteriore del die è stato assottigliata di uno spessore che va dai 712 ai 50-200 μm .

La maggior parte di questi test è stata eseguita posizionando l'intera scheda Yellowknife e la sonda JTAG nel sistema a vuoto, tuttavia i fasci di ioni con maggior range hanno permesso l'irradiazione in aria, come è stato fatto per gli ultimi test.

6.4.2 PowerPC 750FX

Nel caso del 750FX la scheda madre su cui viene montato il 750FX è la Advanet ADVME7509A (figura 59), la cui implementazione è rappresentata in figura 60.

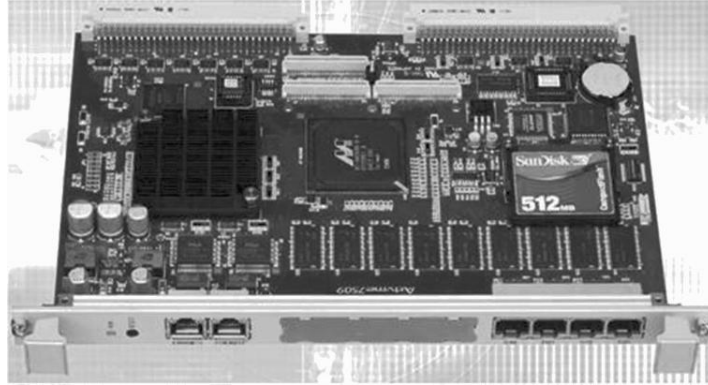


Figura 59: Foto della scheda ADVME7509A

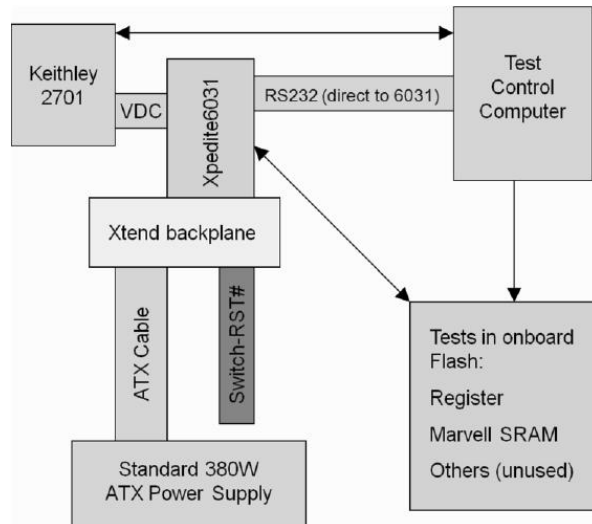


Figura 60: Schema rappresentante le operazioni della ADVME7509A

Il 750FX si trova sotto il regolatore nella sinistra, il quale verrà rimosso per il test. I test hanno avuto luogo in due sedi differenti a seconda della tipologia di particelle di interesse: i test con protoni si sono svolti nei laboratori dell'università della California, mentre quelli con ioni pesanti al TAMU.

6.4.3 PowerPC RAD750

Il sistema complessivo per l'esecuzione dei test incorpora tutte le macro del processore incluse Data cache, data tag e PPL, alle quali sono state aggiunte una libreria ASIC e delle aree di test RAM, incluse molti circuiti delle librerie del RAD750.

I test hanno avuto luogo ai Brookhaven National Labs a New York.

6.5 Modalità di test: configurazione software

6.5.1 PowerPC 750

Sono state elaborate due metodologie per i test sui registri: “do little” e “pin wiggler”, che si riferiscono all'attività del processore durante la fase di irraggiamento, entrambe sono varianti del metodo 1 nella classificazione di Koga[13] chiamata “self-testing single computer”: il microprocessore può essere valutato in una configurazione con un unico computer, il test “autonomo” e i risultati possono essere riconosciuti da un banale segnale di uscita come l'accensione di un LED. In realtà la sonda JTAG aggiunge qualche elemento del secondo metodo di Koga[13] “Controller Assisted, Single Computer”.

Nel metodo “do little” il processore esegue un'istruzione singola in un loop infinito interrotto ogni mezzo secondo per salvare il contenuto dei registri nella memoria fisica. In questo modo l'attività del processore viene minimizzata riducendo il numero di operazioni interne rendendo così le operazioni suscettibili a errori solo in poche locazioni interne.

Nel “pin wiggler” il processore è programmato per eseguire una scansione autonoma di uno dei suoi file di registro interni o in un array di memoria e cambiare il pin di indirizzo se viene scoperto un errore. Questo metodo ha il vantaggio di fornire un feedback attivo e continuo durante i test, al contrario del “do little” che rimane essenzialmente cieco finché l'irraggiamento non termina.

I programmi descritti sono messi in funzione attraverso un set di contatori hardware esterni, utilizzati per monitorare le variazioni dei pin sulla Yellowknife al fine di determinare se ci sono stati dei cambiamenti durante la fase di irraggiamento. Le linee sono codificate in modo da indicare se il loop del software sta funzionando regolarmente, se un errore è stato rilevato e se l'interrupt di mezzo secondo è in funzione.

Per quanto riguarda la valutazione della cache L1, il metodo utilizzato, come per l'MPC7448 e, come si vedrà in seguito, anche per il 750FX, è quello descritto nel capitolo 4.4.1 relativo alla cache.

6.5.2 PowerPC 750FX

I test vengono eseguiti, come per i processori valutati in precedenza, caricando dei programmi speciali sulla scheda di test, studiati per poter misurare alcune operazioni specifiche o bit particolari del dispositivo in esame e sono ottimizzati in modo da minimizzare i problemi riguardanti i software durante l'irraggiamento.

Per valutare i registri, il processore esegue delle istruzioni costituite da una singola parola in un ciclo infinito, interrotto ogni mezzo secondo al fine di salvare il contenuto dei registri nella memoria fisica. Una volta terminato l'irraggiamento, un segnale di

interrupt esterno attiva una routine che esegue il download del contenuto dei registri e lo confronta con i dati caricati inizialmente dal programma (ovviamente noti), in questo modo si possono verificare eventuali modifiche nello stato dei registri dovute all'esposizione del processore alle radiazioni.

Non è stata testata solo la D-cache L1, ma anche la L2 e il codice è lo stesso utilizzato per il 7448 e per il 750, del capitolo 4.4.1.

I codici sviluppati sono studiati per poter lavorare in concomitanza con la protezione di parità per quello che riguarda la cache L1 e con l'EDAC per la L2.

Infine il test del processore prevede anche delle prove speciali per l'unità a virgola mobile; molti degli algoritmi atti a valutare le FPU contengono solo una piccola percentuale di istruzioni FPU. Per il test di questo processore è stato ideato un algoritmo contenente il 98% di istruzioni FPU: durante il test il processore calcola gli elementi di una sequenza di Mandelbrot $x_n = x_n - 12 + C$ dove $C = -0.525 - 0.5i$ (le rappresentazioni a virgola mobile sono $CRE = 0xbfe0_cccc_cccc_cccd$, $CIM = 0xbfe0_0000_0000_0000$). Il calcolo viene ripetuto 16 volte per ciclo e l'ultima parte del valore finale, x8388609 è confrontata con $0xbfe6_901a_78d1_c4d1$.

- **Parità:**

Per verificare l'efficienza del sistema di protezione di parità è stato assunto un approccio suddiviso in due fasi: nella prima è stato disabilitato il sistema di protezione e sono stati raccolti i dati del successivo test di radiazioni, mentre nella seconda fase è stato riattivato il controllo di parità durante l'esecuzione di un programma di test, per osservare la frequenza con cui si verificano le eccezioni. Il test ha dimostrato come tutti questi eventi conducono a condizioni reversibili, con la possibilità di recuperare l'operazione (e lo stato della macchina) che il processore aveva in esecuzione nell'istante in cui si era verificato l'evento.

- **EDAC:**

La situazione riguardante questo aspetto è complessa in quanto non sono disponibili informazioni sulla telemetria del codice di correzione e la cache L2 risulta molto instabile se vengono effettuati degli accessi verso la stessa in seguito ad un tentativo di correzione dall'ECC⁹ ma non corretto. È stato quindi necessario ideare un artificio per la valutazione dei SEE: la sezione d'urto per i SEU viene determinata utilizzando l'indirizzo per il quale si verifica il primo errore a doppio bit (double-bit error). Tale indirizzo permette la stima della densità di errore nella zona on cui si trova; la formula per la sezione d'urto è data dalla seguente espressione:

$$\sigma_{bit} = \frac{1}{18\sqrt{2}\phi \langle ADDR_{ECC} \rangle^{1/2}}$$

dove σ_{bit} è la sezione d'urto per bit, ϕ è la fluensa e $ADDR_{ECC}$ è l'indirizzo (in byte) dell'errore non corretto dall'ECC. Questa formula ha permesso il confronto tra le sezioni

⁹Error Correcting Code, ovvero parte del codice dell'EDAC che tenta di correggere l'errore rilevato dall'EDAC stesso

d'urto della cache L1 e L2, i cui risultati erano in accordo entro un 25% di errore statistico, all'interno quindi del range statistico accettato, percentuale elevata perchè rapportata al limitato numero di eventi EDAC osservati.

6.6 Risultati dei test

La presentazione dei risultati delle prove è analoga a quella del capitolo precedente riguardante il processore 7448, per essere chiari e precisi infatti, vengono riportati grafici e dati riguardanti settori o errori del processore ben determinati, come i registri e la cache o arresti di funzionalità generali, già visti in precedenza e denominati “hangs”¹⁰.

6.6.1 PowerPC 750

- Test con Protoni

Questo primo test è stato molto significativo nell'identificazione degli errori nei registri anche se occasionalmente interrotto a causa degli hang. Questa problematica è strettamente correlata allo stato del processore durante le prove di irraggiamento: infatti i primi test si basavano sul numero di successi su una elevata quantità di operazioni in esecuzione al processore al fine di valutare eventuali errori interni. La difficoltà di fronte agli hang risiede nel modo di procedere una volta che se ne verifica uno, per poter continuare a valutare gli effetti della radiazione.

Un metodo per risolvere tale questione è rappresentato dal “pin wiggler”, descritto nella sezione precedente: monitorando continuamente lo stato del processore e la presenza di SEU durante ogni prova è stato scoperto come essi si propagano con un andamento lineare durante il test, come è rappresentato in figura 61.

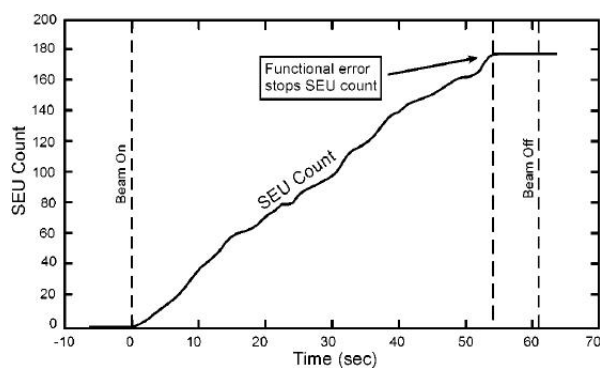


Figura 61: Informazioni sull'accumulazione degli errori e sullo stato del processore durante una prova utilizzando il metodo “pin wiggler”

¹⁰Richiamando quanto detto nel capitolo 5.2.3, si dice “hangs” un errore funzionale per il quale l'operazione in esecuzione nel processore viene interrotta ed è piuttosto grave visto che per ripristinare la funzionalità del dispositivo potrebbe essere necessaria la rimozione dell'alimentazione con conseguente riavvio

Da questa caratteristica si evince una certa regolarità nel verificarsi degli errori e una stretta relazione tra la frequenza di tali eventi e la crescente fluensa dei protoni. Un fatto interessante si verifica verso la fine della prova, momento in cui nel processore si verifica un errore funzionale (hang), facilmente identificabile osservando l'andamento dei SEU che "satura" improvvisamente, rimanendo costante ad un certo valore.

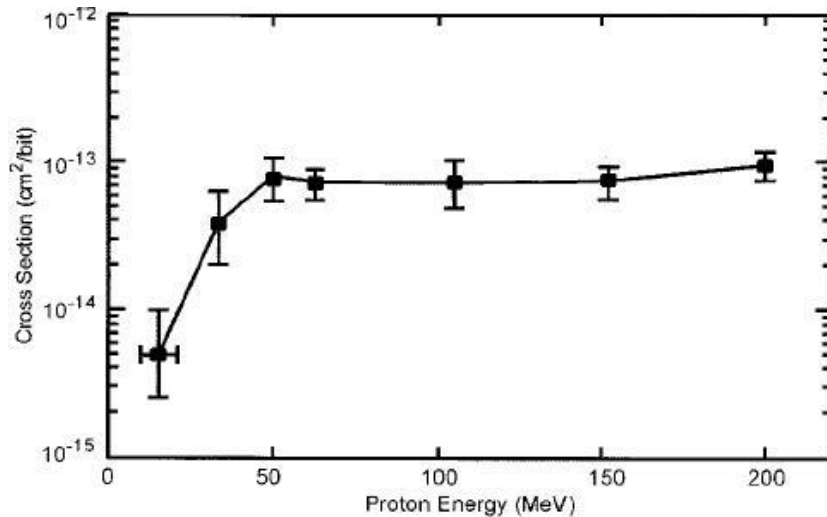
Questo metodo non consente quindi di evitare il verificarsi degli hang, però pone le condizioni per poter raccogliere e valutare i SEU nel processore senza inficiare prematuramente i dati e, allo stesso tempo fornisce informazioni sulla propagazione di tali errori nel tempo (non solo istante per istante). Inoltre tramite questo approccio è stato possibile misurare la frequenza di errore per diversi tipi di registri interni al variare dell'energia dei protoni.

La figura 62 mostra i risultati ottenuti per i registri a virgola mobile nel caso del PowerPC750 della Motorola. L'energia di soglia minima viene stimata al di sotto dei 20 MeV che è il valore più basso utilizzabile nei laboratori in cui sono stati effettuati i test.

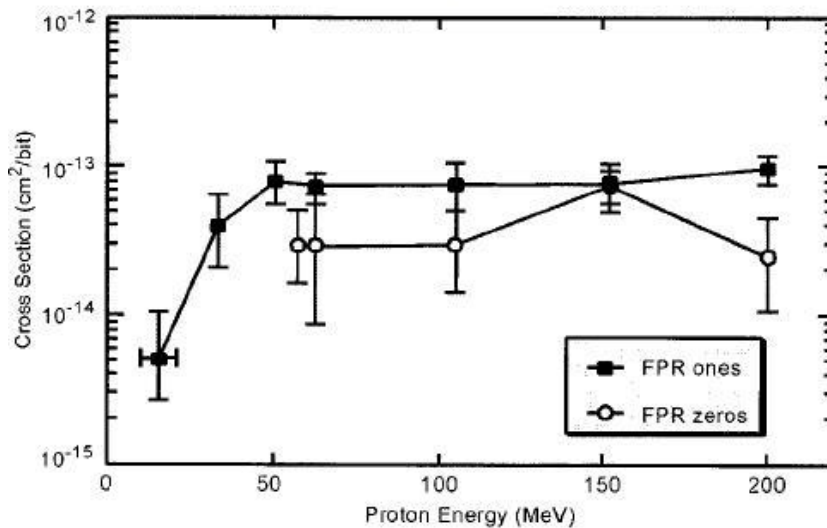
Per quanto riguarda le transizioni dei bit, i due grafici illustrati nelle figure 62-a e 62-b risultano evidentemente differenti sotto tutti gli aspetti: l'energia minima di soglia è più alta nel caso della transizione "0"-*"1"*, il valore di saturazione per la "1"-*"0"* è di circa $10^{-13} \text{ errori} - \text{cm}^2/p - \text{bit}$, nel caso "0"-*"1"* è difficile identificare un valore per il quale la sezione d'urto non varia all'aumentare dell'energia dei protoni. Infine la frequenza di errore risulta considerevolmente più bassa (di un fattore 3) nel caso della transizione "0"-*"1"* con l'esclusione di un solo punto per il quale i due andamenti coincidono.

I dati riguardanti i registri general purpose e quelli speciali sono molto simili a quelli presentati per i floating point con sezioni d'urto quasi coincidenti con la sola differenza significativa nell'energia di soglia minima, molto più alta nel caso dei registri generali e speciali.

Per quanto riguarda invece la cache i risultati sono molto diversi come si nota dalla figura 63-a per il caso dell'XPC della Motorola. In primo luogo si nota un valore più basso dell'energia di soglia minima, questo comportamento lo si può attribuire al salvataggio dinamico (dynamic storage) implementato in questi processori al fine di ridurre l'area dei bit (ci sono 256 Kbit in ogni cache L1), caratteristica che implica una riduzione della carica critica necessaria affinché si verifichi un upset. Anche il valore di saturazione è più basso, approssimativamente di un fattore due, fenomeno attribuibile all'area di bit ridotta.



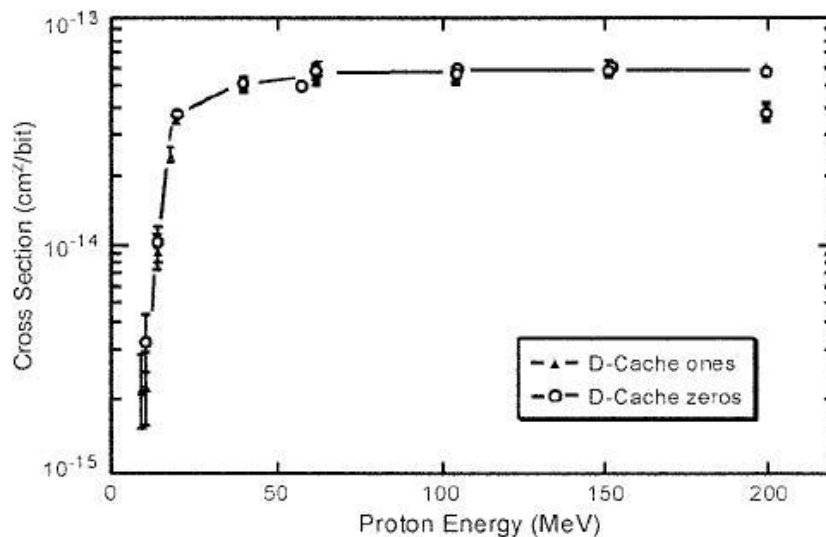
(a)



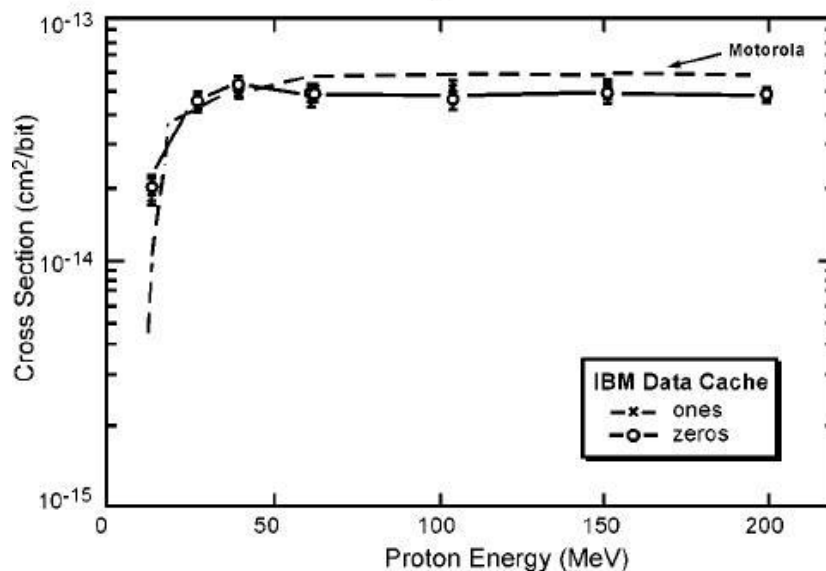
(b)

Figura 62: Sezione d'urto per i test sul SEU di protoni nei registri a virgola mobile dell'XPC750 della Motorola, riguardanti a) le transizioni da "1" a "0", b) le transizioni da "0" a "1" confrontate con quelle opposte. Da notare che i tre punti alle energie maggiori di 100 MeV sono stati misurati in Indiana, il resto all'UC Davis.

Il PPC750 dell'IBM presenta praticamente le stesse risposte al fascio di protoni, come si nota dalla figura 63-b. È stato ritenuto interessante effettuare anche un confronto tra l'XPC750 con un processore della stessa casa (Motorola) ma antecedente a tale modello, ovvero il PowerPC603 basato su tecnologia da 0.4 μm , il quale rappresenta la generazione precedente di microprocessori avanzati. Il paragone è evidente in figura 64, nel 750 la frequenza di errore è circa tre volte più bassa rispetto al 603 con valori di soglia minima paragonabili, interessante è notare come l'incremento di velocità e di densità dei componenti del modello più avanzato non sembri avere influenze negative sulla suscettibilità ai SEU nei registri, almeno per quanto riguarda il test con protoni.



(a)



(b)

Figura 63: (a) Misure sulla suscettibilità ai SEU generati da protoni della data cache dell'XPC750 della Motorola, si può notare come l'asimmetria in questo caso sia statisticamente indistinguibile. (b) Paragone con il PowerPC750 della IBM

- Test con ioni pesanti

Questo tipo di test è più complesso del precedente per le motivazioni delle quali si è già discusso all'inizio di questa sezione, si è anche detto come in questo caso siano necessarie le camere a vuoto che però introducono indirettamente anche un altro inconveniente: la temperatura. Infatti il processore tende a scaldarsi molto più rapidamente rispetto

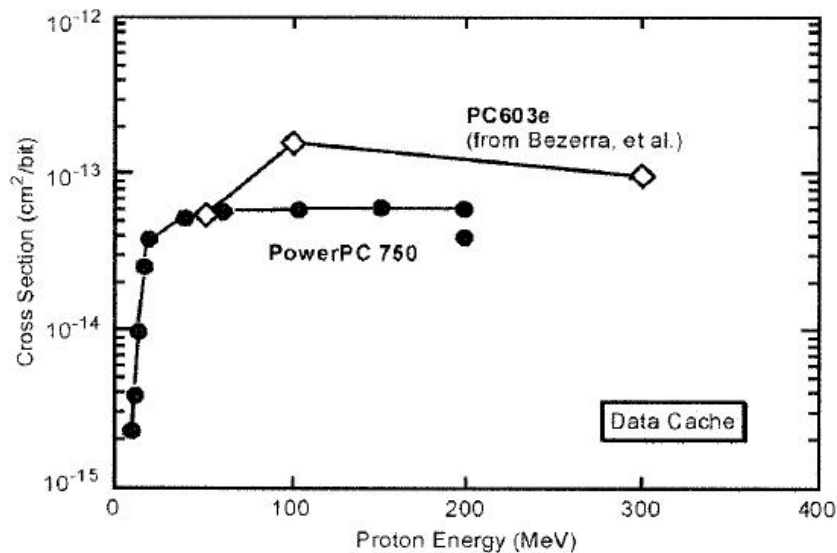
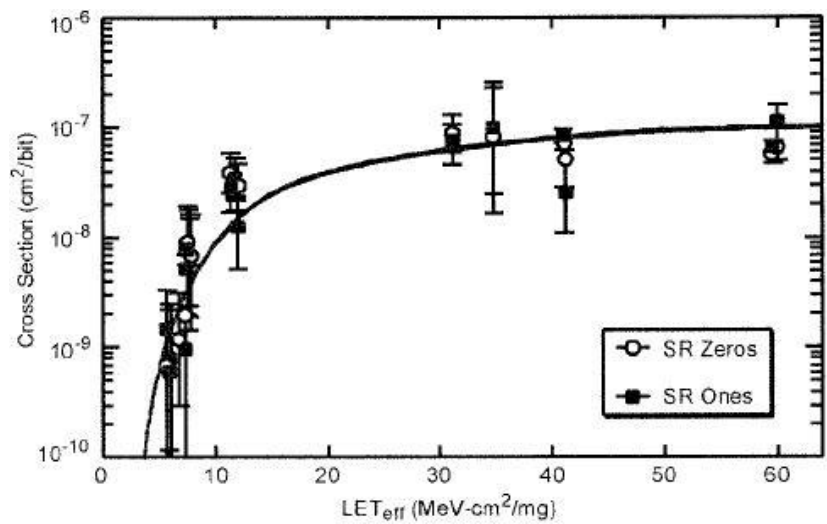


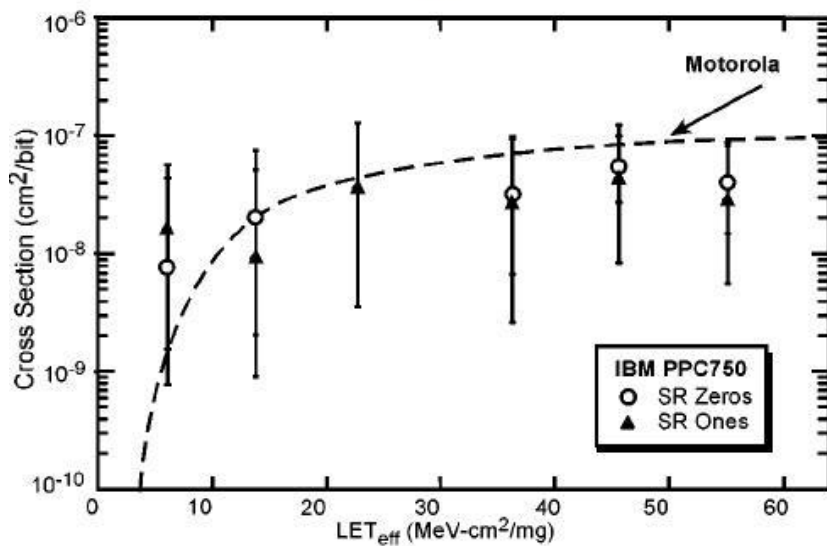
Figura 64: Confronto tra i risultati sull'XPC750 ottenuti recentemente e quelli sul PowerPC603 ricavati da [14], entrambi i processori sono sviluppati da Motorola

alle prove in aria e, nonostante il suo consumo durante il test sia di 5 W (molto inferiori se paragonate ad altri processori come il contemporaneo Pentium 3, il cui consumo si aggira intorno ai 50 W) è stato necessario ricorrere all'uso di un dissipatore sul package per raffreddare il dispositivo e di una termocoppia per monitorarne la temperatura.

In figura 65-a si ha la sezione d'urto per i registri special purpose, la quale aumenta rapidamente da 10^{-9} a $10^{-7} \text{ cm}^2/\text{bit}$ per alti valori di LET, inoltre si può notare come sembra esserci una indipendenza dal data pattern, come era accaduto precedentemente per la cache durante i test con protoni. Gli altri tipi di registri valutati hanno dato luogo a grafici molto simili ma non identici.



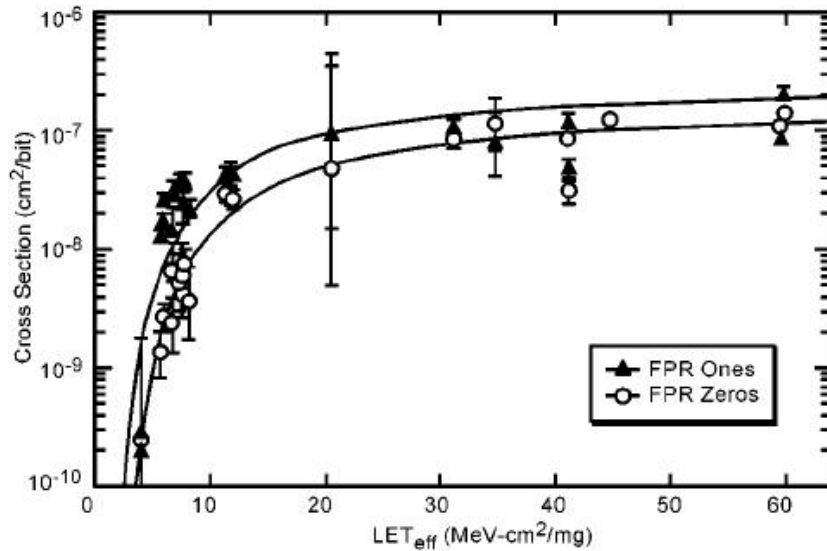
(a)



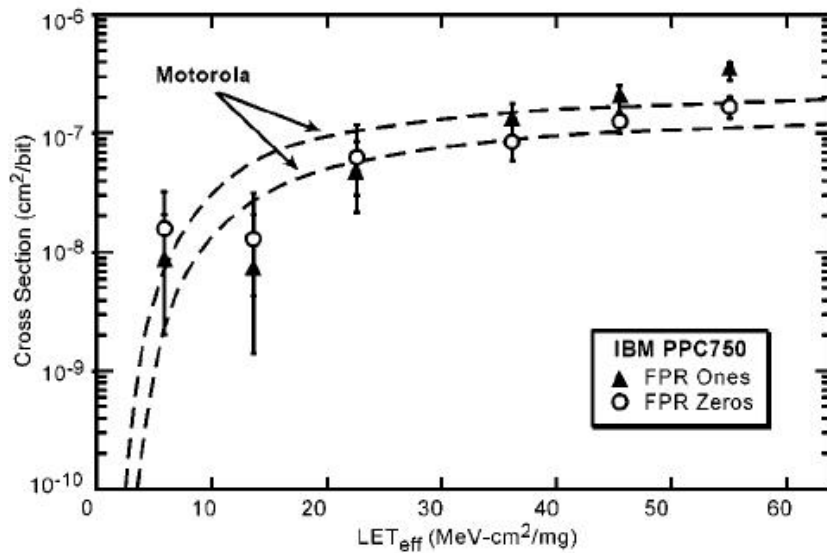
(b)

Figura 65: Sezioni d'urto in funzione della LET (ioni pesanti) riguardanti i registri di tipo segment (particolari tipi di registri special purpose) per a) XPC750 della Motorola e b) PowerPC750 della IBM (confrontata con quella dell'XPC750)

Considerazioni analoghe sono valide per il PowerPC750 della IBM (figura 65-b). I test sui registri a virgola mobile rappresentati in figura 66 forniscono dati contrastanti rispetto ai precedenti: qui è evidente l'asimmetria, infatti i SEU riguardanti le transizioni da "1" a "0" sono circa il doppio rispetto a quelle opposte, più in linea con il fattore tre del test con protoni.



(a)



(b)

Figura 66: Sezioni d'urto in funzione della LET (ioni pesanti) riguardanti i registri di tipo floating point per entrambe le transizioni tra "1" e "0", sul a) XPC750 della Motorola e b) PowerPC750 della IBM (confrontato con l'XPC750)

Valutando complessivamente i test con ioni pesanti e, considerando che sono stati effettuati sotto diverse condizioni con due diversi metodi e utilizzando molte componenti differenti con spessori variabili dai 50, 100 ai 200 μm , si può affermare l'esistenza di una linea generale che "mette d'accordo" le varie prove, nonostante la molteplicità di condizioni. In particolar modo questo sembra poter convalidare i test nei quali l'irraggiamento avviene dal retro del processore, anche se per questi casi non esistono delle controprove, ovvero dei test eseguiti irradiando frontalmente.

Anche in questo caso vengono riportati dei dati ottenuti in un'altra sede di test [14] riguardanti il PPC603, illustrati in figura 67 a titolo di confronto. La LET minima di soglia è circa la stessa ma, ancora una volta, il valore di saturazione della sezione d'urto è significativamente minore nell'XPC750, ulteriore testimonianza dei benefici apportati dal progresso su tali processori.

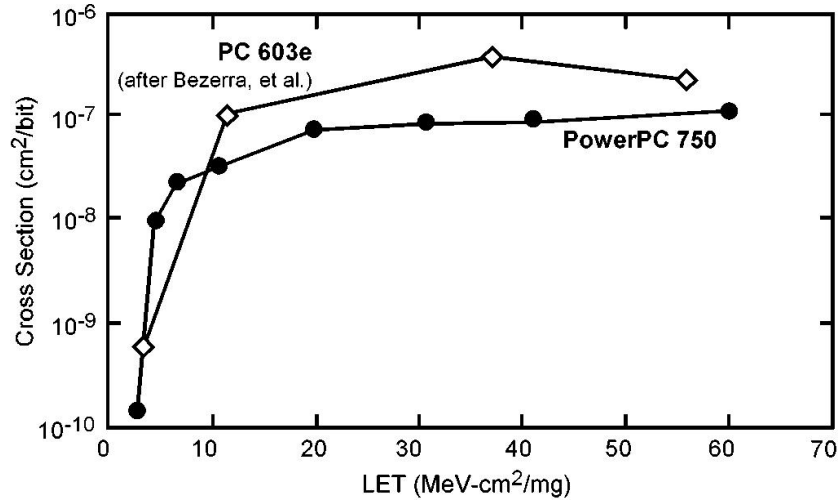


Figura 67: Confronto tra i risultati ottenuti in questa sede per l'XPC750 e di quelli ottenuti in [14] per il PPC603

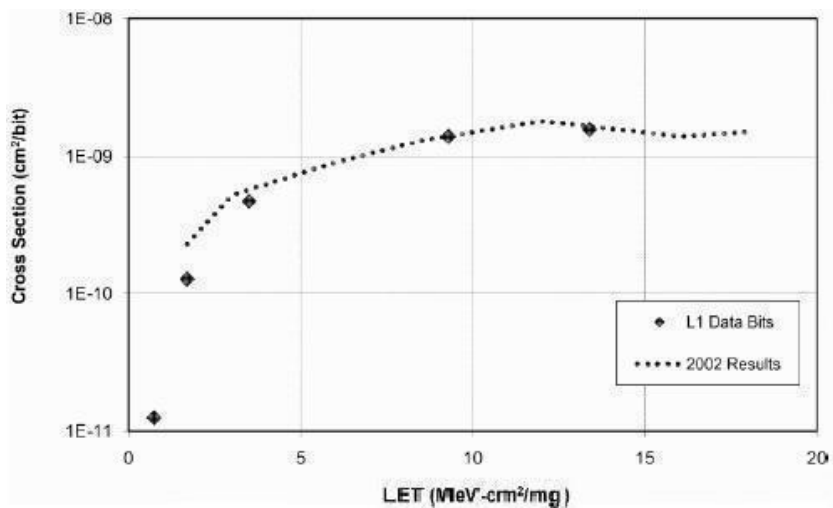
In tutti i test citati gli hang hanno interferito nella stessa misura sia per l'XPC750 che per il PowerPC750, alcuni di essi sono stati risolti con un reset, altri no. Definendo un "hang" come un errore nella risposta del processore ad un interrupt esterno, la sezione d'urto del dispositivo valutata sulla base di tutti i test eseguiti è di circa 10^{-3} cm^2 per valori di LET intorno ai $5 \text{ MeV} \cdot \text{mg}/\text{cm}$.

6.6.2 PowerPC 750FX

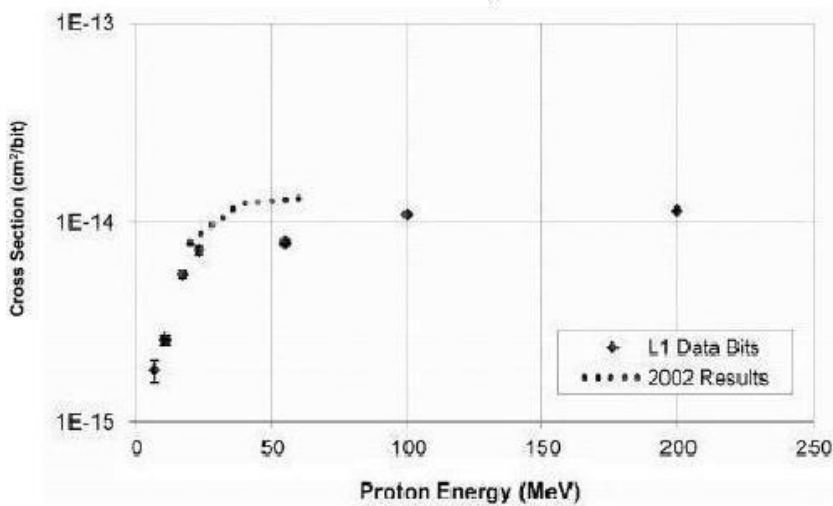
Sono stati eseguiti test per i registri e per le cache L1 e L2, sia utilizzando ioni pesanti che protoni. Le sezioni d'urto di tutti i tipi di test effettuati raggiungono la saturazione per valori di LET inferiori a $14 \text{ MeV} \cdot \text{cm}^2/\text{mg}$; nessun test ha riscontrato un rischio significativo di SEFI per il microprocessore.

Utilizzando i metodi descritti per i test sono state ricavate le sezioni d'urto relative alle varie sezioni del processore; inoltre sono state riportate come termini di paragone delle sezioni d'urto riguardanti dei test eseguiti in precedenza sul modello base del PowerPC 750, in modo da poter valutare l'incidenza dello scaling tecnologico del processore.

Le sezioni d'urto riguardanti la D-cache L1 sono illustrate in fig 68, per quanto riguarda la L2 i risultati sono i medesimi, è stata quindi omessa la figura che li riporta.



a)



b)

Figura 68: Sezioni d'urto riguardanti la cache L1 del processore 750FX, a) ioni pesanti, b) protoni

Un dettaglio interessante riguarda il fatto che anche questo processore, così come dimostrano i dati riguardano il 7448 (sezione precedente), presenta la stessa asimmetria tra i cambiamenti da '0' a '1' e da '1' a '0' dei bit che vengono corrotti dalle radiazioni, lo si può notare sia dal test sui registri, sia dalla figura 70.

Durante i test con ioni pesanti sono stati verificati 3 SEFI, che corrispondono ad un limite superiore per le sezioni d'urto di circa $3 \cdot 10^{-8} \text{cm}^2/\text{dev}$; per quanto riguarda il test con protoni non sono stati osservati SEFI, fatto che corrisponde ad un limite di $3 \cdot 10^{-14} \text{cm}^2/\text{dev}$. Il motivo per cui i SEFI sono praticamente inesistenti è legato alla natura dei programmi che sono in esecuzione al processore durante il test: è noto che un SEFI si verifica quando vengono corrotti dei bit particolarmente significativi per il programma in elaborazione, nel caso dei programmi per i test essi sono molto semplici, composti per lo più da cicli infiniti e con pochissime operazioni di lettura e scrittura.

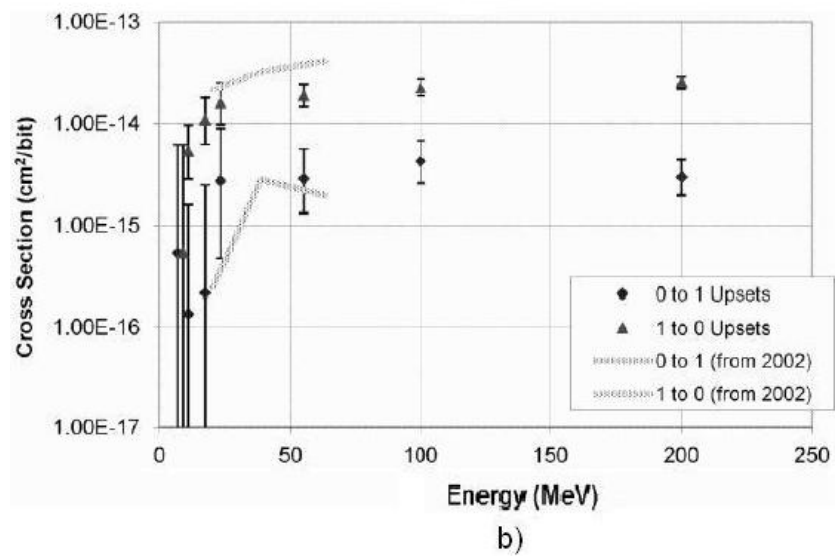
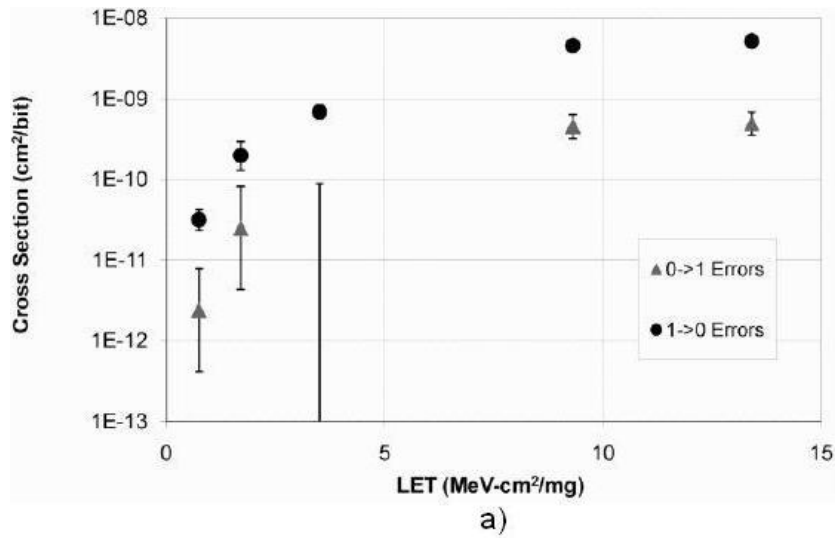


Figura 69: Sezioni d'urto riguardanti i registri del 750FX, a) ioni pesanti, b) protoni

Applicazioni reali, molto più complesse, non hanno la stessa robustezza di quelle appena citate e i bit corrotti non vengono corretti (cosa che invece succede con i programmi di test nel momento in cui vengono re-inseriti i valori iniziali).

Viene perciò raccomandato di utilizzare i dati forniti pensando ad una modalità per rapportarsi al caso di applicazioni reali, un'idea è quella di considerare le sezioni d'urto dei dispositivi per tutti i bit sensibili (importanti) per le applicazioni che si desidera eseguire e applicare un fattore di scala che renda conto di una stima della sensibilità di tali programmi, in modo da avvicinarsi il più possibile ad una situazione reale.

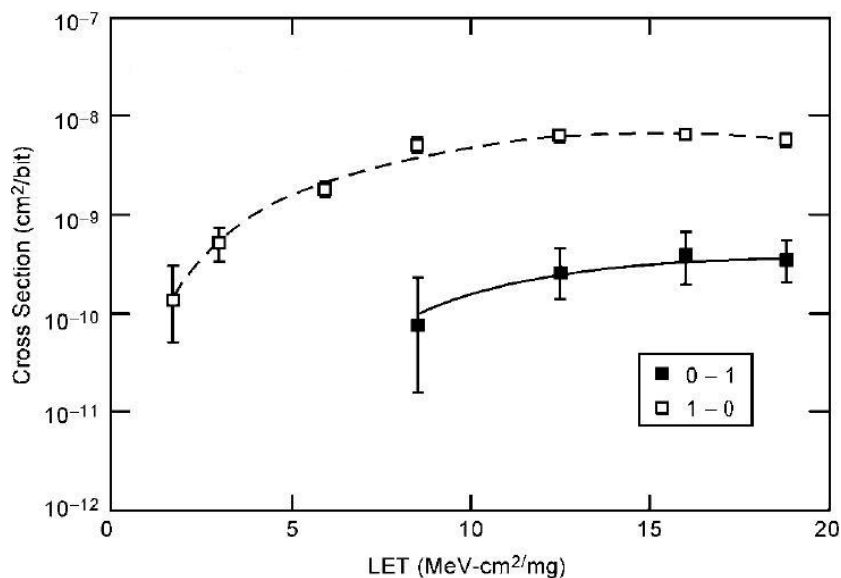


Figura 70: Test sui registri del processore 750FX che dimostra l'asimmetria delle transizioni 0-1, 1-0

6.6.3 PowerPC RAD750

Importante è poi considerare un ultimo test che riguarda il RAD750 anche se esse è più datato rispetto ai precedenti.

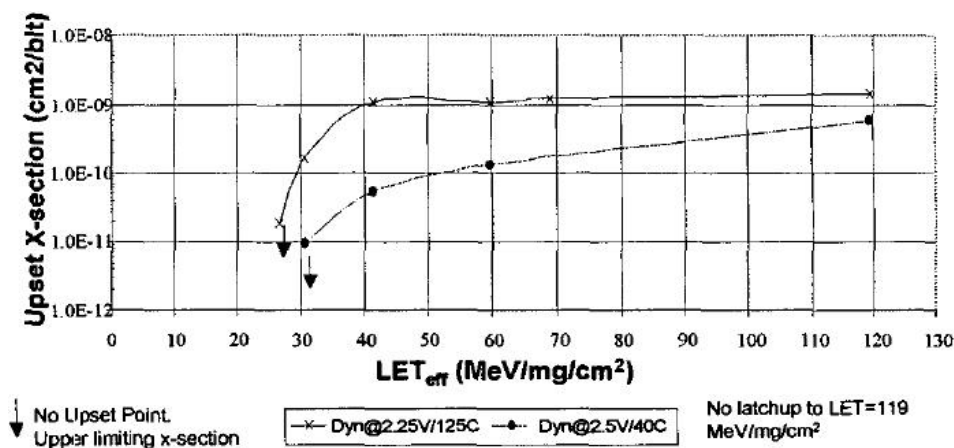


Figura 71: Sezione d'urto per i SEU della D-cache del RAD750

Il test è stato eseguito nel laboratorio di Brookhaven (Brookhaven National Labs) a New York e riguarda la D-cache del processore; essa ha dimostrato una spiccata resistenza alla propagazione di SET e SEU fino ad una LET di 120 $MeV \cdot cm^2/mg$ (limite per i test con questo laboratorio). Inoltre non sono stati verificati fenomeni di latchup fino alla LET massima. Questi risultati dimostrano la robustezza del processore rispetto al suo parente non "irrobustito".

6.7 Analisi dei test

Dall'osservazione dei dati riportati, in particolar modo delle sezioni d'urto, si può estrapolare qualche interessante considerazione. In primo luogo, nella valutazione della suscettibilità della cache dei vari modelli di processori, con riferimento alle figure 63-b e 68-b e dal confronto tra le sezioni d'urto inerenti ai test con protoni (eseguiti per tutti i modelli di processori) è evidente come il modello successivo del PowerPC750, ovvero il 750FX (IBM), risenta meno del fenomeno del SEU, la sua sezione d'urto è infatti minore. Per rendersene conto è sufficiente prendere come riferimento il valore di σ corrispondente ad una particolare energia dei protoni, ad esempio 50 MeV. Nella tabella successiva (16) sono elencati tre valori della sezione d'urto in corrispondenza di altrettanti valori di energia. Nella tabella è evidente l'abbassamento dei valori di

σ <i>cm²/bit</i>	Energia protoni 10 MeV	Energia protoni 50 MeV	Energia protoni 100 MeV
PowerPC750	$2 \cdot 10^{-14}$	$5.3 \cdot 10^{-14}$	$4.9 \cdot 10^{-14}$
750FX	$2 \cdot 10^{-15}$	$8 \cdot 10^{-15}$	$1.1 \cdot 10^{-14}$

Tabella 16: Valori della sezione d'urto riguardante i test con protoni sulla cache del PowerPC750 e del 750FX per tre diversi valori di energia

σ nel passaggio dal primo modello al 750FX, risultato che appare in disaccordo con quanto detto nei capitoli introduttivi nei quali era stato dimostrato come fosse negativa l'influenza dello scaling tecnologico su alcuni parametri in gioco, come la tensione di alimentazione. Questo comportamento, non in linea con le aspettative, può probabilmente essere imputato alla differente struttura del processore in alcune delle sue unità o al contributo positivo di altri fattori.

Purtroppo non è possibile confrontare direttamente i dati relativi ai test sulla cache del PowerPC750 con quelli del modello "hardened", il RAD750, poichè è diversa la natura stessa dei test, per il primo processore si dispone solo di test con protoni mentre per il secondo di ioni pesanti. È comunque significativo confrontare il RAD750 con il 750FX, anche se quest'ultimo è stato progettato qualche anno dopo. Per il confronto l'approccio tenuto è simile al precedente, vengono forniti tre valori della sezione d'urto dei due dispositivi per altrettanti valori di LET ritenuti significativi e ricavati rispettivamente dalle figure 68-a e 71: tabella 17 (da notare che i dati estrapolati da questa figura si riferiscono alla curva corrispondente a 2.5V/40°C)

In questo caso il confronto è risultato più complesso in quanto i test riguardanti il 750FX sono stati arrestati ad un valore di $20 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, probabilmente per il fatto che la sezione d'urto, per quella LET, sembra aver già raggiunto il valore di saturazione (come segnalato nella tabella 17), situazione che non si verifica nel RAD750 per il quale l'inizio del fenomeno del SEU si ha per una LET di $30 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ e il test si protrae fino ai $120 \text{ MeV} \cdot \text{cm}^2/\text{mg}$. Le due sezioni d'urto si trovano quindi in due range di LET completamente diversi. In ogni caso è possibile estrapolare qualche interessante dato: innanzitutto il valore di LET per il quale ha inizio il fenomeno del SEU, per il

σ cm^2/bit	LET $1 MeV \cdot cm^2/mg$	LET $15 MeV \cdot cm^2/mg$	LET $30 MeV \cdot cm^2/mg$
PowerPC750	$1.2 \cdot 10^{-11}$	$2 \cdot 10^{-9}$ (sat)	NO DATA
RAD750	NO SEU	NO SEU	10^{-11} (soglia)

Tabella 17: Valori sella sezione d'urto riguardante i test con ioni pesanti sulla cache de 750FX e del RAD750 per tre diversi valori di LET

750FX è di circa $1 MeV \cdot cm^2/mg$, mentre il RAD750 esibisce tali fenomeni a LET 30 volte superiori (circa $30 MeV \cdot cm^2/mg$), sicuramente questo testimonia la maggior robustezza del modello “hardened” e quindi in linea con quanto aspettato. L'altro dato riguarda il valore di saturazione, in quanto per i valori intermedi non è possibile eseguire considerazioni in quanto le sezioni d'urto appartengono a range di LET completamente differenti, considerando per il 750FX un valore di saturazione uguale a quello raggiunto dalla σ in corrispondenza dei $13 MeV \cdot cm^2/mg$, esso risulta molto simile a quello del RAD750, di poco più basso.

Sembra quindi che i tentativi di irrobustimento del PowerPC750 abbiano dato origine ad un processore effettivamente meno suscettibile ai SEU (senza considerare l'eliminazione dei fenomeni di Single Event Latchup, già discussa nel capitolo precedente), soprattutto per valori di LET non molto elevati, risultato decisamente positivo.

In relazione allo studio di questo processore va purtroppo sottolineato il fatto che fino ad oggi i dati raccolti attraverso i test risultano essere appena sufficienti ed è per questo motivo che risulta assai complessa un'analisi esaustiva dello stesso, vista anche la totale mancanza di prove sui registri oltre che sulla cache del processore, presenti invece sugli altri due modelli citati.

Anche il confronto tra le risposte del PowerPC750 e del 750FX riguardo ai test sui registri non è esente da qualche complicazione: i dati raccolti sul 750FX non recano riferimenti riguardanti al tipo di registri valutati, il che lascia pensare che siano stati considerati nel loro complesso, senza alcuna differenziazione, mentre sull'altro fronte è chiaramente specificato a quale tipo di registri corrisponde il test. Partendo da questo presupposto, si è comunque cercato di fornire qualche dettaglio derivante dal paragone dei due dispositivi e pertanto sono state confrontate le sezioni d'urto a disposizione: figure 62-b, 66-b e 69. Anche per quanto riguarda i registri la situazione sembra simile a quella della cache, sempre in disaccordo con quanto è stato spiegato in fase introduttiva: nel caso dei test con protoni, dal punto dell'affidabilità la sezione d'urto del 750FX è migliore di quella del PowerPC750, per averne la prova, nella tabella 18 sono stati raccolti alcuni dati.

σ cm^2/bit	Energia protoni 15 MeV	Energia protoni 100 MeV	Energia protoni 200 MeV
PowerPC750	$5 \cdot 10^{-15}$	$8 \cdot 10^{-14}$	$9.5 \cdot 10^{-14}$
750FX	$7 \cdot 10^{-15}$	$2.5 \cdot 10^{-15}$	$3 \cdot 10^{-14}$

Tabella 18: Valori della sezione d'urto riguardante i test con protoni sui registri a floating point del PowerPC750 e del 750FX per tre diversi valori di energia

Per quanto riguarda il test con ioni pesanti esso è in linea con quanto detto in questo capitolo, esaltando le prestazioni del 750FX nei confronti del predecessore è sufficiente osservare le sezioni d'urto per rendersi conto del fatto che quella riguardante il PowerPC750 vari da un minimo di $8.5 \cdot 10^{-8} cm^2/bit$ in corrispondenza di circa $6.5 MeV \cdot cm^2/mg$, ad un massimo che supera i $3 \cdot 10^{-7} cm^2/bit$ per $56 MeV \cdot cm^2/mg$, contro quella del 750FX la quale parte dai $3 \cdot 10^{-11} cm^2/bit$ per $1 MeV \cdot cm^2/mg$ e satura a $7 \cdot 10^{-9} cm^2/bit$ quando la LET raggiunge circa $10 MeV \cdot cm^2/mg$.

7 Test su altri PowerPC

7.1 Xilinx Virtex Pro

I dati raccolti in questa sezione riguardano dei test eseguiti sulla piattaforma Xilinx Virtex-II Pro; si tratta di una piattaforma FPGA che al suo interno conta diversi processori, integrati all'interno di una struttura di FPGA programmabili basata su SRAM. L'obiettivo del test è stato quello di verificare la presenza di SEE sul PowerPC integrato. Le applicazioni per il test sono state studiate appositamente per isolare le unità principali del PowerPC (registri, cache, rtc) e l'obiettivo era quello di fornire dati inerenti agli effetti della radiazioni su questa unità in modo da fornire un modello dettagliato sulla fenomenologia di tali effetti.

7.2 Applicazioni per il test

La verifica degli effetti è stata eseguita sulla cache e sui registri del processore e qui gli approcci volevano essere 2: statico e semi statico. Per quanto riguarda il primo non è stato possibile eseguirlo per problematiche legate alle necessarie connessioni tra un'interfaccia jtag e il processore, rese impossibili dalla geometria del sistema stesso. L'approccio semi-statico, esente da questa problematica, è stato soggetto di complicazioni derivanti dalle stesse cause che avevano afflitto il test precedente, riducendone l'estensione ad una sola delle FPGA.

7.3 Applicazione di test statica

Questa applicazione usa il debugger dello Xilinx (Xilinx Microprocessor Debugger, XMD) per leggere i dati nei registri e nella cache al termine di ogni run, attraverso l'interfaccia jtag. Per funzionare nel modo corretto l'elettronica della jtag non deve

essere corrotta dalle radiazioni.

Il test viene condotto tramite la seguente modalità:

- Prima che il PowerPC venga sottoposto alla radiazione vengono inizializzati tutti i suoi registri general-purpose (GPR) a valori noti, utilizzando un preciso (e semplice) schema, ad esempio *GPR_0* viene settato a *0x0000_0002*, *GPR_1* a *0x0000_0002*, *GPR_2* a *0x0000_0004* e *GPR_31* a *0x0000_0004*. In questo modo ogni registro ha un valore unico, anzichè tutti con lo stesso.
- Viene mandato in esecuzione un ciclo infinito.
- Tutti i valori contenuti nella cache vengono settati a *0x0000_0000*, *0xFFFF_FFFF* o *0xAAAA_AAAA*, utilizzando il debugger XMD.
- Il processore viene sottoposto al fascio di radiazioni.
- Una volta terminata la fase di irraggiamento viene nuovamente utilizzato l'XMD per scaricare tutti i dati dei registri e della cache per l'analisi post-test.

Seguendo tale procedura, in base ai test precedenti, risulta semplice identificare una bad run dovuta ad un SEFI nella jtag

7.4 Applicazione di test pseudo-statica

Lo scopo di questa applicazione è quello di raccogliere dati statistici sulla frequenza con cui si verificano SEU nei registri. Inoltre, per controllare i reset del dispositivo sotto test (DUT), viene utilizzato un processore che svolge il ruolo di unità di controllo per il DUT, all'interno di una FuncMon UART.

- L'unità di controllo invia periodicamente un segnale di interrupt al DUT PowerPC
- Una volta ricevuto il segnale il processore procede scaricando tutti i dati contenuti nei registri (GPR e SPR) sulla FuncMon tramite un bus locale del processore
- La FuncMon riceve i dati e memorizza i valori dei registri in una BRAM e incrementa un contatore

Viene definito pseudo-statico, invece che dinamico, poichè il DUT PowerPC esegue una minima quantità di elaborazioni durante il test. I flussi di dati che risultano bloccati (halted) o corrotti identificano la possibilità di upset nell'instruction set, malfunzionamenti del processore, reset del processore o altri TDB SEFI.

Per minimizzare queste situazioni le istruzioni assembly in esecuzione al PowerPC vengono ridotte al minimo. Una realizzazione schematica del sistema è rappresentata in figura 72

Una volta completato il trasferimento di dati il Processore della FuncMon riceve un segnale di interrupt dall'unità di controllo del DUT. A questo punto la FuncMon scarica tutti i dati alla porta UART e ogni volta che esegue questa operazione ne viene memorizzata una sequenza temporale. Rilevando i dati si ottiene una visione sulle modalità con cui il PowerPC subisce i SEU.

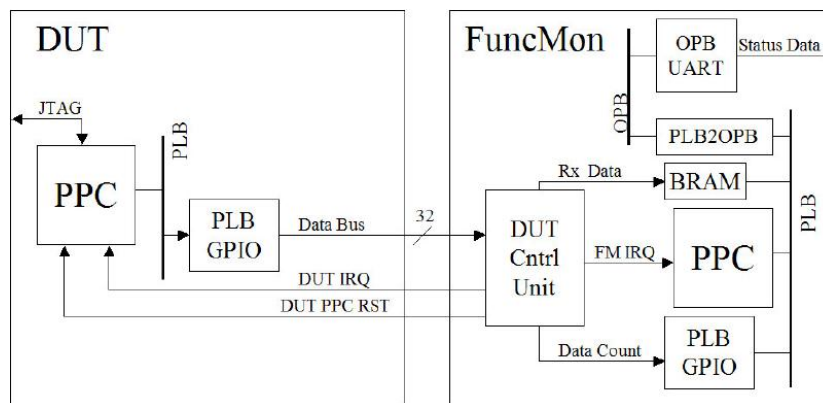


Figura 72: Diagramma del test pseudo-statico

8 Test sui processori SPARC LEON

Il processore sottoposto al test è il LEON, un processore a 32 bit che implementa l'architettura SPARC V8, progettato per applicazioni embedded. Nel corso delle simulazioni sono state prese in considerazione le tre versioni che sono state sviluppate: il LEON, il LEON2 e il LEON3, tratti di evoluzioni dello stesso processore (LEON). Ne esiste anche una versione, ancora più recente, il LEON4 (2010) che non è stato riportato a causa dell'attuale assenza di test di radiazioni su tale processore.

Per quanto riguarda i modelli LEON2 e LEON3 sono previste due versioni il LEON2FT e il LEON3FT che possiamo definire “hardened”, cioè studiate, a partire dal modello base, per essere utilizzate in applicazioni spaziali e quindi più resistenti all'ambiente radioattivo.

8.1 Il LEON

Il Leon è descritto da un modello VHDL¹¹ sintetizzabile di un processore a 32 bit compatibile con l'architettura SPARC ed è stato sviluppato dall'Agenzia Spaziale Europea (ESA). Il codice sorgente è distribuito con licenza GNU LGPL¹² ed è dunque liberamente utilizzabile e modificabile.

¹¹VHDL è l'acronimo di VHSIC Hardware Description Language. A sua volta VHSIC vuol dire Very High Speed Integrated Circuits, si presenta per molti versi simile a un vero e proprio linguaggio di programmazione, tuttavia, essendo un linguaggio che descrive il funzionamento e la struttura di componenti hardware, ha alcune caratteristiche distintive rispetto ai linguaggi software. La principale è la concorrenzialità: diverse parti di un codice scritto in VHDL devono essere immaginate funzionanti contemporaneamente, perché varie parti di un circuito elettronico funzionano contemporaneamente. Il VHDL permette di modellare facilmente l'interazione tra i vari blocchi funzionali che compongono un sistema, essenzialmente lo scambio di segnali di controllo e di dati tra i vari oggetti che costituiscono il sistema.

¹²La GNU Lesser General Public License (abbreviata in GNU LGPL o solo LGPL) è una licenza di software libero creata dalla Free Software Foundation, studiata come compromesso tra la GNU General Public License e altre licenze non-copyleft; è di tipo copyleft ma, a differenza della licenza GNU GPL, non richiede che eventuale software “linkato” al programma sia rilasciato sotto la medesima licenza. Viene principalmente usata per le librerie software.

Il modello VHDL del Leon supporta tutte le principali funzionalità dell'architettura SPARC V8, benchè non abbia la certificazione di compatibilità allo standard da parte della SPARC International. Il modello è largamente configurabile e può essere realizzato su FPGA e ASIC.

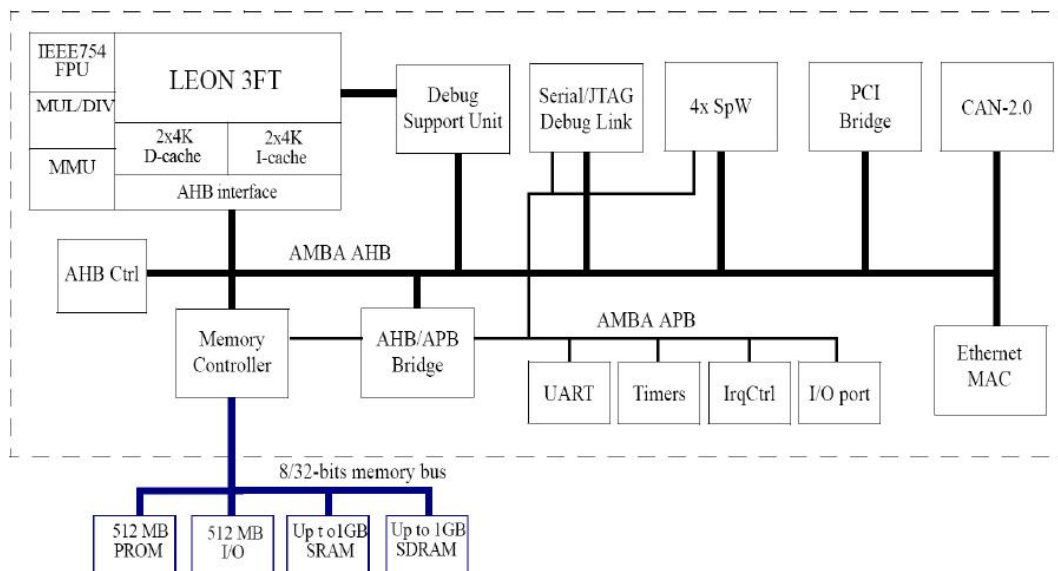


Figura 73: Diagramma a blocchi del processore Leon

In figura 73 è rappresentato lo schema del LEON i cui blocchi sono interconnessi mediante l'“Advanced Microcontroller Bus Architecture”, AMBA: è un'interfaccia di bus molto utilizzata per i sistemi on-chip (System-on-a-chip, SoC) le cui caratteristiche principali non risiedono solo nel numero di componenti o blocchi che essa ospita, ma anche nel modo in cui sono interconnessi, permette infatti alle unità presenti di interfacciarsi l'una con l'altra.

È un sistema complesso che ha come obiettivi quelli di facilitare lo sviluppo di microcontrollori con una o più CPU, GPU o processori di segnali, incoraggiare i progetti di sistemi modulari per incrementare l'indipendenza dei processori, di favorire lo sviluppo di librerie utilizzabili e di minimizzare l'utilizzo di strutture a base di silicio supportando allo stesso tempo le prestazioni.

Come si nota nella figura 73 AMBA integra: processore on-chip LEON 3FT, SpaceWire, porte Ethernet, controllori di memoria, cPCI, bus CAN e periferica di interrupt programmabile.

Caratteristiche tecniche:

- Il processore include un'unità intera con pipeline a cinque stadi
- Due cache a mappatura diretta e controllo di parità per dati e istruzioni
- 136 registri da 32 bit divisi in otto finestre

- Un controller per memorie a 8 o 32 bit, che fornisce un'interfaccia per PROM, SRAM e dispositivi di I/O memory mapped;
- Un controller di interrupt in grado di gestire fino a 15 segnali provenienti dall'interno o dall'esterno del processore;
- Una porta di I/O a 32 bit, che può essere utilizzata anche per l'ingresso degli interrupt provenienti dall'esterno del processore.

Aderendo allo standard SPARC, con il Leon possono essere usati compilatori e kernel per l'architettura SPARC V8. Inoltre Gaisler Research² fornisce un compilatore C/C++ per Leon (LECCS) e un simulatore del processore (TSIM) che può essere interfacciato a gdb¹³ e riprodurre fedelmente il funzionamento del LEON.

I modelli successivi del LEON hanno la stessa struttura di base del loro predecessore, le differenze risiedono principalmente nelle prestazioni sia in termini di calcolo che in termini di affidabilità.

8.2 IL LEON2

Il Leon2 è la versione successiva al LEON ed è stato certificato come rispondente all'architettura SPARC V8 (IEEE standard 1754). Sia la ESA che la Atmel Corporation hanno realizzato versioni "robuste" di questo processore, pensate appositamente per le applicazioni aerospaziali; la Orbita Software Engineering Inc. produce processori per impiego militare basati sul Leon; la più importante è il LEON2-FT in cui i flip-flop sono protetti attraverso un sistema modulare di ridondanza triplica e tutte le memorie interne ed esterne vengono protette da codici di EDAC e sistemi di parità.

8.3 IL LEON3

Anche questo modello rappresenta l'evoluzione del predecessore, mantenendone le caratteristiche principali con ovvie differenze e miglioramenti. Rimane un progetto open source e compatibile con l'architettura SPARC V8, che fa della versatilità una delle caratteristiche fondamentali in quanto conferisce la possibilità di ottimizzazione su diversi aspetti, come ad esempio, le performance, il consumo di potenza, dispositivi I/O, occupazione di risorse ed il costo. Il microprocessore si interfaccia con il bus AMBA-2.0 AHB (versione più recente di quella vista per il LEON) e supporta l'IP plug&play descritta nella libreria GRLIB (Gaisler Research ip LIBrary); può essere efficientemente implementato nelle tecnologie FPGA e ASIC ed utilizza delle celle standard di RAM sincrona per implementare sia la memoria cache che i file di registro. Per promuovere l'architettura SPARC e semplificare la progettazione vengono fornite le descrizioni hardware in VHDL sia del processore LEON3 che della libreria IP sotto licenza GNU (General Public License).

¹³Il Debugger GNU, chiamato anche GDB e nominato gdb come file eseguibile, è il debugger standard per il sistema software GNU. È un sistema di debug che gira su molti sistemi stile Linux e funziona per molti linguaggi di programmazione inclusi C, C++, Fortran, Pascal e altri.

Caratteristiche tecniche:

È un microprocessore a 32 bit, progettato per applicazioni embedded e le sue principali caratteristiche sono:

- Pipeline a 7 stadi;
- Architettura di memoria di tipo Harvard;
- Presenza di cache separate per dati e istruzioni (entrambe possono essere configurate in 1-4 set, 1-256 kByte/set, 16-32 byte per linea);
- Frequenza di lavoro su FPGA fino a 125MHz;
- Supporta il bus AMBA;
- Moltiplicatore e divisore hardware;
- Presenza di 2 modalità operative: supervisore e utente;
- Unità per il supporto del debug on-chip.

Come per il LEON, anche la terza versione del processore è composta dei diversi macro blocchi (unità) delle architetture SPARC, i quali hanno le medesime funzioni.

La versione “hardened” di questo modello viene chiamato LEON3FT (Fault-Tolerant), supporta molte delle funzionalità del modello LEON3 con l’aggiunta delle seguenti:

- Riconoscimento e correzione degli errori (SEU) in tutte le memorie RAM on-chip
- Correzione di SEU nei file di registro, fino a 4 errori per ogni parola da 32 bit
- Correzioni di errori nella memoria Cache, fino a 4 errori per tag o parola da 32 bit
- Gestione degli errori autonoma e trasparente
- Nessun impatto sulle tempistiche o sulle performance a seguito della individuazione e correzione degli errori

8.4 Modalità di test: Configurazione hardware

L’interfaccia di bus che integra sia il LEON che il LEON3FT è un modello più recente di quella vista nella descrizione dei processori, si tratta dell’AMBA 2.0, che di fatto ha la stessa struttura della precedente.

8.4.1 LEON

La scheda madre utilizzata per i test è chiamata leon-express e si tratta della prima implementazione a silicio del leon (2001, basata sul processo Atmel ATC35¹⁴), per la quale è stata utilizzata una libreria di celle standard¹⁵ (standard-cell), sprovvista di sistemi di difesa dai SEE. Il chip è di circa 40 mm^2 e opera a 50 MHz (temperature di caso peggiore) e per minimizzarne il costo di fabbricazione conta di solo tre strati di metallo.

Sono stati montati due processori LEON sulla scheda madre, figura 74, collegati in modalità master/checker¹⁶ in modo da rendere possibile l'utilizzo del dispositivo a velocità massima e confrontare le uscite in ogni ciclo di clock.



Figura 74: Scheda leon-express utilizzata per i test

In modalità checker tutte le uscite sono disabilitate e i valori interni vengono guidati e confrontati con quelli del processore in modalità master, eventuali discrepanze portano alla rilevazione di errori.

8.4.2 LEON3FT

Il processore che verrà sottoposto ai test è il modello LEON3FT, sviluppato dalla Aeroflex Colorado Springs ed è basato sul processo CMOS da 0.25 μm che prende il nome di Shallow Trench Isolation (STI). Chiamato anche Box Isolation Technique, si tratta di una caratteristica del circuito integrato che previene la perdita di corrente tra dispositivi semiconduttori adiacenti e che, solitamente, sfrutta la tecnologia CMOS da 250 nm , proprio come nel caso del processore in questione.

Come verrà dimostrato, il processore così valutato risulta immune agli eventi ad effetto

¹⁴Chiamato anche (AT56K) è un processo di fabbricazione a CMOS da 0.35 micron, a tre strati di metallo, con una tensione di alimentazione di $3.3 V \pm 0.3 V$.

¹⁵Per velocizzare il tempo di progetto (time-to-market) di un prodotto vengono realizzate librerie formate da celle logiche elementari

¹⁶funzione implementata nel LEON per permettere a due processori di operare simultaneamente nella stessa scheda

singolo per quello che riguarda gli elementi protetti.

I test riportati sono stati eseguiti in due differenti sedi ma entrambi sono stati eseguiti con fasci di ioni pesanti e riguardano due modelli diversi del processore: il primo è stato eseguito al “Louvain Cyclotron Facility” in Belgio e riguarda il LEON, il secondo ha avuto sede al Texas A&M University (TAMU) e riguarda il LEON3FT.

Il dispositivo è alimentato a tensione nominale di 3.3 V I/O e tensione di core di 2.5 V; eseguendo un benchmark (Dhrystone) per la valutazione delle grandezze operative risulta una corrente di 1000 mA, una frequenza base di clock di 66 MHz e il dispositivo lavora a temperature che variano da -40° a $+105^{\circ}$.

8.5 Modalità di test: Configurazione software

8.5.1 LEON

Studiando la distribuzione delle celle sequenziali nel progetto del LEON esse possono essere suddivise in tre gruppi: le celle ram a porta singola usate per le memorie cache, le celle ram a porta doppia o tripla usate per i file di registro e i flip-flop sincroni (D-flip-flops) utilizzati per tutti i rimanenti processi di salvataggio. In base a questa differenziazione sono stati utilizzati dei sistemi di protezione, che verranno brevemente discussi di seguito.

- Memorie cache

Grandi memorie cache sono vitali per processi ad elevate performance, servono a minimizzare la complessità e i tempi di esecuzione e sono protette con il semplice codice di parità per uno o due bit per ogni parola. I bit di parità vengono scritti simultaneamente con gli annessi dati e controllati ad ogni accesso; se si verifica il rilevamento di un errore di parità viene forzato un cache miss con la conseguente esecuzione del fetch dei dati (non corrotti) dalla memoria esterna.

- File di registro del processore

Anche in questo caso può essere utilizzato il sistema di protezione di parità a uno o due bit, i quali vengono generati nella fase di scrittura della pipeline, inseriti insieme ai dati corrispondenti. Successivamente il file di registro viene letto nella fase di decode ma la ricerca di eventuali errori viene effettuata nella fase di esecuzione, in parallelo con l'esecuzione dell'istruzione, in modo da evitare perdite di tempo per il processore. Se viene riscontrata la presenza di un errore la pipeline viene salvata, il dato errato viene corretto e scritto nuovamente nel file di registro. La pipeline a questo punto riparte dal punto in cui era stata fermata.

- Flip-flop

Il processore contiene circa 2500 flip-flop usati per salvataggi temporanei e stati della macchina. Per la protezione dei SEU ogni registro on-chip può essere implementato utilizzando una ridondanza modulare triplica (Triple Modular Redundancy, TMR): i flip-flop vengono continuamente temporizzati e gli errori nei registri si rimuovono automaticamente all'interno di un ciclo di clock mentre l'uscita del voter mantiene il valore

corretto. Un'ulteriore aumento di robustezza può essere ottenuto facendo in modo che ognuna delle tre corsie dei registri TMR abbia un albero di clock separato (figura 75): in questo modo un SEU in uno degli alberi può essere tollerato anche se i dati di una corsia intera di 2500 registri sono corrotti. Nel successivo ciclo di clock gli errori vengono rimossi con l'arrivo dei nuovi dati.

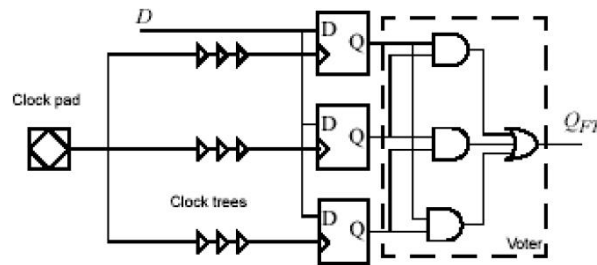


Figura 75: Schema del TMR

- Memoria esterna

È protetta tramite un'unità EDAC, che implementa un codice standard BHC, correggendo uno e rilevando due errori in ogni parola da 32 bit. La ricerca e la correzione avviene durante la fase in cui la cache viene caricata con i dati nuovi, senza penalità in termini di tempo.

8.5.2 LEON3FT

Per quanto riguarda i test sul LEON3FT, come verrà spiegato nel paragrafo successivo, verranno suddivisi in quelli sui flip-flop e quelli sulla SRAM della memoria cache e di quella per i file di registro, in particolare la suscettibilità alle radiazioni del processore nel suo complesso è dovuta principalmente alle SRAM, per le quali sono stati realizzati dei software in modo da poterle testare.

La memoria SRAM è protetta sia da un sistema di rilevazione e correzione degli errori integrato (EDAC) sia da un circuito di controllo di parità che controllano un singolo bit per parola. Sia per la cache che per la memoria dei file di registro la ricerca degli errori avviene durante la lettura e dipende dall'applicazione in elaborazione e dai parametri con i quali il processore sta lavorando: frequenza di clock e frequenza di accesso alla memoria.

Una volta che un errore viene riconosciuto tramite il sistema di parità nella cache, esso viene corretto eseguendo un nuovo fetch¹⁷ del dato dalla memoria esterna in modo da ripristinare la cache del LEON3FT con i dati corretti. Se l'errore viene rilevato nella memoria dei file di registro utilizzando l'EDAC (single-error correcting double error

¹⁷Il Fetch o Instruction Fetch (dall'inglese, prendere, prelevare), è la prima delle tre fasi fondamentali dell'elaborazione sequenziale di un programma per calcolatori elettronici. Si tratta dell'astrazione procedurale di tutte quelle operazioni che portano al caricamento dell'istruzione da parte del microprocessore.

detecting, SECDED) esso viene corretto durante la lettura del registro; in figura 76 viene illustrato il diagramma delle operazioni appena descritte.

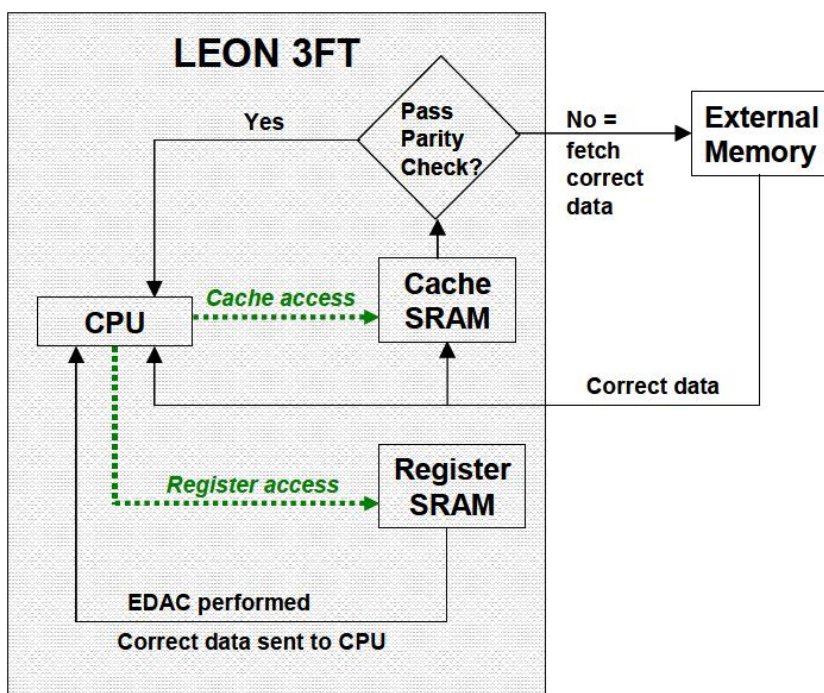


Figura 76: Diagramma delle operazioni.

8.5.3 Modalità di test: Programmi utilizzati

Per quanto riguarda la valutazione del 100% della SRAM del LEON3FT (e per monitorare e salvare gli errori a singolo bit corretti attraverso i sistemi descritti) è stato sviluppato un programma che permette di calcolare, una volta che viene determinata la frequenza di errore, la probabilità che possano essere stati corrotti più bit della stessa parola (Multiple-Bit per word Error, MBE).

Sono stati inoltre sviluppati tre programmi per l'esecuzione dei test sia sul LEON sia sul LEON3FT: l'Integer Unit RAM test "IUTEST", il Gaisler Test Bench "GTB" e il Single-Precision Paranoia "PXSP" che di seguito verranno descritti.

- **Integer Unit RAM test, IUTEST:**

Si tratta di un'applicazione sintetica studiata per accedere a tutte le memorie SRAM e opera in 3 fasi:

- 1- Viene allocato un array di dati delle stesse dimensioni della cache (data cache) e inizializzato con dei contenuti predefiniti
- 2- Vengono sommati i contenuti dell'array generando così un checksum
- 3- Il checksum viene confrontato con un valore precedentemente calcolato e il risultato

(coincidente o meno) viene inviato ad un sistema di host attraverso il canale UART. Poichè l'array è della stessa grandezza della cache, si accede a tutte le locazioni della stessa durante ogni iterazione dell'esecuzione del programma. La dimensione del codice per la routine di checksum è tale da utilizzare tutta l'istruzione della cache durante l'esecuzione del programma.

Per testare i registri nel file di registro viene richiamata periodicamente una routine di servizio che garantisce che tutte le register window¹⁸ vengano salvate in memoria e poi ripristinate.

- **Gaisler Test Bench, GTB:**

Permette di coprire quasi il 100% dei file di registro e della cache on-chip durante ogni iterazione del programma; esso contiene circa il 15% delle istruzioni a virgola mobile e, in modo simile al software IUTEST, calcola un checksum e lo confronta con dei valori predefiniti inviando poi il risultato al sistema di host attraverso il canale UART. La dimensione del codice è di 32 kbyte mentre il segmento dati attivo è di 12 kbyte; questo programma utilizza circa il 60% della SRAM on-chip.

- **Single-Precision Paranoia, PXSP:**

Esegue il test di convalida PARANOIA¹⁹ e permette di valutare l'unità a virgola mobile. Tutti i calcoli eseguiti nella FPU vengono confrontati con dei valori calcolati nell'unità intera (IU) e questo processo viene definito "crosschecking". Paranoia è costituito prevalentemente di istruzioni intere, solo il 5% sono a virgola mobile ed è completamente autonomo. Ogni errore derivante da un calcolo della FPU non riconosciuto può essere rilevato come un fallimento nella FPU dal crosschecking del software, differente è la situazione della IU per la quale non sempre è possibile riconoscere gli errori (se presenti), tuttavia possono risultare in errori IU/FPU attraverso il continuo crosschecking. Il software PXSP utilizza circa il 30% della SRAM del processore.

Infine per i test sul LEON è stato utilizzato anche un altro codice, il CNCF, basato su reali applicazioni di navigazione spaziale e ne sono stati tratti alcuni dati che verranno illustrati nel capitolo seguente.

¹⁸descritta nel capitolo riguardante l'architettura SPARC

¹⁹Paranoia è il nome di un programma ideato da William Kahan agli inizi degli anni '80, studiato per caratterizzare il comportamento dell'unità a virgola mobile del processore.

8.6 Risultati dei test

8.6.1 LEON

Durante il test con ioni pesanti il processore primario (il master) è sottoposto al fascio di radiazione mentre il segnale di errore di comparazione proveniente dal dispositivo secondario (in slave, il checker) viene monitorato per verificare la presenza di errori di comparazione²⁰. Quando se ne rileva uno si attende il completamento del ciclo che il software ha in esecuzione e viene verificato il checksum in modo da controllare che la correzione abbia avuto successo.

Il primo ciclo di test è stato eseguito ad una LET effettiva variabile tra i 6 e i 110 $MeV \cdot cm^2/mg$ utilizzando flussi di ioni dai 75 ai 400 $ioni \cdot cm^2/s$ per un totale di 10^5 particelle iniettate nel dispositivo ad ogni prova. Nella tabella 19 è riportato il numero di errori in funzione del programma utilizzato: con l'espressione ITE si intende "instruction cache tag error", con IDE "instruction cache data error", con DTE "data cache tag error", con DDE "data cache data" e con RFE "register file error". Non sono stati rilevati

TEST	LET	ITE	IDE	DTE	DDE	RFE	Total	X-sect
IU	5.86	10	35	13	44	0	102	1.02E-03
IU	8.27	16	58	12	84	6	176	2.04E-03
IU	14.1	24	124	31	113	27	319	3.19E-03
IU	14.1	33	142	32	124	35	366	3.66E-03
IU	28.2	50	227	59	245	44	625	6.25E-03
IU	55.9	50	170	53	220	42	535	5.35E-03
IU	110	83	318	103	440	71	1015	1.02E-2
PAR	14.1	30	65	13	12	25	145	1.45E-03
PAR	28.2	34	81	15	28	36	194	1.94E-03
PAR	55.9	45	94	27	31	45	242	2.42E-03
PAR	110	95	157	50	67	76	445	4.45E-03
CNCF	14.1	23	44	17	51	28	163	1.63E-03
CNCF	14.1	28	49	27	70	23	197	1.97E-03

Tabella 19: SEU nella leon-express, in una prova con un totale di 10^5 particelle

errori non riconosciuti o anomalie durante il test, che ha evidenziato un totale di 4500 errori (trovati e corretti). Le sezioni d'urto dipendono dal programma in esecuzione durante il test e raggiungono il valore massimo ($0.1 cm^2$) in corrispondenza della LET massima di 110 $MeV \cdot cm^2/mg$. Confrontato con le dimensioni della RAM di 10 mm^2 significa che il 10% dell'area della cella RAM è sensibile ai SEU.

Non è stato possibile tracciare la sezione d'urto per i flip-flop in quanto la proprietà di monitoraggio sei SEU non è implementata nelle celle TMR.

Limitare il flusso a 400 $ioni \cdot cm^2/s$ durante il primo test era necessario per poter contare accuratamente tutti gli errori: un reset e una re-inizializzazione del sistema di test

²⁰Vengono definiti così perchè rilevati grazie al confronto del segnale proveniente dal processore secondario e da quello del primario

richiede circa 50 millisecondi, tempo che deve essere sensibilmente più basso della frequenza di errore stimata. Una volta ottenuti i dati per le sezioni d'urto è stato possibile eseguire altri test con valori di flusso ben maggiori: tra i 2000 e i 5000 $ioni \cdot cm^2/s$ utilizzando una LET di 110 MeV. A questi livelli è stato riscontrato un numero tra i 20 e i 50 errori al secondo nelle cella RAM.

Sono state effettuate svariate prove utilizzando tutti e tre i programmi di test elencati nella tabella, iniettando 10^6 e 10^7 particelle ($10^4 - 10^5$ errori) per ogni prova. I programmi CNCF e PARANOIA non sono stati protagonisti di errori non rilevati, cosa che invece è successa per lo IUTEST che ha dato prova di circa 5 fallimenti nel caso di 10^7 particelle. Per valori di flusso inferiori ai 2000 $ioni \cdot cm^2/s$ non sono stati riscontrati fallimenti e si ritiene che gli errori non rilevati siano dovuti alla presenza di errori multipli nella cache.

In ogni caso questo effetto non è comunque ritenuto un problema visto che le condizioni di caso peggiore per il flusso di ioni in ambiente spaziale è di molte magnitudini più basso.

Le sezioni d'urto per ogni tipo di RAM sono illustrate in figura 77.

8.6.2 LEON3FT

L'obiettivo è quello di caratterizzare le prestazioni del LEON3FT per quanto riguarda gli eventi ad effetto singolo, in particolare gli Upset (SEU) della SRAM integrata utilizzata per la memoria cache e dei file di registro. In una fase precedente al test erano stati ricavati i valori di saturazione e di soglia²¹ per i flip-flop all'interno del processore, i cui risultati sono riportati in tabella 20 insieme a quelli della SRAM che verranno discussi di seguito.

Tipo di cella	σ_{sat} <i>cm²/celle</i>	LET di soglia <i>Mev · cm²/mg</i>	Conto relativo dei bit %
SRAM	$3.2 \cdot 10^{-8}$	8	87
Flip-Flop	$4.0 \cdot 10^{-8}$	54	13

Tabella 20: Caratteristiche per il SEU degli elementi di memoria del LEON3FT

Le celle SRAM del LEON3FT risultano essere in numero oltre sei volte maggiore delle celle flip-flop, mentre il valore di soglia è circa sette volte più basso nelle corrispondenti caratteristiche SEU: questo, in prima analisi, si può assumere come dimostrazione del fatto che la problematica delle radiazioni per il processore sia dominata dalle celle SRAM piuttosto che dai flip-flop.

I test sono stati eseguiti presso il Texas A&M University (TAMU), utilizzando il fascio di 15 MeV/amu con ioni pesanti di oro, xenon, cripto e argon, ad angoli di incidenza da valori normali (0°) a un massimo di 60° .

²¹Quando si parla di LET di soglia si intende quel valore minimo di LET per cui si verifica il primo evento ad effetto singolo.

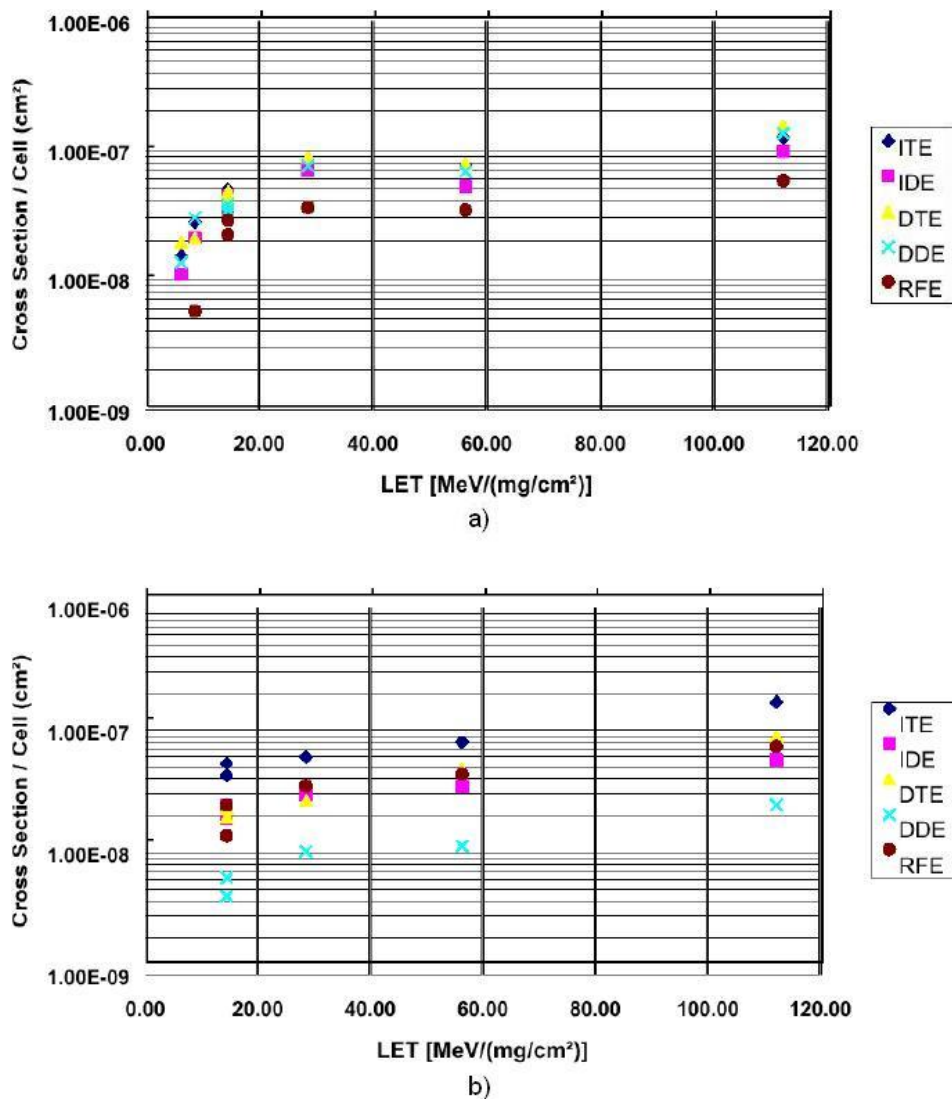


Figura 77: Sezioni d’urto per il SEU del LEON secondo i programmi: a)IUTEST, b)PARANOIA

Per suscitare i SEU nel LEON3FT, i test sono stati eseguiti nelle condizioni di caso peggiore sia per quanto riguarda la temperatura (25°C) che per la tensione di alimentazione (che per il SEU corrisponde a quella minima, 3.0 V I/O e 2.3 V core), ad una LET massima di $112 \text{ MeV} \cdot \text{cm}^2/\text{mg}$.

Il processore è stato sottoposto ad una dose ionizzante totale (TID) ad un livello di 300 krad(Si), ma il danno accumulato durante questa fase non ha compromesso i risultati del test con ioni pesanti. In figura 78 sono riportati i grafici delle tre sezioni d’urto inerenti a ciascuno dei programmi descritti nella sezione precedente; le curve sono state ricavate utilizzando Weibull²², in particolare è da notare come solo il valore di saturazione σ_{sat} varia in base al software e qui la spiegazione è immediata: l’effetto è dovuto alle differenze sulle percentuali di SRAM utilizzate.

²²Guardare il capito introduttivo alla sezione “Unità di misura”

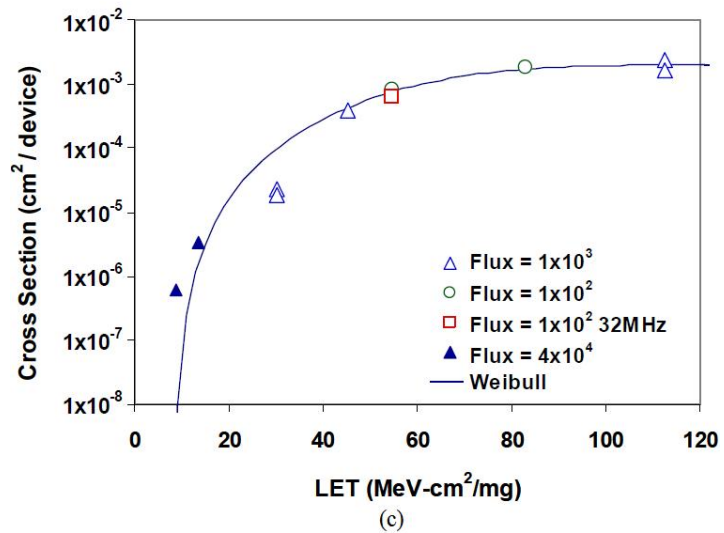
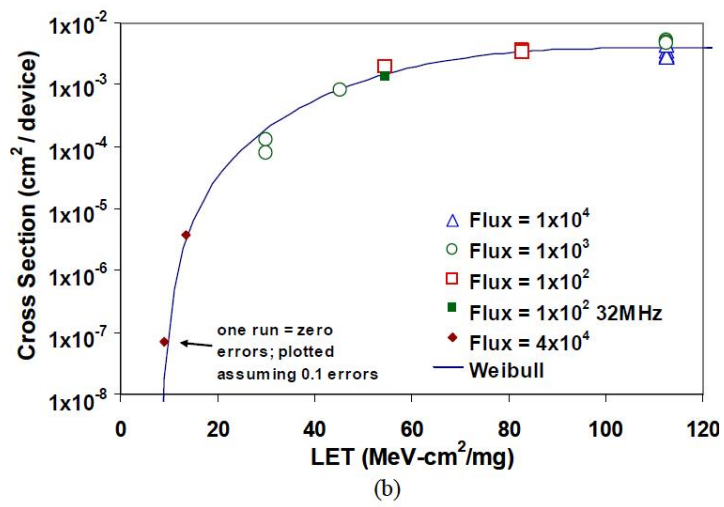
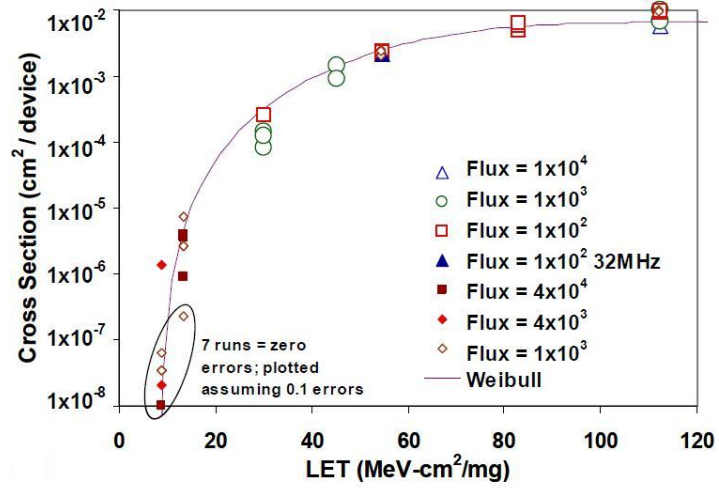


Figura 78: Sezioni d'urto per gli errori a singolo bit del LEON3FT corretti utilizzando i software a)IUTEST, b)GTB e c)PXSP

Verranno ora effettuate alcune considerazioni riguardanti la possibilità che vengano generati degli MBE a causa di collisioni di più ioni durante uno specifico intervallo di tempo. L'approccio per il calcolo della probabilità che tale evento possa accadere è puramente analitico e si basa sulla variabile aleatoria binomiale²³ semplificata e adattata alla situazione di interesse, per la quale si assume valida l'espressione:

$$MBE_{freq_err} = \left(\left(\frac{nSEU}{dev - sec} \right)^2 \cdot (t_{REFRESH}) \cdot \frac{1}{N} \right)$$

dove $t_{REFRESH}$ è il periodo di tempo per che serve a ripristinare la memoria cache e dei file di registro attraverso la lettura della stessa durante le operazioni normali, N è il numero delle parole nel file di registro e nella cache. L'unità di misura può essere definita come $\frac{n_errori}{dev-sec}$.

Semplificando le assunzioni utilizzate per arrivare alla forma dell'espressione descritta, si possono ottenere i dati riportati nella tabella 21, per i quali ci sono state numerose considerazioni basate sull'ambiente nel quale il processore è destinato a lavorare (in particolare riguardanti il flusso medio di particelle in funzione dell'orbita del satellite sul quale i LEON3FT viene montato), sul numero di bit di parità per parola (che non si può, ovviamente, conoscere a priori ma solo stimare) e altre, come ad esempio il fatto di ritenere che tutti i bit della SRAM vengano utilizzati in una applicazione.

I valori della tabella sono stati calcolati assumendo un $t_{REFRESH}$ di 100 ms, considerando un'orbita geosincrona²⁴ e la presenza di una protezione di alluminio di 0.254 cm.

²³Nella teoria delle probabilità la distribuzione binomiale è una distribuzione di probabilità discreta che descrive il numero di successi in un processo di Bernoulli, ovvero la variabile aleatoria $S_n = X_1 + X_2 + \dots + X_n$ che somma n variabili aleatorie indipendenti di uguale distribuzione di Bernoulli $B(p)$. Essa è caratterizzata da due parametri: p , ovvero la probabilità di successo della singola prova di Bernoulli e n cioè il numero di prove effettuate; per semplicità viene anche usato il parametro $q = 1 - p$. L'espressione è $P(k) = \binom{n}{k} p^k q^{n-k}$

²⁴Originariamente espressa nell'unità di misura inglese mil, ovvero miglia (1 mil equivale a 0.001 pollici), per la precisione lo scudo di alluminio è spesso 100 mil

Geosynchronous Orbit Environment	Predicted MBE Rate (errors/device-day)	Mean Time Between MBEs (device-years/error)
Galactic Cosmic Ray Solar Quiet Maximum	8.1×10^{-20}	3.4×10^{16}
Galactic Cosmic Ray Solar Quiet Minimum	4.9×10^{-18}	5.6×10^{14}
Adam's 90% Worst Case Environment	6.7×10^{-18}	4.1×10^{14}
Worst Week	4.4×10^{-13}	6.3×10^9
Worst 5 Minute	6.7×10^{-11}	4.1×10^7

Tabella 21: Predizione della frequenza di MBE per cinque diversi ambienti radioattivi

8.7 Analisi dei test

Valutando le sezioni d'urto ricavate dai test sono emersi alcuni dati che destano un certo scalpore in quanto profondamente differenti rispetto al caso del powerpc 750. Esaminando i dati sul LEON è facile notare come l'impatto dello scaling tecnologico abbia avuto un effetto piuttosto negativo in termini di affidabilità su tale processore, contrariamente a quanto si era detto nel capitolo precedente nel caso dei vari modelli del 750. In seguito verranno illustrati i dati che sono stati raccolti ed utilizzati per arrivare a tale conclusione, con la sola premessa che purtroppo non si dispone di una grande quantità di test da cui estrapolare informazioni e praticamente solo due delle sezioni d'urto sono state ritenute confrontabili con buona approssimazione.

Come specificato nelle sezioni precedenti i test si basano sull'irraggiamento del processore e sull'analisi del comportamento delle sue celle SRAM, purtroppo nel caso del LEON3FT non ci sono sezioni d'urto differenziate per i vari tipi di SRAM (cosa che invece accade per il LEON), ne è stato quindi dedotto che esse siano state messe alla prova nel loro complesso senza distinzioni. La necessità di effettuare dei confronti costringe ad assumere una situazione "media" per quanto riguarda gli andamenti delle sezioni d'urto del LEON, approssimazione che è stata ritenuta come non compromettente e quindi accettata.

Infine è importante precisare che le modalità di esecuzione dei test prevedevano l'utilizzo dei codici descritti (Iutest, Paranoia, etc.) da mandare in esecuzione al processore durante la fase di irraggiamento, è quindi logico aspettarsi comportamenti differenti in funzione del programma; pertanto è stato ritenuto indispensabile selezionare quelle sezioni d'urto di cui si ha una corrispondenza anche del codice elaborato dal processore. Inutile dire che questo limita ancor più il range di dati a disposizione, imponendo di fatto la possibilità di mettere a confronto solo due sezioni d'urto, scelta che risulta però necessaria per poter conferire una certa validità alle conclusioni.

Con riferimento alle figure 77-a e 78-a che recano le sezioni d'urto, entrambe ricavate utilizzando il codice IUTEST, è possibile valutare per alcuni valori di LET il corrispondente andamento della σ :

σ <i>cm²/bit</i>	LET <i>9 MeV · cm²/mg</i>	LET <i>60 MeV · cm²/mg</i>	LET <i>115 MeV · cm²/mg</i>
LEON	$1.5 \cdot 10^{-8}$	$5 \cdot 10^{-8}$	10^{-7}
LEON3FT	$3 \cdot 10^{-8}$	$2.5 \cdot 10^{-3}$	$8 \cdot 10^{-2}$

Tabella 22: Valori della sezione d'urto riguardante i test sul LEON e sul LEON3FT per tre diversi valori di LET

9 Conclusioni

Le analisi effettuate sono state utili per ricavare alcune informazioni sulla suscettibilità dei processori alle radiazioni ionizzanti, in particolar modo l'evolvere del comportamento di tali dispositivi in funzione dei parametri che li caratterizzano, quali le dimensioni di progetto, le tensioni di alimentazione e la frequenza di lavoro. Come si è visto alcuni di questi influiscono in modo determinante sul comportamento dei procesori, per altri invece essi ne risentono meno.

Inoltre per comprendere quanto importanti siano le prove reali sui dispositivi è sufficiente notare come le ipotesi di funzionamento teoriche, che erano state ipotizzate in fase preliminare, siano state più volte contraddette durante il corso dei test.

La presente relazione non è quindi utile solo per capire in che modo e con che entità i processori vengono danneggiati dalle radiazioni a cui vengono sottoposti, ma permette anche di comprendere quali siano i parametri di cui essi risentono maggiormente, chiaramente in funzione dell'architettura dei dispositivi.

Uno degli aspetti che si nota osservando le sezioni d'urto inerenti alla cache dei powerpc della famiglia 744x (Motorola), del 750FX (IBM) e del più datato RAD750 (IBM), è l'assenza di grandi cambiamenti sull'affidabilità di tali processori. Infatti tutte le sezioni d'urto presentano valori di saturazione molto simili, con l'unica eccezione rappresentata dal 7448 che esibisce valori decisamente inferiori. Anche considerando la LET di soglia l'unica vera diversità risiede nel RAD740 che presenta valori ben più elevati rispetto agli altri due processori.

Nella valutazione dei registri, oltre ai commenti già effettuati in precedenza nelle sezioni riguardanti i vari tipi e modelli dei processori, considerando il powerpc 750FX e alcuni della famiglia 744x le conclusioni sono molto simili alle precedenti, con l'esclusione dell'ultimo modello della Motorola, il 7448 che, anche in questo caso, risulta più robusto. Chiaramente tali affermazioni necessiterebbero di un numero più elevato di test per acquisire maggior validità, specialmente se condotti sotto le medesime condizioni operative e sulle stesse sezioni dei processori, caratteristiche che non sempre si riesce ad accomunare alle prove ricavate in questa sede.

Va precisato che le considerazioni fatte riguardano dispositivi che sono stati ideati e distribuiti più o meno negli stessi anni (1999-2002) e appartengono alla stessa famiglia, è quindi auspicabile che non presentino grandi differenze, questo con l'esclusione del modello MPC7448 che è di più recente fabbricazione (2005) e, oltre a essere decisamente più performante rispetto agli altri, è di fatto superiore anche sotto il punto di vista dell'affidabilità ed in questo senso la tecnologia SOI ha sicuramente apportato numerosi miglioramenti.

Le soluzioni ottimali per dispositivi destinati a lavorare in ambito spaziale (montati su satelliti) sono sicuramente i processori concepiti per tale ambiente operativo e quindi ottimizzati sia in termini di prestazioni (dimensionate anche sulle necessità del sistema che devono gestire) sia per quanto riguarda la suscettibilità ai fenomeni ad evento singolo. Purtroppo le imposizioni derivanti dai costi di produzione di processori con tali caratteristiche, derivanti anche dall'impossibilità di produrli su larga scala a causa del loro impiego di nicchia, strettamente riservato a tali ambiti, rende spesso necessarie molte riflessioni sulla possibilità di ricorrere all'utilizzo di processori commerciali, come

già specificato nel corso di questa relazione. Il compromesso da cercare si trova quindi a metà tra le prestazioni, il costo e l'affidabilità, per la quale si cerca ormai di studiare opportuni sistemi di "contorno" al processore in grado di correggere i problemi (un esempio sono i codici di rilevamento e correzione degli errori), in modo da pervenire a situazioni simili a quelle che si avrebbero utilizzando un processore appositamente irrobustito, ma molto meno esose nei costi.

10 Bibliografia

Riferimenti bibliografici

- [1] Fan Wang and Vishwani D. Agrawal. Dept. of Electrical and Computer Engineering, Auburn University, Auburn, AL, 36849, USA, “Single Event Upset: An Embedded Tutorial”, vlsid, pp.429-434, 21st International Conference on VLSI Design (VLSI Design 2008).
- [2] P. Roche, G. Gasiot, K. Forbes, V. O’Sullivan, and V. Ferlet, “Comparisons of Soft Error Rate for SRAMs in Commercial SOI and Bulk Below the 130-nm Technology Node”, IEEE Trans. on Nucl. Sc., vol. 50, issue 6, pp. 2046-2054.
- [3] F. Irom, Member, IEEE, F. H. Farmanesh, G. M. Swift, Member, IEEE, A. H. Johnston, Fellow, IEEE, and G. L. Yoder, “Single-Event Upset in Evolving Commercial Silicon-on-Insulator Microprocessor Technologies”, IEEE Trans. Nucl. Sc. Vol. 50 Issue:6, pp. 2107 - 2112, Dec. 2003.
- [4] Irom, F.; Farmanesh, F.; Kouba, C. K.; Jet Propulsion Lab., California Inst. of Technol., Pasadena, CA, “Single-Event Upset and Scaling Trends in New Generation of the Commercial SOI PowerPC Microprocessors”, IEEE Trans. Nucl. Sc., 53 Issue:6, pp. 3563 - 3568, Dec. 2006
- [5] Farokh Irom, Jet Propulsion Laboratory Pasadena, California, “Guideline for Ground Radiation Testing of Microprocessors in the Space Radiation Environment”, JPL Publication, pp. 08 - 13, Apr. 2008.
- [6] F. Irom, and F. H. Farmanesh, “Frequency Dependence of Single-Event Upset in Advanced Commercial PowerPC Microprocessors”, IEEE Trans. Nucl. Sci., 51 Issue 6, pp. 3505 - 3509, 06 febbraio 2004.
- [7] Peronnard, P., Ecoffet, R., Pignol, M., Bellin, D., Velazco, R., TIMA Lab., Grenoble, “Predicting the SEU Error Rate through Fault Injection for a Complex Microprocessor”, Industrial Electronics, 2008. ISIE 2008. IEEE International Symposium, June 30 2008-July 2 2008, pp. 2288 - 2292.
- [8] Guertin, S.M., Irom, F., Jet Propulsion Lab., California Inst. of Technol., Pasadena, CA, USA “Recent Results for PowerPC Processor and Bridge Chip Testing”, Radiation Effects Data Workshop (REDW), 2010 IEEE, pp. 8 - 8, Nov. 2010.
- [9] F. Irom, F. H. Farmanesh, “Single-Event Upset in Highly Scaled Commercial Silicon-on-Insulator PowerPC Microprocessor”, IEEE Trans. Nucl. Sci. 52 Issue:5, pp. 1524-1529 (2005).
- [10] Sana Rezgui, Raoul Velazco, Robert Ecoffet, Santiago Rodriguez, and José Ramon Mingo, “Estimating Error Rates in Processor-Based Architectures”, IEEE Trans. Nucl. Sc., 48 Issue: 5, pp. 1680 - 1687, Oct. 2001.

- [11] Berger, R.W., Bayles, D., Brown, R., Doyle, S., Kazemzadeh, A., Knowles, K., Moser, D., Rodgers, J., Saari, B., Stanley, D., Grant, B., BAE Syst., Manassas, VA, "The RAD750TM - A Radiation Hardened PowerPCTM Processor for High Performance Spaceborne Applications", Aerospace Conference, IEEE Proceedings, vol. 5, pp. 2263 - 2272, Aug. 2002.
- [12] Swift, G.M., Fannanesh, F.F., Guertin, S.M., Irom, F., Millward, D.G., Jet Propulsion Lab., California Inst. of Technol., Pasadena, CA, "Single-Event Upset in the PowerPC750 Microprocessor", IEEE Trans Nucl. Sc., Vol. 48 Issue:6, pp. 1822 - 1827, Dec. 2001.
- [13] R. Koga, W. A. Kolasinski, M. T. Marra, and W. A. Hanna, "Techniques of microprocessor testing and SEU-rate prediction" IEEE Trans. Nucl. Sci., vol. NS-32, no. 6, pp. 4219 - 4224, 1985.
- [14] F. Bezerra et al., Commercial processor single event tests, in Proc. RADECS Conf. Data Workshop Rec., 1997, pp. 4146.
- [15] D. Petrick, W. Powell, J. Howard Jr., K. LaBel, "Virtex-II Pro PowerPC SEE Characterization Test Methods and Results", Military and Aerospace Programmable Logic Devices (MAPLD) Conference, Washington D.C., 7-9 Sep. 2005.
- [16] C. Hafer, S. Griffith, J. Nagy, F. Sievert, Aeroflex Colorado Springs; S. Guertin, NASA JPL/Caltech; J. Gaisler, S. Habinc, Aeroflex Gaisler, "LEON 3FT Processor Radiation Effects Data", pp. 148-151 (2009).
- [17] J. Gaisler, "A portable and fault-tolerant microprocessor based on the SPARC V8 architecture", Proceedings of the International Conference on Dependable Systems and Networks, pp. 409-415, 2002.
- [18] "AMBA Specification, version 2.0", ARM-IHI 0011A, ARM Limited, 1999.