



**UNIVERSITÀ
DEGLI STUDI
DI PADOVA**



DIPARTIMENTO DI TECNICA E GESTIONE DEI SISTEMI INDUSTRIALI

CORSO DI LAUREA IN INGEGNERIA MECCATRONICA

Tesi di Laurea Triennale

**“ANALISI DELLO STATO DELL’ARTE DI MEMORIE MAGNETO-
RESISTIVE PER MEMORIZZAZIONE NON VOLATILE”**

**“STATE-OF-THE-ART OF MAGNETORESISTIVE MEMORIES FOR NON-VOLATILE
STORAGE”**

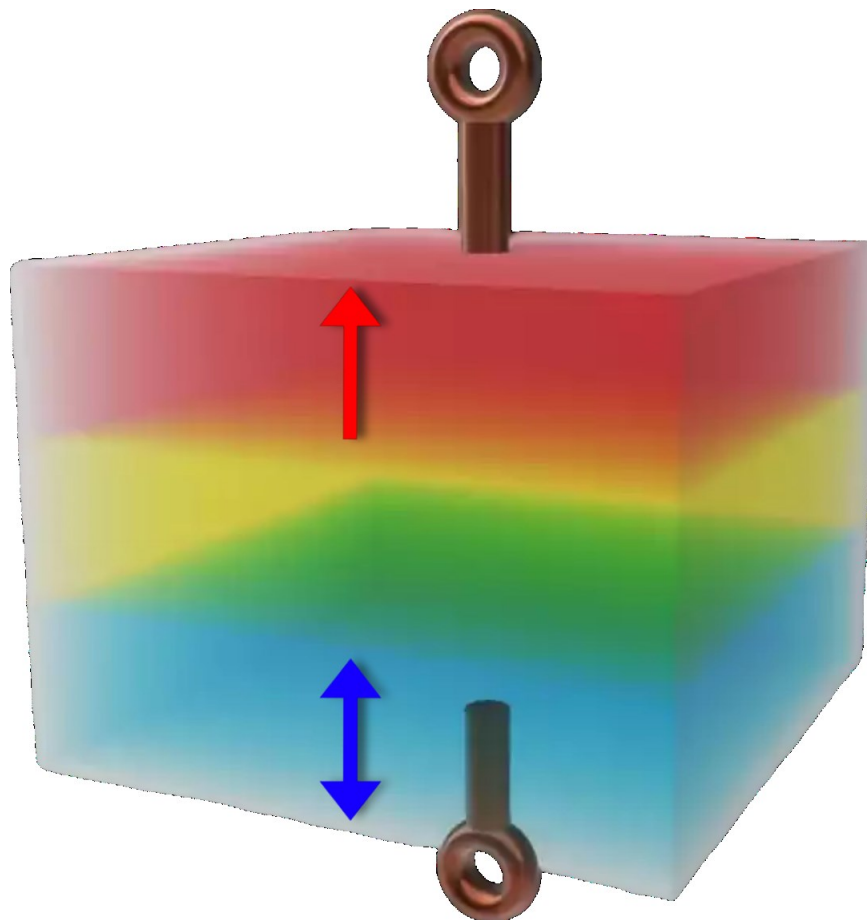
Relatore: Prof. Magnone Paolo

Laureando: Bortolato Giovanni

Anno Accademico: 2021 – 2022

Data di Laurea: 18.03.2022

ANALISI DELLO STATO DELL'ARTE DI MEMORIE MAGNETO-RESISTIVE PER MEMORIZZAZIONE NON VOLATILE



ANALISI DELLO STATO DELL'ARTE DI MEMORIE MAGNETO-RESISTIVE PER MEMORIZZAZIONE NON VOLATILE

INDICE

1 INTRODUZIONE

- 1.1 TECNOLOGIE DI MEMORIA RAM ATTUALI (SRAM E DRAM) E LORO PREGI E DIFETTI
- 1.2 IL CONCETTO DI SPINTRONICA
- 1.3 NUOVE TECNOLOGIE MRAM BASATE SULLA SPINTRONICA

2 CONCETTI FONDAMENTALI DELLE MRAM

- 2.1 SPIN-VALVE E MAGNETIC-TUNNEL-JUNCTION (MTJ)
 - 2.1.1 DESCRIZIONE DI UNA SPIN-VALVE
 - 2.1.2 DESCRIZIONE DI UN MTJ
- 2.2 STABILITÀ TERMICA
- 2.3 EQUAZIONE DI LANDAU-LIFSHITZ-GILBERT

3 FIELD-MRAM

- 3.1 PRINCIPIO DI FUNZIONAMENTO
- 3.2 PREGI E DIFETTI

4 STT-MRAM (SPIN-TRANSFER-TORQUE)

- 4.1 PRINCIPIO DI FUNZIONAMENTO
- 4.2 PREGI E DIFETTI

5 OST-MRAM (ORTHOGONAL-SPIN-TRANSFER)

- 5.1 PRINCIPIO DI FUNZIONAMENTO
- 5.2 CONFRONTO TRA SWITCH $P \rightarrow AP$ E $AP \rightarrow P$
- 5.3 PREGI DELLA OST-MRAM RISPETTO ALLA STT-MRAM

6 VCMA-MRAM (VOLTAGE-CONTROLLED-MAGNETIC-ANISOTROPY)

- 6.1 PRINCIPIO DI FUNZIONAMENTO
- 6.2 STT-ASSISTED VCMA-MRAM
- 6.3 PREGI E DIFETTI

7 SOT-MRAM (SPIN-ORBIT-TORQUE)

- 7.1 CORRENTE DI SPIN ED EFFETTO SPIN-HALL (SHE)
- 7.2 EFFETTO RASHBA-ELDESTSTEIN (REE)
- 7.3 PRINCIPIO DI FUNZIONAMENTO
- 7.4 CONFRONTO TRA SRAM, STT-MRAM E SOT-MRAM APPLICATE A UNA CACHE IBRIDA
- 7.5 PREGI E DIFETTI
- 7.6 METODI PER MIGLIORARE LA DENSITÀ DI INTEGRAZIONE
 - 7.6.1 CONFIGURAZIONI A MTJ MULTILIVELLO IN SERIE E IN PARALLELO A CONFRONTO
 - 7.6.2 CIRCUITO DI SENSING E CONFIGURAZIONE ALTERNATIVA
 - 7.6.3 TWO-TERMINAL SOT-MRAM

8 MEMORIE DI TIPO RACETRACK

- 8.1 MEMORIE DOMAIN-WALL E PRINCIPIO DI FUNZIONAMENTO
 - 8.1.1 PREGI E DIFETTI
- 8.2 MEMORIE SKYRMION E PRINCIPIO DI FUNZIONAMENTO
 - 8.2.1 PREGI E DIFETTI

CONCLUSIONI

1 INTRODUZIONE [1], [2]

Lo scopo di questa trattazione è di porre a confronto le attuali tecnologie di memoria RAM (in particolare le SRAM e le DRAM) che utilizzano una tecnologia basata sui transistor CMOS (SRAM) e capacitiva (DRAM), con le tecnologie più promettenti in un prossimo futuro, che basano il loro funzionamento sulla cosiddetta spintronica (ossia sfruttano lo spin degli elettroni per immagazzinare i bit). In particolare, le memorie innovative verranno analizzate iniziando da quella con più limitazioni e presentando in seguito le alternative più efficienti sia a livello energetico che per densità di integrazione, dimostrando come, grazie alle giuste migliorie, esse possano competere e persino sostituire la SRAM garantendo prestazioni migliori.

La legge di Moore afferma: *“La complessità di un microcircuito, misurata ad esempio tramite il numero di transistor per chip, raddoppia ogni 18 mesi”*. Ciò significa che col passare del tempo ci si può aspettare che i dispositivi elettronici subiscano un processo di miniaturizzazione, ovvero che la potenza di calcolo e la capacità di memorizzare dati siano sempre più elevate dato che nella stessa area possono essere inseriti più transistor (o elementi di memoria).

Tale legge negli ultimi anni ha iniziato a riscontrare alcune problematiche relative alla dimensione dei Gate dei transistor poiché, se da un lato la miniaturizzazione porta a un minor consumo energetico, dall'altro oltre una certa soglia si verificano le correnti di leakage, che causano un aumento della potenza dissipata; in altre parole l'aumento di capacità di memorizzazione nel caso di RAM volatili come le SRAM e DRAM comporta un maggior consumo energetico e dunque una minore autonomia dei dispositivi elettronici, nonché una spesa economica più elevata. Va inoltre tenuto conto che in un'architettura come quella attuale (detta di von Neumann) i processi di calcolo e la memorizzazione hanno luogo rispettivamente nella CPU e nella memoria, e spesso l'energia e il tempo richiesti per spostare il dato da o verso la memoria sono maggiori di quelli di calcolo.

Nel caso delle memorie di nuova generazione che utilizzano la tecnologia spintronica tali problematiche verrebbero risolte, grazie ad una piccola corrente di lettura/scrittura e ad una memorizzazione di tipo non-volatile, cioè una volta tolta l'alimentazione il dato immagazzinato non viene cancellato, permettendo consumi energetici di gran lunga inferiori.

1.1 TECNOLOGIE DI MEMORIA RAM ATTUALI (SRAM E DRAM) E LORO PREGI E DIFETTI

La struttura generica di tutte le memorie RAM è quella riportata in *fig.1.1.a* composta da una matrice di bit, organizzati secondo 2^M righe dette word-line e N colonne dette bit-line.

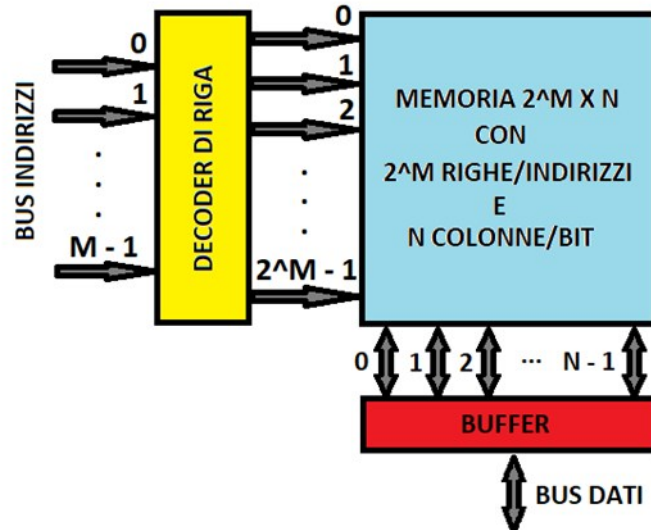


fig.1.1.a Struttura generica di una memoria RAM

M può avere un valore massimo pari all'architettura del sistema considerato (es. 16, 32, 64 bit), dunque in un'architettura a 32 bit si possono indirizzare fino a 4 GB. Per indirizzare una particolare riga si fa uso di un decoder di riga, in cui l'input è dato dal bus degli indirizzi. Per la lettura/scrittura di un dato si utilizza invece un buffer in collegamento con il bus dati; considerando una cella da 8 bit e un'architettura da 32 bit, ovvero una memoria $2^{32} \times 8$, ogni dato necessita di 4 celle e quindi M avrà valore massimo pari a 30, in quanto 2 bit sono necessari per gli offset 00, 01, 10 e 11 che indicano una delle 4 celle richieste dal dato, come indicato di seguito in fig.1.1.b.

	00	01	10	11	
2^M - offset	0 - 7	8 - 15	16 - 23	24 - 31	Dato 1
	0 - 7	8 - 15	16 - 23	24 - 31	Dato 2
Righe	0 - 7	8 - 15	16 - 23	24 - 31	...
(2^{30})	0 - 7	8 - 15	16 - 23	24 - 31	Dato 2^M - offset
					N Bit (32)

fig.1.1.b Tabella indicante la memorizzazione di dati in un sistema a 32 bit

Una memoria è organizzata solitamente su più livelli, e ogni livello può scambiare dati solo con quello adiacente:

- **Memoria Flash** (non fa parte delle RAM): è la più distante dalla CPU in quanto è quella avente tempo di accesso maggiore; fa parte della categoria ROM (Read-Only-Memory) ed è non-volatile perché si basa sulla struttura Floating-Gate. Consente di immagazzinare grandi quantità di dati e viene perciò usata per memorizzare ad esempio il codice di un programma. I vantaggi sono quindi il basso costo, la capacità di mantenere il dato senza alimentazione e la densità di integrazione, mentre gli svantaggi sono il tempo di lettura e l'impossibilità di sovrascrivere il dato, che va dunque prima cancellato e poi scritto nuovamente.
- **Memoria DRAM (Dynamic-Random-Access-Memory)**: è una memoria dalle prestazioni intermedie e si localizza quindi a metà strada tra la Flash e la SRAM; consente sia la lettura che

la scrittura, ma è una memoria volatile e inoltre necessita di refresh per mantenere il dato, che è immagazzinato come carica in un condensatore che tende a scaricarsi nel tempo. I lati positivi sono il costo basso, la buona densità di integrazione e il modesto consumo energetico. Tuttavia il tempo di accesso è elevato, seppur più veloce di quello della Flash.

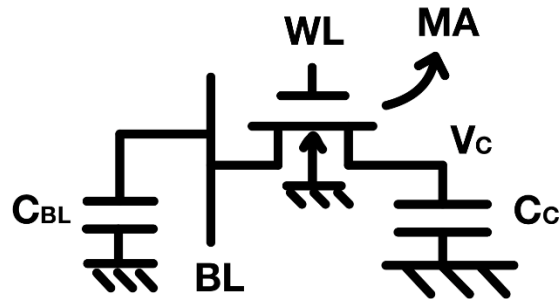


fig.1.2 Schema circuitale di una cella di memoria DRAM

In fig.1.2 è rappresentata una cella di memoria DRAM: questa memoria utilizza un solo transistor e un condensatore per bit, da cui deriva la buona densità di integrazione; se il condensatore C_c è carico viene memorizzato un 1 logico, se è scarico uno 0 logico. A causa delle correnti di leakage del transistor M_A , la corrente i_c non è nulla anche se M_A è OFF e la velocità di scarica è inversamente proporzionale alla capacità C del condensatore, come si può intuire dalla relazione $i_c = -C \cdot \frac{dV_c}{dt}$; tuttavia se la capacità aumenta, anche i tempi d'accesso e la dimensione della cella aumentano e perciò la DRAM necessita di refresh per ripristinare il livello di tensione su C_c , tuttavia ciò impatta sulla rapidità.

- Memoria SRAM (Static-Random-Access-Memory): è il livello più vicino al processore e viene utilizzato come memoria cache per i suoi tempi d'accesso molto rapidi; è anch'essa volatile ma a differenza della DRAM non necessita di refresh. È più piccola delle precedenti e anche più costosa e richiede più energia rispetto alla DRAM.

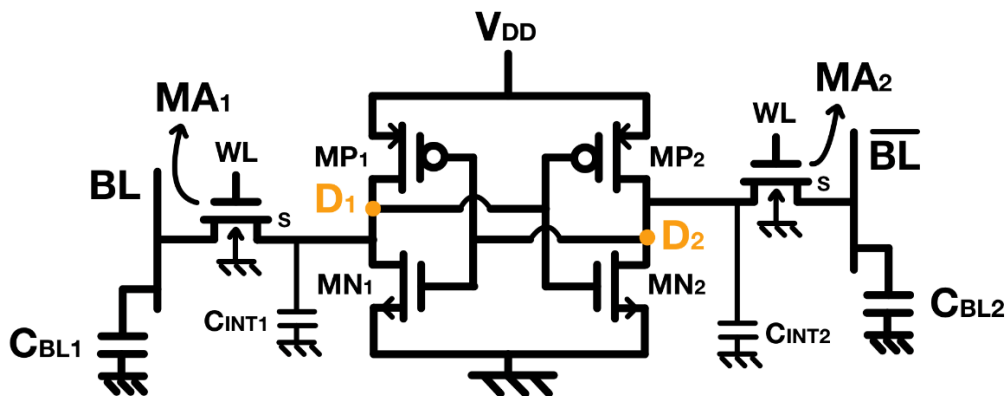


fig.1.3 Schema circuitale di una cella di memoria SRAM

Dalla fig.1.3 si osserva che questa memoria si basa su una tecnologia CMOS, ovvero è un circuito bistabile dove 2 inverter sono accoppiati come in un flip-flop e per l'accesso sono richiesti altri 2 transistor, per un totale di 6 a cella. Per questo motivo la SRAM ha un'integrazione minore rispetto alla DRAM e richiede un maggior consumo energetico.

In tabella 1.1 sono riassunte le principali caratteristiche delle memorie RAM finora analizzate:

tab.1.1

CARATTERISTICHE	SRAM	DRAM
Struttura / cella	6 Transistor, CMOS	1 Transistor + 1 Condensatore
Tempi d'accesso	Più veloce	Più lenta
Consumi	Maggiori	Minori
Refresh	No (effetto rigenerativo)	Sì
Densità	Bassa	Elevata
Utilizzo	Memoria principale	Memoria cache
Prezzo	Elevato	Economico

1.2 IL CONCETTO DI SPINTRONICA [3]

L'elettronica fino ad oggi ha basato il suo funzionamento sulla sola carica degli elettroni. Secondo la meccanica quantistica l'elettrone possiede un momento angolare orbitale, definito dalla rotazione intorno al nucleo atomico, e un momento angolare di spin, ossia la rotazione attorno al proprio asse, che può essere verso l'alto (spin-up, numero quantico $m_s = +1/2$) o verso il basso (spin-down, numero quantico $m_s = -1/2$) rispetto all'asse verticale z (fig.1.4.a).

L'isteresi di un materiale ferromagnetico consente di ottenere una o più coppie di stati stabili quando un campo magnetico esterno viene annullato, e tale stabilità dipende dall'anisotropia magnetica del materiale, la quale definisce che l'energia di un sistema dipende dalla direzione della magnetizzazione; l'asse lungo il quale corrisponde l'energia minima è detto easy-axis e se viene applicato un campo magnetico sufficiente allineato con tale asse, la magnetizzazione del sistema si allinea al campo applicato. La magnetizzazione di un ferromagnete può quindi essere invertita sotto un campo magnetico che supera il valore del campo coercitivo, il quale è tanto più elevato quanto maggiore è la barriera energetica dovuta all'anisotropia (fig.1.4.b), che dipende a sua volta dal materiale e dalla forma del ferromagnete.

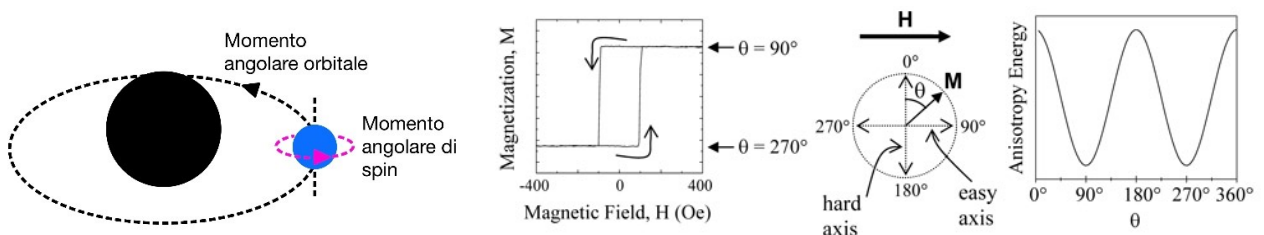


fig.1.4.a (a sinistra) Momento angolare orbitale (traiettoria nera) e di spin (traiettoria viola) dell'elettrone (blu) intorno al nucleo (nero)

fig.1.4.b (a destra) Ciclo di isteresi dell'inversione della magnetizzazione M di un ferromagnete sotto l'azione di un campo magnetico esterno H abbastanza elevato, detto campo coercitivo; l'energia anisotropica è minima quando la magnetizzazione è allineata con l'easy-axis [3]

In una memoria il bit viene immagazzinato come "0" o "1"; in precedenza sono stati discussi metodi per trattenere il valore del bit tramite la carica dell'elettrone, mentre la spintronica propone l'utilizzo dello spin come metodo di salvataggio: in base alla magnetizzazione di una lastra ferromagnetica rispetto ad un'altra con magnetizzazione fissa si avrà lo "0" se le magnetizzazioni sono parallele, l'"1" se sono antiparallele perché in base alla direzione varia la resistenza del sistema complessivo (bassa se parallelo, alta se antiparallelo). Il salvataggio dei bit in questo formato ha i

seguenti vantaggi: poiché la magnetizzazione non varia nel tempo, ciò significa che la memoria è di tipo non-volatile e il dato può essere trattenuto per tempo indefinito anche senza alimentazione; per lo stesso principio non è necessario il refresh, consentendo consumi molto ridotti; i tempi di scrittura e lettura del dato sono molto rapidi perché non risentono della costante di tempo RC; tale sistema può essere scalato in grandezza senza risentire delle correnti di leakage che causano problemi nelle memorie viste precedentemente. In pratica, le memorie innovative che saranno di seguito discusse possiedono tutti i punti di forza delle memorie di vecchia generazione, tuttavia è stata effettuata ed è ancora in atto una grande ricerca in questo settore per via delle svariate problematiche intrinseche e costruttive, per le quali sarà riservata parte della trattazione.

1.3 NUOVE TECNOLOGIE MRAM BASATE SULLA SPINTRONICA

Visti i pregi che la spintronica ha da offrire ci si può attendere che probabilmente sarà questa la tecnologia preferita per le memorie di nuova generazione; tali memorie sono chiamate MRAM, ossia Magnetic-Random-Access-Memory in quanto sfruttano la magnetizzazione dei materiali ferromagnetici per immagazzinare i dati.

In questa trattazione ci si concentrerà su un elenco di tali memorie, spiegando per ognuna il principio di funzionamento e i pregi/difetti, in modo da averne una visione critica che porti a capire quali saranno quelle più largamente utilizzate negli anni avvenire. Sono di seguito riportate le tipologie discusse, in ordine:

- **Field-MRAM:** sfruttano un campo magnetico per la scrittura del dato;
- **STT-MRAM** (Spin-Transfer-Torque): si basano sul trasferimento del momento di spin dell'elettrone e sono attualmente le più diffuse;
- **OST-MRAM** (Orthogonal-Spin-Transfer): il funzionamento è simile a quello delle memorie STT ma viene incrementata l'efficienza;
- **VCMA-MRAM** (Voltage-Controlled-Magnetic-Anisotropy): utilizzano un campo elettrico per la scrittura anziché la corrente e riducono quindi di molto i consumi legati alla dissipazione;
- **SOT-MRAM** (Spin-Orbit-Torque): su tale tecnologia ci si soffermerà particolarmente in quanto è promettente per via di bassi consumi e grande affidabilità;
- **Racetrack-Memories:** si dividono in 2 categorie, Domain-Wall e Skyrmion-Based, ed entrambe consentono elevata densità di integrazione.

2 CONCETTI FONDAMENTALI DELLE MRAM

2.1 SPIN-VALVE E MAGNETIC-TUNNEL-JUNCTION (MTJ)

2.1.1 DESCRIZIONE DI UN DISPOSITIVO SPIN-VALVE [1], [4], [5]

Il dispositivo denominato spin-valve è stato il primo sistema utilizzato per salvare un bit. Esso si basa su due layer ferromagnetici separati da un layer conduttivo non magnetico; come si osserva da *fig.2.1* uno dei layer ferromagnetici ha magnetizzazione prefissata ed è perciò chiamato pinned-layer o reference-layer (RL) mentre l'altro ha magnetizzazione invertibile ed è detto quindi free-layer (FL). Il RL è fisso grazie al contatto con un layer antiferromagnetico (AFM policristallino, che ha un'elevata barriera energetica, es. IrMn, FeMn, PtMn) ed è composto da un antiferromagnete sintetico (SAF, la parte rossa e il Ru) che permette di minimizzare il contributo del campo magnetostatico sul FL, perché potrebbe alterare la stabilità di quest'ultimo. Lo strato di rutenio consente un forte scambio antiferromagnetico fra i 2 layer adiacenti. Per fissare la magnetizzazione del RL, l'insieme RL+AFM viene portato a temperatura $T_B < T < T_C$, con T_B temperatura di bloccaggio dell'AFM e T_C temperatura di Curie del RL, e viene applicato un campo magnetico che fissa la magnetizzazione del RL; durante il raffreddamento la magnetizzazione superficiale dell'AFM si allinea con quella imposta al RL e dopo aver rimosso il campo esterno si ha un accoppiamento di scambio tramite l'interfaccia che causa un aumento del campo coercitivo del RL. La temperatura di bloccaggio dovrà essere superiore a quella a cui opera il dispositivo, per evitare il disaccoppiamento tra i 2 strati.

In *fig.2.2* è mostrata la differenza tra l'utilizzo o meno del SAF: senza di esso (figure *a* e *b*) il loop di isteresi è centrato in un offset \neq dall'origine, mentre con il SAF (figure *c* e *d*) si può ottenere un offset trascurabile.

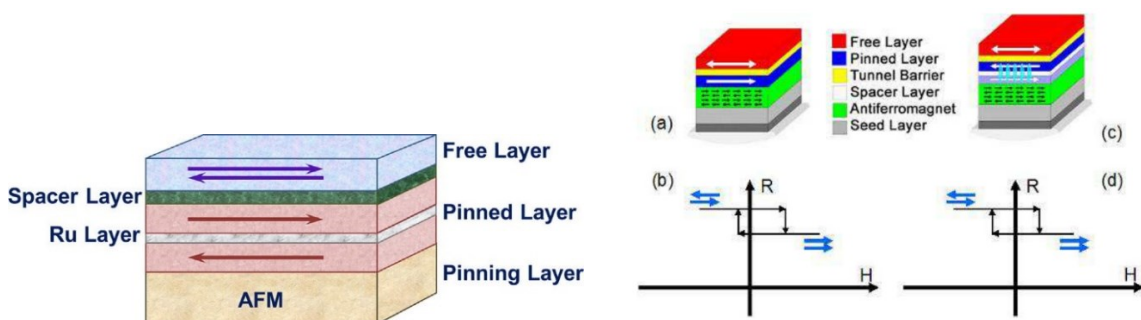


fig.2.1 (sinistra) Struttura generica di una spin-valve [1]

fig.2.2 (destra) Spin-valve senza utilizzo dell'antiferromagnete sintetico (a e b) rispetto al caso di utilizzo (c e d) e relativi offset dei loop di isteresi [4]

Il FL ha un'anisotropia proporzionale a $KU \cdot V$, dove KU è la costante di anisotropia e V il volume, e più alto è il valore maggiore sarà la probabilità di trattenere il dato nel tempo.

Come spiegato in precedenza, allo "0" logico corrisponde una magnetizzazione parallela tra il FL e il RL sottostante, in quanto facendo passare una corrente perpendicolare alla spin-valve verrà misurato un valore resistivo maggiore rispetto al caso antiparallelo; si può quindi concludere che in un sistema del genere la resistenza dipende dal verso di magnetizzazione del FL rispetto a quello del RL, perché nel caso parallelo transitano gli elettroni con spin concorde, in quello antiparallelo

entrambi gli spin vengono a trovarsi in verso discorde e si ha un effetto barriera. Tale fenomeno è chiamato Giant-Magneto-Resistance (GMR), tuttavia la differenza resistiva (GMR_{RATIO}) è troppo piccola per ottenere un buon segnale di lettura del dato.

2.1.2 DESCRIZIONE DI UN MTJ [1]

Per superare il problema del debole segnale di lettura è stato introdotto il Magnetic-Tunnel-Junction (MTJ), la cui struttura è simile a quella di una spin-valve tranne per il layer che separa il FL dal RL, che stavolta è composto da un materiale isolante. In questo caso la differenza resistiva è abbastanza grande da produrre un buon segnale di lettura e si può esprimere come $TMR_{RATIO} = \frac{R_P - R_{AP}}{R_P}$ (con R_P resistenza misurata in caso di magnetizzazioni parallele e R_{AP} nel caso antiparallelo) e tale valore può arrivare fino al 1000% in un MTJ composto dagli strati CoFeB/MgO/CoFeB. La produzione di questo dispositivo è abbastanza delicata, poiché la rete cristallina degli strati CoFeB dev'essere del tipo (001), come quella dello strato MgO, perché ad essa corrisponde la TMR_{RATIO} maggiore; viene quindi depositato del MgO su del CoFeB amorfo e il MTJ viene riscaldato a 300°C fino ad ottenere la struttura desiderata.

Nel caso del MTJ l'anisotropia può essere orientata sul piano (i-MTJ) o perpendicolare ad esso (p-MTJ) se lo spessore dei layer CoFeB è inferiore a 1.5 nm; viene comunque preferita quella perpendicolare perché consente maggiore stabilità termica e maggior scalabilità (nel caso in-plane la lunghezza/larghezza dei layer ferromagnetici deve essere ≥ 2 e la cella di memoria non può avere diametro inferiore a 60 nm, con i pMTJ si arriva a 10 nm), tuttavia la fabbricazione è più complessa.

2.2 STABILITÀ TERMICA [1]

La stabilità termica del MTJ è uno dei parametri principali che esprime l'affidabilità della MRAM nel tenere immagazzinato correttamente il dato al variare (in particolare all'aumentare) della temperatura. Essa viene definita come

$$\Delta = \frac{E_B}{k_B \cdot T} = \frac{K_U \cdot V}{k_B \cdot T} = \frac{H_K \cdot M_S \cdot V}{2 \cdot k_B \cdot T} \quad (eq.2.1)$$

dove E_B è l'energia di barriera (o energia anisotropica), K_U è la costante di anisotropia uniassiale e V il volume del FL, H_K il campo anisotropico, M_S la magnetizzazione di saturazione del FL e k_B la costante di Boltzmann. Δ dev'essere ≥ 60 per una ritenzione del dato di almeno 10 anni. Solitamente i materiali che garantiscono una stabilità termica elevata sono CoFeB oppure n multilayer composti da $(Co/Pd)_n$ per i quali K_U è dell'ordine di 10^7 erg/cc.

L'anisotropia magnetica perpendicolare (PMA) può essere distinta in 2 tipologie:

1. Anisotropia magnetocristallina, per la quale vale $H_K = \frac{2 \cdot K_U^{BULK}}{M_S} - 4 \cdot \pi \cdot M_S$ e sostituendo

nell'eq.2.1 si ottiene

$$\Delta = (K_U^{BULK} \cdot t - 2 \cdot \pi \cdot M_S^2 \cdot t) \cdot \frac{\pi \cdot AR \cdot \omega^2}{4 \cdot k_B \cdot T} \quad (eq.2.2)$$

dove K_U^{BULK} è la densità di energia anisotropica di massa, t lo spessore del layer, AR l'aspect ratio (lunghezza/larghezza), ω la larghezza e T la temperatura.

2. Anisotropia di superficie (se si origina tramite effetti di interfaccia), per la quale vale

$H_K = \frac{2 \cdot \sigma}{M_S \cdot t} - 4 \cdot \pi \cdot M_S$ e sostituendo nell'eq.2.1 si ottiene

$$\Delta = (\sigma - 2 \cdot \pi \cdot M_S^2 \cdot t) \cdot \frac{\pi \cdot AR \cdot \omega^2}{4 \cdot k_B \cdot T} \quad (eq.2.3)$$

dove σ è la densità di energia anisotropica di superficie.

Il termine $2 \cdot \pi \cdot M_S^2 \cdot t$ è la densità di energia anisotropica di forma, che tende a mantenere la magnetizzazione sul piano e si oppone quindi alla PMA.

Nel caso di i-MTJ si avrebbe $H_K = 2 \cdot \frac{4 \cdot \pi \cdot M_S \cdot (AR-1)}{\omega \cdot AR}$ e dunque $\Delta = \frac{\pi^2 \cdot (M_S \cdot t)^2 \cdot \omega \cdot (AR-1)}{k_B \cdot T}$.

Si nota dall'eq.2.2 che la stabilità termica, nel caso di PMA magnetocristallina, può essere aumentata incrementando lo spessore t del layer ferromagnetico, mentre nel caso di PMA di superficie dall'eq.2.3 se lo spessore aumenta, la stabilità diminuisce. In tal caso per aumentare Δ si utilizza una struttura a doppia interfaccia, per esempio MgO/CoFeB/Ta/CoFeB/MgO, rispetto all'interfaccia singola Ta/CoFeB/MgO e così facendo è stata osservata una Δ circa doppia.

2.3 EQUAZIONE DI LANDAU-LIFSHITZ-GILBERT [6]

L'equazione di Landau-Lifshitz-Gilbert (LLG) descrive il moto precessionale della magnetizzazione di un ferromagnete, dunque è utile per comprendere la dinamica e i contributi che intervengono nel cambio di direzione della magnetizzazione del FL. La forma più semplice di tale equazione è

$$\frac{dM}{dt} = -\gamma \cdot [M \times H_{eff}] - \gamma \cdot \frac{\lambda}{M_S} \cdot [M \times [M \times H_{eff}]] \quad (eq.2.4)$$

dove M è la magnetizzazione, H_{eff} il campo magnetico effettivo, λ un parametro di smorzamento, $\gamma = g \cdot |e| / (2 \cdot m_e)$ è il rapporto giromagnetico ($g = 2$ per gli elettroni liberi), e la carica e m_e la massa dell'elettrone. Il primo termine dell'eq.2.4 rappresenta la coppia di precessione della magnetizzazione attorno a H_{eff} , mentre il secondo termine rappresenta la coppia di smorzamento che tende ad allineare M parallela a H_{eff} (configurazione di minima energia). La fig.2.3.a mostra il solo contributo precessionale, mentre la b considera anche quello di smorzamento.

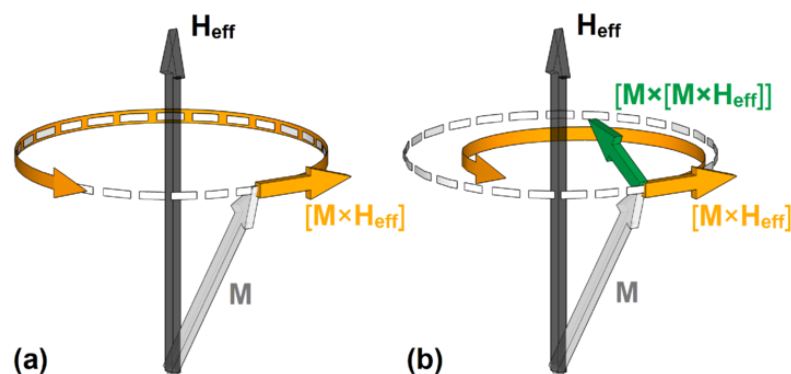


fig.2.3 Coppia precessionale risentita dalla magnetizzazione M (a) e coppia precessionale + coppia di smorzamento (b) [6]

L'eq.2.4 è valida solo se lo smorzamento è piccolo, altrimenti per valori più elevati l'equazione corretta è la seguente

$$\frac{dM}{dt} = -\gamma \cdot \left[M \times \left[H_{eff} - \frac{\alpha}{\gamma \cdot M_S} \cdot \frac{dM}{dt} \right] \right] \quad (eq.2.5)$$

che può essere scritta nella forma esplicita, con la derivata dM / dt solo a sinistra dell'uguale

$$\frac{dM}{dt} = -\frac{\gamma}{1+\alpha^2} \cdot \left[M \times H_{eff} \right] - \frac{\gamma}{1+\alpha^2} \cdot \frac{\alpha}{M_S} \cdot \left[M \times \left[M \times H_{eff} \right] \right] \quad (eq.2.6)$$

con α parametro di smorzamento di Gilbert; quest'ultima relazione è detta equazione di Landau-Lifshitz-Gilbert (LLG). Dividendo per M_S si ottiene infine

$$\frac{dm}{dt} = -\frac{\gamma}{1+\alpha^2} \cdot \left[m \times H_{eff} \right] - \frac{\gamma}{1+\alpha^2} \cdot \alpha \cdot \left[m \times \left[m \times H_{eff} \right] \right] \quad (eq.2.7)$$

Questa equazione descrive la variazione nel tempo della magnetizzazione del FL nel caso di una Field-MRAM, ovvero grazie all'azione di un campo magnetico esterno. Più avanti verrà anche analizzato il caso delle STT e SOT-MRAM, nelle quali la magnetizzazione varia grazie al trasferimento del momento di spin (STT) e all'interazione spin-orbita (SOT).

3 FIELD-MRAM

La Field-MRAM (o Toggle-MRAM) è la prima tipologia di memoria spintronica ad essere stata sviluppata. Il suo funzionamento si basa su un MTJ in cui la magnetizzazione del FL è invertita tramite un campo magnetico.

3.1 PRINCIPIO DI FUNZIONAMENTO [1], [7], [8], [9]

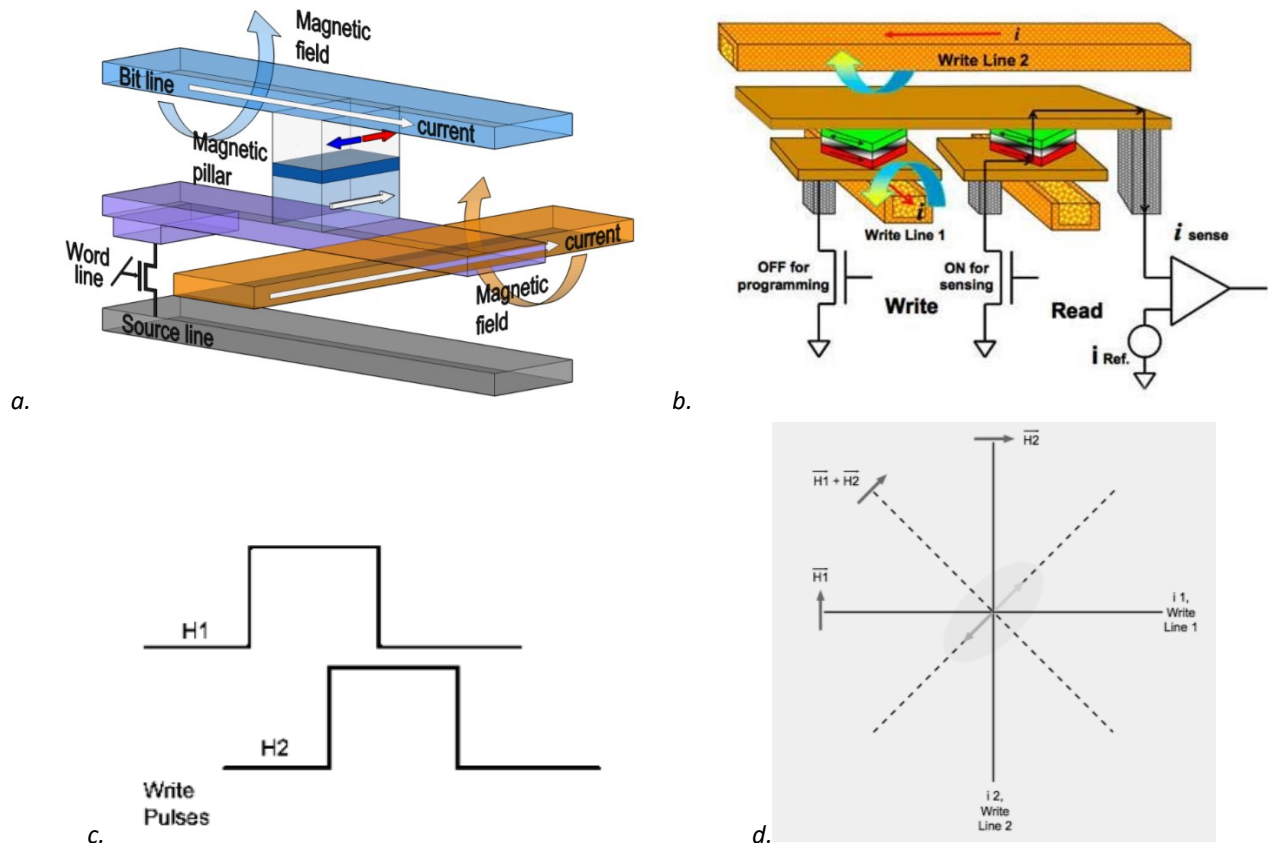


fig.3.1.a Struttura generica di una cella di memoria della Field-MRAM [7]

fig.3.1.b Processo di scrittura e di lettura della Field-MRAM [8]

fig.3.1.c e d Forma d'onda e delay dei campi magnetici H_1 e H_2 (c) generati dalle correnti nella word-line e bit-line e la loro somma (d) [9]

La fig.3.1.a mostra la struttura di una Field-MRAM: ogni cella di memoria contiene un solo transistor e si compone di un MTJ univocamente indirizzabile da una bit-line e da una word-line. Il processo di scrittura avviene facendo scorrere corrente sia nella bit-line che nella word-line e tali correnti generano rispettivamente (per la legge di Biot-Savart) i campi magnetici $H_{WL} = H_1$ e $H_{BL} = H_2$, ortogonali fra loro. Secondo la relazione di Stoner-Wohlfarth il campo minimo risultante da H_{WL} e H_{BL} per ottenere un cambio di direzione di magnetizzazione del FL è $H_{WL} + H_{BL} = H_K^{2/3}$, con H_K campo anisotropico. Devono comunque essere presenti entrambi tali campi e ciò consente che non vengano sovrascritte altre celle di memoria involontariamente. La fig.3.1.c mostra le forme d'onda che deve avere la corrente nella word-line e nella bit-line per produrre rispettivamente i campi H_1 e H_2 e la fig.3.1.d mostra il campo risultante $H_1 + H_2$. La fig.3.1.b mostra, oltre al processo di scrittura,

anche quello di lettura, nel quale viene posto ON il transistor; viene dunque misurata la corrente che scorre attraverso il MTJ e confrontata con quella di riferimento i_{REF} per stabilire la presenza di un "1" o "0" in base alla direzione della magnetizzazione del FL rispetto quella del RL. Secondo la *fig.3.1.a* la direzione delle correnti applicate porta ad uno stato parallelo al RL.

3.2 PREGI E DIFETTI [1]

La Field-MRAM è stata la prima memoria magnetica spintronica ad essere indagata e sembrava molto promettente vista la capacità di immagazzinare dati in modo permanente senza ulteriori richieste energetiche (non-volatilità). Tuttavia questa tecnologia ha due principali difetti:

- Il campo magnetico sufficiente ad invertire la magnetizzazione è inversamente proporzionale all'area del FL, e questo impatta sulla scalabilità in quanto, restringendo l'MTJ, per ottenere il campo magnetico richiesto è necessaria una corrente più elevata. La minima dimensione raggiungibile è attorno ai 90 nm, più grande rispetto alle MRAM analizzate in seguito.
- Anche se ogni cella ha un solo transistor, per ottenere 2 campi magnetici ortogonali sono necessarie 2 linee di corrente, e dunque la cella ha una struttura più complessa rispetto per esempio a quella di una STT-MRAM.

4 STT-MRAM (SPIN-TRANSFER-TORQUE) [10]

La STT-MRAM è la memoria spintronica più diffusa attualmente in quanto consente di superare il problema legato al limite di scalabilità della Field-MRAM, raggiungendo la densità di una DRAM combinata alla velocità di una SRAM, e ovviamente è non-volatile. Per questi motivi essa può essere usata sia come memoria di archiviazione che come cache.

4.1 PRINCIPIO DI FUNZIONAMENTO [1], [6], [7], [9], [11]

La STT-MRAM non richiede l'utilizzo di un campo magnetico esterno per invertire il verso di magnetizzazione del FL, che viene manipolato facendo scorrere una corrente attraverso l'MTJ, come si può vedere da *fig.4.1*

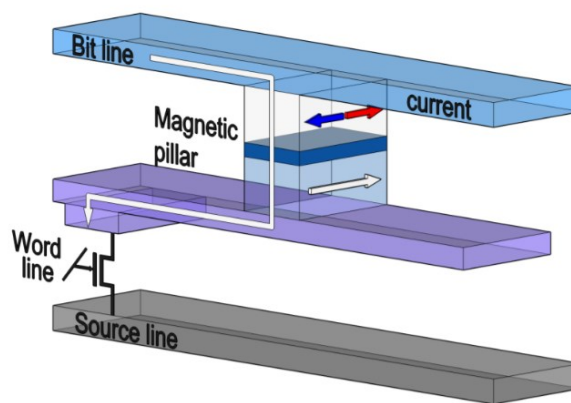


Fig.4.1 Struttura generica di una cella di memoria della STT-MRAM [7]

Considerando il verso di magnetizzazione del RL come riportato in figura, per ottenere uno stato parallelo la corrente dovrà scorrere dalla bit-line alla word-line, mentre per uno stato antiparallelo dalla word-line alla bit-line. Ciò accade grazie al fenomeno del trasferimento del momento angolare di spin (in inglese "Spin-Transfer-Torque", da cui il nome STT), che avviene tramite la polarizzazione dello spin degli elettroni. Per comprendere meglio tale meccanismo si osservi la *fig.4.2* : a sinistra è riportata la struttura della cella nel caso di magnetizzazione perpendicolare del MTJ, anche se il principio di funzionamento è lo stesso del caso in *fig.4.1*, dove la magnetizzazione è in-plane.

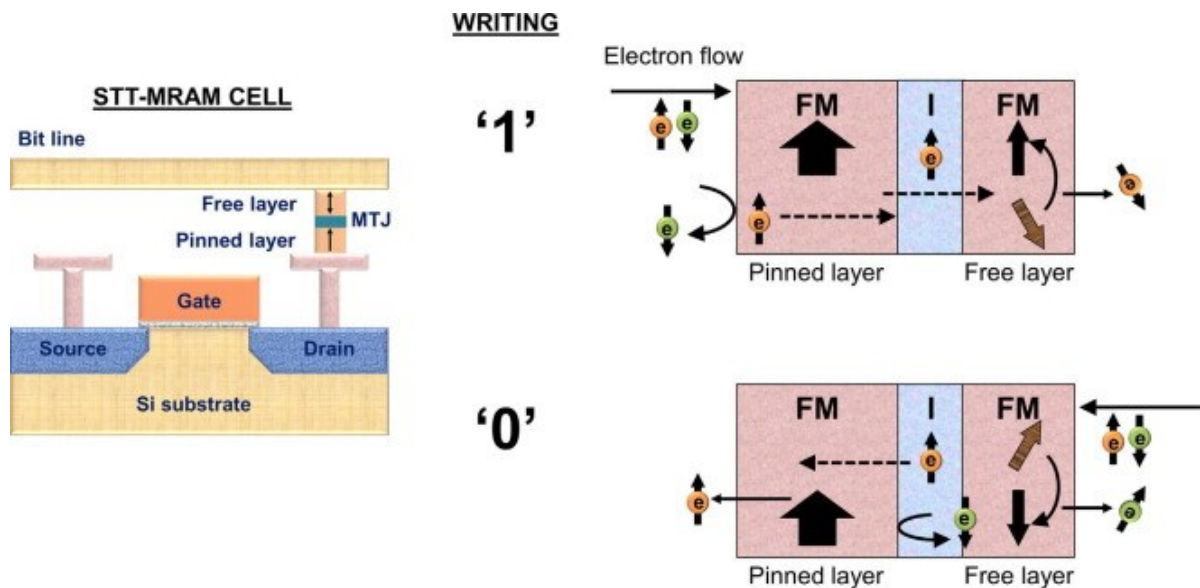


fig.4.2 Struttura generica di una cella di memoria della STT-MRAM avente MTJ a magnetizzazione perpendicolare (sinistra); fenomeno del trasferimento del momento di spin (destra) per ottenere magnetizzazioni parallele (sopra) o antiparallele (sotto) [1]

Nella figura a destra in alto si nota che quando gli elettroni scorrono dal RL verso il FL (dunque la corrente scorre nel verso opposto, dal FL al RL) solamente quelli aventi spin concorde al verso di magnetizzazione del RL riescono a raggiungere il FL mentre quelli con spin opposto vengono bloccati. Quando gli elettroni polarizzati giungono al FL (che inizialmente ha magnetizzazione antiparallela rispetto al RL) il loro momento angolare di spin esercita una coppia sulla magnetizzazione del FL, che poco a poco ruota e arriva ad avere verso parallelo al RL. Gli elettroni che hanno trasferito il proprio momento di spin escono dal FL ruotati della stessa inclinazione che aveva la magnetizzazione prima di subire la rotazione, secondo il principio della conservazione del momento angolare. In modo simile, quando gli elettroni scorrono dal FL verso il RL (ovvero la corrente scorre dal RL al FL) quelli aventi spin concorde alla magnetizzazione del RL transitano attraverso l'MTJ, mentre quelli con spin opposto vengono riflessi e tornano verso il FL (avente inizialmente magnetizzazione parallela) dove trasferiscono il loro momento di spin, che man mano ruota la magnetizzazione fino ad uno stato antiparallelo.

La magnetizzazione può essere invertita solo se la corrente applicata supera il valore critico J_C e questo consente di poter leggere il bit senza cambiare involontariamente la direzione del FL, in quanto la corrente di lettura è inferiore alla corrente di scrittura e dunque minore di J_C , la quale è data da

$$J_C = \frac{\alpha}{\eta} \cdot \frac{2 \cdot e}{\hbar} \cdot M_S \cdot t \cdot H_K + 2 \cdot \pi \cdot M_S \quad (eq.4.1)$$

dove α è il parametro di smorzamento di Gilbert, η il rendimento di polarizzazione della corrente, M_S la magnetizzazione di saturazione del FL, t lo spessore del layer, H_K il campo anisotropico e \hbar la costante di Planck ridotta. Si può osservare che la corrente critica dipende direttamente da α , dunque materiali con un coefficiente di smorzamento elevato (nei quali cioè la magnetizzazione tende più velocemente ad uno stato di equilibrio) richiederanno una corrente di scrittura maggiore, ma avranno un tempo di scrittura inferiore; tale tempo può essere ulteriormente ridotto applicando una corrente più alta di quella richiesta, a discapito però dei bassi consumi energetici. Inoltre la

corrente critica dipende inversamente da η , pertanto vanno ricercati materiali per il RL che consentano una buona polarizzazione del momento di spin degli elettroni. Infine, riducendo la dimensione della cella si ottiene un calo di J_c , mentre nel caso delle Field-MRAM essa sarebbe aumentata. La *fig.4.3* mostra la differenza nel moto precessionale della magnetizzazione fra una corrente appena superiore a quella critica (a sinistra) e una molto superiore (a destra). Si può osservare come nel secondo caso il percorso seguito sia più rapido del primo, per giungere allo stato di equilibrio.

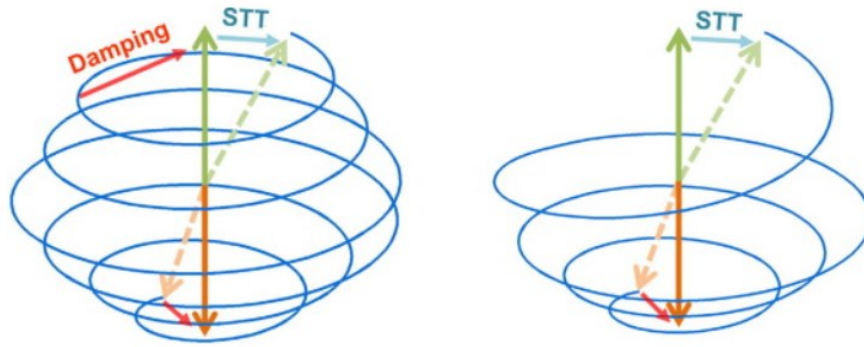


fig.4.3 Moto precessionale della magnetizzazione utilizzando correnti relativamente basse (sinistra) o elevate (destra), comunque superiori alla corrente critica [1]

Per comprendere matematicamente la dinamica di switching del campo magnetico del FL si riprenda in considerazione l'*eq.2.5*, che dividendo per M_S risulta

$$\frac{dm}{dt} = -\gamma \cdot [m \times H_{eff}] + \alpha \cdot \left[m \times \frac{dm}{dt} \right] \quad (eq.4.2)$$

A questa va aggiunto il termine per il trasferimento del momento spin, τ , quindi risulta

$$\frac{dm}{dt} = -\gamma \cdot [m \times H_{eff}] + \alpha \cdot \left[m \times \frac{dm}{dt} \right] + \frac{\gamma}{\mu_0 \cdot M_S} \cdot \tau_{STT} \quad (eq.4.3)$$

e tale relazione è chiamata equazione di Landau-Lifshitz-Gilbert-Slonczewski (LLGS), dove

$\tau_{STT} = a(J) \cdot [m \times [m \times \zeta]] + b(J) \cdot [m \times \zeta]$ in cui $a(J)$ e $b(J)$ sono funzioni dipendenti dalla densità di corrente J e ζ un vettore unitario determinato dalla polarizzazione di spin che arriva al FL. L'*eq.4.3* può essere scritta nella forma esplicita

$$\frac{dm}{dt} = -\frac{\gamma}{1+\alpha^2} \cdot \left([m \times H_{eff}] + \alpha \cdot [m \times [m \times H_{eff}]] - \frac{\hbar J}{e \cdot M_S \cdot t_{FL}} \cdot g(\theta) \cdot (\beta \cdot [m \times \zeta] - [m \times [m \times \zeta]]) \right) \quad (eq.4.4)$$

oppure nella forma equivalente

$$\frac{dm}{dt} = -\frac{\gamma}{1+\alpha^2} \cdot \left([m \times H_{eff}] + \alpha \cdot [m \times [m \times H_{eff}]] + \frac{g \cdot \mu_B \cdot J}{e \cdot \gamma \cdot M_S \cdot t_{FL}} \cdot g(\theta) \cdot (\beta \cdot [m \times \zeta] - [m \times [m \times \zeta]]) \right) \quad (eq.4.5)$$

dove β è un coefficiente solitamente $= \alpha$, $g = 2$ per gli elettroni liberi, $\mu_B = (e \cdot \hbar) / (2 \cdot m_e)$ il magnetone di Bohr (costante per esprimere la misura del momento magnetico di dipolo) e $g(\theta)$ la relazione di

Slonczewski, pari a $g(\theta) = \left[-4 + (1 + \eta)^3 \cdot \frac{3 + \cos(\theta)}{4 \cdot \eta^2} \right]^{-1}$ se il layer che separa il RL dal FL è di

materiale non magnetico e conduttore (nel caso delle spin-valve), mentre

$g(\theta) = \frac{1}{2} \cdot \eta \cdot [1 + \eta^2 \cdot \cos(\theta)]^{-1}$ se tale layer è isolante (nel caso del MTJ); θ è l'angolo tra la magnetizzazione del FL rispetto a quella del RL.

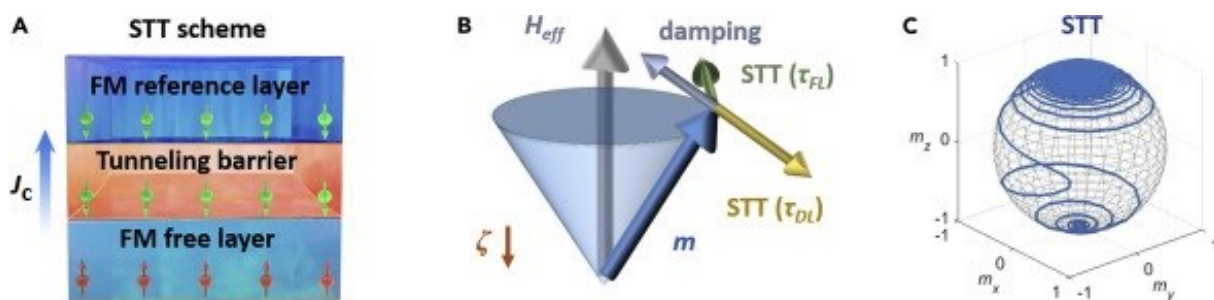


fig.4.4 Corrente che scorre in un MTJ (A) inducendo il moto precessionale e l'inversione della magnetizzazione (C), sulla quale agiscono le coppie field-like e damping-like (B) [11]

Dalla fig.4.4.a si può notare che una corrente che scorre dal FL al RL, cioè nel caso in cui gli elettroni vanno dal RL al FL con polarizzazione $\zeta \downarrow$ impressa dal RL, produce una coppia "field-like" $\tau_{FL} \sim m \times \zeta$, che provoca la precessione di m attorno a ζ , e una coppia "damping-like" $\tau_{DL} \sim m \times [\zeta \times m]$, che tende ad allineare m a ζ . Alla fine della precessione la magnetizzazione del FL sarà parallela a quella del RL. La coppia τ_{DL} è collineare alla coppia di smorzamento $\sim m \times [m \times H_{eff}]$ (indicata in fig.4.4.b come "damping") e dovendo competere con essa si ottiene un moto precessionale molto accentuato inizialmente (figura c), dunque un certo tempo di incubazione.

La magnetizzazione del MTJ può essere sia in-plane che perpendicolare. Nel primo caso si può raggiungere una dimensione minima intorno ai 60 nm (come spiegato in sez. 2.1.2) e considerando che uno dei punti di forza della STT-MRAM è proprio la densità, simile a quella di una DRAM, attualmente la ricerca è concentrata sullo sviluppo dei p-MTJ, con i quali si arriva a dimensioni attorno ai 10 nm (che potrebbero essere ulteriormente scalabili).

4.2 PREGI E DIFETTI [1], [11], [12]

Anche se la STT-MRAM sembra risolvere i problemi legati alla scalabilità della Field-MRAM, essa ha alcuni difetti che hanno portato l'attenzione su altre tipologie di MRAM, le quali verranno illustrate in seguito.

I vantaggi principali della tecnologia STT rispetto alla Field-based sono i seguenti:

- Oltre a non necessitare di un campo magnetico esterno, la corrente richiesta in fase di scrittura è direttamente proporzionale alla dimensione del MTJ, contrariamente a quanto accadeva per le Field-MRAM; questo consente di poter scalare le dimensioni senza limitazioni e dunque di ottenere memorie sempre più efficienti dal punto di vista energetico. Inoltre se la corrente diminuisce, anche la probabilità che l'MTJ si danneggi viene ridotta, garantendo tempi di vita utile superiori e limitando i guasti.

Dalla fig.4.5 si osserva l'andamento della corrente di scrittura rispetto alla dimensione del MTJ confrontando la tecnologia STT con quella Field-based: attorno ai 10 nm le differenze sono di svariati ordini di grandezza.

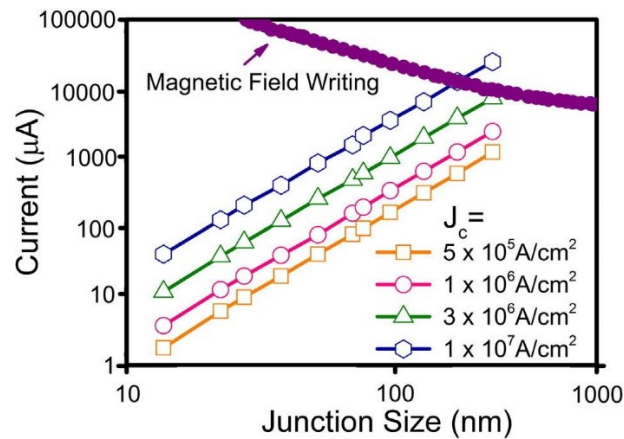


fig.4.5 Valori necessari alla corrente per eseguire la scrittura in funzione della dimensione del MTJ e confronto fra tecnologia STT e Magnetic-Field [1]

- Rispetto alla cella della Field-MRAM, quella della STT ha una struttura più semplice, dato che viene eliminato il percorso della corrente i_{WL} ; anche per questo motivo si può aumentare la scalabilità della cella.

I difetti invece sono i seguenti:

- Come riportato in *fig.4.4.b*, all'inizio del moto precessionale la coppia τ_{DL} è collineare e opposta alla coppia di damping, la quale tende a riportare la magnetizzazione all'equilibrio, ovvero allineata al campo magnetico H_{eff} ; questo causa un tempo di incubazione di circa 1-10 ns prima che M passi alla direzione opposta e dunque il processo di inversione sarà lento e non deterministico, in quanto inizialmente non si ha certezza sulla durata del ritardo di incubazione. Per minimizzare il tempo richiesto si può applicare una corrente superiore a quella necessaria, ma così facendo aumenta il consumo energetico.
- Correlato al problema dell'aumento di corrente vi è il problema della tolleranza del layer isolante (tunneling barrier in *fig.4.4.a*); infatti il suo spessore è 1-2 nm ed esso deve sopportare la corrente di scrittura, che scorre attraverso l'MTJ. Col tempo questo strato rischia di degradarsi e la probabilità di guasto è proporzionale alla corrente applicata. Tale problematica viene risolta con le SOT-MRAM, che saranno analizzate in seguito.
- Poiché la corrente di scrittura è maggiore di quella di lettura, il transistor d'accesso deve poter sopportare correnti elevate e questo impatta sulla densità di integrazione.
- La stabilità termica è direttamente proporzionale all'area del MTJ e ciò frena la scalabilità, perché aumenta la probabilità di guasto di memorizzazione (flip-bit).

5 OST-MRAM (ORTHOGONAL-SPIN-TRANSFER) [1], [13]

Come visto precedentemente, il principale difetto delle STT-MRAM è il tempo di incubazione necessario all'inversione della magnetizzazione, che si manifesta perché la coppia applicata non è nulla solo se le magnetizzazioni del RL e del FL sono disallineate ($\cos(\Theta) \neq \pm 1$), e per ottenere il disallineamento è necessaria una fluttuazione termica. Questo comporta anche un maggior consumo energetico poiché la corrente dev'essere applicata per una durata di svariati nanosecondi, aumentando inoltre il rischio di danneggiamento del tunneling-layer. Una memoria di tipo OST consente un'inversione ultra rapida ed efficiente in termini energetici poiché viene utilizzato un layer spin-polarizzante avente magnetizzazione perpendicolare al FL, che imprime sin da subito un'elevata coppia di trasferimento di spin sulla sua magnetizzazione.

5.1 PRINCIPIO DI FUNZIONAMENTO [13], [14], [15], [16]

Una OST-MRAM è composta da una struttura pari a quella di una STT-MRAM con magnetizzazione in-plane (RL composto da un antiferromagnete sintetico SAF per minimizzare il campo di dispersione sul FL, tunneling-layer isolante, FL) alla quale va aggiunto un layer spin-polarizzante avente magnetizzazione perpendicolare a quella dei layer soprastanti, come riportato in *fig.5.1.a*. Nel caso di studio analizzato di seguito [13] la struttura è così composta, partendo dal basso:

Co/Pd | Co/Ni | Cu | CoFeB | MgO | CoFeB | Ru | CoFe | PtMn in cui Co/Ni offre un'elevata polarizzazione sullo spin. Un'analisi su circa 100 dispositivi aventi MTJ esagonale con dimensioni di $60 \text{ nm} \times 180 \text{ nm}$ ha avuto come risultato una differenza resistiva (TMR) del 107%, come si può notare da *fig.5.1.b*, in cui lo stato ad alta resistenza (switching da P ad AP) ha un campo coercitivo di 12 mT mentre lo stato a bassa resistenza (da AP a P) di -16 mT, e tale asimmetria è dovuta ad un offset di -2 mT a causa del campo residuo dal RL (non totalmente annullato dal SAF). Il FL ha una buona stabilità termica alla temperatura di 300 K.

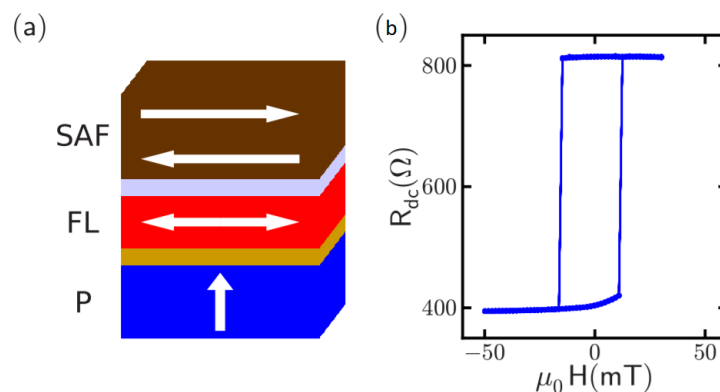


fig.5.1 Struttura del MTJ con layer spin-polarizzante nel caso di una OST-MRAM (a) e TMR del 107% fra stato P e AP (b) [13]

Si assuma una tensione positiva per la quale corrisponde un flusso di elettroni dal polarizzatore perpendicolare verso il RL. Rispetto al caso della memoria STT, in cui lo switch in un determinato stato avviene solo applicando una certa polarità, in questo caso si ha uno switch bipolare e questo lascia intuire che la coppia è prevalentemente generata dal polarizzatore perpendicolare.

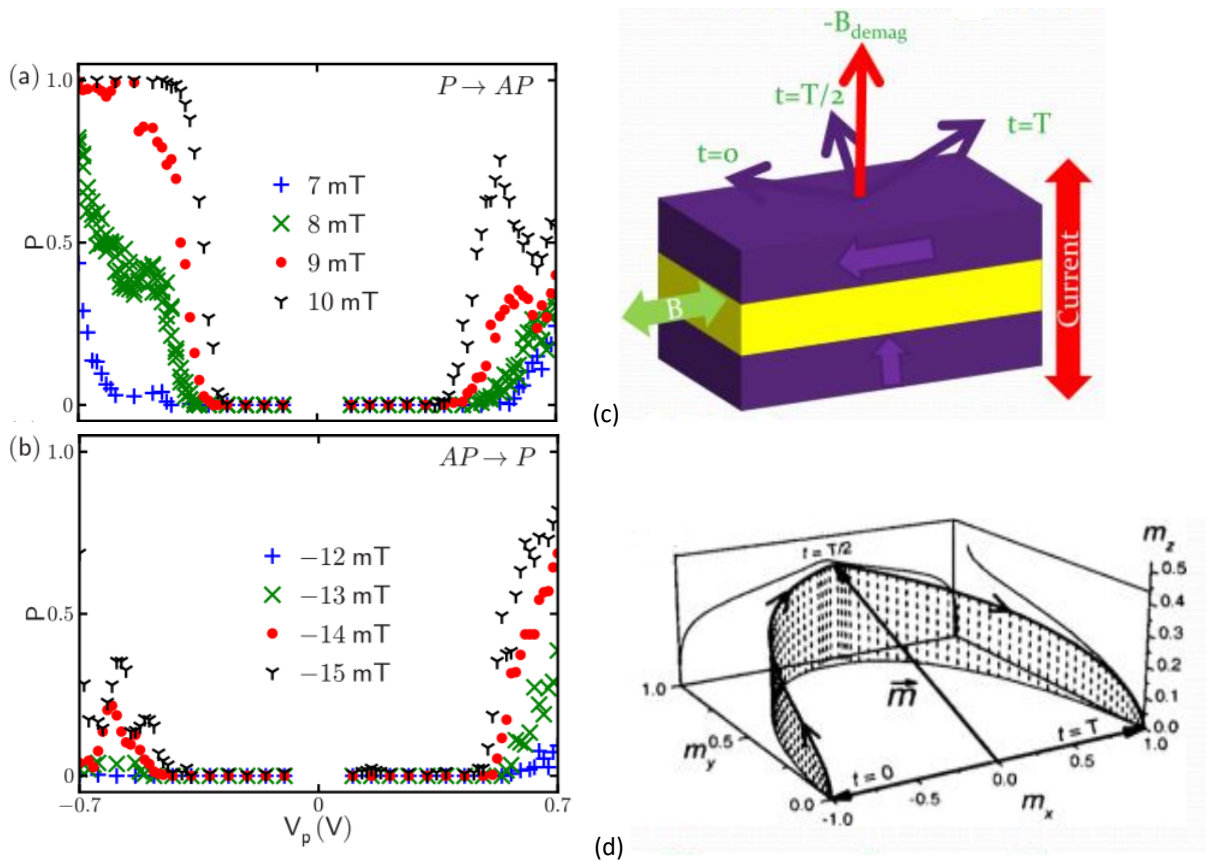


fig.5.2 Probabilità che si verifichi lo switch della direzione della magnetizzazione in funzione della tensione di polarizzazione, al variare dei campi magnetici esterni (a e b, caso P-AP e AP-P rispettivamente) [13] ; dinamica dell'inversione della magnetizzazione (c e d) [16]

Come si osserva da fig.5.2.a e b (in cui si mettono a confronto la tensione di polarizzazione con la probabilità di switch in base a diversi campi esterni prossimi a quello coercitivo, per un impulso di 700 ps) si ha probabilità di inversione per entrambe le direzioni della corrente che scorre attraverso l'MTJ, tuttavia la probabilità maggiore si ha con polarità negativa nel caso P→AP e positiva se AP→P; l'andamento è inoltre non-monotono, infatti nel semipiano con probabilità minore si nota un iniziale aumento di P ma poi un calo. Va osservato come in questo caso di studio lo switch avvenga maggiormente se la corrente scorre in verso opposto rispetto a quanto accade con la STT-MRAM classica. Ad esempio nel caso P→AP si sarebbe dovuta applicare una tensione positiva, in modo che gli elettroni scorrano dal FL al RL (vedere sez. 4.1). Questo a conferma che la coppia è data soprattutto dal polarizzatore perpendicolare.

In fig.5.2.c e d è raffigurata la dinamica di inversione: la coppia impartita dal polarizzatore perpendicolare tende a sollevare la magnetizzazione del FL (inizialmente in-plane) fuori dal piano e questo dà luogo a un campo di demagnetizzazione H_{demag} perpendicolare al piano attorno al quale si ha un moto precessionale della magnetizzazione, secondo l'equazione LLGS (vedere sez. 4.1). Nel caso in cui la corrente di switch avesse segno concorde a quella della STT-MRAM si avrebbe anche l'aiuto del contributo di polarizzazione del RL.

5.2 CONFRONTO TRA SWITCH P→AP E AP→P [15] , [17]

In un altro esperimento [15] condotto su un dispositivo esagonale da 85 nm × 200 nm con TMR del 100% è stato dimostrato che il meccanismo di switching da P→AP è diverso da quello da AP→P, sotto lo stesso impulso di corrente.

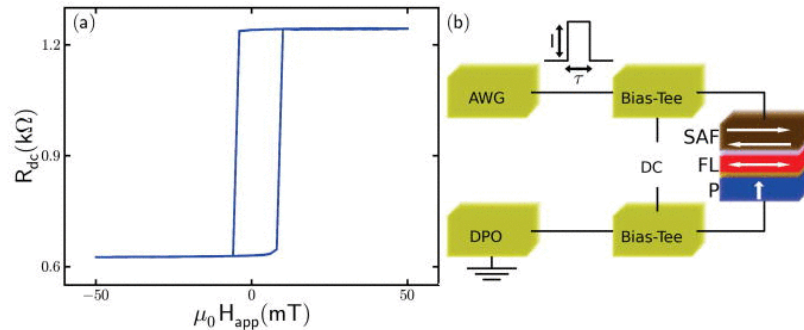


fig.5.3 Loop di isteresi indicante la resistenza misurata nei casi P e AP e quindi il valore di TMR (a) e schema a blocchi del dispositivo utilizzato per misurare tale valore [15]

In fig.5.3 è riportato il circuito usato per l'esperimento: un generatore d'onda (AWG) genera gli impulsi di corrente, della durata ~ ns, mentre un oscilloscopio (DPO) misura la variazione di corrente nel tempo e la maglia destra del circuito misura la resistenza all'equilibrio. Un campo magnetico esterno è usato per centrare il loop di isteresi nell'origine (poiché è presente un offset a causa di un minimo contributo non annullato dal SAF).

Applicando una tensione di -0.78 V per 2 ns tramite l'AWG, data la bipolarità con cui si può ottenere lo switch, questo può essere osservato sia dallo stato P→AP che AP→P, come riportato in fig.5.4; la curva blu rappresenta la traccia media nel caso in cui si è allo stato P sia prima che dopo l'impulso, così come la curva verde è la traccia media se si è in stato AP sia prima che dopo. La curva rossa è il segnale letto dall'oscilloscopio e quella nera il segnale filtrato. L'evento di switch ha inizio in t_{start} , corrispondente ad una variazione di $V_{norm}(t) >$ del 20% dallo stato P o AP, ed impiega un tempo t_{switch} per essere completato. V_{norm} è dato da $V_{norm}(t) = \frac{V(t) - V_P(t)}{V_{AP}(t) - V_P(t)}$.

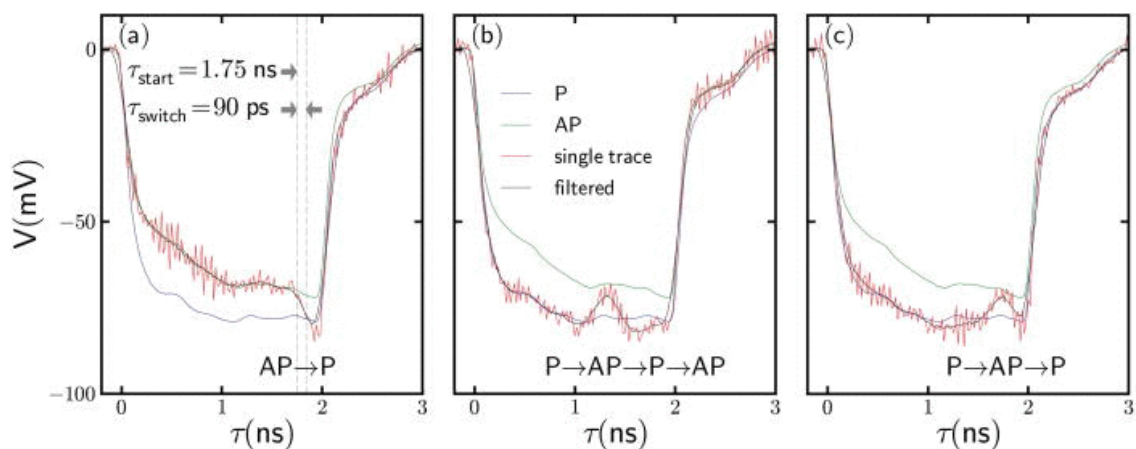


fig.5.4 Grafici ottenuti dall'oscilloscopio che evidenziano la transizione da stato AP-P (a) o P-AP (b): si osserva che nel primo caso si ha uno switch diretto, mentre nel secondo caso avviene tramite moto precessionale che può causare un ritorno allo stato iniziale (c) [15]

Si può osservare come una transizione da AP→P avvenga in modo diretto, mentre invece quella P→AP richieda un moto precessionale prima di raggiungere lo stato di equilibrio. Questa dinamica è verificata anche da *fig.5.5*, che rappresenta la distribuzione di t_{start} e t_{switch} su più di 10000 eventi: per il caso AP→P lo switch si verifica maggiormente verso la fine dell'impulso, ma la durata è molto breve (con picco a circa 100 ps), pertanto si può affermare che la dinamica sia diretta; per P→AP invece lo switch ha un t_{start} tendenzialmente più breve del caso precedente, tuttavia il picco di t_{switch} è prossimo a 0.9 ns e questo indica una dinamica precessionale. La distribuzione tendente a 0 per $t_{start} \approx 1.7$ ns e $t_{switch} \approx 0.4$ ns indica che in questa fascia si ha una dinamica che riporta la magnetizzazione al suo stato iniziale, come indicato anche in *fig.5.4.c*.

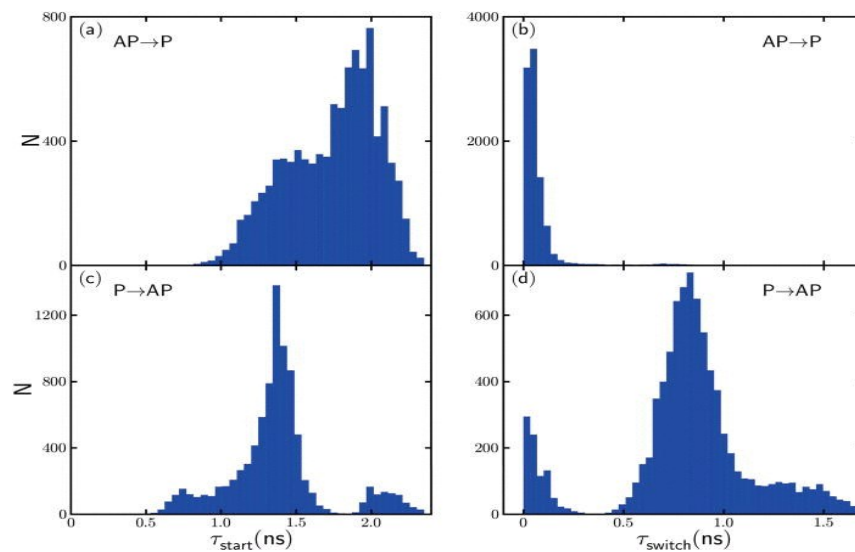


fig.5.5 Distribuzione del tempo di start (a e c) e di switch (b e d) per i quali si sono verificati gli eventi di switch, da AP-P (a e b) e P-AP (c e d) [15]

La differenza fra le dinamiche può essere spiegata tramite la resistenza dell'MTJ nelle 2 configurazioni: se inizialmente si ha lo stato AP la corrente che scorre tramite l'impulso di tensione è inferiore perché la resistenza è maggiore, di conseguenza la coppia dal polarizzatore perpendicolare non è sufficiente a favorire il moto precessionale attorno a H_{demag} e si avrà una dinamica come una normale STT-MRAM, in cui il RL (per tensione negativa) favorisce lo stato P. Successivamente la magnetizzazione del FL risente del contributo ortogonale e passa allo stato P in modo diretto. Nel caso P→AP invece la corrente all'inizio è maggiore (perché la resistenza è minore) e quindi la coppia perpendicolare consente il moto precessionale intorno a H_{demag} , che termina alla fine dell'impulso e pertanto si ottiene con successo l'inversione solo in un certo range di t_{start} .

In ultimo si può fare un confronto fra la corrente di switch nei casi P→AP e AP→P [17]. In una STT-MRAM classica la corrente I_p è simmetrica ovvero per passare da uno stato all'altro è necessario lo stesso valore assoluto di I_p (*fig.5.6.a* e *b*); nella OST-MRAM invece la corrente richiesta per il passaggio P→AP è minore di quella per AP→P, indipendentemente dalla polarità (*fig.5.6.c, d, e* e *f*).

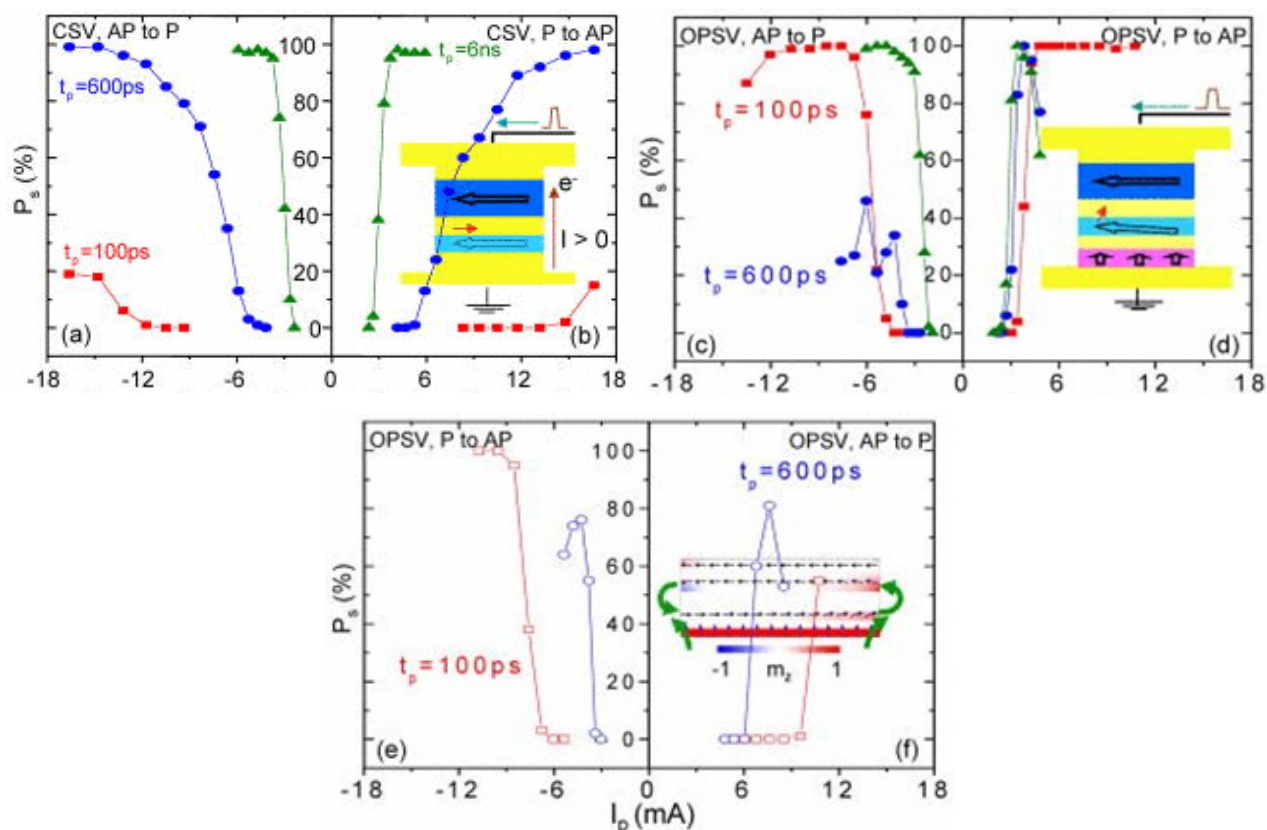


fig.5.6 Probabilità che si verifichi lo switch in funzione della corrente applicata al MTJ (al variare dell'intervallo di applicazione) per la tecnologia STT (a e b) e per la tecnologia OST (c, d, e, f), sia nel caso AP-P che P-AP [17]

Questo è dovuto ai campi magnetici provenienti dal polarizzatore perpendicolare e dal RL, che si sommano da un lato (destra, nella figura) del FL e si annullano dall'altro (sinistro) provocando un aumento del campo anisotropico planare H_K sul lato destro in configurazione AP e una diminuzione nel caso P. Di conseguenza la corrente richiesta sarà maggiore per lo switch AP→P. Le simulazioni hanno mostrato inoltre che l'inversione comincia (indipendentemente dalla polarità di I_p) dal lato destro per P→AP e da quello sinistro per AP→P.

Va notato che in quest'ultimo esperimento è stato raggiunto lo switch con impulsi di addirittura 100 ps e ampiezza intorno a 4 mA (minore del caso senza polarizzatore perpendicolare di fig.5.6.a e b).

5.3 PREGI DELLA OST-MRAM RISPETTO ALLA STT-MRAM [1] , [13]

Il grande vantaggio della OST-MRAM è la grande velocità di scrittura con bassissime spese energetiche. Ciò si può constatare da fig.5.7 (relativa al primo esperimento), in cui è riportato il caso da P ad AP: considerando una tensione di scrittura pari a -0.6 V si può ottenere una probabilità di switching del 100% a meno di soli 500 ps, senza perciò incorrere nel lungo ritardo di incubazione che caratterizzava la STT-MRAM. Si può inoltre ricavare l'energia richiesta dallo switch come

$E_{SWITCH} = \frac{V^2}{R} \cdot \Delta t$ e poiché la resistenza varia da $\sim 400 \Omega$ a $\sim 800 \Omega$ (rispettivamente se in stato P o AP) si avrà che E_{SWITCH} è compresa tra 225 e 450 fJ .

Un altro punto di forza è che lo switch avviene in modo deterministico, ovvero stabilita la durata dell'impulso si ha la certezza che l'inversione sia avvenuta, mentre nel caso STT non si aveva la

certezza sulla dinamica della magnetizzazione in quanto essa richiedeva un tempo iniziale variabile per il disallineamento tramite fluttuazione termica.

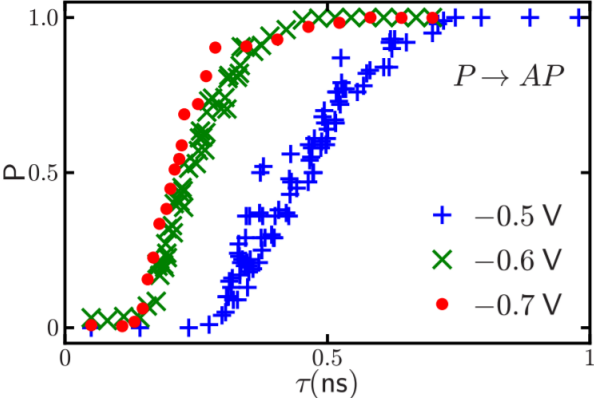


fig.5.7 Probabilità di switch da P-AP in funzione della durata della tensione di scrittura, al variare di quest'ultima [13]

6 VCMA-MRAM (VOLTAGE-CONTROLLED-MAGNETIC-ANISOTROPY)

Nel caso di VCMA-MRAM viene usato un campo elettrico applicato al MTJ per invertire la magnetizzazione del FL e tale metodo permette di ottenere bassi consumi energetici, in quanto viene oltrepassata la dissipazione per effetto Joule, causata dalla corrente che scorre nel MTJ, che si verificava nella STT e OST-MRAM.

6.1 PRINCIPIO DI FUNZIONAMENTO [1], [12], [18]

Un campo elettrico applicato ai capi del MTJ provoca un accumulo di elettroni che modifica l'occupazione degli orbitali atomici all'interfaccia tra il FL e il layer isolante. Questa modifica è connessa all'interazione spin-orbita e provoca l'inversione della magnetizzazione del FL. L'anisotropia magnetica perpendicolare d'interfaccia (es. CoFeB | MgO) può quindi essere manipolata da un campo elettrico. Il layer isolante è abbastanza spesso da far transitare una quantità trascurabile di elettroni, in modo da limitare l'effetto Joule e quindi l'energia richiesta.

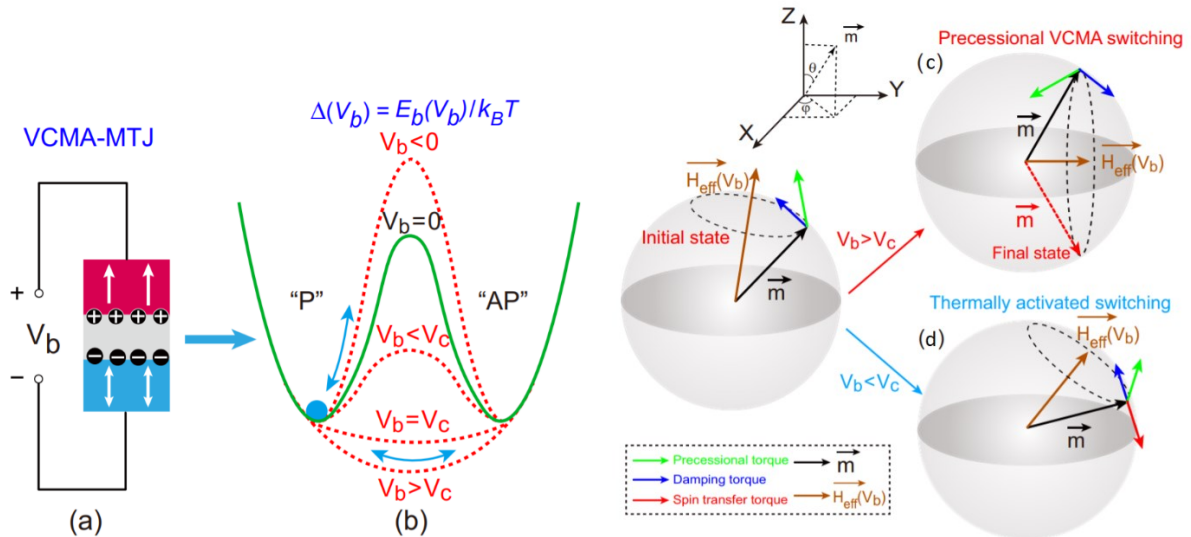


fig.6.1 MTJ di una cella della VCMA-MRAM (a); andamento della barriera energetica al variare della tensione applicata al MTJ (b); modalità di avvenimento dello switch per $V_b > V_c$ (c) e per $V_b < V_c$ (d) [18]

In fig.6.1.a si osserva una cella di memoria: una tensione positiva ai capi del MTJ consente di ridurre o eliminare la barriera energetica E_B che separa i due stati stabili per la PMA d'interfaccia, mentre una tensione negativa la fa aumentare, come mostrato da fig.6.1.b . L'espressione della barriera energetica è

$$E_B(V_B) \approx [K_i(V_B) - 2 \cdot \pi \cdot M_S^2 \cdot (N_Z - N_{X,Y}) \cdot t_{FL}] \cdot A \quad (eq.6.1)$$

dove $K_i(V_B)$ è la PMA d'interfaccia, V_B la tensione applicata al MTJ, A l'area del MTJ, N_Z e $N_{X,Y}$ i fattori di demagnetizzazione del MTJ nelle direzioni perpendicolari e planari. La PMA d'interfaccia in funzione di V_B è data da $K_i(V_B) = K_i(0) - \chi \cdot \frac{V_B}{t_{OX}}$ con χ coefficiente di VCMA e t_{OX} spessore del layer isolante. Sostituendo questa relazione in eq.6.1 si ottiene l'espressione della stabilità termica $\Delta(V_B)$ in funzione di V_B

$$\Delta(V_B) = \frac{E_B(V_B)}{k_B \cdot T} = \Delta(0) - \frac{\chi \cdot A \cdot V_B}{k_B \cdot T \cdot t_{OX}} \quad (eq.6.2)$$

e imponendo $\Delta(V_B) = 0$ si ottiene la tensione critica V_C alla quale la barriera energetica viene annullata

$$V_C = \frac{\Delta(0) \cdot k_B \cdot T \cdot t_{OX}}{\chi \cdot A} \quad (eq.6.3)$$

Se la tensione $V_B > V_C$ la magnetizzazione del FL inizia a oscillare con dinamica precessionale fra i 2 stati di equilibrio, come indicato da *fig.6.1.c*, e l'equazione che regola il fenomeno è la versione standard della LLG (vedere sez. 2.3) ovvero

$$\frac{dm}{dt} = -\gamma \cdot [m \times H_{eff}(V_B)] + \alpha \cdot [m \times \frac{dm}{dt}] \quad (eq.6.4)$$

in cui il primo termine è la coppia precessionale e il secondo quella di smorzamento. Poiché se $V_B > V_C$ la componente perpendicolare di $H_{eff}(V_B)$ è nulla, la magnetizzazione del FL assume un moto precessionale attorno alla componente planare del campo effettivo.

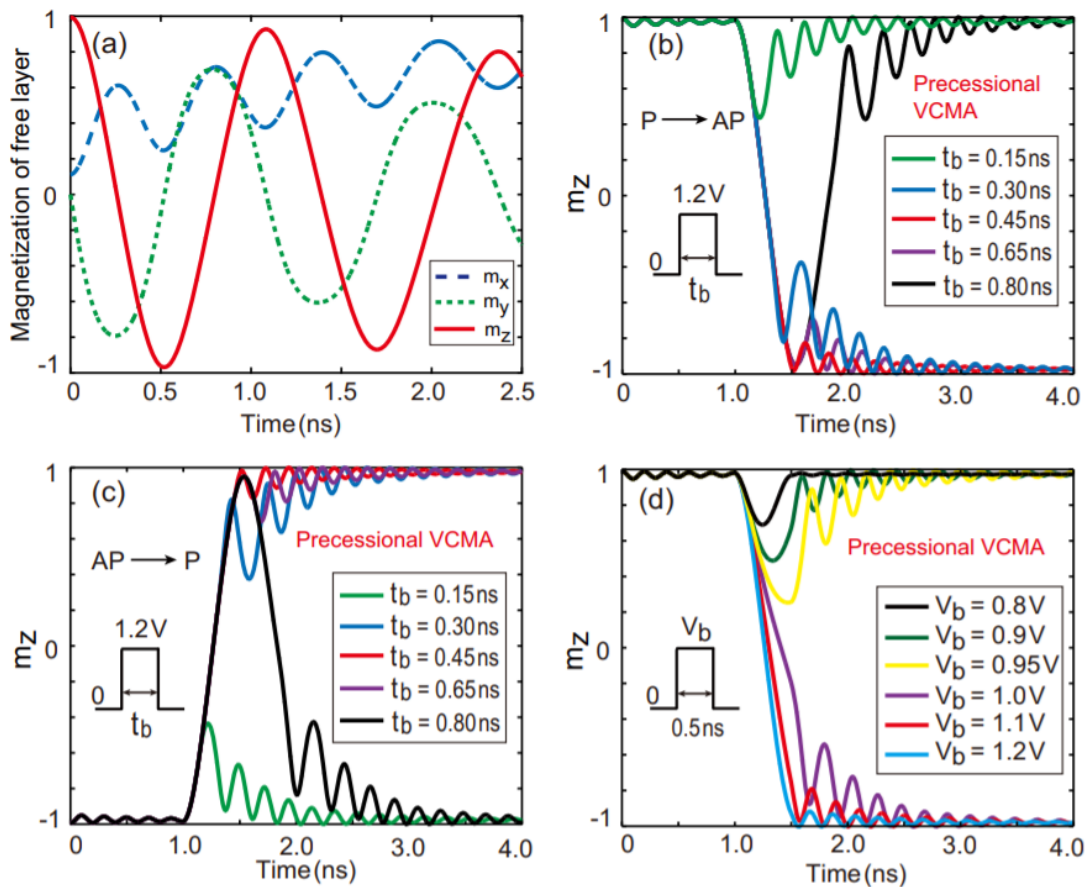


fig.6.2 Andamenti nel tempo delle componenti x , y , z della magnetizzazione del FL con tensione e durata fissate (a); andamento della componente z con tensione fissata al variare della durata dell'impulso (b e c) e con intervallo fissato al variare dell'ampiezza della tensione (d) [18]

In *fig.6.2* sono rappresentate varie dinamiche osservate tramite simulazione di una cella da 40 nm, in cui $V_B > V_C$ ed è applicato un campo esterno in-plane $H_{ext} = 4.8 \times 10^4$ A/m: in figura *a* è riportato l'andamento nel tempo delle 3 componenti della magnetizzazione del FL per una $V_B = 1.2$ V con durata di 2.5 ns, e in particolare si nota come la componente m_z oscilli tra i 2 stati stabili. Le figure *b* e *c* mostrano l'evoluzione di m_z per varie durate dell'impulso di tensione, rispettivamente dallo stato $P \rightarrow AP$ e $AP \rightarrow P$, e si osserva che solo per alcuni range lo switch avviene correttamente. Infine in figura *d* è riportata la dinamica da $P \rightarrow AP$ per una durata dell'impulso di 0.5 ns e a diverse ampiezze, e si nota che la velocità di switch è direttamente proporzionale alla tensione applicata. Per una $V_B =$

1.2 V è stato osservato che il tempo di switch è minimo per una durata dell'impulso di circa 0.45 ns e inoltre per durate inferiori a circa 0.2 ns o superiori a circa 0.75 ns non si verifica correttamente lo switch, ottenendo al termine lo stesso stato iniziale (sia per P che per AP).

6.2 STT-ASSISTED VCMA-MRAM [18]

Il metodo ottimale per ottenere uno switch deterministico utilizzando la tecnologia VCMA è la combinazione di questa con l'effetto STT. Ciò consiste nell'applicazione iniziale di un impulso di tensione di ampiezza $V_B > V_C$ ma di una durata inferiore al limite minimo per ottenere l'inversione, seguito da un impulso $V_{B2} < V_C$ di polarità positiva (per ottenere P) o negativa (per ottenere AP) che induce una coppia STT per determinare e stabilizzare lo stato finale della magnetizzazione del FL. Questo termine va aggiunto all'eq.6.4 ed è dato da $-\rho_{STT} \cdot [m \times [m \times \zeta]]$ dove

$$\rho_{STT} = \frac{\gamma \cdot \hbar \cdot \eta \cdot J_{STT}}{2 \cdot e \cdot \mu_0 \cdot t_{FL} \cdot M_S}$$

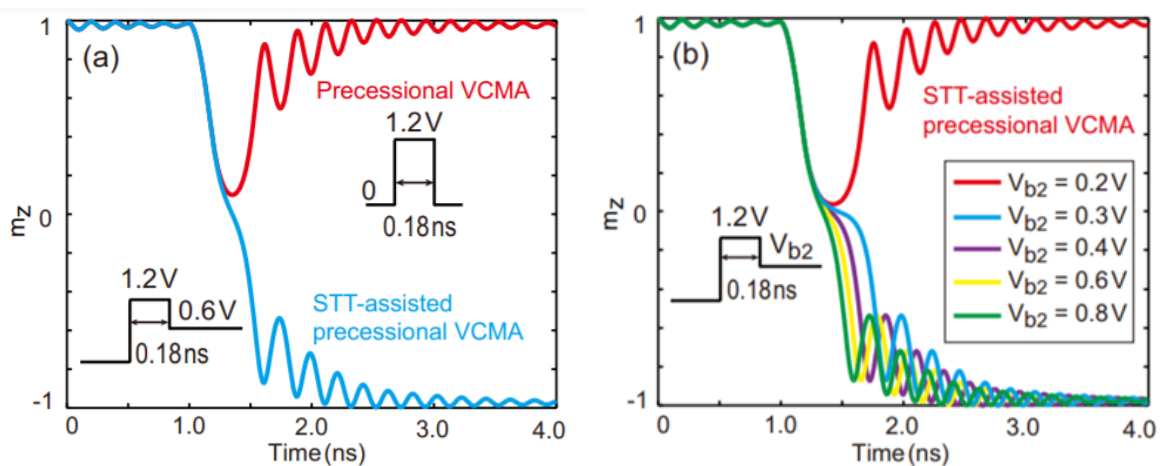


fig.6.3 Andamento di m_z se utilizzata la sola tecnica VCMA (curva rossa) o in combinazione con la STT (curva azzurra) (a); andamento di m_z nel caso di VCMA assistita da STT al variare della tensione che attua l'effetto STT [18]

In fig.6.3.a si osserva la differenza tra l'utilizzo o meno della componente STT: l'impulso della sola componente VCMA non ha durata sufficiente da invertire la magnetizzazione del FL, tuttavia esso induce l'oscillazione precessionale di m_z in quanto è l'effetto dominante; successivamente applicando V_{B2} l'effetto STT diventa quello principale e contribuisce a concludere l'inversione con successo, in modo deterministico.

In fig.6.3.b si nota che per valori di tensione V_{B2} troppo bassi non si ha comunque l'inversione di m_z e che il tempo di switch è direttamente proporzionale all'ampiezza dell'impulso applicato, come nel caso della sola componente VCMA.

Con tale tecnica si elimina inoltre la necessità del campo magnetico esterno H_{ext} .

La differenza tra le due dinamiche (solo VCMA o VCMA assistita da STT) si può vedere meglio in fig.6.4.c e d, mentre in a e b è raffigurata la cella di memoria e com'è implementata nella matrice di bit.

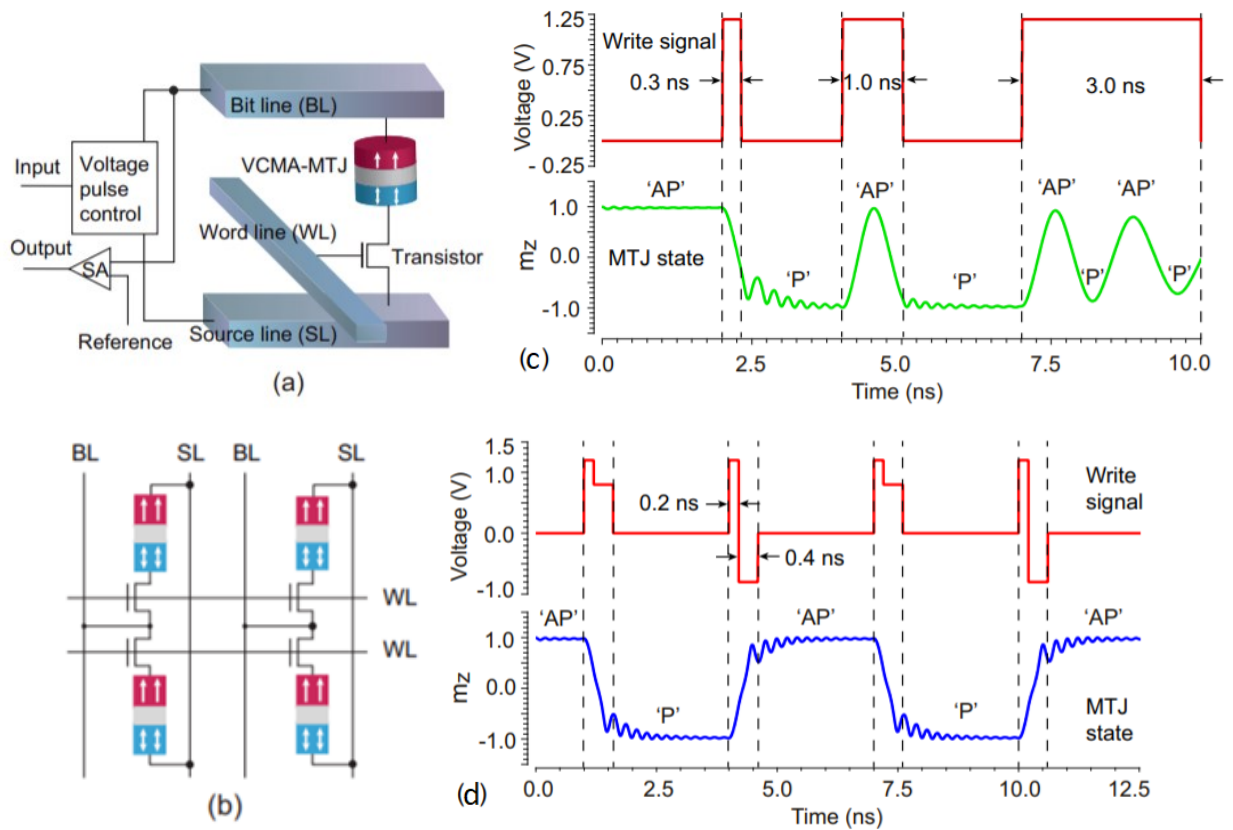


fig.6.4 Cella di memoria di una VCMA-MRAM (a) e come sono situate fra bit-line, word-line e source-line (b); commutazione fra stati AP e P nel caso di solo tecnica VCMA (c) e di tecnica ibrida VCMA+STT (d) [18]

Per completezza, l'inversione può essere effettuata anche con un impulso VCMA con $V_B < V_C$ seguito da un impulso STT con $V_{B2} < V_C$ e densità di corrente J_{STT} inferiore a $J_{C,STT}$. Tale metodo sfrutta l'attivazione termica del FL: il primo impulso abbassa la barriera energetica E_B mentre il secondo aumenta l'attivazione termica e combinato al primo consente l'inversione di m_z . Tuttavia tale metodo richiede un tempo superiore (decine di nanosecondi nella simulazione presa in esame [18]) e un'energia di scrittura maggiore rispetto al caso precedente.

6.3 PREGI E DIFETTI [18]

Come discusso precedentemente, la VCMA-MRAM consente di minimizzare i consumi energetici limitando l'effetto Joule provocato dalla corrente, che si aveva nel caso della tecnologia STT. Inoltre lo switch si può ottenere con impulsi molto brevi, inferiori al nanosecondo (addirittura inferiori a 200 ps, come mostrato da fig.6.3). Un ulteriore vantaggio è dato dall'aumento della barriera energetica fra i 2 stati stabili del FL in corrispondenza di una tensione V_B negativa, che consente la lettura rapida senza il rischio di switch involontario.

Anche se la sola tecnologia VCMA sembra essere quella più promettente ed efficiente, vi sono comunque alcune problematiche (sez. 6.1): in primo luogo per ottenere uno switch deterministico è necessaria un'attenta modulazione dell'ampiezza e della durata dell'impulso di tensione, altrimenti si ottiene lo stesso stato pre-impulso. In alternativa si può pensare di aggiungere un algoritmo che verifica lo stato finale, ma questo comporta una riduzione della rapidità. Un altro svantaggio è la necessità di un campo magnetico esterno e planare per rompere la simmetria di H_{eff}

e consentire il moto precessionale attorno alla componente x,y di quest'ultimo, tuttavia l'aggiunta di un campo esterno implica maggiori consumi e un aumento della complessità della cella.

Queste problematiche possono essere risolte servendosi di una tecnologia ibrida in cui, nella fase di scrittura, si ha l'ausilio della componente STT (sez. 6.2): in tal caso si osserva uno switch affidabile per un impulso di tensione di soli 0.18 ns (e ampiezza 1.2 V, > V_c) senza l'ausilio di un campo esterno, il che rende questa strategia tra le più interessanti nell'utilizzo reale delle MRAM. In questa configurazione non si pone il problema della grande dimensione del transistor d'accesso o del degrado del MTJ a causa della corrente STT di scrittura, poiché questa può essere inferiore a quella critica grazie all'effetto combinato VCMA.

tab.6.1

TECNOLOGIA	TEMPO DI SWITCH	ENERGIA DI SCRITTURA
SOLO VCMA (V _B = 1.2 V)	0.45 ns	6.14 fJ/bit
VCMA ASSISTITA DA STT (0.2 ns 1.2 V + 0.4 ns 0.8 V)	0.6 ns	6.68 fJ/bit
SOLO STT	1 – 10 ns	100 fJ/bit

Osservando tab.6.1 [18] ci si rende conto che la soluzione migliore da utilizzare è la VCMA assistita tramite STT, perché con consumi e tempi prossimi a quelli della sola tecnica VCMA si elimina la necessità del campo magnetico esterno e si può ottenere dunque una cella più semplice e una maggior densità di integrazione.

7 SOT-MRAM (SPIN-ORBIT-TORQUE)

Per comprendere il funzionamento della coppia dovuta all'interazione spin-orbita (SOT) bisogna prima concentrarsi sui due effetti che ne danno luogo, ovvero l'effetto spin-Hall e l'effetto Rashba-Eldestein, trattati di seguito.

7.1 CORRENTE DI SPIN ED EFFETTO SPIN-HALL (SHE) [11], [19], [20], [21], [22], [23], [24]

Una pura corrente di spin J_S si differenzia da una pura corrente di carica J_C in quanto è una corrente che trasporta il solo momento angolare di spin, senza trasporto di carica (mentre per J_C si hanno entrambi, per esempio nel caso del metodo STT). In una corrente di carica si ha il moto di elettroni con entrambi gli spin, dunque si può esprimere come $J_C = J_{\uparrow} + J_{\downarrow}$; la corrente di spin invece ha espressione $J_S = \frac{\hbar(J_{\uparrow} - J_{\downarrow})}{2 \cdot e}$ da cui si ricava che se gli elettroni con spin-up scorrono nella stessa direzione di quelli con spin-down si è in presenza di sola corrente di carica, perché il numeratore di J_S si annulla, mentre se gli elettroni scorrono in direzioni opposte si osserva una corrente di spin e la corrente di carica si annulla. Tale dinamica può essere notata da *fig.7.1.a* e *b*, in cui a sinistra è riportata la corrente di carica e a destra quella di spin.

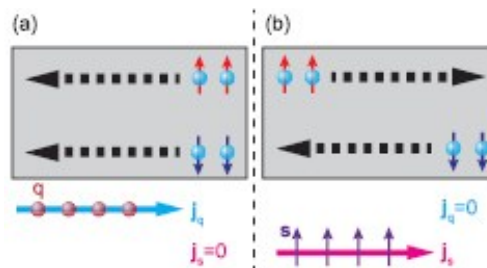


fig.7.1 Differenza fra corrente di carica (a) e corrente di spin (b) [19]

L'angolo di spin-Hall Θ_{SH} quantifica la corrente di spin prodotta da una corrente di carica, dunque la relazione precedente può essere scritta come $J_S = \frac{\hbar \cdot \Theta_{SH} \cdot J_C}{2 \cdot e}$ e Θ_{SH} dipende dal materiale (hanno un buon Θ_{SH} metalli come Pt, Ta, W, Au).

Effetto Spin-Hall

Secondo l'effetto spin-Hall (SHE), una corrente di carica può essere trasformata in una corrente di spin e viceversa (in questo caso si chiama effetto spin-Hall inverso o ISHE). Esso ha luogo quando le cariche si muovono in un conduttore, nel quale assumono velocità trasversali opposte e dipendenti dallo spin. Questo moto trasversale dipende sia da fattori intrinseci (moto simile a quello per effetto Magnus) che estrinseci (deviazione causata da impurità nel materiale).

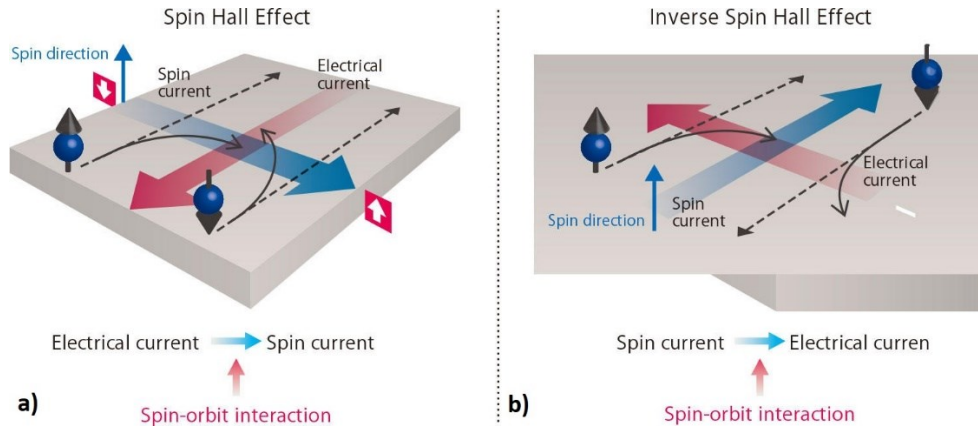


fig.7.2 Generazione di una corrente di spin a partire da una corrente di carica tramite l'interazione spin-orbita (a) e generazione di una corrente di carica partendo da una corrente di spin (b) [20]

Come si osserva in fig.7.2.a gli elettroni con spin-up sono deviati verso destra, mentre quelli con spin-down verso sinistra e, ricordando la configurazione di fig.7.1.b, si ottiene una corrente di spin diretta verso destra e perpendicolare alla corrente di carica. Inoltre la corrente di spin generata trasporta un momento di spin ζ perpendicolare sia a J_C che a J_S e tale per cui

$$J_S = \theta_{SH} \cdot \frac{-\hbar}{2 \cdot e} \cdot [J_C \times \zeta] \quad (eq.7.1)$$

In fig.7.2.b è mostrata la dinamica dell'ISHE, in cui la corrente di spin dà luogo a una corrente di carica ad essa perpendicolare, secondo la relazione

$$J_C = \theta_{SH} \cdot \frac{-2 \cdot e}{\hbar} \cdot [J_S \times \zeta] \quad (eq.7.2)$$

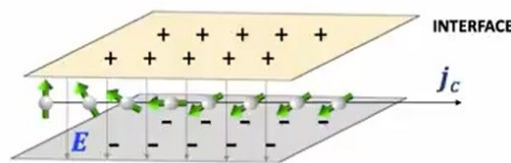
È importante sottolineare che la corrente di spin è osservabile solo in scala nanometrica in quanto essa decade dopo qualche micrometro, mentre la corrente di carica scorre senza mai decadere.

7.2 EFFETTO RASHBA-ELDESTAIN (REE) [11], [25], [26], [27]

L'effetto Rashba-Eldestein si origina da un'asimmetria strutturale che genera un campo elettrico E non compensato all'interfaccia, come mostrato da fig.7.3; l'asimmetria nasce ad esempio dal fatto che il FL è inserito fra 2 materiali diversi, ovvero un metallo conduttore (HM, heavy-metal) e uno strato isolante, pertanto si ha asimmetria verticale. Quando nel metallo conduttore posto sotto al FL scorre una corrente J_C gli elettroni che si muovono con velocità v nel campo elettrico E sperimentano un campo magnetico $H_R \sim v \times E$ detto campo di Rashba, che tende ad orientare lo spin degli elettroni secondo il verso

$$\zeta = \frac{-\alpha_R \cdot m_e}{e \cdot \hbar} \cdot [z \times J_C] \quad (eq.7.3)$$

dove $\alpha_R = \frac{g \cdot \mu_B \cdot E_0}{2 \cdot m \cdot c^2}$ è il coefficiente di Rashba e z il vettore unitario orientato secondo l'asse z .



Conduction electrons moving in an uncompensated E field at interfaces: $B \sim v \times E \sim J_C \times \hat{z}$

fig.7.3 Elettroni che transitano in una zona in cui è presente un campo elettrico non compensato di interfaccia, causato da asimmetria strutturale

Sia nel caso dell'effetto SHE che del REE il verso del vettore di spin ζ all'interfaccia tra l'HM e il FL è lo stesso e pertanto nella coppia impressa alla magnetizzazione del FL dall'interazione spin-orbita concorrono entrambi gli effetti e non si è ancora capito quale dei due sia predominante. Le sostanziali differenze sono che in questo caso si ha un effetto di superficie e il meccanismo è totalmente intrinseco, mentre nel caso SHE si ha un effetto di bulk e origine anche estrinseca.

7.3 PRINCIPIO DI FUNZIONAMENTO [11], [28], [29], [30], [31], [32]

La SOT-MRAM si basa sul principio dell'interazione spin-orbita, ovvero l'interazione fra il momento angolare di spin e quello orbitale che caratterizza un elettrone. Tale interazione è un effetto relativistico che nasce dal movimento di un elettrone in un campo elettrico (dovuto ad un'asimmetria strutturale) dove percepisce un campo magnetico $H_{SO} = \frac{[v \times E]}{c^2}$ (come spiegato nella sez. 7.2), il quale è perpendicolare sia al moto della carica che al campo elettrico e la sua direzione e ampiezza non dipendono né dalla carica né dallo spin della particella. Il campo H_{SO} agisce sul momento magnetico dell'elettrone e provoca un moto precessionale dello spin, che tenderà ad allinearsi lungo la direzione del campo.

Di seguito (fig.7.4) è riportata la struttura di una cella di memoria SOT paragonata ad una cella STT.

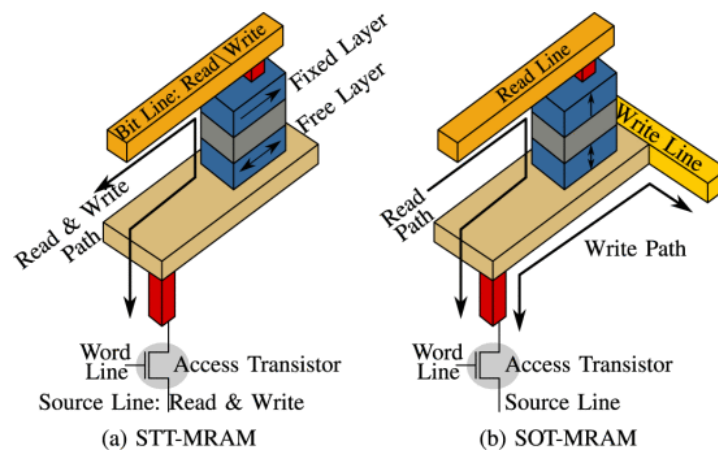


fig.7.4 Struttura generica di una cella della STT-MRAM (a) paragonata a quella della SOT-MRAM (b) [32] [33]

Nel caso STT (a) il percorso di scrittura e di lettura è condiviso, mentre nel caso SOT (b) i due percorsi sono tra loro perpendicolari e in particolare si nota che quello di scrittura non attraversa il MTJ e questo è il grande vantaggio di questa tecnologia, in quanto non si pone il problema della corrente di scrittura elevata che, transitando nel MTJ, può a lungo termine rovinare lo strato di ossido che separa FL da RL. Si nota inoltre che la cella STT ha 2 terminali, mentre la SOT ne ha 3 per isolare il percorso di lettura (unidirezionale) da quello di scrittura (bidirezionale). Guardando la fig.7.4.b la word line è usata per indirizzare la corretta cella di memoria e se è richiesta una lettura la corrente scorre dalla read line alla source line; se è richiesta una scrittura la corrente scorre tra la source line e la write line e la direzione impressa alla magnetizzazione del FL dipende dal verso della corrente. In particolare, nel caso riportato in figura, se il potenziale alto è sulla source line si avrà uno stato parallelo, se invece è sulla write line si ottiene uno stato antiparallelo.

Per comprendere la dinamica di switching della magnetizzazione del FL bisogna nuovamente ricorrere all'equazione LLGS (vedere sez. 2.3 e 4.1) che ha la stessa struttura dell'eq.4.3 (relativa alla STT-MRAM), dove però la coppia τ_{STT} è sostituita da τ_{SOT}

$$\frac{dm}{dt} = -\gamma \cdot [m \times H_{eff}] + \alpha \cdot \left[m \times \frac{dm}{dt} \right] + \frac{\gamma}{\mu_0 \cdot M_S} \cdot \tau_{SOT} \quad (eq.7.4)$$

e come nel caso STT la coppia τ_{SOT} è composta da un termine "field-like" $\tau_{FL} \sim m \times \zeta$, che provoca la precessione di m attorno a ζ , e da un termine "damping-like" $\tau_{DL} \sim m \times [\zeta \times m]$ che tende ad allineare m a ζ (fig.7.5.b).

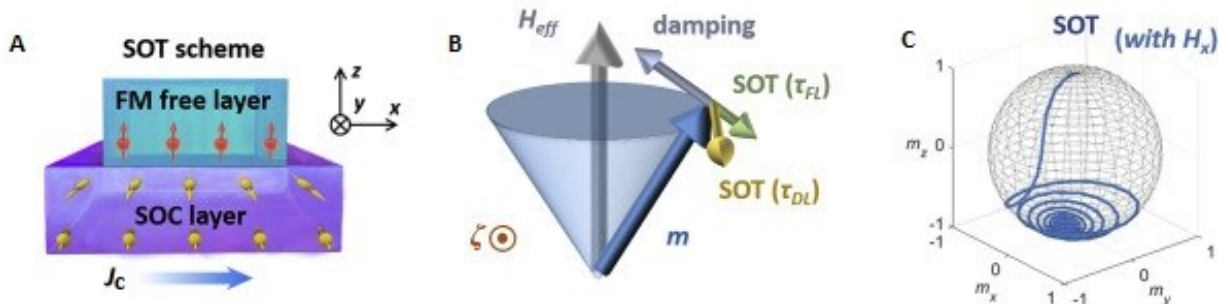


fig.7.5 Free-layer e SOC-layer e disposizione degli spin elettronici in presenza di una corrente di carica J_c (A); dall'interazione spin-orbita si genera una corrente di spin che induce le coppie field-like e damping-like (B) sulla magnetizzazione del FL causandone lo switch (C) [11]

In fig.7.5.a il "SOC layer" è composto da un metallo non magnetico (es. Ta) e tramite l'effetto Rashba e l'effetto spin-Hall lo spin degli elettroni all'interfaccia con il FL assume direzione ζ dipendente dalla direzione della corrente di carica J_c . Secondo l'effetto SHE si ottiene una corrente di spin J_s diretta in direzione $+z$ e dunque iniettata nel FL, dove provoca l'inversione della magnetizzazione trasferendo il momento di spin. Nel caso STT il vettore di polarizzazione ζ aveva direzione lungo l'asse z ; in questo caso invece esso punta in direzione y , pertanto secondo l'eq.7.4 la coppia τ_{DL} (massima all'inizio del processo) ha direzione perpendicolare alla coppia di damping (freccia azzurra nel disegno b) e questo consente uno switching di m più rapido (< 1 ns), senza la necessità di un tempo di incubazione come avviene per la STT, dato che τ_{DL} non deve competere con la coppia di smorzamento. In fig.7.5.c è mostrato il moto precessionale della magnetizzazione m e si nota che rispetto al caso STT lo stato di equilibrio viene raggiunto senza un iniziale moto a spirale (dovuto all'attivazione termica). Per uno switch deterministico è richiesto un campo magnetico esterno e planare H_x che spezzi la simmetria lungo l'asse z , perché altrimenti la coppia τ_{DL} tenderebbe a portare la magnetizzazione lungo l'asse y e, tolta la corrente, m avrebbe moto precessionale verso $+o-z$ per agitazione termica (switch non deterministico). Utilizzando H_x invece la magnetizzazione si porta nel semipiano opposto a quello iniziale e, dopo aver tolto la corrente, termina la rotazione grazie alla coppia di smorzamento, dunque in modo deterministico. Sono state comunque sviluppate memorie SOT che non richiedono necessariamente tale campo per l'inversione di m ; una soluzione è aggiungere un layer magnetico che induca un campo planare alla magnetizzazione del FL, oppure combinare SOT e STT insieme (simile al caso VCMA assistito, sez. 6.2).

In fig.7.6 viene mostrata la dinamica precessionale delle 3 componenti x , y e z della magnetizzazione durante l'inversione con tecnologia SOT (a sinistra) e STT (a destra); si nota che la prima è molto più rapida.

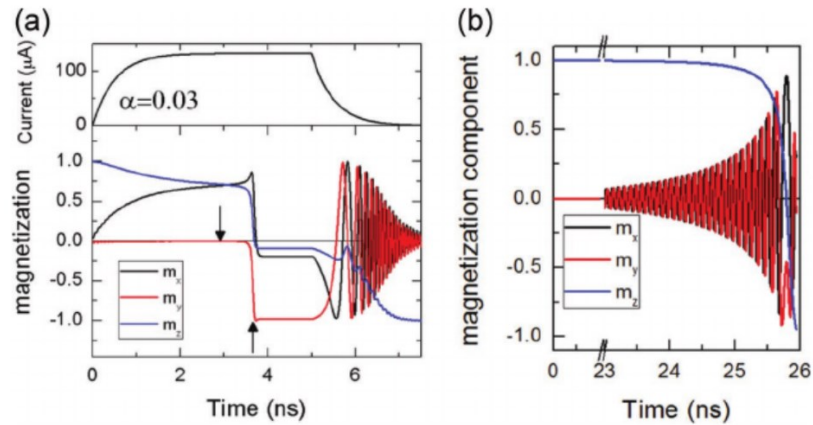


fig.7.6 Andamento precessionale nel tempo delle componenti x , y , z della magnetizzazione durante lo switch, nel caso SOT (a) e STT (b) [30]

È stato osservato sperimentalmente [29] che la corrente necessaria allo switch dipende dall'efficienza della coppia "field-like" rispetto a quella "damping-like", cioè $\Theta_{FL} / \Theta_{DL}$; inoltre se la coppia τ_{FL} è troppo elevata può provocare un ritorno della magnetizzazione allo stato iniziale. Questa coppia deriva dall'interazione di scambio tra la magnetizzazione e l'accumulo di spin all'interfaccia e tale interazione è quantificata dalla parte immaginaria della conduttanza dello spin all'interfaccia, G_i . La parte reale G_r invece quantifica il trasferimento del momento dall'accumulo di spin interfacciale verso la magnetizzazione del FL ed è quindi correlata alla coppia τ_{DL} . Aumentando G_r cresce Θ_{DL} mentre diminuisce Θ_{FL} ; in altre parole, aumentando l'assorbimento verso il FL del momento di spin all'interfaccia, ossia τ_{DL} , cala il contributo τ_{FL} causato dall'accumulo di spin, che viene perciò ridotto. Considerato un dispositivo con PMA composto da $W | CoFeB | MgO | Ta$ si è osservato che G_r è proporzionale allo spessore del FL (stato CoFeB) e ciò dipende dal fatto che uno spessore maggiore consente un miglior assorbimento del momento di spin da parte del FL. Questa trasmissione cresce ulteriormente se il dispositivo viene mantenuto per un certo tempo a temperature prossime a $300^\circ C$ (non superiori altrimenti G_r cala). Infine si ottiene un aumento di G_r anche aumentando la magnetizzazione di saturazione M_s del FL, poiché una magnetizzazione più forte riduce la lunghezza di diffusione dello spin (aumentando inoltre la stabilità termica). Con tali tecniche si ottiene dunque un calo di $\Theta_{FL} / \Theta_{DL}$, che porta ad una maggior affidabilità di switch della magnetizzazione m .

7.4 CONFRONTO TRA SRAM, STT-MRAM E SOT-MRAM APPLICATE A UNA CACHE IBRIDA [33]

Come spiegato precedentemente, il vantaggio della SOT-MRAM è la separazione tra i percorsi di lettura e scrittura, che dunque possono essere ottimizzati indipendentemente consentendo velocità e consumi paragonabili a quelli di una SRAM, mentre la tecnologia STT soffre di lunghi tempi di scrittura e necessita di una corrente elevata. Questi vantaggi abilitano la SOT-MRAM ad essere usata come memoria cache, sia di primo che di secondo livello. Di seguito è riportato un confronto basato su una simulazione NVSim (utilizzando dati provenienti da dispositivi reali per la modellazione) [33] fra varie configurazioni di cache, in cui sono misurate le performance di varie combinazioni (solo SRAM, SRAM + SOT, SRAM + STT...). La STT-MRAM presa in considerazione ha magnetizzazione in-plane (i-MTJ) e necessita di una corrente di scrittura di $525 \mu A$ e di un tempo di switch di $10.5 ns$. Va

detto che sebbene una STT-MRAM con magnetizzazione perpendicolare (p-MTJ) abbia performance migliori di quella in-plane, la SOT-MRAM è comunque più efficiente grazie all'ottimizzazione separata dei percorsi; pertanto i risultati riportati di seguito sarebbero migliorabili utilizzando una p-STT ma lo scopo rimane quello di mostrare la superiorità della tecnologia SOT.

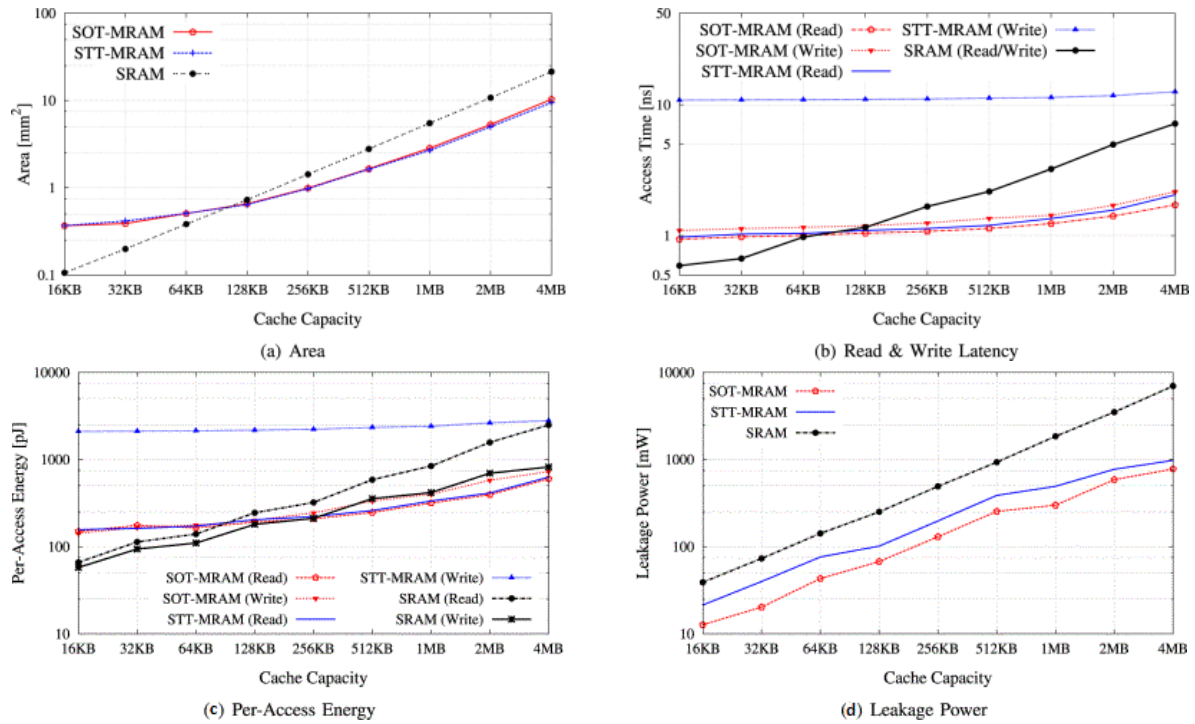


fig.7.7 Confronto fra memorie SOT, STT e SRAM: area richiesta in funzione della capacità di memoria (a); attesa per lettura/scrittura in funzione della capacità (b); energia richiesta per lettura/scrittura in funzione della capacità (c); dissipazioni dovute al leakage in funzione della capacità (d) [33]

Innanzitutto in fig.7.7 sono riportati gli andamenti di vari parametri in funzione della capacità della memoria cache da 16 KB a 4 MB, composta da SRAM, STT-MRAM o SOT-MRAM:

- (a) In tutte le tecnologie analizzate l'area aumenta con la capacità, tuttavia se quest'ultima è minore di 512 KB l'area della STT e SOT-MRAM aumenta meno rapidamente rispetto alla SRAM e si mantiene comunque inferiore oltre tale capacità. La SRAM è quindi preferibile solo per cache piccole, sotto i 128 KB. Questo è dovuto al circuito periferico: nel caso delle MRAM esso è più grande e quindi la sua estensione impatta maggiormente per piccole dimensioni, mentre con l'aumento di capacità impatta di più la dimensione della cella della SRAM (6 transistor/cella).
- (b) Sotto i 128 KB il tempo di scrittura della SOT-MRAM è maggiore di quello della SRAM, mentre per cache più grandi è meglio optare per la prima. La STT-MRAM invece ha un tempo di scrittura che nel range considerato rimane sempre superiore ad entrambe le altre memorie, pertanto un suo utilizzo come cache è sconsigliato. In una SRAM il tempo d'accesso aumenta con la dimensione della memoria in quanto, a causa di una cella più grande di quella delle MRAM, aumenta la capacità di carico. Per cache di grandi dimensioni quindi è meglio scegliere la SOT-MRAM.
- (c) Per una cache inferiore a 256 KB è più efficiente la SRAM, oltre tale valore la SOT; la STT rimane anche questa volta la scelta da evitare, a causa dell'elevata energia richiesta in scrittura. Il motivo legato all'aumento nel caso della SRAM rispetto le MRAM è lo stesso spiegato in (b).

(d) Anche nel caso delle correnti di leakage la SOT-MRAM risulta la scelta migliore, e in questo caso è la SRAM ad avere l'efficienza peggiore, a causa dell'elevato numero di transistor per cella, mentre la STT si posiziona dopo la SOT perché il transistor d'accesso è più grande, dovendo sopportare una corrente più elevata.

Come conclusione si può affermare che, nel caso di cache di grandi dimensioni, è preferibile optare per la SOT-MRAM, mentre per piccole dimensioni è meglio la SRAM. Una cache tuttavia è solitamente composta da più livelli e quello più vicino al processore (L1) è il più veloce e piccolo, mentre il livello sottostante (L2) ha una maggior capacità, anche se lievemente più lento. Di conseguenza per ottimizzare tempi e consumi la scelta migliore è una cache ibrida, in cui ogni livello ha la tecnologia che ne massimizza l'efficienza. Di seguito in *fig.7.8* sono riportate le varie combinazioni (sempre tramite simulazione) utilizzando SRAM, STT e SOT-MRAM, per capire quale sia la migliore in una cache L1 + L2 (32 + 512 KB), in cui il livello 1 è in comunicazione con la CPU (da 3 GHz) e il livello 2 sottostante con la DRAM.

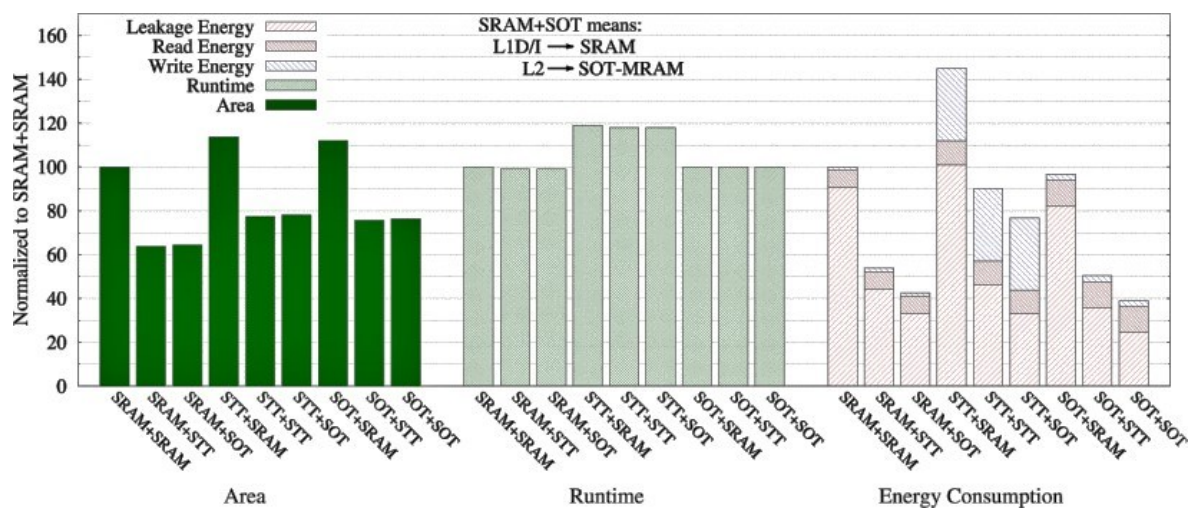


fig.7.8 Varie combinazioni per una cache L1+L2 utilizzando memorie SOT, STT e SRAM (confronto normalizzato a SRAM+SRAM), studiandone area, tempo d'accesso ed energia richiesta [33]

Per quanto riguarda l'area occupata, utilizzare solo STT o SOT-MRAM per entrambi i livelli risulta vantaggioso, tuttavia la situazione che minimizza l'area viene raggiunta con la SRAM come L1 e SOT/STT come L2, in quanto come visto in *fig.7.7.a* per piccole dimensioni conviene la SRAM, mentre per dimensioni oltre 128 KB la SOT o STT. SRAM + SOT-MRAM consente una riduzione del 36% rispetto a SRAM + SRAM. La configurazione inversa, ovvero SOT/STT + SRAM risulta invece la più penalizzante.

Nel caso dei tempi d'accesso si notano prestazioni simili al caso SRAM + SRAM per tutte le configurazioni, tranne quelle in cui la STT-MRAM è usata come cache di primo livello; questo accade perché i dati vengono scritti sulla cache L2 con meno frequenza che sulla L1, dunque usando la STT come secondo livello le performance rimangono invariate, mentre come primo livello sarebbe penalizzante perché il tempo di scrittura è maggiore rispetto alle altre tecnologie.

Infine, riferendosi ai consumi energetici, l'energia richiesta è data da

$$E_{TOT} = E_{LEAK} + E_W + E_R = P_{LEAK} \cdot t_{RUN} + E_{WA} \cdot N_W + E_{RA} \cdot N_R \quad \text{dove } E_{WA} \text{ ed } E_{RA} \text{ sono rispettivamente l'energia per una scrittura e una lettura singola e } N_W \text{ e } N_R \text{ le volte che si esegue una}$$

scrittura/lettura durante il tempo di run. Le configurazioni che massimizzano l'efficienza energetica sono SRAM + SOT e SOT + SOT e, sebbene quest'ultima sia la migliore (oltre 60% in meno rispetto SRAM + SRAM), considerando anche gli aspetti precedenti la struttura più conveniente per la memoria analizzata risulta essere la cache ibrida SRAM (come L1) + SOT-MRAM (come L2), con risparmi energetici del 57% rispetto alla configurazione standard SRAM + SRAM.

Va sottolineato che le differenze fra le varie configurazioni dipendono anche dalla frequenza di clock del processore, in quanto se questa è abbastanza bassa in relazione al tempo di scrittura della STT-MRAM, anche questa tecnologia potrebbe essere usata come cache L1 senza penalizzazioni di rapidità, anche se rimane il problema della maggior energia E_w consumata.

7.5 PREGI E DIFETTI [33], [34], [35], [36]

Il vantaggio principale di una SOT-MRAM è la separazione tra i percorsi di lettura e scrittura, poiché ciò consente di poter ottimizzare ciascuno di loro senza vincoli quali l'elevata corrente attraverso il MTJ, che causava nella STT-MRAM problemi di stabilità e stress all'ossido del layer isolante, o disturbi di lettura; questi ultimi erano causati nella STT dal rapporto che dev'esserci tra corrente di scrittura e lettura (non indipendenti fra loro), in quanto abbassando la prima anche la seconda deve calare proporzionalmente e ciò aumenta la probabilità di errori di lettura del dato, mentre per ottenere un'affidabilità maggiore bisogna aumentare la corrente di lettura, e di conseguenza quella di scrittura che porta a maggiori consumi e usura del MTJ. Con la tecnologia SOT tali inconvenienti vengono superati e i consumi energetici sono di gran lunga inferiori rispetto la tecnologia STT grazie a una corrente critica di scrittura inferiore (che non transita nel MTJ) e l'assenza di tempi di incubazione per invertire la magnetizzazione del FL (lo switch può impiegare frazioni di nanosecondo, rispetto le decine della STT). La minor corrente richiesta inoltre consente l'utilizzo di transistor d'accesso più piccoli e questo impatta positivamente sulla scalabilità e densità di integrazione.

Per quanto riguarda i lati negativi, la tecnologia SOT richiede un campo magnetico planare esterno che spezza la simmetria strutturale per uno switch deterministico, anche se come discusso in sez. 7.3 si possono utilizzare certe strategie per eliminare tale necessità (e attualmente se ne stanno sviluppando altre). Infine il beneficio portato dalla separazione dei percorsi è controbilanciato da una struttura più complessa a 3 terminali (anziché 2), che richiede 2 transistor d'accesso per isolare entrambi i percorsi delle celle non selezionate, come mostrato da *fig. 7.9*

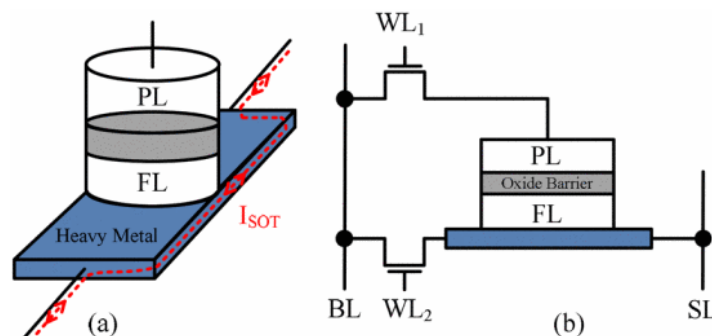


fig. 7.9 Cella della SOT-MRAM avente 3 terminali (a), che richiede 2 transistor d'accesso per l'isolamento dei percorsi (b) [36]

L'utilizzo di entrambi i transistor WL_1 e WL_2 per ogni cella limita la densità di integrazione; questo ha portato alla ricerca di soluzioni alternative per ottimizzare lo spazio: un primo metodo è l'introduzione di celle multilivello, ovvero la possibilità di immagazzinare 2 bit a cella, dove vengono usati 2 MTJ in configurazione serie o parallelo; la seconda opzione è una SOT-MRAM da 2 terminali, che necessita dunque di un solo transistor d'accesso. Entrambe le soluzioni sono spiegate di seguito.

7.6 METODI PER MIGLIORARE LA DENSITÀ DI INTEGRAZIONE

7.6.1 CONFIGURAZIONI A MTJ MULTILIVELLO IN SERIE E IN PARALLELO A CONFRONTO [25], [35], [36]

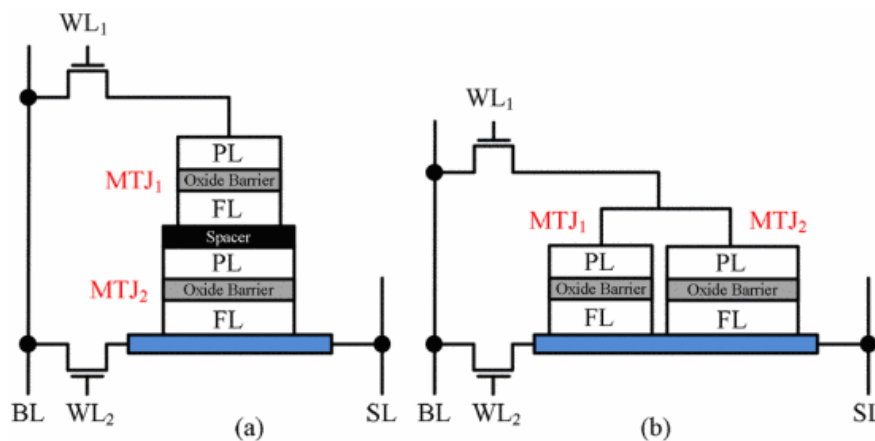


fig.7.10 Configurazioni SOT multilivello in serie (a) e in parallelo (b) [36]

In *fig. 7.10* sono mostrate le configurazioni multilivello con doppio MTJ in serie (a sinistra) e parallelo (a destra), che consentono di memorizzare 2 bit a cella con lo stesso numero di transistor d'accesso della SOT-MRAM convenzionale. Per ogni bit sono richiesti 2 stati resistivi ($P = "0"$ o $AP = "1"$) dunque per poter immagazzinare 2 bit sono necessarie 4 configurazioni resistive, ovvero "00", "01", "10", "11".

Configurazione in SERIE (*fig. 7.10.a*)

Nella configurazione serie i due MTJ vengono posti uno sopra l'altro: quello sotto (MTJ_2) è in contatto con il conduttore (HM) sul quale scorre la corrente che induce l'effetto di spin-orbita, mentre quello sopra (MTJ_1) poggia sul MTJ_2 ed è distanziato da questo tramite uno spacer. Ne consegue che il MTJ_2 può essere scritto mediante SOT, mentre il MTJ_1 solo tramite STT. Inoltre, per evitare scritture involontarie nel MTJ_2 , la programmazione non può essere simultanea in entrambe le celle di memoria, infatti bisogna prima scrivere il dato nel MTJ_1 e successivamente nel MTJ_2 poiché l'elevata corrente richiesta dalla STT potrebbe indurre uno switch anche nel livello sottostante. Per di più la corrente di scrittura STT non transita solo nella cella sopra, ma anche in quella sotto e ciò causa lo stress di entrambi i MTJ. Per la lettura sono necessari 4 stati resistivi distinguibili e ciò si ottiene con MTJ di aree diverse, ed in particolare quello sopra ha area inferiore, il che permette l'utilizzo di una corrente STT minore, la quale può essere ulteriormente diminuita con una struttura a bassa resistenza anche se questo renderebbe più difficile distinguere i 4 differenti stati. Questa configurazione risulta pertanto penalizzante in termini energetici e il punto di forza della tecnologia

SOT, ovvero la separazione dei percorsi, viene meno a causa dell'utilizzo della tecnica STT che si avrebbe voluto superare.

Configurazione in PARALLELO (fig.7.10.b)

In questo caso entrambi i MTJ poggiano sul layer conduttore HM e possono quindi essere programmati mediante SOT. Per ottenere gli stati resistivi "00" e "11" è sufficiente un impulso di corrente di durata dipendente dal MTJ più lento, mentre per gli stati "01" e "10" si può applicare uno dei seguenti metodi:

- Impulso dipendente dal tempo e ampiezza fissata: se il MTJ più lento (MTJ₂) necessita di un tempo t_2 per lo switch e quello più veloce (MTJ₁) di un tempo $t_1 < t_2$ (con t_1 tale per cui il MTJ più lento non subisce l'inversione), viene applicato prima l'impulso i_2 e successivamente l'impulso i_1 .
- Impulso dipendente dall'ampiezza e durata fissata: in questo caso il MTJ₁ richiede una corrente i_1 di ampiezza inferiore rispetto a quella del MTJ₂ e dunque viene applicato prima l'impulso i_2 e successivamente l'impulso i_1 (con i_1 tale per cui il MTJ₂ non subisce l'inversione). Per poter applicare entrambe le correnti nello stesso layer conduttore si può aumentare l'area del HM che sta sotto al MTJ₂, poiché se la sezione del conduttore è maggiore anche la corrente critica relativa allo switch aumenta (dato che a parità di ampiezza diminuisce l'efficienza di trasferimento del momento di spin all'interfaccia); mantenendo invece costante la sezione del HM si possono ottenere correnti critiche diverse se i due MTJ hanno sezione e/o spessore diversi fra loro.

Va precisato che in base alla soluzione scelta ne risente la leggibilità del dato, in quanto la differenza resistiva è maggiore nel caso serie che in quello parallelo; ad esempio nel caso "00" rispetto a "01" se $R_{P1} = 5 \text{ k}\Omega$, $R_{P2} = 10 \text{ k}\Omega$ e $R_{AP2} = 20 \text{ k}\Omega$, per la configurazione in serie si ha

$R_{TOT_00} = R_{P1} + R_{P2} = 15 \text{ k}\Omega$ e $R_{TOT_01} = R_{P1} + R_{AP2} = 25 \text{ k}\Omega$ con un $\Delta R = 10 \text{ k}\Omega$, mentre per la configurazione in parallelo $R_{TOT00} = \frac{1}{\frac{1}{R_{P1}} + \frac{1}{R_{P2}}} = 3.33 \text{ k}\Omega$ e $R_{TOT00} = \frac{1}{\frac{1}{R_{P1}} + \frac{1}{R_{AP2}}} = 4 \text{ k}\Omega$ con un

$\Delta R = 0.67 \text{ k}\Omega$ ovvero circa 15 volte inferiore alla serie.

Nel caso quindi si necessiti di un buon margine di lettura e ridotta probabilità di errore è meglio optare per una configurazione in serie, mentre se sono richieste affidabilità a lungo termine e minori consumi è meglio quella in parallelo, per la quale andrà anche scelto fra una corrente di switch dipendente dal tempo o dall'ampiezza (quest'ultima consente switch più rapidi ma richiede transistor d'accesso più grandi). Entrambe le soluzioni, sia serie che parallelo, comportano però una maggior complessità di design e realizzazione.

7.6.2 CIRCUITO DI SENSING E CONFIGURAZIONE ALTERNATIVA [33], [36]

In una SOT-MRAM convenzionale il circuito di sensing che consente lettura e scrittura del dato è il seguente, in fig.7.11

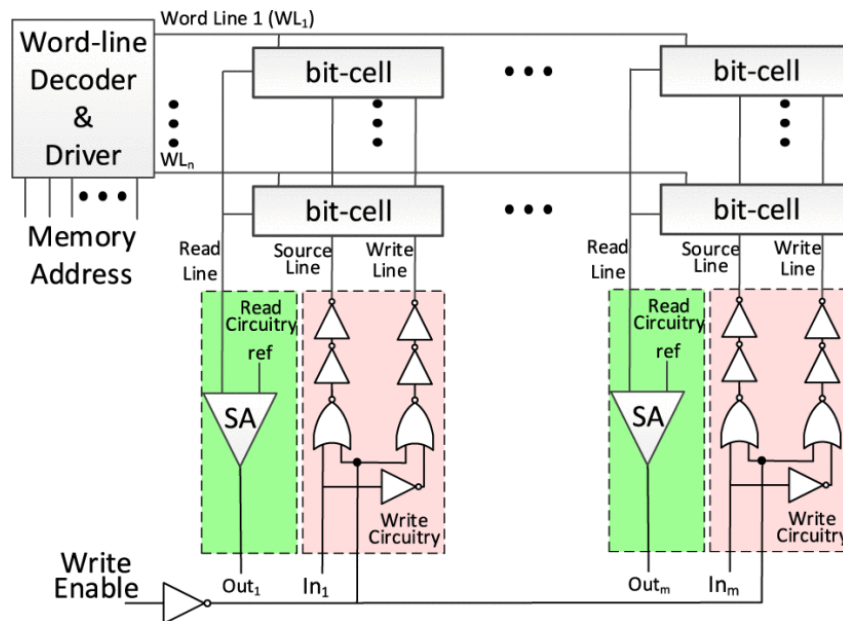


fig.7.11 Circuito di sensing per la lettura e scrittura dei dati in una SOT-MRAM [33]

Il decoder consente di scegliere quale word-line attivare in modo da indirizzare la cella corretta (per isolare le altre sarà necessario anche un decoder per la read-line).

La lettura viene eseguita attivando la corretta read-line e ponendo il segnale write-enable a "0", in modo che l'uscita delle porte NOR sia "0" per qualsiasi segnale d'ingresso In; il comparatore SA paragona la corrente nella read-line con quella di riferimento e dà in uscita il bit letto ("1" o "0").

La scrittura richiede che il segnale write-enable sia a "1" e in base al valore dell'ingresso In si avrà un rispettivo verso della corrente di scrittura (dalla source-line alla write-line se In è a "0" e in verso opposto se a "1", con rispettivi stati P o AP).

Una struttura alternativa a quelle già discusse per aumentare la densità è composta da due MTJ che condividono il RL mentre i FL sono in contatto con i rispettivi e distinti layer HM in modo che ogni MTJ possa essere programmato con tecnologia SOT [36]. La struttura è riportata in fig.7.12.a , mentre in figura b sono mostrate le azioni da compiere per scrivere/leggere i possibili stati resistivi.

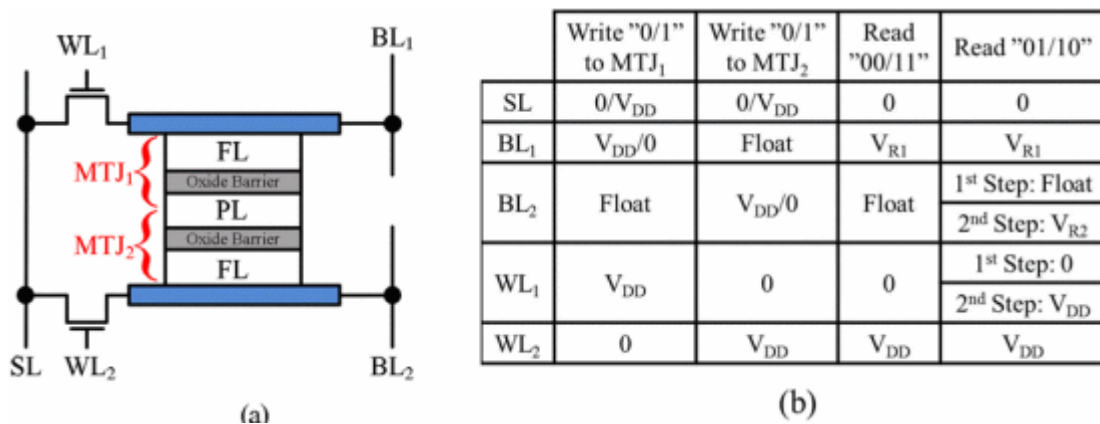


fig.7.12 Struttura multilivello con RL (PL in figura) condiviso fra MTJ1 e MTJ2 (a); valori da imporre per la lettura/scrittura dei vari stati resistivi (b) [36]

Nella fase di scrittura, per il MTJ_1 la corrente scorre nel HM superiore impostando il transistor d'accesso WL_1 ON e WL_2 OFF e per eliminare le correnti parassite attraverso lo stack-MTJ viene posta flottante la linea BL_2 ; in modo simile si può scrivere il MTJ_2 ponendo ON il transistor WL_2 e OFF WL_1 , mentre la linea BL_1 come flottante.

Nella fase di lettura si devono poter distinguere i 4 casi resistivi; stavolta non si ricorre alla complicata soluzione che prevede sezioni diverse per i due MTJ, che sono dunque uguali fra loro. Questo però comporta che lo stato "01" ha la stessa resistenza dello stato "10", pertanto va trovato un modo per distinguere tali valori, tramite un adeguato circuito di sensing, riportato in *fig.7.13*.

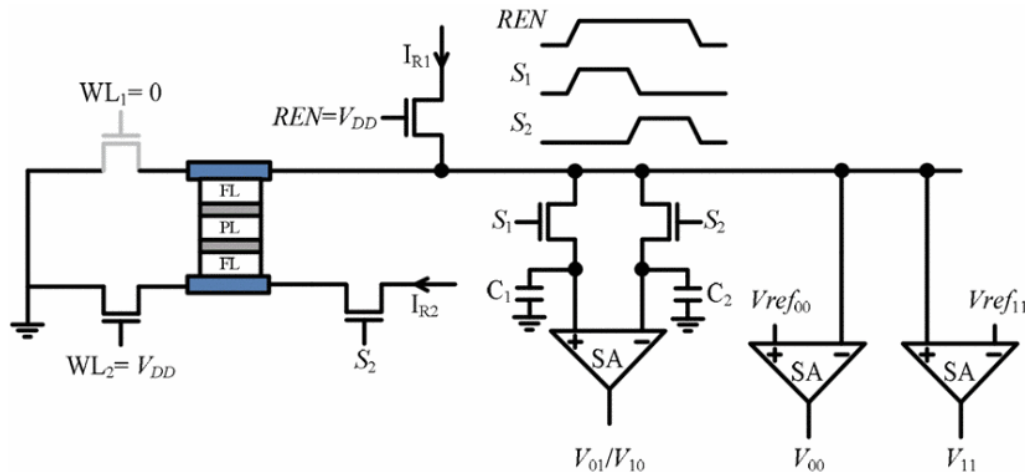


fig.7.13 Circuito di sensing per la distinzione tra stati resistivi "01" e "10" [36]

La soluzione si basa sullo stato di resistenza intermedio al quale si trova uno dei due MTJ se applicata una corrente SOT inferiore a quella critica per lo switch, infatti la magnetizzazione del FL tenderà ad uno stato intermedio fra le due direzioni di equilibrio: se il MTJ considerato è inizialmente in uno stato parallelo (applicando $J < J_c$) si otterrà un aumento di resistenza, mentre se è in uno stato antiparallelo si avrà un calo di resistenza. Nel circuito di sensing inizialmente si hanno i transistor WL_2 e REN in stato ON e WL_1 OFF; viene dunque fatta scorrere una corrente di lettura I_{R1} attraverso lo stack-MTJ e posto ON il transistor S_1 in modo che la tensione ai capi dello stack-MTJ venga salvata tramite il condensatore C_1 . A questo punto è possibile leggere gli stati "11" e "00" confrontando la tensione ottenuta con quella di riferimento $V_{REF_00/11}$, mentre per gli altri è richiesto un ulteriore passaggio, che consiste nel porre S_1 OFF e S_2 ON in modo che la corrente I_{R2} (inferiore a quella critica) scorra nel HM inferiore e consenta al MTJ_2 di raggiungere lo stato intermedio spiegato in precedenza; la tensione ai capi dello stack-MTJ viene salvata tramite il condensatore C_2 e viene infine confrontata con quella salvata da C_1 tramite il comparatore SA. In base dunque alla magnetizzazione iniziale P o AP del MTJ_2 (opposto a quello del MTJ_1) si ottiene in output dal SA la distinzione fra i 2 stati "01" o "10", in quanto se il MTJ_2 ha magnetizzazione inizialmente parallela si avrà $V_{C2} > V_{C1}$ e se antiparallela $V_{C2} < V_{C1}$ (con V_{C1} costante).

7.6.3 TWO-TERMINAL SOT-MRAM [34]

L'ultima configurazione descritta per minimizzare la dimensione della cella è quella che richiede solo due terminali anziché tre come nelle SOT-MRAM finora analizzate.

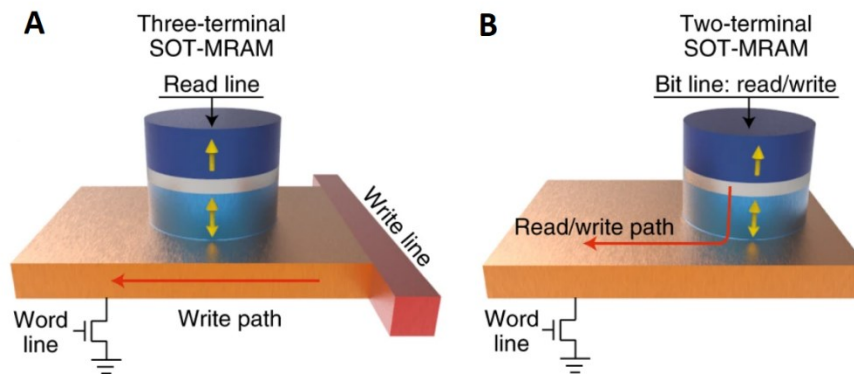


fig.7.14 Struttura di una classica cella SOT a 3 terminali (A) (che necessita di 2 transistor d'accesso) e una cella SOT a 2 terminali (B) (che richiede un solo transistor d'accesso) [34]

In *fig.7.14.a* è raffigurata la struttura classica a tre terminali, con percorsi di lettura e scrittura separati; in *figura b* invece si può notare come il percorso sia unico e ciò porta anche il vantaggio di poter utilizzare un solo transistor d'accesso invece di due, oltre che un design meno complesso e più facile da realizzare.

Il principio di funzionamento è simile a quello della versione convenzionale e la struttura è composta, partendo dal basso (HM), da Ta | CoFeB | MgO | CoFeB . Quando viene fatta scorrere una corrente maggiore di quella critica (relativa al caso SOT) attraverso il MTJ l'inversione della magnetizzazione del FL ha luogo grazie a due contributi: la corrente planare che scorre nel HM dà origine all'effetto di spin-orbita SOT come nel caso standard, mentre la corrente che attraversa il MTJ dà luogo all'effetto STT, anche se quest'ultimo da solo non sarebbe sufficiente a garantire lo switch, in quanto il suo contributo è di circa il 10% sulla coppia totale impressa alla magnetizzazione. È stato dimostrato che, rispetto alla struttura che fa uso solo della STT, la corrente di scrittura per questa configurazione può essere ridotta del 70%.

Pertanto, una SOT-MRAM a doppio terminale consente una densità maggiore e realizzazione più semplice rispetto alla versione convenzionale, e richiede consumi energetici molto limitati. Va precisato tuttavia che anche questa configurazione necessita un campo magnetico esterno planare per ottenere uno switch deterministico e inoltre l'utilizzo del Ta (che ha una buona efficienza di generazione dell'effetto SOT) come layer HM aumenta la resistenza durante la lettura e quindi la differenza resistiva tra gli stati P e AP cala, causando un aumento della probabilità di errore. In ultimo, la corrente transita attraverso il MTJ e questo a lungo termine può danneggiarlo.

8 MEMORIE DI TIPO RACETRACK

Le memorie racetrack sfruttano il moto di domain-walls o skyrmions lungo un nanopercorso ferromagnetico (composto da permalloy, lega tra Fe e Ni che spin-polarizza la corrente fino al 90%) per immagazzinare decine se non centinaia di bit in un singolo nanopercorso gestito da un unico transistor d'accesso, consentendo una densità di integrazione elevatissima, grande rapidità e consumi ridotti. Grazie a queste proprietà la tecnologia racetrack potrebbe essere utilizzata per sostituire gli hard-disk e le SSD (memorie magnetiche e NAND-flash, rispettivamente). Tali memorie si dividono in due categorie, in base alla tecnica utilizzata per memorizzare il bit, ovvero domain-wall e skyrmion-based, che sono discusse in seguito.

8.1 MEMORIE DOMAIN-WALL E PRINCIPIO DI FUNZIONAMENTO [31], [37], [38], [39], [40]

In questo tipo di memoria racetrack il bit viene immagazzinato tramite i domain-walls (DW); si può pensare a un domain-wall come una sezione in cui la magnetizzazione di un materiale ferromagnetico ruota per raggiungere la direzione opposta a quella dalla parte opposta del domain-wall, che dunque fa da "muro" tra le due direzioni antiparallele. Le magnetizzazioni separate da un domain-wall possono essere perpendicolari o collineari rispetto alla direzione del nanopercorso.

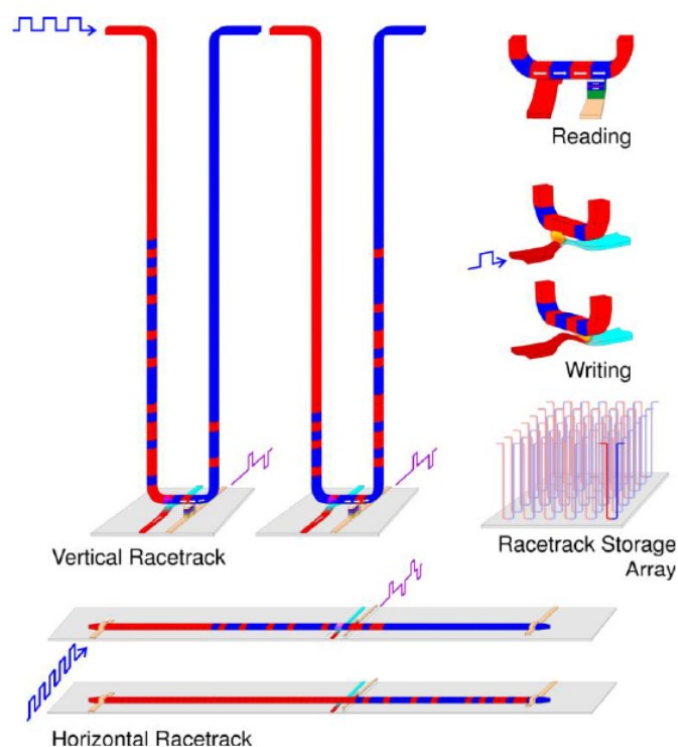


fig.8.1 Struttura di una memoria racetrack verticale e orizzontale, fasi di lettura/scrittura e array composto da più nanpercorsi [40]

In *fig.8.1* è riportata la struttura di una memoria racetrack DW e i componenti necessari per la scrittura/lettura. Si può osservare che il nanopercorso può essere sia orizzontale che verticale e quest'ultimo consente di risparmiare spazio grazie alla struttura a "U".

La fase di scrittura avviene tramite un unico dispositivo per ogni nanopercorso e tale dispositivo è composto da un percorso perpendicolare a quello contenente i bit, avente un unico domain-wall che viene traslato tramite un impulso di corrente e che grazie al campo magnetico emanato consente l'inversione della magnetizzazione nella porzione di racetrack soprastante. Un altro modo più semplice sfrutta il campo magnetico di Oersted generato dal passaggio di corrente nell'elemento di scrittura.

La fase di lettura avviene grazie a un unico MTJ per ogni nanopercorso, in cui il FL è composto dalla porzione di racetrack a contatto con l'elemento di lettura; in base alla magnetizzazione di questa porzione sarà letto il bit "1" (caso parallelo) o "0" (caso antiparallelo).

Il moto dei domain-walls nel nanopercorso può essere effettuato secondo due modalità:

- Tramite campo magnetico

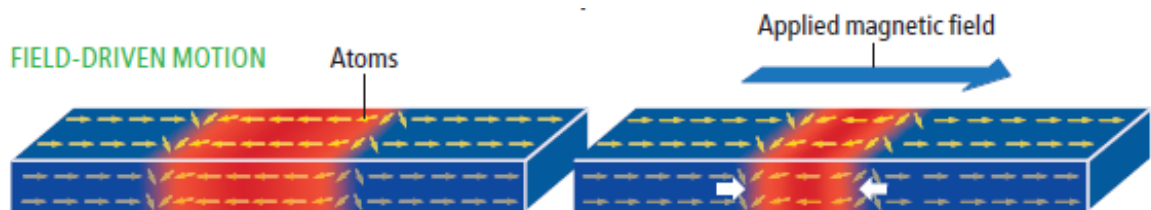


fig.8.2 Moto dei domain-walls mediante campo magnetico esterno [37]

Se viene applicato un campo magnetico esterno collineare alla direzione del nanopercorso (in fig.8.2 punta verso destra) la magnetizzazione intrinseca degli atomi nella sezione dei domain-walls tenderà ad allinearsi con il campo esterno, provocando una restrizione o ampliamento della zona rossa, rispettivamente nel caso in cui tale campo punti verso destra o sinistra. Per il moto unidirezionale dei domain-walls che delimitano una porzione di nanopercorso è richiesto un campo magnetico più complesso, pertanto la prossima tecnica è quella preferita.

- Tramite corrente spin-polarizzata

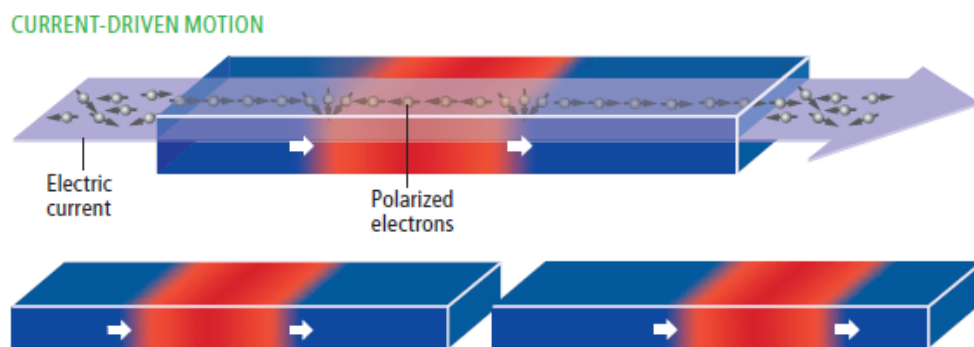


fig.8.3 Moto dei domain-walls mediante corrente elettrica e trasferimento del momento di spin [37]

Se viene applicata una corrente lo spin degli elettroni che transitano nel materiale ferromagnetico viene polarizzato secondo la direzione della magnetizzazione presente, come nella memoria STT; tramite l'effetto di trasferimento del momento di spin, quando gli elettroni superano un domain-wall il loro spin viene invertito e conseguentemente, per la conservazione del momento angolare, viene esercitata una coppia sulla magnetizzazione della zona rossa (a sinistra) e della zona blu (a destra) in fig.8.3 che inverte la direzione del momento magnetico degli atomi adiacenti al domain-wall, provocando la traslazione di tutti i domain-walls del nanopercorso nella direzione di scorrimento degli elettroni. Questo metodo è molto più

semplice ed applicabile di quello che usa un campo esterno e consente il moto dei bit in entrambe le direzioni, in base al verso della corrente.

8.1.1 PREGI E DIFETTI [40]

Il principale vantaggio di una memoria racetrack è la possibilità di immagazzinare grandi quantità di dati in un piccolo spazio. In questo caso il nanopercorso può essere lineare o a “U” e nel primo caso è molto più semplice da realizzare a discapito di una densità di integrazione ridotta, mentre la struttura a “U” minimizza lo spazio richiesto arrivando a competere con gli attuali hard-disk; purtroppo questa struttura è di difficile realizzazione e richiede ancora ulteriori ricerche prima di essere implementata. Inoltre se i nanopercorsi sono più lunghi il tempo di accesso al dato richiesto aumenta proporzionalmente poiché deve percorrere un tragitto maggiore per essere letto dal MTJ. Un altro vantaggio di tali memorie è l'impressionante velocità di lettura e scrittura rispetto gli hard-disk (100 000 volte più rapide), che può essere inferiore al nanosecondo. Tuttavia il moto dei domain-walls nei test reali è inferiore a quanto previsto dalla teoria, a causa di imperfezioni nella struttura cristallina del permalloy usato come nanopercorso. Se ridotte al minimo tali imperfezioni, la velocità dei bit può raggiungere i 110 m/s. Infine i consumi energetici sono bassi e l'affidabilità è elevata, per l'assenza di parti meccaniche in movimento (necessarie nelle memorie HDD) o l'usura che avviene scrivendo nelle flash (memorie SSD).

8.2 MEMORIE SKYRMION E PRINCIPIO DI FUNZIONAMENTO [1] , [41] , [42] , [43]

Una memoria racetrack skyrmion-based (SB) è simile alla memoria DW precedentemente analizzata, ma in questo caso il bit non è delimitato da due domain-walls bensì dalla presenza o meno di uno skyrmion (stato “1” e “0” rispettivamente), che viene traslato con la stessa tecnica dei DW. Uno skyrmion può essere visto come un vortice in cui i momenti di spin degli elettroni sono direzionati secondo una spirale e la formazione di tali strutture è regolato dall'interazione di Dzyaloshinskii–Moriya (DMI) in ferromagneti chirali (ovvero il senso di rotazione dei vortici è costante) con asimmetria di inversione e con forte accoppiamento spin-orbita. L'asimmetria può essere di massa, se è relativa alla struttura cristallina del materiale, o interfacciale/di superficie, se è relativa all'interazione con un altro strato con differenti proprietà.

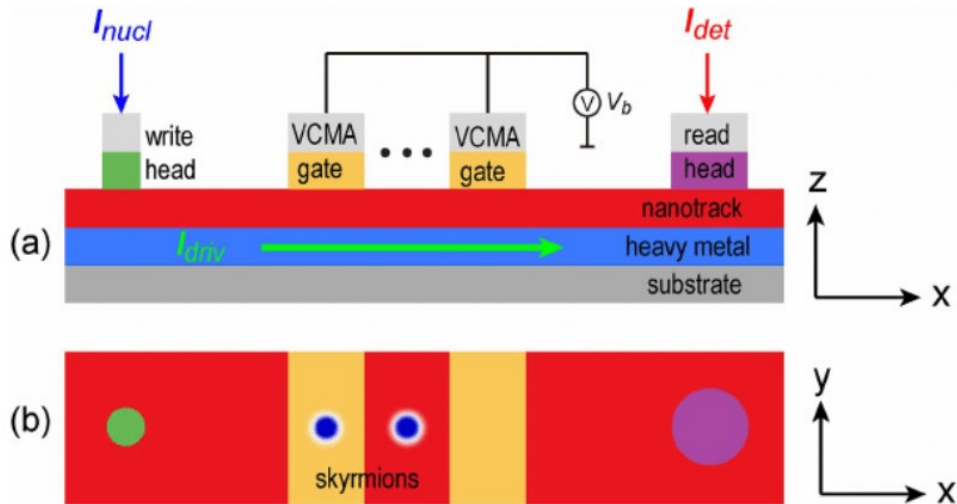


fig.8.4 Struttura di una racetrack nella quale transita lo skyrmion, dalla fase di scrittura (nucleazione) a quella di lettura (vista laterale (a) e vista verticale (b)) [41]

In fig.8.4 è mostrata la struttura di una racetrack, dalla fase di scrittura a quella di lettura: uno skyrmion viene nucleato tramite la write-head (composta da un MTJ) facendo scorrere una corrente I_{NUCL} spin-polarizzata se viene richiesto di scrivere un "1", e il tempo per la nucleazione (dell'ordine dei picosecondi) è inversamente proporzionale alla corrente applicata; successivamente lo skyrmion si muove attraverso il nanopercorso (con anisotropia magnetica perpendicolare) grazie ad una corrente di spin con verso lungo l'asse z e spin lungo l'asse y , prodotta dall'effetto SHE mediante la corrente di carica I_{DRIV} che scorre nel layer heavy-metal sottostante, con direzione lungo l'asse x . I VCMA-gate servono per mantenere lo skyrmion fermo nella zona in cui viene applicata la tensione mediante l'effetto VCMA, che modifica localmente il valore dell'anisotropia magnetica del nanopercorso secondo la relazione $K_{UV} = K_U + \vartheta \cdot V_B$ (con V_B tensione applicata e ϑ coefficiente); in particolare, quando viene applicata la tensione sui gate viene introdotta una barriera energetica $|\Delta E_B| = |K_{UV} - K_U|$ fra i margini sinistro e destro del gate e se la densità di energia di PMA (misurata in MJ/m^3) $K_{UV} > K_U$ lo skyrmion si ferma al margine sinistro (dove la barriera è $+\Delta E_B$ perché V_B è positiva), mentre se $K_{UV} < K_U$ lo skyrmion supera quello sinistro e si ferma al margine destro della regione VCMA (dove la barriera è $+\Delta E_B$ perché V_B è negativa). Quando la tensione viene tolta K_{UV} torna uguale a K_U e se è presente la corrente I_{DRIV} lo skyrmion transita fino a raggiungere il MTJ incaricato alla lettura, che sfrutta il noto effetto TMR di variazione della resistenza per rilevare la presenza del bit "1" o "0". Va detto che se la corrente di spin prodotta da I_{DRIV} è abbastanza elevata lo skyrmion transita attraverso la regione VCMA superando la barriera energetica, e inoltre più è marcato l'effetto DMI (misurato in mJ/m^2) maggiore dovrà essere la variazione di PMA per bloccare il moto. Inoltre minore è il valore della densità di energia di PMA K_U , maggiore sarà la velocità degli skyrmion lungo il nanopercorso.

Un ulteriore metodo per il moto degli skyrmion è tramite una corrente I_{DRIV} composta da una componente DC costante e una AC pulsata, dove la prima non ha ampiezza sufficiente per sorpassare i pinning-gates mentre applicando la seconda l'ampiezza totale consente il passaggio; questa soluzione consente di semplificare il circuito perché la regione di pinning ha una PMA costante e non richiede quindi l'applicazione di una tensione. Va detto che nel caso in cui K_{UV} sia

maggiore di K_U l'impulso AC avrà durata maggiore del caso opposto, visto che la velocità dello skyrmion è inversamente proporzionale a K_U .

Il diametro di uno skyrmion d è proporzionale a D / K_U dove D esprime l'effetto DMI, e poiché in lettura viene sfruttata la variazione di conduttanza $\frac{\Delta G}{G_0} \approx \frac{\pi \cdot d^2}{A}$ è preferibile un diametro maggiore e un'area del MTJ di lettura minore per un'attendibilità superiore, anche se diminuire troppo A può portare ad una bassa sovrapposizione con lo skyrmion, che non viaggia in linea perfettamente retta. Risulta infine preferibile una tensione di lettura negativa applicata al MTJ, in modo da ridurre la K_U e di conseguenza incrementare d .

8.2.1 PREGI E DIFETTI [1], [41]

Le memorie racetrack skyrmion-based sono in fase di ricerca con molto interesse, in quanto possono offrire grande robustezza accompagnata da dimensioni contenute, elevatissima densità di integrazione e bassissimi consumi tramite una piccola corrente I_{DRIV} , migliori che nel caso dei domain-walls.

Un possibile lato negativo è il compromesso tra velocità e densità, infatti il moto degli skyrmion non è lineare e al crescere della corrente I_{DRIV} aumenta il moto trasversale (skyrmion-Hall-Effect, SkHE) che porta lo skyrmion a schiantarsi con la parete del nanopercorso, ovvero viene distrutto; di conseguenza per applicazioni che richiedono rapidità aumenterà la larghezza dei nanopercorsi e quindi cala la densità, mentre in caso contrario si può avere capacità maggiore e anche consumi inferiori per la ridotta I_{DRIV} . Una possibile soluzione è l'utilizzo di una corrente a sequenza di impulsi anziché DC, poiché è stato osservato (mediante simulazione [41]) che quando I_{DRIV} è OFF il moto è repulsivo nei confronti della parete del nanopercorso, pertanto regolando l'ampiezza e la durata degli impulsi si può controllare la direzione del moto. Un altro metodo consiste nell'accoppiamento antiferromagnetico tra due layer ferromagnetici, che porta alla nucleazione di due skyrmion paralleli nei due layer accoppiati e all'eliminazione dell'effetto SkHE.

CONCLUSIONI

In questa trattazione sono state analizzate svariate configurazioni e metodologie di applicazione della tecnologia spintronica ai sistemi di memoria candidati a giocare un ruolo importante nel prossimo futuro. Alcuni tipi di memoria sono già in utilizzo al momento della scrittura di questo testo (anno 2021/2022) come per esempio le STT-MRAM, altri sono in fase di studio e richiedono ulteriori sperimentazioni rivolte all'utilizzo di materiali che possano aumentare fattori come l'anisotropia magnetica, l'angolo di spin-Hall, la stabilità termica, l'effetto magnetoresistivo, e conseguentemente diminuire i consumi ed incrementare velocità, densità e affidabilità. Ad esempio, un settore della ricerca è volto allo studio delle leghe di Heusler, ovvero materiali ferromagnetici che allo stato puro non sono magnetici, che consentirebbero una più elevata polarizzazione del momento di spin ed elevata anisotropia. Riguardo quest'ultima, i dispositivi più promettenti saranno quelli con anisotropia perpendicolare e sostituiranno quella planare, poiché garantiscono performance migliori.

Considerando che l'informatica e l'elettronica attualmente consumano il 15% dell'elettricità mondiale e che nel prossimo decennio è previsto il raddoppio del numero di dispositivi elettronici (computer, cellulari, dispositivi wearable e domotici, automotive, microcontrollori, ecc.), i quali necessitano di memorie sempre più capienti e rapide, far fronte al conseguente aumento dei consumi è di fondamentale importanza, pertanto tecnologie quali le MRAM avranno sicuramente un futuro promettente e saranno sempre più richieste per cooperare e in alcuni casi sostituire le attuali SRAM e DRAM, che si ricorda essere memorie volatili. L'altissima densità e velocità delle memorie racetrack poi potrebbe renderle degne rivali delle attuali memorie flash e HDD, più lente e costose e meno affidabili. Le previsioni indicano che nel 2029 si raggiungerà un aumento dei ricavi dalla vendita delle MRAM di 170 volte rispetto al 2018, con richiesta globale da 0.1 PetaBytes nel 2019 a circa 1 milione di PetaBytes nel 2029 [44].

Questa tesi è stata strutturata per garantire una completa valutazione sui benefici della spintronica applicati ai sistemi di memorizzazione, fornendo per ogni categoria inizialmente il modello di funzionamento generale, atto a fornire un'iniziale comprensione, per poi passare ai punti di forza nonché di debolezza, per trarne un'analisi critica; in merito a questi ultimi, sono state presentate soluzioni alternative o modifiche tali per cui molti problemi sorti inizialmente possano essere risolti, avvicinandosi ulteriormente all'utilizzo reale di questi affascinanti dispositivi.

BIBLIOGRAFIA

- [1] S. Bhatti, R. Sbiaa, A. Hirohata, H. Ohno, S. Fukami e S. Piramanayagam, «Spintronics based random access memory: a review,» *Materials Today*, vol. 20, no. 9, 15 settembre 2017. [Online]. Available: <https://doi.org/10.1016/j.mattod.2017.07.007>. [Consultato il giorno ottobre 2021].
- [2] J. S. Meena, S. M. Sze, U. Chand e T.-Y. Tseng, «Overview of Emerging Non-volatile Memory Technologies,» *Nanoscale Res Lett* 9, 526, 25 settembre 2014. [Online]. Available: <https://doi.org/10.1186/1556-276X-9-526>. [Consultato il giorno ottobre 2021].
- [3] «Spintronics,» ASDN, [Online]. Available: <https://asdn.net/asdn/electronics/spintronics.php>. [Consultato il giorno ottobre 2021].
- [4] M. Gaidis, «Magnetoresistive Random Access Memory,» *Nanotechnology*, 15 luglio 2010. [Online]. Available: <https://doi.org/10.1002/9783527628155.nanotech033>. [Consultato il giorno ottobre 2021].
- [5] S. Majetich, T. Wen e O. T. Mefford, «Magnetic Nanoparticles,» *MRS Bulletin* 38, 899–903, 13 novembre 2013. [Online]. Available: <https://doi.org/10.1557/mrs.2013.230>. [Consultato il giorno ottobre 2021].
- [6] «Chapter 5 Macro- and Micromagnetic Approach,» [Online]. Available: <https://www.iue.tuwien.ac.at/phd/makarov/dissertationch5.html>. [Consultato il giorno ottobre 2021].
- [7] A. Makarov, «Modeling of Emerging Resistive Switching Based Memory Cells,» marzo 2014. [Online]. Available: <http://dx.doi.org/10.13140/RG.2.2.11456.74242>. [Consultato il giorno ottobre 2021].
- [8] C. Bohac, «Comparing Technologies: MRAM vs. FRAM,» *Everspin Technologies*, marzo 2013. [Online]. Available: <https://www.mouser.com/pdfDocs/mram-vs-fram.pdf>. [Consultato il giorno ottobre 2021].
- [9] J. Heidecker, «MRAM Technology Status,» 2 gennaio 2013. [Online]. Available: https://nepp.nasa.gov/files/24256/12_124_JPL_Heidecker_MRAM%20Technology%20Status%20jpl%20pub%2013_3%202_13%20rec%204_15_13.pdf. [Consultato il giorno ottobre 2021].
- [10] T. Na, S. H. Kang e S.-O. Jung, «STT-MRAM Sensing: A Review,» *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 68, no. 1, pp. 12-18, gennaio 2021. [Online]. Available: <https://doi.org/10.1109/TCSII.2020.3040425>. [Consultato il giorno ottobre 2021].
- [11] Y. Cao, G. Xing, H. Lin, N. Zhang, H. Zheng e K. Wang, «Prospect of Spin-Orbitronic Devices and Their Applications,» *iScience* vol. 23,10, 28 settembre 2020. [Online]. Available: <https://dx.doi.org/10.1016%2Fj.isci.2020.101614>. [Consultato il giorno ottobre 2021].
- [12] N. Maciel, E. C. Marques, L. Naviner, Y. Zhou e H. Cai, «Magnetic Tunnel Junction Applications,» *Sensors* 2020, 20(1), 121, 24 dicembre 2019. [Online]. Available: <https://doi.org/10.3390/s20010121>. [Consultato il giorno ottobre 2021].

- [13] H. Liu, D. Bedau, D. Backes, J. A. Katine, J. Langer e A. D. Kent, «Ultrafast switching in magnetic tunnel junction based orthogonal spin transfer devices,» *Appl. Phys. Lett.* 97, 242510, 17 dicembre 2010. [Online]. Available: <http://dx.doi.org/10.1063/1.3527962>. [Consultato il giorno ottobre 2021].
- [14] I. Soloviev, N. Klenov e K. M. Yu., «Beyond Moore's technologies: operation principles of a superconductor alternative,» *Beilstein Journal of Nanotechnology*, 14 dicembre 2017. [Online]. Available: <https://doi.org/10.3762%2Fbjnano.8.269>. [Consultato il giorno ottobre 2021].
- [15] H. Liu, D. Bedau, D. Backes, J. A. Katine e A. D. Kent, «Precessional reversal in orthogonal spin transfer magnetic random access memory devices,» *Appl. Phys. Lett.* 101, 032403, 18 luglio 2012. [Online]. Available: <https://doi.org/10.1063/1.4737010>. [Consultato il giorno ottobre 2021].
- [16] H. Liu, D. Bedau, D. Backes e J. A. K. A. D. Katine, «Ultrafast Switching in Magnetic Tunnel Junction based Orthogonal Spin Transfer Devices,» 01 novembre 2014. [Online]. Available: <https://www.slideserve.com/christen-dixon/ultrafast-switching-in-magnetic-tunnel-junction-based-orthogonal-spin-transfer-devices>. [Consultato il giorno ottobre 2021].
- [17] O. J. Lee, V. S. Pribiag, P. M. Braganca, P. G. Gowtham, D. C. Ralph e R. A. Buhrman, «Ultrafast switching of a nanomagnet by a combined out-of-plane and in-plane polarized spin current pulse,» *Appl. Phys. Lett.* 95, 012506, 08 luglio 2009. [Online]. Available: <https://doi.org/10.1063/1.3176938>. [Consultato il giorno ottobre 2021].
- [18] W. Kang, Y. Ran, Y. Zhang, W. Lv e W. Zhao, «Modeling and Exploration of the Voltage-Controlled Magnetic Anisotropy Effect for the Next-Generation Low-Power and High-Speed MRAM Applications,» *IEEE Transactions on Nanotechnology*, vol. 16, no. 3, pp. 387-395, maggio 2017. [Online]. Available: <https://doi.org/10.1109/TNANO.2017.2660530>. [Consultato il giorno ottobre 2021].
- [19] M. Althammer, «Pure spin currents in magnetically ordered insulator/normal metal heterostructures,» *Journal of Physics D: Applied Physics*, vol. 51, no. 31, 06 luglio 2018. [Online]. Available: <https://iopscience.iop.org/article/10.1088/1361-6463/aaca89#daaca89f02>. [Consultato il giorno ottobre 2021].
- [20] K. Ando e M. Tainaka, «Elucidation of spin current caused by properties of the electron as a magnet,» *Faculty of Science and Technology, Keio University*, [Online]. Available: https://www.st.keio.ac.jp/en/kyurizukai/21_ando.html. [Consultato il giorno ottobre 2021].
- [21] S. Maekawa, «A flood of spin current,» *Nature Materials* 8, 777–778, ottobre 2009. [Online]. Available: <https://doi.org/10.1038/nmat2539>. [Consultato il giorno ottobre 2021].
- [22] F. D. Czeschka, «Spin Currents in Metallic Nanostructures,» *Technische Universitat Munchen*, 05 settembre 2011. [Online]. Available: <https://mediatum.ub.tum.de/doc/1081591/1081591.pdf>. [Consultato il giorno ottobre 2021].
- [23] W. Zhang, W. Han, X. Jiang, S.-H. Yang e S. S. P. Parkin, «Role of transparency of platinum–ferromagnet interfaces in determining the intrinsic magnitude of the spin Hall effect,» *Nature Physics* 11, 496–502, 27 aprile 2015. [Online]. Available: <https://doi.org/10.1038/nphys3304>. [Consultato il giorno ottobre 2021].
- [24] Y. P. Feng, L. Shen, M. Yang, A. Wang, M. Zeng, Q. Wu, S. Chintalapati e C.-R. Chang, «Prospects of spintronics based on 2D materials,» *Wiley interdisciplinary reviews: Computational Molecular*

- Science. 7(5):e1313, 21 aprile 2017. [Online]. Available: <https://doi.org/10.1002/wcms.1313>. [Consultato il giorno ottobre 2021].
- [25] F. Moradi, H. Farkhani, B. Zeinali e H. Ghanatian, «Spin-Orbit-Torque-based Devices, Circuits and Architectures,» dicembre 2019. [Online]. Available: https://www.researchgate.net/publication/337730030_Spin-Orbit-Torque-based_Devices_Circuits_and_Architectures. [Consultato il giorno ottobre 2021].
- [26] «Rashba–Edelstein effect,» [Online]. Available: https://en.wikipedia.org/wiki/Rashba%E2%80%93Edelstein_effect. [Consultato il giorno ottobre 2021].
- [27] «SOT-MRAM,» Antaios, [Online]. Available: <https://www.antaos.fr/-SOT-MRAM->. [Consultato il giorno ottobre 2021].
- [28] V. Zayets, «Spin-Orbit Interaction,» AIST, [Online]. Available: https://staff.aist.go.jp/v.zayets/spin3_32_SpinOrbit.html. [Consultato il giorno ottobre 2021].
- [29] Z. Wang, H. Cheng, K. Shi, Y. Liu, J. Qiao, D. Zhu, W. Cai e X. Zhang, «Modulation of field-like spin orbit torque in heavy metal/ferromagnet heterostructures,» *Nanoscale*, 2020,12, 15246-15251, 12 giugno 2020. [Online]. Available: <https://doi.org/10.1039/D0NR02762F>. [Consultato il giorno ottobre 2021].
- [30] S. Peng, D. Zhu, J. Zhou e B. Zhang, «Modulation of Heavy Metal/Ferromagnetic Metal Interface for High-Performance Spintronic Devices,» *Advanced Electronic Materials*, vol. 5, no. 8, 1900134, 05 giugno 2019. [Online]. Available: <https://doi.org/10.1002/aelm.201900134>. [Consultato il giorno ottobre 2021].
- [31] B. Kaviraj e J. Sinha, «Relativistic torques induced by currents in magnetic materials: physics and experiments,» *RSC Advances* 8(44):25079-25093, 12 luglio 2018. [Online]. Available: <https://doi.org/10.1039/C8RA04001J>. [Consultato il giorno ottobre 2021].
- [32] S. Senni, L. Torres, G. Sassatelli, A. Gamatié e B. Mussard, «Exploring MRAM Technologies for Energy Efficient Systems-On-Chip,» *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, IEEE, 6 (3), pp.279-292, 19 dicembre 2016. [Online]. Available: <https://hal-lirmm.ccsd.cnrs.fr/lirmm-01419429/document>. [Consultato il giorno ottobre 2021].
- [33] F. Oboril, R. Bishnoi, M. Ebrahimi e M. B. Tahoori, «Evaluation of Hybrid Memory Technologies Using SOT-MRAM for On-Chip Cache Hierarchy,» *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 34, no. 3, pp. 367-380, marzo 2015. [Online]. Available: <https://doi.org/10.1109/TCAD.2015.2391254>. [Consultato il giorno ottobre 2021].
- [34] G. Yu, «Two-terminal MRAM with a spin,» *Nature Electronics*, vol. 1, pp. 496–497, 13 settembre 2018. [Online]. Available: <https://doi.org/10.1038/s41928-018-0135-8>. [Consultato il giorno ottobre 2021].
- [35] K. Ali, «Area-Efficient Spin-Orbit Torque Magnetic Random-Access Memory,» *Integrated Circuits/Microchips*, 15 aprile 2020. [Online]. Available: <https://doi.org/10.5772/intechopen.92120>. [Consultato il giorno ottobre 2021].

- [36] B. Zeinali, M. Esmaeili, J. K. Madsen e F. Moradi, «Multilevel SOT-MRAM cell with a novel sensing scheme for high-density memory applications,» 2017 47th European Solid-State Device Research Conference (ESSDERC), pp. 172-175, 16 ottobre 2017. [Online]. Available: <https://doi.org/10.1109/ESSDERC.2017.8066619>. [Consultato il giorno ottobre 2021].
- [37] «domain wall memory (DWM) / racetrack memory (RM),» 30 giugno 2015. [Online]. Available: <https://m.blog.naver.com/PostView.naver?isHttpsRedirect=true&blogId=framkang&logNo=220397756271>. [Consultato il giorno ottobre 2021].
- [38] «Racetrack memory,» 15 novembre 2010. [Online]. Available: <https://www.eurekalert.org/news-releases/573972>. [Consultato il giorno ottobre 2021].
- [39] J. S. Meena, S. M. Sze, U. Chand e T.-Y. Tseng, «Overview of emerging nonvolatile memory technologies,» *Nanoscale Research Letters* 9, 526, 25 settembre 2014. [Online]. Available: <https://doi.org/10.1186/1556-276X-9-526>. [Consultato il giorno ottobre 2021].
- [40] S. Parkin, «Racetrack memory: A storage class memory based on current controlled magnetic domain wall motion,» 2009 Device Research Conference, pp. 3-6, 15 dicembre 2009. [Online]. Available: <https://doi.org/10.1109/DRC.2009.5354890>. [Consultato il giorno ottobre 2021].
- [41] W. Kang, Y. Huang, C. Zheng e W. Lv, «Voltage Controlled Magnetic Skyrmion Motion for Racetrack Memory,» aprile 2016. [Online]. Available: https://www.researchgate.net/publication/301657574_Voltage_Controlled_Magnetic_Skyrmion_Motion_for_Racetrack_Memory. [Consultato il giorno ottobre 2021].
- [42] X. Zhang, Y. Zhou, M. Ezawa, G. P. Zhao e W. Zhao, «Magnetic skyrmion transistor: Skyrmion motion in a voltage-gated nanotrack,» *Scientific Reports* 5, 11369, 18 giugno 2015. [Online]. Available: <https://doi.org/10.1038/srep11369>. [Consultato il giorno ottobre 2021].
- [43] B. van Dijk, «Skyrmions and the Dzyaloshinskii-Moriya Interaction,» Utrecht University, Institute for Theoretical Physics, dicembre 2014. [Online]. Available: <http://www.nanoer.net/d/img/2014vanDijk.pdf>. [Consultato il giorno ottobre 2021].
- [44] R. Mertens, «Analysts expect MRAM revenues to grow 170X by 2029 to reach \$4 billion,» *Forbes*, 09 luglio 2019. [Online]. Available: <https://www.mram-info.com/taxonomy/term/4/all>. [Consultato il giorno ottobre 2021].

RIFERIMENTI FIGURE (Con [#] riferimento alla fonte bibliografica numero #)

FIGURA	[#]
pag. iniziale	a mano
1.1 a, b	a mano
1.2	a mano
1.3	a mano
1.4 a	a mano
1.4 b	3
2.1	1
2.2 a, b, c, d	4
2.3 a, b	6
3.1 a	7
3.1 b	8
3.1 c, d	9
4.1	7
4.2	1
4.3	1
4.4 a, b, c	11
4.5	1

5.1 a, b	13
5.2 a, b	13
5.2 c, d	16
5.3 a, b	15
5.4 a, b, c	15
5.5 a, b, c, d	15
5.6 a, b, c, d, e, f	17
5.7	13
6.1 a, b	18
6.1 c, d	18
6.2 a, b, c, d	18
6.3 a, b	18
6.4 a, b, c, d	18
7.1 a, b	19
7.2 a, b	20
7.3	*
7.4 a, b	32/33
7.5 a, b, c	11

7.6 a, b	30
7.7 a, b, c, d	33
7.8	33
7.9 a, b	36
7.10 a, b	36
7.11	33
7.12 a, b	36
7.13	36
7.14 a, b	34
8.1	40
8.2	37
8.3	37
8.4 a, b	41

* https://www.youtube.com/watch?v=J_IQBh1Ildk&list=LL&index=3